

アナログASIC設計技術

メタデータ	言語: jpn
	出版者:
	公開日: 2016-06-08
	キーワード (Ja):
	キーワード (En):
	作成者: 塚田, 究
	メールアドレス:
	所属:
URL	https://doi.org/10.14945/00009493

アナログ ASIC 設計技術

塚田 究

名古屋工業大学 技術部 計測分析課

1. 緒言

これまでの電子回路では汎用のディスクリート素子（IC、抵抗およびコンデンサ等）を用いて組み立てられてきたが、特定用途集積回路（Application Specified Integrated Circuit、以下、ASIC という）では各種アナログ／デジタル回路に対応できるため、その応用範囲は広大で、装置や検出器の開発需要に威力を発揮する。ユーザーの要求に合わせた回路の IC 化は例えば、小型省電力化を目指す回路、あるいは汎用機能削減や特殊機能追加なども行われていたが、高価な製作費の大きな負担もあって一般的には行われてこなかった。しかし近年、ステディデザイン社等のファブレス企業が ASIC の MPW（Multi Project Wafer）シャトル試作サービス^[1]を始めたことによって製作費用が大幅に低下し、小規模試作が手軽に行われるようになってきた。

アナログ ASIC 設計は大きく分けて、後述する素子・回路設計とマスクパターンレイアウト設計の 2 工程からなり、各工程に適用される技術的要素、素子パラメータ情報および設計規則情報等については、双方向の秘密保持契約（Non-Disclosure Agreement、以下、NDA という）を予め締結しておく必要がある。

本件では、アナログ回路に的を絞った ASIC 設計技術について紹介する。

2. 素子設計と回路設計

まずは開発環境の整備である。EDA (Electronic Design Automation) ツールは、Cadence 社製 Virtuoso Schematic Editor および Virtuoso Analog Design Environment（Spectre SPICE：アナログ電子回路シミュレータ）を使用する。

ファウンドリより提供される製造プロセスの SPICE 用素子パラメータを EDA ツールに導入し、受動素子（抵抗やコンデンサ）および能動素子（トランジスタ等）について個別に、DC 特性と AC 特性を SPICE 解析で確認し、評価しておかなければならない。

次に素子設計と回路設計である。今回、能動素子は CMOSFET（相補型金属酸化膜半導体電界効果トランジスタ、CMOS と略す場合が多い）のみを使用する。バイポーラ・トランジスタ、その他のトランジスタは使用しない。CMOS は n 型 MOSFET および p 型 MOSFET（以下、nMOS、pMOS という）の 2 種類からなり、通常これらの特性調整は、ゲートサイズの幅長比 W/L でドレイン電流 I_D を決定する。特に、アナログ回路では飽和領域と呼ばれる特性域において設計する。nMOS の飽和領域における I_D と W/L の関係を式（1）に示す。

$$I_D = \frac{W}{L} \mu_n C_{OX} (V_{GS} - V_{TO})^2 (1 + \lambda V_{DS}) \quad \text{ただし、} V_{DS} > V_{GS} - V_{TO} \quad \dots (1)$$

ここで、 μ_n は電子の移動度 [$m^2/V \cdot sec$]、 C_{OX} は単位面積当たりのゲート酸化膜容量 [F/m^2]、 V_{GS} はゲート・ソース間電圧 [V]、 V_{DS} はドレイン・ソース間電圧 [V]、 V_{TO} はしきい値電圧 [V]、および λ はチャネル長変調効果係数である。

また、設計パラメータには、並列接続するトランジスタ数 M によって I_D の整数倍を与えること

ができる。

図1にオペアンプの回路設計例を示す。このオペアンプは、差動増幅段、出力段、位相補償部および基準電圧発生部で構成されている。要求される性能や仕様を満たすか等、SPICE解析を行って回路の設計パラメータについて十分に評価しなければならない。本回路においても異なる W/L 、 M の nMOS および pMOS を複数種類使用するため、素子設計にも相当の時間を費やすこととなる。設計パラメータの詳細および解析結果等については省略するが、一例として、本回路設計で使用した最小 nMOS のゲートサイズは、 $W/L = 1.4 \mu\text{m} / 0.7 \mu\text{m}$ 、 $M = 1$ である。

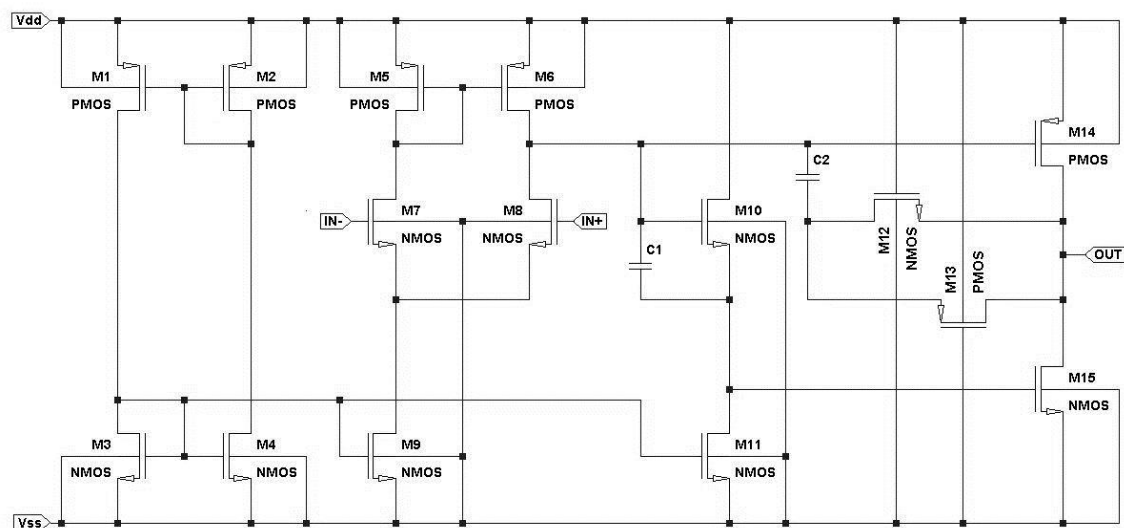


図1 オペアンプの回路設計例

3. マスクパターンレイアウト設計

マスクパターンレイアウト(以下、単にレイアウトという)設計に使用する EDA ツールは、Cadence 社製 Virtuoso Layout Editor である。

nMOS の層構造は、p 型シリコン基板 (バルク/ボディ/サブストレート等とも呼ばれる) 上のゲート領域にシリコン酸化膜を、その上にポリシリコンでゲート電極を形成する。ドレイン領域およびソース領域には、高濃度の不純物イオンを注入した n+型半導体で電極を形成する。さらに、各電極にはコンタクトを介してメタル (主としてアルミや銅) 配線層を配置する。メタル配線層はプロセスにより種類、層数が異なり適宜使い分けられる。構成要素となる各層構造はそれぞれ、平面図形としてレイアウトデータが作成される。pMOS、その他の素子構造については省略する。

設計した各素子あるいは回路のレイアウトが正しく構成されているかを確認するため、その構成要素について DRC (Design Rule Check) および LVS (Layout Versus Schematic) と呼ばれる検証を行う。ツールは、Mentor Graphics 社製 Calibre Interactive および Calibre RVE を使用する。

DRC は製造装置の制約から決まる幾何学的な設計規則を満足しているかどうか、つまり図形自身の幅が規格値以上であるか (幅チェック)、2つの図形間の距離が規格値以上であるか (間隔チェック)、ある図形が他の図形の規格値以内に収まっているか (包含距離チェック) 等を検証する。一方、LVS は回路設計段階で作られた素子や素子間の接続がレイアウト設計で正しく実現されているか、即ち回路設計によって発生させた SPICE ネットリストと、レイアウトデータから抽出した SPICE ネットリストとを比較照合して検証を行う。

[illegible]

– 9 –

4. 結言

今回、デジタル回路系の ASIC 設計技術については触れなかったが、汎用論理 IC である FPGA (Field Programmable Gate Array) は取扱易さもさることながら、高集積化および高速化は目覚しく、他の論理 IC に比して群を抜いている。今般、フロントエンドに据えたアナログ ASIC と FPGA を組合せることにより、RPR-010^[2]に例をみる高性能な電子回路システムが比較的容易に開発可能となっている。何れにおいてもそう遠くない将来、ASIC 開発に絡む技術相談が少なからずあると考えられる。従って、件の新しい開発技術要請に応えるべく、ASIC 設計技術を習得しておくことは必要不可欠である。

それにしても、NDA を締結し、回路／レイアウト設計を完成した上で、MPW シリコンプロセス（ファウンドリが半導体回路を作り込むステップ）を経て手元に届く試作 ASIC は本来、実測して初めて評価されるわけであるが、そこまで叶わず非常に残念である。

なお、本件は高エネルギー加速器研究機構 OpenIt^[3]、東京大学大規模集積システム設計教育研究センター（VDEC^[4]）を通し、日本ケイデンス株式会社およびメンター・グラフィックス・ジャパン株式会社の協力で行われ、2015 年 9 月 18 日名古屋工業大学第 31 回技術研究発表会（同学技術部主催）において報告（技術報告集 Vol. 17（2016 年 6 月同学技術部発行予定）に掲載）されたものである。

参考 URL

- [1] ステディデザイン株式会社（試作サービス）http://www.steady.co.jp/jpn_service_shuttle.html
- [2] 林栄精機株式会社（RPR-010）<http://www.repic.co.jp/product/module/general/rpr-010.html>
- [3] KEK_OpenIt <http://openit.kek.jp/>
- [4] 東大_VDEC <http://www.vdec.u-tokyo.ac.jp/>