SURE 静岡大学学術リポジトリ
Shizuoka University REpository

LIM系回路シミュレータの高速化に関する研究

メタデータ	言語: jpn 出版者: 公開日: 2016-06-15 キーワード (Ja): キーワード (En): 作成者: 岡田, 慎吾 メールアドレス: 所属:
URL	https://doi.org/10.14945/00009595

（課程博士・様式９）　　審　査　要　旨

専攻　情報科学専攻　　学籍番号　55345008　　学生氏名　岡田慎吾

論文題目　　LIM 系回路シミュレータの高速化に関する研究

近年，半導体実装技術の飛躍的な進歩により，電子回路の低電圧化，信号の高周波化が進み，電気雑音による悪影響が顕著になってきている．これに伴い，設計の早い段階において，動作検証を行うためのミュレーションが必要不可欠になっている．本論文では，局所陰解法と陽的な leapfrog 法を用いた高速な回路シミュレーション技法を提案する．本手法は，従来の局所陰解法と陽的な leapfrog 法を用いた回路シミュレーション手法を改良することにより，更なる高速化を実現する手法である．

第一章では，本研究の背景の説明をしている．第二章では，三角メッシュを用いてプリント基板の物理形状や物理特性から等価回路網を抽出する手法として，MTEM（Multilayer triangle element method）の説明を行う．第三章では，陽的 leapfrog 法を用いた回路シミュレーションの従来法として, LIM（Latency Insertion Method）の説明を行っている. また, LIM のアルゴリズムに関する 2 つの改良手法, 相互結合素子を含んだ回路網への適用を可能にしたブロック型 LIM，局所陰解法を適用することにより数値安定条件を緩和できる局所陰的 LIM の説明も行う．第四章では，本研究の提案手法であるマルチレート局所陰的 LIM，非線形局所陰的 LIM，局所陰的ブロック型 LIM，マルチレート局所陰的ブロック型 LIM の提案を行う．マルチレート局所陰的 LIM は，局所陰的 LIM における部分回路のマルチレート性に着目し，部分回路ごとに異なる時間刻み幅を用いることで局所陰的 LIM を高速化する手法である．非線形局所陰的 LIM は，非線形素子の解析へ局所陰的 LIM を拡張する手法であり，例題回路として CMOS インバータを含む電源分配網の解析を行っている．局所陰的ブロック型 LIM は，局所陰解法を用いることにより，ブロック型 LIM の欠点である数値安定条件を緩和させると同時に、多層電源分配網の効率的な解析を可能とする手法である．マルチレート局所陰的ブロック型 LIM は，局所陰的ブロック型 LIM において部分回路のマルチレート性に着目し，部分回路ごとに異なる時間刻み幅を用いることにより，局所陰的ブロック型 LIM を高速化する手法である．最後に，第五章で本研究の結論について述べている．

以上の成果は、エレクトロニクス分野への貢献が大きく，博士（工学）の学位を授与するに値するものと認める。