

## FPGAとARMマイコンを用いたディレイゲートパルサーの開発

メタデータ	言語: jpn 出版者: 公開日: 2020-03-04 キーワード (Ja): キーワード (En): 作成者: 豊田, 朋範, 千葉, 寿, 木村, 和典, 藤崎, 聡美, 古館, 守道 メールアドレス: 所属:
URL	<a href="https://doi.org/10.14945/00027075">https://doi.org/10.14945/00027075</a>

# FPGA と ARM マイコンを用いたディレイゲートパルサーの開発

○豊田朋範<sup>[1]</sup>, 千葉寿<sup>[2]</sup>, 木村和典<sup>[1]</sup>, 藤崎聡美<sup>[2]</sup>, 古舘守道<sup>[2]</sup>

<sup>[1]</sup>分子科学研究所技術課, <sup>[2]</sup>岩手大学理工学系技術部

## 1. 概要

パルスレーザーを用いた実験—たとえば分子にレーザーを照射して反応過程を調べる実験において、レーザーパルスをトリガとして長時間のディレイ  $T_d$  と短時間のゲート幅  $T_w$  を両立するディレイゲートパルサーが必要とされる。(図 1-1) 分子が大きくなると  $T_d$  は数 ms 以上と長くなる傾向があるが、必要な反応のみを測定系に取り込むため、 $T_w$  は数  $\mu s \sim 100 \mu s$  と短い。(図 1-2)

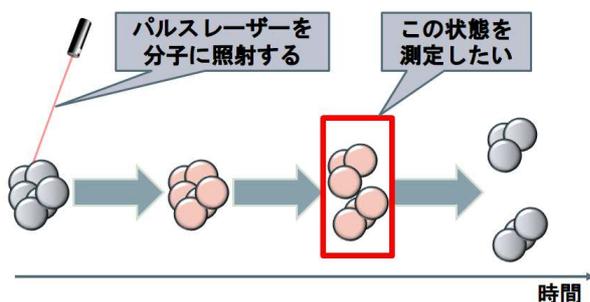


図 1-1 : レーザーを用いた実験の例

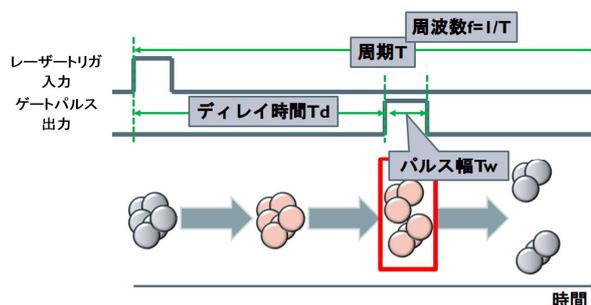


図 1-2 : ディレイゲートパルサーの必要性

ディレイゲートパルサーは市販機器が存在するが、その高機能性・多機能性ゆえに多くのボタンがあり、操作性に改良の余地がある。また、通信機能など多くの実験では使用しない機能が多く、実験現場で必要な機能に絞ったディレイゲートパルサーの要望が複数寄せられた。(図 2-1)

一方、筆者らはこれまで何度かディレイゲートパルサーを開発してきたが、10ns 以上の時間分解能を実現することに課題があった。今回、FPGA の開発環境を刷新したのを契機に FPGA を新規デバイスに移行し、時間分解能 5ns を実現するとともに、50 $\Omega$  負荷駆動機能など、実験現場で必要な機能を集約することを試みた。(図 2-2)

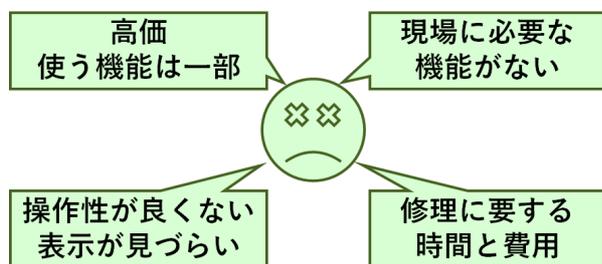


図 2-1 : これまでのディレイゲートパルサーの課題

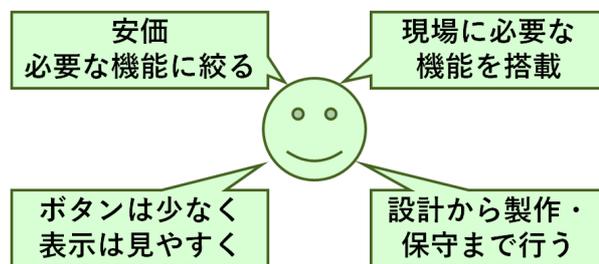


図 2-2 : ディレイゲートパルサーの開発コンセプト

## 2. 装置の構成

開発したディレイゲートパルサーの主な仕様を Table1 に、ブロック図を図 3 に示す。

本装置はインターフェースを ARM マイコン LPC1114FBD48/302(NXP 社)が担当し、ディレイゲートパルスの生成を FPGA XC7A35T-1CPG236C(Xilinx 社)を搭載した Cmod A7-35T(Digilent 社)が担当する。FPGA は Td 計測用 32bit カウンタと Tw 計測用 32bit カウンタのペアと制御回路、シリアル→パラレル変換回路、システムクロック生成回路を搭載する。32bit カウンタと制御回路並びにシリアル→パラレル変換回路は VHDL で構築し、システムクロック生成回路は開発環境の Vivado2016.4(Xilinx 社)で無償使用できる

IP(Intellectual Property)コアを用いて、オンボードの 12MHz 水晶発振器から 200MHz を生成して 32bit カウンタと制御回路に供給する。このため、時間分解能は 5ns となる。

Table 1: 開発したディレイゲートパルサーの主な仕様

項目	仕様
時間分解能	5ns
時間設定レンジ	ディレイ : 100ns~4sec ゲート幅 : 1μsec~100msec
パルス振幅	5V
出力数	1
出力インピーダンス	50Ω
その他	トリガ入力のモニタ出力 電源 ON 時に、前の状態を復元

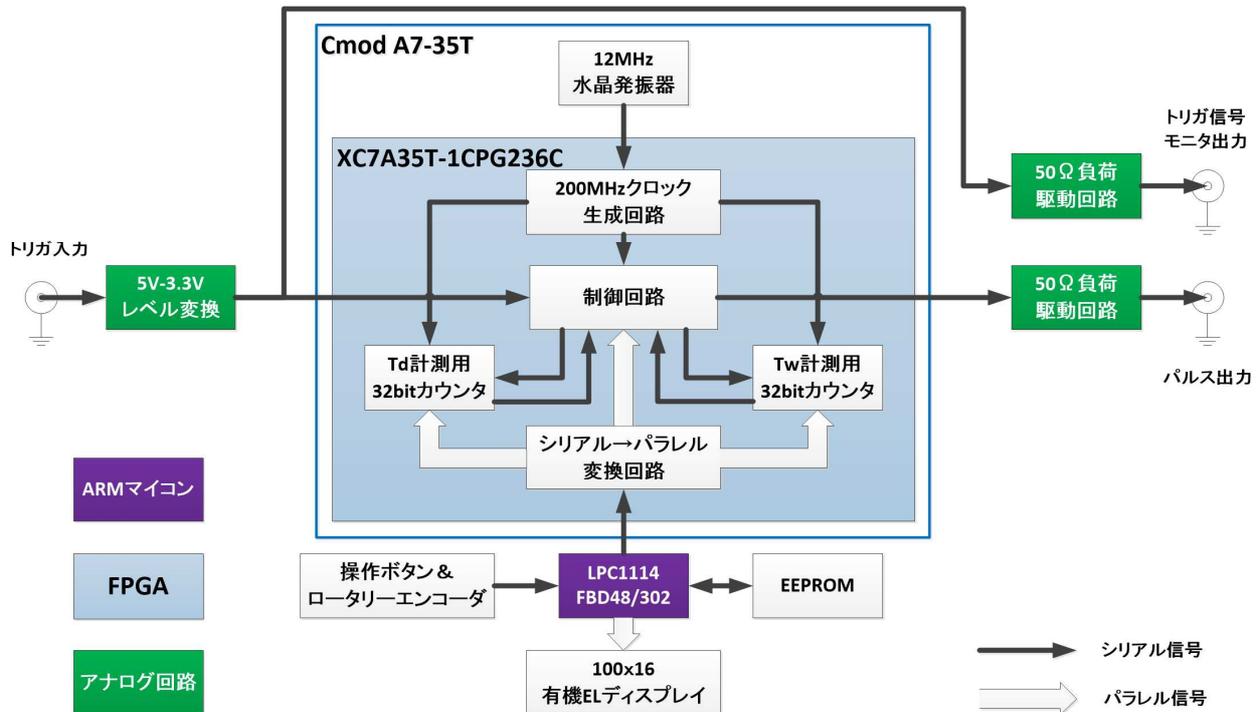


図 3 : 開発したディレイゲートパルサーのブロック図

ロータリーエンコーダとスイッチで、ディレイ時間 Td、ゲート幅 Tw などを設定すると、ARM マイコンはデータを FPGA に転送すると同時に、EEPROM 24LC64(Microchip 社)に記録する。この通信仕様は SPI(Serial Peripheral Interface)に似た、クロック、データ、ロードの 3 線シリアル通信である。

FPGA は ARM マイコンから送信されたデータを所定の出力の Td 計測用 32bit カウンタと Tw 計測用カウンタにセットする。以降、Td か Tw を更新するまで、FPGA はトリガ入力の立ち上がりから Td 時間後にゲート幅 Tw のディレイゲートパルスを出し続ける。

トリガ信号のモニタ出力は、T 型 BNC アダプタで信号を分割しなくてもトリガ信号をモニタ出来るようにしたものである。モニタ出力とディレイゲートパルスの出力は、いずれも THS3001ID(Texas Instruments 社)で 3.3V→5V に増幅すると共に、50Ω 負荷駆動を実現した。

リアパネルは AC100V のインレットとヒューズボックスのみとして、スイッチや入出力 BNC コネクタはすべてフロントパネルに集約した。入出力 BNC コネクタは、ケーブルを着脱しやすいように、45mm 間隔を設けた。(図 4)

操作系は 5 つのボタンとロータリーエンコーダに集約し、ボタンの色は機能の選択を緑、Td や Tw における桁の選択を白、決定を赤とした。これにより、機能を選び、Td や Tw では桁を選んで、ロータリーエンコーダを右に回せば数値が増加し、左に回せば数値が減少するという直感的な操作を実現した。

本装置の出力例を図 5 に示す。



図 4：開発したディレイゲートパルサーのフロントパネル(上)とリアパネル(下)

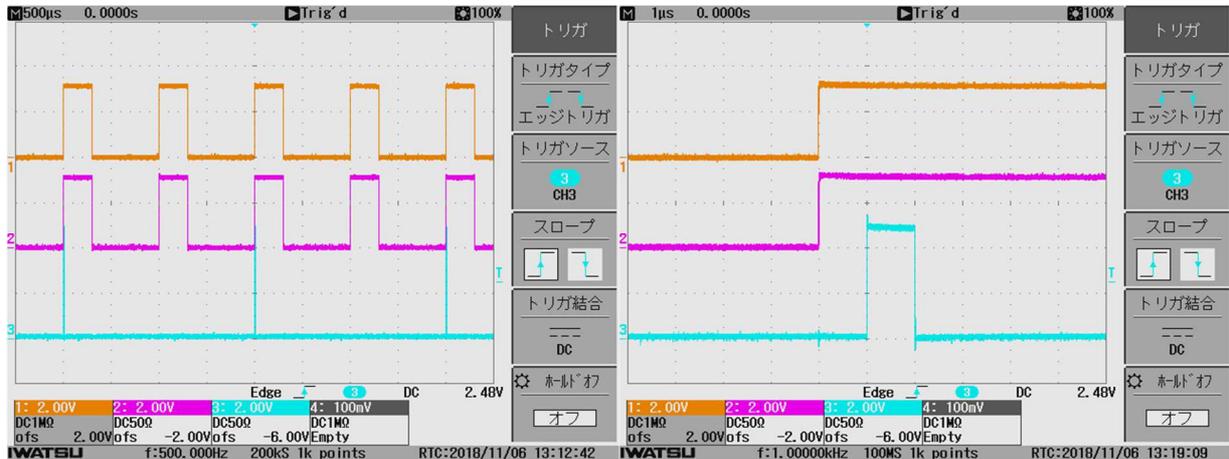


図 5：開発したディレイゲートパルサーの出力例

左：Td 1ms, Tw 1 $\mu$ s 設定での出力(全体) 右：Td 1 $\mu$ s, Tw 1 $\mu$ s 設定での出力(ゲートパルス拡大)

### 3. 時間分解能向上と確実な動作を目指した VHDL 記述の検討と改良

本装置における FPGA の回路構築では、(1)デバイスの更新による物理的な性能向上を考えた方が良い(2)カウンタの制御回路を抜本的に見直すべきーなどの情報を得た。これらを反映して(1)FPGA を XC7A35T-1CPG236C に更新(2)ステートマシンで構築した制御回路で Td と Tw の計測用カウンタを制御するーを採用・導入した。本稿では特に(2)について述べる。

これまでは図 6-1 の方式で回路を構築していた。この方式は、カウンタ内部でキャリー信号を生成し、それをもう一方のカウンタのイネーブル信号に使用するもので、Td 計測用 32bit カウンタと Tw 計測用 32bit カウンタが交互に動作する。

この方式では、VHDL の記述は比較的平易であるが、Td 計測用 32bit カウンタで生成したイネーブル信号が Tw 計測用 32bit カウンタに想定どおりに伝搬できない回路が構築され、不規則にディレイゲートパルスが出力されない不具合が発生した。このため、あまり時間分解能を向上できなかった。

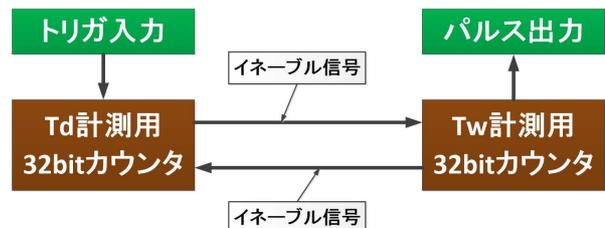


図 6-1：従来のカウンタ構成

今回は図 6-2 の方式で回路を構築した。この方式は、トリガ入力や計測用カウンタの値に応じてステータスが遷移し、計測用カウンタや出力を制御するものである。また、キャリー信号の生成をカウンタ内部では行わず、カウンタとは別に比較回路を設けて行う。

この方式はカウンタの他に制御回路やキャリー信号生成用の比較回路を構築し、適切に組み合わせる必要があるため、VHDL の記述は複雑になるが、動作周波数は向上し、確実にディレイゲートパルスを出力する回路を構築できた。

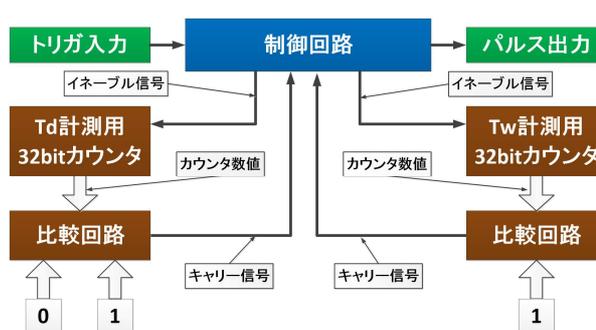


図 6-2： 改良したカウンタ構成

#### 4. まとめ・今後の展望

FPGA と ARM マイコンを用いて、時間分解能 5ns のディレイゲートパルサーを開発した。新規デバイスの導入と VHDL 記述の抜本的な見直しにより、懸案であった時間分解能の向上を実現し、また、正確な信号伝送に不可欠な 50Ω 駆動を搭載した。これにより、実験現場で求められる機能と使いやすさを集約し、洗練した装置を実現できた。

システムの基本部分は FPGA と ARM マイコンで実現できたが、トリガ入力のレベル変換やパルス出力並びにモニタ出力の 50Ω 負荷駆動はアナログ回路が必要であった。1つの分野にとらわれず、多方面の知識や技術を導入・向上していくことが必要であると改めて実感した。

今回の成果と討論を基に、(1)出力数を 2 に増やし、Td と Tw は各 ch で独立設定可能(2)全パラメータを一望できるカラー液晶ディスプレイの採用(3)AC アダプタの採用とケースの小型化—を柱とする改良版を現在開発中である。

#### 5. 謝辞

本装置の開発は、2018 年度・2019 年度川合所長奨励研究費の助成を受けて行われた。

FPGA 開発においては、筑波大学の小野雅晃氏に VHDL 記述を指導いただき、重要な情報を提供いただいた。この場を借りて御礼申し上げます。