

## MOS 回路網に対する階層節点分割の有効性

准員 西垣 正勝<sup>†</sup> 正員 田中 伸幸<sup>†</sup>  
正員 浅井 秀樹<sup>†</sup>

Availability of Hierarchical Node Tearing for MOS Circuits  
Masakatsu NISHIGAKI<sup>†</sup>, Associate Member, Nobuyuki TANAKA<sup>†</sup>  
and Hideki ASAI<sup>†</sup>, Members

<sup>†</sup> 静岡大学工学部光電機械工学科, 浜松市

Faculty of Engineering, Shizuoka University, Hamamatsu-shi, 432 Japan

あらまし MOS デジタル回路では, ゲートレベルでの節点分割の結果, 回路内における局所基準節点の占める割合が大きくなり, 分割による優位性が保証されない。本論文では MOS 回路に対するゲートレベル階層分割とその有効性について述べる。

## 1. まえがき

大規模回路の高速な解析法の一つとして, 回路内の部分節点集合を局所基準節点として選択する節点分割手法がある<sup>(1)-(3)</sup>。局所基準節点に対応する行と列を行列の縁に集めることにより回路行列は縁付きブロック対角(BBD)構造となり, フィルインの発生率および発生場所が制限される。また, 節点分割法<sup>(1)</sup>により生じた部分回路は互いに独立に計算可能となるため, 取り扱う行列の小型化と計算の並列化が可能となる。特に TTL 回路では, ゲート回路の出力節点を局所基準節点として選択するゲートレベル分割の有効性が確認されている<sup>(5)</sup>。更には, 節点分割や枝分割を再帰的に繰り返すという階層分割も示され<sup>(2),(4)</sup>, このとき, 分割後の回路行列は再帰的縁付きブロック対角(RBBD)構造となる。階層分割は節点分割法の利点に加え, 階層的な潜在性, 並列処理性の利用をより容易にすることが期待され, また, 実際に階層分割が TTL 回路に対して節点分割よりも有効に働くことも確認された<sup>(6)</sup>。

一方, MOS 回路では, 各ゲート回路の内部節点数が TTL 回路に比べて少ない。従って, ゲートレベル節点分割では, 回路行列全体に対する局所基準節点に対応する部分行列の占める割合が大きくなり, 回路行列の性質が劣化すると予想される。本研究では, ゲートレベル節点分割および階層分割の MOS 回路への適用性について考える。

## 2. MOS 回路に対する節点分割技法

2.1 ゲートレベル節点分割の有効性に関する概要  
数種類のゲート回路から構成されるようなデジタル回路の場合, 各ゲートの出力節点を局所基準節点と

して選択することでゲートごとに回路の分割を実行するゲートレベル節点分割が考えられる。本分割手法の利点はいくつかあるが, TTL 回路網に対する有効性を以下に示す<sup>(6)</sup>。

① 回路分割による計算の効率化のためには, 分割後の回路行列の各対角ブロック内が比較的密行列であることが要求される。一般に TTL 回路ではゲート内の節点同士の結合は比較的密であり, ゲート間の結合は疎であるため, 密行列を切断することなく分割できる。

② 同一ゲートの内部節点の行列構造は同型であるため, 計算機はゲートに関する情報のみを蓄えればよくメモリ効率の大幅な向上が期待できる。

③ フィルインを大量発生させる原因となる対角位置から遠く離れた非対角要素(以下単に非対角要素)は隣接している節点間の節点番号の差が大きい場合に生じる。ゲート回路で構成される回路網では, ゲート内の節点はできるだけ連続してラベル付けされるため, 隣接したゲートに対して連続したラベルを与えれば非対角要素が現れることが少なくなる。しかし, 帰還ループを含むような回路では, 多くの場合, ラベル付けの最適化が困難となる。ゲートレベル節点分割法によればブロックごとの処理が独立に行えるためゲートレベルでの適切なラベル付けは考慮する必要がなくなる。

## 2.2 ゲートレベル節点分割に対する問題点

MOS 回路網に対してもゲート回路を基本ブロックとするゲートレベル分割が可能である。2.1の性質②, ③は TTL 回路網と同様に成立し, MOS 回路網に対してもゲートレベル分割は有効であると期待される。しかし, MOS 回路網では各ゲート内の節点数が TTL 回路のそれと比べて少ないため, 各ゲート回路の出力節点すべてを局所基準節点とするゲートレベル節点分割では, 回路行列内における縁部の部分行列の占める割合が大きくなることになる。縁部は大量のフィルインを発生させるなど回路行列を劣化させる部分であるため, すべての MOS 回路網に対してゲートレベル節点分割が有効であるとは限らないと考えられる。

## 2.3 ゲートレベル階層節点分割

大きな部分回路から小さな部分回路へ再帰的に節点分割を繰り返し, 最終的にゲート回路まで分割することによりゲートレベル階層分割が実現される。その回路行列は回路構造を反映した再帰的縁付きブロック対角(RBBD)構造(図1)となり, 大規模回路を小規模の

部分回路に分けて考えることが容易となる。それ故、節点分割に比べ回路の潜在性、並列処理性等の導入を容易にする。更に、階層分割では各階層ごとに局所基準節点を選び各階層ブロックの縁部に割り付けるため、局所基準節点を各階層に分散させることができる。つまり、各階層における縁部の節点数を、すべての局所基準節点を一つの縁部に集める節点分割に比べて小さくできる。縁部の節点数が少ないほど発生するフィルイン数は少ない傾向にあるので、ゲートレベル階層分割によれば2.2で述べたゲートレベル節点分割の問題点が緩和されることが期待できる。なお、以下では単なる節点分割を階層分割に対して1階層分割と呼ぶ。

**3. MOS回路に対する階層分割の実行と有効性**  
いくつかのMOS回路例に対し、

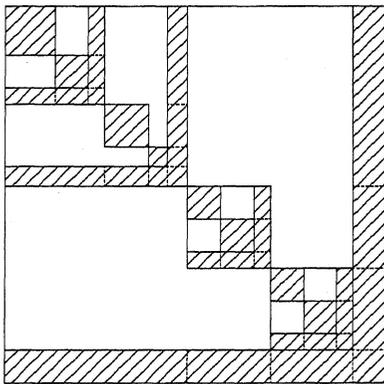


図1 再帰的縁付きブロック対角構造  
Fig.1 Recursive bordered block diagonal structure.

- ① 回路分割を実行しない場合(FILT)
  - ② ゲートレベル1階層分割を実行した場合(BORD)
  - ③ ゲートレベル階層分割を実行した場合(RBBD)
- について回路行列構造に関する比較を行った。ここでゲートレベル階層分割には文献<sup>7)</sup>の自動階層分割システムHIDEを用いた。FILTでは各ゲートごとにスパース処理を施し、ゲート間およびゲート回路の集合であるモジュール間は隣接順に節点のラベル付けが行われている。FILTにおける全ゲートの出力節点を縁部に再割付けし、縁付きブロック対角(BBD)構造行列にしたものがBORDである。回路例として並列結合回路(デコーダ)、縦続結合回路(非同期式カウンタ)、フィードバックを含む回路(ジョンソンカウンタ)を扱い、トランジスタモデルはShichman-Hodgesモデルを用いた。

3ビットデコーダ、4ビット非同期式カウンタ、3ビットジョンソンカウンタに対するLU分解後の回路行列構造の比較を図2~4に示す。また、五つの回路例に対する回路行列の性質およびLU分解に必要な計算量を表1に示す。

図2~4、表1より、MOS回路においては、フィードバックを含む回路(No.3とNo.4)に対してはゲートレベル1階層分割を実行するとフィルインおよび計算量が増加することが確認できる。並列結合回路では、ゲート間結合が密である部分があり、元来、非対角要素が多く回路行列の性質が悪いため節点分割が有効に働いている。縦続結合回路では、ブロック間の結合が疎であり、局所基準節点に対応する部分行列の性質が

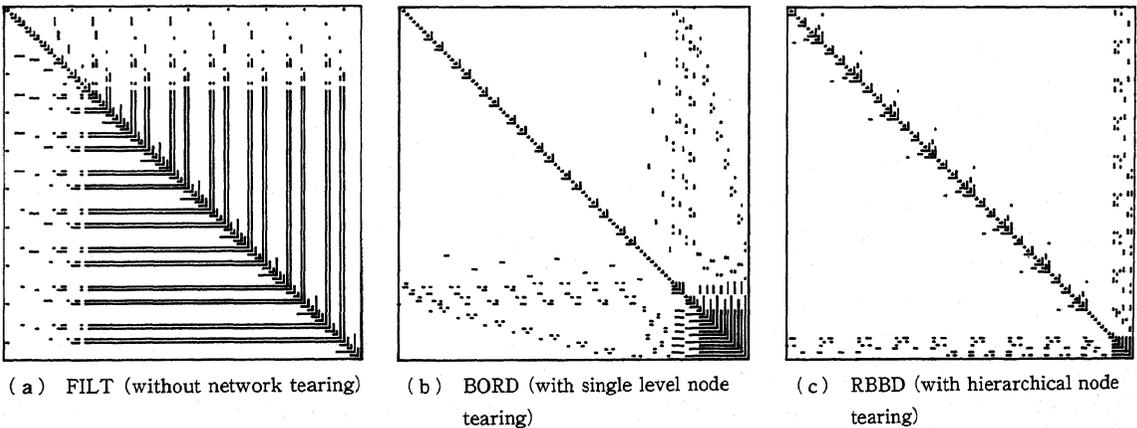


図2 3ビットデコーダに対する回路行列構造  
Fig.2 Circuit matrix structure of 3 bits decoder.

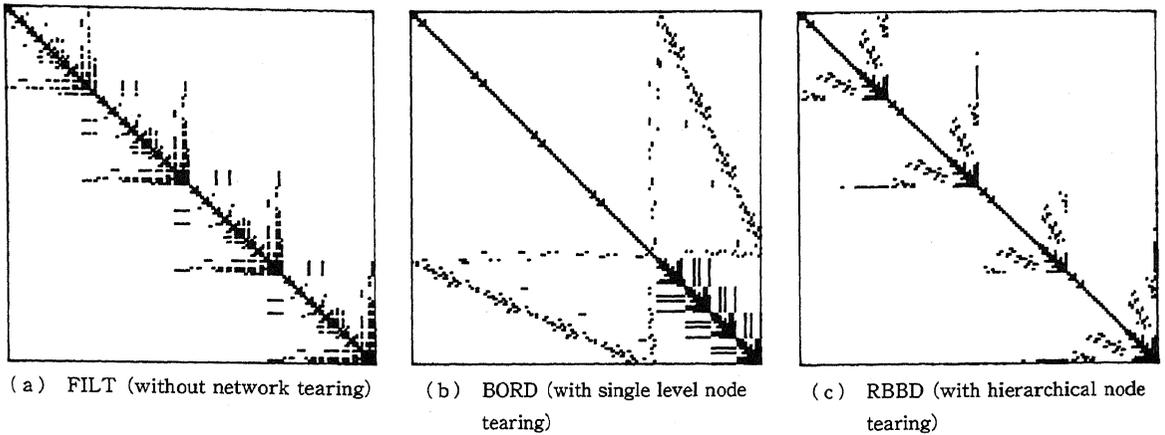


図 3 4ビット非同期式カウンタに対する回路行列構造  
Fig. 3 Circuit matrix structure of 4 bits asynchronous counter.

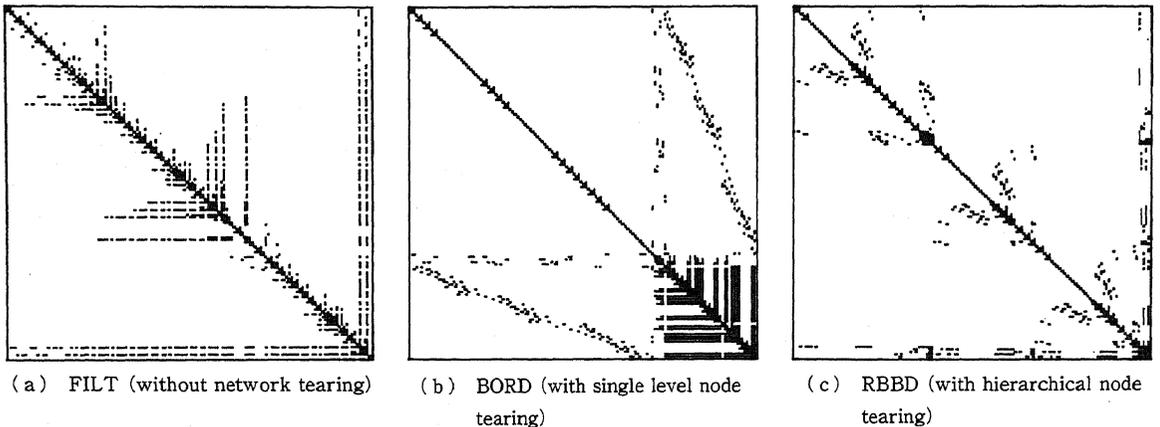


図 4 3ビットジョンソンカウンタに対する回路行列構造  
Fig. 4 Circuit matrix structure of 3 bits Johnson counter.

比較的良好いため、縁部の多大なフィルイン発生という節点分割の欠点が現れない。これに対して、フィードバックを含む回路ではゲートレベル1階層分割の実行の結果、局所基準節点に対応する部分行列内のフィルイン発生量が、非対角要素を回路行列の縁部に移すことによるフィルイン抑制量を超えてしまい、分割を実行しない場合よりフィルイン、ひいては計算量を増加させることになる。一方、階層分割によれば、すべての例題回路に対するフィルイン数、LU分解に要する計算量の減少が確認できると共に、その効果がゲートレベル1階層分割よりも大きいことがわかる。これらは、フィルインの大量伝搬を起こす局所基準節点に対する部分行列（縁部）が分散されることに起因すると考えられる。

以上のように、階層分割はMOS回路網に対して1

階層節点分割では改善することのできない回路行列の性質を改善するために十分有効であることが確認された。

#### 4. むすび

本論文では、直接法によるMOS回路網解析における階層分割の有効性を回路行列構造を比較することにより検証した。一般に大規模回路解析に回路分割が有効であることが知られているが、MOS回路では回路行列内の局所基準節点の占める割合が大きいためゲートレベル1階層分割の有効性が認められない場合があった。これに対し、階層分割は局所基準節点部を分散させるため、ほとんどのMOS回路を効率的に分割することができ、かつ、1階層分割よりもフィルインの抑制率の向上とそれに伴うLU分解時の計算量の削減が実現できた。回路の階層構造を反映した再帰的縁付

表1 比較結果

MOS circuits

No.	node		Non0	F.in	av.	max	h.	div.	update
1	102	FILT	346	2386	26.784314	80	472.855440	1315	23499
		BORD	346	436	7.666667	28	55.222222	340	1938
		RBBD	346	250	5.843137	32	30.151865	247	675
2	136	FILT	466	624	8.014706	29	37.514490	477	2173
		BORD	466	486	7.000000	25	40.294118	408	1756
		RBBD	466	330	5.852941	30	26.228374	330	982
3	142	FILT	472	844	9.267606	94	143.942472	587	3351
		BORD	472	888	9.577465	41	123.103154	609	5811
		RBBD	472	378	5.985915	29	30.239238	354	1090
4	184	FILT	616	1326	10.554348	120	256.018785	879	5643
		BORD	616	1410	11.010870	53	190.315099	921	11087
		RBBD	616	514	6.141304	32	35.762642	473	153
5	258	FILT	892	17738	72.209302	228	3873.212006	9186	452622
		BORD	892	2702	13.930233	55	371.592032	1668	35910
		RBBD	892	712	6.217054	90	67.704825	673	2033

FILT: without network tearing.  
 BORD: with single level NT.  
 RBBD: with hierarchical NT.  
 (NT=node tearing)

Example circuits.

- No. 1: 3 bits decoder.  
 2: 4 bits asynchronous counter.  
 3: 3 bits Johnson counter.  
 4: 4 bits Johnson counter.  
 5: 4 bits decoder.

node: Dimension of matrix.  
 F.in: Number of fill-ins after LU decomposition.  
 av.: Average number of nonzero elements  
 in every row after LU decomposition.  
 max: Maximam number of nonzero elements  
 in every row after LU decomposition.  
 h.: Standard deviation of nonzero elements  
 in every row after LU decomposition.  
 div.: Number of divisions  
 required for LU decomposition.  
 update: Number of updates  
 required for LU decomposition.

きブロック対角(RBBD)構造行列を生成する階層分割は、回路解析に潜在性や並列処理性の導入を容易にする目的で提起されたが、同時に、最適割付けには及ばないが、簡素なアルゴリズムにしては回路行列の性質をかなり改善することが確認された。

なお、現在の HIDE では設計者の入力した階層をそのまま反映しながら RBBD 型回路行列を生成しており、各階層の部分回路の規模に制限を与えていない。将来的に RBBD 行列の計算を並列計算システムで行う場合には、部分回路の規模を均一化するなどの方策が要求されるであろう。

謝辞 本研究は文部省科学研究費補助金奨励研究(A)の補助を受けた。ここに謝意を表する。

#### 文 献

- (1) Hajj I. N.: "Sparsity consideration in network solution by tearing", IEEE Trans. Circuits & Systems, CAS-27,

5, pp. 357-366(May 1980).

- (2) Vlach M.: "LU decomposition and forward-backward substitution of recursive bordered block diagonal matrices", IEE Proc., 132, Pt. G, 1, pp. 24-31(Feb. 1985).  
 (3) Moriyama S.: "Large scale circuit simulation based on the direct method", Trans. IEICE, E72, 12, pp. 1326-1335(Dec. 1989).  
 (4) 浅井秀樹, 田中 衛, 森 真作: "階層的分割法による回路網解析", 信学論(D), J68-D, 2, pp. 83-90(1985-02).  
 (5) Asai H. and Kumita A.: "Availability of gate level node tearing in bipolar circuit simulation by direct method", Trans. IEICE, E71, 10, pp. 962-964(Oct. 1988).  
 (6) Nishigaki M., Tanaka N. and Asai H.: "Hierarchical decomposition for circuit simulation by direct method", Trans. IEICE, E73, 12, pp. 1948-1956(Dec. 1990).  
 (7) Nishigaki M., Tanaka N. and Asai H.: "HIDE: Hierarchical decomposition system for preprocessing of circuit simulation by direct method", Proc. JTC-CSCC, pp. 518-523(Dec. 1990).

(平成 3 年 3 月 14 日受付)