

シリコン多重ドット構造における単電子伝導の シミュレーション解析と光照射効果への適用

池田浩也, ラトノ ヌルヤディ, 石川靖彦, 田部道晴

(2003年 11月 17日 受理)

Circuit Modeling of Photoinduced Effects on Single-Charge Tunneling in a Silicon Multidot Structure

Hiroya IKEDA, Ratno NURYADI, Yasuhiko ISHIKAWA and Michiharu TABE

(Received Nov. 17, 2003)

Abstract

We have investigated the illumination effects on Coulomb blockade (CB) characteristics of Si two-dimensional multi-dot field-effect transistors. Some of the transistors exhibit remarkable changes in their CB characteristics for single-hole tunneling by the illumination, i.e., the generation of a new Coulomb oscillation peak and/or the gate-voltage shift. The photoinduced phenomena can be commonly explained by a model that the light illumination supplies an additional electron to a dot adjacent to the CB current percolation path. Monte Carlo simulation for an equivalent circuit based on the above model can reproduce the experimental characteristics.

1. はじめに

二次元的に敷き詰められた多重ドット構造は、レーザーはもちろん、高密度メモリ¹⁾や光センサ²⁾といった光デバイスへの応用が期待されている。このような観点から二次元多重量子ドットと光の相互作用に関する研究はいくつか報告されているが、それらはInAs³⁻⁶⁾やInGaAs⁷⁾のような化合物半導体の量子ドット層を浮遊ゲートとして用いた電界効果トランジスタに対する研究が中心であった。これらのトランジスタでは、光照射により励起されたキャリアが量子ドット中に捕獲され、その結果、二次元電子ガスのコンダクタンスが変化することが示されている。一方、シリコンドットに与える光照射効果に関する報告は1件しかなく、それも両電極間に単一シリコンドットを配した、いわゆる単電子トランジスタに関する研究である⁸⁾。その報告によれば、単電子トンネル伝導を特徴づける電流のクーロンブロック振動が、光照射により変調される。すなわち、トランジスタに光を照射すると、光励起により過剰な正孔がドット中に生成され、結果としてしきい値以下の電圧領域にも電流ピークが観察される。

本研究では、二次元的に敷き詰めたシリコン多重ドット構造をチャンネルとして持つ電界効果トランジスタを作製し、その電気的特性に与える光照射効果を調べ

た。その結果、単正孔トンネル伝導を表すクーロンブロック振動が観測され、光照射によりその電流ピークが新たに生成したり電圧シフトを起こすことを明らかにした。さらにこれらの現象が、正孔の伝導経路近傍のシリコンドットにおける電子捕獲に起因することを、モンテカルロシミュレーションにより示した。

2. 実験方法

本研究にて作製したシリコン多重量子ドットチャネルトランジスタの模式図を、Fig. 1(a)に示す。図に示すように、このトランジスタはSOI(silicon-on-insulator)基板上に形成されている^{9,10)}。チャンネル長及びチャンネル幅は、それぞれ約0.8 μm および0.2 μm である。チャンネル部に形成されているシリコンドットは薄いシリコン層を介して互いにつながっており、そのドット連結部は量子サイズ効果によりキャリアに対するトンネル障壁として働く。二次元多重ドットの形成は、ナノスケールのSiN核の自然形成とそれをマスクとした選択酸化プロセス(nano-LOCOS)により行った¹¹⁾。試料作製の詳細については、文献9および10を参照されたい。シリコンドットの高さと水平方向の直径は、原子間力顕微鏡により、それぞれ約4nmおよび20nmであることを確認した(Fig. 1(b))。また、ドット間連結部のシリコン膜厚は、5nmである。

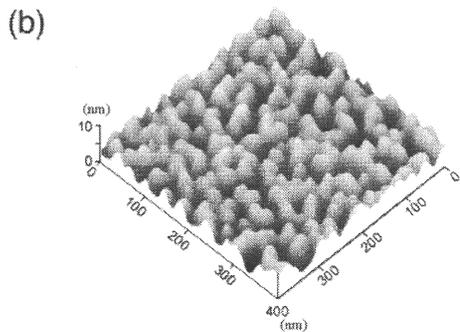
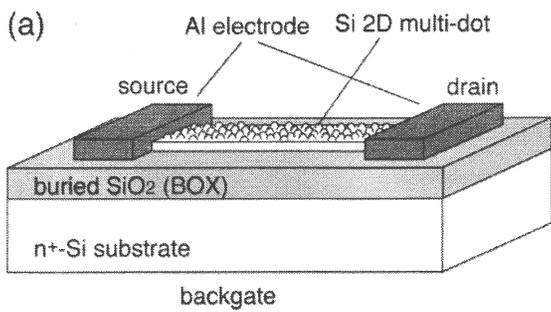


Fig. 1 (a) Schematic view of our 2D Si multi-dot-channel FET and (b) AFM image of the Si channel surface.

n⁺型シリコン基板は、バックゲート電極として利用する。また、チャネル部への光照射を行うため、トップゲート電極は配していない。ソースおよびドレイン部におけるアルミ電極とチャネルとの接合はショットキー接合を成しているが、本研究に用いた測定温度である15Kにおいても、トンネル電流によりキャリアがチャネルに注入される。光照射効果の実験にはハロゲン光を用いており、そのスペクトル強度分布は1 μ m付近にピークを持っている。

3. 結果および考察

3.1. 単正孔トンネルに与える光照射効果

多重ドットトランジスタの単正孔トンネル伝導に対して、いくつかの試料において光照射効果が観測された¹²⁾。もっとも重要な例をFig. 2に示す。これらのグラフは、ドレイン電圧を $V_{ds}=15\text{mV}$ で一定としたときの、ドレイン電流(I_{ds})—バックゲート電圧(V_{bg})特性である。Fig. 2(a)には光照射の有無に対する電流特性が示されている。矢印で示したように、どちらの $I_{ds}-V_{bg}$ 特性においてもその特性に複数の電流ピークが存在する。これらのピークは、単正孔トンネルのクーロンブロッケード現象に起因したものである。この図を見ると、それらのピークが光照射により、より小さい $|V_{bg}|$ にシフトすることがわかる。

一方Fig. 2(b)は、別の試料に対して光照射を行った結果である。この測定では連続して6回の走査を行っ

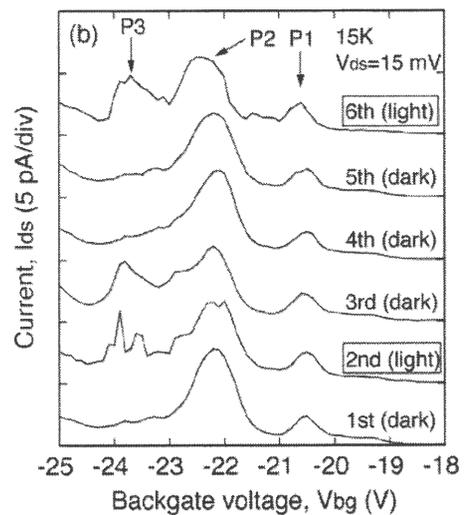
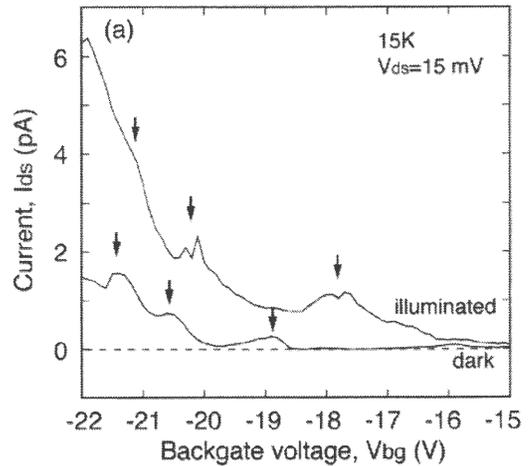


Fig. 2 Drain-current (I_{ds}) characteristics for hole tunneling at 15K, as a function of backgate voltage (drain voltage, $V_{ds}=15\text{mV}$). The $I_{ds}-V_{bg}$ curves are successively obtained from the first sweep of the gate voltage to the sixth sweep, and the 2nd and the 6th sweeps are performed in the illuminated condition during the whole sweeping period.

ており、2回目と6回目の走査中のみ光照射を行っている。1回目と2回目の特性を比べると、光照射により新しい電流ピーク(P3)が現れるが、その一方で他のピーク(P1およびP2)はほとんど影響を受けないことがわかる。その光照射で生成されたピークは、光源を取り去った後の3回目の $I_{ds}-V_{bg}$ 特性においては観測されるが、4回目の測定では突然消滅する。しかしながら、6回目の測定結果からもわかるように、もう一度光照射を行うことによりそのピークは再び現れる。

3.2. 二次元多重ドットチャネルトランジスタの等価回路モデル

3.1節で示したような光照射に伴う電流ピークの振る舞いを理解するために、二次元多重ドットチャネル

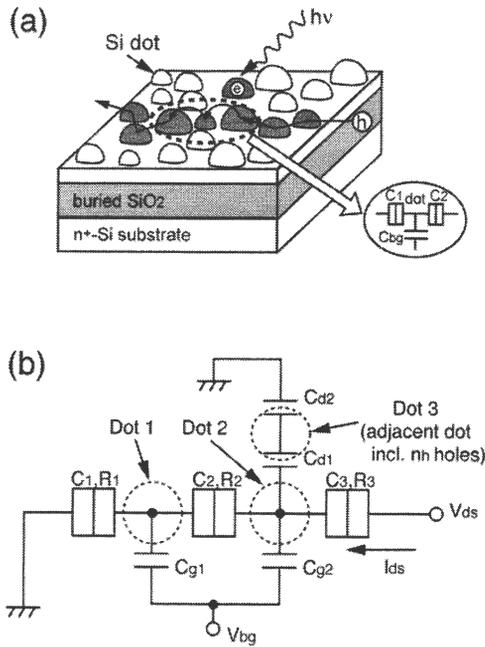


Fig. 3 (a) Schematic diagram of single hole percolation path in the 2D multi-dot channel and (b) its simplified equivalent circuit.

トランジスタに対応する等価回路を構築し、モンテカルロ法により電気伝導特性のシミュレーションを行った。

まず、光を照射しない場合のキャリア伝導を考える。これまでの我々の実験結果から、二次元多重ドット構造におけるキャリアの輸送は、ソースドレイン間を飛び石のように渡り歩く経路（パーコレーション経路）の中で最も低抵抗の経路において優先的に起こると考えられる (Fig. 3(a))^{9,10}。さらに電流は、その経路の中で最も抵抗の高いトンネル接合部により律速される。したがって、正孔のパーコレーション経路は、一連のドット、すなわちいくつかのトンネル接合の直列回路で表すことができる。

今回のシミュレーションにおいて、我々は光照射効果を、パーコレーション経路近傍のドットにおける付加電荷の生成として取り入れた。この仮定は、次のような理由に基づいている。まず、光照射によりドット中に付加電荷が生成されることが、多数報告されているという事実である^{4,6-8}。次に、二次元多重ドット系においてパーコレーション経路に寄与するドットの数に圧倒的に少ないため、光励起された電荷は、パーコレーション経路中のドットよりも周囲のドットに捕獲される可能性が高いと考えられることである。

以上の考察から、付加電荷の効果を確認するための試験的な回路として、Fig. 3(b)に示すような簡単な等価回路を提案する。主要部を成す正孔伝導経路は、直列に置かれた三つのトンネル接合で表した。すなわち、

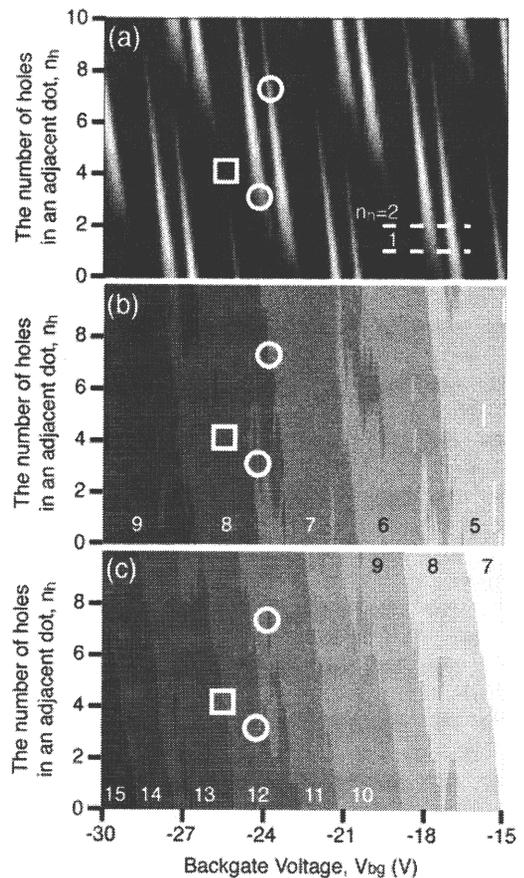


Fig. 4 (a) Calculated I_{ds} contour plot as a function of V_{bg} and n_h at 0K ($C_1=C_2=C_3=50$ aF, $R_1=R_2=R_3=1$ M Ω , $C_{g1}=0.05$ aF, $C_{g2}=0.08$ aF, $C_{d1}=1$ aF, $C_{d2}=9$ aF and $V_{ds}=1$ mV), where bright regions correspond to large tunneling currents, and (b) and (c) the numbers of holes in Dots 1 and 2, respectively.

二重量子ドットを表している（ドット1およびドット2）。 C_{g1} および C_{g2} は、バックゲート（埋め込み酸化膜）容量である。二つの直列容量（ C_{d1} および C_{d2} ）は隣接ドット（ドット3）を表しており、ドット2と接続している。また、ドット3は n_h 個の付加正孔を含んでいるとした。

この回路の単正孔トンネル特性を、モンテカルロシミュレーション¹³⁾により絶対零度の条件にて計算した。計算手法の詳細については、我々の論文を参照されたい^{2,14,15)}。

3.3. 単正孔トンネル特性シミュレーション

Fig. 4(a)は、回路パラメータを $C_1=C_2=C_3=50$ aF, $R_1=R_2=R_3=1$ M Ω , $C_{g1}=0.05$ aF, $C_{g2}=0.08$ aF, $C_{d1}=1$ aF, $C_{d2}=9$ aF, および $V_{ds}=1$ mV と置いたときの、 V_{bg} および n_h に対する I_{ds} をコントラストで表した図である。この図では、トンネル電流の高い領域が明るく示されている。ここで、縦軸の正孔数 n_h が非整数値の場合についても物理的

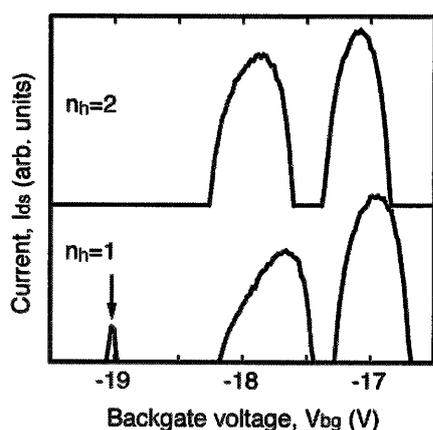


Fig. 5 I_{ds} - V_{bg} properties picked out from the contour plot for $n_h=1$ and 2 (indicated by broken lines in Fig. 4(a)).

意味があることに注意すべきである。なぜならば、この等価回路は二次元多重ドットトランジスタを表したものであり、等価回路中のこの1個の隣接ドットが周辺ドットの有する電荷の効果全てを代表していると考えれば、実効的な電荷量は連続的に変化し得るからである。さて、この図から、一对の電流ピークが V_{bg} および n_h の両方に対して周期的に現れることがわかる。これらの電流ピークの起源を明らかにするために、シミュレーション終了時にそれぞれのドットが有する正孔の数を、 V_{bg} および n_h に対してプロットした。Fig. 4(b)および4(c)は、それぞれドット1およびドット2に存在する正孔数をコントラストで表しており、図中の数字が正孔数である。このように正孔数とその値に応じて領域分けされるのは、クーロンブロック現象によりエネルギー的に安定なドット内正孔数が存在するためである。

これらの図を比較するとわかるように、Fig. 4(a)におけるゼロ電流領域は、ドット1およびドット2内の正孔数が固定された(安定した)領域に対応している。換言すれば、両方のドットの正孔数が変化する境界が一致したときのみ、トンネル電流が流れる。このような周期的電流は、二重ゲートを持つ点接触トランジスタに対する単電子輸送のシミュレーションにおいても現れる¹⁶⁾。ただし、この場合には、二つのサイドゲート電圧に対して電流ピークが周期性を持つことになる。従って、本研究の等価回路では、隣接ドット内の正孔が付加的なゲート電圧として働くことを意味している。

Fig. 5 は、 $n_h=1$ および 2 に対する I_{ds} - V_{bg} 特性を、Fig. 4(a)中の破線部について抜き出して示したものである。このグラフは、隣接ドット内の正孔数が $n_h=2$ から 1 に減少することにより、矢印で示した電流ピー

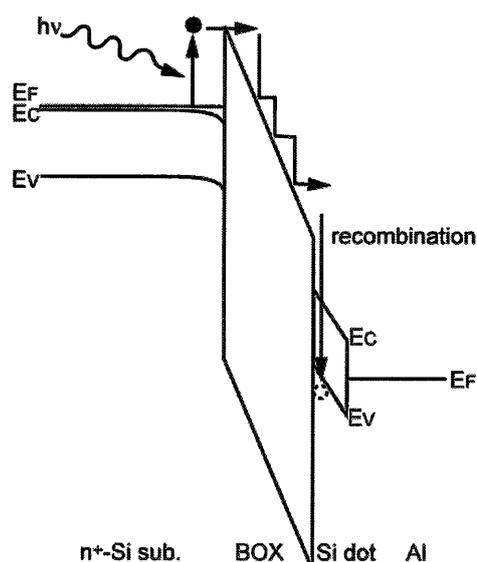


Fig. 6 Schematic band diagram for a hole-annihilation process during the light illumination.

クが新たに生成されることを示している。従って、Fig. 2(b)で述べた光照射によるピークの生成は、隣接ドットにおける電子の捕獲(つまり正孔の消滅)によるものと考えられる。さらに、光照射を止めた後のピークの消失は、その隣接ドットに再び正孔が捕獲されるために起こるものと推察される。

一方、Fig. 2(a)に示した光照射によるピークのシフトも、Fig. 3(b)で示した等価回路により説明できる。すなわち、Fig. 4(a)の電流ピークは、 n_h の減少に伴いわずかに $|V_{bg}|$ が小さくなっている。ドットの形状及び連結部の形状は様々なため、ゲート容量等の回路パラメータはトランジスタごとにばらついており、 n_h の減少に伴う $|V_{bg}|$ の変化がより顕著に現れるデバイスも存在する。従って、別の試料では大きな電流ピークシフトが観察されることは十分に起こり得る。

3.4. 光照射による正孔消滅過程

以上の結果から、光照射によりドット内の正孔数が減少し、その結果電流ピークの生成やシフトが生ずることが明らかとなった。ここでは、その光照射に伴う一連の過程について考察を行う。Fig. 6 は、光照射による正孔消滅過程を表すバンド図である。最初に、本研究で用いたトランジスタでは、多重ドットチャネル部における光吸収はほとんど考えなくてよいと仮定した。これは、チャネル層厚さがせいぜい 10nm であり、シリコン基板に比べて非常に薄いためである。すなわち、光吸収過程は主としてシリコン基板中で起こると考えられる。光照射により励起された基板中の電子は、埋め込み酸化膜を介してシリコンドットチャネル層に

注入される。注入された電子は、パーコレーション経路に隣接したドット内に存在する正孔と再結合を起こし、結果的にドット内正孔数を減じるものと考えられる。

4. まとめ

我々は、二次元多重ドットチャネル構造を有する電界効果トランジスタを作製し、その電気的特性について光照射効果を中心に研究を行った。単正孔トンネル特性に対する光照射効果を測定した結果、光照射により新しい電流ピークの生成やピーク位置のシフトが観察された。これらの現象は、電流経路近傍のシリコンドット内正孔数の減少により説明されることが、等価回路を用いたシミュレーションにより示された。光励起された電子が基板からドットに注入され、正孔と再結合することにより正孔数が減るものと考えられる。

本来シミュレーションでは、実験結果と合わせ込むことにより回路パラメータを決定することができる。しかしながら、本研究で扱っている多重ドット系は回路パラメータが非常に多く、また実際のトランジスタにおいてどのドットが有効に働くかが不明なため、全てのパラメータを決定すること自体がほとんど意味を成さない。今回のシミュレーションについて言えば、唯一バックゲート容量 (C_{g1} , C_{g2}) のみが、クーロンブロッケード振動の周期から見積もられた容量に近い値に設定できたに過ぎない。現在我々は、ケルビンフォース顕微鏡を用いて、トランジスタ動作中の二次元ドット内電荷分布を局所的に調べる実験に着手している。この実験により電流経路および有効な隣接ドットが特定されれば等価回路との一対一対応が可能となり、本研究で示したようなシミュレーション解析は飛躍的にその重要度を増すことになるであろう。

5. 謝辞

本研究を遂行するにあたり、トランジスタの作製等技術的支援を頂いた水野武志技官に感謝いたします。本研究の一部は、CREST, 日本学術振興会科学研究費補助金並びに高橋産業経済研究財団の助成によりなされ

たものである。

参考文献

- 1) S. Muto, Jpn. J. Appl. Phys. **34**, pp. L210-L212, 1995.
- 2) M. Tabe, Y. Terao, R. Nuryadi, Y. Ishikawa, N. Asahi, Y. Amemiya, Jpn. J. Appl. Phys. **38**, pp. 593-596, 1999.
- 3) K. Imamura, Y. Sugiyama, Y. Nakata, S. Muto, N. Yokoyama, Jpn. J. Appl. Phys. **34**, pp. L1445-L1447, 1995.
- 4) G. Yusa, H. Sakaki, Appl. Phys. Lett. **70**, pp. 345-347, 1997.
- 5) J. J. Finley, M. Skalitz, M. Arzberger, A. Zrenner, G. Böhm, G. Abstreiter, Appl. Phys. Lett. **73**, pp. 2618-2620, 1998.
- 6) A. J. Shields, M. P. O'Sullivan, I. Farrer, D. A. Ritchie, R. A. Hogg, M. L. Leadbeater, C. E. Norman, M. Pepper, Appl. Phys. Lett. **76**, pp. 3673-3675, 2000.
- 7) M. Krooutvar, Y. Ducommun, J. J. Finley, M. Bichler, G. Abstreiter, A. Zrenner, Appl. Phys. Lett. **83**, pp. 443-445, 2003.
- 8) A. Fujiwara, Y. Takahashi, K. Murase, Phys. Rev. Lett. **78**, pp. 1532-1535, 1997.
- 9) R. Nuryadi, Y. Ishikawa, H. Ikeda, M. Tabe, Abstr. of 2003 Silicon Nanoelectronics Workshop, pp. 100-101, Kyoto, Japan, Jun., 2003.
- 10) R. Nuryadi, H. Ikeda, Y. Ishikawa, M. Tabe, Ambipolar Coulomb blockade characteristics in a two-dimensional Si multi-dot device, IEEE Trans. Nanotechnol., **2**, pp. 231-235, 2003.
- 11) M. Tabe, M. Kumezawa, Y. Ishikawa, T. Mizuno, Appl. Surf. Sci. **175/176**, pp. 613-618, 2001.
- 12) R. Nuryadi, H. Ikeda, Y. Ishikawa, M. Tabe, Extended Abstract of the 2003 Int. Conf. on Solid State Devices and Materials, pp. 326-237, Tokyo, Japan, Sep., 2003.
- 13) M. Kirihara, N. Kuwamura, K. Taniguchi, C. Hamaguchi, Extended Abstract of the 1994 Int. Conf. on Solid State Devices and Materials, pp. 328-330, Yokohama, Japan, Aug., 1994.
- 14) M. Tabe, N. Asahi, Y. Amemiya, Y. Terao, Jpn. J. Appl. Phys. **36**, pp. 4176-4180, 1997.
- 15) M. Tabe, Y. Terao, N. Asahi, Y. Amemiya, IEICE Trans. Electron. **E81-C**, pp. 36-41, 1998.
- 16) M. Khalafalla, H. Mizuta, Z. A. K. Durrani, Abstr. of 2003 Silicon Nanoelectronics Workshop, 2003, pp. 96-97, Kyoto, Japan, Jun., 2003.