

パイプラインアナログデジタル変換器におけるキ  
ャパシタミスマッチ補正に関する研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-04-02 キーワード (Ja): キーワード (En): 作成者: 古田, 雅則 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10297/1329">http://hdl.handle.net/10297/1329</a>

氏名・(本籍)	古 田 雅 則 (三重県)
学位の種類	博 士 (工 学)
学位記番号	工博甲第 255 号
学位授与の日付	平成 16 年 3 月 24 日
学位授与の要件	学位規程第 5 条第 1 項該当
研究科・専攻の名称	電子科学研究科 電子応用工学
学位論文題目	パイプラインアナログデジタル変換器におけるキャパシタミスマッチ補正に関する研究
論文審査委員	(委員長) 教授 渡 邊 健 蔵      教授 浅 井 秀 樹 教授 杉 浦 敏 文      教授 川 人 祥 二

## 論 文 内 容 の 要 旨

移動体通信やインターネットにおける通信速度の高速化、映像機器の高精細化・高画質化、またディスクメディアの高速化に伴い、A/D 変換器への性能要求が加速度的に高まっている。特に、CMOS 化で高速化・高精度化と共に、低消費電力での実現が望まれている。A/D 変換器を実現する回路アーキテクチャは、これまでも数多く報告がなされているが、その中でも、スイッチトキャパシタ(SC)回路を用いた低分解能 A/D 変換器の多段従属接続により構成されるパイプライン A/D 変換器は、高速、高分解能、低消費電力な A/D 変換器として有効であり、近年特に注目されている。パイプライン A/D 変換器では、SC 回路で構成される基本演算回路の設計により A/D 変換器の性能が決定されるが、高速、低消費電力の要求に対し、基本演算回路において比較的 low 容量のキャパシタを使用したとすると、非直線性誤差の主要因はキャパシタミスマッチとなる。高速なサンプリングレートと、高分解能を両立した A/D 変換器を低消費電力で実現させる際には、複数の A/D 変換器を並列接続し、インターリーブ動作させるパラレルパイプラインアーキテクチャが有効である。このアーキテクチャにおいては、基本演算回路のキャパシタミスマッチのみならず、各チャンネル間で生じる S/H 段のキャパシタミスマッチにより生じるゲイン誤差、そしてチャージインジェクションにより生じるオフセット誤差が非直線性誤差に影響する。以上のことから、高速、低消費電力 A/D 変換器の設計においては、アナログ性能を劣化させることなく上記問題を改善させるキャパシタミスマッチ補正手法の検討が重要な課題となる。

これまでも、この問題を改善するいくつかの報告があるが、その内容は、大きくアナログ補正手法とデジタル補正手法に大別できる。アナログ補正手法は、A/D 変換器の基本演算回路中にキャ

パシタ mismatch 補正用のトリミングキャパシタを付加し、直接アナログ領域で mismatch 補正を行う手法である。このため、この手法では mismatch 補正のための特別なアナログ回路を基本演算回路中に組み込む必要があり、速度性能を低減させるだけでなく、A/D 変換器で使用可能な回路アーキテクチャをも制限する可能性がある。一方、デジタル補正手法は、A/D 変換後のデジタル出力に対しキャパシタ mismatch による誤差の補正処理を行うため、A/D 変換器そのものの性能を劣化させることなく誤差の補正処理が可能な手法である。この手法では、誤差補正用の特別なロジック回路が必要となるが、問題となる回路面積および消費電力は、CMOS プロセス技術の進歩により解消できると考える。しかしながら、現段階で開発されているデジタル補正手法では、アナログ補正手法と同様、デジタル補正值推定のための付加的な回路が必要となり、アナログ回路性能にも影響を与える。

本論文では上記問題を解決するキャパシタ mismatch のデジタル補正手法を提案している。提案する手法は、デジタル補正手法に基づくが、問題となるキャパシタ mismatch の誤差係数推定をデジタル領域で行うため、基本演算回路中の補正用アナログ回路を一切不要とすることができる。提案する補正手法を、冗長 2 進、及び冗長 4 進パイプライン A/D 変換器に対し適用し、その補正アルゴリズムを定式化した。提案する手法は、ランプ信号を A/D 変換器入力に与え、そのデジタル出力より得られる積分非直線性誤差 (INL) 特性を用いる。INL の全誤差電力とキャパシタ mismatch との関係を解析することで、両者の間には二次関数の関係があることを導き出し、冗長 2 進、冗長 4 進パイプライン A/D 変換器における各段のキャパシタ mismatch は、この関係を用いた簡単な計算により推定することが可能であることを見出し、それらの補正アルゴリズムを確立した。

提案するキャパシタ mismatch のデジタル補正を、 $0.3\mu\text{m}$  CMOS 技術で試作した冗長 2 進 10 ビットパイプライン A/D 変換器、及び冗長 2 進 10 ビット 4 並列パイプライン A/D 変換器に適用し実験を行った。その結果、提案する補正手法を用いることで、両試作チップの非直線性誤差を理論限界である  $0.25\text{LSB}$  に近い  $0.3\text{LSB}$  以下まで向上できることを確認すると共に、検討した mismatch 推定手法は高精度に mismatch 推定が可能であることを確認した。冗長 4 進パイプライン A/D 変換器への適用も、計算機シミュレーションによる実験により、高分解能な A/D 変換器においても非直線性誤差を理論限界付近にまで向上できることを確認した。これを冗長 4 進 14 ビット 4 並列パラレルパイプライン A/D 変換器に応用し、設計を行った。その結果、その A/D 変換器に組み込むデジタル補正回路は、 $0.13\mu\text{m}$  CMOS 技術で実装した場合、約  $0.3 \times 0.9\text{mm}^2$  と極めて小面積で実現できることを明らかにした。

## 論文審査結果の要旨

高速高分解能 A/D 変換器は、通信・映像機器の性能を支配する重要な回路要素である。高速高分解能 A/D 変換器のアーキテクチャとしては、スイッチトキャパシタ(SC)回路を用いたパイプライン方式が主流となってきているが、高速・低消費電力化のために、基本演算に用いるキャパシタを低容量化した場合、キャパシタミスマッチが非直線性誤差の支配的な誤差要因となり、高分解能 A/D 変換器の実現には、その誤差補正が必須である。これまでも、その誤差を補正する多くの提案があるが、いずれもその誤差補正または誤差測定のための回路を A/D 変換器本体のアナログ回路の中に組み込む必要があり、アナログ性能に影響を与えるため、補正精度を保証できないという問題があった。本論文は、上記問題を解決するキャパシタミスマッチのデジタル補正に関する研究を取りまとめたものであり、全6章から成る。

第1章は序論であり、本研究の背景と目的を述べている。第2章は、パイプライン A/D 変換器に関する基礎的考察として、その精度を決める誤差要因等について考察している。第3章は、冗長2進パイプライン A/D 変換器におけるキャパシタミスマッチのデジタル補正に関する提案手法について述べている。積分非直線性誤差から計算した評価関数を用いて、キャパシタミスマッチを推定するアルゴリズムを提案し、これにより補正用アナログ回路を一切用いることなく、各演算段の誤差を独立に推定できることを、シミュレーションにより確認している。第4章では、冗長2進方式に対する手法を拡張し、冗長4進パイプライン A/D 変換器に対するキャパシタミスマッチ補正のアルゴリズムを提案し、特に分解能が12ビット以上の非常に高分解能である場合でも適用できるよう改良を加えている。12ビット以上では、各演算段ミスマッチの相関の項が影響することを示し、積分非直線性誤差から計算した評価関数を用いた反復的推定により、その影響を低減することで、良好にキャパシタミスマッチ誤差の推定ができることをシミュレーションにより確認している。第5章では、0.3 $\mu\text{m}$  CMOS 技術で試作した冗長2進10ビットパイプライン A/D 変換器、及び冗長2進10ビット4並列パイプライン A/D 変換器に提案するキャパシタミスマッチ誤差補正手法を適用し、それらの非直線性誤差を理論限界である0.25LSB に近い0.3LSB 以下まで向上できることを実験的に確認している。第6章は、結論であり、得られた成果をまとめている。

以上の成果は、高速高分解能 A/D 変換器の分野に寄与するところが大きく、よって本論文は博士(工学)の学位を授与するに値するものであると認める。