

MOSFET高性能化に向けたSOI技術に関する研究

メタデータ	言語: jpn 出版者: 公開日: 2008-04-02 キーワード (Ja): キーワード (En): 作成者: 石山, 俊彦 メールアドレス: 所属:
URL	http://hdl.handle.net/10297/1335

氏名・(本籍)	石 山 俊 彦 (北海道)		
学位の種類	博 士 (工 学)		
学位記番号	工博乙第 100 号		
学位授与の日付	平成 15 年 9 月 29 日		
学位授与の要件	学位規程第 5 条第 2 項該当		
学位論文題目	MOSFET 高性能化に向けた SOI 技術に関する研究		
論文審査委員	(委員長)		
	教授	田 部 道 晴	教授 川 人 祥 二
	教授	福 家 俊 郎	助教授 池 田 浩 也
	教授	三 村 秀 典	

論 文 内 容 の 要 旨

本論文では、Silicon-on-Insulator(SOI)技術を用いた Metal Oxide Semiconductor Field Effect Transistor (MOSFET)の高性能化を検討した。線幅100nm 以下のいわゆるナノスケール MOSFET を実現するために、多くの新技術が検討されている。その中でも、SOI 技術は、微細化によってチャネル容量が削減できるなど、通常の Si 基板を置き換えることで性能向上が図れることから、ナノスケール MOSFET への適用が期待されている。しかし、SOI 技術は、これまで長い歴史がありながら、基板、プロセス、デバイスの各技術においてバルク Si 基板並の精度を満足させることが難しく、実用化に至っていない。こうした背景のもと、本論文では SOI 構造の基板、プロセス、デバイスにわたる各技術を検討し、さらに、SOI 構造特有の物理現象を解明した。

SOI 技術の根幹である基板技術に関して、高温、長時間のアニールの過程でおこる Si-SiO₂ 界面の再構成について検討した。SIMOX 基板のアニール過程で Si-SiO₂ 界面に発現する正方形形状構造の成長メカニズムと界面平坦化プロセスを原子間力顕微鏡により検討し、界面の平坦性を説明するモデルを提案した。モデルでは、アニールの初期過程では結合が、十分時間が経過した後では拡散が、それぞれ、正方形形状構造の成長や界面平坦化の駆動力になっていることを仮定した。モデルをとり入れた時間依存の Ginzburg-Landau 方程式を計算した結果は、Si-SiO₂ 界面の平坦化過程をよく説明した。

プロセス技術に関して、SOI 構造に由来する不純物分布について議論した。イオン注入された不純物は、アニール過程で、Si-SiO₂ 界面で異常集積、偏析などの現象を起こす。SOI 構造は、Si 層が SiO₂ 層にサンドイッチされた構造をしており、界面での不純物の分布は影響を受ける。アニール過程での不純物の再分布を正しく取り扱うための、「SOI 構造のための interlayer(中間層)モデル」を提案し

た。本提案モデルにより、薄層 SOI 構造中の不純物分布のシミュレーション結果は実験結果とよく一致した。

SOI 構造特有の物理現象として、SOI 基板の埋込 SiO₂ 層の酸化現象(対向酸化)について検討した。SOI 基板は熱酸化の過程で、表面熱 SiO₂ 層だけでなく埋込 SiO₂ 層も酸化されることを示した。この現象のメカニズムは、従来から用いられてきた Deal-Grove の酸化モデルに、上部 Si 層を透過する酸素の拡散を考慮した拡張を施すことによって説明できることを示した。

SOI 構造特有のデバイス物理の現象として、バンド間トンネル電流の SOI MOSFET の上部 Si 層厚依存性について検討した。オフ状態でのバンド間トンネルに由来するドレイン電流は、上部 Si 層の膜厚の減少にともない増加した。この現象は、2次元デバイスシミュレーションによる解析から、上部 Si 層厚の減少によって、表面電界強度が増加することによることを示した。上部 Si 層厚に対する不純物濃度を考慮すれば、バンド間トンネル電流特性を定量的に説明できることを明らかにした。

上記の SOI 基板、プロセス技術の検討結果をナノスケール MOSFET に適用するため、前段階の検討として、サブミクロンルールの SOI パワー IC(SOI MOSFET および SOI パワー MOSFET から構成)を作製した。SOI パワー IC を構成する素子の内、SOI パワー MOSFET では、埋込 SiO₂ 層の品質や不純物分布がしきい値電圧や耐圧に影響するため、基板、プロセス技術の評価に適しているためである。本論文では、SOI パワー IC のデバイス特性だけでなく、作製方法である「デバイス反転型 Si ウエハ直接貼り合わせ法(RSDB法)」を含めて評価した。RSDB 法を適用することにより、埋込 SiO₂ 層厚をパワー MOSFET と nMOSFET で、それぞれ最適な値を選択することができた。RSDB 法を用いて作製した SOI パワー MOSFET は、SOI 基板を用いて作製された従来型の SOI パワー MOSFET に比べ、しきい値電圧が基板バイアスの影響を受けないなどの優れた特性を示した。

パワーデバイスの特性を向上させる構造として Quasi-SOI 構造を用いた例を示し、デバイスの構造パラメータを最適化することにより、デバイス特性を向上させた。埋込 SiO₂ 層の膜厚とドレインオフセット領域の不純物濃度の間の相関を示すとともに、短チャネル効果、寄生バイポーラ効果の両方を抑制できる新規のデバイス構造を提案した。

本論文で述べた各種の検討を開始した時点では、SOI 基板は膜厚の均一性や界面の平坦性に課題を抱えていた。しかしながら、本研究により、Si-SiO₂ 界面の評価に原子間力顕微鏡を導入、さらにはスケーリング解析などの解析手法を取り入れたことによって、界面の平坦性を定量的に把握することができるようになった。こうしたことを契機に、高品位 SOI 基板が開発されるようになった。現在では、SOI 基板を用いてマイクロプロセッサが商品化されたり、ナノスケール MOSFET の実用化が議論される段階にきた。さらには、単電子デバイス用基板としても利用され、ナノスケール MOSFET 実現のためのキーテクノロジーとして広く利用されるようになってきている。以上、本研究成果により、総合してナノスケール MOSFET にまで適応できるレベルの SOI 技術を確立することができた。

論文審査結果の要旨

本論文は、Metal Oxide Semiconductor Field Effect Transistor (MOSFET) の高性能化に向けた Silicon-on-Insulator (SOI) 技術に関する研究をまとめたものである。線幅100nm以下のいわゆるナノスケール MOSFET を実現するために、多くの新技術が検討されている。その中でも、SOI 技術は、微細化によってチャネル容量が削減でき低消費電力化が図れることから、実用化が期待されている。しかし、SOI 技術は、これまで長い歴史がありながら、基板、プロセス、デバイスの各技術においてバルク Si 基板並の精度を満足させることが難しく、本格的な実用化には至っていない。こうした背景のもと、本論文では、SOI 構造の基板、プロセス、デバイスにわたる各技術を検討し、さらに、SOI 構造特有の物理現象を解明した。

第1章では、SOI 技術の概要と本研究の目的が述べられている。

第2章では、SOI 技術の根幹である基板作製技術に関して、高温、長時間のアニールの過程でおこる Si-SiO₂ 界面の平坦化について述べられている。アニールによる Si-SiO₂ 界面の平坦化プロセスを原子間力顕微鏡により検討し、平坦化を説明するモデルを提案している。

第3章では、SOI 構造特有の不純物分布について議論している。イオン注入された不純物は、Si-SiO₂ 界面で偏析現象を起こし、これが FET チャネル部のドーパント濃度を通してデバイス動作に影響を与える。アニール過程での不純物の再分布を説明できる「界面トラップモデル」を提案している。

第4章では、SOI 構造特有のもうひとつの物理現象として、埋込 SiO₂ 層の酸化現象(対向酸化)について述べている。SOI 基板を熱酸化すると、表面熱 SiO₂ 層だけでなく埋込 SiO₂ 層も成長することを発見した。この現象のメカニズムは、従来から用いられてきた Deal-Grove モデルに、上部 Si 層を透過する酸素の拡散を考慮することによって説明できることを示している。

第5章では、バンド間トンネル電流の上部 Si 層厚さ依存性について述べている。オフ状態でのバンド間トンネルに由来するドレイン電流は、上部 Si 層の膜厚の減少にともない増加した。この現象は、2次元デバイスシミュレーションによる解析から、上部 Si 層厚の減少によって、表面電界強度が増加することによることを示している。

第6章では、上記のプロセス技術の検討結果をサブミクロンルールの SOI パワー IC に適用した結果について述べている。本論文では、SOI パワー IC として、デバイス特性だけでなく、作製方法である「デバイス反転型 Si ウェハ直接貼り合わせ法(RSDB法)」を含めて評価した。その結果、従来型の SOI パワー MOSFET に比べ、しきい値電圧が基板バイアスの影響を受けないなどの優れた特性を示した。

第7章では、パワーデバイスの構造として Quasi-SOI 構造を用いた例を示し、構造パラメータを最適化することにより、デバイス特性を向上させた結果を示すとともに、短チャネル効果、寄生バイポーラ効果の両方を抑制できる新規のデバイス構造を提案している。

以上のように、本研究は MOSFET の高性能化に向けた SOI 技術に関し、多くの有意義な知見を得ており、工学上の寄与が大きい。よって、博士(工学)の学位を授与するに値すると認めるものである。