

氏名・(本籍)	齋藤将人 (静岡県)
学位の種類	工学博士
学位記番号	工博乙第 2 号
学位授与の日付	昭和 55 年 12 月 3 日
学位授与の要件	学位規則第 7 条第 1 項該当
学位論文題目	電子計算機の中央処理装置系における設計とその評価理論の研究
学位審査委員	(委員長) 教授 松本欣二 教授 松井英一 教授 鈴木久喜 助教授 落水浩一郎 助教授 阿部圭一

論文内容の要旨

本研究は、中央処理装置、主記憶装置とデータチャネルからなる中央処理装置系の方式設計のための理論であり、また、設計された装置・システムの最適性評価と設計品質評価の理論でもある。

コンピュータは半導体技術の進歩に支えられて目覚ましい発達をとげてきているが、ハードウェアの基本構造と性能との関係について体系的な理論の構築がなされてきていない。そのため、方式設計は試行錯誤やシミュレーションに依存し、設計の妥当性・効率等において問題であった。そこで、本研究は、小型から大型コンピュータで典型的とみられるいくつかの中央処理装置系のタイプ(又はシステム)の性能解析を体系的に行い、加えて、命令用とデータ用とを分けた新しいキャッシュ方式である分割型キャッシュのミスヒット率の解析、データチャネルのバッファ量算定法の定式化と設計された装置の設計品質評価技法の提案を行った。

本論文は、第 3 章で前記理論を展開しているが、これの理解を助ける意味で第 2 章に中央処理装置系の構成概要を述べ、第 4 章では理論の実際の設計への応用例について述べ、付録で第 3 章の理論の拡張を参考として行うと同時に理論式の一部について数値計算表を載せた。

まず、シングルプロセッサシステムでは、いずれもインタリーブしない単一メモリユニットをもち、ストアバッファもキャッシュもないタイプ、1 段ストアバッファ付きのキャッシュのないタイプ、1 段ストアバッファ付きのキャッシュのあるタイプと、 $S+1$ 段ストアバッファ付きのキャッシュのあるタイプの各々について、システムアーキテクチャ、ソフトウェア、ハードウェア論理構造とハードウェアテクノロジーの各特性を表す若干のパラメータを用いて、平均命令実行時間とメモリ使用率を体系的に求めた。これによると、キャッシュはシステム性能を数倍改善するが、ストアバッファは高々 1~2 割の改善にとどまり、ハードウェア環境が同じなら実効メモリアクセス回

数が少ない程システム性能は向上する。

次に、 n メモリユニットに密結合された2プロセッサシステムについて、メモリセイクル時間が一定で、メモリアクセス要求間隔（演算サイクル時間）が指数分布に従う場合と一定値の場合（このときは $n=1$ ）との性能解析と評価を行った。これは skinner より厳密で TAKÁCS レベルの解析である。従って、TAKÁCS の automatic machines $m=2$ の場合は、筆者の $n=1$ の場合と数式的に一致し、また、メモリユニットが閉塞されている確率をあらかじめ一定値で与えた、skinner の粋い近似手法による結果との比較では、シングルプロセッサシステムでのメモリ使用率が低いところでは筆者と数値的に殆んど差異がないが、メモリ使用率が高いところでは高々5%程度の差異を生ずる。

更に、命令語専用とデータ語専用とに分けた分割型キャッシュの有効性を評価するために完全アソシティブ方式をモデルに、従来の命令語とデータ語を混在させる共用型キャッシュとのミスヒット率の比較を行った。これから、分割型キャッシュで命令語用とデータ語用を等容量（即ち、各々を共用型キャッシュの $1/2$ にする）にすればミスヒット率は共用型のそれと殆んどかわらないことがわかった。このようにキャッシュを分割すると、命令語フェッチとデータ語フェッチのキャッシュ上での競合を回避出来ると同時にマシンサイクル時間の短縮を図ることが出来るため、共用型キャッシュによる中央処理装置より性能を上げることが可能となる。

また、データチャネルのバッファ量の算定については、着目したチャネルとそれよりデータ転送の優先度が高いチャネル（上位チャネル）のデータ転送におけるメモリ使用率、並びにメモリユニットとチャネル間のデータ転送幅に着目して、オーバラン確率0での所要バッファ量を定める代数方程式を導いた。これによると、確率論による伊藤の場合に比べ、実用範囲でのチャネル数が少ないところ、或いはチャネル数が多くとも上位チャネルのメモリ使用率の和が大きいところでは大幅にバッファ量を減少させてよいことがわかった。

最後に、当初装置に内在する総ミス量を B_1 、デバグに投入した作業時間×投入工数を x 、それによって検出されたミス量 $b(x)$ をとすると、論理ミスの検出過程は $b(x) = B_1(1 - e^{-ax})$ で近似出来ることを実際のデータから検証した。これは、よく知られている Logistic 曲線や Compert Z 曲線よりずっと高く論理ミス検出過程を近似する。若干の期間論理ミス検出過程を実際に試行することによってこの予測式から装置に残存する総ミス量と装置を所要品質にするために必要な x の値を知り設計品質をコントロールする手法を述べた。

以上の各理論の応用例として、DIPS 通信制御装置 II、DIPS-11 モデル20 CPU/DCH、DIPS BMC、ACOS77NEACシステム800モデル3の各場合について述べた。

また、付録に、理論の拡張の参考として、 n ウエイインタリーブされたメモリユニットとバンク毎に1段ストアバッファをもちキャッシュのあるシングルプロセッサシステムの性能を定式化、インタリーブしない n メモリユニットをもちキャッシュと1段ストアバッファのある2プロセッサシステムの性能解析、インタリーブしない一つのメモリユニットを共用する r プロセッサシステムの性能解析を行い、更に、本文のシングルプロセッサ、2プロセッサの各タイプの理論式の汎用数表と分割型キャッシュのミスヒット率の数値計算表を掲げた。