

R-2Rラダー型デジタル・アナログ変換器に関する研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-04-11 キーワード (Ja): キーワード (En): 作成者: 王, 雷 メールアドレス: 所属:
URL	http://hdl.handle.net/10297/1435

氏名・(本籍)	王 雷 (中国)
学位の種類	博士 (工学)
学位記番号	工博甲第 219 号
学位授与の日付	平成 13 年 9 月 21 日
学位授与の要件	学位規程第 5 条第 1 項該当
研究科・専攻の名称	電子科学研究科 電子応用工学
学位論文題目	R-2Rラダー型デジタル・アナログ変換器に関する研究 (R-2R Ladder Digital-to-Analog Converters)

論文審査委員	(委員長)				
	教授	川 人 祥 二	教授	浅 井 秀 樹	
	教授	藤 安 洋	助教授	村 上 健 司	
	教授	渡 邊 健 蔵			

論 文 内 容 の 要 旨

アナログ・デジタル混在応用指向型集積回路(ASIC)において最も重要な素子はシステムの精度を左右するアナログ・デジタル(AD)変換器とデジタル・アナログ(DA)変換器である。システムの小型化、消費電力、経済性などの理由でアナログ・デジタル混在 ASIC を CMOS プロセスで製造することは最適である。それに対応した D/A 変換器を設計することも求められる。本論文では MOS トランジスタの電流分割原理と電圧制御電流源(VCCC)の特性を用いた高速、低消費電力の電流モード DA 変換器、及びその基本である通常の抵抗を用いた R-2Rラダー DA 変換器に関する研究成果をまとめたものであり、全 5 章から成る。

第 1 章では研究の背景、目的と論文の構成を述べている。まず、DA 変換器は 2 進表現された n ビットのデジタル信号とアナログ基準値との乗算を行う乗算器であることを示した。DA 変換器は量子化基準によって電圧モード構成、電流モード構成、電荷モード構成に分類することができる。最も簡潔な抵抗列による電圧モード DA 変換器から 2 進荷重電流源方式スイッチド・キャパシタ DA 変換器まで、それぞれ構成が異なる DA 変換器の長所と短所を比較して R-2R 梯子(ラダー)型 DA 変換器が小型集積化に適しているとの結論を得た。又、DA 変換器の特性を評価するために性能基準を紹介した。

第 2 章では、まず通常の抵抗を用いた R-2R 梯子型 DA 変換器の消費電力について検証し、電流モード構成は本質的に最も低消費電力の R-2R ラダー DA 変換器であり、低消費電力動作には最も

適していることを証明した。次に、R-2R の抵抗不整合による DA 変換器の積分非直線性(INL)を求めた。解析により、抵抗の不整合 ϵ が $\epsilon < 2^{-n}$ であれば n ビットの精度を得られることを判明した。又、ラダーの各抵抗値を外部端子での電圧、電流を測定することによって評価する新しい方法を説明した。更に、R-2R DA 変換器の INL の誤差要因である抵抗の不整合、スイッチのオン抵抗、及びラダーから出力端子までの配線抵抗による積分非直線性(INL)を解析とシミュレーションによって求め、それぞれの INL パターンの顕著な特徴を明らかにした。抵抗不整合による INL パターンはメジャーキャリアに対し反対称になるのに対し、スイッチオン抵抗による INL パターンは対称になり、一方、配線抵抗による INL は対称性を持たず、その最大点が最下位ビット (LSB) 側にシフトすることを示した。配線抵抗 R_{out} とラダー抵抗 R の比 (R_{out}/R) が大きくなるほど INL が大きくなり、配線抵抗同士の比 (R_{out}/R_{out}) が小さくなるにつれて INL の最大点は LSB 側へシフトすることも示した。最後に、INL の最大値が 1LSB となる時の R_{out}/R と R_{out}/R の関係とそれぞれの抵抗の値を決める方法も示して、n ビットの分解能を得るために配線抵抗はラダー抵抗の 2^{-n} 以下でなければならないことを示した。

第 3 章では、まず、MOS トランジスタ電流分割原理を説明した。その原理を CMOS ラダー DA 変換器に応用することによって、MOS トランジスタのモビリティとボディ効果による影響を取り除かれた。次に、線型領域に動作している時の MOS トランジスタの最大のドレイン電流を求め、トランジスタのアスペクト比の条件を明らかにした。大きなアスペクト比を用いることによって等価抵抗が小さくなり、DA 変換器の消費電力を節約でき、DA 変換器を減衰器や乗算器に応用した際の高周波歪みが減少できることが判った。

試作された CMOS ラダー DA 変換器のシミュレーション結果と実験結果から第 2 章で述べた R-2R ラダー DA 変換器の特性評価方法を用いてその特性を検証した。モンテカルロ解析によって 8 ビットの分解能を得るために抵抗の不整合 ϵ が $\epsilon < 0.4\%$ となる必要があることを示した。実験結果とシミュレーション結果との比較から、抵抗の不整合の他に、CMOS プロセスで集積化した場合にアルミ配線による配線抵抗が INL にとって最大の誤差原因であることを示した。又、CMOS ラダー DA 変換器の INL が約 1LSB である結果を得た。これらの結果は CMOS ラダー変換器の設計基準を与えている。

第 4 章では、CMOS DA 変換器のシナプス加重乗算器及び減衰器としての応用を示した。まず、ニューロン、ニューラルネットワーク、及びニューラルネットワークの学習アルゴリズムを説明して、提案した DA 変換器をニューロンのシナプス加重乗算器として用いる時、デジタル信号でシナプスの重みを調整するので、コンピュータを用いた人工ニューラルネットワークの学習に適していることを説明した。また、DA 変換器の出力を受けるために必要な電流モード低入力インピーダンスカレント・コンペアを説明した。次に、提案した CMOS DA 変換器の -3dB 遮断周波数は 224MHz で高調波歪み (THD) は約 0.1% であることから、この変換器はデジタル制御減衰器として応用できることを説明した。

第 5 章では本論文の結論を述べた。

論文審査結果の要旨

高速デジタル・アナログ(DA)変換には電流セグメント方式と R-2R ラダー方式が主に用いられている。特に後者は低消費電力で素子数も少なく CMOS プロセスによる高密度実装に適している。本論文はこの観点から行った R-2R ラダー型 DA 変換器に関する研究成果をまとめたものであり、全 5 章から成る。

第 1 章は序論で、DA 変換の諸方式とその特徴を述べ、本研究の意義と目的を明らかにしている。第 2 章では R-2R ラダー型 DA 変換器の動作解析と特性評価法を述べている。先ず、基準源として電圧を用いる方式と電流を用いる方式を比較し、電流モード構成が消費電力の面から有利となることを示している。次に、ラダー抵抗の不整合、スイッチのオン抵抗、及びラダーから出力端子までの配線抵抗の 3 つの誤差要因による積分非直線性誤差(INL)を解析とシミュレーションによって求め、入力デジタル値に対する INL パターンがメジャーキャリアに対してそれぞれ反対称、対称、非対称になることを示すと共に、 n ビットの分解能を得るためには抵抗不整合及び配線抵抗 r ラダー抵抗 R の比 r/R はいずれも 2^{-n} 以下でなければならないことを明らかにしている。又、ラダーの入出力端子の電圧・電流測定によってラダーの各抵抗を求める方法を提案し、4 ビットラダーにこの方法を適用してその有効性を立証している。

第 3 章では $0.6\mu\text{m}$ CMOS プロセスで試作した 8 ビット R-2R ラダー型 DA 変換器の特性を述べている。試作 DA 変換器では抵抗 R の代わりに線型領域で動作する nMOS トランジスタでラダーを構成し、基準源が $256\mu\text{A}$ の定電流源である。トランジスタの等価抵抗が理論値と一致することを確認した後、INL を測定し、そのパターンがメジャーキャリアに対して非対称であることから INL の主要因は配線抵抗であるとし、最適シミュレーションによって配線抵抗 r は約 $10\ \Omega$ であると評価している。配線抵抗を抽出した後のラダー自体の INL は 1.2 LSB である。この結果は、電圧・電流測定から得られたラダー等価抵抗の不整合 0.45% による INL と極めて良く一致している。第 4 章では、開発した DA 変換器の 2 つの応用を述べている。1 つはアナログ多層ニューラルネットワークのシナプスへの応用であり、他の 1 つはデジタル制御可変減衰器としての応用である。いずれの応用においても、アナログ帯域幅は約 220MHz、全高調波歪みは 0.1% 以下の性能が得られることを実験とシミュレーションによって明らかにしている。第 5 章は結論であり、研究成果をまとめると共に今後の課題と展望を述べている。

電流モード R-2R ラダー型 DA 変換器を CMOS プロセスで構築する際の設計基準を与えると共にその特性評価方法を提案し、その有効性を立証している本論文は、工学的に極めて有用であり、博士(工学)の学位を授与するにふさわしい内容であると認める。