

高速低消費電力並列パイプライン型アナログーデジタル変換器に関する研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-04-11 キーワード (Ja): キーワード (En): 作成者: 宮崎, 大輔 メールアドレス: 所属:
URL	http://hdl.handle.net/10297/1436

氏名・(本籍)	宮 崎 大 輔 (徳島県)		
学位の種類	博 士 (工 学)		
学位記番号	工博甲第 231 号		
学位授与の日付	平成 14 年 3 月 23 日		
学位授与の要件	学位規程第 5 条第 1 項該当		
研究科・専攻の名称	電子科学研究科 電子応用工学		
学位論文題目	高速低消費電力並列パイプライン型アナログーデジタル変換器に関する研究		
論文審査委員	(委員長) 教授	渡 邊 健 蔵	助教授 杉 浦 敏 文
	教授	浅 井 秀 樹	教授 川 人 祥 二

論 文 内 容 の 要 旨

A/D 変換器は、アナログからデジタルまでを 1 つのチップ上で処理するアナログ・デジタル混載システム LSI におけるアナログフロントエンドとして重要な構成要素である。デジタルシステムにおいては、LSI の微細加工技術(プロセス技術)の進歩により、その動作周波数や消費電力、集積密度などの性能の向上が図られている。一般的にアナログ回路に関しては、プロセス技術の進歩が直接性能向上に結びつかないと言われている。そのため、アナログ回路である A/D 変換器の性能向上がデジタル技術の性能向上に追いつかず、全体の性能が制限されることが予想される。また、A/D 変換器の設計においては、極めて高度な設計技術力と経験が必要とされ、システム開発の比重がデジタル処理に移るに伴い、設計技術者の不足や技術伝承が行えないといった問題も発生する。また、実際の応用においては、携帯情報機器の発展に伴い、その通信機能や映像技術の高度化が行われ、高分解能で変換周波数が 100MHz を越えるような A/D 変換器が必要とされる状況が発生している。特に従来はあまり重要視されなかった低消費電力という性能ファクタが今後は極めて重要となり、設計をより困難にしている。アナログ LSI の設計自動化のための手法は数多く報告されているが、A/D 変換器のような大きなアナログマクロセルに対して適用できるものではなく、組み込み用の A/D 変換器を効率よく設計する手法については十分な検討がなされていない。システム LSI における A/D 変換器の高速化、低消費電力化、小面積化の設計はトータルコスト削減のための非常に重要な課題となっている。

本研究では、パイプライン A/D 変換器のもつ高速性、柔軟性に着目し、高速で低消費電力の A/D

変換器の実現を目的の一つとしている。また、パイプライン A/D 変換器の並列化を行い、さらなる高速動作を可能とする並列パイプライン型 A/D 変換器を取り上げ、設計自動化の基礎検討を行い体系化することも目的の一つとする。

まず、パイプライン A/D 変換器内部の基本演算回路について、A/D 変換器の支配的な誤差要因であるキャパシタミスマッチに低感度なシングルエンド型のパイプライン基本演算回路を提案した。この回路を用いることで、回路中で小さな容量を使うことを可能とし、低消費電力化ができる。また、基本演算回路のカスコードアンプとして、低電圧動作、低消費電力、そして高速動作を実現する新しいレギュレート・ダイナミックバイアスシングルエンド増幅器を提案した。これらの回路を用いたシングルエンド型構成に基づく10ビット20Msample/s のパイプライン型 A/D 変換器の設計試作を行い、低消費電力化において有用であることを明らかにした。

次にシングルエンドのカスコードアンプを2対用いた擬似差動方式を新たに開発した。この擬似差動方式において、パイプラインの演算アルゴリズムを実現し、アナログ差動方式と同じように、電源やデジタル回路からの混入雑音の影響を低減することが可能となる。この擬似差動方式を用いた A/D 変換器を設計・試作を行い、その有用性を確かめた。評価の結果、10ビット分解能で、30MHz動作において、消費電力が16mW という非常に低消費電力特性を得ることができた。現在報告されている A/D 変換器の中で最も小さい消費電力を実現した。

次に、アーキテクチャと回路素子のパラメータを同時に最適化(電力を最小化)する手法の検討を行った。アーキテクチャレベルと、回路レベルの設計は、従来個別に決定されるパラメータであり、それらを同時に設計するところが新しい点である。与えられた A/D 変換器の仕様に対し、所定の手続きを踏むことによって、消費電力や実装面積を最適に設計することができる設計方法を体系化している。アナログの演算をある程度の精度を保ちながら高速化を行うと、素子の性能限界に近い領域に入り、投入電力に対して、動作速度が比例しない領域が出てくる。本研究の発想の原点はここにあり、高速かつ低消費電力 A/D 変換器を実現する上で、インターリーブによる並列化を導入すると、動作速度と消費電力が比例関係を満たすように設計することが出来る。この事例を100MHz以上の高い変換速度に対して当てはめると、低消費電力化に対して極めて大きな効果がある。

最後に、目標性能を10bit 分解能,200MHz の変換速度、そして100mW の消費電力とした並列パイプライン型 A/D 変換器の検討を行った。並列化にともなう誤差要因であるクロックスキューについて、その誤差を回避する新しい回路を提案した。これまでの低消費電力のための回路技術の開発と、設計最適化の検討により、設計段階においては上記性能を実現できることを明らかにした。

論文審査結果の要旨

高速高分解能のアナログ・デジタル(A/D)変換器は、画像の高精細化、通信の高度化に伴い、最近重要性を増しており、特に移動体通信用途、大規模集積回路への組み込み用として低消費電力での実現が望まれている。しかし、A/D変換器の消費電力は、その変換周波数が高くなるほど、また分解能が高くなるほど大きくなる傾向にある。また、その設計にはアナログ集積回路設計に対する極めて高い熟練度が要求され、多大な時間が必要とされる。アナログ集積回路の設計自動化の研究も進みつつあるが、与えられた仕様に対してA/D変換器を系統的に最適設計を行う手法についてはこれまで殆ど検討されていない。

本論文は、高速高分解能のA/D変換器を低消費電力で実現するための新しい方式の提案、ならびに与えられた仕様を満たしながらA/D変換器の消費電力及び実装面積を最小化するための系統的設計手法を提案するとともに、これらの有効性を試作等によって実証したものであり、全7章からなる。

第1章は序論であり、高速高分解能A/Dの変換器の現状と問題点、及び本研究の目的と意義を述べている。第2章は、高速高分解能A/D変換器に関する基礎的事項について述べ、高速A/D変換器の性能を決める要因を明らかにしている。第3章では、シングルエンド型構成に基づく低消費電力パイプラインA/D変換器を提案し、素子ミスマッチに対する感度解析とシミュレーションに基づき、その優れた低消費電力特性を明らかにしている。また、試作により性能評価を行うとともに、その実現上の課題を明らかにしている。第4章では、第3章の方式を改良し、精度面の改善を図りながら低消費電力化が可能な擬似差動方式のパイプラインA/D変換器を提案している。また広帯域サンプリングと低消費電力特性の両立が可能なキャパシタクロスカップルS/H回路を提案し、これを含めて試作した擬似差動パイプラインA/Dの変換器は、サンプリング周波数あたりの消費電力として0.5mW/MHzを達成し、これまで発表のあったビデオ周波数帯のA/Dの変換器に比べて、最も低い消費電力を得ている。第5章では、パイプラインA/D変換器を並列に実装し、インタリーブ動作により高速分解能A/D変換器を低消費電力で実現するための系統的設計手法を提案している。仕様に基づき、パイプライン段数、並列チャンネル数といったシステムレベルのパラメータと素子定数等の回路レベルのパラメータを同時に最適化したものであり、特に素子定数の最適化において、代表的な4つのパラメータに集約することで、設計フローが極めて簡単化されること、並びに基本演算回路のセットリング時間の解析モデルを用いることで消費電力と実装面積を最小化する並列実装チャンネル数を決定できるという新しい知見を得ている。第6章では、インタリーブ動作におけるクロックスキューによる高調波歪の問題を解決できるスキュー不感サンプリング方式を提案し、第4章の回路方式、第5章の設計手法と併せて構成することで200MHz動作の10ビットA/D変換器を、100mW以下という従来にない低消費電力で実現できることを述べている。

以上の成果及び知見は、情報通信分野のキーデバイスともいえる高速高分解能A/D変換器の回路方式並びに設計手法として、半導体産業界直接的に多大な貢献が期待される。よって本論文は、博士(工学)の学位を授与するには十分な内容であることを認める。