

## 大規模回路シミュレーションの高速化技術に関する研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-04-11 キーワード (Ja): キーワード (En): 作成者: 田中, 伸幸 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10297/1530">http://hdl.handle.net/10297/1530</a>

氏名・(本籍)	田 中 伸 幸 (東京都)
学位の種類	博 士 (工 学)
学位記番号	工博乙第 86 号
学位授与の日付	平成 11 年 3 月 24 日
学位授与の要件	学位規則第 4 条第 2 項該当
学位論文題目	大規模回路シミュレーションの高速化技術に関する研究

論文審査委員	(委員長)		
	教授	窪 野 隆 能	教授 八 卷 直 一
	教授	渡 邊 健 蔵	教授 浅 井 秀 樹

## 論 文 内 容 の 要 旨

マルチメディア社会を支える高速なコンピュータや大容量通信システムなどの高速情報処理システムを構成するために、LSIの大規模・高密度化ならびに高速化は著しく進んでおり、また、回路の小規模化・低消費電力化に有効なA/D混載LSIも開発されている。このようなLSIの設計および動作検証には、回路のアナログ的な挙動を詳細に解析することが不可欠となり、極めて大規模な回路の詳細解析を実用的な時間で実行できる大規模アナログ回路シミュレータが必要となってきた。

本論文では、数百万トランジスタ規模の大規模回路シミュレーションに適した次世代回路シミュレーションシステムを構成する要素技術である、専用並列計算機とこれを中核とする直接法ベースの大規模回路シミュレーションシステム、ならびに、高速な緩和アルゴリズムを提案する。

本研究の目的とする回路シミュレータにおいては、解析精度は従来の回路シミュレータと同様で、高速化の代償として解析精度を低下させることはないものとし、数値計算の収束性・安定性についても従来の回路シミュレータと同様のレベルを確保するものとした。この目標を達成するために、収束安定性に優れた直接法を本研究の回路解析手法のベースとして用いる。直接法を適用できない規模の回路については、各部分回路を直接法の適用限界まで大きく分割して緩和法を適用することとし、最上位レベルの回路分割と対応して波形緩和法を適用することにより回路のマルチレート性を利用するとともに、次のレベルの回路分割と対応して反復タイミング解析を適用し、このレベルでの回路分割によって生じる部分回路の解析には直接法を用いることで、直接法と同等の安定性を確保するものとした。

直接法で問題となる大規模回路への適用性を改善するため、本論文では、専用並列計算機SMASHならびにスイッチを含む区分線形ダイオードモデルを提案する。SMASHは大規模回路シミュレー

ションにおいて計算時間の多くを占める回路行列の三角化分解に特化した専用ハードウェアを有し、節点分割に基づく回路分割を適用し、ホスト計算機と負荷分散を行うことにより、行列計算時間を大幅に短縮することができることを示す。さらに、スイッチと抵抗のみで構成される簡易区分線形ダイオードモデルを提案し、これを用いることによって素子モデル計算時間を削減できることを示した。これらの高速化手法を適用することによって、従来の直接法では非現実的であった大規模回路を解析できることを示す。

さらに、直接法が適用できない規模の回路に対して適用するオーバーラップ分割による高速反復タイミング解析手法を提案し、直接法の安定性を保ったまま解析可能な回路規模を飛躍的に増大させると同時に高速化を達成できることを示す。本論文で提案するオーバーラップブロック緩和ニュートン法は、部分回路の境界付近にある素子や節点を隣接する部分回路に重複して含むよう冗長分割して解析する手法であり、各部分回路には直接法を適用して解析する。オーバーラップ分割の適用によって1回の緩和反復で求まる近似解の精度が向上し、緩和反復回数が減少するため、従来法と比較して10～1000倍の高速化を達成できることを示す。また、オーバーラップブロック緩和ニュートン法は、適用する回路規模が2000節点以上と大きいときに回路全体に直接法を適用するより高速になり、両者の差は回路規模が大きくなるにしたがって急速に拡大することを示し、各部分回路を直接法の適用限界まで大きく分割する本論文の分割手法に対して、オーバーラップブロック緩和ニュートン法が有効であることを示す。

さらに、大規模回路の有するマルチレート性を利用した高速化を達成するために、本論文では最上位の回路分割で動作速度の異なる機能ブロックレベルの極めて大きな分割を適用し、波形緩和法による解析を行うことを提案する。従来の波形緩和法では、部分回路間で局所的帰還ループを構成する場合に収束性が劣化し、無駄な計算を行ってしまう問題があった。本論文では、このような局所的帰還ループに対して、帰還ループに沿った部分反復とウインドウ分割アルゴリズムを提案し、部分反復によって、収束性の悪い局所帰還ループ部分のみを集中して緩和反復することによって全体の緩和反復を減少させられることを示す。部分反復に全体の解析時間ウインドウより小さな時間ウインドウを適用することで、時間ウインドウ後半部分の収束性を向上させ、その結果として解析時間が短縮される。この波形緩和アルゴリズムにより、解析時間の増大をともなうことなく、回路のマルチレート性を有効に利用できることを示す。

以上の要素技術を適用することにより本研究の目標である数百万トランジスタ規模の大規模回路シミュレータを構築できる見通しが得られた。

## 論文審査結果の要旨

マルチメディア社会を支える高速なコンピュータや大容量通信システム等の高速情報処理システムを構成するために、LSIの大規模・高密度化ならびに高速化は著しく進んでいる。このようなLSIの動作検証には、回路のアナログ的な挙動を詳細にかつ実用的な時間で解析できる回路シミュレーションシステムが必要となってきた。

本論文では、数百万トランジスタ規模のLSIに対処できる次世代回路シミュレーションシステムを構成するための要素技術についての提案と検討を行っている。

第一章で本研究の背景について述べた後、第二章では本研究を進める上で必要となった回路シミュレータ開発支援プログラムASSISTについて述べている。ASSISTは回路シミュレータの構築に共通的に必要となる部分をライブラリの形で提供するものであり、シミュレータの性能評価を可能としている。

第三章においては、直接法に基づく回路シミュレーションのハードウェアエンジンとなるLU分解専用並列計算機SMASHについて提案している。SMASHは、大規模回路シミュレーションで必要となる大規模疎行列の三角分解を高速に実行する計算機であり、並列アーキテクチャと行列要素のラベル整合を高速に実行するハードウェアを内蔵する。SMASHと回路分割技術を併用することで、計算の主要部であるLU分解過程が極めて高速に実行されることを示す。さらに、第四章において、専用計算機SMASHとホスト計算機とのデータ通信を考慮したシミュレーションシステムの提案とその評価を行っている。本システムによれば、回路分割を適用し、SMASHとホスト計算機との負荷分散を行うことにより、シミュレーション時間を大幅に短縮できることを示している。

第五章では、スイッチと抵抗のみで構成される簡易区分線形ダイオードモデルを提案し、これを用いることによって素子のモデル計算時間を削減でき、また、過渡シミュレーションの前処理として必要となる直流解析が効率的に実行できることを示している。

第六章では、直接法が適用できない規模の回路に対して適用するオーバーラップ分割による高速反復タイミング解析手法を提案し、取り扱える回路規模を飛躍的に増大させると同時に高速化が達成できることを示している。

第七章では、機能ブロックレベルでの回路分割に基づく波形緩和法による解析について述べている。特に、局所的な帰還ループに沿った部分反復とウインドウ分割手法を提案し、その評価を行っている。

第八章において、結論を述べると共に今後の展望について示している。

以上の成果は、回路シミュレーションの分野を中心として、工学分野において重要な価値を有し、博士の学位(工学)を与えるにふさわしいと認定する。