

電流モード信号処理回路の研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-04-11 キーワード (Ja): キーワード (En): 作成者: 車, 炯雨 メールアドレス: 所属:
URL	http://hdl.handle.net/10297/1571

氏名・(本籍)	車 焯 雨 (韓 国)
学位の種類	博 士 (工 学)
学位記番号	工博甲第 151 号
学位授与の日付	平成 9 年 3 月 22 日
学位授与の要件	学位規程第 5 条第 1 項該当
研究科・専攻の名称	電子科学研究科 電子応用工学
学位論文題目	電流モード信号処理回路の研究

論文審査委員	(委員長)		
	教授	池 田 弘 明	教授 篠 原 茂 信
	教授	渡 邊 健 蔵	助教授 浅 井 秀 樹

論 文 内 容 の 要 旨

電流モードの離散時間信号処理における基本構成回路はスイッチド・カレント(SI)メモリセルである。SIメモリセルの性能はクロックフィードスルー(CFT)、入出力コンダクタンス比、メモリ・トランジスタの不整合等によって決まる。不整合による誤差は第2世代カレントセルの開発により、入出力コンダクタンス比はレギュレーテッド・カスコード構成にすることによって解決されている。従って、SIメモリセルの性能はCFT誤差によって決まる。CFT誤差を減らすため、様々な研究が行なわれているが、未だこの問題は解決されていない。

一方、電流モードの連続時間信号処理における基本構成回路はカレント・コンパレー(CCI)である。従来のCCIは演算増幅器と電流ミラーで構成されていたため、その特性が演算増幅器によって制限されている。最近、電流モードの広帯域特性を生かすため演算増幅器を用いないCCIが開発された。このCCIは優れた周波数特性を持っているが電流入力端子のインピーダンスを数百 Ω 以下にすることが困難であり、理想的な伝達特性は得られない問題点がある。

本論文はこれらの問題点を解決するために成された研究結果をまとめたもので、具体的にはCFT補償SI回路、第2世代A級及びAB級CMOS CCI、及びCFT補償SIメモリセルを用いた循環型AD変換器について述べている。

第1世代SIメモリセルとして、新しい全CFT補償SI回路とCFT及びオフセット補償全差動型SI回路を提案した。二つの回路は $-20\mu\text{A}$ から $20\mu\text{A}$ の入力電流信号範囲において残留CFT誤差は0.025%である。入力電流 $20\mu\text{A}$ 時、電流ミラーの利得としきい電圧の不整合によるCFT誤差とのSNRは63dB以下と評価された。更に、全差動型SI回路は同相モード(CM)信号に対して高い除去能力を持ち、電流ミラーの利

得の不整合があっても同相モード除去比(CMMR)は53dBになる。従って、提案した第1世代SI回路はフィルタ、DAとAD変換器等の基本構成素子として非常に有効である。

第2世代のSIメモリセルに関しては、このセルで発生するCFT誤差電流を別に設けたCFT補償電流源の電流によって相殺するCFT保障法を提案し、その方法に基づいてCFT補償SIメモリセルの回路を設計した。このセルは、 $-40\mu\text{A}$ から $40\mu\text{A}$ の入力電流信号範囲で残留CFT誤差は0.06%以下である。従来の第2世代 S^2I 及び S^1I メモリセルに対しては本手法が極めて有効であり、トランジスタ間の不整合があってもCFT電流源のバイアス電流を調整することによって約60dBのCFT除去比が得られる。提案したCFT補償 S^2I と S^1I メモリセルは $-180\mu\text{A}$ から $180\mu\text{A}$ の入力電流信号範囲で残留CFT誤差はそれぞれ0.002%と0.004%である。又、CFT補償 S^2I 及び S^1I メモリセルは入出力コンダクタンス比が小さく、チャネル長変調の影響も受けず、しかも動作タイミングが簡単である等の利点を有する。従って、ここで提案したCFT補償 S^2I 及び S^1I セルはASIC用高性能AD、DA変換器やフィルタの基本構成ブロックとして極めて有効であると言えよう。

高精度算術演算にCFT補償 S^2I メモリセルを用いた循環型AD変換器を提案した。低電力消費で広い動作範囲を得るために、入力信号電流範囲が基準電流の2倍になるアルゴリズムを利用した。解析とシミュレーションによって、この構成で13ビットの分解能と1.14Mbpsの変換速度が得られることを確認した。消費電力は10mWであり、構成素子も少ない。このような特徴から、提案したAD変換器はアナログ・デジタル混在ASICのアナログ前置部に非常に適している。

新しいA級CMOSカレント・コンベアー(CCII)を提案した。従来のカレント・コンベアーの構成と大きく異なる部分は電流入力段と電圧入力段の間に電流帰還を用いた点にある。この電流帰還によって理想に近い電圧電流特性が得られている。又、低消費電力のためのAB級CCIIも提案した。シミュレーションによってこれらの回路の電圧及び電流単位利得帯域幅は100MHz以上であり、AB級CCIIの全高調波歪み(THD)はDCから10MHzまでの周波数範囲において電流入力 $500\mu\text{A}_{p-p}$ 以下、電圧入力 $1V_{p-p}$ 以下では1%以内である。A級とAB級CCIIの消費電力はそれぞれ9mWと1.6mWである。従って、提案したCCIIは低電力広帯域電流モード信号処理の基本構成素子として極めて有効である。

従って、本研究で開発したSI回路及びCCIIは電流モード信号処理に広く用いられよう。

論文審査結果の要旨

回路への入出力を電流とする電流モードアナログ信号処理回路は従来の電圧モード回路よりも広帯域である、標準デジタルCMOS集積技術で構築できる等の利点を有する。このため、アナログ・デジタル混載のシステムオンシリコンを実現する上で、その設計技術の確立が広く要求されている。電流モード信号処理回路の基本構成素子は、離散時間処理系ではスイッチドカレント(SI)メモリセルであり、連続時間処理系ではカレントコンペア(CC)である。本論文はこれら基本構成素子の開発成果をまとめたものであり、全6章から成る。

第1章は序論であり、本研究の背景と目的を述べている。SIセルは、カレントミラーを基本とする第1世代セルと、1つのトランジスタを入出力段として時分割動作させる第2世代セルに大別される。いずれのセルにおいても、その信号対雑音電力比(SNR)を劣化させる最大の要因は、スイッチを制御するクロック信号の漏洩による誤差(CFT)電流である。このCFTを補償した第1世代SIメモリセルを第2章で提案している。CFT電流は入力信号に依存する成分とオフセット成分から成る。提案されたセルは、CFTの信号依存成分がメモリトランジスタのゲートの形状比に依存しないことに、又、オフセット電流はダミーセルからの電流によって相殺できることに着目して設計されている。性能シミュレーションによれば、この構成で60dB以上のSNRが得られている、第3章では第2世代SIセルのCFT補償法を述べている。ここでは、主メモリセルで発生するCFT電流は補助セルに流し、補助セルからのオフセット成分をダミーセルからのCFT電流で相殺している。 S^2I セルの応用として、第4章で循環型アナログ・デジタル(AD)変換器を提案している。アルゴリズムは10進小数を2進数に変換する2倍法に基づいているが、低消費電力で広い動作範囲が得られるように改良し、これを S^2I セルで実行することによって13ビットの分解能を得ている。消費電力は10mW、変換速度は1Mbpsである。

第5章では第2世代CMOSカレントコンペア(CCII)を提案している。提案されたCCIIは電流入力段と電圧入力段との間で局部電流帰還を行っていることを特徴としており、これによって理想に近い特性が得られている。シミュレーションによれば電流伝達特性の帯域幅は500MHz、電圧伝達特性では1GHzの帯域幅が得られている。第6章は結論であり、本研究成果をまとめると共に、開発された基本構成素子の応用を展望している。

本研究で開発されたSIセルとCCIIは $0.6\mu\text{m}$ CMOSプロセスで製作され、シミュレーションと同等の特性を有することが実験によって明らかにされている。以上より本研究成果は実用上極めて有用であり、博士(工学)の学位を授与するにふさわしい内容であると認める。