

氏名・(本籍)	小川 覚 美 (兵庫県)
学位の種類	博士 (工学)
学位記番号	工博甲第 80 号
学位授与の日付	平成 5 年 3 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科・ 専攻の名称	電子科学研究科 電子応用工学専攻
学位論文題目	スイッチドキャパシタアナログ-デジタル変換器に関する研究

論文審査委員	(委員長)		
	教授	安藤 隆 男	
	教授	池田 弘 明	教授 渡邊 健 藏
	助教授	浅井 秀 樹	助教授 石田 明 広

論 文 内 容 の 要 旨

近年の CMOS 高密度集積技術の急激な進歩によって 1 つのシリコン基板上にデジタルシステムとアナログシステムを搭載した応用指向型集積回路 (ASIC) が実現できるようになった。アナログ・デジタル混載 ASIC の開発上最も重要となるのは自然界の物理量のアナログ領域と信号処理のデジタル領域を橋渡しするアナログ・デジタル (AD) 変換器である。

本研究は小さなチップ面積に集積化でき、低消費電力である AD 変換器の開発を目的としている。本論文は全 6 章から構成されている。

第 1 章は序論であり、研究の背景、目的、論文の概要を述べている。

スイッチドキャパシタ技術を用いた AD 変換器のアナログ部の精度は素子の非理想的な特性によって左右される。この問題を解決する高精度アナログ演算回路として増幅器、加減算器、サンプル・ホールド (S/H) 回路を第 2 章で提案している。これらの回路は演算に用いる CMOS オペアンプ或いは単位利得バッファ (UGB) のオフセット電圧、各節点と基板間の寄生要量、クロックフィードスルーの影響を相殺できる構成である。それらの回路を基本にして、以下の章で述べる逐次比較型、循環型、パイプライン型 AD 変換器を構成した。

第 3 章では、逐次比較型 AD 変換器について述べている。この変換器は従来の 2 進荷重キャパシタアレイ或いは抵抗列とキャパシタアレイの組み合わせの代わりに、直列方式の DA 変換器を用いて構成されている。この DA 変換器は新しいアルゴリズムに基づいて最上位ビット (MSB) から変換を行い、入力アナログ電圧と比較するしきい電圧シーケンスを発生する。DA 変換器も含めた逐次比較

型 AD 変換器はオペアンプのオフセット電圧及び寄生容量の影響を受けない構成である。誤差解析によれば、AD 変換器の動作クロック周波数で 80dB 以上の開放利得を有するオペアンプを用いれば 11 ビット精度が得られる。ここでは、高い GB 積のオペアンプを必要としない開放利得補償 DA 変換器を提案している。この回路を用いれば、有限開放利得 A による 1 次の誤差は相殺されて 2 次の微量となるので、 $A \geq 42\text{dB}$ で 11 ビット精度が期待できる。また、CMOS モノリシック集積化するためのオペアンプとラッチコンパレータを設計し、それらの特性を回路解析プログラム Spice を使ってシミュレーションした。その結果によって $3\ \mu\text{m}$ CMOS 技術で集積化した場合の性能を評価し、10 ビットで 500ksps (sample per second) のサンプリングレートが得られ、消費電力は 60mW になることを明らかにしている。更に、逐次比較型 AD 変換器を時分割多重構成にすれば 10 ビットで 5Msps のサンプリングレートが期待できることも示している。逐次比較型 AD 変換器を個別部品を用いて試作し、回路動作を確認した。9 ビットの試作変換器でミスコードのない変換特性を得ている。

第 4 章では、循環型 AD 変換器を提案している。この変換器はオペアンプのオフセット電圧及び寄生容量に不感であり、クロックフィードスルーの影響を相殺できる構成である。循環型変換器の変換精度を制限する最大の要因は演算に用いるオペアンプの有限開放利得である。その影響を避けるために基準電圧にも開放利得の依存性をもたせる構成として 1 ビット量子化器を 3 段ループ接続した変換器を提案している。誤差解析、及び Spice シミュレーションによって CMOS 技術で集積化した場合の性能を評価し、オペアンプの開放利得の値とは関係なく 12 ビットの変換精度、12 ビットで 380ksps のサンプリングレートが得られ、消費電力は 95mW になることを明らかにしている。10 ビット循環型 AD 変換器を個別部品を用いて試作し、変換動作を確認した。

1 ビットの量子化器を繰り返し使い、1 クロックサイクル毎に 1 ビットの変換を行う循環型 AD 変換器は少ない素子数で構成できるが、高い変換速度を得ることが難しい。1 ビット量子化器を縦続した構成のパイプライン型 AD 変換器は各クロックサイクル毎に新しいデジタル値を出力するので高い変換速度が期待できる。第 5 章では、UGB を用いたパイプライン型 AD 変換器について述べている。この変換器は UGB の利得誤差及びオフセット電圧、寄生容量、クロックフィードスルーの影響を相殺できる構成である。また、CMOS モノリシック集積化するための UGB を設計し、その特性を Spice を使ってシミュレーションした。その結果と誤差解析によって CMOS 技術で集積化した場合の性能を評価し、10 ビットの変換精度、10 ビットで 10Msps のサンプリングレートが得られ、消費電力は 470mW になることを明らかにしている。更に、1 ビット量子化器を 2 段ループ接続した循環型変換器を提案している。この変換器は 1 クロックサイクルの半周期で 1 ビットの量子化を行うので n ビット (n : 偶数) の変換に $n/2$ クロックを要する。サンプリングレートは 1.2Msps となり、1 クロックサイクルで 1 ビットの量子化を行う従来の循環型構成の約 2 倍となる。個別部品を用いて AD 変換器を試作し、回路動作を確認した。実験結果は試作 10 ビット 2 段循環型 AD 変換器で非直線性誤差が 1 LSB 以下となり、ミスコードのない変換特性が得られることを示している。

第 6 章は結論であり、本論文を総括している。

論文審査結果の要旨

電子機器の高機能化、小型化、低消費電力化を計るため、電子システムをシリコンチップ上に実装する応用指向型集積回路(ASIC)が広く開発されている。このASIC開発上の問題点は、現実のアナログ領域と信号処理のデジタル領域を橋渡しするアナログ・デジタル(AD)及びデジタル・アナログ(DA)変換器にあり、高密度CMOSプロセスで実現できるAD、DA変換器が強く要望されている。本研究はこの問題を解決するためになされたものであり、論文ではCMOSスイッチドキャパシタ(SC)回路技術を用いた逐次比較型、循環型、及びパイプライン型AD変換器に関する研究成果を全6章にまとめている。

これらのAD変換器の分解能は、アナログ演算部に付随するオフセット電圧、寄生容量、スイッチ注入電荷、キャパシタ間不整合によって支配される。本研究では先ず、従来未解決であったスイッチ注入電荷の影響を低減する電荷相殺手法を見出し、この手法によって演算精度を20dB以上向上した増幅器、サンプル・ホールド回路、比較器を開発している。これらの基本構成回路の精度向上と共に、逐次比較型では閾電圧発声のための直列方式DA変換器を提案して構成素子数の低減を、循環型では1ビット量子化器を3段ループ接続する構成を提案して分解能の向上を、パイプライン型では単位利得バッファを用いる1ビット量子化器を提案して高速化を、それぞれ計っている。

論文では、これらの新しい変換アルゴリズムと変換器構成に関する詳細な検討と実験による検証を述べている。又、各構成要素のCMOS設計とシミュレーションを行い、3 μm プロセスで構築した際に得られる性能を評価している。その結果によれば、逐次比較型、循環型、及びパイプライン型の分解能はそれぞれ、11ビット、12ビット、10ビットであり、変換レートはそれぞれ、240ksps、480ksps、10Msps、又、消費電力はそれぞれ、60mW、95mW、350mWである。これらの性能は従来発表されている同型のAD変換器よりも優れている。

構築に際し、最も大きなチップ面積を要するのはキャパシタであり、1 pFのキャパシタに2,000 μm^2 が必要である。提案されている逐次比較型AD変換器の構築に必要なキャパシタ数は12であり、従来の10ビットAD変換器の86分の1である。3段循環型AD変換器に必要なキャパシタは9個である。キャパシタ数が20と最も多いパイプライン型でも1 m^2 のチップ上に集積できる。従って、本研究で開発されたAD変換器はモデムやファクシミリ、医用CTスキャナ等のASICに応用できよう。

以上述べたように、本論文の研究成果はアナログ・デジタル混載ASICを開発する上で極めて有用であり、博士(工学)の学位を授与するにふさわしい内容であると認める。