

氏名・(本籍)	猪 平 進 (東京都)
学位の種類	工 学 博 士
学位記番号	工博乙第 24 号
学位授与の日付	平成元年 1 2 月 4 日
学位授与の要件	学位規則第 5 条第 2 項該当
学位論文題目	回路シミュレーションのためのバイポーラICのモデリング に関する研究

	(委員長)			
論文審査委員	教 授	助 川 徳 三		
	教 授	安 藤 隆 男	教 授	池 田 弘 明
	教 授	阿 部 圭 一	教 授	畑 中 義 式

論 文 内 容 の 要 旨

バイポーラICの高周波化および高集積化に伴い、その設計においては高精度のモデルを用いた回路シミュレーションが不可欠になりつつある。

本論文は、バイポーラICの回路シミュレーションに必要となる高精度のデバイスモデリングの研究をまとめたものである。

論文は7章からなり、第1章は緒論、第2章から第6章が本論、第7章は結論である。本論では、近年バイポーラICの設計で特に重要となるいくつかの新しいモデリングを取り扱っており、第2章から第4章が、高周波シミュレーションのためのトランジスタと抵抗のモデルを、第5章が寄生の基板電流のモデルを、第6章がトランジスタや抵抗の製造バラツキのモデルを研究している。本論の各章は次のような内容である。

第2章では、バイポーラトランジスタの高周波シミュレーション精度のポイントとなる利得帯域幅積 f_T のモデルを研究し、問題となる大電流域の f_T 精度を向上させるため、ベース領域の伝導度変調効果 (Webster 効果) とコレクタ領域の伝導度変調効果 (Kirk 効果) およびクリティカル電流 (Kirk 効果の開始電流) を取り入れた新しいモデル (EM5 モデル) を提案した。このモデルをアナログ IC 用バイポーラトランジスタに適用した結果、コレクタ・エミッタ間電圧 (V_{CE}) 依存性を含め、 f_T の誤差が 10% 以下と良好な精度を得た。

第3章では、上の f_T モデルをもとに、同一チップ上に試作した 600 MHz 広帯域増幅器およびそのバイポーラトランジスタを用いて、100 MHz ~ 1 GHz の S パラメータを評価することにより、バイ

ポーラトランジスタの高周波モデルを検討した。まずモデルの精密な評価のため、パッドおよびボンディングワイヤを含むパッケージのモデル化を行い、特にパッドの抵抗分の考慮が必要なることを示した。次にバイポーラトランジスタの高周波モデルとして通常使用されるハイブリッド π 型モデルについて 100 MHz 以上の周波数領域における精度の不十分さを明らかにした。その精度を改善するため、デバイスの IC 化構造に伴う寄生素子および 2 次元電流分布の解析に基づき、従来ハイブリッド π 型モデルに、(i) ベース・コレクタ間容量 C_{μ} の分割、(ii) ベース・エミッタ間容量 C_{π} の分割、および (iii) 基板の抵抗分の導入をはかった拡張モデルを考案した。この拡張モデルにより、単体トランジスタの S パラメータの算出精度が大きく改善され、600 MHz 広帯域増幅器 IC の 3 dB カットオフ周波数 f_c の誤差は 5% 以下（従来ハイブリッド π 型モデルでは 40% 以上）となった。

第 4 章では、バイポーラ IC でトランジスタとともに多用される集積化抵抗の高周波モデルを研究した。まず集積化抵抗を RC 分布定数回路とみなして解析を行い、抵抗の高周波特性を駆動点インピーダンスと電流利得で表現した。この解析に基づき、RC 分布定数回路を R、C の集中定数で近似した従来の π 型あるいは T 型モデルよりも精度の高いモデルとして、新しくブリッジ π 型モデルを導出した。このモデルは R、 $C/2$ からなる π 型モデルの R と並列に $-C/6$ の負性容量を加えた簡便な等価回路で表すことができ、3 dB 低下カットオフ周波数 $(1/\pi RC)$ 以下の領域では分布定数回路の理論解と同等の良い精度をもつことを、試作した拡散抵抗の測定と比較して明らかにした。このモデルは、負性インピーダンス変換器 (NIC) を用いたビデオ帯アクティブフィルタおよびビデオディスプレイ用色信号処理 IC の設計への応用において、実用上十分の精度を示した。

第 5 章では、エピタキシャル層の薄い最新の高集積バイポーラ IC で生じる基板電流を回路シミュレーションに導入するためのモデルを研究した。まず NPN トランジスタに対し、IC 化構造に伴う寄生サブ PNP トランジスタを 1 つのダイオードと電流源で表してこれを従来のバイポーラモデルに追加した複合モデルを考案し、次にラテラル PNP トランジスタに対し、従来のモデルに 2 つのダイオードと電流源を追加した複合モデルを考案し、いずれもそのモデルパラメータ抽出法を示した。これらのモデルを Bi-CMOS 用 NPN トランジスタおよびアナログプロセス用ラテラル PNP トランジスタに適用し、基板電流特性および飽和特性に関し良好な精度を得た。また本モデルにより、Bi-CMOS メモリの電源電圧マージン不良のシミュレーションが可能となることを示した。

第 6 章では、IC のマージン設計において重要な、トランジスタや抵抗の製造バラツキを回路シミュレーションに導入するための統計モデルを研究した。この章では、アナログ IC の製造バラツキに関する測定データを分析し、IC 内デバイスのバラツキに存在する二つレベルの相関、すなわちデバイス間相関およびデバイス内相関を含む統計モデルを考案した。このモデルは多変量解析の理論に基づき、デバイス間相関に対し、相関行列の固有値と固有ベクトルを利用する主成分モデル、デバイス内相関に対し、線形回帰式に基づく回帰モデル、の二つのサブモデルを結合したものである。この統計モデルは、アナログ IC の回路設計で重要なペアデバイスの整合 (マッチング) を扱うことができ、アナログ IC 内のデバイスのバラツキ (その分布と相関) を現実的な計算時間内で再現できる。ビデオカメラ用 IC およびビデオ帯アクティブフィルタ IC のバラツキがモデルにより良好にシミュレーショ

ンできることを示した。

以上のモデルをいずれも回路シミュレータに組み込み、バイポーラICの回路シミュレーションの高精度化を実現した。