

氏名・（本籍）	菰 淵 寛 仁（香川県）		
学位の種類	工 学 博 士		
学位記番号	工博甲第 5 1 号		
学位授与の日付	平成 2 年 3 月 2 3 日		
学位授与の要件	学位規則第 5 条第 1 項該当 電子科学研究科 電子応用工学専攻		
学位論文題目	アバランシェ増幅型固体撮像デバイスの素子構成と その特性に関する研究		
論文審査委員	(委員長) 教授 畑 中 義 式 教授 助 川 徳 三 教授 福 家 俊 郎 助教授 木 下 治 久 教授 安 藤 隆 男		

論 文 内 容 の 要 旨

本研究は、固体撮像素子の光電変換部にアバランシェ-フォトダイオード（APD）を電荷蓄積動作モードで用い、フォトン-カウンティングレベルから従来の固体撮像素子の撮像領域までの広い受光範囲を持った高感度な固体撮像素子の実現を目的として行ない、2つの重要な問題を解決した。

まず、撮像素子にとって1フレーム期間中に入射する光を有効に利用するために光電変換された信号電荷を次の読み出し期間までの間保持する蓄積動作で用いることが必須の動作条件となる。APDを電荷蓄積動作で用いた場合、アバランシェ増倍された信号電荷の空乏層容量への蓄積に従いAPDの内部増倍利得は減少する。この動的振舞いを見せる動作の解析に関する研究報告はこれまでのところない。そこで、内部増倍利得の自己抑制効果（Self-Quenching Effect）を考慮した電荷蓄積動作の解析を行い、APDの電荷蓄積動作の特徴を明らかにし、素子の設計指針となる動作特性式を得るために、直流ブレイクダウン電圧 V_b 以下の動作領域とそれ以上の動作領域に分けて蓄積期間中における動作解析を行なった。

直流ブレイクダウン電圧 V_b 以下の動作領域に関しては、アバランシェ増倍利得 M を印加電圧 V の関数で与える Miller の式を拡張、適用してAPDの電荷蓄積動作時の入射光量に対する出力電荷量を与える関係式を導出した。その結果、低照度領域では光電変換特性の傾きを表す γ 値は1、高照度領域では増倍利得の自己抑制効果により γ 値は $1/2$ となることが解析的に明かとなった。また、 γ 値が1の動作領域では蓄積期間初期の増倍利得 M_0 の大きさに比例した出力を示し、 γ 値が $1/2$ の動

作領域では蓄積容量Cに対し $C^{1/2}$ に比例した出力を示すことも明らかとなった。

直流ブレイクダウン電圧 V_B 以上の動作領域では、入射光により励起された電荷もしくは暗電流がアバランシェ増倍のトリガとなり、アバランシェ増倍が自己継続するアバランシェ-フィードバックループが形成される。この注入された電子もしくは正孔のそれぞれがアバランシェ-フィードバックループのトリガとなる確立を W.G.Oldham の提案した差分方程式を用いて求めた。この電子および正孔のイオン化率は空乏層内の電界強度とともに大きくなるので、APDに印加する逆バイアス電圧の増加に伴ってトリガとなる確立は大きくなり最終的には1に近づきフォトン-カウンティング動作が行えることを示した。さらに、微弱な入射光量域では、その出力電荷量は蓄積容量C、蓄積期間初期の印加逆バイアス電圧 V_0 に対し $C(V_0 - V_B)$ で表される一定値を取る事も明らかにした。

次に、APDを電荷蓄積動作で用いるのに適した素子構造の確立を図った。従来の固体撮像素子の素子構成では蓄積信号電荷の読み出しに続いてリセット動作が行なわれるため、このリセット期間中にAPDに入射した光によって発生したキャリアのアバランシェ増倍による電荷も蓄積信号電荷に重畳されて出力される。電荷蓄積期間にAPDを形成するソースに印加される逆バイアス電圧はゲート-ソース間の結合容量 C_{gs} の影響によりリセット動作でAPDに期間中に印加された逆バイアス電圧よりも $\Delta V_R (= (C_{gs} / (C_s + C_{gs})) \cdot (V_g - V_T))$ だけ小さな値となる。ここで、 C_s はソース容量、 V_g はゲート電圧、 V_T はゲート閾値電圧である。その結果、蓄積期間のAPDにブレイクダウン電圧に近い電圧を与えるためには、 ΔV_R だけ大きな電圧でAPDをリセットしなければならない。電荷蓄積期間初期にAPDにブレイクダウン電圧 V_B 近くの逆バイアスをセットした場合には、このリセット電圧がAPD直流ブレイクダウン電圧 V_B を越え、入射光量の大きさに無関係に大きなアバランシェ増倍がリセット動作期間中に発生し出力に重畳されるため、 V_B 近くの大きな増倍利得を利用することはできない。

そこで、蓄積期間中にアバランシェ増倍を受けた蓄積信号電荷だけを選択的に読み出すことのできる素子構成としてデュアル-ゲート型素子構成、キャパシタンス-カップリング型素子構成を提案した。

デュアルゲート型素子構成は、シングルゲート型の基本的MOS型素子構造のソース側に配したAPDとゲートの間に第2のゲート G_2 と、読み出し用電荷蓄積用キャパシタ C_s を付け加えた素子構成をとる。読み出し時には、回路的にAPDを切り離すことで、読み出し用電荷蓄積用キャパシタ C_s に蓄積されていた信号電荷のみを選択的に読み出す事が可能である。

キャパシタンス-カップリング型素子構成では、シングルゲート型構造の光電変換部であるAPDに対し直列に結合容量 C_c を設けた素子構成をとる。蓄積期間中は結合容量 C_c を介してAPDにはアバランシェするに十分な逆バイアス電圧が印加される。読み出し時は結合容量に印加していた電圧をオフするので、読み出し期間中に入射した光によるアバランシェ増倍は完全に防ぐことができる。

1画素の等価回路を用いた実験においては、ブレイクダウン電圧以下、ブレイクダウン電圧以上の動作領域ともに解析結果と良い一致を示す結果が得られた。暗電流の影響を調べた結果、ブレイクダウン電圧以上の動作においては特に禁制帯中のトラップを介したトンネリングによる暗電流の影響が

大きいことが明らかとなった。この影響を少なくするにはリセット時とそれに続く蓄積期間初期の空乏層の変化幅を少なくして、このトラップに電荷を充填させない駆動方法を取ればよいことが明らかとなった。従って、ブレークダウン電圧以上の領域での使用にはリセット時とそれに続く蓄積期間初期の空乏層幅が変化しないデュアルゲート型が適している。

最後に、アバランシェ増幅型素子の1次元アレイを試作し、一様な出力を得るための駆動条件を調べた。初期増倍利得、および蓄積容量のばらつきの出力に与える影響を測定し、その結果を解析式と比較した結果、光電変換特性を示す γ の値が $1/2$ となる領域で動作させれば、素子間の濃度プロファイルのばらつきおよび蓄積期間初期の印加電圧のばらつきによる増倍利得のばらつきの影響は完全に抑えることが可能で、その出力信号電荷量のばらつきは蓄積容量のばらつきの $1/2$ の値に抑えることが可能となる事が明らかとなった。