

静岡大学 博士論文

高精度センサ信号処理回路に関する研究

平成13年 11月

望月 孔二

高精度センサ信号処理回路に関する研究

平成13年 11月

望月 孔二

高精度センサ信号処理回路に関する研究

概要

CPUをはじめとするデジタル技術の爆発的な発展と、新材料を含めた新しいセンサ素子の開発は、家電製品、産業プロセス制御や医療機器などあらゆる機械を急速に発展させている。これらのシステムはセンサを含む電子システムが中核になっている。本論文は、これらのシステムの性能向上に必須な高精度センサ用信号処理回路の研究成果をまとめたものであり、センサとしては抵抗型と差動容量型を対象としている。

抵抗型センサ用には、抵抗/周波数変換回路を提案している。この回路は、センサをその一辺とするホイートストンブリッジと積分器からなり、非線形性や遅延時間の補正によって、高い線形性を実現した。実験では、 $2.6\text{ k}\Omega$ のセンサが $1.8\text{ k}\Omega$ の抵抗変化したとき $1\text{ }\Omega$ 、即ちスパンの 5×10^{-4} より高い精度で測定できた。分解能も 2×10^{-5} である。

差動容量型センサ用には、センサの二つの容量 C_1 , C_2 の和 $C_0=C_1+C_2$ と差 $\Delta C=C_1-C_2$ の比を求めるレシオメトリック信号処理回路を四つ提案している。その一つは、電流検出/デジタル出力方式であり、 C_1 または C_1+C_2 を流れる電流を電圧に変換し、その電圧比はアナログ・デジタル変換によって変換されてデジタル値になる。電流/電圧変換回路には共通の回路を時分割で用いているため、利得調整が不要となり、高い精度が得られる。電流検出部は誤差が 0.01% である。 ΔC の測定では、 $3.4\times 10^{-5}C_0$ の分解能を持ち、 $|\Delta C|<0.25C_0$ では 10^3C_0 の精度である。二つ目は、電流検出/フィードバック方式であり、電流検出回路に C_0 と ΔC を求める機能を付加し、 C_0 に比例した電圧を一定に保つようにフィードバックすることによって、 ΔC に比例した出力から実時間でレシオメトリック信号を出力する。調整も容易で、 ΔC の測定では $6\times 10^{-5}C_0$ の分解能が得られた。解析から、 0.1% 精度も可能である。三つ目は、積分方式であり、差動容量型センサを積分容量とした容量/周期変換回路を基本とし、容量を時分割で切替えることにより容量比をデューティー比に変換する。 ΔC の測定では $2.6\times 10^{-5}C_0$ の分解能が得られ、解析から $|\Delta C|<0.5C_0$ にて 0.1% 精度も可能である。四つ目は、伝達関数から状態変数法によって合成した電荷増幅方式であり、高速処理に適している。実験により、 $|\Delta C|<0.2C_0$ にて、 $50\text{ }\mu\text{s}$ のサンプリング速度で 10^3C_0 の精度が得られることを確認している。

ここに提案したインターフェイス回路は、特別な素子を必要とせず高い精度を有する。従って、本研究で得られた成果は直接あるいは間接に計測制御の分野で広く利用されるであろう。

目次

概要	i
目次	ii
第1章 序論	
1.1. 研究背景	1
1.2. センサインターフェイスとその課題	1
1.3. 本研究の目的	4
1.3.1. 抵抗型センサ	4
1.3.2. 差動容量型センサ	6
1.4. 論文構成	8
参考文献	11
第2章 従来の研究と問題点	
2.1. はじめに	13
2.2. 抵抗型センサのインターフェイス回路	13
2.2.1. 信号処理の基本回路	13
2.2.2. 従来 of 報告例	18
2.3. 差動容量型センサのインターフェイス回路	26
2.3.1. 信号処理の基本回路	26
2.3.2. 従来 of 報告例	33
2.4. まとめ	43
参考文献	44
第3章 抵抗型センサ用信号処理回路	
3.1. はじめに	46
3.2. 抵抗 / 周波数変換回路	47
3.2.1. 回路構成	47
3.2.2. 性能の検討	51
3.2.3. 試作回路による実験と性能の評価	53
3.3. まとめ	55
参考文献	55

第4章 電流検出方式による差動容量型センサの信号処理回路	
4.1. はじめに	57
4.2. 電流検出 / デジタル出力方式	60
4.2.1. 回路構成	60
4.2.2. 性能の検討	63
4.2.3. 試作回路による実験と性能評価	66
4.3. 電流検出とフィードバックによる伝達関数の実現	67
4.3.1. 回路構成	67
4.3.2. 性能の検討	70
4.3.3. 試作回路による実験と性能評価	74
4.4. まとめ	75
参考文献	76
第5章 積分方式による差動容量型センサの信号処理回路	
5.1. はじめに	78
5.2. デューティ比出力方式	78
5.2.1. 回路構成	79
5.2.2. 性能の検討	82
5.2.3. 試作回路による実験と性能評価	85
5.3. 状態変数により合成した信号処理回路	86
5.3.1. 回路構成	87
5.3.2. 性能の検討	89
5.3.3. 試作回路による実験と性能評価	92
5.4. まとめ	95
参考文献	96
第6章 結論	97
謝辞	100

第1章 序論

1.1. 研究背景

CPUをはじめとするデジタル技術の爆発的な発展と、新材料を含めた新しいセンサ素子の開発は、産業プロセス制御装置、医療機器、家電製品などあらゆる電子機器を急速に発展させている[1]-[4]。センサを含むこれらの機器では、センサから得られた物理量の情報をCPUに取り込み、演算し、装置に対して出力することにより、所定の動作を行う。デジタル技術は既に十分な能力に達しており、その情報処理能力は単なるデジタル処理だけでなく、従来ならアナログ回路によって行っていた信号処理までも取り込もうとしている。一方、センサ、アクチュエータ、デジタル信号に変換するまでのインターフェイス回路は必ずアナログ処理が必要であるが、相対的に見て開発が遅れている。そのため、アナログ回路技術がシステム性能を決定づけている。このような背景の中で、より使いやすく高精度なセンサシステムのためのインターフェイス回路技術が求められている。

1.2. センサインターフェイスとその課題

センサを含む電子機器のシステム構成を単純化して表わしたのが図1-1 である[5]。いずれの電子機器も多数のセンサとアクチュエータがコントローラと接続されている。コントローラは以前はアナログ式だったが、現在はデジタル式である。コントローラはセンサから取り込んだ信号を基に計算し、アクチュエータに信号を出力し、フィードバック制御を行う。また、ユーザインターフェイス機器と接続されることにより、設定変更や状態表示が行える。

図1-1(a) は、こうしたシステムを単純に組み上げた従来型の構成である。この構成の特徴は、センサやアクチュエータが、専用のインターフェイスを介してコントローラに接続されていることである。このシステムは、扱うセンサが少数の場合には問題なく動作する。図1-2(a) と図1-2(b) は、このシステムに用いられるセンサの内部構成である。センサごとに専用インターフェイスを介してコントローラに接続され、コントローラがそれぞれのセンサの校正情報を持つ。しかし、システムが大きくなり、多岐にわたる物理量を取り扱う場合、センサやアクチュエータも多種多様になるため、システムの設計や維持管理に幅広

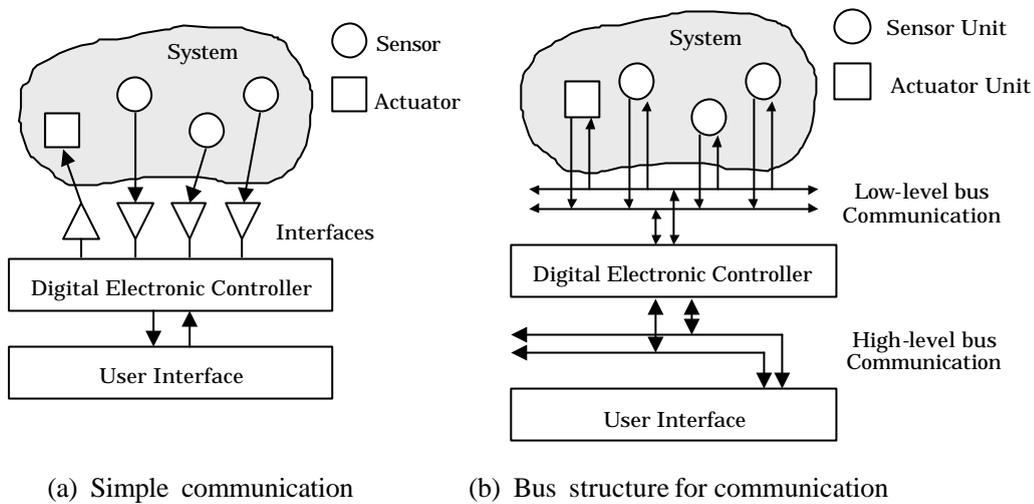


図1-1 多数センサとアクチュエータを含むシステムの構成 [5]

Fig. 1-1 Gathering the process information, and controlling the process, using sensors and actuators.

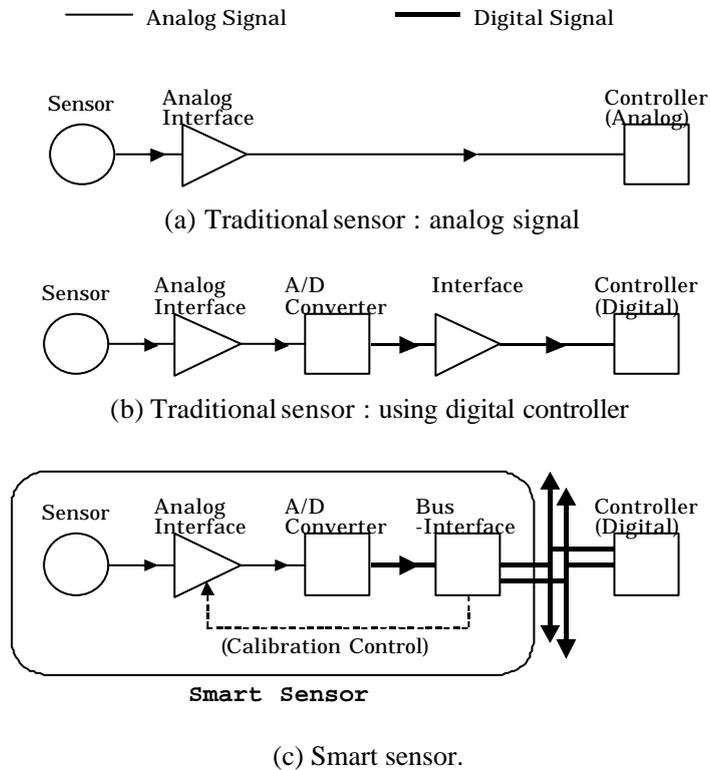


図1-2 センサからコントローラまでの信号処理

Fig. 1-2 Signal processing chain of sensors.

く専門的な技量が必要になる。

このシステムの性能向上には、センサ周りのアナログ信号の取り扱いを改善する必要がある。

例えばこうした問題点をシステムレベルで解決するのが、スマートセンサである。図1-1(b) にスマートセンサを用いた電子機器を示す[5],[6]。センサやアクチュエータのための標準的な低レベルバスを設け、センサ等の信号はこのバスを介してコントローラに伝達される。また、コントローラは高レベルバスを介してユーザインターフェイスと接続する。この構成はバスを使っているため、システム設計や管理がたやすくなる。センサの故障に対する交換や、拡張も容易である。

スマートセンサのセンサからコントローラまでの信号処理を図1-2(c) に示す。システムからの要求だけでなく、半導体技術の進歩がこうした構成を可能にした。スマートセンサは、インテリジェンスを持ち、物理量の電気信号への変換だけでなく、校正、デジタル化、コントローラとの通信等の機能を持つ。その結果、センサを含んだシステムにとって大きな割合を占めるセンサの校正コストを削減すると共に、測定の精度も向上する。様々な機能を一つのパッケージ内に収めることは、システムの信頼性や特性も向上させる。更に、インテリジェント機能を充実させ、CPU 側からの要求に応じてシステムに必要なスケールアップ等も行うことも出来る。

このように、センサユニットにデジタル技術が組み込まれたスマートセンサは、電子機器の性能を高める。

システム内におけるセンサの取り扱い方が変わっても、アナログ技術の重要性が低下したわけではない。たとえスマートセンサでも、出力の精度や変換速度は、その内部のアナログインターフェイス部の性能に大きく左右される。しかし、センサがこのように取り扱われることになると、アナログインターフェイス回路は次の要求を満たす必要がある。

まず、アナログインターフェイス回路も一つのユニットに集積化したいため、その内部素子は原理的に集積化が困難なコイルやトランスは使えない。

次に、コントロール回路はデジタル式であることから、デジタルコードに変換するための信号処理をする必要がある。今日のアナログ/デジタル変換器は十分な変換速度と精度

を持っているため、電圧出力は良い選択の一つである。また、情報が周波数やパルス幅として出力されることも、カウンタなど簡単なハードウェアによってデジタル化できるため、好都合である。

更に、自動校正への対応を考慮する必要がある。そのためには、インターフェイス回路の調整箇所は少ない回路が望ましい。無調整で動作すれば最良である。また、非線形誤差も精度に大きな影響を与えるため、回路構成は非線形性を良く検討すると共に、線形性からのずれを評価しておく必要がある。なお、スパンやオフセットも少ないほうが好ましいが、デジタル回路や、コントローラ内でも校正することが可能である。

1.3. 本研究の目的

これまで述べたように計測、制御システムの性能向上のためには、アナログインターフェイス回路技術の向上が不可欠である。本研究ではセンサ系内の高精度アナログインターフェイス回路について回路開発を行った。

システム側からの要求により、回路に求められる特徴は、集積化への対応、デジタルコードへの変換のたやすさ、調整箇所の少なさ、非線形誤差の低減とその評価である。本研究で取り上げたセンサは一般性が高く高精度測定が可能な抵抗型と差動容量型センサである。以下に、取り扱うセンサの特性と測定精度について述べる。

1.3.1. 抵抗型センサ

抵抗型センサによる精密測定には、以下に述べる白金測温抵抗体(RTD)や、歪ゲージがよく用いられる。

RTD は、白金の抵抗値 R と温度が次の関係式であることを利用した素子である[7]。

$$R = R_0 (1 + AT + BT^2) \quad (1.1)$$

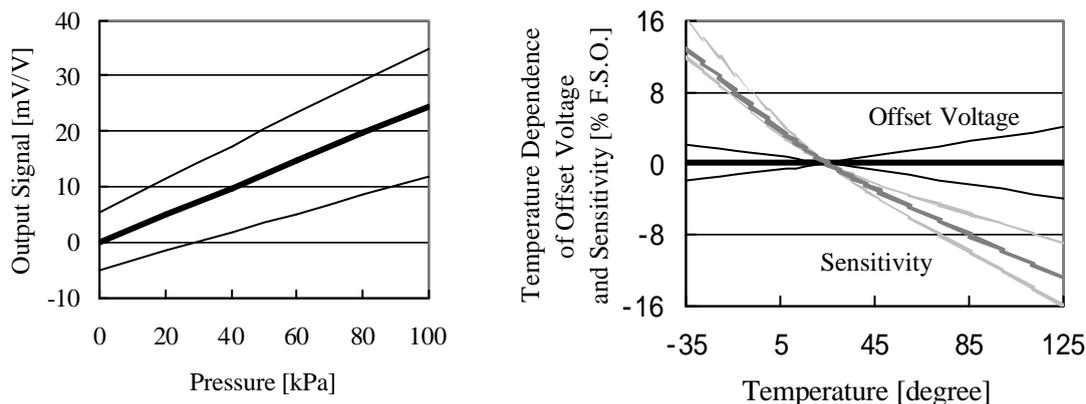
ただし、 R_0 は摂氏 0 度における抵抗値、 $A = 3.91 \times 10^{-3}$ 、 $B = -5.80 \times 10^{-7}$ 、 T の単位はである。高い再現性を持ち素子ごとのばらつきが存在せず、温度に対する線形性も高いため、精密な温度測定に用いられる。

歪ゲージは、ピエゾ抵抗効果によって応力 T_i が加えられたとき導体の抵抗値が変化することを利用した素子である。応力の大きさが、導体を破壊するような力に比べて十分に小さい時は、線形とみなすことができ、抵抗変化 ΔR は、

$$\Delta R = R_0 K T_I \tag{1.2}$$

で表される。ただし、 R_0 は応力を受ける前の抵抗値、 K は比例定数である。

比例定数の大きさは物質によって異なるが、金属は小さく、半導体は大きい。ただし、たとえ半導体を使っても取り出せる信号は小さいものである。一方、温度による定数の変化率は、金属は小さく、半導体は大きい。このことから、精密測定を行うには、センサとともに温度補正等の校正回路が必要である。図1-3(a) に、圧力計として使われている半導体型のピエゾ抵抗の特性を示す[8]。中央の太い線は平均的な素子の、上下の細い線は工程によって生じたばらつきの特性である。図1-3(b) には、同素子のオフセット電圧や感度の温度特性を示す。いずれも、中央の太い線は平均的な、上下の細い線はばらつきの特性を示す。



(a) The output voltage of piezo-resistive pressure sensors

(b) Offset voltage and sensitivity of piezo-resistive pressure sensors as a function of temperature

図1-3 ピエゾ抵抗の特性 [8]

Fig. 1-3 Characteristics of piezoresistive pressure sensors.

歪ゲージを機器の適当な部分に組み込むことにより、重量、圧力、加速度などの物理量測定に応用できる[7]。

この研究では、取り扱うセンサは白金抵抗素子用を想定し、0.1% 精度の測定を目指した。しかし、この技術は歪ゲージなど他の抵抗型センサにも適用できる。

1.3.2. 差動容量型センサ

コンデンサの基本構造である平行平板コンデンサを図1-4(a) に示す。2枚の電極を持ち電極間には誘電体が挿まれている。電極の端の効果を考えない理想の場合、電極の面積を S 、挿まれている誘電体の誘電率を ϵ 、電極間隔を d とすれば容量値 C は、

$$C = \frac{\epsilon S}{d} \quad (1.3)$$

で与えられる。

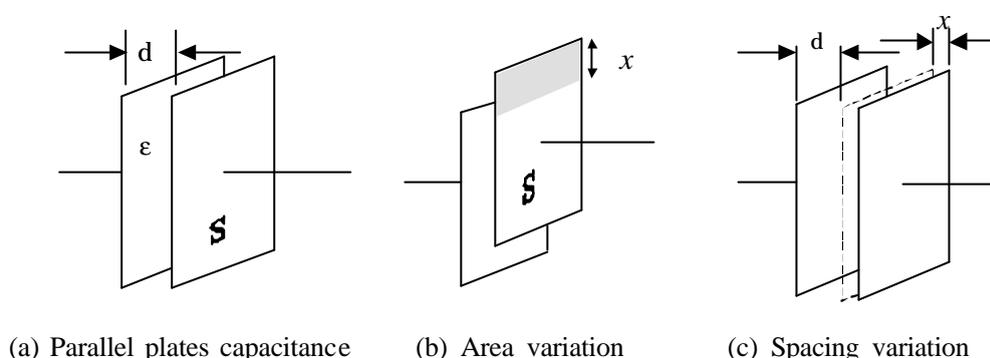


図1-4 平行平板コンデンサと変位センサへの応用

Fig. 1-4 Parallel plates capacitance and motion sensing configuration.

式(1.3) より、容量値は ϵ と S に比例し d に反比例する。一方、容量のインピーダンス $1/j\omega C$ は、 d に比例して ϵ と S に反比例する。

図1-4(b), (c) は、コンデンサを変位センサに応用したものである。例えば図1-4(b) のように測定したい変位により電極をスライドさせれば、電極の互いに重なり合う面積 S が変化し、回路でその変化を検出できる。いずれの場合でも、ヒステリシス特性が無く、精密な測定が可能である。

図1-4 のセンサ構成は、構造上ノイズが乗りやすく、この構造のまま応用するには問題がある。例えば図1-4(c) は本来 d の変化を検出するはずであるが、もしも電極がずれて面積 S だけが変化した場合でも容量値は変化し、 d の変化と区別できない。

図1-5 は、センサ構造を改善する方法を示す。前述の問題に対しては、片側の電極の面積を大きくすることにより、電極の微小なスライドは重なり合う面積に影響しないため容

量値は d のみの関数となる。

これ以外にも，浮遊容量の値を管理するためのシールド板の設置や，電極板からの配線のとり回しにも工夫が必要である。

通常，精密に測定するには基準となるものと測定すべきものを比較する。ところが，容量型センサを用いる場合，温度特性に優れて値も精密に決められた基準容量は入手しにくいという問題点がある。また，仮に回路内で理想的な基準容量が使えたとしても，温度や湿度によってセンサの誘電率が変化してしまったならば，電極の面積や間隔を測定するセンサとして使用できない。

こうした問題をこの問題を解決する技術が，容量センサを2つ使用し，その比率から物理量を検出するレシオメトリック (ratiometric) 信号処理である。

こうした問題をこの問題を解決する技術が，容量センサを2つ使用し，その比率から物理量を検出するレシオメトリック (ratiometric) 信号処理である。

レシオメトリック処理をするには，図1-6 (a) または (b) に示されるように，物理量の変化に合わせて移動する可動電極と2枚の固定電極から構成されるセンサを用いる。この構成は，差動容量型トランスデューサと呼ばれる。いずれの場合でも，等価回路は同図(c)に示される共通端子を持つ2つの容量 C_1, C_2 から成る3端子の素子である。

図1-6(a) の場合，各容量は変位 x に対して線形に変化し，

$$C_1 = \frac{C_0}{2} (1 + x), \tag{1.4}$$

$$C_2 = \frac{C_0}{2} (1 - x) \tag{1.5}$$

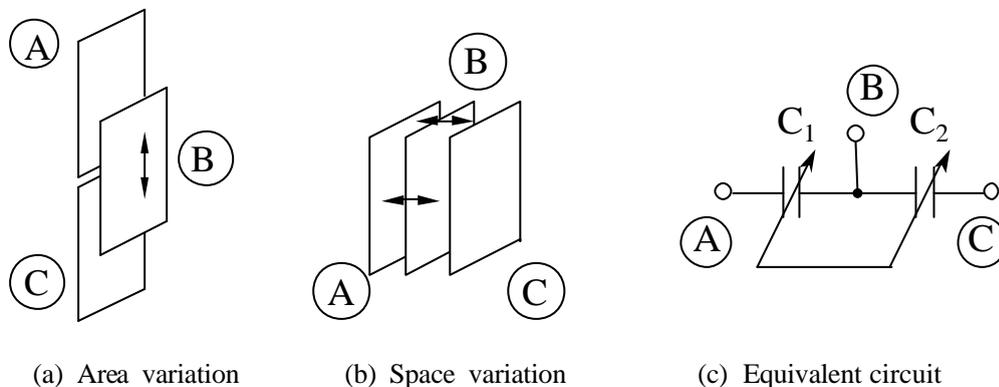


図1-6 差動容量型センサ [4]
Fig. 1-6 Differential-capacitance transducer.

と表わされる。一方，図1-6(b) の場合，各容量は変位 x に対して非線形に変化し，

$$C_1 = \frac{C_0}{2} \frac{1}{1-x} \quad , \quad (1.6)$$

$$C_2 = \frac{C_0}{2} \frac{1}{1+x} \quad (1.7)$$

と表わされる。いずれの場合も物理量の変化によって片方の容量値が増加するともう一方の容量値は相補的に減少する。

このとき，いずれの形式であっても，物理量 x は次式のレシオメトリック処理によって求められる。

$$x = \frac{C_1 - C_2}{C_1 + C_2} \quad (1.8)$$

すなわち，2つの容量値は物理量の変化に応じて相補的に変化し，物理量は2つの容量値の差と和の比に比例する。この方法では温度や環境による容量変化が，比の計算によって相殺されることから，正確な測定が可能になる。また，相補的な容量値変化は，片方だけの容量変化の倍程度の大きさになるため高い分解能も実現できる。

このトランスデューサは，圧力，加速度，変位，回転角等の計測に使われている。なお，図1-6(a) の構成は主として位置や回転角センサに使われ，図1-6(b) はダイヤフラム型圧力センサに使われる。また，いずれの場合も同じ信号処理によって物理量に線形な出力を取り出せることから，開発した回路技術は両トランスデューサに適用できる。

この研究では，ここで述べた信号処理を行う差動容量型スマートセンサのアナログインターフェイス回路を開発した。想定した差動容量式トランスデューサは圧力や加速度測定用であり，その容量は数 pF である。精度は 0.1% 以上とし，なるべく速い変換速度を目標とした。

1.4. 論文構成

これまで述べたように，センサの高精度信号処理を行うアナログインターフェイス回路は，計測，制御技術の向上に重要である。

本研究では，抵抗用と差動容量用のアナログインターフェイス回路を開発した。いずれ

の回路も，回路は高精度で高速であることは当然として，集積化への対応，デジタル回路との通信の容易さを考慮し，高い線形性を持つものとした。

本論文はこれらの研究成果をまとめたものであり，6章により構成されている。

第1章では，ここまで述べてきたように，研究背景と目的を述べた。また，取り扱うセンサについて述べ，特に容量センサに関しては高精度に測定するには，2つの容量をセンサとし，その和と差の比率を求めるレシオメトリック信号処理が必要であることを述べた。

第2章では，抵抗型センサと差動容量型センサについて，基本回路，従来の報告例，その問題点を述べた。

第3章では抵抗偏差に比例した周波数で発振するインターフェイス回路を提案する[9][10]。抵抗型センサは非常に一般性が高いものであり，また温度特性に優れたリファレンス抵抗が容易に入手できることから特に高精度測定に適している。また，周波数情報はノイズにも強く，CPU が情報を取り込むのも容易であることから，スマートセンサに適したインターフェイスである。

提案した回路は抵抗偏差を周波数に変換するものである。弛張発振回路とブリッジを組み合わせた簡単な構成であるが，ブリッジの非線形性も演算増幅器の遅れ時間も補正し，高い精度を実現した。

第4章では，まず最初の節で，差動容量型センサを取り扱う回路に必要な技術について論じた。容量の検出には，電流検出方式と積分方式があること，2つの容量を取り扱うには，時分割方式と一括方式があり，それぞれの長所を論じる。

続いて，容量測定の基本技術である電流検出方式を用いた差動容量型センサの信号処理回路を2つ提案する。

第1の回路は，電流検出回路を時分割で使用して2つの容量の和と片方の容量それぞれに比例する電圧を求め，それらを A/D 変換器のリファレンスと信号電圧として供給し，A/D 変換によってデジタルコードを作り出すものである[11]。A/D 変換は割り算することであるから，レシオメトリック信号処理が実現される。この方式は，基本的に1つの電流

検出回路を共用するため，回路の精度は非線形性のみによって決まり，利得調整は不要である。これにより，調整を最小限にしながら高精度の測定が保証される。

第2の回路は，2つの電流検出回路を1つの信号処理回路に組み込むことによってシンプルな抵抗のマッチング条件で容量の和と差に比例した出力を取り出すものである[12][13]。フィードバック回路を付加して和を一定に保つことにより，レシオメトリック信号処理が実現され，差の出力からレシオメトリック信号処理に比例した電圧が取り出される。常に2つの容量が動作し，連続的に測定が可能である。

第5章では，積分回路を用いて信号処理を行う差動容量型センサのインターフェイス回路について述べる。従来の報告例ではセンサの容量を積分コンデンサとして使用した例は殆ど見られない。積分回路によって信号処理のバリエーションが増え，回路設計の幅も広がる。積分回路は回路動作が安定しているため，高精度の測定に適した方法である。積分回路は微分回路の逆回路であることから，微分回路と組み合わせて高度な信号処理を行うことも可能である。

この章で提案する第1の方式は，積分の容量としてセンサを用い，積分電圧が閾値を越えるまでの時間を測定して容量/時間変換を行う発振器であり，その出力のデューティ比は，容量比に比例する[14]。回路の要点は，容量の切り替えの実現である。この回路では，容量の切り替えは，2本のダイオードを付加した回路によって行う。調整が必要なのは，2本の抵抗をマッチングさせるだけである。デューティ比出力はデジタル回路へのデータ伝達に優れている。

第2の方式は，式(1.8)の伝達関数を分析し，状態変数法からその伝達関数を直接実現する信号処理を求め，実現した回路である[15][16]。この回路中では積分回路と微分回路を組み合わせて使用した。積分回路の用途はタイミング測定でなく微分の逆演算であるため，高速に測定でき，しかも十分な精度であった。

差動容量型センサ用に提案した4つのインターフェイス回路は，いずれも高速で高精度の測定を可能にしている。

第6章は結論であり，本論文を総括している。

参考文献

- [1] 鄭元燮, “抗型及び容量型センサ用信号処理回路に関する研究,” 静岡大学博士論文, 1986
- [2] L. D. Jones, and A. F. Chin, *Electronic Instruments and Measurements*, Englewood Cliffs, NJ : Prentice Hall, 1991
- [3] 山崎弘郎, *センサ工学の基礎*, 昭晃堂, 1985
- [4] L. K. Baxter, *Capacitive Sensors*, New York : IEEE PRESS, 1997
- [5] G. van der Horn, and J. H. Huijsing, *Integrated Smart Sensors Design and Calibration*, Boston : Kluwer Academic Publishers, 1998
- [6] J. H. Huijsing, and G. C. M. Meijer, *Smart Sensor Interface*, Boston : Kluwer Academic Publishers, 1997
- [7] 森泉豊栄, 中本高道, *センサ工学*, 昭晃堂, p.45-, 1997
- [8] E. Obermeier, S. Hein, V. Schlichting, D. Hammerschmidt, F. V. Schnatz, and B. J. Hosticka, "A smart pressure sensor with on-chip calibration and compensation capability" *SENSORS*, Vol. 14, pp.20-22 + pp.52-53, March 1995.
- [9] K. Mochizuki, and K. Watanabe, "A High-Resolution, Linear Resistance-to-Frequency Converter," *IEEE Trans. Instrum. Meas.*, Vol. 45, pp. 761-764, June 1996.
- [10] 望月孔二, 渡邊健藏, “微小抵抗変化検出用抵抗 / 周波数変換器,” 静岡大学電子工学研究所研究報告, 第30巻, 第1号, pp. 77-83, 1995.
- [11] K. Mochizuki, T. Masuda, and K. Watanabe, "An Interface Circuit for High-Accuracy Signal Processing of Differential-Capacitance Transducers," *IEEE Trans. Instrum. Meas.*, Vol. 47, pp.823-827, Aug. 1998.
- [12] K. Watanabe, H. Sakai, S. Ogawa, K. Mochizuki, and T. Masuda, "High-Accuracy signal processing of differential pressure transducers," *1996 IEEE International Workshop on ETIM'96, Italy*, pp. 111-118, June 10-11, 1996.
- [13] K. Watanabe, H. Sakai, S. Ogawa, K. Mochizuki, and T. Masuda, "High-Accuracy Signal Processing of Differential Pressure Transducers," *IEEE I&M Newsletter*, No.135, pp.11-17, 1997.

- [14] K. Mochizuki, K. Watanabe, T. Masuda, and M. Katsura, "A Relaxation-Oscillator-Based Interface for High-Accuracy Ratiometric Signal Processing of Differential-Capacitance Transducers," *IEEE Trans. Instrum. Meas.*, Vol. 47, pp.11-15, Feb. 1998.
- [15] K. Mochizuki, K. Watanabe, and T. Masuda, "A High-Accuracy High-Speed Signal Processing Circuit of Differential-Capacitance Transducers," *IEEE Trans. Instrum. Meas.*, Vol. 47, No. 5, pp.1244-1247, October 1998.
- [16] K. Mochizuki, and K. Watanabe, "A High-Accuracy Interface Circuit for Differential Capacitance Transducers," *ICEMI Proceedings, Harbin*, pp.441-446, 1999.

第2章 従来の研究と問題点

2.1. はじめに

この研究で取り扱うセンサは、一般性を持つ抵抗型センサと容量型センサとした。また、測定も高精度に行うことを目的とした。

具体的には、抵抗型センサは、白金抵抗素子用とした。また、容量型は、高精度測定に適した差動容量型とした。

この章では、それぞれのセンサについて、基本回路と、従来報告されたインターフェイス回路について述べる。その中で、従来報告された回路の問題点をまとめる。

2.2. 抵抗型センサのインターフェイス回路

抵抗型センサは、物理量の変化によってセンサの抵抗値が変化することを利用したものである。抵抗は回路素子として最も基本的なものであり、ブリッジ回路など信頼性の高い測定回路を使用できる。また、コンデンサやコイルと異なり、安定したリファレンスが容易に入手できるため、センサ素子として最も使いやすいものである。微小抵抗変化の測定は、産業・プロセス制御システムや医療器械で広く要求されている。

以下の節で、抵抗型センサに関する基本的な知見を述べる。

2.2.1. 信号処理の基本回路

センサの抵抗値 R_x は、 $R_x = R_{x0} + \Delta R$ と表される。ここで R_{x0} は基準条件での抵抗値であり、 ΔR が測定対象の値に応じて変化する抵抗偏差である。測定によって物理量を知るためには、 ΔR を知る必要がある。

最も原始的な測定は、図2-1 に示す回路で行うことが出来る。まず、電流値を測定することによって抵抗値 R_x を求めてデジタル回路に取り込み、その後デジタル処理で R_{x0} を引き算する。

しかしこの回路では、抵抗値だけでなく電源電圧 V_0 も電流値を変化させるため、 V_0 の変化と抵抗値の変化を区別できず、測定精度を上げることは困難である。

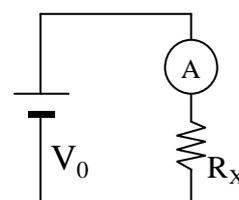


図2-1 抵抗測定回路
Fig. 2-1 Basic ohmmeter circuit.

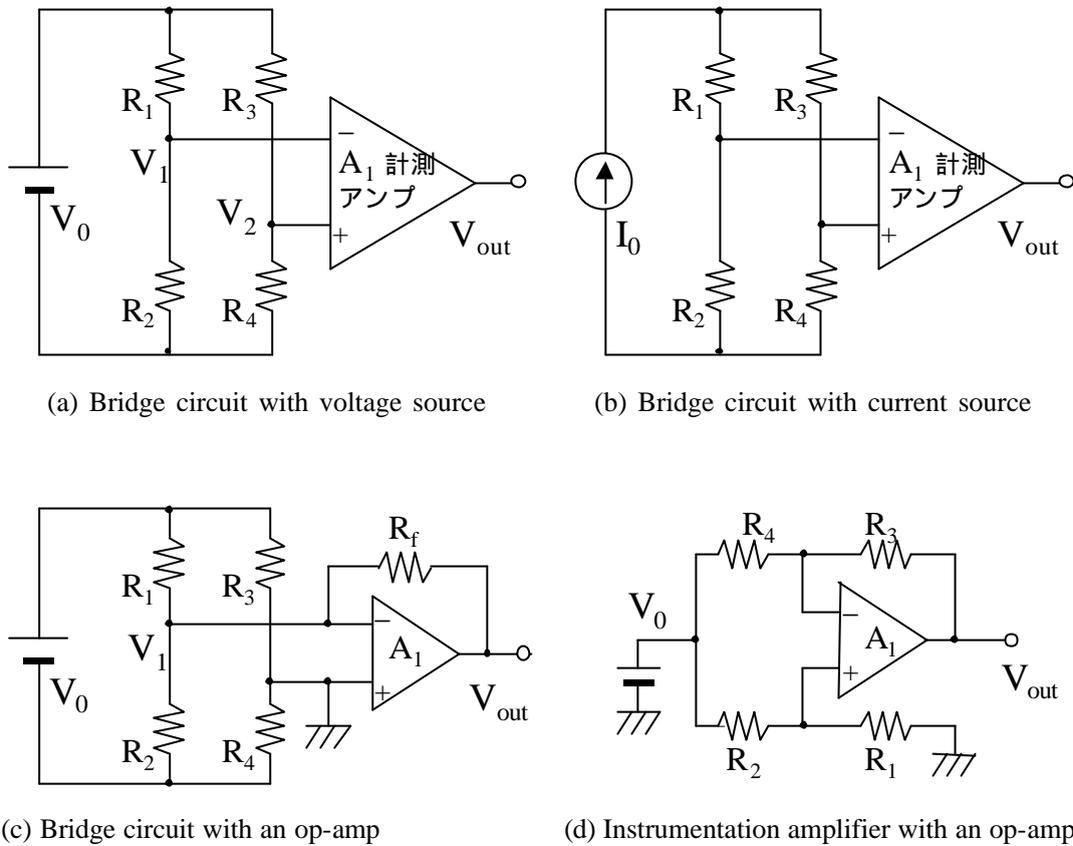


図2-2 様々なブリッジ回路

Fig. 2-2 Bridge circuits.

抵抗偏差を測定するために広く使用される基本回路は、図2-2に示すブリッジ回路である。

ブリッジの基本回路は、図2-2(a)の様に電圧を供給して電圧を出力するものである。このときブリッジの両端に現れる電位差 ΔV は V_1 と V_2 の差に比例し、

$$\Delta V = V_1 - V_2 = \frac{R_2}{R_1 + R_2} V_0 - \frac{R_4}{R_3 + R_4} V_0 \quad (2.1)$$

で表される。抵抗のいずれかに抵抗値 $R_n = R_{n0} + \Delta R_n$ (ただし、 n は 1 から 4 までのいずれか、 R_{n0} は基準値、 ΔR_n は基準値からのずれ) のセンサを使用し、 $\Delta R_n = 0$ の時に

$$R_2 R_3 = R_1 R_4 \quad (2.2)$$

を満たすように調整しておけば、 ΔR_n に応じて $|\Delta V|$ は増加する。例えば R_1 がセンサな

らば，出力電圧は，

$$V_{\text{out}} = \frac{-\Delta R_1 R_4}{(R_{10} + \Delta R_1 + R_2)(R_3 + R_4)} V_0 \quad (2.3)$$

となる。これにより， R_{10} ぶんのオフセットがキャンセルされ， ΔR_1 によって決まる電圧を取り出すことが出来る。もともと抵抗は高精度で温度特性に優れたものを用意できるが，式(2.2) を満たすために各抵抗に必要とされる特性は，相対精度だけであることから，抵抗マッチング条件は極めて高い精度で実現できる。従って，式(2.3) も信頼できるものである。

式(2.3)は， ΔR_1 の変化に対して単調増加するが，その関係は非線形である。もしも $|\Delta R_1| \ll R_{10}, R_2$ ならば，線形と近似することができる。

ブリッジを使う利点は単に抵抗偏差を検出するだけでなく，環境の影響を自動的に補正するという利点もある。一般的に考えるとセンサの抵抗値は測定する物理量 x だけでなく環境の関数でもあり，

$$R_x = R_x(x, \text{環境}) = R_0(\text{環境}) + \Delta R(x, \text{環境}) \quad (2.4)$$

と表わされる。ここで， x と環境が互いに影響しないならば， ΔR をオフセット R_0 で除算することによって環境項による影響を補正できる。例えば， R_1 と R_2 が温度の影響を受ける圧力センサ素子としたとき， R_1 を圧力測定に用い， R_2 は圧力を加えず R_1 と同じ温度に保つものとする。そうすると，温度変化ぶんが相殺し，圧力変化によって決まる抵抗変動ぶんのみを取り出すことが出来る。

なお，抵抗値が環境に影響されない抵抗測温体のようなセンサは， R_0 は常に固定であり，除算は不要である。

ブリッジは，また，電源に関する利点も大きい。用意すべき電源は V_0 ひとつだけで良い。また， V_0 の微小変動は， V_1, V_2 を同時に変化させるため，測定のオフセットに影響せず，スパンを変えるのみである。

以上述べたように，ブリッジ回路は抵抗測定に極めて適したものであり，抵抗変化に対する線形性だけが課題である。

ブリッジ回路を変形することにより，式(2.3) とは異なる信号処理が可能である。

図2-2(b) はブリッジの電源に電流源を使用した回路である。出力電圧は次式で与えられる。

$$V_{\text{out}} = \frac{R_2 R_3 - R_1 R_4}{R_1 + R_2 + R_3 + R_4} I_0 \quad (2.5)$$

図2-2(c) は演算増幅器を使って信号処理をした回路である。出力電圧は、

$$V_{\text{out}} = \frac{R_2 R_3 - R_1 R_4}{R_1 R_2 (R_3 + R_4)} R_f V_0 \quad (2.6)$$

で与えられる。

図2-2(d) は、演算増幅器を用いた差動増幅回路である。この回路もブリッジの一種と考えることができ、出力電圧は次式で与えられる。

$$V_{\text{out}} = \frac{R_2 R_3 - R_1 R_4}{R_4 (R_1 + R_2)} V_0 \quad (2.7)$$

以上の回路はいずれも抵抗偏差を取り出す信号処理をアナログ回路で実現したものである。それぞれの回路の応答は抵抗比で表わされ、その分子は皆同じであるが、分母が異なっている。回路の選定は、必要とする信号処理に最も適合するものを選べば良い。

電圧出力が得られたならば、A/D 変換回路によってデジタルコードに変換できる。

電圧出力が得られなくても、抵抗値をデジタルコードに変換することは可能である。その中でも、抵抗値によって決まる周波数を出力する回路は、抵抗値測定のインターフェイス回路として好適である。周波数信号は、カウンタでデジタル信号に変更でき、伝送路に混入するノイズに対しても影響を受けにくいことから、計測回路が用いる信号として優れている。

単純に抵抗を周波数に変換する回路は、図2-3 に示す弛張発振回路で実現できる。この回路は方形波発振回路である。理想条件ではその発振周波数 f は、 $f = \frac{1}{t_0} CR_1$ で表わされる。ただし、 $\tau_0 = 2 \ln \frac{R_3 + 2R_2}{R_3}$ である。これより、発振周波数から R_1 の値を測定することが可能である。抵抗値をデジタル回路に取り込んでからオフセット分を引き算すれば抵抗偏差が求まる。

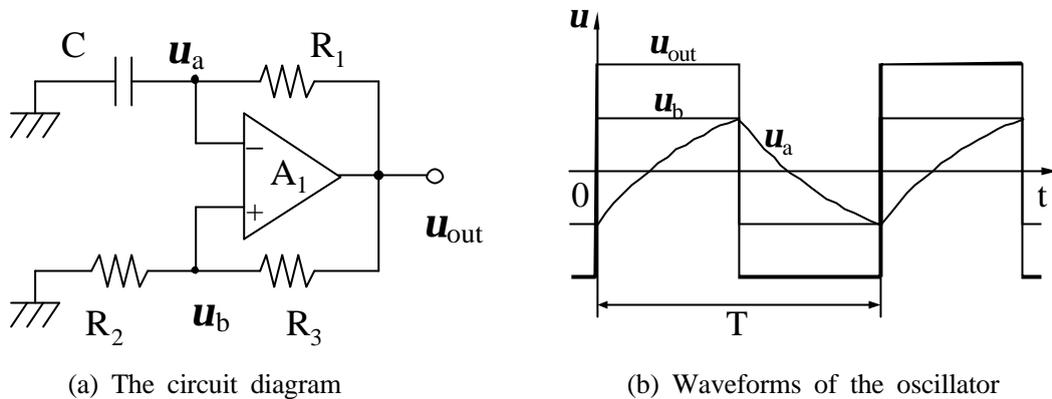


図2-3 弛張発振回路
Fig. 2-3 A relaxation oscillator.

方形波は短期的に見れば直流電圧であり，浮遊容量の影響を受けにくいいため，抵抗成分のみの測定に適している。また，ブリッジ回路と組み合わせやすいという利点もある。また，弛張発振回路は，例えば RC の充放電部分を積分器に変更するなど，その構成は多様な変形が可能である。

しかし，抵抗値全体によって周波数が決まるため，抵抗変化分に対する感度が低い。また，この回路の周波数は C によっても変化することから，温度特性の優れた容量も必要になる。

正弦波を出力する発振回路も，抵抗値 / 周波数変換回路として使うことが可能である。正弦波を発生させるために良く使われるウィーンブリッジ発振回路を図2-4 に示す。発振周波数 f は， $f = \frac{1}{2p\sqrt{C_1C_2R_1R_2}}$ で表される。一般的に

正弦波を出力する発振回路の周波数は，抵抗 R の平方根に反比例する。この場合，抵抗変化に対する感度が低くなるとともに，変化が非線形のため，あまり用いられない。

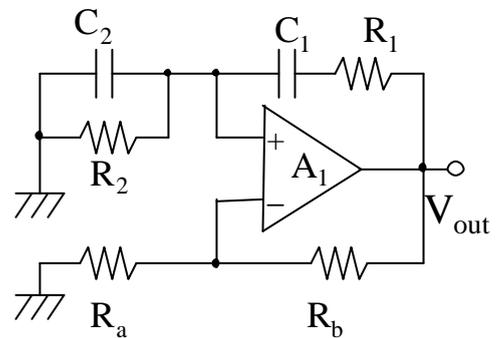


図2-4 ウィーンブリッジ発振回路
Fig. 2-4 Wienbridge oscillator

2.2.2. 従来の報告例

この節では、抵抗 / 周波数変換回路に関する従来例について述べる。

まずウィーンブリッジ形発振技術を使った回路に触れる。この技術は 2.2.1. 節で述べたように抵抗変化に対する周波数変化の感度が低いため本来は測定用回路として望ましいとは言えないが、特別な工夫をすることによって感度を上げた報告もある。

図 2-5 に示す回路は、1971年に G. Payen によって報告されたものである [1]。回路は大きく分けて、センサ R_B, R_B' を含んだブリッジ回路と、 R_1, R_2, C_1, C_2 を含むウィーンブリッジ形発振回路から構成されている。ウィーンブリッジ形発振回路は、利得が 3 倍の増幅器を使うと共に、発振が持続するために抵抗 R_2 が自動的に調整されている。その

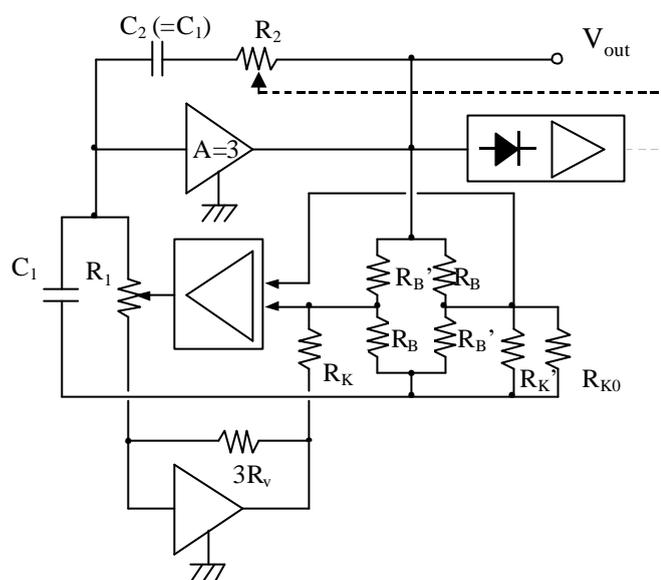


図2-5 ウィーンブリッジを利用した抵抗 / 周波数変換回路[1]
Fig.2-5 Resistance/Frequency converter using wienbridge.

ため、自動的に $R_2 = R_1$ の関係が保たれ、発振周波数 f も、 $f = \frac{1}{2\pi C_1 R_1}$ という関係が保たれている。また、抵抗 R_1 は、ブリッジ側から与えられる電圧に対して逆比例の関係式で変化するものを使用する。

ブリッジ回路内のセンサ R_B, R_B' は物理量の変化に従って相補的に変化するため、ブリッジからの出力電圧は物理量の変化に応じた値となる。一方、ウィーンブリッジ形発振回路の抵抗 R_1 は、ブリッジから送られた電圧に対して逆比例の関係で変化するため、結局、発振周波数は物理量の変化に比例する。

この回路は、センサの値を検出する部分と発振回路が全く独立している。従って、発振器は、正弦波を出力せずに、方形波を出力しても良い。

次に、弛張発振技術を使って、抵抗偏差に比例したパルス幅を作る回路について触れる。

図2-6(a) に示す回路は、

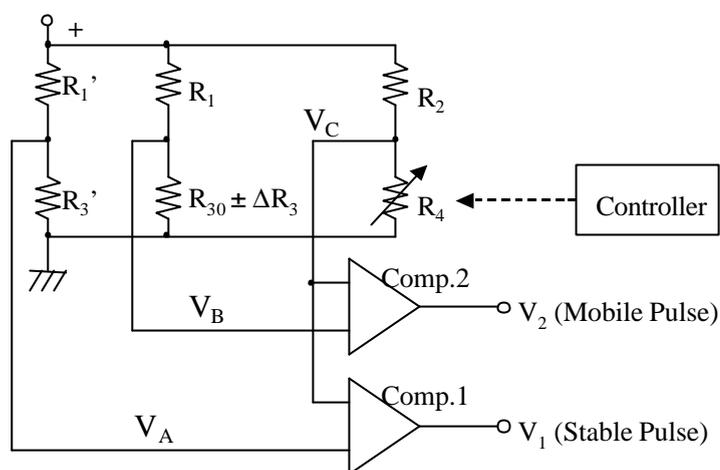
1972年の L. J. Weiss らの報告[2]によるものである。図2-6(b) は各部の波形を示す。回路はブリッジを含み、2つのパルス波を生成する。両パルスの時間差は抵抗偏差に比例する。

回路構成は大きく分けて、抵抗 R_2 , R_4 とコントローラから成るのこぎり波発生回路と、抵抗 R_1 , R_3 及び R_1' , R_3' から成る2つの電圧発生部と、2つの比較器から成る。

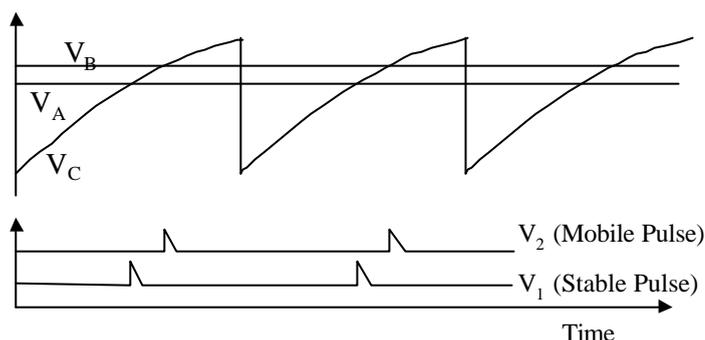
のこぎり波発生回路により、 V_C としてのこぎり波状の波形が生成される。ただし、時間と共に R_4 は線形的に増加するため、 V_C は時間に対して非線形に変化する。

電圧 V_A は固定であり、 V_B はセンサの値によって変動する。それぞれの電圧を電圧 V_C が横切った瞬間に、比較器からパルスを出し、パルスの発生した時刻を観測することによって抵抗値の変化を読み取る。電圧 V_A , V_1 によって作られる基準信号を利用して測定することにより、高精度の測定が可能になる。

この回路は FET といくつかの付加的な抵抗を組み合わせることで R_4 を作っている。この回路の出力が抵抗偏差に比例するためには、 R_4 の抵抗値が時間に対して比例的に増加する



(a) Circuit diagram



(b) Waveforms of the converter

図2-6 抵抗 / パルス幅変換回路 [2]

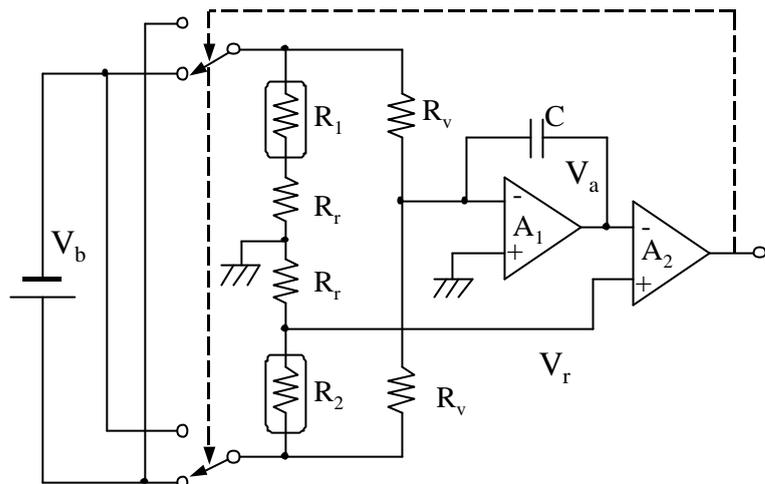
Fig. 2-6 Resistance deviation to time converter.

必要があるが、限られた条件のもとでしか満たされない。

次に、弛張発振回路技術により抵抗偏差を周波数に変換する3つの回路について述べる。

図2-7(a) に示す回路は、1975年の R. Friedl らの報告によるものである[3]。図2-7(b) に各部の波形を示す。この回路は、2つのセンサの抵抗値の差 $R_1 - R_2$ に比例した周波数を出力する。

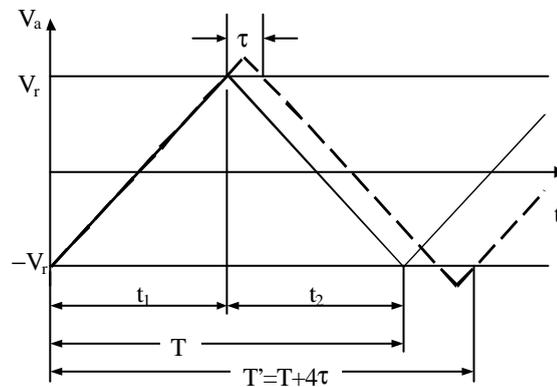
この回路の用途は熱交換器の入り口と出口の温度差の測定である。それぞれのセンサは入り口と出口に設置される。センサにサーミスタが使われるため、抵抗値の差は、両センサの温度差に比例する。



(a) Circuit diagram

この回路は、センサを含むブリッジ、積分器 A_1 、比較器 A_2 、電圧の方向を切り替えるスイッチ(SW)で構成されている。

スイッチの状態が決まれば容量 C に一定の電流が流れ、 V_a は時間に比例して変化する。1周期の間に V_a が $4|V_r|$ 変化するから、発振周波数 f は、



(b) Waveforms of the converter

図2-7 抵抗 / 周波数変換回路 [3]
Fig. 2-7 Resistance to frequency converter.

$$f = \frac{R_1 - R_2}{4R_r R_v C} \cdot \frac{1}{K} \quad (2.8)$$

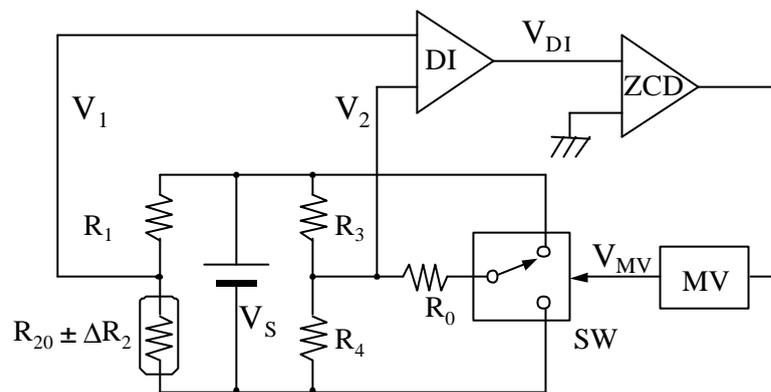
で表わされる。ただし K は非線形項であり、値は $1+(R_1+R_r)/R_v$ である。 R_v を十分に大きくすれば非線形性を無視できる。

回路の誤差要因は、演算増幅器のオフセット電圧、バイアス電流、遅れ時間要素である。図2-7(b) の破線は、遅れ時間要素があった場合の波形である。出力周波数は電源電圧 V_b に依存しないので、 V_b は短期的に安定であればよい。

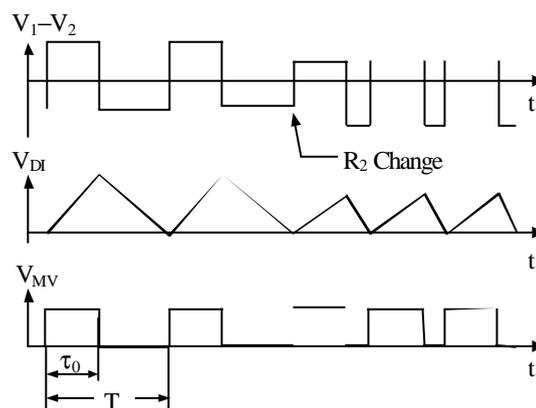
試作回路により性能を評価した。演算増幅器には安価な 741 型を使用し、 $R_r = 50 \Omega$, $R_v = 35 \text{ k}\Omega$, $V_b = 12 \text{ V}$, $R_1 = 110 \Omega$, $R_2 = 100 \Omega$ のとき $f_0 = 30 \text{ Hz}$ になるように設定し、 R_1 を 100Ω から 110Ω まで変化させた。その結果、 10^{-3} よりも良い精度で測定できた。精度がこの特性を持つ理由は、演算増幅器が 10^{-8} A のバイアス電流と $30 \mu\text{s}$ の遅れ時間要素を持っていたことによる。

図2-8(a) に示す回路は、1986年の C. D. Johnson らの報告[4]によるものである。図2-8(b) は各部の波形を示す。この回路は、抵抗の変化分に比例して出力信号の周波数が変化する。

この回路は、センサを含むブリッジ、電位差を積分する積分器(DI : Differential Integrator), 零電位検出器(ZCD : Zero Cross Detector), 単安定マルチバイブレータ(MV : Multi Vibrator),



(a) Circuit diagram



(b) Waveforms of the converter

図2-8 抵抗 / パルス幅変換回路 [4]

Fig. 2-8 Resistance deviation-to-frequency converter.

切り替えスイッチ(SW : Switch)によって構成されている。

ブリッジの各抵抗は， $R_1 = R_{20} = R_3 = R_4$ に調整される。ここで，抵抗 $R_2 = R_{20} + \Delta R_2$ をセンサとする。

抵抗 R_0 はスイッチによって抵抗 R_3 または抵抗 R_4 のいずれかに並列に接続される。従って， V_1 の電圧は，スイッチ切り替え時に決まった値だけ増減する。スイッチの状態によって電位差 $V_1 - V_2$ が正負に切り替えられるように，抵抗値 R_0 の大きさが決められる。

スイッチの状態によって回路は2通りの動作を行う。一つは R_0 が R_4 と並列に接続された場合である。この時は電位差 $V_1 - V_2$ が正になるため， V_{DI} は時間と共に増加する。この状態は MV によって作られたパルス幅 τ_0 だけ続けられ，その結果， V_{DI} はセンサの抵抗によって決められる電圧に達する。もう一つの動作は R_0 が R_3 と並列に接続された場合である。この時は電位差 $V_1 - V_2$ が負になるため， V_{DI} は時間と共に減少する。この状態は， V_{DI} が 0 V に達するまで続けられる。以上の動作が繰り返されて，発振の周波数が出力信号として取り出される。

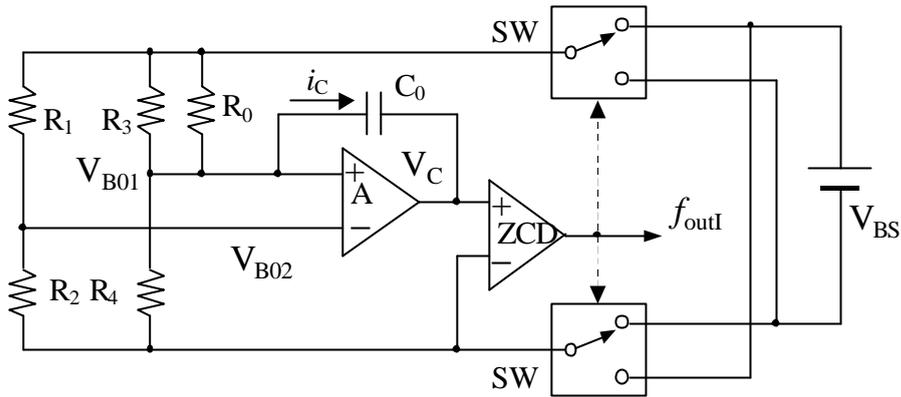
抵抗偏差 ΔR_2 が十分に小さくて2次誤差が無視できるならば，発振周波数 f は次式で表され，抵抗偏差に比例して変化する。

$$f = f_0 + \Delta f = f_0 + \frac{1}{2} \left(1 + \frac{2R_0}{R_{20}} \right) f_0 \frac{\Delta R_2}{R_{20}} \quad (2.9)$$

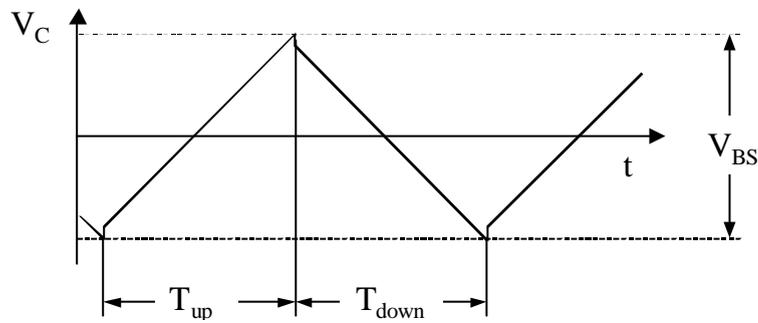
ただし f_0 はセンサの抵抗が $R_2 = R_1 = R_3 = R_4$ となったときの発振周波数である。

実験では， $R_1 = R_{20} = R_3 = R_4 = 522\ \Omega$ とし， f_0 をそれぞれ 25 k , 55 k , 116 k Hz に設定したとき， $1\ \Omega$ の抵抗偏差に対する出力の周波数は，それぞれ 7.3 , 16 , 35 Hz であり，検出限界はそれぞれ 0.013 , 0.006 , $0.003\ \Omega$ である。

図2.9(a) に示された回路は，1986年の J. H. Huijsing の報告[5]によるものである。図2.9(b) は各部の波形を示す。この回路は，ブリッジを構成する4つの抵抗のどれか一つが変化したときに，抵抗変化の比率に比例して出力信号の周波数が変化するものである。この回路は，センサを含むブリッジ $R_1 \sim R_4$ ，アンバランスを作り出して発振状態を作り出す抵抗 R_0 ，積分コンデンサ C_0 ，積分器 A ，零電位検出器(ZCD)，切り替えスイッチ(SW)で構成される。



(a) Circuit diagram



(b) A waveform of the converter

図2-9 抵抗 / 周波数変換回路 [5]

Fig. 2-9 Ratio-to-frequency converter.

スイッチはどちらか一方の端子に接続しており、ブリッジに加わる電圧の方向を決めている。抵抗 R_0 があるため、 V_{B01} と V_{B02} は電位が異なり、電流 i_C が生ずる。この電流は、容量 C_0 を充電し、時間とともに増加する電圧 V_C を生成させる。電圧変化量が V_{BS} になったことを ZCD によって検出すると、スイッチは切り替わり、ブリッジに加わる電圧の正負が逆転し、同様の動作が繰り返される。

この回路の発振周波数 f は次式で表される。

$$f = \frac{1}{4R_0C_0} \frac{R_1}{R_2} \left(1 + \frac{R_0}{R_3} \left(1 - \frac{R_2 R_3}{R_1 R_4} \right) \right) \quad (2.10)$$

各定数の値を $R_1 = R_2 = R_3 = R_4 = 2 \text{ k}\Omega$, $R_0 = 100 \text{ k}\Omega$, $C_0 = 250 \text{ pF}$, としたとき、 $f = 10 \text{ kHz}$ であり、ブリッジの各抵抗が 10^{-6} だけ変化したときの出力周波数の変化は

0.5 Hz である。

この回路の大きな利点は、その動作がブリッジに供給した電圧に影響されないことと、1周期の間に正負の電圧がブリッジに供給されることから積分回路のオフセット電圧が自動的にキャンセルされることである。

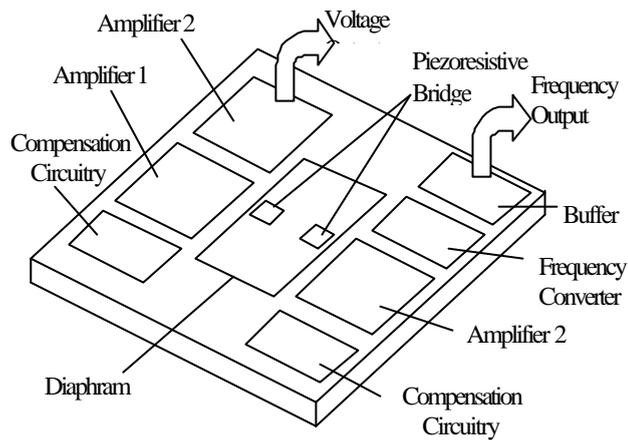
以上の3つの回路は、いずれも、抵抗偏差が十分に小さい条件のもとで線形な特性が得られている。これは感度の点で不利である。また感度を上げようとするとき線形性の問題に直面する。

以上述べてきた例は、抵抗値または抵抗偏差を時間軸の出力に変換する回路のみであったが、1.2. 節で述べたように、今日の複雑な機器の中でセンサを使うためにはセンサのスマート化が必要である。

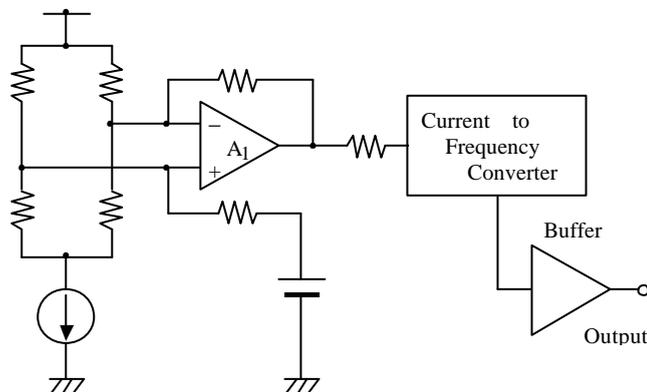
以下にスマートセンサに関する報告について述べる。

図 2-10(a), (b) は、1983年の S. Sugiyama らの報告 [6] による集積化された piezo 抵抗圧力センサと、その回路図である。

センサは回路と共に同一の Si 基板上で実現されている。使われているトランジスタは標準的なバイポーラ素子である。回路は、定電流回路、piezo 抵抗素子4つによるブリッ



(a) Schematic diagram of on-chip integrated pressure sensor



(b) Equivalent circuit of frequency output processing circuit

図2-10 電圧と周波数を出力する集積された圧力センサ [6]

Fig. 2-10 Integrated pressure sensor with both voltage and frequency outputs.

ジ，増幅器 A_1 ，電流/周波数変換回路，バッファによって構成される。

この報告の回路は，圧力 0 ~ 760 mmHg に対応して 1 ~ 4 V を出力する。非線形性はフルスケールの 0.4 % 以下である。出力周波数は通常時を 200 kHz とし，フルスケールの圧力変化に対して 30 kHz の変化としている。周波数出力の電圧レベルは TTL 対応である。温度特性は -20 から 110 の温度範囲において 0.06 % / である。

この回路は基本的にはブリッジ構成の piezo 抵抗素子によって圧力を測定するものである。しかし 1.3.1. 節にて述べたように，piezo 素子を使うためには校正回路が必要である。このセンサは，piezo 抵抗素子 4 つによって作られたブリッジに定電流を流すことによって，温度補正した出力を次段のアンプに伝えている。同一チップ上にブリッジを構成しているため同一の温度になり，確実な補正が行われる。

1987年の T. Ishihara らの報告[7]では，piezo 抵抗圧力センサを CMOS 技術によって集積化した。

このセンサ素子は圧力を電圧に変換して出力する。回路内部で補正が行われるため，0 ~ 2 Kg/cm² の圧力に対して 1 V/Kg/cm² の感度の回路では，0 ~ 70 の温度範囲にわたって，感度の変化は $\pm 0.5\%$ 以内，オフセット電圧は ± 5 mV 以内に抑えられている。また，電源電圧が $\pm 10\%$ 変化したとき感度の変化は $\pm 1.5\%$ 以内である。

図2-11 のブロック図は，1995年の E. Obermeier らの報告[8]によるものである。ブロックの全体は同一チップ上で実現されている。

この回路は基本的にはブリッジ構成の piezo 抵抗素子によって圧力を測定するものである。この回路においては piezo 素子の校正のためデジタル回路が用いら

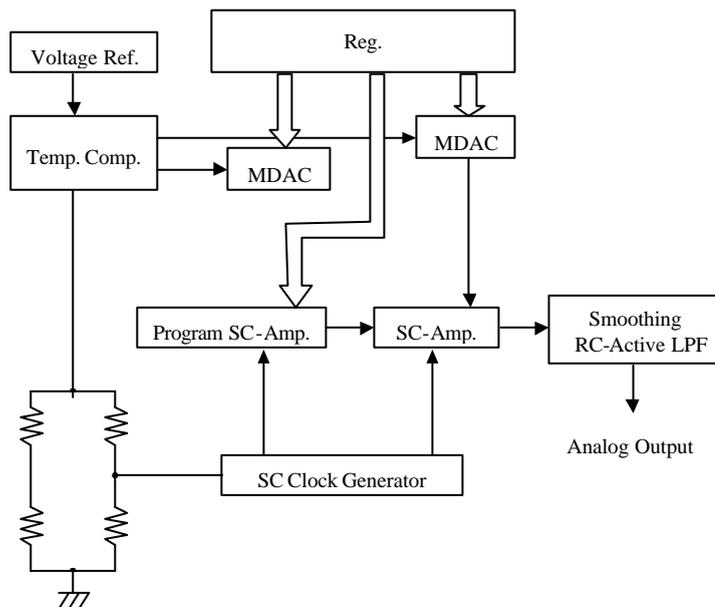


図2-11 スマートセンサのブロック図[8]

Fig. 2-11 Block diagram of a smart pressure sensor.

れている。デジタル回路には、インターフェイス回路も内蔵され、コンピュータに測定データを送ったり、コンピュータから校正の指示を受け取る。

本システムの測定範囲は、 10^5 Pa であり、1 V から 5 V の電圧を出力する。合計 30 ビットの情報によって利得やオフセット電圧等の校正を行うことにより、オフセット電圧を約 2 V、スパンを約 40 % 調整できる。その結果、非線形性は ± 0.06 % 以内、温度範囲 0 ~ 100 では 1 % FS 以内の、-15 ~ 125 では 2 % FS 以内の測定が可能である。

以上の3つの回路のように、スマートセンサとしてユニット化されて校正機能まで組み込まれた圧力センサは、プロセス制御等のシステムで簡単に使うことが可能である。

2.3. 差動容量型センサのインターフェイス回路

容量型センサも一般性が高いセンサであり、圧力、間隙、厚さ、角度、変位などさまざまな用途に応用されている[9]。基本構成は2枚の電極からなる平行平板コンデンサであり、その容量値が、重なり合う電極面積と挿まれる誘電体の誘電率に比例し、電極間の距離に反比例することを物理量の測定に応用している。

容量は抵抗と同じく電気回路を構成する基本的な素子であるが、抵抗と異なり直流信号と伝えることが出来ないことから回路上の工夫が必要になる。また、センサの容量が微小な場合、浮遊容量の影響を受けない構成も考慮すべきである。容量センサの応用範囲を広げるには、インターフェイス回路の改善が不可欠である。

以下の節で、容量型センサに関する基本的な知見を述べる。

2.3.1. 信号処理の基本回路

センサの出力を電圧情報として取り出すことは、計測回路の最も基本的なものである。A/D 変換器も整備されていることから、後段への信号伝達に好都合である。

1つの容量の容量値変化を検出する最も簡単な回路を図2-12に示す。回路構成は直流電圧 V_0 、容量型センサ C 、抵抗 R 、高入力インピーダンス増幅回路 A_1 からなる。測定する信号の周波数に比べて時定数 RC を十分に大きくなるよう、抵抗 R の大きさを決める。

無信号時は、 $C = C_0$ 、 $u_1 = 0 \text{ V}$ となり、容量 C に溜まっている電荷は $Q = C_0 V_0$ である。ここで容量が $+\Delta C$ だけ変化したとき、瞬間的には容量に溜まっている電荷は流れ出ることにはないことから、 $V_{\text{out}} = u_1 = -\{\Delta C / (C_0 + \Delta C)\} V_0$ となる。

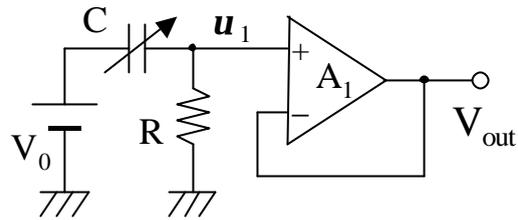


図2-12 DC電圧による方法 [9]
Fig. 2-12 DC capacitance circuit.

この方式は非常に簡単な回路ではあるが、直流成分を検出できないため、計測用には使われず、主にエレクトリックコンデンサマイクのインターフェイス回路として用いられる。

変化ぶんのみではなく容量の値自体を検出するためには、容量に交流電流を与えてそのインピーダンスまたはアドミタンスに比例した交流電圧を取り出せばよい。 C/V 変換回路を図2-13(a) に、 $(1/C) / V$ 変換回路を図2-13(b) に示す。電圧信号は検波回路とフィルタを利用した AC/DC 変換回路によって直流振幅に変換できる(図2.13(c))。

C/V 変換回路 (図2-13(a)) は、コンデンサの両端に一定振幅の交流電圧 $V_0 = V e^{-j\omega t}$ を加えて電流 $i = j\omega C V_0$ を流し、その電流をインピーダンス Z に流して、出力電圧 $V_{\text{out}} = -j\omega C Z V_0$ を得る。この構成により、容量値 C に比例した振幅の電圧出力が得られる。並行平板コンデンサに適用すれば、出力振幅は ϵ と S に比例する。この回路構成は容量の両端に存在する浮遊容量に影響されないためセンサインターフェイスに都合がよい。この回路は、容量を流れる電流値を電圧として出力する回路であることから、電流検出回路と呼ばれる。

測定時には雑音の影響を防ぐため C にはある程度の大きさの電流を流す必要がある。センサの容量値は通常数 pF という極小の場合が多いため、mA オーダの僅かな電流を流すためにも MHz オーダの高い周波数の信号が必要である。従って、回路設計の際には演算増幅器などの素子選択や配線にも高い周波数でありながら微少電流を取り扱えるよう十分な配慮が不可欠である。

インピーダンス Z として抵抗 R_f を用いることができれば、抵抗は高精度のものが入手可能なため、無調整で高精度な出力が得られる。しかし、 R_f のみを用いた構成は微分回路と呼ばれ、意図しない発振を生じやすくノイズに弱い。安定動作のためには、適度な容

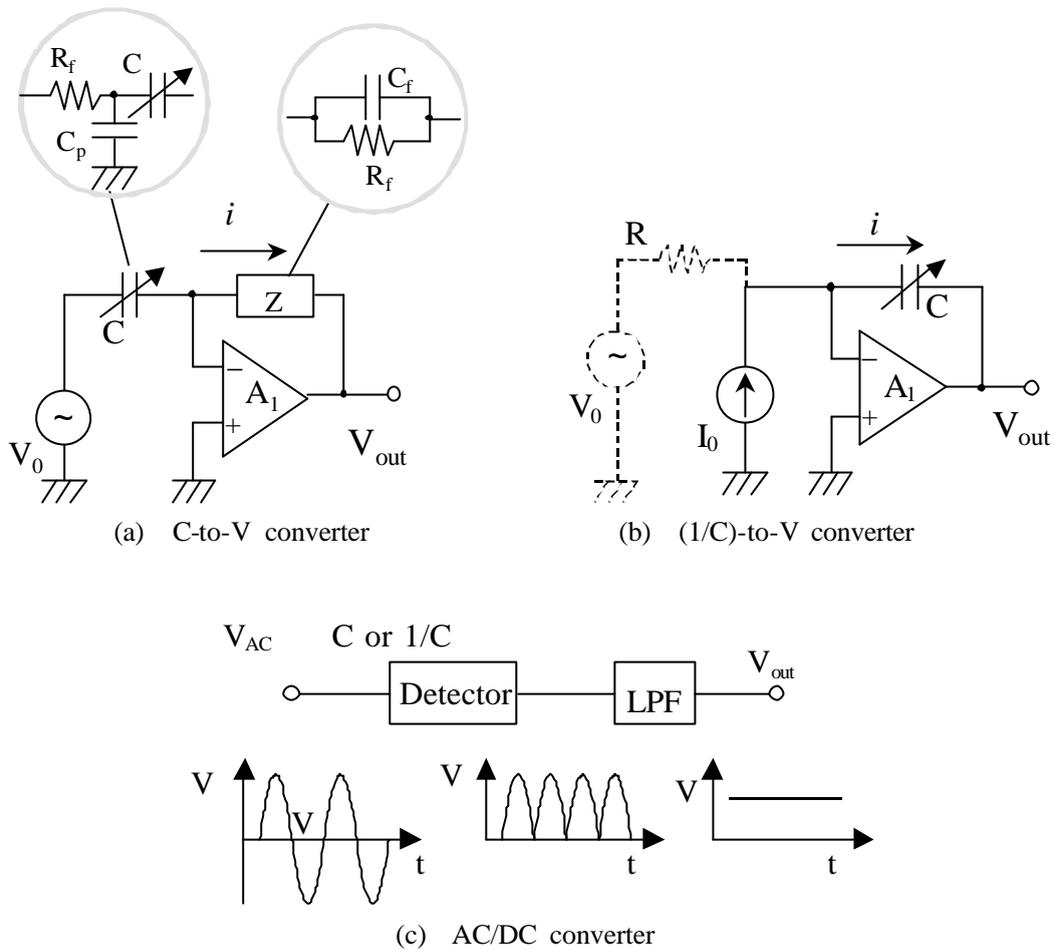


図2-13 容量測定の基本回路 [9]
 Fig. 2-13 Basic circuits for capacitance measurement.

量 C_f を並列に付け加えて不完全微分回路として使うことがよく行われる。 C_f の容量値は、回路の安定動作のためには大きなほうが、 V_{out} を大きくするためには小さい方がよく、回路の動作に応じて最適値を探る必要がある。

なお、不完全積分回路にするためにはセンサの容量に加えて適度な抵抗 R_s を直列に加える方法もあるが、その構成は浮遊容量 C_p の影響を受けやすい。

(1/C) / V 変換回路 (図2-13(b)) は、一定振幅の交流電流源 $I_0 = I e^{-j\omega t}$ から流れ出る電流をセンサの容量に流して出力電圧 $V_{out} = -I_0 / j\omega C$ を発生させる。並行平板コンデンサに適用すれば、出力振幅は d に比例する。通常、電流源としては回路内の破線部のよ

うに一定振幅の交流電圧源と抵抗から構成される。この構成は一般的に積分回路として知られた回路であり，出力電圧は $V_{out} = -V_0 / j\omega CR$ と書くことができる。

この回路も容量の両端に存在する浮遊容量にも影響されず，発振の危険もないため，安心して利用できるが，実際に利用する際は演算増幅器の入力端子に流れ込むバイアス電流を供給する必要がある。通常は大きな抵抗値をもつ抵抗を C に並列に挿入することによってバイアス電流を流す。

この回路を高精度測定に適用するには，バイアス電流の小さな演算増幅器が必要である。

こうして得られた振幅情報は，同図(c) の様に検波回路と低域フィルタによって DC 信号に変換され，A/D 変換器等を使ってデジタル信号に変換される[10]。

一方，2.2.1. 節でも触れたように，インピーダンスを周波数信号に変換する回路もセンサインターフェイスとして好都合である。基本的なインターフェイス回路は抵抗センサのときと同じく弛張発振回路と正弦波発振回路である（図2-3, 図2-4）。

特に弛張発振回路は容量センサ回路として好適である。それは，周波数と容量が比例するため分解能が高く，抵抗は高精度のリファレンスを用意できるからである。実際に利用する際には，浮遊容量の影響を受けないようにシールドを施したり，十分に大きな容量のセンサを用いる必要がある。

正弦波を発生させる回路は，抵抗の場合と同様に 1 つの容量値の変化が出力周波数に対して平方根で影響することから，感度が低くなるとともに，変化が非線形になるため，計測用に用いるには特別な工夫が必要になる。

スイッチドキャパシタ (SC, Switched Capacitor) 回路は，容量に蓄えられる電荷をスイッチの開閉によってデジタル制御するアナログ / デジタル混成回路である[11]。容量値をデジタル信号に変換するにも適しており，様々な回路が提案されている。

図2-14 に示すのは，SC 回路容量値 / デジタル信号変換回路である[12]。同図(a) は回路図，同図(b) はクロック信号を示す。図中， V_r は基準直流電圧， C_1 はセンサ， C_2 は基準容量， C_3 は電荷積分のコンデンサ， C_4 はクロック信号切り替え時に V_1 の波形が乱れないための容量， A_1 は電荷積分のための演算増幅器， A_2 は比較器である。

この回路を機能別に考えるならば，アナログスイッチ M_1, M_2, M_2', M_3 と， C_1, C_2, V_r か

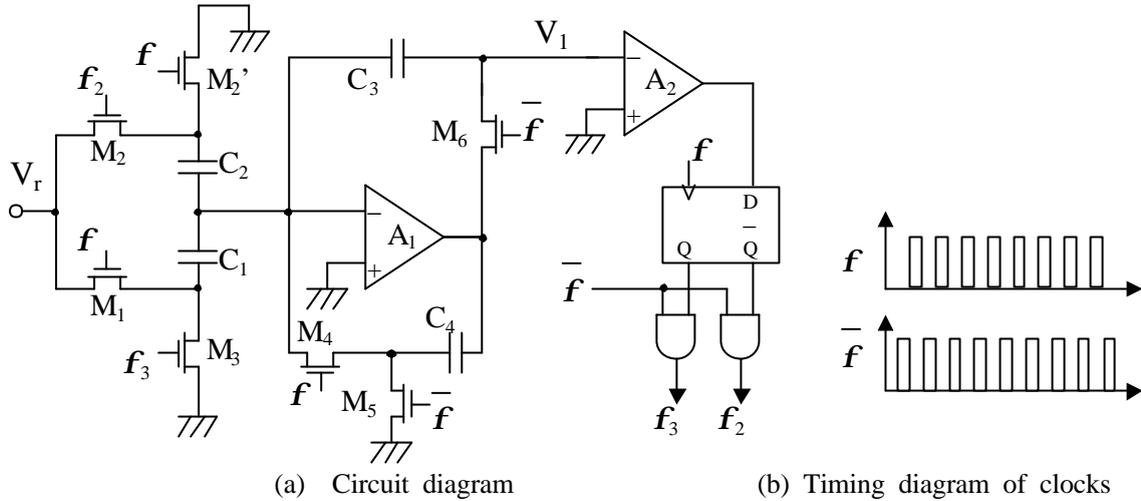


図2-14 SC 容量値 / デジタル信号変換回路 [12]

Fig. 2-14 Switched-capacitor capacitance meter.

ら成る電流供給部と、アナログスイッチ M_4, M_5, M_6 と、 A_1, C_3, C_4 から成る積分回路と、デジタル回路と A_2 から成る制御信号発生回路とに分けることができる。

ここで、もしも V_1 が負であれば、 f_2 は常に Low であり、 f_3 は \bar{f} と同じ信号となる。

その結果、クロック 1 周期の間に $Q = C_1 V_r$ だけの電荷が C_3 に充電され、 V_1 は $(C_1/C_3)V_r$ だけ増加する。一方、 V_1 が正であれば、 f_3 と f_2 が入れ替わり、クロック 1 周期の間に $Q = C_2 V_r$ だけの電荷が C_3 から放電され V_1 は $(C_2/C_3)V_r$ だけ減少する。従って、 f_2 と f_3 の変化する回数の比率は、 C_1 と C_2 の容量比と一致する。

もしここで、クロックを供給によって、 f_3 が m_1 回発生する間に、 f_2 が m_2 回発生したならば、次の式が成り立つ。

$$\frac{m_1}{m_2} = \frac{C_1}{C_2} \quad (2.11)$$

このように、デジタル回路で f_2 と f_3 の供給回数を数えることによって、 C_1 と C_2 の比率を求めることができる。 C_2 として基準容量を用いることにより、この回路は、容量センサのインターフェイス回路として動作する。

以上で、1つの容量の値を検出する技術について概説した。続いて、差動容量型センサを用いる際に必要となる技術について論ずる。

差動容量型トランスデューサは、物理量の変化に合わせて移動する可動電極と2枚の固定電極から構成される2つの容量 C_1 , C_2 から成り、物理量 x に対するそれぞれの容量は、前述の式(1.4), (1.5) のように線形に、または式(1.6), (1.7) のように非線形に変化する。 x を求めるためには、式(1.8) で示されるレシオメトリック信号処理、即ち2つの容量 C_1 , C_2 の差と和の比率を求める。

容量型トランスデューサには、容量 C_1 と C_2 以外に図2-15 に示すような寄生容量 C_{pa} , C_{pb} と C_{pc} も存在する。従って回路を設計する際には寄生容量の影響を受けない構成とする必要がある。そのためには端子電圧を変化させる時には低インピーダンスの回路とつなげる必要がある。

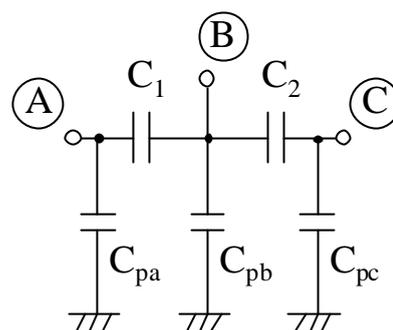


図2-15 寄生容量

Fig. 2-15 Parasitic capacitance.

レシオメトリック信号処理の最も簡単な実現方法は、2つの容量値を独立に測定し、マイクロコントローラなどのデジタル回路にそれぞれの値を取り込み、デジタル処理によって減算、加算、除算を行うことである。

レシオメトリック信号処理は別の方法もある。式(1.8) は次の式のように変形することができる。

$$x = \frac{C_1/C_2 - 1}{C_1/C_2 + 1} \tag{2.12}$$

$$= 2 \left(\frac{C_1}{C_1 + C_2} - \frac{1}{2} \right) \tag{2.13}$$

このことから、 C_1/C_2 や $C_1/(C_1+C_2)$ を求めてから信号処理をすることもできる。

式(2.12) は、1つの容量とリファレンス容量との比率を求める回路が差動容量式の回路として流用できることを示す。後段のマイクロコントローラなどの信号処理回路によって $\frac{C_1/C_2 - 1}{C_1/C_2 + 1}$ を計算すれば x が求まる。例えば、前述の図2-13(a)の C と Z それぞれに対し

て差動容量型トランスデューサの2つの容量を当てはめれば、出力電圧から C_1/C_2 を取り出せる。また、図2-14(a)の SC 回路においても、 C_r と C_x それぞれに対して同様に差動

容量型トランスデューサの2つの容量を当てはめることも出来る。この場合、アナログ回路からデジタル回路への情報の取り込みは1回で済むが、ゲイン調整は高精度に行う必要がある。また、デジタル回路内で割り算処理が必要である。

式(2.13)の場合、応答の線形性のみが問われるならば、アナログインターフェイスは $C_1/(C_1+C_2)$ を求めるだけで十分である。式(1.8)と比べて差の計算が不要なため、簡単に実現できる。ただし、利得が半分のため、感度や精度は不利である。

アナログインターフェイスに期待する究極の信号処理は、式(1.8)のアルゴリズムを実現することである。これによって、測定も高速に行われることが期待される。しかし、この複雑な信号処理を実現するには複雑な回路を必要とする。

図2-16に、最も簡単な構造の差動容量型トランスデューサ専用インターフェイスの回路図を示す。直列に配列した容量に対して一定振幅の交流電圧 V_0 を印加し、高入力端子から中間部分の電圧を取り出すと、出力 V_{out} は、

$$V_{out} = \frac{C_1}{C_1 + C_2} V_0 \quad (2.14)$$

となる。また、(A)点に電圧 $-V_0$ を供給すれば、

$$V_{out} = \frac{C_1 - C_2}{C_1 + C_2} V_0 \quad (2.15)$$

となる。

図2-16の回路では、演算増幅器の入力部に存在する浮遊容量の影響を受けてしまうため、高精度測定は難しい。

図2-17には、差動容量型トランスデューサに必要な信号処理を、フィードバック技術を用いて

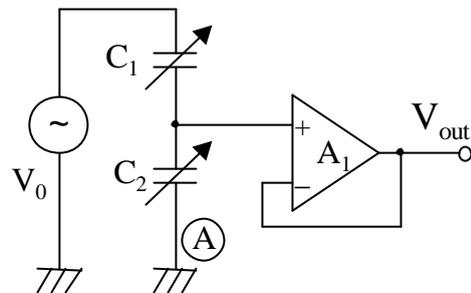


図2-16 差動容量型トランスデューサ用信号処理回路
Fig. 2-16 Signal processing circuit for differential-capacitance transducer.

利用して実現するインターフェイス回路を示す[9]。直列に配列した容量の両端それぞれに、一定振幅の交流電圧 V_0 と出力電圧 V_{out} の和と差を加え、 \textcircled{B} 点の電位が 0 V になるようにフィードバック制御を行う。この信号処理により、出力 V_{out} は、

$$V_{out} = \frac{C_1 - C_2}{C_1 + C_2} V_0 \quad (2.16)$$

となる。この回路は、フィードバックを使わない方法に比べて複雑であるが、演算増幅器の入力端子に存在する浮遊容量の影響を受けないというメリットがある。

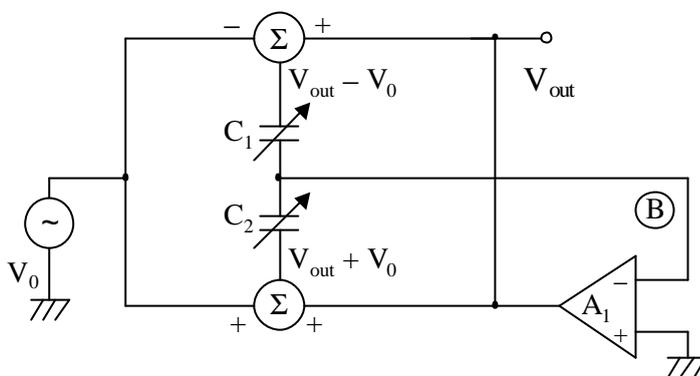


図2-17 フィードバック型インターフェース回路
Fig. 2-17 Feedback circuit for differential capacitance transducer.

2.3.2. 従来の報告例

本研究で取り扱う容量型センサは、一般性が高く高精度測定に適す差動容量型とした。そのため、本来はここで差動容量型センサのために開発されたインターフェイス回路について例をあげるべきであるが、差動容量式のセンサに関する報告は少なかった。そこで、容量検出回路として報告されたものの中でも差動容量式のインターフェイスとして使えると思われる報告例も取り上げる。

ここでの報告の順番も、前節の基本回路の報告と同様に、最初に電流検出方式について述べ、続いてそれ以外の方式である積分方式、容量の変化により動作タイミングや発振周波数が変化するもの、スイッチドキャパシタによるものについて述べる。

まず、容量に流れる電流を検出して電圧情報に変換する回路について述べる。この方式

は最も基本的な測定方法であり，数多く報告されている。

図2-18 に示す回路は，1978年に T. Sugao らによって報告された差動容量型センサ用インターフェイス回路である[13]。この回路は，ダイオードブリッジを変形した回路に差動容量センサを導入することによって信号処理をしている。

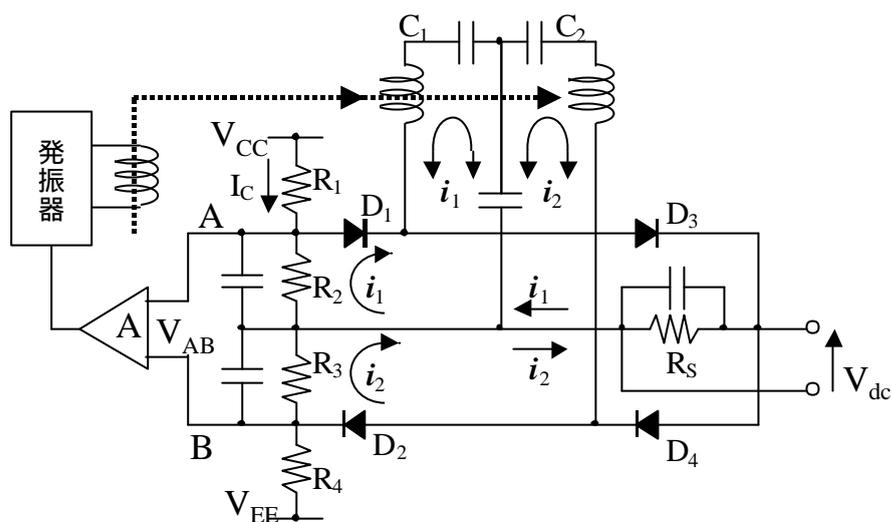


図2-18 UNIA 差圧伝送器の回路[13]

Fig. 2-18 Circuit diagram for UNIA differential pressure transducer.

発振器が停止している状態では，抵抗 R_1, R_2, R_3, R_4 に電流 I_C が流れる。発振器が動作すると，交流信号によってコイルに起電力が生じ，センサのコンデンサ C_1, C_2 に電流 i_1, i_2 が流れる。それぞれの電流は容量値に比例する。従って，電流 i_1 は，両電流の和を使った次の式で表される。

$$i_1 = \frac{C_1}{C_1 + C_2} (i_1 + i_2) \quad (2.17)$$

ダイオードが存在することにより，電流の方向によって電流経路が変わる。従って回路の各部に，電流の和や差に比例した電圧が発生する。

ここで，ダイオード D_3 または D_4 を通って抵抗 R_s に流れる電流は，電流の方向が打ち消しあうため，次式で表される。

$$V_{dc} = R_s(i_1 - i_2) \quad (2.18)$$

一方, ダイオード D_1 または D_2 を通って抵抗 R_2, R_3 に流れる電流は次式を満たす。

$$V_{AB} = 2RI_C - R(i_1 + i_2) \quad (2.19)$$

ただし, $R_2 = R_3 = R$ とする。回路では, 演算増幅器 A の入力電圧が 0 V になるようフィードバックをかけるため, 電流の和 $i_1 + i_2$ は, $i_1 + i_2 = 2 I_C = 2(V_{CC} + V_{EE}) / (R_1 + R_4)$ となり, その値は一定の値となる。

式(2.17) から 式(2.19) までを連立させることにより,

$$V_{dc} = \frac{C_1 - C_2}{C_1 + C_2} \frac{R_s}{R_1 + R_4} (V_{CC} + V_{EE}) \quad (2.20)$$

が得られ, レシオメトリック信号処理が行われていることが分る。

この回路はセンサに組み込まれて使用される。センサシステム全体の特性は, 校正精度が 0.2% 以内である。

この回路は差動容量型のための作られ, 実績があり, 精度も高い。しかし, 回路内でトランスを使っていることから集積回路にしにくい技術である。

図2-19 に示す回路は, 1987年に R. F. Wolfenbittel らによって報告された差動容量型センサ用インターフェイス回路である[14]。この回路は, 容量 C_1 の微小変化を検出するものである。

ここで, $\omega R_t C_t \gg 1$ とし, 各部の電圧を次のように設定する。この報告が以前のものに比べて新しい点は, 従来ならば $y = 0$ だったところ, 遅れ位相 y を設定した点である。

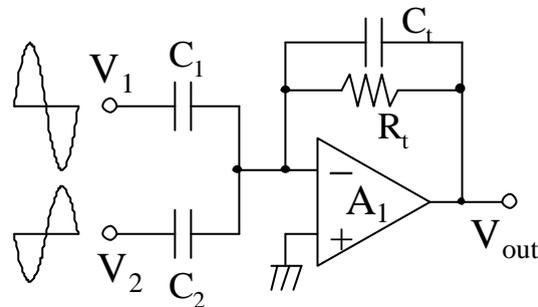


図2-19 容量 / 位相変換回路[14]

Fig. 2-19 Capacitance-to-phase angle converter.

$$C_1 = C_{m0} + \Delta C_m, \quad (2.21)$$

$$C_2 = -\alpha C_{m0}, \quad (2.22)$$

$$V_1 = V \sin \omega t, \quad (2.23)$$

$$V_2 = \frac{V}{\alpha} \sin(\omega t + \pi - y) \quad (2.24)$$

すると、出力電圧は、

$$V_o = -\frac{1}{C_t} \sqrt{(\Delta C_m + (1/2)y^2 C_{m0})^2 + (y C_{m0})^2} V \cos(\omega t - q), \quad (2.25)$$

$$q = \arctan\left(\frac{0.5 y^2 C_{m0} + \Delta C_m}{y C_{m0}}\right) \quad (2.26)$$

と表わされる。従って、出力信号の位相角は、容量の微小変化の関数となる。

位相角の感度は y の関数であり、 y が小さいほど感度は高いが、非線形誤差を防ぐためにはある程度の大きさの y が必要である。

実際に回路を作って実証した。容量 280 fF の擬似センサを用いて評価したところ、 $y = 12$ degree とすれば、感度は 1.5 degree / fF となった。回路は 0.5 degree の感度を持つため、0.4 fF までの測定が可能である。

この回路は、もともと容量検出回路であったが、2つの容量値を比較することから差動容量式にも転用できる構成である。しかし、この構成は微小容量検出には優れているが、線形性の高い回路ではない。

続いて、電流検出以外の技術を用いた報告例について述べる。

積分回路も容量測定に用いられる基本技術のひとつであり、その性質は微分回路（電流検出回路）の逆回路である。しかし信号処理回路の内部に積分回路が使われる例はあるが、センサの容量が積分コンデンサとして使われる報告例は殆ど見られない。一方、スイッチドキャパシタ回路のように、容量にたまった電荷を伝達させることによって測定を行う例は数多く報告されている。

図2-20(a) に示す回路は、1973年に D. R. Harrison らによって報告された差動容量型センサ用インターフェイス回路である[15]。この回路は、センサの端子が接地しているため、雑音に強い動作が可能である。もしもダイオードが理想特性で順方向電圧の電圧降下を無視でき、容量 $C_A (=C_B)$ がセンサの容量 C_1 及び C_2 に対して十分に大きければ、 V_A 及び V_B の波形は図2-20(b) のようにバイアス電圧の加わった交流信号となる。

この回路の動作を解析するため、回路を左右で分割して D_1, D_2, C_1 を含む左半分と、 D_3, D_4, C_2 を含む右半分の回路それぞれの動作を考える。

回路の左半分を抜き出したのが図2-20(c) であり、 $V_A = V_B$ の場合の理論波形を同図(d)

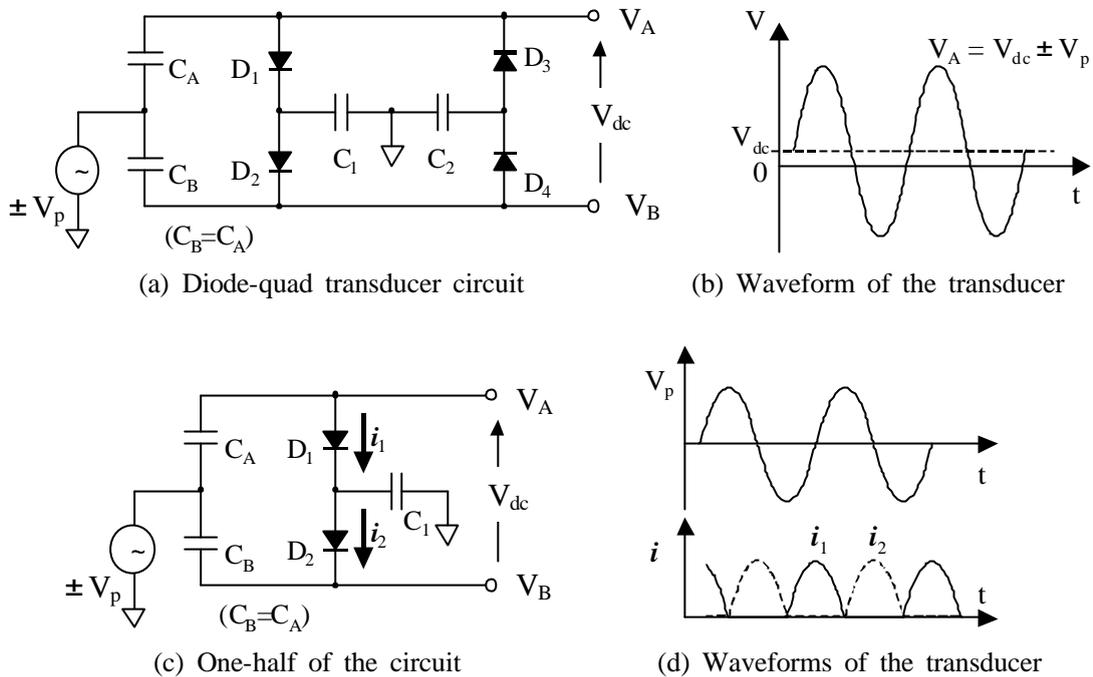


図2-20 容量測定のためのダイオードブリッジ回路 [15]

Fig. 2-20 A diode-quad bridge circuit for use with capacitance transducers.

に示す。 V_p が上昇するときには D_1 を介して電流 i_1 が流れ、 C_A の電荷を C_1 へ運ぶ。同様に、 V_p が減少するときには D_2 を介して電流 i_2 が流れ、 C_1 の電荷を C_B へ運ぶ。

電源電圧は $\pm V_p$ の交流であることから、1周期の間に運ばれる電荷 $Q_{A/B}$ は、

$$Q_{A/B} = 2 V_p C_1 \tag{2.27}$$

である。同様に、右半分の回路では、

$$Q_{B/A} = 2 V_p C_2 \tag{2.28}$$

である。

容量が同一ならば両式はつりあい、 $V_A = V_B$ となる。しかし、容量が等しくなければどちらかの流れが大きくなり、 V_{dc} が生ずる。例えば $C_1 < C_2$ の場合は $V_{dc} > 0$ となる。

同図(c)に注目して回路動作を解析する。 $V_{dc} > 0$ の場合、同図(c)を流れる電流は式(2.27)による項だけでなく、2つの直列のダイオードに正バイアスが加わることによる電流も加算される。一方、 $V_{dc} < 0$ の場合、同図(c)の2つのダイオードが両方とも負バイアスになるタイミングが生ずることから、電流は減少する。もしも理想ダイオードによって構成

された場合には半周期に流す電荷は，

$$Q_{A-B} = (2 V_p - |V_{dc}|) C_1 \quad (2.29)$$

である。

以上述べたように，容量の不釣り合いによって生じた V_{dc} は回路にフィードバックをもたらす，容量の組み合わせによって決まる電圧に収束する。

出力電圧 V_{dc} は次式の特徴を持つ。

$$V_{dc} = - \frac{C_1 - C_2}{C_1 + C_2} V_p \quad (2.30)$$

この回路は，差動容量型圧力センサのインターフェイス回路として使用されている。 V_p として 1 MHz, 7 V rms の信号源を用い， ± 5 Torr の圧力に対して ± 500 mV 出力が得られているとき，圧力と出力電圧は比例特性であり，非線形性は $\pm 0.2\%$ 以内である。また，2次回帰線で実験値を近似した時は，その精度は $\pm 0.04\%$ FS 以内である。

この回路も差動容量型のための構成であり，実績もあり，精度も高い。しかし，この構成では， C_1 や C_2 と並列に入る浮遊容量は誤差原因となり得る。また，線形的な出力が得られるのは，出力電圧がダイオードの順方向電圧の2倍以内の場合だけであるが，分解能の点からはもう少し出力の電圧幅が広がるほうが良い。ダイオードと容量だけから成るシンプルな構成は，個別素子を使う時代の回路であり，今日の集積回路を使った回路によって，同じアルゴリズムでもより良い回路が作られるものと思われる。

図2-21(a) に示す回路は，1992年の F. N. Toth らの報告によるものである[16]。この報告では特に差動容量式センサについて述べていないが，容易に適用できる。この回路は，マーチン発振回路を改良したものであり，積分器 A_1 ，比較器 A_2 ，マイクロコントローラ (μC) 等から構成される。各部の波形を同図(b) に示す。

ここで，Select-X，-ref 端子の出力が Low，すなわち V_4 と V_5 が常に High の場合の動作を述べる。 $V_1 < V_{CC}/2$ の状態では， $V_2 = V_4 = \text{High}$ ， $V_3 = \text{Low}$ である。このとき， $V_3 < V_{CC}/2$ であることから，抵抗 R を通して流れ込む電流は， V_1 の電位を時間とともに増加させる。

V_1 が $V_{CC}/2$ に到達すると， V_3 は High に， V_2 は Low に変化する。その際，容量 C_{off} に溜まっていた電荷が， C_f に流れ込み， V_1 の電位は，

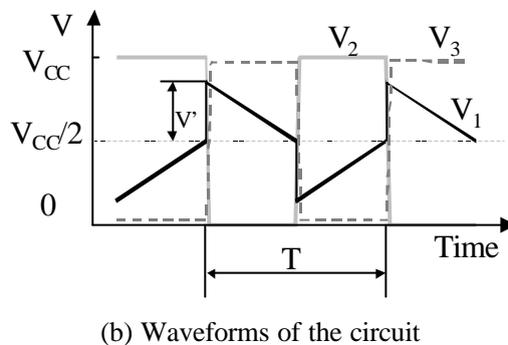
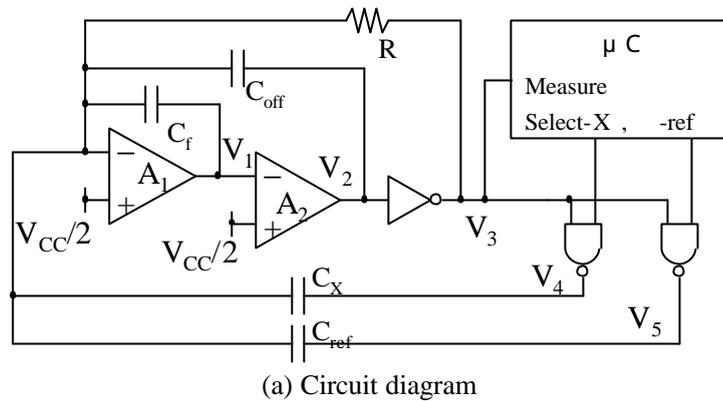


図2-21 容量 / 周波数変換回路 [16]
Fig. 2-21 Capacitance to frequency converter.

$$V' = \frac{C_{off}}{C_f} V_{CC} \tag{2.31}$$

だけ変化する。

抵抗 R を通って定常的に積分器に流れ込む電流は、常に一定の大きさのため、1 周期 T は、V' に比例し、次式で表わされる。

$$T|_{\text{Select-X=Select-ref=Low}} = T_{off} = 4RC_{off} \tag{2.32}$$

このことから、マイクロコントローラを使った発振の周期または周波数の測定によって、C_{off} の測定が可能になる。

以上で Select-X と Select-ref が両方とも Low の場合を説明したが、Select-X が High の場合の T_X や、Select-ref が High の場合の T_{ref} も測定が可能である。この場合には、V₂ の波形と、V₄ または V₅ の波形が一致することから、C_{off} と 並列して C_X または C_{ref} が働くことになり、

$$T_X = 4R(C_{\text{off}} + C_X), \quad (2.33)$$

$$T_{\text{ref}} = 4R(C_{\text{off}} + C_{\text{ref}}) \quad (2.34)$$

となる。

マイクロコントローラによってこれらの周期を測定し、四則演算をすることにより、個別の容量を求めることができる。

この回路は、浮遊容量の影響を受けにくい構成である。またマイクロコントローラが最初から組み込まれているため、他のデジタル機器との接続が容易である。 C_X や C_{ref} として共通端子を持つ容量の測定が可能のため、差動容量型センサのインターフェイス回路としても使用可能である。

実際に回路を製作し、 C_X が 0.25 pF から 0.30 pF まで変化したとき、50 aF の変化まで計測できた。なお、基本的な発振周波数は 10 kHz とし、256 回の測定の平均値によって周波数を測定したため、1 回の測定は 100 ms 以内に行われている。

この回路は高精度に測定でき、校正機能やバスインターフェースも備えたスマートセンサである。もともと一つの容量を測定する回路であるが、差動容量型にも適用できる。問題点は、測定に必要な時間が長いことである。

次に、スイッチドキャパシタ回路による 4 つの報告について述べる。この技術は、クロックパルスでオン/オフ状態を制御されたアナログスイッチによって回路内の容量に蓄積された電荷を移動させて信号処理を行い、容量比等を求め、デジタルコードを出力することから、容量値や容量比をデジタルコードに変換するのに好都合である。

図2-14 (a) に示した回路は 1987年の H. Matsumoto らの報告によるものであり、出力はデジタル形式である[12]。

この回路の動作は、1.3.2.節で述べた通り、センサの容量 C_1 と基準容量 C_2 の容量比を求めるものである。ここで、容量 C_1 , C_2 として差動容量型センサを用い、 2^n 回のクロックを供給したときに発生する f_3 の回数を m 回としたならば、式(2.11)より、

$$\frac{m}{2^n - m} = \frac{C_1}{C_2} \quad (2.35)$$

が成り立つ。この値を、差動容量型センサの信号処理の式に当てはめれば、 x は、

$$x = \frac{C_1 - C_2}{C_1 + C_2} = \frac{2m}{2^n} - 1 \quad (2.36)$$

で求められる。

式(2.36)の右辺にある、 2^n による割り算や 2 倍する、1 を引くという信号処理は、2 進数の演算に対応させればシフト演算や 1 の補数を取るといった簡単な演算で実現できる。

1994年の Y. Cao らの報告では、H. Matsumoto らの回路と同様のスイッチドキャパシタ回路をCMOS回路で実現した[17]。オフセット電圧や、演算増幅器の有限利得を補正する機能を盛り込み、18 ビット精度を実現している。

1998年の B. Wang らの報告でも同じくスイッチドキャパシタ技術により、容量比を検出する回路を提案している[18]。CDS (correlated-double-sampling) 技術により、測定精度を上げ、測定結果によれば、標準偏差から 10 pF の容量の 20 aF 変化まで測定できることが確認されている。

スイッチドキャパシタ回路を用いながらも、アナログ信号処理を行う報告もある。

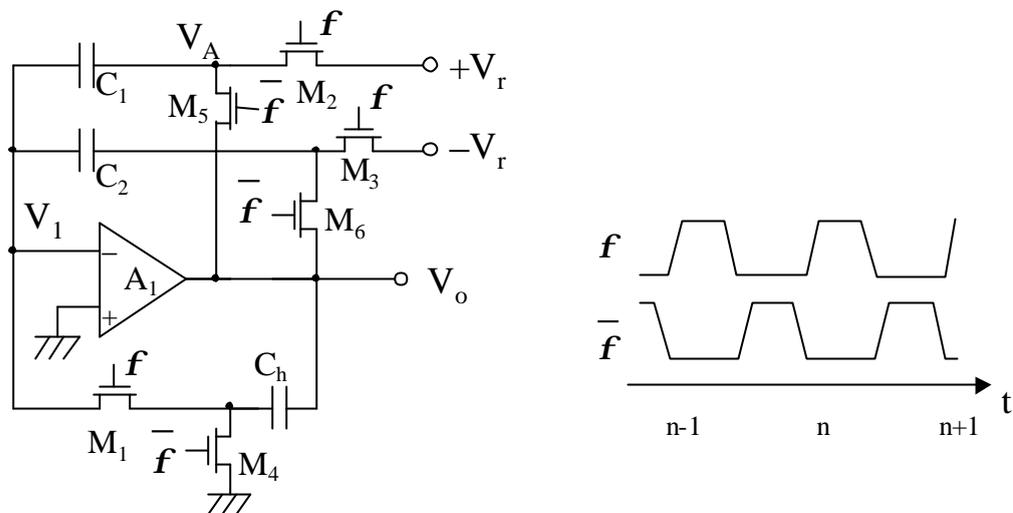
図2-22(a) に示す回路は 1999年の K. Watanabe らの報告によるものである[19]。図2-22(b) は、クロック信号を示す。この回路もスイッチドキャパシタ回路技術によって作られているが、アナログ電圧を出力し、その値は次式で表される。

この回路において、 C_1 と C_2 はセンサの容量、 $+V_r$ と $-V_r$ は同じ絶対値をもつ基準電圧、 C_h は前回の出力電圧を記憶するとともに、クロック切り替えの際に出力電圧が変動したいための容量である。なお、 V_1 は常に 0 V である。

ここで、 \bar{f}_n 時の出力電圧 V_o を $V_o(\bar{f}_n)$ とおく。次の f_{n+1} 時に V_A の値は $+V_r$ に変化し、容量 C_2 から C_h に向かって電荷 $\Delta Q_1 = C_1(V_o(\bar{f}_n) - V_r)$ が流れ込む。同じタイミングで容量 C_2 からも、 $\Delta Q_2 = C_2(V_o(\bar{f}_n) + V_r)$ が流れ込む。この過程により、クロックごとに C_h に電荷が流れ込み、 $V_o(\bar{f}_{n+1})$ は次式のように表される。

$$V_o = \frac{C_1 - C_2}{C_1 + C_2} V_r \quad (2.37)$$

$$V_o(\bar{f}_{n+1}) = V_o(\bar{f}_n) - \frac{\Delta Q_1 + \Delta Q_2}{C_f} \quad (2.38)$$



(a) Circuit diagram of the interface (b) Timing diagram of the nonoverlapping two phase clock

図2-22 差動容量型センサ用 SC型 信号処理回路[19]

Fig. 2-22 A switched-capacitor interface for differential capacitance transducers.

ただし、

$$\frac{\Delta Q_1 + \Delta Q_2}{C_f} = \frac{C_1 + C_2}{C_f} \left(V_o(\bar{f}_{n+1}) - \frac{C_1 - C_2}{C_1 + C_2} V_r \right) \quad (2.39)$$

である。従って、 $C_f > (C_1 + C_2)/2$ ならば、 $V_o(\bar{f}_{n+1})$ は、式(2.37)の電圧に収束する。収束の最適条件は、 $C_f = (C_1 + C_2)$ である。

ここで述べた動作は、理想的な素子を使った場合のものであり、演算増幅器の利得が無限でないことや、アナログスイッチのクロックフィードスルーなどによって誤差が生じる。

実験と、HSPICEによるシミュレーションによって動作を確認している。 $C_0 = 10 \text{ pF}$ の差動容量型センサを使い、 x の -0.4 から 0.6 までの変化に応じて出力電圧が -2 V から 3 V まで変化するようにパラメタを設定した回路で測定した結果、非線形誤差は数 mV 以下であった。オフセットの補正はたやすいため、 0.1% の分解能の測定が可能である。

HSPICEのシミュレーションを使ってアナログスイッチの寸法を最適化することにより、温度変化に対する安定性を高められることも確認している。

この方法は、簡単な構成で高速なレシオメトリック動作が可能であり、CMOS技術で実現するのに適している。しかし、微小容量のセンサを扱おうとすると、アナログスイッチからの電荷注入が問題になる。

以上の4つのスイッチドキャパシタ回路は、素子が理想的な特性であれば容量センサの回路として好都合な技術である。しかし、この研究で想定している数 pF の容量の測定にスイッチドキャパシタ技術を使おうとすると、アナログスイッチから注入される意図しない電荷（クロックフィールドスルー）によって測定精度が 1% 程度に制限されてしまう。

2.4. まとめ

この章では抵抗センサと差動容量式センサのインターフェイス技術について従来の報告例を示し、それぞれの問題点を指摘した。

抵抗偏差を周波数に変換する抵抗型センサのインターフェイスに関しては、抵抗偏差を周波数に変換する回路が求められている。

しかし、従来例では、抵抗偏差に対する出力周波数が線形なのは、抵抗偏差が小さいという条件の下でしか満たされない。また、報告されたスマートセンサは、いずれもピエゾ圧力センサ用のためのものである。

これらの点を解決するためには、線形性の優れた回路が必要であり、本研究では改善した回路について提案する。

差動容量式センサのインターフェイスに関しては、専用のアナログ信号処理を行う回路が求められている。

差動容量式センサ専用のインターフェイスに関する報告は少なく、その原理は Baxter によって、具体的な回路は 三枝と Harrison しか報告されていない。しかし、具体例が無かったり、古い報告のために今日の半導体集積回路に適合した回路とはいえない。また、もともとは容量測定用の回路であるが差動容量式にも使えるインターフェイス回路では、非線形性が強かったり変換時間が長いという問題点がある。スイッチドキャパシタ回路の場合、様々な容量測定用の回路が提案されているが、数 pF のセンサのインターフェイスとしては精度に問題を残す。

これらの点を解決ため、集積化を前提とし、変換速度も速く、数 pF の微小容量も取り扱う差動容量式センサのインターフェイスを提案する。

参考文献

- [1] G. Payen, "La conversion directe en frequence et son application au pesage numerique," *Electronique et MicroElectronique Industrielles*, No. 146, pp. 29-31, Sep. 1971.
- [2] L. J. Weiss, "Measuring resistance deviations quickly and accurately," *Electronic Engineering*, No. 8, pp. 41-43, Aug. 1972.
- [3] R. Friedl, and P. Seyfried, "A New Resistance-to-Frequency Converter for Temperature Measurements in Calorimeters," *IEEE Trans. Instrum. Meas.*, Vol. 24, pp.322-324, Dec. 1975.
- [4] C. D. Johnson, and H. A. Richeh, "Highly accurate resistance deviation to Frequency Converter with Programmable Sensitivity and Resolution," *IEEE Trans. Instrum. Meas.*, Vol. 35, pp.178-181, June 1986.
- [5] J. H. Huijsing, "Signal Conditioning on the sensor chip," *Sensors and Actuators*, Vol. 10, No.3-4, pp.219-237, 1986.
- [6] S. Sugiyama, M. Takigawa, and I. Igarashi, "Integrated Piezoresistive Pressure Sensor with Both Voltage and Frequency Output," *Sensors and Actuators*, Vol. 4, pp.113-120, 1983.
- [7] T. Ishihara, K. Suzuki, S. Suwazono, M. Hirata, and H. Tanigawa, "CMOS Integrated Silicon Pressure Sensor," *IEEE Journal of Solid State Circuits*, Vol. SC-22, No.2, pp.151-156, April 1987.
- [8] E. Obermeier, S. Hein, V. Schlichting, D. Hammerschmidt, F. V. Schnatz, and B. J. Hosticka, "A smart pressure sensor with on-chip calibration and compensation capability" *SENSORS*, Vol. 14, pp.20-22 + pp.52-53, March 1995.
- [9] L. K. Baxter, *Capacitive Sensors*, New York : IEEE PRESS, 1997
- [10] K. Hayatleh, F. J. Lidgey, and S. Porta, "Degradaton Mechanisms in Operational Amplifier Precision Rectifiers," *IEEE Trans. on Circuits and Systems - I : Fundamental theory and applications*, Vol. 42, No.8, pp.479-485, Aug. 1995.
- [11] 近藤一之, "スイッチドキャパシタデータ変換器に関する研究," 静岡大学博士論文, 1990年 9月
- [12] H. Matsumoto, H. Shimizu, and K. Watanabe, "A switched-capacitor change-balancing analog-

- to-digital converter and its application to capacitance measurement,” *IEEE Trans. Instrum. Meas.*, Vol. 36, pp. 873-878, Dec. 1987.
- [13] 三枝徳治 , 後藤茂 , “UNIA 電子式差圧伝送器 , ” *横河技報* , Vol. 22, pp. 23-29, March 1978.
- [14] R. F. Wolffenbuttel, and P. P. L. Regtien, “Capacitance-to-phase angle conversion for the detection of extremely small capacities,” *IEEE Trans. Instrum. Meas.*, Vol. 36, pp. 868-872, Dec. 1987.
- [15] D. R. Harrison, and J. Dimeff, “A Diode-Quad Bridge for Use with Capacitive Transducers,” *Review of Scientific Instruments*, Vol. 44, No. 10, pp.1468-1472, October 1973.
- [16] T. N. Toth, and G. C. M. Meijer, “A low-cost smart capacitive position sensor,” *IEEE Trans. Instrum. Meas.*, Vol. 41, pp. 1041-1044, Dec. 1992.
- [17] Y. Cao, and G. C. Temes, “High-accuracy circuit for on-chip capacitance ratio testing or sensor readout,” *IEEE Trans. Circuit and Systems*, Vol. 41, pp. 637-639, Sep. 1994.
- [18] B. Wang, T. Kajita, T. Sun, and G. Tems, “High-Accuracy Circuits for On-Chip Capacitive Ratio Testing and Sensor Readout,” *IEEE Trans. Instrum. Meas.*, Vol. 47, pp.16-20, February 1998.
- [19] K. Watanabe, S. Ogawa, Y. Oisugi, and K. Kondo, “A Switched-Capacitor Interface for Differential Capacitance Transducers,” *IMTC/99 Proceedings*, pp.315-319, 1999.

第3章 抵抗型センサ用信号処理回路

3.1. はじめに

抵抗型センサは、物理量の変化に応じてセンサの抵抗値が変化することを利用したセンサである。微小抵抗変化の測定は、産業・プロセス制御システムや医療器械で広く要求され、これを高精度に検出してデジタル形式の出力を取り出す回路が求められている[1]-[5]。この章では、抵抗型スマートセンサ用のアナログインターフェイスの信号処理について述べる。

今回開発した回路のターゲットはストレインゲージや白金測温体 (RTD)、ピエゾ抵抗素子など微小抵抗偏差が物理量に対応するセンサの一般的なインターフェイス回路を目指した。特に念頭においたセンサは RTD である。

インターフェイスの形式は、抵抗型センサの抵抗値 R_x が、基準値における抵抗値 R_0 と、測定する物理量の変化に応じた抵抗偏差 ΔR の和で表わされるとき、 ΔR に比例する周波数を出力するものとした。周波数情報はカウンタによって簡単に CPU に取り込むことができるため、周波数やパルス幅を出力する回路は、デジタル時代に適したインターフェイスである[6]-[8]。

この目的を達する従来例は、2章では述べたように、弛張発振回路とブリッジを組み合わせた構成が殆どであった。しかし、ブリッジの出力電圧は抵抗偏差に対して非線形のため、出力周波数が ΔR に比例するのは、 ΔR が R_0 に比べて十分に小さい条件であった。この場合、いくら感度が高く微小抵抗変化まで測定できても、測定可能な抵抗範囲が狭かった。

次節では、本研究で開発された、出力は方形波で、その周波数が抵抗偏差に比例するインターフェイス回路について述べる[9]-[11]。

このインターフェイスの特徴は、ブリッジの出力と同じ非線形性と持つ電圧を、比較する電圧として設定したことである。これにより、線形性を確保できた。

3.2. 抵抗 / 周波数変換回路

3.2.1. 回路構成

図3-1 に、本研究で開発した抵抗 / 周波数変換器の回路図を示す。この回路は本質的にはホイートストンブリッジ、積分器、ゼロ検出器を含んだ弛張発振器である。センサの抵抗 R_x がオフセット R_0 から偏差 DR だけ変化することによって生じるブリッジの不均衡電圧を反転積分し、積分電圧が正の場合はブリッジに正の電圧を、逆に積分電圧が負の場合はブリッジに負の電圧を帰還することによって発振を持続する。

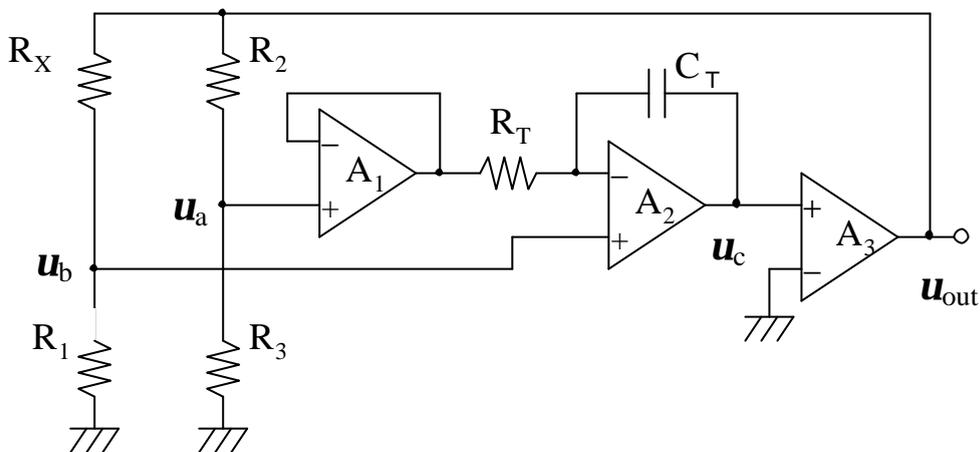


図3-1 抵抗 / 周波数変換回路 - 基本構成

Fig.3-1 A linear resistance-to-frequency converter. - Basic configuration.

使用する演算増幅器が理想的ならば、各点の電圧は次のように与えられる。

$$u_a = \alpha u_{out}, \quad (3.1)$$

$$u_b = \beta u_{out}, \quad (3.2)$$

$$u_c = u_b - \frac{1}{t} \int (u_a - u_b) dt \quad (3.3)$$

ここで、

$$\alpha = \frac{R_3}{R_2 + R_3}, \quad (3.4)$$

$$\beta = \frac{R_1}{R_1 + R_x}, \quad (3.5)$$

$$\tau = C_T R_T \quad (3.6)$$

である。

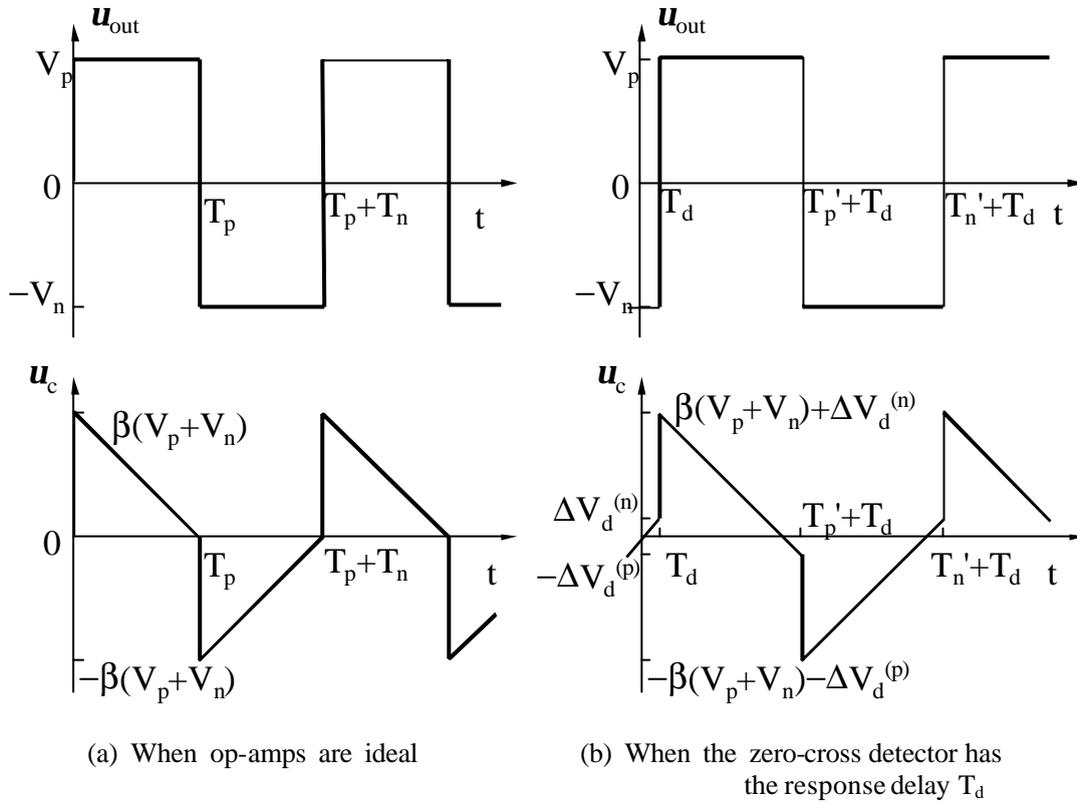


図3-2 各部の波形
Fig.3-2 Waveforms.

ゼロ検出器と積分器の出力波形を図3-2(a) に示す。ただし、

$$u_{\text{out}} = \begin{cases} V_p, & \text{if } u_c \geq 0 \\ -V_n, & \text{if } u_c < 0 \end{cases} \quad (3.7)$$

を仮定し、また T_p と T_n は u_{out} がそれぞれ V_p と $-V_n$ である期間とする。波形より、 T_p と T_n は次のように表わされる:

$$T_p = \frac{\beta}{\alpha - \beta} (1 - \gamma) \tau, \quad (3.8)$$

$$T_n = \frac{\beta}{\alpha - \beta} \left(1 - \frac{1}{\gamma}\right) \tau \quad (3.9)$$

ここで、 $\gamma = |V_n/V_p|$ (3.10)

である。従って、発振周波数は次のように与えられる。

$$f = \frac{\alpha - \beta}{\beta} \frac{\gamma}{(1 + \gamma)^2 \tau} = f_0 + \Delta f \quad (3.11)$$

ここで,

$$f_0 = \frac{R_0 R_3 - R_1 R_2}{R_1 (R_2 + R_3)} f_\tau \quad (3.12)$$

はブリッジのオフセットによるオフセット周波数であり,

$$\Delta f = \frac{R_3 DR}{R_1 (R_2 + R_3)} f_\tau \quad (3.13)$$

は抵抗 R_x の変化ぶん ΔR による周波数変化である。ただし,

$$f_\tau = \frac{\gamma}{(1+\gamma)^2} \frac{1}{\tau}, \quad (3.14)$$

$$R_x = R_0 + DR \quad (3.15)$$

である。

式(3.13) は, 周波数が抵抗変化分に比例することを示している。これは, 高い線形性を必要とするスマートセンサに好都合である。抵抗偏差は R_0 に比べて小さく抑える必要はない。従って回路の感度を大きくすることができる。

温度による容量 C_T の変化は, 出力周波数を変化させる。もしも C_T が微小誤差 e だけ増加して $(1 + e_c)C_T$ になったならば, 式(3.11) は $f = f_0 + (\Delta f - e_c f_0 - e_c \Delta f)$ となる。本研究で開発した回路では f_0 は式(3.12) に示されるように 0 にすることができる。そうすれば, C_T の変化の回路動作への影響は最小限である。 f_0 は式(3.12) の分子 $R_1 R_4 - R_2 R_3$ によって値が大きく変わる。この式は抵抗によって決まる値である。精密な抵抗は入手しやすいことから, f_0 は正確に決めることが可能であり温度による影響も少ない。

式(3.13)は DR / R_1 という項を含んでいることから, 抵抗 R_1 として, R_x と同じ素子を使ってリファレンスとすることによって環境による変動を補正することも可能である。

この回路の線形性を悪化させる原因の一つはゼロ検出器の遅れ時間である。遅れ時間を T_d としたときの波形を図3-2(b) に示す。ここで

$$\Delta V_d^{(p/n)} = \frac{T_d}{\tau} (\alpha - \beta) u_{out} = \frac{T_d}{\tau} (\alpha - \beta) V_{(p/n)} \quad (3.16)$$

は, 遅れ時間 T_d の間に变化する積分器の出力電圧である。同図より, T'_p と T'_n は次の

ように表される。

$$T'_p = T_p + (1+\gamma)T_d, \quad (3.17)$$

$$T'_n = T_n + \left(1 + \frac{1}{\gamma}\right) T_d \quad (3.18)$$

T_p と T_n は、式(3.8) と式(3.9) から分かるように DR に反比例しており、そのため、 DR が大きくなるにつれて T_d に起因する非線形性は大きくなる。

図3-2(b) の波形は、遅れ時間を補償する回路を示唆している。即ち、ゼロ検出器を比較器に変更し積分値を $\Delta V_d^{(p/n)}$ と比較することによって、積分時間を短縮し、遅れ時間による発振周波数への影響を相殺できる。式(3.16) で与えられる比較器の閾値 $\Delta V_d^{(p/n)}$ を式(3.3) に代入することにより、相殺すべき時間を求める関係式が得られる。

$$u_c - \beta u_{out} - \frac{T_d}{\tau} (\alpha - \beta) u_{out} = - \frac{1}{t} \int (a - b) u_{out} dt \quad (3.19)$$

左辺は比較する電圧で、右辺は差を積分した電圧である。比較する電圧の閾値は、遅れ時間補償のために $\Delta V_d^{(p/n)}$ だけ変化させた βu_{out} である。

このようにして設計した遅れ時間補償の抵抗 / 周波数変換器を、図3-3(a) に示す。ここで、演算増幅器 A_1 の反転入力端子 A の電圧は βu_{out} であり、抵抗 R_3 は閾値を変化させるために δR_3 と $(1-\delta)R_3$ の2つに分けられている。図3-3(b)は、積分器の出力電圧 u_c と、次式で与えられる閾値電圧 u_{TH} を示す。

$$u_{TH} = \left\{ \left\{ b(1-d) \right\} - \frac{d(a-b)}{1-a} \right\} u_{out} \quad (3.20)$$

波形より、

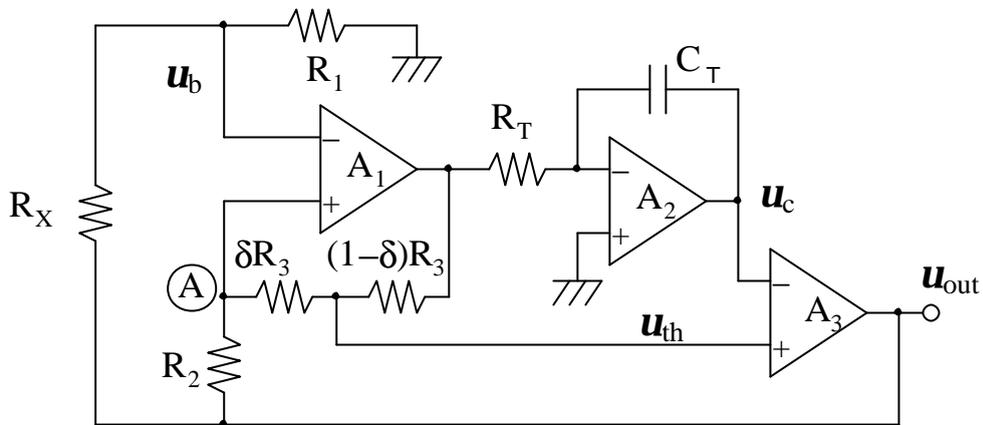
$$T_p = \frac{\beta(1-\delta)(1+\gamma)(1-\alpha)}{\alpha-\beta} \tau + (1+\gamma)(T_d - \delta\tau), \quad (3.21)$$

$$T_n = \frac{\beta(1-\delta)(1+\gamma^{-1})(1-\alpha)}{\alpha-\beta} \tau + \left(1 + \frac{1}{\gamma}\right) (T_d - \delta\tau) \quad (3.22)$$

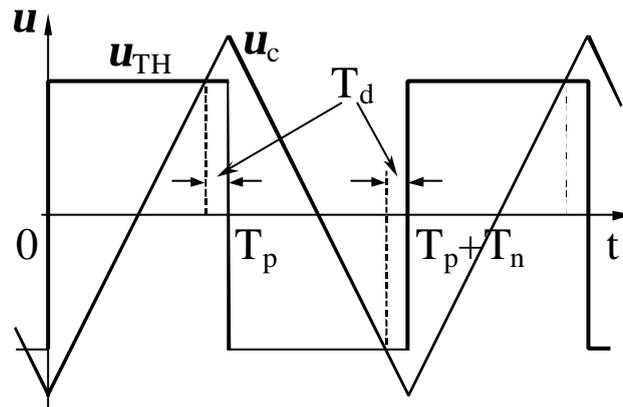
である。従って、

$$\delta\tau = T_d \quad (3.23)$$

を満たすよう δ を選べば、発振周波数は ΔR に比例する。



(a) The circuit diagram



(b) Voltage waveforms at the input terminals of comparator A_3

図3-3 遅れ時間補償を施した変換器

Fig. 3-3 Delay-compensated resistance-to-frequency converter.

$$f = f_0 + \Delta f = \frac{1}{(1-\delta)R_1R_2} \{(R_0R_3 - R_1R_2) + R_3DR\} f_\tau \quad (3.24)$$

3.2.2. 性能の検討

図3-3(a)の回路動作に影響を与えるこれ以外の誤差の原因は、演算増幅器のオフセット電圧である。 V_{os1} と V_{os2} を、それぞれ演算増幅器 A_1 と A_2 のオフセット電圧とする。これらのオフセット電圧は直流電圧誤差であり、 V_p または V_n の変動と等価である。従って、オフセット電圧分だけ u_{out} が変化し、 T_p と T_n に次のように反映する。

$$T'_p = \frac{T_p}{1-\Delta}, \quad (3.25)$$

$$T'_n = \frac{T_n}{1+\Delta/\gamma} \quad (3.26)$$

ここで,

$$\Delta = \frac{1-\alpha}{\alpha-\beta} \left(\frac{\varepsilon_1}{1-\alpha} - \varepsilon_2 \right), \quad (3.27)$$

$$\varepsilon_1 = V_{os1}/V_p, \quad (3.28)$$

$$\varepsilon_2 = V_{os2}/V_n \quad (3.29)$$

である。従って、発振周波数 f' は、式(3.24)で与えられる発振周波数 f を使って

$$f' = \frac{1}{T'_p + T'_n} = f(1-\Delta)(1+\Delta/\gamma) \quad (3.30)$$

と表される。

式(3.27) より明らかなように、もしも A_2 のオフセット分 ε_2 と増幅された A_1 のオフセット分 $\varepsilon_1/(1-\alpha)$ が相殺すれば、オフセットによる誤差は生じない。しかしながら、オフセット電圧は温度で変化するため、この条件は常に満たされるとは限らない。そこで、オフセット周波数 f_0 からの周波数変化 Δf を2つの部分に分ける。一方は抵抗変化による Δf_R で、もう一方はオフセット電圧による Δf_ε である。 Δf_ε は1次近似では、

$$\Delta f_\varepsilon = f_0 \Delta \left(1 + \frac{1}{\gamma} \right) = \frac{1}{1-\delta} \left(1 + \frac{R_0}{R_1} \right) \left(\frac{\varepsilon_1}{1-\alpha} - \varepsilon_2 \right) \left(1 + \frac{1}{\gamma} \right) f_\tau \quad (3.31)$$

で表される。抵抗変化 ΔR を明瞭に検出するには、 Δf_R は Δf_ε よりも大きい必要がある。この条件によって決められる精度は、

$$\frac{\Delta R_{\min}}{R_0} = \left(1 + \frac{R_0}{R_1} \right) \frac{1}{\alpha} \left(1 + \frac{1}{\gamma} \right) \{ \varepsilon_1 - (1-\alpha)\varepsilon_2 \} \quad (3.32)$$

で与えられ、 ΔR_{\min} は検出可能な最小の抵抗変化を表わす。

比較器 A_3 のオフセット電圧も、変換器の動作に影響する。しかし、その誤差は遅れ時間補償のための閾値電圧を変化させるだけであり、その発振周波数に対する効果は2次の微量である。

これ以外の精度を制限する要素は、温度変化による基準周波数の変化 Δf_T である。 Δf_T は

$$\frac{\Delta f_0}{f_0} = \left(\frac{\partial f_0}{f_0} / \partial T \right) \Delta T \quad (3.33)$$

と表される，ただし ΔT は変換器が動作する温度範囲を表す。温度係数の小さな抵抗やコンデンサを用いた弛張発信器の温度安定性 $(\partial f_0/f_0)/\partial T$ は，通常は $10^{-5} /$ である。 $\Delta T = 40$ としたとき，温度特性に制限された精度は次式で表される。

$$\frac{\Delta R_{\min}}{R_0} = 4 \times 10^{-4} \left(1 - \frac{R_1 R_2}{R_0 R_3} \right) \quad (3.34)$$

各素子の値が， $V_{os1} = -V_{os2} = 2 \text{ mV}$ ， $V_p = 5 \text{ V}$ ， $\gamma = 0.95$ ， $\alpha = 1/2$ ， $R_0 \approx R_1$ のとき，式(3.32)で与えられる精度は 10^{-4} となる。

以上の検討を要約すると，演算増幅器のオフセット電圧によって規定される精度は，温度によるオフセット周波数の変化と同等であり，すべてを考慮に入れた精度は 0.05 % のオーダーである。

3.2.3. 試作回路による実験と性能の評価

基本的な動作を確かめるため，容易に入手できる部品を使い，図3-3(a) の抵抗 / 周波数変換器を試作した。使用した演算増幅器は LF411 である。オフセットは補償せずに使用した。この演算増幅器のオフセット電圧は 2 mV 以下で遅れ時間は約 2.7 ms である。

電源電圧は， $\pm 12 \text{ V}$ である。ブリッジの抵抗は $R_1 = R_3 = 1.6 \text{ k}\Omega$ ， $R_2 = 2.4 \text{ k}\Omega$ とした。変換感度は 1 Hz/ Ω に設定した。積分時定数 $\tau = C_T R_T$ は約 110 μs である。発振周波数は，の周波数カウンタで 0.1 Hz まで測定した。

図3-4 にオフセット $R_0 = 3.4 \text{ k}\Omega$ から 0.5 Ω 刻みで R_x を変化させたときの周波数変化の測定結果を示す。高い分解能を持つことが確認できる。

遅れ時間補正を施した回路において，測定する抵抗を 2.6 k Ω から 4.6 k Ω まで変化したときに出力が 200 Hz から 2000 Hz まで変化するように設定したところ，予想される出力周波数と実測値のずれは 1 Hz 以内であった。同じ実験の結果と遅れ時間保証のない場合の結果を 図3-5 に示す。図中， $\delta=0.025$ は遅れ時間の補償のある場合を， $\delta=0$ は無い場合の測定結果を表わす。縦軸は非線形誤差 s であり，次式で定義される。

$$s = \frac{\Delta f_{\text{measured}} - \Delta f_{\text{given by (3.25)}}}{\Delta f_{\text{given by (3.25)}}} \quad (3.35)$$

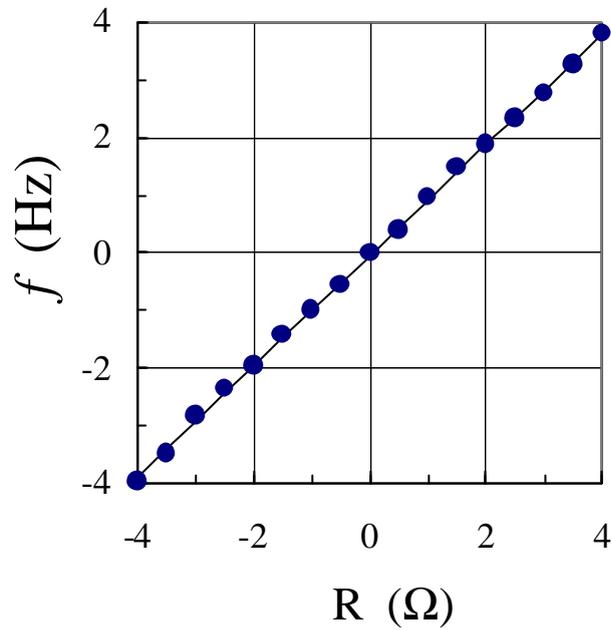


図3-4 抵抗偏差と周波数変化の測定結果

Fig. 3-4 The oscillation frequency change Δf of the prototype converter for the resistance change ΔR .

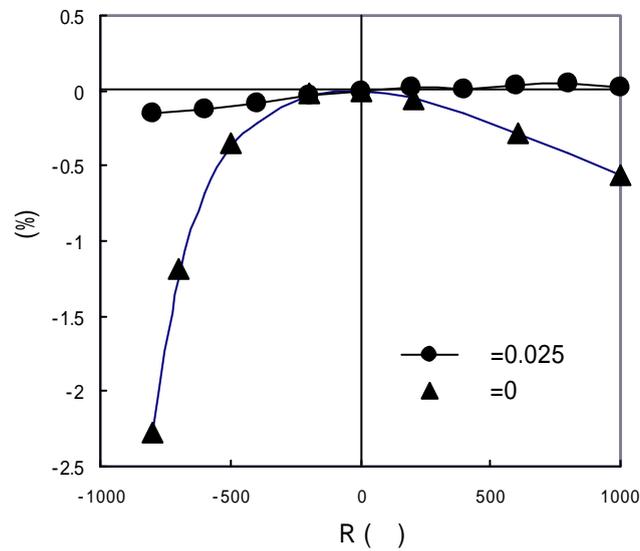


図3-5 遅れ時間補償があった場合($\delta = 0.025$)と無い場合($\delta = 0$)の非線形誤差 σ

Fig.3-5 The nonlinear error σ of the prototype converter with ($\delta = 0.025$) and without ($\delta = 0$) the delay compensation.

同図から，遅れ時間を補償することによって広範囲の抵抗変化にわたって0.1 % 以上の精度で測定できることを示し，従って前節で検討した性能が妥当であることを示している。

3.3. まとめ

抵抗変化に対応する周波数を出力する新しい回路を提案した。部品に要求される条件は最小限である。平衡を保つ動作を含まないため、回路構成は単純である。にもかかわらず、高い分解能を持ち、非線形補償による優れた精度を広範囲の抵抗変化にわたって実現した。精度は理論計算から 0.05% のオーダーである。実験からもセンサの抵抗値が 2.6 k Ω から 4.6 k Ω まで 1.8 k Ω にわたって抵抗値が変化をした時、1 Ω よりも高い精度で測定できることが確認できた。また、センサの全抵抗が 4.4 k Ω で感度が 1 Hz / 1 Ω の時、測定ごとのばらつきは 0.1 Hz 以内だったことから、分解能は 0.002% 以上と結論できる。

発振周波数を 0 にする条件は、抵抗のバランスによって自由に決めることができる。この条件は、温度に対して抵抗ほどは安定でない容量に影響されないため、高い精度の測定が実現できる。また、殆どの従来回路では周波数に対する線形性は抵抗変化が小さい時に限られたが、本方式では抵抗変化の大きさに制限が無い。その結果、抵抗に対する感度を上げることが出来る。

これらのメリットより、ここで提案した抵抗 / 周波数変換器は、ストレインゲージや白金測温体、ピエゾ抵抗素子などの信号処理に特に有効である。

参考文献

- [1] 鄭元燮, “抗型及び容量型センサ用信号処理回路に関する研究,” 静岡大学博士論文, 1986
- [2] L. D. Jones, and A. F. Chin, *Electronic Instruments and Measurements*, Englewood Cliffs, NJ : Prentice Hall, 1991
- [3] 山崎弘郎, *センサ工学の基礎*, 昭晃堂, 1985
- [4] J. A. Vinas, "Digital percentage resistance bridge," *Elec. Eng.*, No. 5, pp. 15-17, 1973.
- [5] G. Payen, "La conversion directe en frequence et son application au pesage numerique," *Electronique et MicroElectronique Industrielles*, No. 146, pp. 29-31, 1971.
- [6] A. P. Shivaprasad, "A wide-range variable-frequency phase-shift oscillator," *IEEE Trans. Instrum. Meas.*, Vol. 21, pp. 180-182, May 1972.

- [7] L. J. Weiss, "Measuring resistance deviations quickly and accurately," *Elec. Eng.*, pp.41-43, Aug. 1972.
- [8] Curtis D. Johnson, and Hassan Al Richeh, "Highly accurate resistance deviation to frequency converter with programmable sensitivity and resolution," *IEEE Trans. Instrum. Meas.*, Vol. 35, pp. 178-181, June 1986.
- [9] K. Mochizuki, and K. Watanabe, "A linear resistance-to-frequency converter," *IEEE IMTC/95 Proceedings*, pp.339-343, April 1995.
- [10] K. Mochizuki, and K. Watanabe, "A high-resolution, linear resistance-to-frequency converter," *IEEE Trans. Instrum. Meas.*, Vol. 45, pp.761-764, June 1996.
- [11] 望月孔二, 渡邊健藏 "微小抵抗変化検出用抵抗 / 周波数変換器," *静岡大学電子工学研究所研究報告*, 第30巻, 第1号, pp. 77-83, 1995.

第4章電流検出方式による差動容量型センサの信号処理回路

4.1. はじめに

容量型センサは、物理量の変化によってその容量値を変化させることを利用するセンサである[1]-[7]。容量は電気回路を構成する基本素子の1つであることから、センサとして利用しやすい素子である。1つの容量をセンサとしても用途によっては十分な精度で測定できるが、差動容量型の構成にして2つの容量 C_1 , C_2 を用い、比の計算を含む信号処理によって物理量を求めれば、温度などの環境成分を打ち消せるため、高精度測定が可能になる。

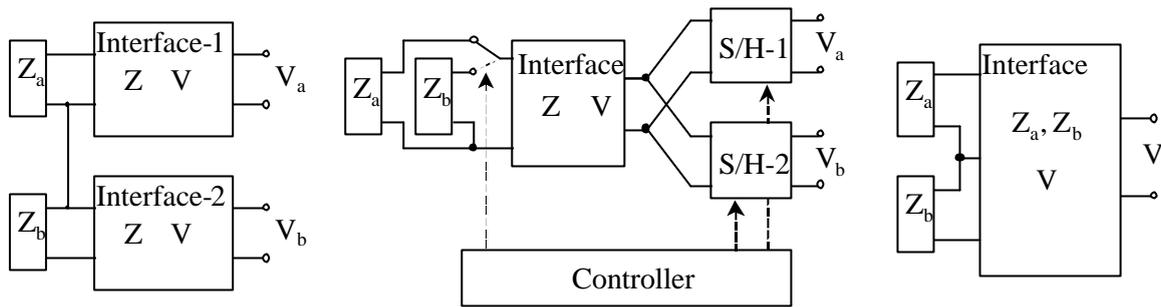
この章では、差動容量センサ用のレシオメトリック (ratiometric) 信号処理 $(C_1 - C_2)/(C_1 + C_2)$ を行うインターフェイス回路を2つ提案する。応用先は、圧力や加速度測定である。実用上要求されている容量型センサの C_0 はおよそ数 pF のオーダーと見積られ、本研究でも C_0 は 1 pF ~ 6 pF と想定した。

設計した全ての回路に共通することは、演算増幅回路を利用したアナログ信号処理による、高速な高精度測定を実現である。

第2章でも述べたように、差動容量型センサに関する従来の研究はあまり多くない。しかし、1つの容量を測定する回路を転用することは可能であることから、それらの報告も含めてセンサ用の回路に必要な技術について考察する。

2.3.1.節にて式(2.12) や 式(2.13) を導出する際に述べたように、2つのインピーダンスを取り扱うレシオメトリック信号処理を実現するためには、いくつかのアルゴリズムがあり、それによって回路の基本的な構成が決まる。それらを整理したのが、図4-1 のブロック図である。

図4-1(a) の構成は、最も単純な考え方のインターフェイスである。特性の等しい2つのインターフェイス回路を用意し、2つのインピーダンスを電圧に変換する。その後、A/D変換器でデジタル信号に変換し、デジタル回路内で信号処理を行う。この場合、高精度測定のためには、2つのインターフェイス回路の特性が完全に一致する必要があり、調整の手間は高精度の測定にとって大きな障害になる。なお、報告例にはこの構成のものは見られなかった。



(a) Two interfaces for each capacitors (b) Sheared one interface (c) Signal processing circuit

図4-1 2つのセンサから得た信号を取扱う測定回路の構成

Fig. 4-1 Measuring system with two sensors.

調整を最小限にしながら高精度に測定するには，図4-1(b)のように一つのインターフェイス回路を時分割で切り替えながらそれぞれの容量値測定に共通に使えば良い。2回の測定に同じ回路を使うため，測定に時間はかかるが，それぞれの測定に使われる回路は同じでありゲイン調整は不要である。このインターフェイスに必要なのは，線形性の確保である。回路の切り替えにはアナログスイッチなどが用いられる。一般に，センサユニット内のデジタル回路を構成するマイクロコントローラは演算能力がそれほど高くないため，ソフトウェア除算が必要な図4-1(a)も図4-1(b)も測定時間が長くなる傾向がある。

図4-1(b)の出力 V_a と V_b それぞれは，容量 C_1 と C_2 に比例するのが基本である。2章で述べた Toth らの回路も，測定する容量とリファレンス容量を切り替えながら測定している。これを更に改善するには，出力 V_a と V_b それぞれを C_1 と C_1+C_2 や， C_1-C_2 と C_1+C_2 に比例させることである。

一方，測定速度を上げるには，図4-1(c)のように常に2つの容量を同時に使い，式(1.8)の信号処理をアナログ回路で一括して実現する。レシオメトリック信号処理のためには，出力は $C_1/(C_1+C_2)$ ， $(C_1-C_2)/(C_1+C_2)$ の何れかに比例すればよい。いずれの出力でも，高精度インターフェイス回路に最も重要な線形性は，その利得に影響されない。

2章で述べた 三枝らと Harrison らの報告は，いずれもアナログ信号処理回路によって $(C_1-C_2)/(C_1+C_2)$ に比例した出力を得ている。

C_1/C_2 に比例した出力も，式(2.12)によりレシオメトリック信号処理を可能にする情報である。SC 回路のように，デジタルコードで出力する2つの容量の比率が，そのゲインまで保障される場合は問題ない。しかし，アナログ電圧出力では，後段に割り算が必要に

なることと，線形性を保つためには利得の厳密な調整が必要である。 C_1/C_2 を出力するレシオメトリック信号処理の報告例は無い。

2章で述べたように，トランスデューサの容量を取り扱う最初の回路は，電流検出回路か，または積分回路が使われている。この章では，容量センサを取り扱うインターフェイス回路の基本回路である電流検出回路（ C/V 変換回路）がインターフェイス回路の初段に使用される方式について述べる。

第4.2節では電流検出/デジタル出力方式について述べる[10]。この方法は1つの回路に接続される容量センサを時分割で切替えるため，動作に必要な調整が最小限であり，高い線形性を持ち高精度な出力が得られる。続いて第4.3節では，常に2つの容量を同時に使用式(1-8)の信号処理をアナログ回路で行う方式について述べる[11],[12]。

図1-6(b)の動作をする擬似トランスデューサを作り，試作回路の性能評価に使用した。その概観を図4-2に示す。大きさの目安として，右側にCD-ROMと3.5インチフロッピーディスクを添えた。

擬似トランスデューサは，絶縁物（テフロン，写真内白色）により支えられる床と平行な3枚のアルミ板である。固定される2枚の外側の電極から，配線用の端子が上下に伸びている。内側電極はマイクロメータによって上下に動く。マイクロメータの動作範囲は22 mmであり，読み取り精度は10 μ mである。固定電極の中心からの可動電極のずれ x に対して，トランスデューサの容量値 C_1 と C_2 は，式(1.6)，(1.7)で与えられる。電極の大きさが47.5mm \times 47.5mm のとき総容量 C_0 は6 pF であり，10 mm \times 5 mm のとき1 pF である。外界か

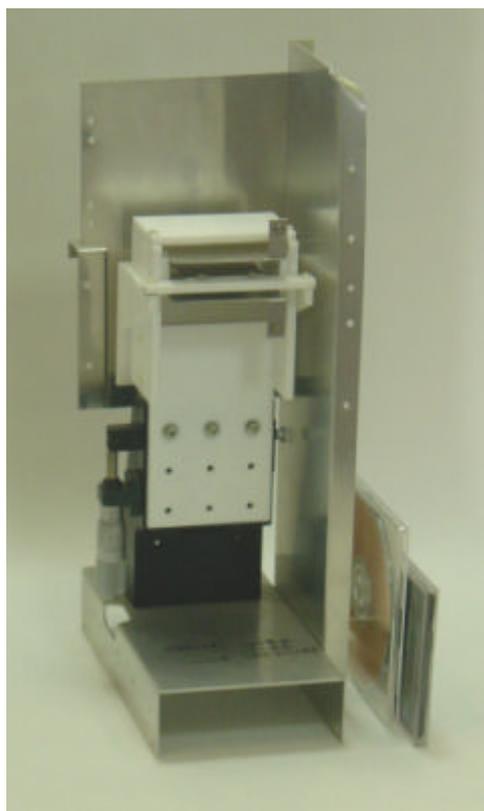


図4-2 擬似トランスデューサ
Fig. 4-2 A ganged parallel-plate capacitor used for experiments.

らの影響を受けないよう，ガード電極を設けてある。内部電極の変位と容量変化が比例するのは，中央付近の数 mm の範囲だけである。

測定時には，次の式で定義される ΔC と C_0 を使うものとする。

$$\Delta C = C_0 x = (C_1 + C_2) x \tag{4.1}$$

この式をマイクロメータの読み取り精度と対応させると， ΔC の精度は $1 \times 10^{-3} C_0$ まで評価できる。

4.2. 電流検出 / デジタル出力方式

この節では，電流検出式の差動容量型トランスデューサ用インターフェイス回路について述べる[10]。この回路は，近年の高速演算増幅器の特性を生かし，高い周波数の正弦信号をトランスデューサに加える事によって高精度で高速な測定を可能にしている。2つの容量それぞれを回路で取り扱うために，図4-1(b) に示すように同じ回路を共用する方式を用いた。割り算の処理はA/D変換器によって行う。デジタル信号を出力するのでCPUとの相性も良い。また，電流検出部は総容量の 0.005% の容量を求める精度を持つ。

4.2.1. 回路構成

インターフェイス回路のブロック図を図4-3に示す。この回路は，もしも C_1-C_2 と C_1+C_2 の検出に同じ回路が使われるのであれば，レシオメトリック動作により回路素子の不整合に影響されずに測定が可能であるというアイデアの下に設計されている。

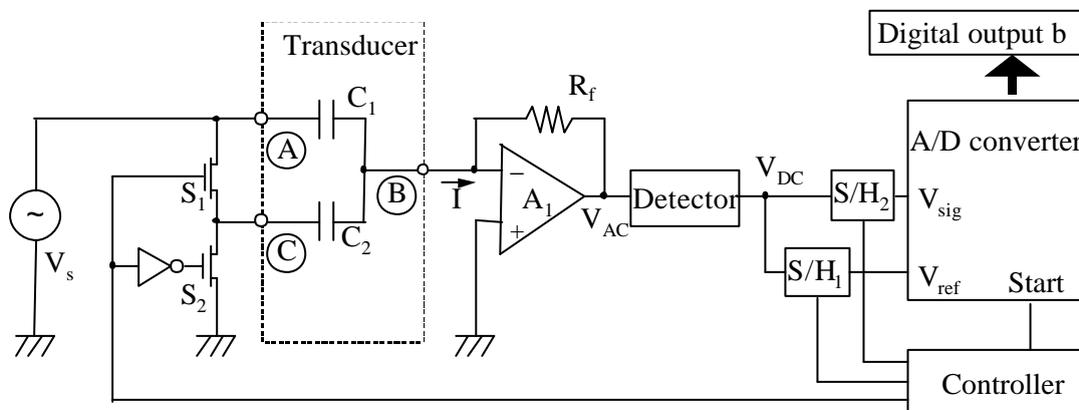


図4-3 インターフェイス回路のブロック図

Fig. 4-3 A block diagram of the interface.

この回路の初段は、容量 / 電圧(C/V)変換器である。ここでトランスデューサを流れる電流を検出し、容量値に比例した大きさの電圧に変換する。ここで、演算増幅器 A_1 とスイッチ S_1, S_2 を理想特性とする。 S_1 がオンで S_2 がオフの時、C/V 変換器は C_1 と C_2 を流れる電流を検出し、出力電圧 V_{o1} を出力する。

$$V_{o1} = -s(C_1 + C_2)R_fV_s \quad (4.2)$$

この電圧は、検波器によって直流に変換された後で、サンプル&ホールド (S/H) 回路によってその値が保持され、A/D 変換器のリファレンス電圧として適用される。一方、 S_1 がオフで S_2 がオンの時、C/V 変換器は C_1 を流れる電流のみを検出し、出力電圧 V_{o2} を出力する

$$V_{o2} = -sC_1R_fV_s \quad (4.3)$$

この電圧は、検波器によって直流に変換され、S/H 回路を介してA/D 変換器の信号電圧になる。従って、A/D 変換器は次式で表わされる n ビットの2進数を作り出す。

$$b = \frac{V_{o1}}{V_{o2}} = \frac{C_1}{C_1+C_2} = b_12^{-1}+b_22^{-2}+ \dots +b_n2^{-n} \quad (4.4)$$

式(4.4) を式(2.13) に代入することにより、 b は x にオフセットを加えた値の2進数表記であることが確認できる。

検波器の回路図を図4-4 に示す。この回路は、全波整流回路と、それに続く低域通過フィルタ (LPF = Low-Pass Filter) から成る[13]。LPFの出力にはリップル成分が含まれる。直流成分とリップル成分の比率は、 x を測定する時の相対誤差 ε に比べて小さくなるようにする必要がある。

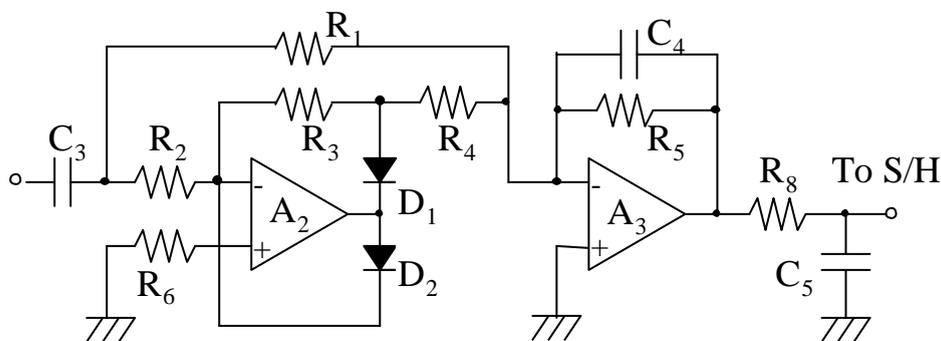


図4-4 検波器の回路図

Fig. 4-4 The circuit diagram of the detector.

ここで、 C_4 , R_5 によって作られる 1 段目の LPF だけ注目し、信号の周波数 $f = 1 \text{ MHz}$ で相対誤差 $e = 0.01 \%$ に収めるために必要な条件を考える。

出力電圧が定常状態に達した時、直流出力にはリップル成分が残る。全波整流波形のフーリエ級数は周波数 $2f$ の成分が DC 成分の $2/3$ 倍であるため、リップル成分を ε 以下にするには、 C_4 , R_5 並列のインピーダンスが、周波数 $2f$ の時には DC の時に比べて $3\varepsilon/2$ 倍以下に小さくする必要がある。これより、LPF の時定数 $\tau_c = C_4R_5$ は次式を満たす必要がある。ただし、 e は 1 よりも十分に小さいとして計算した。

$$\tau_c \equiv C_4R_5 \geq \frac{1}{2\pi(2f)} \frac{1}{3\varepsilon/2} \quad (4.5)$$

一方、時定数 $\tau_c = C_4R_5$ はまた長期的な収束時間も決定する。この回路の収束は $\exp(-\frac{t}{\tau_c})$ に比例することから、出力電圧を相対誤差 e 以内に収束するセトリング時間 τ_s は、次式を満たす。

$$\tau_s \geq -\ln(e) \times \tau_c \quad (4.6)$$

式(4.5) と式(4.6) から、S/H 回路のサンプリングスピードが決まる。この回路では V_{sig} , V_{ref} それぞれについてデータを得てから A/D 変換を行うため、デジタルコードの変換に必要な時間は $-\frac{\ln(e)}{3\pi f \varepsilon}$ である。これを最初の条件 ($f = 1 \text{ MHz}$, $\varepsilon = 0.01 \%$) にあてはめれば、変換時間は 10. ms (毎秒約 102 回) である。

以上の検討から得られたサンプリングスピードは 1 次の LPF を使った場合である。

同様に、同じ時定数を持つ 1 次の LPF を直列に N 段つなげたフィルタでは、セトリング時間は $\frac{2}{2\pi(2f)} \frac{-\ln(e)}{(3\varepsilon/2)^{1/N}}$ と見積もられる。この計算は粗い計算であり、全てのフィルタが同時に収束すると仮定している。実際には、 m 段目の電圧が収束するのは、 $m-1$ 段目の収束よりも遅れる。P-Spice のシミュレーションによると、1 段あたり 2 割程度の遅れを見込めばよい。これより、 N 段のフィルタのセトリング時間 τ_{SN} は、

$$\tau_{\text{SN}} \geq \frac{2}{2\pi(2f)} \frac{-\ln(e)}{(3\varepsilon/2)^{1/N}} \{1 + 0.2*(N-1)\} \quad (4.7)$$

と見積もられる。同じ条件では、2 段は 6.9 ksps, 3 段は 26 ksps, 4 段は 47 ksps である。精度を落とすこと無く測定時間を短縮できる。

4.2.2. 性能の検討

インターフェイス回路の誤差要因は、寄生容量、入力インピーダンス、演算増幅器 A の有限の利得と検波器の非線型性である。この節では、これら誤差原因の精度への効果を検討する。

誤差要因を考慮に入れた C/V 変換器を図4-5 に示す。ここで問題になるのは、浮遊容量 C_s と、アナログスイッチのオン抵抗 R_{on} である。これらを使って厳密に解析した出力電圧は、

$$V_{o(1,2)} = -\frac{Y_{s(1,2)}}{Y_f} \frac{k_{(1,2)}}{1 + \frac{1}{A} \left(1 + \frac{Y_i + Y_{s(1,2)}}{Y_f} \right)} V_s \quad (4.8)$$

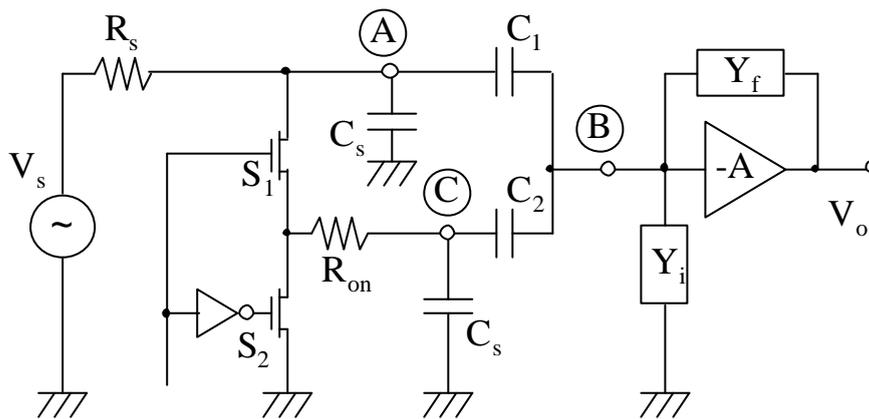


図4-5 誤差要因を考慮に入れたC/V変換器
Fig. 4-5 The C/V converter including error sources.

である。ただし、 V_{o1} と V_{o2} は演算増幅器 A_1 の出力であり、第1ステージ (S_1 がオンで S_2 がオフ) と第2ステージ (S_1 がオフで S_2 がオン) での出力電圧である。A と Y_i は演算増幅器の利得と入力アドミタンスである。 Y_{s1} と Y_{s2} は、演算増幅器の反転入力端子側からトランスデューサを見た第1と第2それぞれのステージでのアドミタンスであり、次式で与えられる。

$$Y_{s1} = \left(sC_1 + \frac{1}{R_{on} + 1/sC_2} \right) \parallel \frac{1}{R_s}, \quad (4.9)$$

$$Y_{s2} = \frac{1}{R_s + 1/sC_1} + \frac{1}{R_{on} + 1/sC_2} \quad (4.10)$$

Y_f はフィードバック回路のアドミタンスであり, $k_{(1,2)}$ は次式で与えられる。

$$k_1 = \frac{1+s \frac{C_1(C_s+C_2)}{C_1+C_2} R_{on}}{1+s \left(C_s + \frac{C_1 C_2}{C_1+C_2} \right) R_{on}}, \quad (4.11)$$

$$k_2 = \frac{C_1}{C_1+C_2} \frac{1+s(C_s+C_2)R_{on}}{1+s \left(C_s + \frac{C_1 C_2}{C_1+C_2} \right) R_{on}} \quad (4.12)$$

ここで, $wC_1R_s \ll 1$ ならば $Y_{s1} = Y_{s2}$ である。この時, A と Y_i はレシオメトリック動作に影響を与えないため, 電圧比 $|k_2|/|k_1|$ は,

$$\frac{|k_2|}{|k_1|} = \frac{C_1}{C_1+C_2} \frac{1+s(C_s+C_2)R_{on}}{1+s \frac{C_1(C_s+C_2)}{C_1+C_2} R_{on}} \quad (4.13)$$

$$= \frac{C_1}{C_1+C_2} (1+e) \quad (4.14)$$

となる。ただし, e は相対誤差で, 1 次のオーダーまで求めると次式で与えられる。

$$e = \frac{1}{2} w^2 (C_s + C_2)^2 \frac{(2C_1+C_2)C_2}{C_0^2} R_{on}^2 \quad (4.15)$$

表4-1に幾つかの条件の下で評価した e の値を示す。ここで使用した R_{on} と C_s の値は, それぞれ標準的なアナログスイッチと配線から算定した。特別な技術や部品を用いることなく C/V 変換器が動作することが, この表により示される。

検波器の主な誤差要因は, 同図のダイオード D_1 を流れる電流を変調している演算増幅器のオフセット電圧 V_{os} である。理想的には正弦波信号 1 周期の半分の時間だけダイオードが導通し電流が流れるが, オフセット電圧があるために信号の振幅によって導通時間が変化する。オフセット電圧と非線形誤差の関係を数値積分によって評価した結果を図4-6に示す。入力信号の振幅の最大値 V_p が大きくなるにつれて, 非線形誤差は小さくなる。もしも V_p が V_{os} の 100 倍以上大きければ, 非線形誤差は無視できる。

表4-1: 各パラメタによって生じる誤差

Table 4-1 Error due to parasitics.

f [MHz]	R _{on} [Ω]	C _s [pF]	C _o [pF]	Error e		
				x=-0.5	x=0	x=0.5
1	300	10	6	4.26 (× 10 ⁻⁴)	2.25 (× 10 ⁻⁴)	1.12 (× 10 ⁻⁴)
0.5	300	10	6	1.07	0.56	0.28
1	125	10	6	0.74	0.39	0.19
1	300	5	1	0.60	0.40	0.22

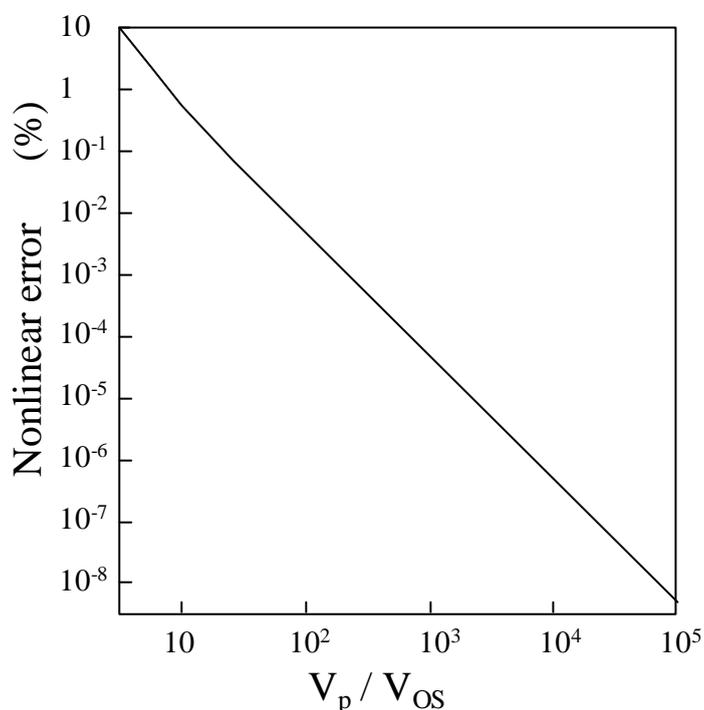


図4-6 オフセット電圧と非線形誤差の関係を数値積分によって評価した結果

Fig. 4-6 Nonlinear errors **e** due to the offset voltage of op-amps.

演算増幅器のスリューレート (SR) も、波形を歪ませるため、誤差の要因となる。SR は演算増幅器の利得帯域積 (GB積) f_T と密接に関係する。精密な整流器を作るには、 f_T は入力周波数 f に比べて 100 倍以上高ければ良い[14]。しかし、検波器ならば、LPF が必要であるため f_T に対する要求は緩やかになる。検波器を試作し、 f_T の異なる演算増幅器を入れ替えながら AC/DC 変換の特性を実験した。 f_T が $30f$ よりも大きければ誤差の原因とはならなかった。

4.2.3. 試作回路による実験と性能評価

図4-3 の回路図をもとに，市販の演算増幅器と S/H 回路, 16bit レシオメトリック A/D 変換器を使ってインターフェイス回路を試作した。試作回路の性能評価のため，図4-2 で示した平行平板コンデンサを，トランスデューサとして使用した。総容量 C_0 は 6 pF または 1 pF である。

トランスデューサに加える信号は振幅 $1 V_{p-p}$, 周波数 1 MHz の正弦波信号である。A/D 変換器の基準電圧として適用する V_{01} が 3 V, デジタル出力の最大値が 32768 になるように，検波器と S/H 回路の定数を設定した。検波器の非線型誤差は，0.02% 以下である。

図4-7に，代表的な測定結果を示す。この図は変位 x の変化に対する容量値と，デジタル出力の関係を示している。右側には $\Delta C = (C_1+C_2) x$ の値を添えた。 $C_0 = 6 \text{ pF}$ のとき容量変化は $3 \text{ fF}/10\text{mm}$ であり， $C_0 = 1 \text{ pF}$ のときは $0.5 \text{ fF}/10\text{mm}$ である。比例関係であることから，このインターフェイス回路を使って変位を推定できる。

図中の点は，10 回の測定の平均値を示している。 $C_0 = 6\text{pF}$ の時，変位を固定したままで測定すると，サンプリングごとにばらついていた。 ΔC の測定 1 回あたりの標準偏差は

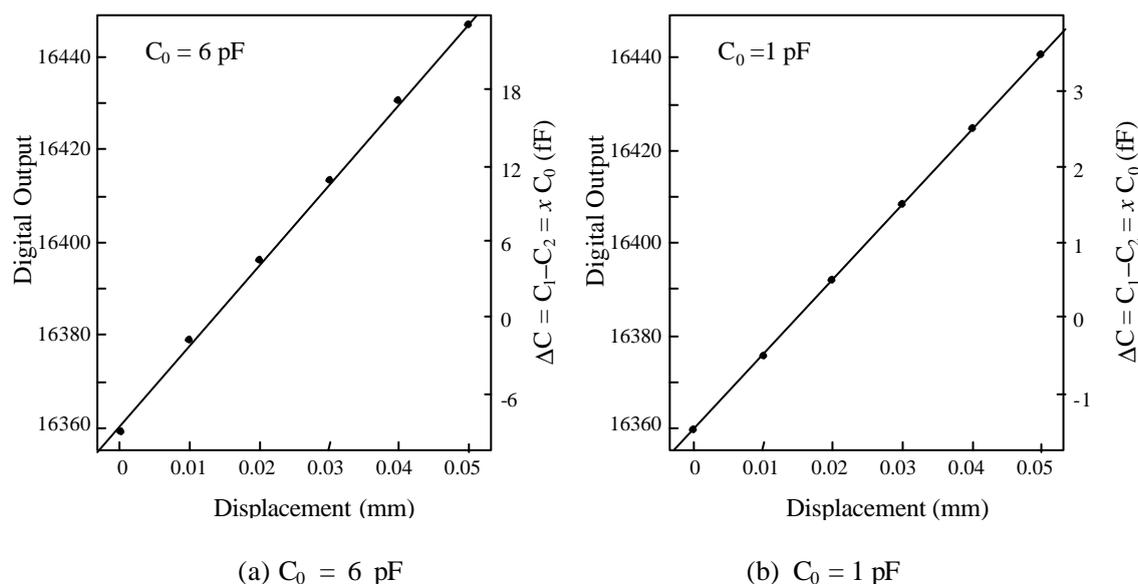


図4-7 変位に対する出力変化の実験結果

Fig. 4-7 Experimentally measured capacitance changes and the digital readings of the displacement.

0.42 fF であった。従って、試作回路は $3.5 \times 10^{-5} C_0$ まで検出する分解能を持つと考えられる。複数回の測定から変位を推定すれば、分解能を上げることができる。

一方、精度については、変位を 10mm だけ変化させる毎に、デジタル出力は平均で 17.6 LSB ずつ変化していることから、短い変位に関して 10mm を十分に識別できる精度がある。変位を -2.5 mm から +2.5 mm まで 1 mm ずつ変化させたとき、出力コードは変位に対して線形に変化し、線形からの最大のずれは変位にして 4.5 mm であった。従って、この範囲にわたる 0.05% 以上の精度が確認できた。マイクロメータの最小目盛が 10mm までであり、マイクロメータの目盛の読み取り誤差とバックラッシュによるばらつきを考慮すれば、インターフェイスの精度はそれよりも高いと結論できる。

これより、差動容量型トランスデューサ用の高精度信号処理インターフェイスの動作原理が確認された。なお、図4-3 の A_1 として、様々な演算増幅器を使って同様に測定したとき、演算増幅器の f_T が 30 MHz 以上ならば演算増幅器によらず特性は同じだった。

ここで述べたインターフェイスは、標準的な部品を使っても高精度な信号処理が可能である。また、2次以上 LPF を使うことにより 5 ksps 以上のサンプリングスピードが可能である。この回路は IC 化にも適していることから、応用の可能性が広がる技術と言える。

4.3. 電流検出とフィードバックによる伝達関数の実現

容量 / 電圧変換回路と信号処理回路によって容量値に比例した電圧の和と差を求め、フィードバックによって和を一定にすることによって、差が信号処理の式(1.8) を満たす方式について述べる[11][12]。信号処理回路が一体化しているため、同じ機能を加算器や減算器を組み合わせて作るよりも小型であり、抵抗器の数も少なく、マッチング条件もシンプルである。本方式は、回路内の容量は常に2つとも電流を流しているため変換速度は高速である。

4.3.1. 回路構成

差動容量型センサのための信号処理を行う回路のブロック図を図4-8 に示す。この回路は、正弦波発生回路、差動容量型トランスデューサ、C/V 変換と信号処理を行う回路、2つの同期検波回路、A/D変換器、振幅制御回路からなる。信号処理回路は2つの出力回路をもち、それぞれの電圧は、

$$E_1 = u_1 (C_1 + C_2), \quad (4.16)$$

$$E_2 = u_2 (C_1 - C_2) \quad (4.17)$$

という関係を満たすように設計されている。

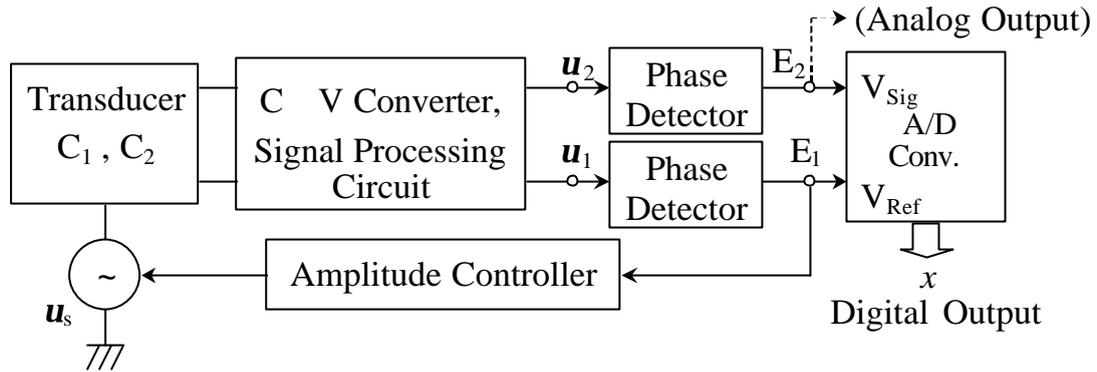


図4-8 回路のブロック図

Fig. 4-8 A block diagram of the interface circuit.

電圧 E_1 と E_2 は A/D 変換器のリファレンス V_{ref} と信号端子 V_{sig} に接続される。A/D 変換器は、 V_{sig} と V_{ref} の比率をデジタル値に変換するため、レシオメトリック信号処理 $(C_1 - C_2) / (C_1 + C_2)$ がデジタル値として出力される。 E_1 と E_2 はレシオメトリック信号処理に使われるため絶対的な精度は必ずしも必要としない。

ここで、振幅制御回路を使って u_s を制御して E_1 の値を一定に保てば、電圧 E_2 はまた $(C_1 - C_2) / (C_1 + C_2)$ に比例する。従って、 E_2 を出力電圧として良い。この場合、実時間で電圧出力が得られる。

このレシオメトリック信号処理のためには、式(4.16) と 式(4.17) を同時に行う信号処理回路が必要である。これを実現する回路を図4-9 に示す。

ここで、各演算増幅器が理想特性として回路解析を行う。電圧 V_1 と V_2 は、

$$V_1 = -\frac{s(C_1 R_3 + \alpha C_2 R_2) R_1 R_4}{\alpha R_1 R_2 + R_3 R_4} V_s, \quad (4.18)$$

$$V_2 = \frac{s(C_1 R_1 - C_2 R_4) R_2 R_3}{\alpha R_1 R_2 + R_3 R_4} V_s \quad (4.19)$$

である。抵抗のマッチング条件、

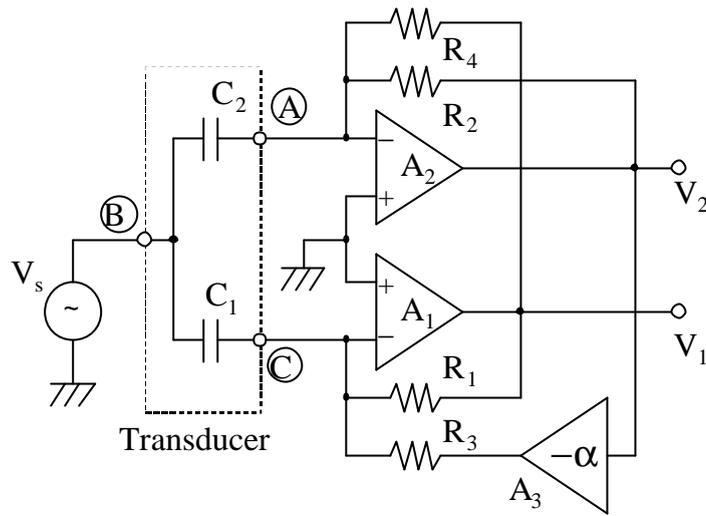


図4-9 C/V 変換回路

Fig. 4-9 The circuit diagram of the capacitance-to-voltage converter.

$$R_3 = \alpha R_2, R_4 = R_1 \quad (4.20)$$

が成り立つならば、それぞれの電圧は、

$$V_1 = -\frac{s(C_1 + C_2)R_1}{2} V_s, \quad (4.21)$$

$$V_2 = \frac{s(C_1 - C_2)R_2}{2} V_s \quad (4.22)$$

と表わされる。同じ機能を加算器や減算器などを組み合わせて作るよりも小型であり、抵抗器の数も少なく、マッチング条件もシンプルである。

同期検波回路の回路図を図4-10 に示す。スイッチ S は、 V_s の半周期ごとに導通と非導通を繰り返す。各演算増幅器は低域フィルタを構成し、DC 電圧を出力する。フィルタは

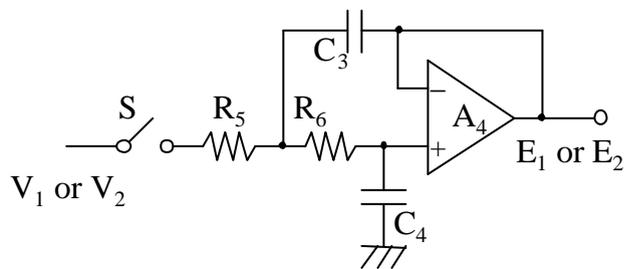


図4-10 同期検波回路

Fig. 4-10 The circuit diagram of the phase detector.

サレン・キー型とし、カットオフ周波数は、リップル成分が精度に影響を与えないように決められる。

4.3.2. 性能の検討

図4-9 の C/V 変換回路は、フィードバックを複数回路持っている。従って、各演算増幅器の有限な利得帯域幅や、有限な入力インピーダンスのため、安定動作しない可能性がある。この節では、C/V 変換回路の安定性や線形性に対して、素子の非理想特性が与える影響を論ずる。

単純のため、 $R_1 = \alpha R_2 = R_3 = R_4 = R$ とし、各演算増幅器の利得は A_1, A_2 とともに

$$A = \omega_u / s \quad (4.23)$$

とする。ただし、 ω_u は利得帯域幅を 2π で割ったものである。各演算増幅器の入力端子とグランドとの間に存在する寄生容量 C_p まで考慮に入れれば、出力電圧は次式の様に書き直される

$$V_1 = - \frac{s(C_1 + C_2)R + \frac{s^2 C_1 R}{\omega_u} (sC_2 R + sC_p R + 2)}{2 + \frac{s}{\omega_u} (sC_1 R + sC_2 R + 2sC_p R + 4)} V_s, \quad (4.24)$$

$$V_2 = \frac{s(C_1 - C_2)R - \frac{s^2 C_2 R}{\omega_u} (sC_1 R + sC_p R + 2)}{2 + \frac{s}{\omega_u} (sC_1 R + sC_2 R + 2sC_p R + 4)} V_s \quad (4.25)$$

ただし、 ω は ω_u よりも十分小さいとして、2次の項は無視した。これらの電圧は、 V_s に同期してスイッチを開閉する同期検波回路によって直流電圧 E_1, E_2 に変換され、A/D変換器によってデジタルコードに変換される。また、振幅制御回路を併用することによってアナログ電圧も出力できる。

出力データを1次近似式で表わすならば、

$$\gamma = \frac{\text{Im}(V_2 / V_s)}{\text{Im}(V_1 / V_s)} \quad (4.26)$$

$$\cong - \frac{x + \frac{\lambda}{4} (1 - x^2 + 2(1-x)\kappa)}{1 - \frac{\lambda}{4} (1 - x^2 + 2(1+x)\kappa)} \quad (4.27)$$

である。ただし、 x は式(1.8) で与えられ、

$$\lambda = \omega^2 C_0 R / \omega_u, \quad (4.28)$$

$$\kappa = C_p / C_0 \quad (4.29)$$

である。もしも各演算増幅器が理想特性ならば， $\lambda = 0$ となり，寄生容量に無関係に $\gamma = x$ となる。式(4.27)をテイラー展開すれば，

$$\gamma = \gamma_0 + \gamma_1 x + \frac{\gamma_2}{2} x^2 + O(x^3) \quad (4.30)$$

である。ただし，

$$\gamma_0 = -\lambda (4 + 8\kappa + \lambda - 4\kappa\lambda + 4\kappa^2\lambda) / 16, \quad (4.31)$$

$$\gamma_1 = -(1 + \lambda/4), \quad (4.32)$$

$$\gamma_2 = \lambda(2 - 4\kappa + \lambda + 2\kappa\lambda + 2\kappa^2\lambda) / 4 \quad (4.33)$$

であり， $O(x^3)$ は高次の項である。理想状態からのズレを示す λ と κ により，オフセットやスケールや非線形誤差がもたらされている。オフセットとスケール誤差は，回路上のオフセット調整などによって補正が可能である。従って，最後に残される誤差は非線形誤差である。ここで， $C_p = C_0$, $\kappa = 1$ とすると，相対誤差を $\varepsilon\%$ 以下にするために必要な λ の条件は，

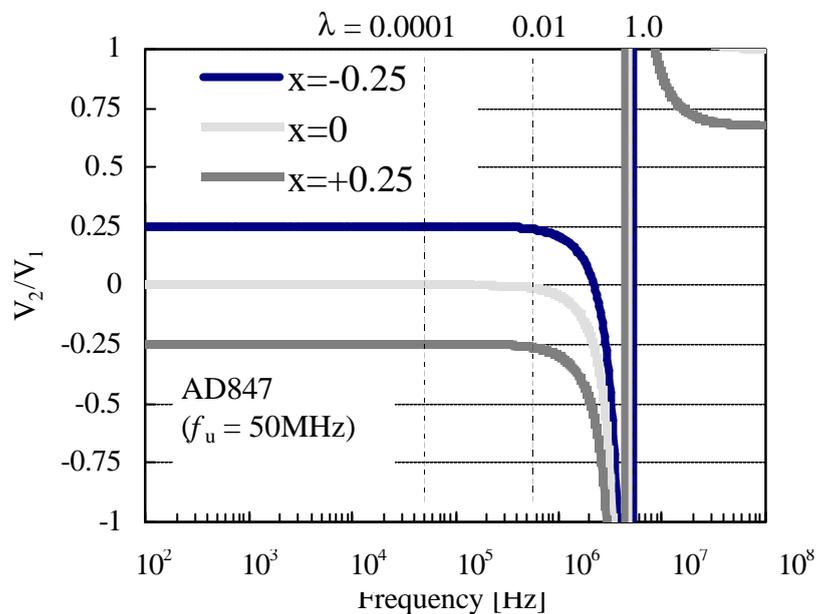
$$|\varepsilon / x_{\max}| > \frac{2 - 5\lambda}{8 - 2\lambda} \lambda \approx \lambda / 4 \quad (4.34)$$

である。ここで， x_{\max} は x の最大値である。例えば， $\varepsilon = 0.1\%$ ， $x_{\max} = 0.5$ ならば， λ は 0.008 以下である必要がある。

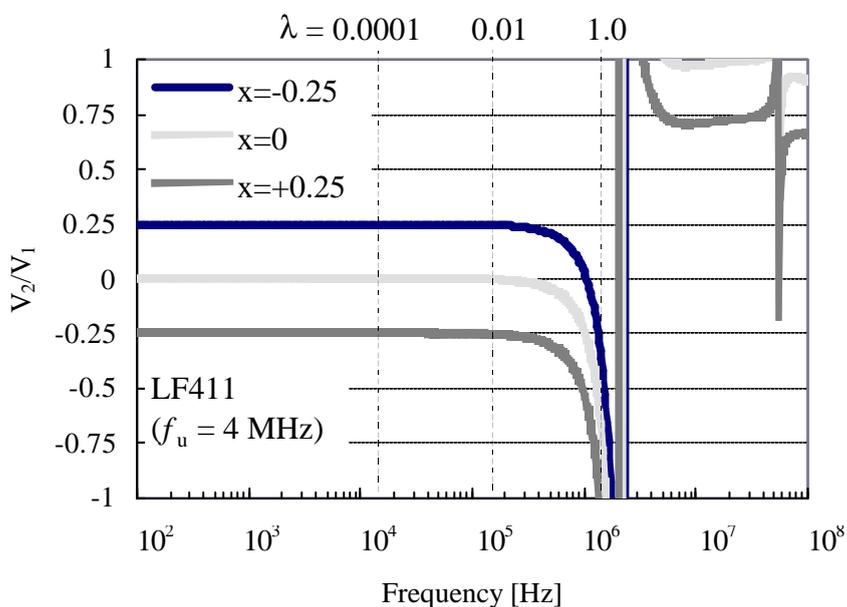
提案した C/V 変換器の動作を，P-Spice を使ったシミュレーションによって検討した。素子の値は， $R = 150 \text{ k}\Omega$ ， $C_0 = 2 \text{ pF}$ とし， V_s の振幅は $5 V_{pp}$ とした。使用した各演算増幅器は， $f_u = 4 \text{ MHz}$ の LF411 と， $f_u = 50 \text{ MHz}$ の AD847 である。図4-11 に，それぞれの各演算増幅器を使用したときの γ の周波数特性を示す。図の上部目盛には λ も示した。同じ条件だがパラメタを変えたグラフを，図4-12 に示す。この図は $x = 0.25$ とした時の γ の 0.25 からの偏差を示す。おのおのの線は，LF411 を使った回路の P-Spice シミュレーションと，数値計算した式(4.26) の値である。 $x = 0.25$ の時，この変換器は λ が 0.005 以下では誤差 0.1% 以内の理想的な特性を示すが，それ以上では誤差が大きくなる。また，C/V 変換器が発振しないためには， R_1 ， R_2 と並列に小さな容量を付加し，高周波への応答

を抑える必要がある。

図4-13 に, λ をパラメタとする γ の x 依存性を示す。このグラフは, P-Spice を用い



(a) With AD847



(b) With LF411

図4-11 C/V変換回路の周波数特性 (シミュレーション)

Fig. 4-11 Frequency characteristics of C/V converters. (simulation results)

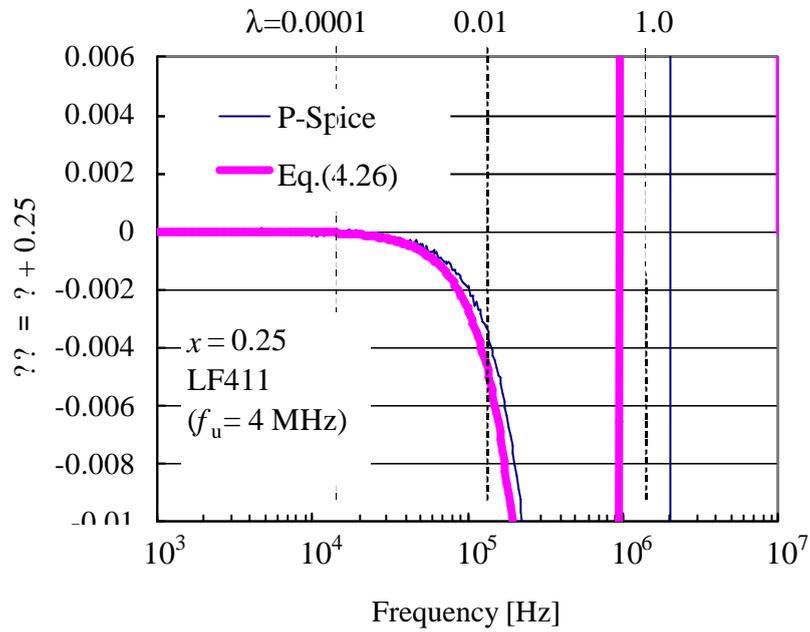


図4-12 C/V変換回路の周波数特性。式(4.26)とシミュレーションの対応
 Fig. 4-12 Frequency characteristics of C/V converters : simulation .vs. Eq.(4.26).

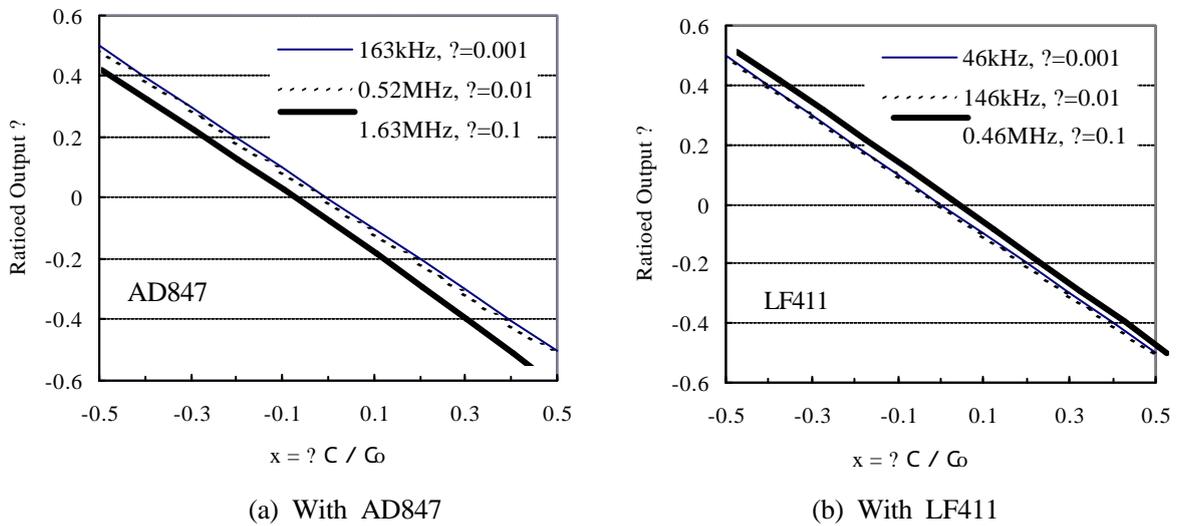


図4-13 AD847 と LF411 を使用した C/V 変換回路の出力
 Fig. 4-13 The ratioed outputs of the C/V converters using AD847 and LF411.

て計算した。 λ の値によっては大きな非線形誤差が生ずるが、その内容は式(4.31) の γ_0 が大きな比重を占めていることがわかる。

これらのシミュレーション結果は，理論計算の式(4.34) を裏付けるものであり，この回路を設計する基準になる。

4.3.3. 試作回路による実験と性能評価

図4-9 の C/V 変換回路を，市販の部品を用いて試作した。評価の際にトランスデューサとして用いたのは，3枚の平行平板電極からなる2つのコンデンサである。この実験で用いた擬似トランスデューサは図4-2 と形式は同じだが，寸法は別のものである。マイクロメータの最小目盛りは $10\ \mu\text{m}$ で，全行程は $40\ \text{mm}$ である。容量 C_0 は $3\ \text{pF}$ である。また，トランスデューサは，環境からの影響を防ぐためにシールドされている。

トランスデューサに供給する正弦波は $1\ \text{MHz}$ とした。利得帯域幅積が $34\ \text{MHz}$ の演算増幅器と $100\ \text{k}\Omega$ の抵抗を用いて C/V 変換器を作った。これより，式(4.28) で定義された λ は 0.055 となり，式(4.34) より， $|x| < 0.05$ では 0.07% の非線形性である。アナログ出力も得るために，図4-8 に示すフィードバック回路を組み込んだ。 V_1 に現れる正弦波信号の振幅は，約 $5\ V_{pp}$ の一定値に保った。

図4-14 に，実験結果を示す。横軸に示す正規化された容量差は，市販の容量ブリッジから得られた値である。内側の可動電極の変位による容量変化 ΔC は， $0.14\ \text{fF}/10\ \mu\text{m}$ である。予期された通り，アナログ出力 E_2 の値は可動電極の変位に比例する。 $x (= \Delta C/C_0)$ の

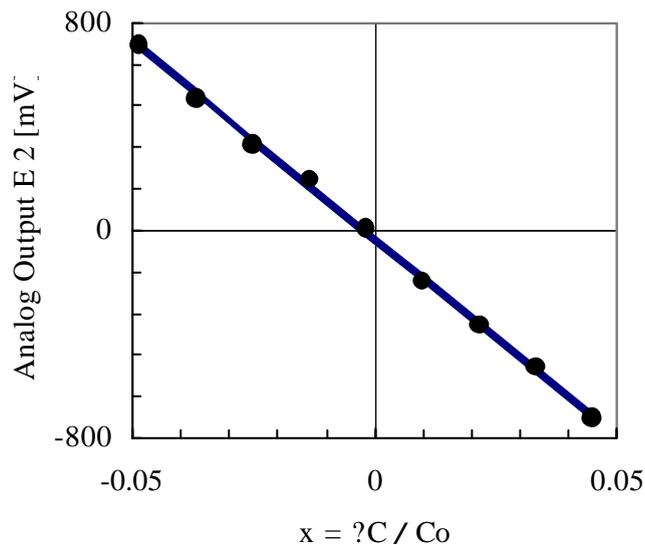


図4-14 容量変化に対するアナログ出力の変化

Fig. 4-14 Experimentary observed analog output.

0.1 の変化に対して E_2 は 1.67 V 変化することから、傾き $\Delta E_2/\Delta x$ は、16.7 V である。これは、5.6 mV/fF に対応する。一方、測定した E_2 は、1 mV 未満のレンジではばらつきが見られた。従って、この試作回路の ΔC 測定の分解能は 0.18 fF、すなわち $6 \times 10^{-5} C_0$ である。他の計測も行い、非線形誤差は $|x|$ につれて大きくなることも確認できた。これらの実験は、この節で議論した精度に関する議論の正しさを証明している。

4.4. まとめ

この章の最初の節では、最初の節では、差動容量型センサを取り扱うインターフェイス回路が必要とする技術について述べ、1つの回路を時分割で共用するか、高度な信号処理を行うことが必要なことを明らかにした。

続いて、容量測定の基本回路である電流検出方式を使用した差動容量型センサの信号処理アナログインターフェイス回路を2つ設計し、評価した。

4.2節では、一つの電流検出回路を時分割で共用して作動容量型センサの容量 C_1 または C_1+C_2 それぞれを測定し、A/D変換器の V_{sig} と V_{ref} に適用してデジタルコード化する回路について述べた。時分割で共有することから簡単な調整で高い線形性を得ることができた。この技術により、特別な部品を使わずに、この方式の最も中心となる C/V 変換回路は、 $\Delta C (=x C_0)$ が $-0.5 C_0$ から $0.5 C_0$ まで変化するとき、 $0.5 \times 10^{-4} C_0$ の精度で測定できることを理論的に示した。AC/DC変換回路の非線形誤差もスパンの 2×10^{-4} 以上が可能である。実験からも、 ΔC が $-0.25 C_0$ から $0.25 C_0$ まで変化するとき、少なくともマイクロメータの最小目盛りに対応する $1 \times 10^{-3} C_0$ という精度の測定が可能であることを確認した。分解能も高く、 C_0 が 6pF のとき、 ΔC 測定の標準偏差は1回の測定あたり $0.21 \text{ fF} = 3.5 \times 10^{-5} C_0$ である。

4.3節では、容量 C_1 と C_2 それぞれの電流を検出して和と差を出力する回路をセンサ回路の第1段目に使った方式について述べた。一体化した信号処理回路は、同じ機能を加算器や減算器を組み合わせて作るよりも小型であり、抵抗器の数も少なく、マッチング条件もシンプルである。抵抗の少なさは、集積化に適している。この信号処理回路は2つの測定法に応用できる。1つは4.2節のようにA/Dコンバータでデジタル化する方法である。もう1つは、フィードバックによって和電圧を一定にすることにより、差電圧が信号処理出力となり連続的に取り出す方法である。

回路解析により，精度に影響するパラメタが演算増幅器の利得帯域幅や，測定する $|x|$ の大きさによって決まることを明らかにするとともに，精度を確保するための条件を求めた。分解能も高く，一般的な部品を使った実験から， $C_0 = 3 \text{ pF}$ のとき， $\Delta C (=x C_0)$ を測定すると1回の測定あたり $0.18 \text{ fF} = 6. \times 10^{-5} C_0$ のばらつきがあることが確認された。その他の実験からも回路解析の正しさを支持する結果が得られたことから，回路解析は正しいと考えられ，設定したスパン内を 0.1% 精度で測定できるものと結論できる。

以上の回路は，それぞれ特徴的なインターフェイスであるが，いずれも，簡単な構成でありながら，高速に高精度レシオメトリック信号処理を実現した。いずれも，実用に十分に値する特性を持つとともに，IC 化にも適した構造であることから，インターフェイス回路に十分に実用化が期待できる。

これらは差動容量型トランスデューサの用途をより広げるものである。例えば，角度測定のためのロータリーエンコーダなどは，応用先の1つである。

参考文献

- [1] 鄭元燮，“抗型及び容量型センサ用信号処理回路に関する研究，” 静岡大学博士論文，1986
- [2] L. D. Jones, and A. F. Chin, *Electronic Instruments and Measurements*, Englewood Cliffs, NJ : Prentice Hall, 1991
- [3] 山崎弘郎，*センサ工学の基礎* 昭晃堂，1985
- [4] L. K. Baxter, *Capacitive Sensors*, New York : IEEE PRESS, 1997
- [5] G. van der Horn, and J. H. Huijsing, *Integrated Smart Sensors Design and Calibration*, Boston : Kluwer Academic Publishers, 1998
- [6] J. H. Huijsing, and G. C. M. Meijer, *Smart Sensor Interface*, Boston : Kluwer Academic Publishers, 1997
- [7] 森泉豊栄，中本高道，*センサ工学* 昭晃堂，p.45-, 1997
- [8] M. Yamada, T. Takebayashi, S. Notoyama, and K. Watanabe, “A Switched-Capacitor Interface for Capacitive Pressure Sensors,” *IEEE Trans. Instrum. Meas.*, Vol. 41, pp. 81-86, Jan. 1992.

- [9] 三枝徳治 , 後藤茂 , “UNIA 電子式差圧伝送器 , ” *横河技報* , Vol. 22, pp. 23-29, March 1978.
- [10] K. Mochizuki, T. Masuda, and K. Watanabe, “An Interface Circuit for High-Accuracy Signal Processing of Differential-Capacitance Transducers,” *IEEE Trans. Instrum. Meas.*, Vol. 47, pp.823-827, Aug. 1998.
- [11] K. Watanabe, H. Sakai, S. Ogawa, K. Mochizuki, and T. Masuda, “High-Accuracy signal processing of differential pressure transducers,” *1996 IEEE International Workshop on ETIM'96, Italy*, pp. 111-118, June 10-11, 1996.
- [12] K. Watanabe, H. Sakai, S. Ogawa, K. Mochizuki, and T. Masuda, “High-Accuracy Signal Processing of Differential Pressure Transducers,” *IEEE I&M Newsletter*, No.135, pp.11-17, 1997.
- [13] A. J. Peyton, and V. Walsh, *Analog Electronics with Op Amps*, New York: Cambridge University Press, Chap. 11, 1993.
- [14] K. Hayatleh, F. J. Lidgey, and S. Porta, “Degradaton Mechanisms in Operational Amplifier Precision Rectifiers,” *IEEE Trans. on Circuits and Systems - I : Fundamental theory and applications*, Vol. 42, No.8, pp.479-485, Aug. 1995.

第5章 積分方式による差動容量型センサの信号処理回路

5.1. はじめに

この章でも、前の章と同様に差動容量型用のレシオメトリック信号処理を行うインターフェイス回路について提案する。ただし、前章では電流検知方式によるインターフェイス回路について論じたのに対して、この章では積分方式まで考慮した。この構成により、更に幅広い用途に応じることが可能になる。

積分回路を使って実現する最も簡単な容量センサのインターフェイスは、一定の電流を流した容量の両端に現れる電位差が閾値を越えるまでの時間測定をすることである。この方式は容量値を時間軸に変換するものである。時間軸に変換された情報はカウンタを使うことでデジタル値に簡単に変換できるため、デジタル回路とのインターフェイスとして優れた方式である。

一方、積分回路を信号処理回路に含めることによって電流検知回路だけでは実現し得ない信号処理回路も実現可能である。

この章では、センサを積分の容量として使用する回路を含むインターフェイスについて述べる。最初にデューティ比出力方式について報告する[1]。続いて、レシオメトリック動作の伝達関数を、状態変数法を用いて変換し、その数式より合成した回路についても報告する[2][3]。

なお、回路の動作確認に使用する擬似容量は前章の図4-2 で述べたものである。

5.2. デューティ比出力方式

この節では、弛張発振回路を基にした、2つの容量比をデューティ比として取り出す回路について述べる[1]。動作原理は、第4章の図4-4(b)のように2つの容量を時分割で切り替えながらレシオメトリック測定を行うものである。

提案する回路では、トランスデューサの2つの容量のうちいずれかが積分回路の積分容量として使われる。積分器と閾値電圧を比較した結果をフィードバックする事によって発振を持続する。このとき容量の切り替えは、2本のダイオードを利用して行っている。

1つの発振器を作るだけでインターフェイス回路として働くため、非常に簡単な構成で

ある。情報を時間領域で出力するため CPU との接続もたやすく，長い距離をケーブルでつなげる事も可能である。また，高速で高精度の測定が可能なが解析からも実験からも示された。

以下に，インターフェイスの構成と，レシオメトリック動作の実現，精度の評価，実験結果について述べる。

5.2.1. 回路構成

図5-1 に，レシオメトリック操作をするインターフェイスの回路図を示す。回路は，積分器と比較器を含み，積分器の出力は比較器に入力される。比較器の出力は積分器にフィードバックされ，弛張発振を維持している。

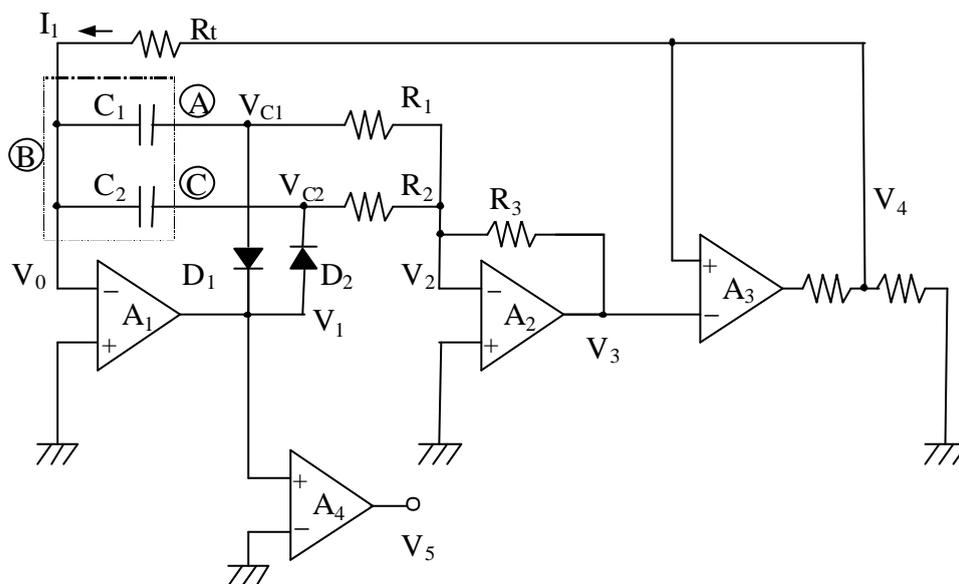


図5-1 容量比 / デューティー比変換回路
Fig. 5-1 Capacitance ratio to duty ratio converter.

差動容量トランスデューサの2つの容量 C_1 と C_2 のいずれか一方が積分器 A_1 の積分コンデンサとして使われる。容量の切り替えはダイオード D_1 と D_2 によって行われる。容量の切り替え時期は，積分器と比較器の出力 V_1 , V_4 の値によって決まり，自動的に行われる。

ここで，ダイオードが理想的なスイッチと仮定する。ダイオードは演算増幅器 A_1 のフィードバックループの中にあるため，この仮定は妥当である。また， $R_1 = R_2 = R_3$ も仮

定する。従って、演算増幅器 A_2 は重み -1 の加算器である。加算器といっても実際は、ダイオードは同時に一方だけが動作するため、動作している方の電圧の -1 倍を出力する。

インターフェイス回路の動作は、切り替えの条件により、4つの状態 T_i ($i=1, 2, 3, 4$) に分けられる。図5-2 と図5-3 に各状態での積分器の構成と、各部の波形を示す。

状態 T_1 は、比較器の出力が high ($V_4 = V_u$) で、演算増幅器 A_1 の出力が正の時とする。この時、図5-2(a) で示すように、容量 C_2 は抵抗 R_t を流れる電流によって図示の極性に充電されてゆく。この状態は、 A_1 の出力がゼロになり、 D_2 が電流を流さなくなるまで続けられる。 C_2 の初期電圧は V_d である。従って、 T_1 の時間は次式で与えられる。

$$T_1 = C_2 R_t V_d / V_u \quad (5.1)$$

状態 T_1 が終わると、状態 T_2 に移行する。図5-2(b) に示すように、 T_2 ではダイオード D_1 が順方向バイアスされ、積分器のコンデンサとして C_1 が使われる。この状態は、 A_1 の出力が、比較器の閾値電圧 $-V_u$ に達するまで続けられる。従って、 T_2 の時間は次式で与えられる。

$$T_2 = C_1 R_t \quad (5.2)$$

積分する電圧が比較器の閾値電圧と等しいため、 T_2 は電圧に左右されない。

A_1 の出力が閾値電圧に到達すると、比較器の出力は $-V_d$ に変化し、 T_3 の状態に移行する。この状態では、積分器のコンデンサとして C_1 が図5-2(c) に示すような極性で使わ

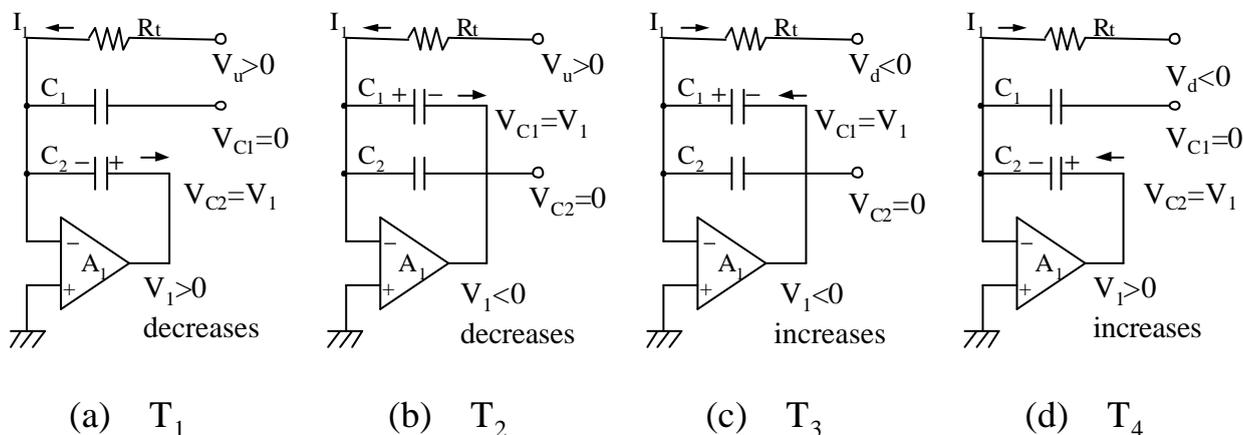


図5-2 各条件ごとの積分器の動作
Fig. 5-2 The integrator in each state.

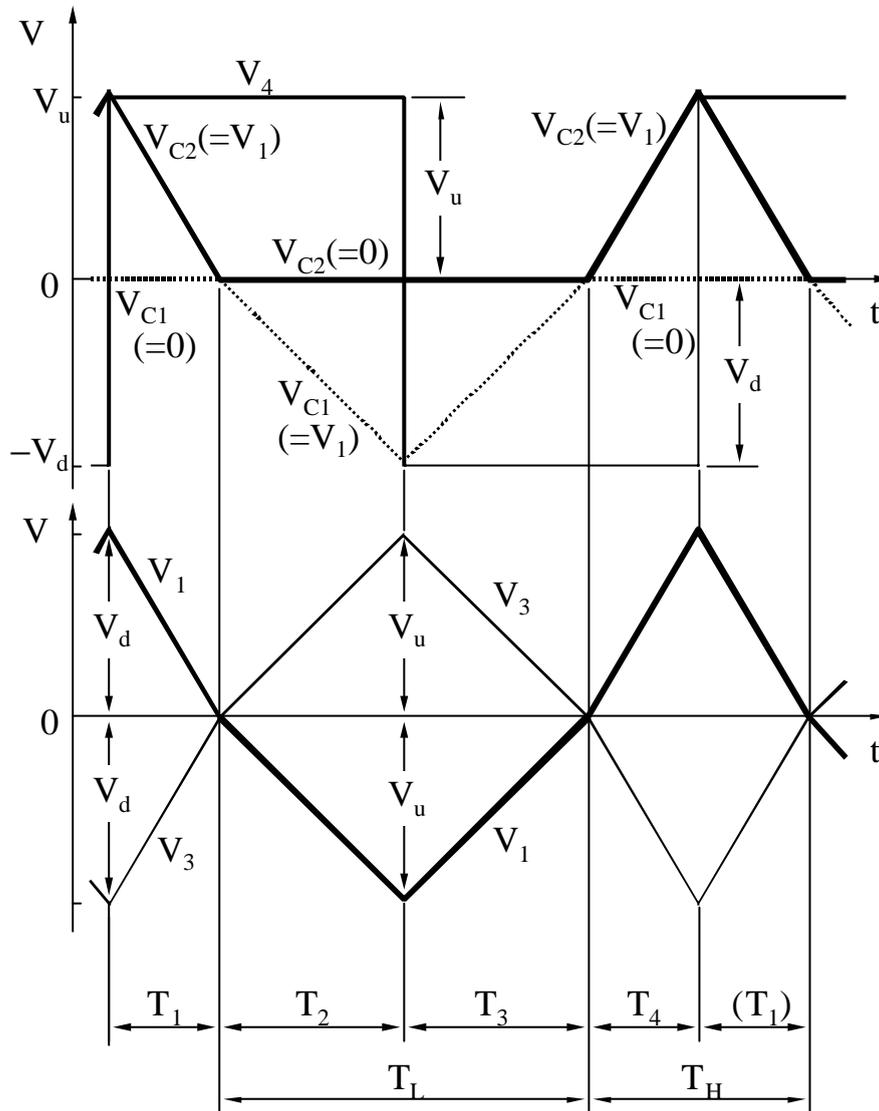


図5-3 積分器の電圧波形

Fig. 5-3 Waveforms observed in the interface.

れる。この状態は、 A_1 の出力がゼロになり、 D_1 が電流を流さなくなるまで続けられる。 T_3 の時間は次式で与えられる。

$$T_3 = C_1 R_t V_u / V_d \quad (5.3)$$

V_1 がゼロになると、 D_2 は順方向バイアスとなり、状態 T_4 に移行する。この状態では、積分器のコンデンサ C_2 は図5-2(d) に示される極性で充電される。この状態では A_1 は比較器の閾値電圧である V_d まで増加する。 T_4 の時間は次式で与えられる。

$$T_4 = C_2 R_t. \quad (5.4)$$

T_4 もまた、電圧に左右されない。

比較器 A_4 の役割は、インターフェイスの出力信号を作り出すために、三角波を方形波に変換することである。出力信号が High-level の期間を T_H と、Low-level の期間を T_L とおくならば、

$$T_H = T_1 + T_4 = C_2 R_t (V_d + V_u) / V_u, \quad (5.5)$$

$$T_L = T_2 + T_3 = C_1 R_t (V_d + V_u) / V_d \quad (5.6)$$

となる。従って、デューティー比 D は、

$$D \equiv \frac{T_H}{T_L + T_H} = \frac{C_2}{C_1 + C_2} (1 + e_v) \quad (5.7)$$

となる。ただし、 e_v は次式で与えられる。

$$e_v = \frac{C_1 \left(1 - \frac{V_u}{V_d}\right)}{C_1 \frac{V_u}{V_d} + C_2} \quad (5.8)$$

もしも $V_u = V_d$ ならば、 $e_v = 0$ となり、デューティー比は正確に容量比に一致する。出力信号が High または Low の時間を高い周波数のクロックを数えることによって、デューティー比は簡単に測定できる。測定は、出力波の1周期で完了する。従って、図5-1の回路は差動容量型トランスデューサの信号処理を高速に行える。出力信号を LPF に通せば、容量比に比例したアナログ信号を得ることも可能である。

5.2.2. 性能の検討

このインターフェイス回路の誤差の原因は、電圧の非平衡 V_u/V_d 、抵抗 R_1 と R_2 の不整合、演算増幅器 A_1 のバイアス電流 I_B 、演算増幅器や比較器の電圧オフセット V_{os} である。回路を図5-4の構成にすることにより、電圧の非平衡が出力に影響しないように改良できる。これは、式(5.2)と式(5.4)で与えられる T_2 と T_4 が電圧に左右されないことを利用したものである。この構成は、理論的な解析の難しいダイオードの切り替え時期を使わずに済むという利点もある。

図5-5 に、改良した回路の各部の電圧波形を示す。図中、 T_5 は比較器 A_3 と A_4 が共に High level の期間であり、 T_6 は A_3 と A_4 が共に Low level の期間である。 T_5 の状態は、積分器 A_1 は容量 C_1 に対して $\{(V_u - V_{os1}) / R_t - I_B\}$ という電流を流している。また、 T_5 の間に V_3 の電位は、 $(\alpha V_u - V_{os4})$ から $(V_u - V_{os3})$ へと変化することから、 T_5 の値は、

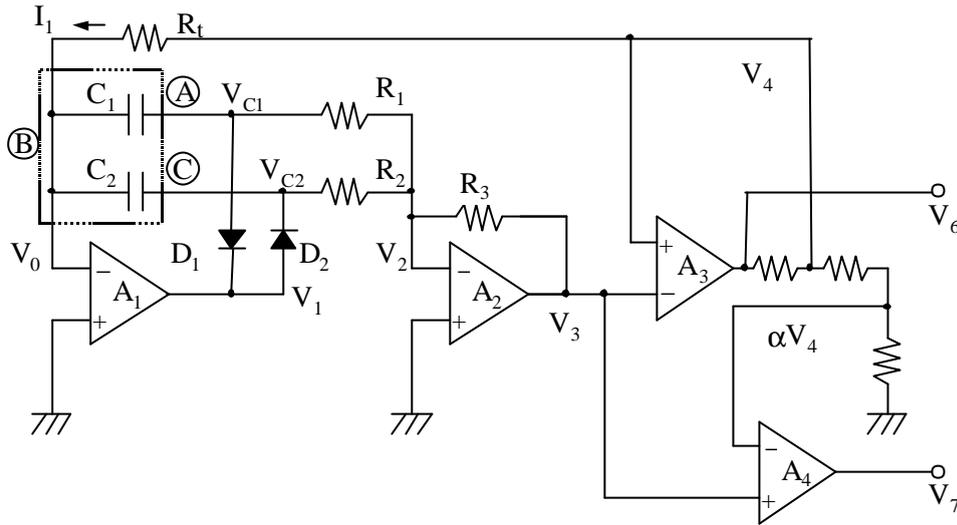


図5-4 改良したインターフェイス回路
Fig. 5-4 An improved circuit.

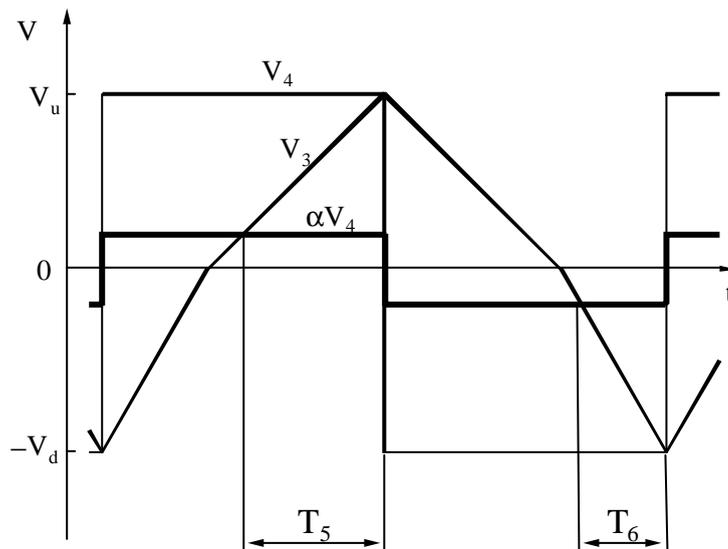


図5-5 改良したインターフェイス回路の各部の波形
Fig. 5-5 Waveforms observed in the improved circuit.

$$T_5 = \frac{C_1 R_1 R_t}{R_3} \cdot \frac{(1-a)V_u - V_{os3} + V_{os4}}{V_u - V_{os1} - R_t I_B} \quad (5.9)$$

で与えられる。一方， T_6 の状態では，積分器 A_1 の働きにより容量 C_2 には $\{(V_d + V_{os1})/R_t + I_B\}$ の電流が流れ， V_3 の電位は， $(-\alpha V_d - V_{os4})$ から $(-V_d - V_{os3})$ へと変化することから， T_6 の値は次式で与えられる。

$$T_6 = \frac{C_2 R_2 R_t}{R_3} \cdot \frac{(1-a)V_d + V_{os3} - V_{os4}}{V_d + V_{os1} + R_t I_B} \quad (5.10)$$

式 (5.9) と (5.10) から，容量比を 1 次のオーダの誤差まで考慮に入れて表わすならば，

$$\frac{T_5}{T_5 + T_6} = \frac{C_1}{C_1 + C_2} (1 + \varepsilon) \quad (5.11)$$

ただし，

$$\varepsilon = \frac{C_2}{C_1 + C_2} \varepsilon_R + \frac{2C_2}{C_1 + C_2} \left\{ \frac{R_t I_B}{V_u} + \frac{V_{os1}}{V_u} - \frac{V_{os3} - V_{os4}}{(1-a)V_u} \right\}, \quad (5.12)$$

$$\varepsilon_R = \frac{R_1 - R_2}{R_1} \quad (5.13)$$

である。

式(5.12) の初項は抵抗のミスマッチによる誤差であり，第 2 項はオフセット電圧による誤差を表わす。平均的な条件である $V_d = V_u = 10$ V， $R_1 \cong R_2 \cong R_3 = 1$ k Ω ， $R_t = 125$ M Ω ， $C_0 = C_1 + C_2 = 2$ pF， $\alpha = 0.1$ のとき，各々の誤差要因に起因する誤差を x が -0.5 から 0.5 までの範囲にわたって評価した。その結果を表5-1 に示す。簡単なインターフェイスで，0.1% よりも高い精度の測定が出来ることを示している。

表5-1 見積もられる誤差

Table 5-1 Estimated errors.

誤差原因	e_{\max}
$e_R = 1 \times 10^{-3}$	0.75×10^{-3}
$I_B = 15$ pA	0.28×10^{-3}
$V_{os} = 0.8$ mV	0.15×10^{-3}

5.2.3. 試作回路による実験と性能評価

市販の演算増幅器 (LF411) を使い, 図5-1 の回路を試作し, 性能評価を行った。デューティ比測定のために 30 MHz のクロックを用いた。

評価する際には, 共通電極を持つ2つの平行平板コンデンサ型の擬似トランスデューサを使った(図4-2)。外側にある2つの固定電極の内側で, x につれて可動電極が法線方向に移動するため, 容量値 C_1 と C_2 は $C_0/(1 \pm x)$ で与えられ, 測定値 x は, レシオメトリック信号処理 $x = (C_1 - C_2)/(C_1 + C_2)$ によって計算できる。総容量 C_0 は 3pF 又は 6pF とした。

図5-6 に $C_0 = 6\text{pF}$ での標準的な測定結果を示す。縦軸のデューティ比 r と x は, $x=2r-1$ の関係である。変位はマイクロメータにて 10 μm 精度で調整された。インターフェイスの発振周波数は, R_f を調整することによって $C_1 = C_2$ の時に 0.5 kHz とした。そのとき, T_L も T_H も約 31000 カウントである。分解能を評価するため, 標準偏差を求めた。容量値を 1000 回サンプリングした時の1サンプリングあたりの標準偏差は, T_L

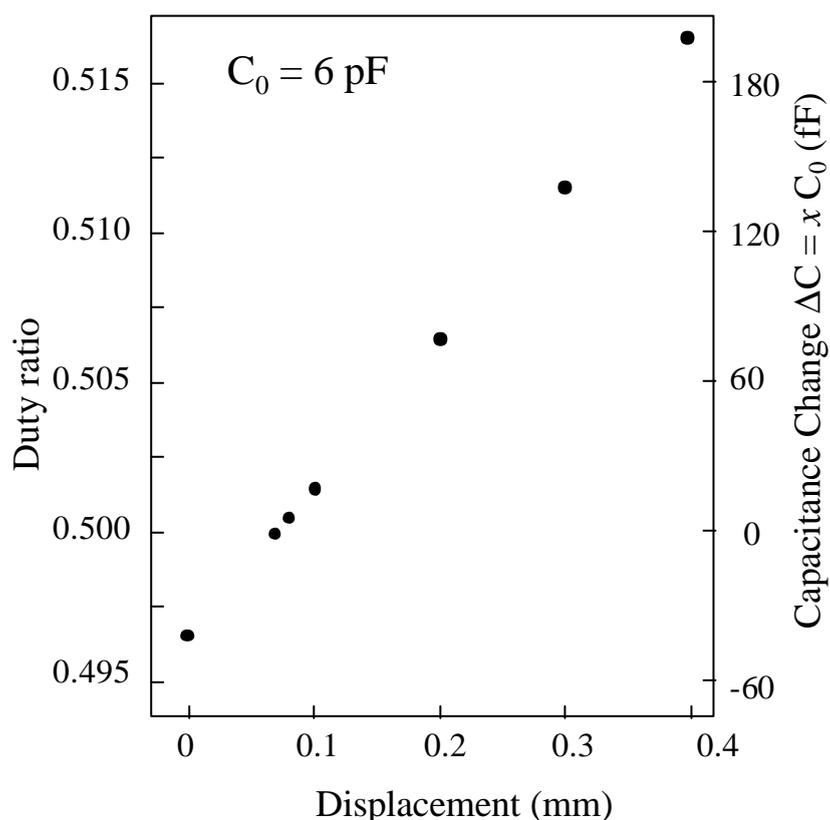


図5-6 変位に対する容量とデューティ比変化

Fig. 5-6 Experimentally measured capacitance change and duty ratio.

と T_H のいずれも 1.8 カウントであり、デューティ比は 0.000026, x は 0.000052, ΔC は 0.16 fF である。これは, x の変域を全領域 (-1 から 1) とすれば, フルスケールに対して 0.0026 % となる。

一方, 精度については, 変位を 10 μ m だけ変化させる毎に, x の推定値も変化することから短い距離に関しては十分である。長いスパンに対する精度は, 理論計算で表5-1 で示す 0.1 % 以上であると結論できる。

容量比を出力信号のデューティ比で取り出すという, レシオメトリック信号処理インターフェイス回路を開発した。積分のコンデンサとしてセンサの 2 つの容量を時分割で切替えるため, 簡単な調整だけで高精度測定が可能であった。時間領域の出力のため, CPU との接続も容易で, 高速な測定が可能である。

必要とする分解能 n だけカウントするようにし, カウントする周波数を高速化すれば, サンプルング速度を上げることが出来る。例えば 0.1 % 精度で良いならば, カウンタを $T_L \approx T_H \approx 1000$ とし, 試作回路と同じ 30 MHz のカウント周波数を使えば, 7 ksp/s (samples per second) 以上のサンプルング速度が実現できる。

この技術は簡単な構成でありながら十分な性能を持ち, ワンチップ化や実用化が期待される。

5.3. 状態変数により合成した信号処理回路

前節までは, レシオメトリック信号処理は, デジタル回路による演算やフィードバックの利用により実現した。デジタル回路内でも信号処理をする場合, 容量値の取り込みが 2 回になり, デジタル回路内の演算も入るため, 処理速度は数 ksp/s であった。また, フィードバックを伴う回路では, トランスデューサに直接接続した信号処理回路とは別に, フィードバックを外装するため, システム全体が複雑である。

この節では, アナログ回路によってレシオメトリック信号処理の伝達関数を一括して実現する回路について述べる[2],[3]。シンプルな構成のため, 高速な信号処理が可能である。回路の合成は, レシオメトリック動作の伝達関数を状態変数を使って変換し, アナログインターフェイス回路に必要な要素を求め, 組み合わせることによって行った。

以下の節で, 回路合成, 精度の評価, 試作インターフェイスの性能について述べる。

5.3.1. 回路構成

差動容量型トランスデューサの容量と物理量を表す式(4.3)を，電気的な変数を導入して書き直すならば，は次式のように表わされる。

$$V_o = \frac{sC_1R - sC_2R}{sC_1R + sC_2R} V_s \quad (5.14)$$

ここで， V_o と V_s それぞれはインターフェイス回路の出力電圧と励起電圧であり，複素周波数 s は連続時間領域におけるレシオメトリック処理のために導入した。式(5.14) を状態変数型の式にあてはめれば次式のようなになる。

$$V_o = V_s - \frac{1}{sC_1R} \cdot sC_2R (V_o + V_s) \quad (5.15)$$

この式をブロック図に単純に置き換えたのが図5-7 である。演算増幅器回路で実現するにはこのブロック図は最適である。

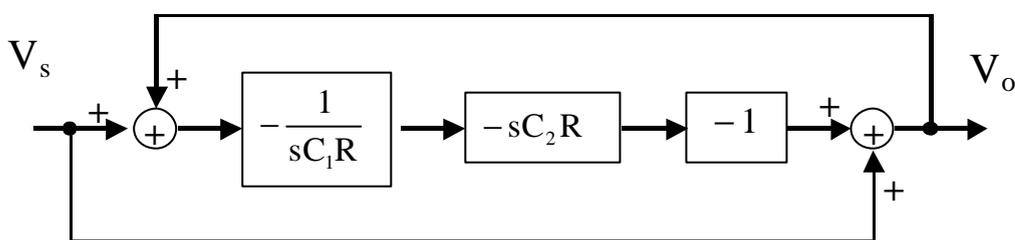


図5-7 合成されたインターフェイスのブロック図
Fig. 5-7 A block diagram of the synthesized interface.

図5-7 のそれぞれのブロックを，演算増幅器を使った積分器，微分器，反転増幅器によって置き換えることにより，インターフェイス回路を合成することが出来る。合成されたインターフェイス回路を図5-8 に示す。図5-7 の初段の加算器と2段目の $-1/sC_1R$ は，図5-8 の R_1, R_3, A_2 によって，同じく $-sC_2R$ は A_3 によって，同じく -1 は， A_4 によって実現した。出力段の加算回路は，構成を単純にするために前述した回路に組み込んだ。即ち， A_3 による微分回路の部分を反転入力に加算回路としても利用し， A_4 による反転増幅回路とあわせて，加算回路として働かせた。外部回路から励起信号を導入する代わりに，比較器 A_1 を付け足し積分器 A_2 と組み合わせて弛張発振回路を作ることによって回

路内から励起信号を供給できるようにした。これにより、新たな検出回路を加えること無しに u_2 が電源電圧に飽和することを防いだ。これらの単純な回路に加え、この方式ではトランスデューサの容量が演算増幅器の出力部または仮想接地点に接続されるため、レシオメトリック処理に対して寄生容量の影響が最小となる特徴がある。

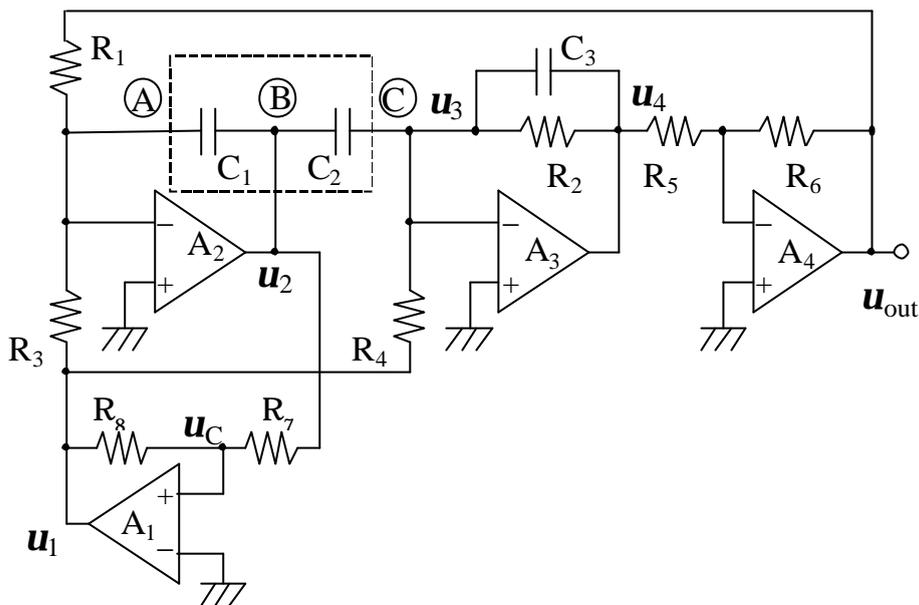


図5-8 インターフェイス回路の回路図
Fig. 5-8 The interface circuit.

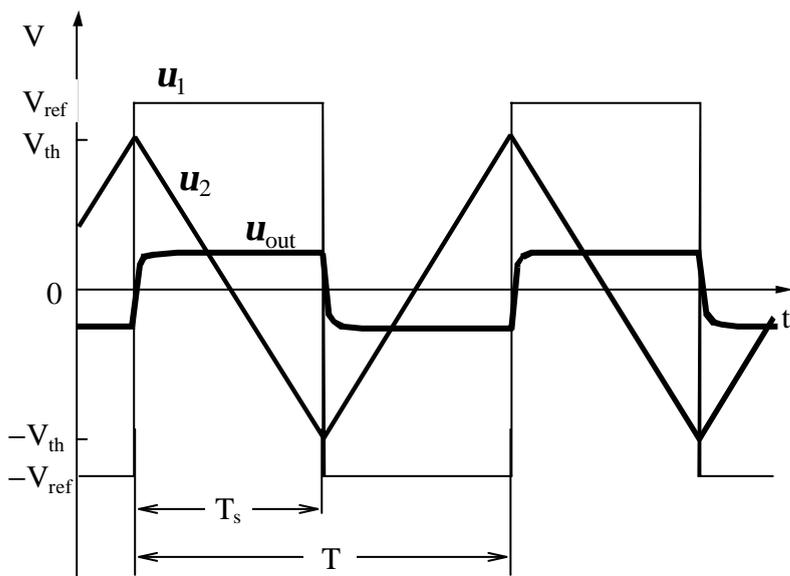


図5-9 各部の波形
Fig. 5-9 Waveforms in the interface.

回路動作を考察する。先ずここでは、比較器の出力 u_1 が $+V_{ref}$ になっているものと仮定する。これは u_c が正の値の場合である。もしも u_c が負であれば u_1 は $-V_{ref}$ となる。

$$u_1(t) = V_{ref} \operatorname{sgn}[u_c(t)] , \quad (5.16)$$

$$u_c(t) = \frac{R_7}{R_7 + R_8} u_1(t) + \frac{R_8}{R_7 + R_8} u_2(t) \quad (5.17)$$

従って、図5-9 の電圧波形にも示すように、積分器 A_2 の出力電圧 $u_2(t)$ は三角波となり、微分回路を通る電流は方形波になると考えられる。微分回路は不安定であるから、出力が方形波にならずに発振してしまう可能性がある。これを抑えるために、小さな容量の C_3 を R_2 に並列に挿入している。

ここで、演算増幅器が理想特性であり C_3 が無視できるとすれば、出力電圧 u_{out} は次のように導出できる。

$$u_{out} = \frac{C_1 \frac{R_2}{R_4} - C_2 \frac{R_2}{R_3}}{C_1 \frac{R_5}{R_6} + C_2 \frac{R_2}{R_1}} V_{ref} \operatorname{sgn}[u_c(t)] \quad (5.18)$$

もしも $R_3 = R_4$ であり $R_1 R_5 = R_2 R_6$ 、ならば式(5.18) は次式のように簡略化できる。

$$u_{out} = V_o \operatorname{sgn}[u_c(t)] \quad (5.19)$$

ここで、 V_o は、

$$V_o = \frac{R_1}{R_3} \frac{C_1 - C_2}{C_1 + C_2} V_{ref} = k \times V_{ref} \quad (5.20)$$

式(5.20)から、図5-8 の回路がレシオメトリック動作をすることが確認できる。動作に必要な時間 T_s は、発振の半周期であり、次式で表わされる。

$$T_s = T/2 = \frac{(C_1 + C_2) R_3 R_7}{R_8} \quad (5.21)$$

なお、発振の周期はセンサの全容量によって決まる。

5.3.2. 性能の検討

レシオメトリック信号処理に影響する誤差原因は、抵抗の不整合と演算増幅器の理想特

性からのずれである。この節では、それぞれの影響を評価する。

δ_{ij} を抵抗 R_i と R_j との不整合とする。

$$\frac{R_i}{R_j} = 1 + \delta_{ij} \quad (i, j = 1, 2, \dots, 6) \quad (5.22)$$

式(5.22) を式(5.18) に代入することにより、1次近似では、

$$V_o = k(1 + \varepsilon_s + \varepsilon_n) x V_{ref} + \Delta V_R \quad (5.23)$$

と表わされる。ここで、

$$\varepsilon_s = \frac{d_{1,2} + d_{3,4} + d_{5,6}}{2}, \quad (5.24)$$

$$\varepsilon_n = \frac{d_{1,2} + d_{5,6}}{2}, \quad (5.25)$$

$$\Delta V_R = \frac{d_{3,4} k V_{ref}}{2} \quad (5.26)$$

であり、それぞれ抵抗の不整合によるスケール、非線型、オフセット誤差である。

演算増幅器の非理想特性は有限利得とオフセット電圧である。演算増幅器 A_i の有限利得は次のように表わされる。

$$A_i(s) = \frac{A_i \omega_i}{s + \omega_i} \quad (i = 2, 3, 4) \quad (5.27)$$

ここで A_i はDC利得、 ω_i は最初の極、 $A_i \omega_i$ は利得 - 帯域幅積(GB積)である。この特性を用いて、積分器 A_2 のステップ入力 $V_0 u(t)$ と $V_{ref} u(t)$ に対する応答を次式のように求めることができる。

$$\mathbf{u}_2(t) = -\frac{V_0 + V_{ref}}{C_1 R} \left\{ \frac{1}{1 + \frac{2}{A_2 \omega_2 C_1 R}} t - \frac{A_2 \omega_2}{\left(A_2 \omega_2 + \frac{1}{C_1 R} \right)^2} \left(1 - e^{-\left(A_2 \omega_2 + \frac{1}{C_1 R} \right) t} \right) \right\} \quad (5.28)$$

式(5.28)の導出に際し、 $R_1 = R_3$ を仮定した。なお、簡単のためこれ以降の議論では $R_2 = R_4 = R_5 = R_6$ も仮定する。この式の第2項はオフセット電圧を表わすが、無視することが出来る。その理由は、オフセットは次段の微分器に対して影響しないことと、この項が安定してから出力電圧 \mathbf{u}_{out} をサンプリングするためである。微分器 A_3 の応答は、簡単

に導くことが出来る。

$$u_3(t) = -\frac{1}{1+2/A_3} \left\{ C_1 R \frac{d}{dt} u_2(t) + V_{\text{ref}} \right\} \left[1 - e^{-\frac{2+A_3 w_3 t}{2}} \right] \quad (5.29)$$

式(5.28) を , 式(5.29) に代入し ,

$$-V_3(s) = \left(1 + \frac{1}{A_4(s)} \right) V_{\text{out}}(s) \quad (5.30)$$

という関係式を使うならば , 定常状態での出力電圧の大きさを得ることが出来る。

$$\begin{aligned} V_o &= \lim_{t \rightarrow \infty} u_{\text{out}}(t) \\ &= \frac{x + \frac{2}{A_2 w_2 C_0 R}}{1 + \left(\frac{1}{A_3} + \frac{1}{A_4} \right) (1+x) + \frac{2}{A_2 w_2 C_0 R}} V_{\text{ref}} \\ &= (1 - \alpha_s - \alpha_n x) x V_{\text{ref}} + \Delta V_A \end{aligned} \quad (5.31)$$

ここで , $C_0 = C_1 + C_2$ はトランスデューサの総容量であり , 各パラメタは ,

$$\alpha_s = \frac{2}{A_2 w_2 C_0 R} + 2 \left(\frac{1}{A_3} + \frac{1}{A_4} \right), \quad (5.32)$$

$$\alpha_n = \frac{1}{A_3} + \frac{1}{A_4}, \quad (5.33)$$

$$\Delta V_A = \left(\frac{2}{A_2 w_2 C_0 R} - \left(\frac{1}{A_3} + \frac{1}{A_4} \right) \right) V_{\text{ref}} \quad (5.34)$$

であり , それぞれ演算増幅器の有限利得によるスケール , 非線型 , オフセット誤差である。

演算増幅器のオフセット電圧を考慮し , 定常状態における出力電圧を表わすならば ,

$$V_o = x V_{\text{ref}} + (1+x) (V_{\text{os4}} - V_{\text{os3}}) + (1-x) V_{\text{os2}} \quad (5.35)$$

と表わされる。ここで , V_{osi} ($i = 2, 3, 4$) は演算増幅器 A_i のオフセット電圧である。式(5.35) が表わすことは , 演算増幅器のオフセットにより出力電圧のスケールもオフセットも誤差をもつということである。その対策として , 図5-10 に示す回路を用いて半周期ごとの出力電圧 u_{out} を2つのサンプル&ホールド (S/H) 回路に取り込んでそれぞれの出力の電圧差を取り出すことにより , いずれの誤差も無くすることができる。

抵抗の不整合や演算増幅器の有限利得による誤差であるスケールとオフセット誤差は ,

微調整によって打ち消すことが出来る。従って、精度を上げるために最終的に問題になるのは、式(5.25) と式(5.33) で示した非線型誤差である。直流利得が 80 dB を超える演算増幅器は、簡単に入手できる。このことから、非線型誤差の主たる原因は抵抗の不整合によるものであり、もしも抵抗の誤差が 0.1% であれば非線型誤差も 0.1% である。

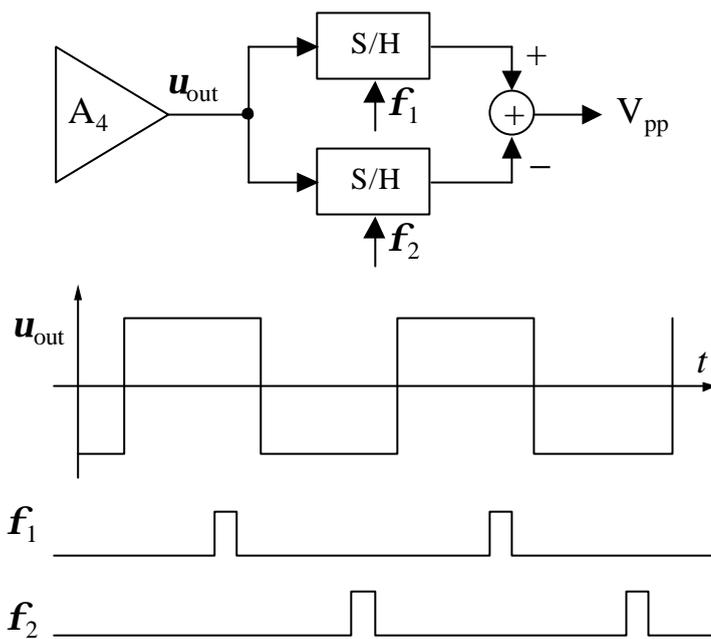


図5-10 出力回路の改良

Fig. 5-10 Bipolar sampling for offset cancellation. f_1 and f_2 are sampling pulses.

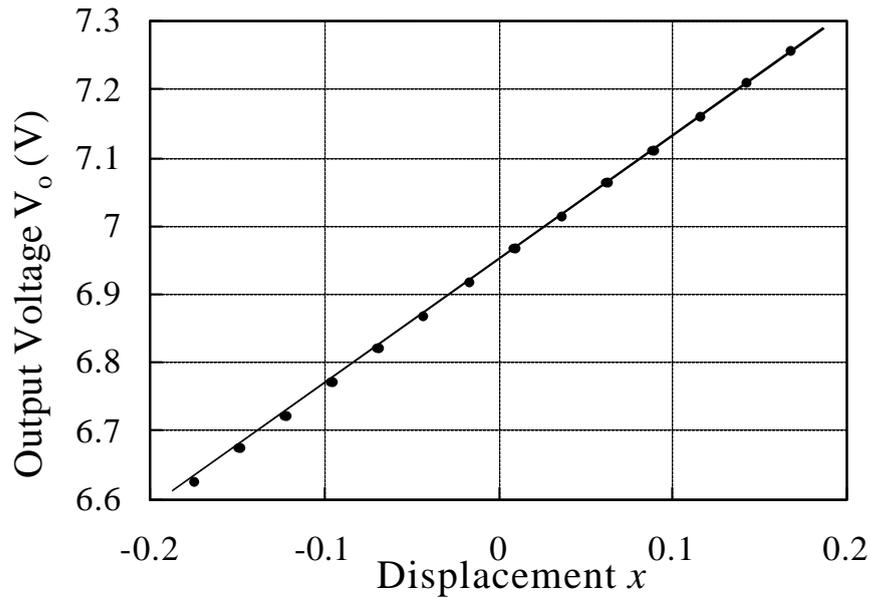
5.3.3. 試作回路による実験と性能評価

図5-8 の回路を、個別部品を使って試作した。使用した演算増幅器は、GB 積が 4 MHz の LF411 である。各パラメタの値は、 $R_1 = R_3 = R_4 = 3 \text{ M}\Omega$, $R_2 = 1.5 \text{ M}\Omega$, $R_5 = 5 \text{ k}\Omega$, $R_6 = 10 \text{ k}\Omega$, $R_7 = 10 \text{ k}\Omega$, $R_8 = 15 \text{ k}\Omega$, $C_3 = 3\text{pF}$, $V_{\text{ref}} = 5.4 \text{ V}$ である。性能を評価するために、差圧計をモデルとして作った平行板 3 枚から成るコンデンサを使用した(図4-2)。このコンデンサは、外側の電極 2 枚は固定され、内側の電極はマイクロメータによって上下に動ける。マイクロメータの行程は 20 mm であり、最低メモリは 10 mm である。総容量 C_0 は 4 pF である。また、回路の発振周波数は 20 kHz である。

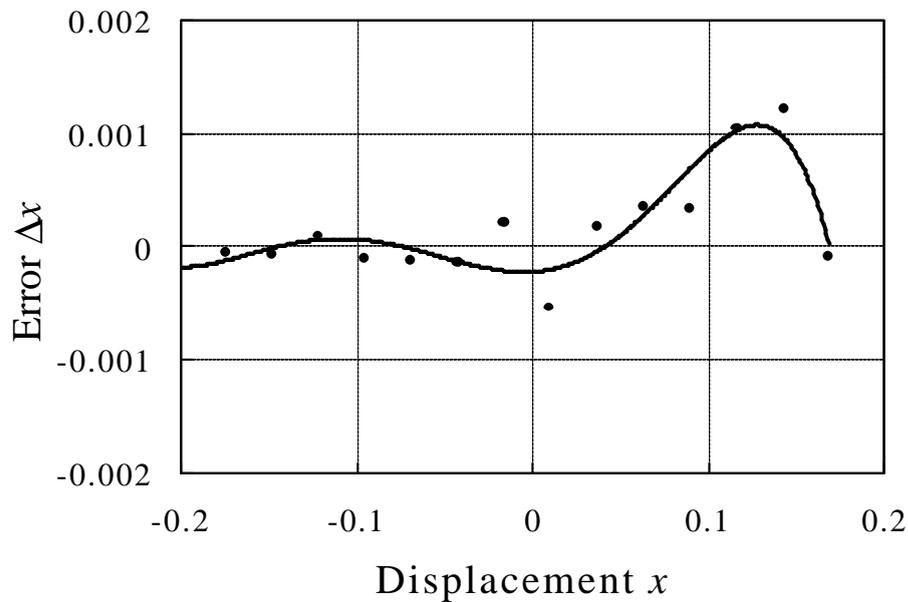
x が -0.01 から 0.01 まで変化する時、出力電圧が 58 mV 変化するように設定した実

験では、0.1 mV の桁には誤差が含まれていた。従って、 x の 0.0002 の変化を検出できる分解能を持つ。

図5-11(a) は、内側の電極位置と出力電圧の関係を示す。横軸 x は、中央部からの距離を全行程の半分で標準化したものである。なお、電圧は複数回の測定の平均値である。内



(a)



(b)

図5-11 変位 x によって変化する(a)出力電圧、(b) 出力電圧の理論値からの誤差
 Fig. 5-11 The unipolar-sampled output voltage of the interface vs. displacement (a),
 and the error (b).

側の電極と2つの外側の電極との間に生じる2つの容量は、 x に対して双曲的に変化するが、インターフェイス回路のレシオメトリック処理により出力電圧は x に比例する。

図5-11(b) は、マイクロメータから読み取った x と出力電圧から読み取った x の間の誤差を縦軸としたものである。この領域内は 1×10^{-3} 精度の測定が行われている。マイクロメータの分解能である $10 \text{ } \mu\text{m}$ は、 x が 0.001 変化することに対応するため、この図の誤差はマイクロメータの読み取り誤差によるもので回路はそれ以上の精度を持つと考えられる。

微分器を作る演算増幅器 A_3 に 10 mV のオフセット電位を導入したときの出力誤差を、図5-12 に示す。式(5.35) で示される出力電圧 V_o は、実験結果でも変位 x に比例する誤差を持つが、引き算回路の出力 V_{pp} は演算増幅器の誤差に影響されない。

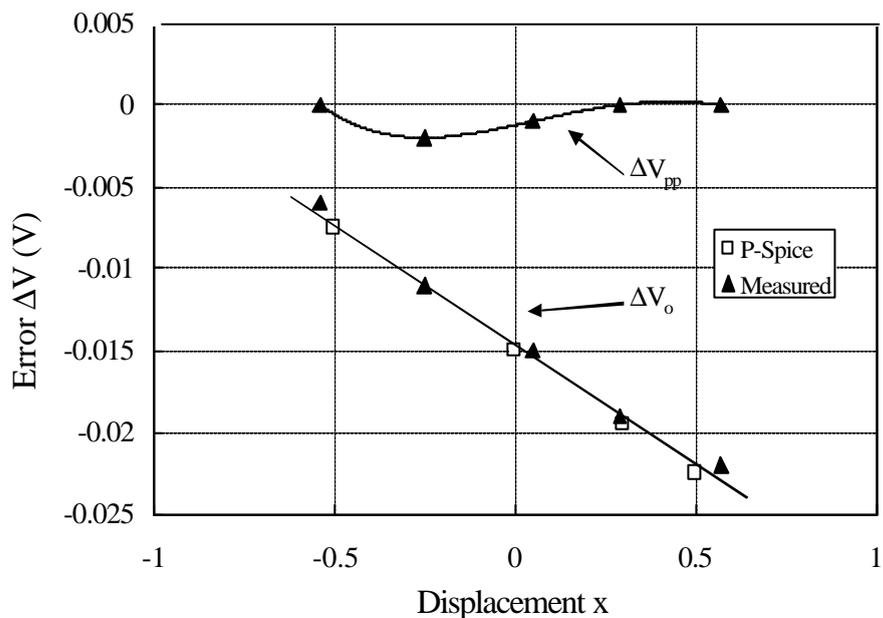


図5-12 op-amp A_3 にオフセット電圧を与えたときの出力電圧の誤差
Fig. 5-12 Error in the output voltage due to the offset voltage applied to op-amp A_3 .

式(5.31) から式(5.33) で指摘したように、演算増幅器 A_2, A_3, A_4 の有限な GB 積も誤差の原因になる。この中で、 A_3 と A_4 による誤差は非常に小さい。 A_2 の GB 積は最も大きな誤差原因になるので、実験で評価した。図5-13 は、 A_2 として GB 積の異なる演算増幅器を使用したときの誤差を示す。その性質は、 x に比例する誤差成分であるスケール

誤差と、オフセット誤差が現れるということであり、非線型誤差は見られない。いずれの誤差にしても、図から読み取れるように GB 積の大きな演算増幅器の使用で大幅に減らすことが可能であるし、デジタル回路内で補正することもできる。

これらの実験結果は、このインターフェイスの動作と誤差の見積もりが適切であることを確認するものであり、このインターフェイス回路によって 0.1 % 精度が容易に達成できることを示す。

高い周波数まで使えることから、加速度計や、レーザービームスキャンをするモータースhaft用エンコーダに応用しても十分満足のいく能力をもつ回路であり、応用のための検討中である。

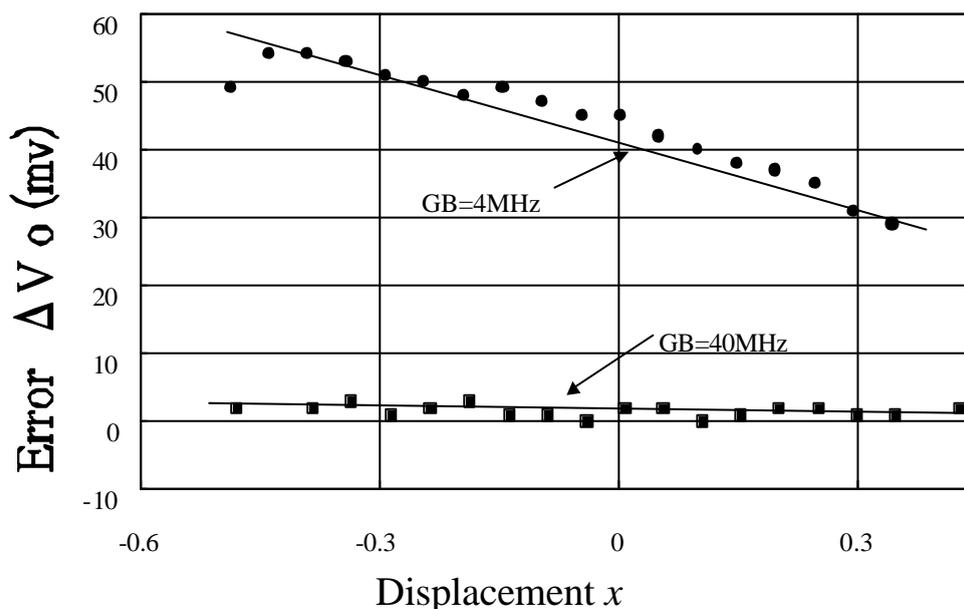


図5-13 演算増幅器 A_2 のGB積と、誤差の関係

Fig. 5-13 Error in the output voltage due to GB product of op-amp A_2 .

5.4. まとめ

差動容量型センサを積分容量として用いるインターフェイス回路を2つ開発し、評価した。

5.2節では、差動容量型センサの容量を積分容量として用い、容量を時分割で切替えなが

ら発振することにより，2つの容量比をデューティー比として出力する回路について述べた。容量の切替えはダイオードで実現した。実験から， $C_0=6\text{pF}$ のとき， ΔC 測定の分解能は $0.16\text{fF} = 2.6 \times 10^{-5}C_0$ である。理論計算より，ありふれた部品を使っても， $|\Delta C| < 0.5C_0$ の範囲に対して $0.5 \times 10^{-4}C_0$ の精度で測定できる回路を作れることを示した。

5.3節では，伝達関数の分析から求めた信号処理を，積分回路と微分回路を含んだアナログ信号処理回路によって実現し，電圧出力する回路について述べた。市販の部品で作った試作回路を， $C_0=4\text{pF}$ の擬似トランスデューサで評価した。発振周波数は 20 kHz とした。実験から， ΔC を $0.8\text{ fF} = 0.2 \times 10^{-3}C_0$ まで識別する分解能が確認できた。また，少なくとも $|\Delta C| < 0.2C_0$ のとき，マイクロメータの読み取り精度である $1. \times 10^{-3}C_0$ の精度を持つことが確認された。

いずれの回路も，簡単な構成でありながら，実用に十分なレシオメトリック信号処理を実現した。いずれも IC 化にも適した構造であることから，インターフェイス回路に十分に実用化が期待できる。これらの回路は，差動容量型センサの応用を更に広げるであろう。

参考文献

- [1] K. Mochizuki, K. Watanabe, T. Masuda, and M. Katsura, "A Relaxation-Oscillator-Based Interface for High-Accuracy Ratiometric Signal Processing of Differential-Capacitance Transducers," *IEEE Trans. Instrum. Meas.*, Vol. 47, pp.11-15, Feb. 1998.
- [2] K. Mochizuki, K. Watanabe, and T. Masuda, "A High-Accuracy High-Speed Signal Processing Circuit of Differential-Capacitance Transducers," *IEEE Trans. Instrum. Meas.*, Vol. 47, 1998, pp.1244-1247.
- [3] K. Mochizuki, and K. Watanabe, "A High-Accuracy Interface Circuit for Differential Capacitance Transducers," *ICEMI Proc.*, 1999, pp.441-446.

第6章 結論

センサを含む機器は化学プラントだけでなく自動車や家庭など我々の身近な所まで広がり、ますます多種多様にわたる高度なセンサ技術が要求されている。こうした計測制御系の性能向上には、センサが得た情報をコントローラに伝えるアナログインターフェイス回路技術の開発も欠かせない。

本論文は、汎用性を持つ抵抗型と差動容量型センサのための高精度アナログインターフェイス回路の研究をまとめたものである。提案したインターフェイスは表6-1 にまとめられている。

まず抵抗型センサのインターフェイス回路については、抵抗値を周波数に変換する新しい回路を提案した。

回路は、センサを一辺とするホイートストンブリッジ、積分器、ゼロ検出器を含んだ弛張発振回路であり、センサの抵抗変化分に比例した発振周波数の方形波を出力する。出力情報は周波数のため、後段への情報伝達は容易である。ブリッジの出力電圧は抵抗変化に対して非線型であるが、同じの非線型性を含む電圧を閾値電圧とすることにより線形な特性を得た。電圧比較器の遅れ時間についても、遅れ時間に対応する電圧と比較することで補償した。その結果、広い抵抗変化にわたって高い線形性が得られた。実験では、センサが 2.6 k Ω から 4.6 k Ω まで変化した時、1 Ω よりも高い精度で測定できた。これは、スパン 1.8 k Ω に対して 5×10^{-4} 以上の精度と言える。また、3.4 k Ω の抵抗を測定した時のばらつきは 0.1 Ω ぶんだったことから、分解能は 2×10^{-5} である。

発振周波数を 0 にするセンサの抵抗は、抵抗のバランス条件で自由に設定できるため、容量の変化に対する影響を最小限にした高精度の測定が可能である。

次に差動容量型センサのインターフェイス回路については、システムに必要な技術を分析し、必要な技術を明らかにした。

容量型センサで高精度測定を行うには、レシオメトリック信号処理が必須であり、2つの容量 C_1 と C_2 から成りそれらが物理量に対して相補的に変化する差動容量型センサによって実現できる。また、このセンサに適合する基礎的な回路技術を論じ、精度の向上のためには2つの容量測定に際して時分割で同一回路を

用いることを明らかにした。また，処理速度の向上には2つの容量を組み込んだ新しい回路が必要である。

続いて，具体的な構成として，先ず，電流検出/デジタル出力の新しい回路を提案した。

回路は，容量/電圧 (C/V) 変換回路，サンプル&ホールド (S/H) 回路，アナログ/デジタル (A/D) 変換器から成る。C/V 変換には容量を流れる電流を検知して電圧に変換する電流検出回路を用いた。回路動作は，先ず始めに C_1 に比例する電圧を求めて S/H 回路に記憶させ，続いて $C_0 = C_1 + C_2$ に比例する電圧を求め，最後に両電圧を使った A/D 変換によりレシオメトリック処理を実現する。C/V 変換回路は良好な線形性を必要とするが，時分割で共通に使われることから利得調整は不要である。回路解析から， $|\Delta C| < 0.5C_0$ では，C/V 回路の $\Delta C (= x C_0)$ 測定の精度は $0.5 \times 10^{-4}C_0$ 以内にできることが示されている。実験からも， $|\Delta C| < 0.25C_0$ のときの測定精度はマイクロメータの最小目盛りに対応する $1 \times 10^{-3}C_0$ である。分解能は， C_0 が 6pF のとき， ΔC 測定の標準偏差は1回の測定あたり $0.21 \text{ fF} = 3.5 \times 10^{-5}C_0$ である。2次以上の低域通過フィルタを用いることによって5 ksp/s 以上のサンプリングスピードも可能である。

次に，電流検出とフィードバックによる回路を提案した。

構成は正弦波発生回路，差動容量型トランスデューサ，電流/電圧変換回路，同期検波回路，振幅制御回路による。本研究で提案した電流/電圧変換回路は，入力は C_1 と C_2 それぞれを流れる電流であり，出力は入力之和 $C_0 = C_1 + C_2$ と差 $\Delta C = C_1 - C_2 (= x C_0)$ それぞれに比例した電圧である。正弦波発生回路にフィードバックをかけて和出力を一定に保てば，差出力には実時間でレシオメトリック信号に比例した電圧が出力される。回路を一体化したことから必要な抵抗マッチングはシンプルであり，回路調整が容易である。実験では， ΔC の分解能は $6. \times 10^{-5}C_0$ である。回路解析から相対誤差を低くする条件を求め，設定したスパン内を 0.1 % 精度で測定できることを示した。

続いて，積分回路を用いた容量比/デューティー比出力回路を提案した。

デューティー比出力は後段への情報伝達が容易である。回路の基本は積分器を含む弛張発振回路である。センサの二つの容量 C_1 と C_2 のうちいずれか一方が時分割で積分容量として使われる。容量の選択は積分電圧の正/負に応じて働く

2本のダイオードで行われる。もう一つ比較器を組み込めば、電源電圧の非平衡に影響されない調整が容易な構成になる。実験から、 ΔC 測定の分解能は $2.6 \times 10^{-5} C_0$ である。解析から、ありふれた部品を使っても、 $|\Delta C| < 0.5 C_0$ の範囲に対して $0.5 \times 10^{-4} C_0$ の精度で測定できる回路を作れることを示した。

最後に、伝達関数を分析し状態変数法によって回路を合成した。

回路は、センサの容量を含む積分器と、もう一方の容量を含む微分器を含んだ弛張発振回路であり、レシオメトリック信号は方形波出力の電圧振幅から得られる。この回路は電圧出力のため高速処理に適している。実験から、50 ms のサンプリング速度のとき、 $|\Delta C| < 0.2 C_0$ の範囲で、マイクロメータの最小目盛りである $1. \times 10^{-3} C_0$ 以上の精度を持つことが確認できた。このとき ΔC の分解能は $0.8 \text{ fF} = 0.2 \times 10^{-3} C_0$ だった。

差動容量型センサに関しては、応用範囲を広げるべく、複数の方式を提案したが、いずれの回路も特徴を持ち、用途に応じて選択できる。

以上の研究の特徴は、いずれも高精度の信号処理インターフェイスを実現したことである。回路内の信号処理によって後段の処理の負荷を軽減しながら高い精度を実現できた。今後の課題は、本研究で提案した回路を CMOS IC 化することである。本研究で得られた成果は直接あるいは間接に計測制御の分野で広く利用されるであろう。

表 5-1: 提案したインターフェイス
Table 5-1 Interfaces

節	センサ	出力	特別な部品を使わない回路の特性	その他
3.2	抵抗型 $\Delta R = R - R_0$	周波数	(実験) 2×10^{-5} の分解能 (実験) 5×10^{-4} の精度	
4.2	差動容量型 $x = \frac{C_1 - C_2}{C_1 + C_2}$	デジタル符号	(実験) $3.4 \times 10^{-5} C_0$ の標準偏差 (解析) C/V変換部は、 $5 \times 10^{-5} C_0$ の精度 ($ \Delta C < 0.5 C_0$) (実験) $10^{-3} C_0$ の精度 ($ \Delta C < 0.25 C_0$)	5 ksps 以上も可能
4.3		アナログ電圧	(実験) $6 \times 10^{-5} C_0$ の分解能 (解析) 0.1% の精度は、容易に実現	実時間で測定
5.2	特性欄は、 $\Delta C = C_1 - C_2$ の測定に関するもの	(方形波の) デューティー比	(実験) $2.6 \times 10^{-5} C_0$ の標準偏差 (解析) 0.1% の精度は、容易に実現	周波数 500Hz。5 ksps 以上も可能
5.3		アナログ電圧	(実験) $2 \times 10^{-4} C_0$ の分解能 (実験) $10^{-3} C_0$ の精度 ($ \Delta C < 0.2 C_0$)	50ms サンプリング。100 ksps 以上も可能

擬似容量の精度による

謝辞

本研究を進めるに当たり静岡大学電子工学研究所教授の渡邊健藏先生には終始御懇切なる御指導，御助言を賜りました。心から感謝いたします。また，本論文を御査読頂き，有益な御助言，御激励を賜った静岡大学電子工学研究所教授の杉浦敏文先生，静岡大学工学部教授の浅井秀樹先生，静岡大学電子工学研究所教授の川人祥二先生に厚く御礼申し上げます。

沼津工業高等専門学校電気電子工学科の浜屋進教授には，研究に取り掛かり，それを続けるために常に御激励を賜りました。心から感謝致します。

静岡大学電子工学研究所電子システム部門制御分野研究室の教職員の皆様，学生の皆様には様々な御指導，御助言を頂きました。心から感謝致します。

沼津工業高等専門学校の教職員の皆様に様々な御支援を賜りました。深く感謝いたします。特に，私がこの研究を行うためには，内地研究員として静岡大学に通う機会を頂いたこと，研究費を御便宜頂いたこと，学科内の仕事の分担を考慮して頂いたことは大いに役立ちました。

また，本論文をまとめるにあたって様々な形で御助力頂いた全ての皆様に心から感謝致します。今後は本研究を通じて得た知識，技術や，更なる研究によって，社会に貢献できるよう努力いたします。

最後に，研究することを後ろから支えてくれた妻の香里と娘の夏実に深く感謝します。

ありがとうございました。