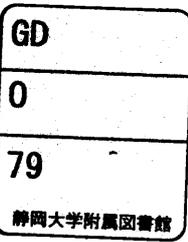


電子科学研究科

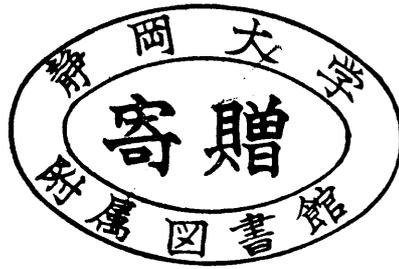


0002515716 R

静岡大学博士論文

高速光通信用
シリコン系光電子集積回路の
デバイス技術に関する研究

静岡大学図書



1997年5月

田代 勉

論文概要

情報化社会の進展により、映像、音声、各種データを組み合わせたマルチメディア情報の役割は、家庭生活においても重要な位置を占めている。そのため大容量伝送技術の代表である光通信は、通信ネットワークの基盤技術としてだけでなく、光インタコネクタやファイバチャネルへの適用など、新分野への応用が広く研究されている。これら新分野では、光通信端末の小型化、低消費電力化、低価格化、そして高信頼性化が必須である。このような要求に答えるためには、システム端末の受送信部を構成する集積回路部と光デバイス部の一体化、すなわち、シリコン系の光電子集積回路（OEIC）の実現が鍵である。

本論文は安価な高速光インタコネクタの受信側OEICを実現するための要素デバイス技術である、高速バイポーラトランジスタ技術と、シリコン・ゲルマニウム（SiGe）受光素子技術に関する研究成果をまとめたものである。

本研究に際し、要素デバイス技術については、下記の課題があった。

高速バイポーラトランジスタの課題は、（１）水平方向スケーリングに伴う、微細な絶縁分離領域形成の限界とエミッタプラグ効果発生、（２）垂直方向スケーリングに伴う、幅の狭いベース領域形成の限界とカーク効果対策としてのコレクタエピタキシャル領域薄膜化法の限界、（３）遮断周波数（ f_T ）と、「ベース抵抗とベース・コレクタ容量との積」の間のトレードオフ効果の顕在化による回路性能への悪影響であった。また、SiGe受光素子の課題は、（１）高性能トランジスタのプロセス技術との不整合、（２）メサ構造に起因するシリコンラインでのGe汚染の悪影響、（３）光ファイバ、特にSMF（単一モードファイバ）との結合の複雑さと高い実装コストであった。

高速バイポーラトランジスタの課題に対する解決策として、ベース形成法が異なる２タイプのトランジスタ技術が提案された。１つはベース領域がシリコン基板に固相拡散で形成されるシリコン自己整合トランジスタ技術で、他方はベース領域にSiGeエピタキシャル層を用いるSiGe自己整合トランジスタ技術である。

前者では、RTA (Rapid Thermal Anneal) 技術による固相拡散で、浅く急峻なベース拡散層を形成するBSA (Boro-Silicated-Glass Self Aligned) 技術、絶縁分離のストレスや寄生容量の少ないBPSG (Boro-Phospho Silicated Glass) 埋設トレンチ分離技術、カーク効果を抑える傾斜コレクタ分布、エミッタプラグ効果対策の埋め込みエミッタ構造、さらにトレードオフ効果対策としてベースリンク領域の最適化設計技術が提案された。これにより、 $f_T = 40 \text{ GHz}$ の高性能トランジスタが実現された (第2章)。

後者では、独自開発のSiGe選択エピタキシャル (SEG) 技術を使用した2種類のトランジスタ技術が提案された。これらは、中性ベース領域のGe濃度に傾斜を設け、電子に対して加速電界を発生させ高性能を実現するトランジスタである。第1のトランジスタでは、ベース領域の不純物分布を3つに分け設計し、かつGe分布を台形状に設計する事、貼り合わせSOI (Silicon On Insulator) 基板とBPSG埋設素子分離技術を組み合わせた低寄生容量の素子分離技術、燐を含むアモルファスシリコン膜の結晶化膜を用いたエミッタポリシリコン電極形成技術、トレードオフ効果対策のためのリンクベース領域の低抵抗化設計法が提案された。これにより、 f_T が 60 GHz の高性能トランジスタが実現された。また、第2のトランジスタは、前述のトランジスタのコスト・パフォーマンスを改善するため、配線の寄生容量の低減と絶縁分離工程数の削減を可能にしたCMP (Chemical Mechanical Polishing) 技術によるBPSG埋設任意幅素子分離技術、エミッタ・コレクタ間距離の縮小とエミッタ、コレクタ引き出し電極形成の工程数を削減したエミッタ、コレクタの引き出し電極共用化技術、高エネルギーイオン注入と高速昇温RTA法による埋め込みコレクタ領域の形成技術、さらにベース領域のボロンとGe分布の最適化設計技術が提案された。これにより、 f_T が 80 GHz の高性能化と、40%の工程削減が同時に達成された (第3章)。

一方、SiGe受光素子の課題に対する解決策として、前述の高性能トランジスタプロセス技術と整合し、シリコンチップ内に埋め込まれた、2タイプの受光素子技術が提案された。1つはSMF対応のSiGe/Si超格子導波路型受光素子技術であり、他はMMF (マルチモードファイバ) やPCF (プラスチッククラッド石英フ

ファイバ) 対応の並列光伝送用 SiGe 積層厚膜表面入射型受光素子技術である。

前者では、第3章で述べた超高速トランジスタプロセスに整合する、耐熱性の高い SiGe/Si 超格子構造の光吸収層を形成するため、SiGe/Si 選択エピタキシャル成長技術や、選択成長した光吸収層へ SMF の $10\ \mu\text{m}$ ϕ のコアから出た光を容易に、安定に、再現性よく結合させるためのファイバ溝形成技術、さらにエバネッセント結合の効果を高めて量子効率を向上させ、かつクロストークの影響を防ぐために、貼り合わせ SOI 基板を利用する技術が提案された。これにより、光インタコネクタで使用が検討されている $0.98\ \mu\text{m}$ 帯の光に対して、量子効率が 29%、 $-3\ \text{dB}$ バンド幅で $10.5\ \text{GHz}$ という高周波特性が達成された (第4章)。

後者では、第2章で述べた高速トランジスタプロセスに整合し、光吸収層に垂直入射する光に対し高い量子効率を得るための SiGe/Si 厚膜選択エピタキシャル成長技術や、貼り合わせ SOI 基板を利用した Vertical Cavity 構造による量子効率向上技術、さらに厚い SiGe 膜の選択成長で受光素子周辺部に発生するファセットへの対策としての選択成長層厚最適化設計手法が提案された。また、MMF からの $0.98\ \mu\text{m}$ 帯の入射光に対して、量子効率が 60%、 $-3\ \text{dB}$ バンド幅で $7.8\ \text{GHz}$ という高周波特性が達成された (第5章)。

本研究で得られた成果は、まだ改善の余地はあるが、光インタコネクタだけでなく、各種光通信用 OEIC を実現する上で実用性が高く、近い将来、光通信が各家庭に入る時には、安価で低消費電力の光通信向け受信用 OEIC を提供する有力な技術となるものである。

目 次

第 1 章 序論

1.1 研究の背景と意義.....	1
1.2 集積回路 (IC) 高速化のためのトランジスタ設計.....	5
1.2.1 ECL ¹⁾ 基本回路の高速化設計手法.....	5
1.2.2 IC の高速化に対するトランジスタ設計の課題.....	7
1.3 バイポーラトランジスタの高性能化.....	9
1.3.1 スケールダウンと高性能化.....	9
1.3.2 従来技術による高性能化の限界と課題.....	14
1.4 光電子集積回路 (OEIC ²⁾) と受光素子技術.....	15
1.4.1 OEIC の現状と受光素子への要求.....	15
1.4.2 シリコン・ゲルマニウム (SiGe) 受光素子技術の課題.....	18
1.5 本論文の目的と構成.....	21

第 2 章 高速シリコン自己整合トランジスタ技術：

A-BSA³⁾ トランジスタ技術

2.1 BSA プロセス技術の特徴.....	23
------------------------	----

2.2 A-BSA トランジスタの設計とプロセス技術.....	26
2.2.1 A-BSA トランジスタ構造と特徴.....	26
2.2.2 BPSG ⁴⁾ 埋設素子分離とプロセス技術.....	28
2.1.3 コレクタ設計とプロセス技術.....	33
2.1.4 ベース設計とプロセス技術.....	35
2.1.5 エミッタ設計とプロセス技術.....	37
2.2 A-BSA トランジスタの電気特性と回路特性.....	40
2.3 まとめ.....	44

第3章 超高速シリコン・ゲルマニウム自己整合トランジスタ技術： SSSB⁵⁾とA-SSSB⁶⁾トランジスタ技術

3.1 SiGe ヘテロ接合バイポーラトランジスタ(HBT ⁷⁾)技術.....	47
3.2 SiGe 選択エピタキシャル成長技術.....	50
3.2.1 UHV/CVD ⁸⁾ 装置と選択エピタキシャル成長技術.....	50
3.2.2 選択エピタキシャル成長技術による 自己整合トランジスタのベース形成.....	55
3.3 SSSB トランジスタの設計とプロセス技術.....	58
3.3.1 SSSB トランジスタの構造と特徴.....	58
3.3.2 SOI ⁹⁾ 基板使用の素子分離とプロセス技術.....	59
3.3.3 ベース・エミッタ設計とプロセス技術.....	61

第5章 シリコン・ゲルマニウム積層厚膜表面入射型受光素子技術

5.1 表面入射型 SiGe 受光素子の設計とプロセス技術.....	109
5.1.1 表面入射型 SiGe 受光素子の構造と特徴.....	109
5.1.2 SiGe/Si 厚膜エピタキシャル選択成長技術と光吸収層の設計.....	112
5.2 表面入射型 SiGe 受光素子の諸特性.....	115
5.3 まとめ.....	121

第6章 結論

6.1 本論文の成果のまとめ.....	123
6.2 残る課題と展望.....	126
6.2.1 トランジスタのより一層の高性能化.....	126
6.2.2 受光素子の量子効率改善（光吸収層の最適化設計）と 長波長帯（1.3 μm 帯）用の受光素子実現.....	127

(目次の略語の説明)

- 1) ECL : Emitter Coupled Logic
(トランジスタの線形領域で動作させる高速動作の集積回路)
- 2) OEIC : Opto-Electronic-Integrated-Circuit
(発光又は受光素子と機能回路を一体とした集積回路)
- 3) A-BSA : Advanced-BSG(Boro-Silicated-Glass)-Self-Aligned
(ボロンガラス膜を用いてベース領域形成と、エミッタ、ベース引き出し電極間の絶縁分離膜形成を自己整合的に行う方法)
- 4) BPSG : Boro-Phospho Silicated Glass
(ボロンと燐を含むガラス膜)
- 5) SSSB : Super Self-aligned Selectively grown SiGe Base
(SiGe 選択エピタキシャル成長技術で自己整合的にベース領域を形成する方法)
- 6) A-SSSB : Advanced-SSSB
((5) を改良した方法)
- 7) HBT : Heterojunction Bipolar Transistor
(ヘテロ接合バイポーラトランジスタ)
- 8) UHV/CVD : Ultra High Vacuum / Chemical Vapor Deposition
(超高真空気相成長法)
- 9) SOI : Silicon-On-Insulator
(薄膜の絶縁膜上に形成されたシリコン薄膜層：本研究で使用したものは絶縁膜とシリコン膜を貼り合わせた後、シリコン膜を研磨して薄膜化したもの)

参考文献.....129

謝辞.....139

本論文に関するの発表論文一覧.....140

第1章 序論

1.1 研究の背景と意義

社会活動の多様化と範囲の広がりにより、映像、音声さらには各種データを組み合わせ、いわゆるマルチメディア情報は、近年、その情報量が急速に増加している。それに伴い光通信に代表される大容量伝送技術は、通信ネットワークの基盤技術として必要不可欠のものとなっている。また、VOD (Video-On-Demand)、CATVなどのLAN (Local-Area-Network) やコンピュータのネットワーク化に有効であるファイバチャネル、さらには光インタコネクトのような幹線系以外の各種光通信システムにおいても、Gb/s以上の大容量伝送技術が必要となってきている。ところで、このような幹線系以外の、いわゆる加入者系の光通信システムは、高速化だけでなく、低価格化、低消費電力化や小型化も同時に要求してきていて、この光通信システムの要求に答えるためには、ネットワークの受送信部を構成する電気回路部と光デバイス部の一体化が鍵であり、特に低価格のシリコン系光電子集積回路 (OEIC (Opto-Electronic-Integrated-Circuit)) の実現が必須である。本論文は、このようなGb/s以上の高速動作 (伝送速度) が要求されるネットワークの受信側で使用される、シリコン系OEICのデバイス技術について研究した成果について論じるものである。

最初に光通信技術の進歩について簡単にふれる。光ファイバの低損失化と半導体レーザーの長寿命化により、1970年代に光伝送技術は大きく進み、1980年頃から幹線系において商用機の導入が始まった。図1.1に幹線系光伝送システムの開発年度と伝送容量の関係を示す。1981年に32Mb/sのシステム導入から始まり、単一モード光ファイバ (Single-Mode-Fiber : SMF) や長波長帯光デバイスの進歩により1.6Gb/sのシステムが1980年代半ばに開発された。また、さらに高速デジタル技術の発達と、この分野における156Mb/sを基本

インターフェイスとした世界標準化によりATM (Asynchronous Transfer Mode) 交換技術を用いたBB-ISDN (Broad-Band Integrated Services Digital Network) の建設が各国で押し進められつつある。これに伴い光通信における幹線系の伝送量は商用機で2.4Gb/sとなり、さらに、高速の10Gb/sのシステムの開発もすでに終了している。これら高速で動作するシステムにはそのIC部にシリコンバイポーラトランジスタが用いられていて、シリコンバイポーラトランジスタの進歩がこれら高速システムの実用化に大きく貢献してきたと言える。

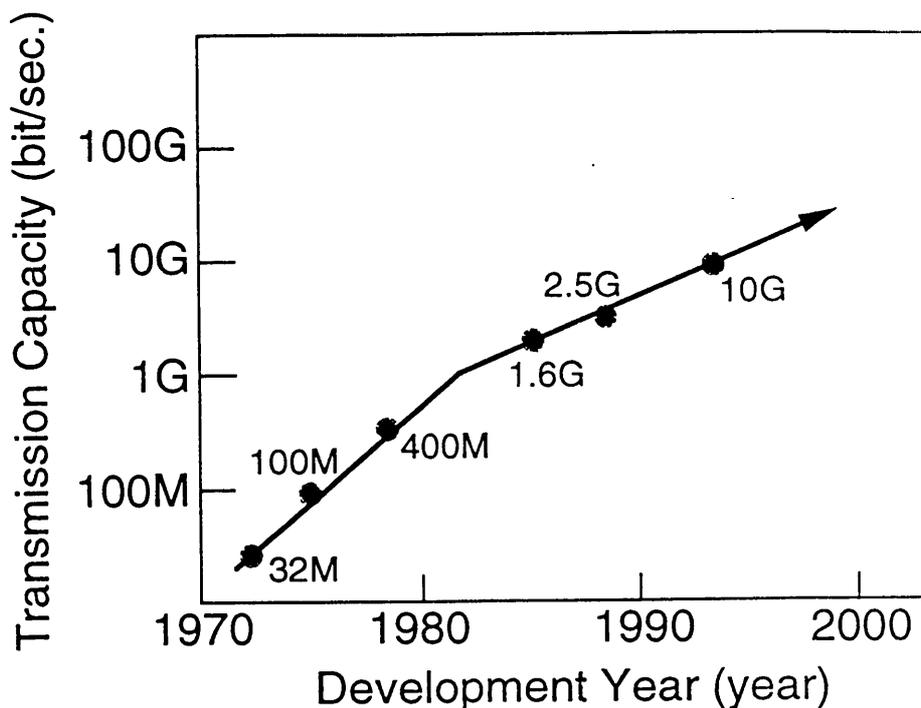


図1. 1 幹線系光伝送システムの開発年度と伝送容量の関係

一方、コンピュータ技術の急速な発達によりコンピュータ間のネットワークあるいはコンピュータ内部のプロセッサ間などにもGb/s以上で動作する光通信システムが要求されるようになってきている。前者の代表例は単一モード光ファイバ (SMF) を使用する高速シリアルインタフェースとしてのファイバチャネル技術であり、後者は主としてマルチモード光ファイバ (Multi-Mode-Fiber : MMF) を使用する並列データ伝送技術である光インタコネクトである。これらのシステムでは、最先端の幹線系並の高速動作は要求されないが、前述したように、システムの低価格化、低消費電力化や小型化が必要とされる。このような要求を満足するには、幹線

系に使用される超高速シリコンバイポーラトランジスタを使用し、低消費電力化された電気回路部の集積化（IC化）が必須であり、さらにO/E（光信号を電気信号に変換する）部やE/O（電気信号を光信号に変換する）部と前述のIC部との集積化、すなわちOEIC化がシステムの小型化、信頼性の向上にとって極めて重要である。

本研究の背景をよりよく理解するために、光通信システムで使用されているデバイス技術について説明する。図1. 2に幹線系の1.55 μm 帯光送受信器を機能別に分離した構成例を示す。図ではIC部（信号処理を主に行う）と光デバイス部（E/O、O/Eを行う）を分けて表示してある。特に本研究に関係する受信側について言えば、高速IC部は、アナログ機能の前増幅、等化増幅、タイミング抽出、タイミング増幅、識別回路とデジタル機能の分離回路に分けられ、また、光デバイス部は受光素子からなる。光増幅器にはエルビウムドープファイバが用いられる。高速IC部には、現在、シリコンバイポーラトランジスタが広く用いられているが、システムの初期の段階での性能検討時には化合物系のトランジスタを用いて開発が始められた。しかし、量産時には信頼性が高く、低価格のシリコンバイポーラ技術が用いられており、光通信システムの高速度化、大容量化はシリコンバイポーラ技術に大きく依存し、さらなる高性能化が期待されている。また、光デバイス部は使用される光波長の関係から化合物デバイスが用いられている。受光素子は、pin構造のGaInAs/InPで光吸収層の微細化により20GHz以上の帯域を持つものが開発されている[1]。受光素子においては実装にともなう寄生リアクタンス（クロストーク効果）が高速動作で問題となり、その影響を低減するためフリップチップ実装技術が使用され始めている。

一方、幹線系以外で用いられる光通信システムにおいては、光増幅器は価格が高く、またシステムも大きくなる、などの点から用いられていない。このため使用される光波長も1.3 μm かそれ以下である。前述したファイバチャネルにおいてはGb/s以上のデータ通信は1.3 μm 帯の利用や、また、光インタコネクタでは0.8~1.3 μm 帯の利用が検討されている。使用される環境を考えると、この分野での光通信システムには、より一層の小型化、低価格化、低消費電力化、さら

に耐環境性（温度変化、衝撃など）の向上が要求される。IC部は幹線系にも対応可能な高性能シリコンバイポーラトランジスタ技術を利用し、集積化することにより比較的容易に小型化、低価格化、低消費電力化、信頼性の向上が達成できる。しかし、光デバイス部は実装におけるコスト低減、信頼性向上が重要な課題となる。このため、光デバイス（受光素子）をシリコンチップへ低コストで、IC部の製造を制限せずに、簡単に内蔵する技術が要求される。

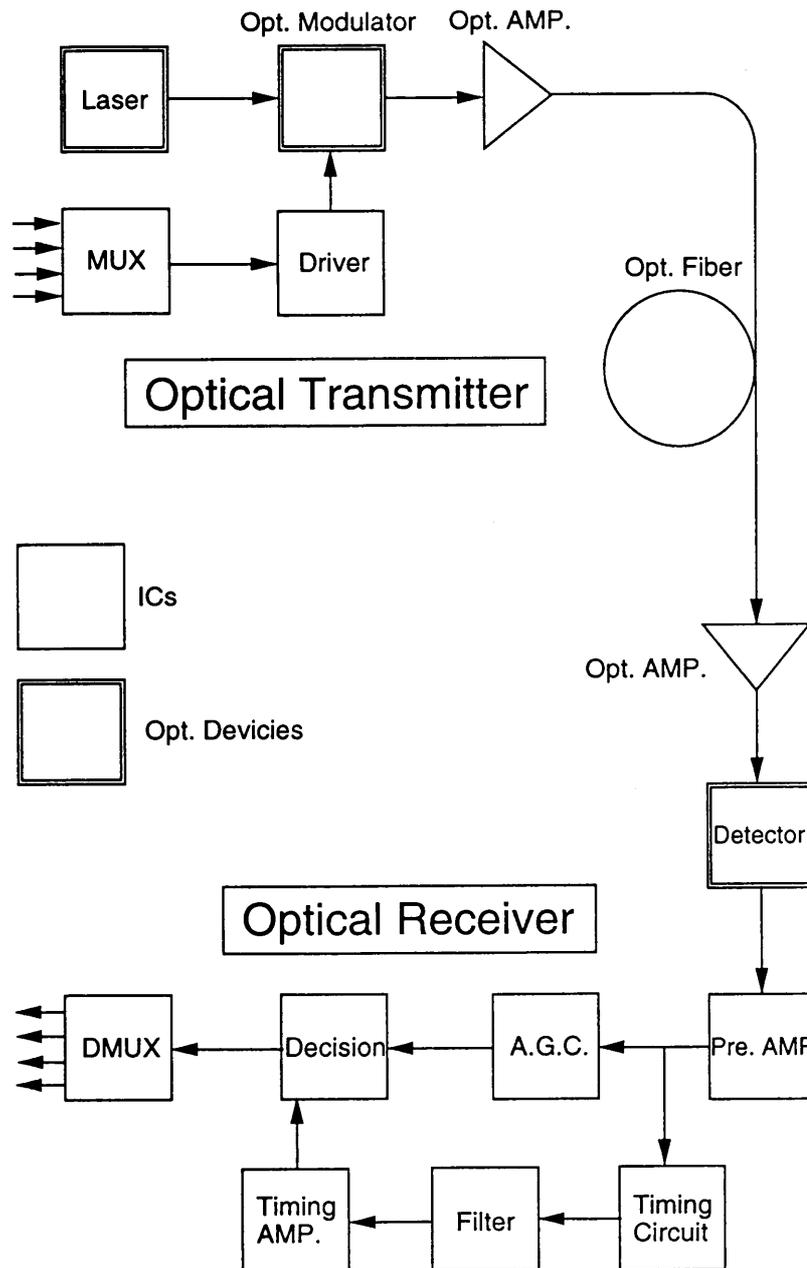


図 1. 2 幹線系光送受信器の機能別構成図。本研究は光受信器に用いられるデバイス技術に関するものである。

本研究の意義は、このような背景に基づき、光通信の超高速の幹線系だけでなく、安価に、高速かつ低消費電力の加入者系のOEICに適用可能な、シリコン系高速バイポーラトランジスタ技術を提案し、実証したことであり、また、光インタコネクタ等で要求されるOEICに適用可能な、シリコンチップに埋め込まれ、前述のシリコン系高速バイポーラ技術と整合し、シリコン製造ラインで作れる、シリコンゲルマニウム (SiGe) 受光素子技術を提案し、実証したことにある。

1.2 集積回路 (IC) 高速化のためのトランジスタ設計

1.2.1 ECL 基本回路の高速化設計手法

高速の光通信システムの実現にはICの高速化（回路の高速化）が必須である。これについて、本研究の対象であるバイポーラトランジスタを使用する代表的な回路であるECL基本回路を用いて説明する。回路設計で使用されるバイポーラトランジスタの主要なパラメータはDC特性として、各接合逆方向耐圧、コレクターエミッタパンチスルー耐圧、電流利得とそのコレクタ電流依存性、アーリー電圧、各接合容量 (C_{j_e} , C_{j_c} , C_{j_s})、コレクタ抵抗 (r_c)、ベース抵抗 (r_b)、エミッタ抵抗 (r_e) などがあり、またAC特性としては遮断周波数 (f_T) と発振最大周波数 (f_{MAX}) などがある。

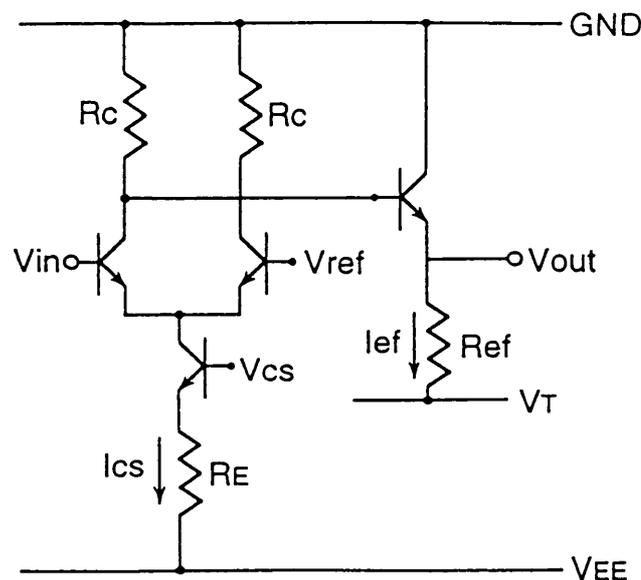


図 1. 3 ECL 基本回路図。

ここで、図1.3に示される、デジタル回路の基本回路である、ECL回路の信号伝搬速度 (t_{pd}) について説明する。

t_{pd} は次式で表される。

$$t_{pd} = t_b + t_c + t_{ef} \quad (1-1)$$

この様に、 t_{pd} はベース応答 (t_b)、コレクタ応答 (t_c)、エミッタホロウ応答 (t_{ef}) の3つに分解される。ここで、ベース応答が t_{pd} に最も大きな影響を与える。ベース応答はベース抵抗と入力容量の積で表され、 n_1 、 n_2 はミラー係数で、 C_{je} 、 C_{jc} はスイッチングトランジスタのエミッタ、ベース間接合容量、コレクタ、ベース間接合容量である。 t_b は次式の様になる。

$$t_b \cong 0.7 \cdot r_b (n_1 C_{je} + n_2 C_{jc} + C_d) \quad (1-2)$$

また、拡散容量 C_d は $C_d = \frac{I_c}{2\pi \cdot f_T \cdot \Delta V}$ と表され、 f_T とコレクタ電流 (I_c) で決まる。

C_d は電流が増えると急激に増加し、この値を増加させないことが高速化には重要である。 f_T が高いトランジスタはこの値が小さいため回路応答も速くなる。ここで、 t_c 、 t_{ef} は下記の様に表される。

$$t_c \cong 0.7 \cdot R_c (C_{jc}' + C_d' + C_{cs} + C_l + C_R) \quad (1-3)$$

$$\begin{aligned} t_{ef} &\cong (t_{efr} + t_{eff}) / 2 \\ &= \{0.7 \cdot (R_e + r_b') (C_{jc}' + \frac{C_l'}{h_{fe}}) + \Delta V \cdot \frac{C_l'}{I_{ef}}\} / 2 \end{aligned} \quad (1-4)$$

ここで、 t_c は回路のコレクタ抵抗と各種容量との積で、 C_{cs} はコレクター基板容量、 C_l 、 C_R は配線と回路抵抗の容量である。また、「'」付きはエミッタホロートラン

ジスタのものである。また、 $t_{e,f}$ は出力波形の立ち上がり ($t_{e,f,r}$) と、立ち下がり ($t_{e,f,f}$) の平均で表される。これらの式より、ECL回路の $t_{p,d}$ を速くするには下記の様にトランジスタを設計すれば良い。

- (1) f_T を高くする。
- (2) ベース抵抗 r_b を減らす。
- (3) 容量 C_{j_e} 、 C_{j_c} を減らす。この(3)において C_{j_c} が特に重要である。また、(1) ~ (3) の条件は別の関係で下記の様に表される。

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi \cdot r_b \cdot C_{j_c}}} \quad (1-5)$$

ECL回路の高速化は、トランジスタの f_{MAX} を高くすれば達成されることになる。すなわち、 f_T を高くし、 r_b と C_{j_c} を小さくすることである。

1.2.2 ICの高速化に対するトランジスタ設計の課題

さて、近年のトランジスタ技術（(1.3)項で詳細に議論）においては、2層ポリシリコン構造の自己整合技術とトレンチ分離技術の開発で、前述の r_b と C_{j_c} などの容量が大幅に低減されたため、 f_{MAX} は f_T の改善により向上し、 $f_T = 20\text{GHz}$ を越えるトランジスタを使用したECL基本回路（1入力、1出力で無負荷の条件）で、 $t_{p,d}$ は40ps台が達成された。しかし、 f_T が25~30GHz付近から f_{MAX} は f_T に比例して向上せず、 $t_{p,d}$ も減少出来なくなった。これは、 f_T と $r_b \cdot C_{j_c}$ 積の間に発生するトレードオフ効果によるもので、著者等がこの現象を報告している[2]。この現象の影響をデジタル回路の代表例として、スタティック分周IC用いて説明する。

図1.4にスタティック分周回路を示す、これは著者等が開発した1/16スタティック分周器[3]の初段の回路であるが、1/16スタティック分周器ではこの回路を3段使用している。

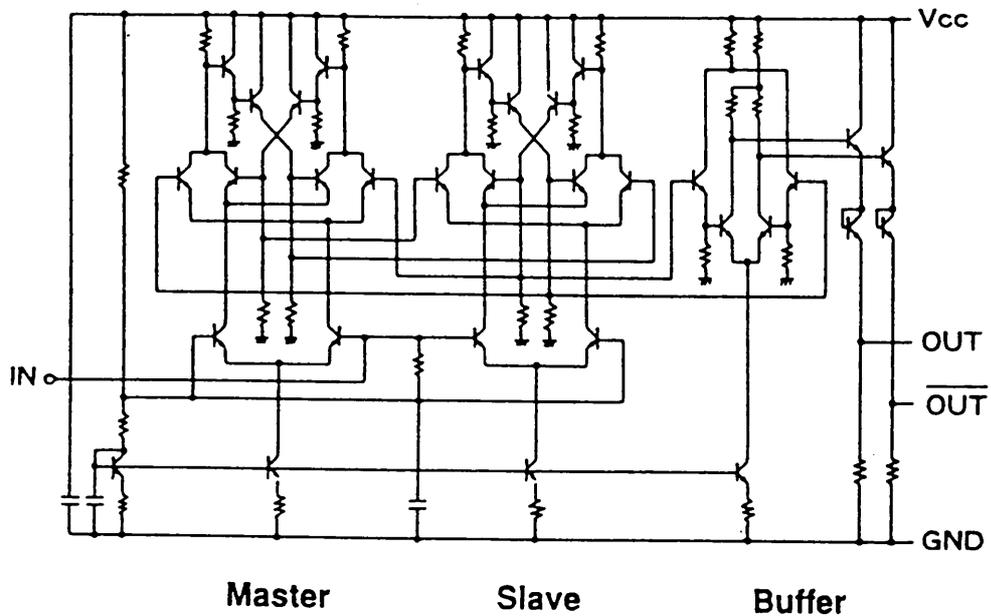


図1. 4 1 / 16 スタティック分周ICの初段の回路。(デジタル回路の例)

また、図1. 5に自己整合型のトランジスタを用いた1 / 16 スタティック分周器の最大動作周波数 (f_{TGL}) と f_T の関係を示した。図から明らかな様に 2.5 GHz 以下では f_{TGL} は f_T の約 1 / 2 程度で動作するが、2.5 GHz 以上になると比例関係が崩れてしまう。デジタル回路では前述したように f_{MAX} がその特性に大きく影響するが、この結果は f_{MAX} が f_T の向上に従って改善されていないことを示している。これが前述したトレードオフ効果のため起こった現象である。

トレードオフ効果は f_T と $r_b \cdot C_{jc}$ 積の値の関係で起こるが、簡単に説明すると以下のようなになる。 f_T を高くするためには、(1) ベース幅を狭くする、(2) カーク効果の発生を押さると言うことをすればいい。カーク効果の発生はコレクタ濃度を上げれば抑制出来る。しかし、(1) ベース幅の縮小はベース抵抗 r_b を増加し、(2) コレクタ濃度の上昇はベース、コレクタ間接合容量 (C_{jc}) を増加させることとなる。このため、 f_T を高くすると、 $r_b \cdot C_{jc}$ 積が増えることになり、 f_T が 2.5 ~ 3.0 GHz 付近から 2 つの値が均衡して、さらに f_T を高くしようとする、 $r_b \cdot C_{jc}$ 積の値が急激に増加してしまい、(1.5) 式より明らかな様に、 f_{MAX} は f_T の改善に追従出来なくなってしまった。IC の高速化は、このトレードオフ効果を押さえるトランジスタ構造を提案することが必須のこととなった。

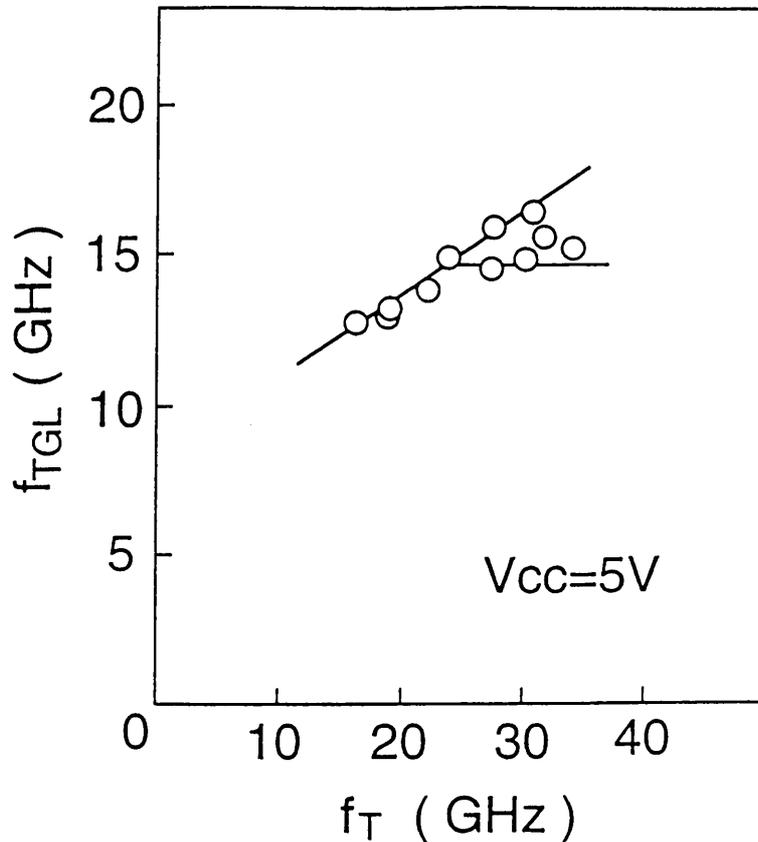


図1. 5 自己整合トランジスタを使用し作成した1/16スタティック分周ICの最大動作周波数 (f_{TGL}) とトランジスタの f_T との関係。

1.3 バイポーラトランジスタの高性能化

本項では、(1. 2. 2) 項で述べたトレードオフ効果を解決しつつ高速化を実現するためのトランジスタ設計の課題について論じる。

1.3.1 スケールダウンによる高性能化

トランジスタの高速化は、トランジスタの垂直方向と水平方向のサイズのスケールダウン、すなわち縮小によって達成される。プレーナ型のバイポーラトランジスタにおいて垂直方向のスケールダウンとは不純物の拡散で形成される各接合（拡散層）の深さを浅くすることであり、また、水平方向のスケールダウンは基本的にはリソグラフィ技術で微細な形状にすることである。これをトランジスタの性能を比

較するのに使用されるデバイスパラメータで表すと、垂直方向のスケールダウンとは遮断周波数 (f_T) を改善することであり、水平方向のスケールダウンとはトランジスタの寄生容量 (C) と寄生抵抗 (R) を減らすことである。トランジスタの f_T は下記の式で表される。

$$\frac{1}{2\pi f_T} = \frac{kT}{qI_E} C_{je} + \frac{W_B^2}{nD} + \frac{X_m}{2v_s} + r_c C_{jc} \quad (1-6)$$

ここで、 C_{je} 、 C_{jc} 、 I_E はエミッタ・ベース間容量、ベース・コレクタ間容量、エミッタ電流であり、 W_B と D はベース幅及びベース中の電子の拡散定数 (NPN型のトランジスタ) である。また X_m 、 v_s 、 r_c はコレクタ・ベース間の空乏層幅、電子の空乏層中の飽和速度 (NPN型のトランジスタ)、コレクタ抵抗である。上式より f_T は W_B の 2 乗に反比例することから、ベース幅が f_T の向上に大きく影響し、従ってベース幅を狭くすることにより、それが達成される。トランジスタの高速化の歴史はベース幅を狭くするための技術開発と微細パターンを作るリソグラフィの技術開発の歴史といえる。

さて近年、バイポーラトランジスタ技術に 2 層構造のポリシリコン膜を使用し、エミッタ電極とベース電極、並びにそれらの拡散層をセルフアライン (自己整合) で形成する技術が開発された。図 1. 6 に自己整合技術の代表例として、酒井等によって発表された SST (Super Self-Aligned process Technology) 技術[4]のトランジスタを示す。ここで、(1) ~ (5) はエミッターベース自己整合トランジスタの主要工程の断面構造を示したものである。(1) はトランジスタの絶縁分離を終了し、エミッタとベースを作るために 1 層目ポリシリコン膜 (P^+ -polySi) に開口部を形成したところである。この 1 層目ポリシリコン膜はベース拡散層の電極であり、同時に不純物の拡散源でもある。1 層目が接触しているベース拡散層領域は外部ベース領域 ((5) で P^+ と表されている領域) である。また、2 層目のポリシリコン膜 ((5) で N^+ -polySi と表されている領域) はエミッタ拡散層の電極であり、同時に不純物の拡散源である。これら 1、2 層目のポリシリコン膜への不純物の注

入は通常イオン注入によって行われる。また、図1. 6から判る様に、ベース（1層目）とエミッタ（2層目）の電極はエミッタ電極の回りに形成された、ほぼ同じ膜厚の絶縁膜で目合わせすることなく自己整合手法により分離されている。このため、エミッタ形成のためのリソグラフィによるパターン形成工程は不要で、かつリソグラフィの加工限界より小さいエミッタパターンが形成出来る。

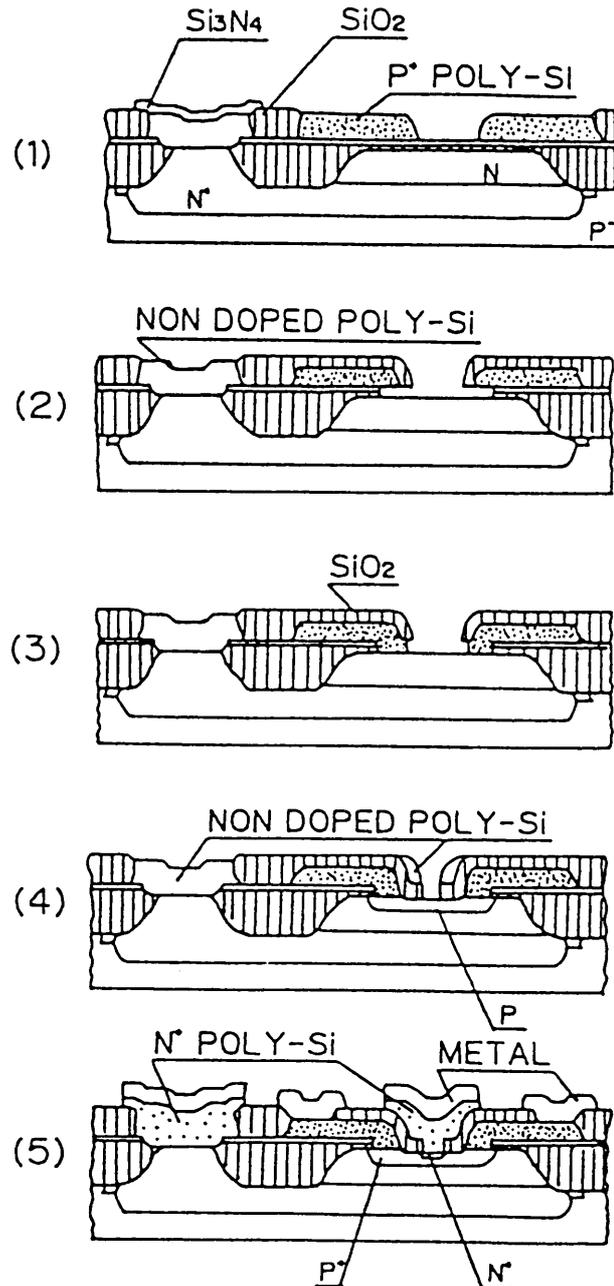


図1. 6 代表的な自己整合型トランジスタの主要な製造工程の断面図
 (参考文献(4)より引用)

この効果をよりよく理解するために図1. 7を示す。図1. 7は自己整合技術を使

用したときのサイズ縮小効果について、自己整合技術を使用していないトランジスタと比較したものである。上図が自己整合トランジスタであるが、図より明らかなように、自己整合技術のトランジスタではエミッタ部とベース部のサイズ縮小（図中、点線でつながれた所）、すなわち水平方向のスケールダウンが達成されている。さらに、コレクタの大きさもベースサイズの縮小に相関して、図では示していないが大きく縮小されている。

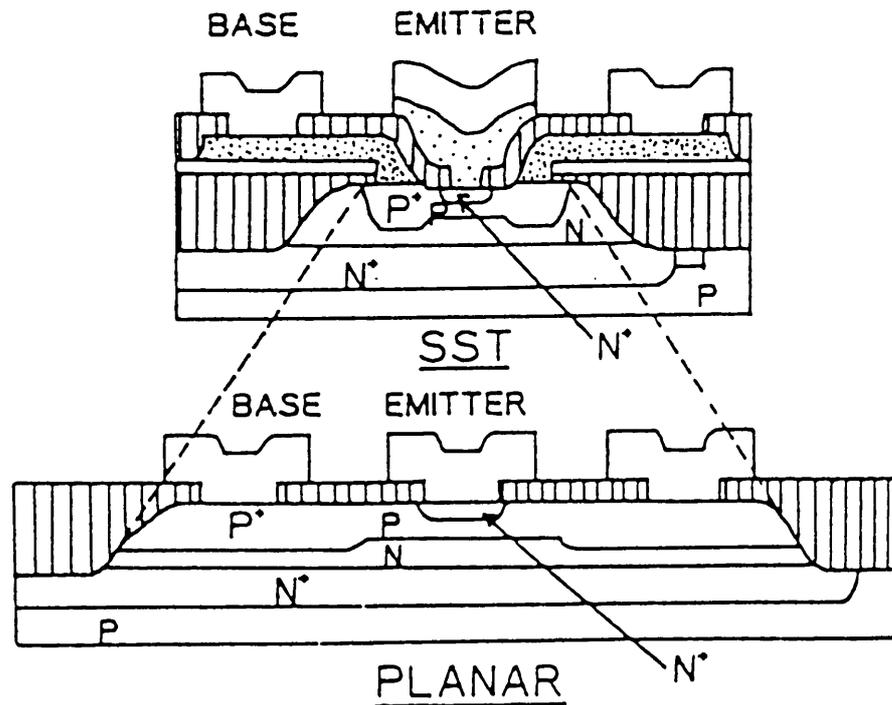


図1. 7 従来のトランジスタと自己整合トランジスタのベース領域の比較
(参考文献(4)より引用)

トランジスタの全体の大きさは、コレクタの分離を行う方法により決定されるが、トランジスタ間の絶縁分離にトレンチ分離技術が導入され、これによっても大幅に縮小された。ここで、図1. 8にシリコンを酸化してトランジスタを分離した時と、トレンチで分離した時の大きさを比較して示す。分離領域の幅（図中、 $X + 2Y$ と表記）だけでなく、分離領域からトランジスタのエミッタまでの距離が縮小される。これはトレンチ分離では分離のための高温長時間の酸化が不要で、厚い酸化膜を形成する時に発生するバズビークと呼ばれる横方向への酸化膜の食い込み（図中、 Z と表記）と、トランジスタの歩留まりに影響するストレスの発生が小さいことから可能になったことである。この様に、大幅な水平方向のスケールダウンが、リソ

グラフィ技術に大きく依存しない自己整合技術とトレンチ分離技術の開発により可能になり、トランジスタの寄生容量 (C) と寄生抵抗 (R) は大きく縮小された。

一方、垂直方向のスケールダウンは薄膜エピタキシャル成長技術 (コレクタ形成) とそれによる不純物濃度と膜厚制御技術、低エネルギーイオン注入技術 (ベース形成)、ポリシリコン電極からの不純物拡散技術 (エミッタ形成)、さらには R T A (Rapid-Thermal-Annealing) 技術の開発により急速に進み、ベース接合において深さが $0.2 \mu\text{m}$ 、ベース幅で $0.1 \mu\text{m}$ 程度まで比較的容易に実現された。

これらの水平、垂直方向のスケールダウン技術を使用したトランジスタについては著者らがその成果を発表している [5,6]。これらトランジスタの遮断周波数は 20 GHz を越え、E C L 基本回路の一段当たりの遅延時間も 100 ps を大きく割り 40 ps / 回路のものも得られる様になった。

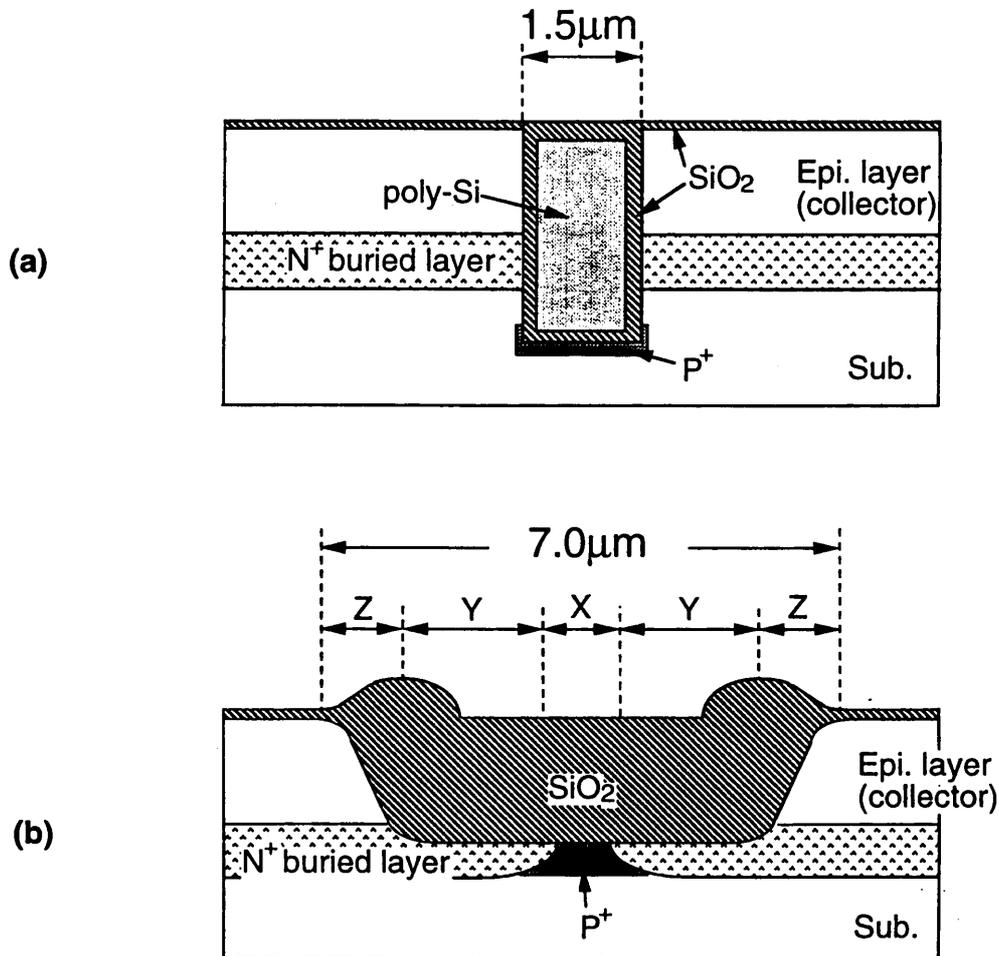


図 1. 8 トランジスタの絶縁分離方法の違いによる絶縁距離の比較。

トレンチ分離によって、絶縁距離は大幅に縮小され、トランジスタの集積度の大幅向上に寄与した。

1.3.2 従来技術による高性能化の限界と課題

前項で述べた様にリソグラフィに因らない自己整合技術によるサイズ縮小と、浅い接合形成技術との開発で、トランジスタの性能は大幅に改善されたが、さらに新しい問題が発生してきた。

水平方向のスケールダウンによりエミッタサイズは大幅に縮小されたが、エミッタ抵抗の大幅な上昇や、不純物拡散の不均一性で起こる不完全なエミッタ接合形成と、それにより引き起こされる電流利得、遮断周波数の低下、信頼性の劣化という、エミッタプラグ効果[7]と呼ばれる現象が、エミッタの寸法が $1.0\ \mu\text{m}$ 程度になったころから問題となってきた。Burghartz等の解析的研究[7]で、イオン注入により不純物を注入したポリシリコン膜から、非常に狭い領域を通して不純物を拡散する技術の限界が明らかにされた。これに対する対策が水平方向のスケールダウンにおける大きな課題となってきた。また、トレンチ分離技術でも、一層のスケールダウンにより、トランジスタ間の横方向の寄生容量の容量全体に占める割合が増えることとなり、さらに、エミッタと絶縁領域の縮小についてもトレンチ領域に埋設しているポリシリコン膜の熱工程でのストレスの影響により、一層の縮小が困難になった。

また、垂直方向のスケールダウンにおいても、遮断周波数をさらに上げようとすると下記の問題が起きてきた。

まず、第1の問題は遮断周波数が高くなるにつれ、エミッタ電流（密度）が増え、(1-6)式の第2項目に示されるベース幅が実効的に増えることにより、 f_T が劣化するというカーク効果[8]の発生である。エミッタ電流（実質にはコレクタ電流とほぼ同じ）の上昇はベース中性領域中のキャリア濃度を増やし、実効的なベース領域を広げることになるからである。カーク効果は以前からトランジスタで観測されてきたが、エピタキシャル成長時にコレクタ部の高濃度化を行うことで防いできた。しかし、垂直方向のスケールダウンが進むと、ベース領域の不活性部（活性部である内部ベース領域より濃度が高い外部ベース領域のこと、図1、7で P^+ と表された拡散層）と、高濃度化したエピタキシャルコレクタで決まる接合耐圧が下がり回路設計に支障をもたらすこととなるので、薄膜エピタキシャル成長技術だけではカー

ク効果の発生を防げなくなった。

第2の問題はベース形成に用いている低エネルギーイオン注入技術の限界である。NPN型トランジスタではベース領域形成にはボロンを用いるが、ボロンはチャネリングという現象（イオン注入分布が比較的低濃度の部分で裾を引く現象）を起こしやすく、エネルギーを下げても浅い接合が形成出来なくなった。また、ベースを狭くするとコレクタとエミッタ間でのパンチスルー電圧の低下が起き、これを防ぐために高濃度のベース領域をイオン注入で形成すると、イオン注入損傷による結晶欠陥が発生し易くなるという問題が生じ、対策として下記の技術が提案された。

- (1) 低エネルギーイオン注入法でフッ化ボロンをイオン種として用いる方法、多くの発表がある。フッ化ボロンの形でイオン注入するとボロン単独の場合よりチャネリング効果が少なく、不純物の裾引きが少なく、急峻な不純物分布が得られる。しかし、高濃度化による結晶欠陥の発生の問題は残る。
- (2) エミッタの拡散源である2層目のポリシリコン膜からボロンを拡散する方法[9]、高濃度化しても、イオン注入の損傷はポリシリコン膜中に残るため、結晶欠陥が発生しにくくなる。しかし、2層目のポリシリコン膜厚がエミッタとベース接合の両方に影響するため、狭いベースを安定して作るのは難しい。

と言うように、これら方法は問題を解決するには不十分であった。

トランジスタの一層の高速化は、これらの大きな4つの課題、即ち、エミッタラグ効果、トレンチ分離でのストレスと容量の増加、カーク効果、そしてイオン注入法による浅い接合形成の限界という問題を解決し、かつ f_T と $r_o \cdot C_j$ 積のトレードオフ効果を抑えつつ、水平、垂直方向のスケールダウンを実行する必要がある。

1.4 光電子集積回路 (OEIC) と受光素子技術

1.4.1 OEIC の現状と受光素子への要求

OEICは、光デバイス（受光素子、半導体レーザー、薄膜レンズなど）とIC部（トランジスタ、抵抗、容量）を1つの基板上に集積化した回路のことである。

1. 1項で述べたように、光通信システムのネットワーク端末である光送信器と光受信器は、光通信が今後広く社会で利用されるために、OEIC化により、小型化、低消費電力化、低価格化、扱い易さや信頼性の向上などが必要とされる。本研究の対象は光受信器のOEIC化であり、受光素子とIC部をシリコン基板に一緒にできるデバイス技術を確立することである。ところで、受信器の受光素子に要求される条件は、(1) 受光感度が高い、(2) 応答速度が速い(寄生容量が少ない)、(3) S/N(信号対雑音)比が高い、(4) 特性が安定している等で、さらに低消費電力が要求される端末への応用を考え、(5) OEICの動作電圧はIC部の動作電圧(5V以下)と同一、という条件の満足が必要である。受光素子としてはpinフォトダイオード(pin-PD)、アバランシェフォトダイオード(APD)、フォトトランジスタ等があるが、上記の条件を考えれば、動作が安定で、低電圧で使え、応答速度も速いpin構造のPDがOEICには最適であると言える。

OEICは、短波長帯用のものは、シリコンフォトダイオード(Si-PD)を受光素子として使用でき、既に、多数の成果が発表されている[10,11]。一例として、図1.9に文献[10]のOEICの断面図を示す。pin-PDとバイポーラトランジスタを一体化したものである。

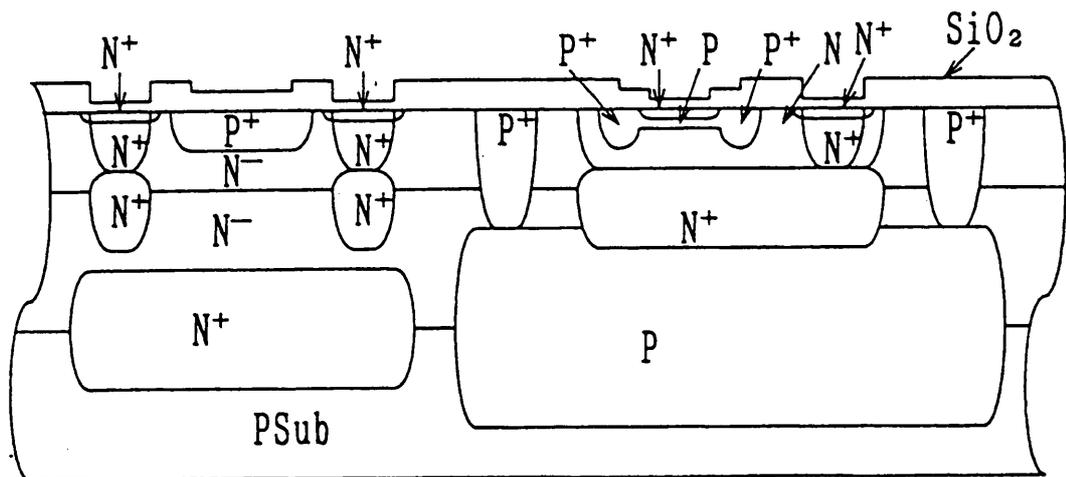


図1.9 pin-PDとバイポーラトランジスタを一体化したOEICの断面図(参考文献(10)より引用)

しかし、引用した文献[10]や[11]においては、その動作周波数は600Mb/sか、それ以下であり、Gb/s以上の高速動作は達成されていない。この第1の理由は

高性能のトランジスタ技術と整合がとれるように、受光素子技術が設計されていない点にあり、また、第2の理由はSi-PPDが受光素子として使用できる短波長帯では、そこで使用される光ファイバの特性（Gb/s以上での伝送時の損失が大きい）から、中、長距離のGb/sの伝送の使用には不向きで、用途が限られ、高性能化のメリットが少ないからである。

一方、長波長帯用のOEICは、受光素子に、InGaAs/InP系やGeのpin-PPDを用いてハイブリット型で実現されていて、シリコンのものに比べてはるかに高速で動作している。特に光通信の幹線系用にはInGaAs/InP系のものが用いられ、その用途により、表面入射型のPPDや、導波路型のPPDが使われている。Gbit/s以上での動作を目標にしたシステムにおいて、表面入射型のPPDはコア口径の大きいMMF（Multi Mode Fiber：多モードファイバ）や、PCF（Plastic Crad Fiber：プラスチッククラッド石英ファイバ）と組み合わせて、短中距離、高速伝送向けに研究されていて、受光素子と光ファイバの結合技術も安定していて、低価格化の検討も進められている。一方、導波路型のpin-PPDはSMF（Single Mode Fiber：単一モードファイバ）と組み合わせて、超高速で動作する幹線系の光伝送用として研究されているが、光ファイバとの結合は難しく、価格も高い。ところで、前述したように、これら化合物系受光素子でOEIC化を実現するには、ハイブリット型にする必要がある。それは、化合物系受光素子の製造が、ライン汚染等の問題からシリコン製造ラインでは出来ないからである。化合物系受光素子を使用して、シリコンIC部とモノリシックに一体化された、安価なOEICの実現は極めて困難である。

本論文では、Si-PPDを受光素子として内蔵するOEICと、同等の低価格、作り易さを実現し、シリコンICの製造ラインで製造でき、かつ、より高速で動作する、特に光インタコネクで使用することを目的とした、シリコン系OEICを実現するための技術、すなわち、高性能シリコン系バイポーラトランジスタ技術に整合する長波長帯用の受光素子技術について行った研究成果を示す。本論文で長波長帯とは、Si-PPDの受光感度（量子効率）が低い（使用が限定され、量子効率が10%以下をさす）波長帯のことで、波長が0.9 μm以上の領域を指す。

1.4.2 シリコン・ゲルマニウム (SiGe) 受光素子技術の課題

我々は、前項でのべたシリコンIC部と整合させる長波長帯の受光素子材料としてシリコンゲルマニウム (SiGe) 合金受光素子を考えた。この理由は、第3章で述べる超高速バイポーラトランジスタ: SiGe-HBTを研究する中で、SiGe合金をCMOSトランジスタの製造へ影響を与えずにシリコン製造ラインで作る方法を開発していたからである。

さて、SiGe合金の研究は1950年代からあったが、受光素子としての研究は1980年代後半に、AT&T (現在のLucent Technologies) のベル研究所で積極的に行なわれた。SiGe合金を長波長帯用の受光素子として使用するには、SiGe合金を歪み格子の状態を利用する必要がある。歪み格子状態のSiGe合金の特性については、AT&T (当時) のPeople等によって多数の報告がなされている。まず、図1.10にSiGe合金のバンドギャップ[12]を示す。歪み格子状態のSiGe合金は、バンドギャップが単なる合金と比較して著しく縮小していて、その値はGe含有量が50 mole%になると、100%のGe結晶とほぼ同等になっていることが判る。この歪み格子状態のSiGe合金の性質を利用して、Ge含有量の割合を10~60 mole%で変化させ、0.9~1.3 μmの波長帯の光に対する感度(量子効率)を研究した論文が多数報告されている[13-18]。

これらの論文のSiGe合金は、それ自身が持つ歪みのストレスや後工程での熱処理により転位が発生するのを防ぐために、Siとの超格子、または積層構造を形成し、これによりストレスを緩和し、必要な感度を得るように設計されている。その一例として、文献[13]のpin受光素子の光吸収層のSiGe/Siの歪み超格子構造(図1.11)と、Ge含有量を変えた時の各波長帯に対する感度(図1.12)を示す。Geの濃度を変化させることにより、より長波長帯に感度のピークが移るが、それぞれ内部量子効率で50%近い値が得られている。また、SiGe/Siの歪み超格子構造の受光素子を搭載し、シリコンICと一体化した受信器も試作されている[19]。ただし、これらの受光素子は全て導波路型で、かつメサ構造を有しているため、実験的にOEICは出来るが、シリコンプロセスとの整合性(メ

サ構造に加工する時のGe汚染)や実装上の複雑さ(導波路型はSMF用なので結合が難しい)、さらにIC部の高速化には必須である微細配線形成の困難さ(数ミクロン厚のメサの上部と下部で同時にリソグラフィによりパターン形成ができない)など多数の問題があり、製品化には多くの困難がある。

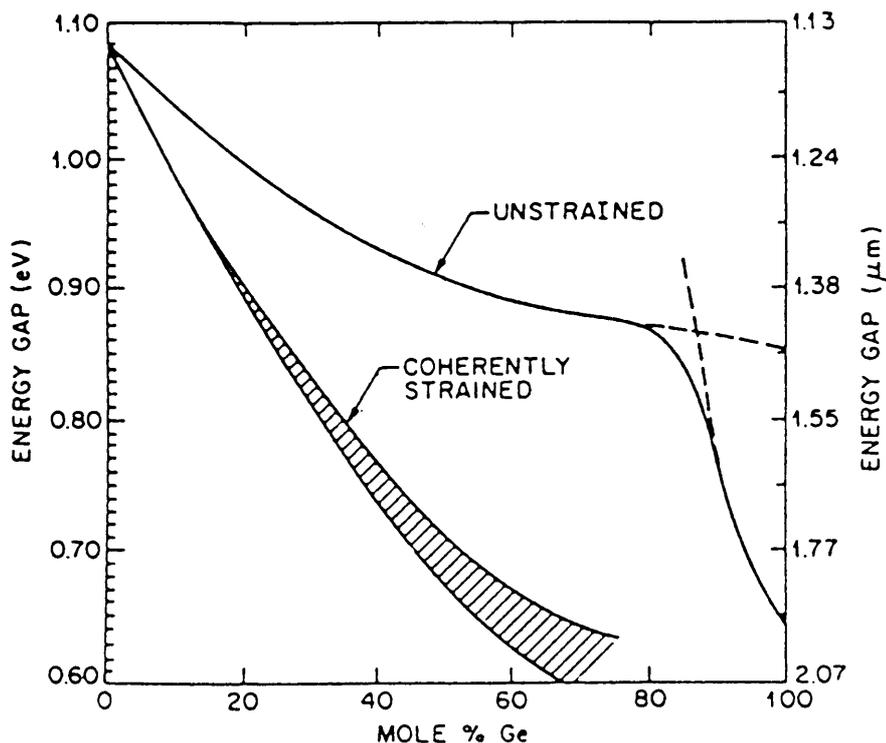


図1.10 歪み格子状態のSiGe/Si合金のGe含有量(mole%)とエネルギーバンドギャップの関係。(参考文献(12)より引用)

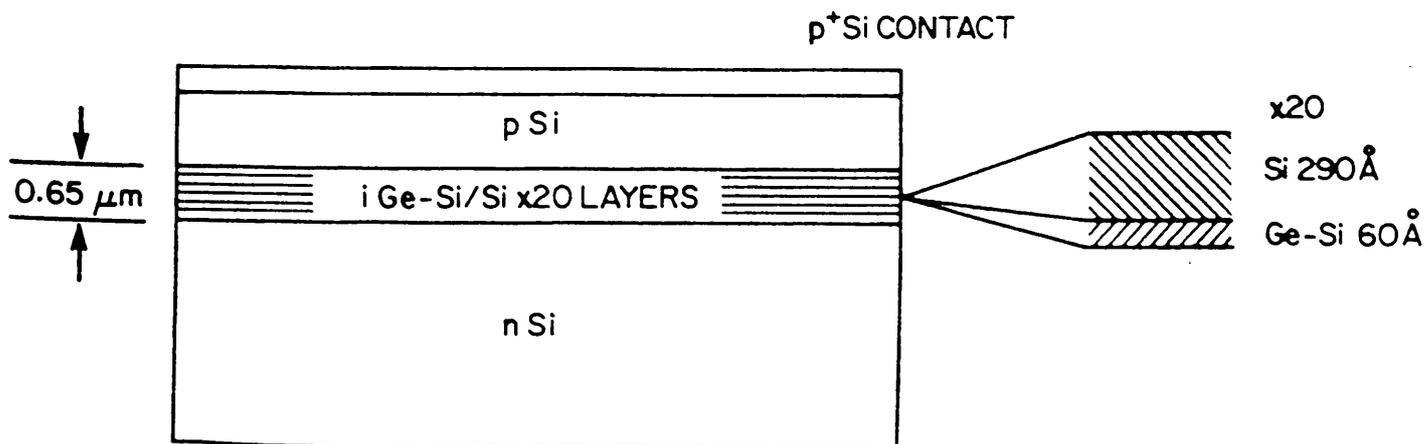


図1.11 SiGe/Si歪み超格子p-i-nフォトダイオードの断面模式図(参考文献(13)より引用)

このため、低価格、低消費電力、高信頼性、扱い易い、かつGbit/s以上の高速動作のOEICを実現するため、SiGe受光素子は以下の課題を達成する必要がある。(1.4.1)項で述べた受光素子としての条件を満足しつつ、(1)標準的シリコンIC製造ラインで作れる(微細配線形成やライン汚染等の悪影響を与えない)こと、(2)高性能トランジスタのプロセス変更は極力せずに、受光素子がオンチップ上に形成できること(このためには、数 μm 程度の薄膜内に受光素子を形成する必要がある)、(3)ICの実装が、光ファイバを含めて簡単にでき、かつコストがかからないこと、である。

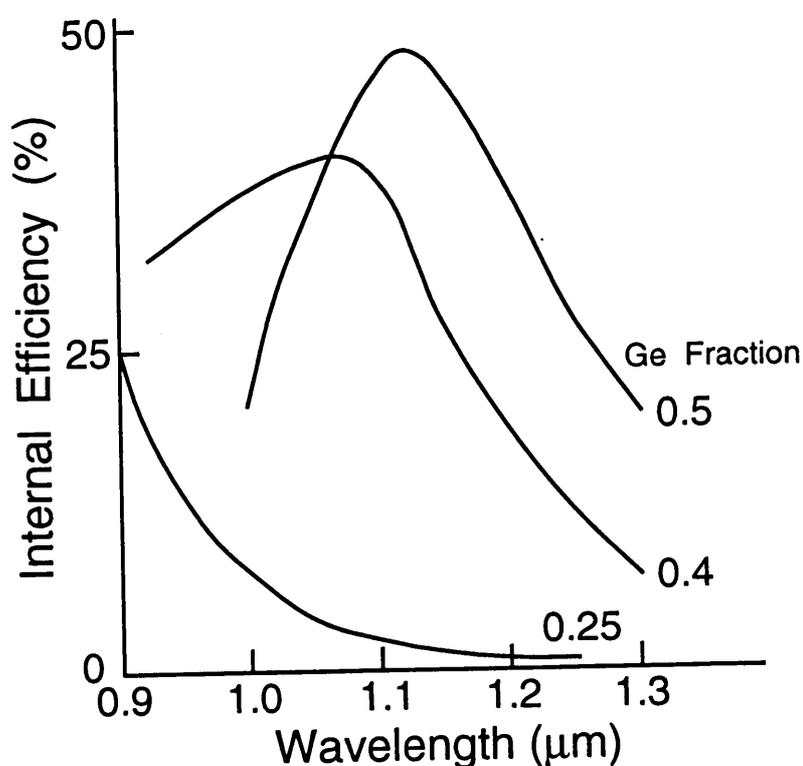


図1.12 図1.11の歪み超格子p-i-nフォトダイオードのGe含有量と各波長帯の光に対する内部量子効率の関係(参考文献(13)より引用)

本研究においては、SMF用の導波路型受光素子と、MMF、PCF用の表面入射型受光素子を研究対象としたが、研究対象の波長帯は $0.98\mu\text{m}$ とした。これは、市場の規模が大きく、低価格化が必要で、IC化した時にシステムで評価しやすい、並列データ伝送の光インタコネク用OEIC技術を実証しようとした場合、送信側に用いる面発光レーザーの開発、実用化が進んでいる波長帯に目標を合わせ

たからである。ただ、この分野は、並列伝送ということで比較的動作速度は速くないため（1～5 G b / s 程度）実装技術が確立しているMMFやPCFを使用し、面発光レーザーと組み合わせ易い表面入射型受光素子での開発が先行しており、研究対象の1つである導波路型受光素子は、現在、使用されてはいない（将来の超高速動作（10 G b / s 以上）を考えれば使用の可能性はある）。それは、SMFとの結合性（実装しやすさ）が大きな課題の1つになっているからである。このため、本研究においては、シリコンICの製造プロセスと整合させるための構造と、それを実現するプロセス技術を開発することを共通の課題とし、さらに表面入射型受光素子は量子効率の一層の向上を課題とし、また導波路型受光素子は（1）SMFとの結合技術の確立と、（2）超高性能トランジスタ技術と整合させるための光吸収層（SiGe/Si 構造）の耐熱性向上を課題とした。

1.5 本論文の目的と構成

本論文の目的は、G b i t / s 以上の高速で動作する光通信用（特に、光インタコネクト）シリコン系光電子集積回路（OEIC）を実現するため、その要素デバイス技術として、超高速の幹線系にも適応可能な高性能シリコンバイポーラトランジスタ技術と、シリコン製造プロセスと前述の高性能トランジスタプロセスとに整合したS i G e 受光素子技術について論じるものであり、（1. 2）～（1. 4）項で述べた課題への解決策を提案し、実証するために、研究した成果を示すものである。

本論文では、第1章において研究の背景として、光通信システムの受信端末を構成するデバイス技術への要求について簡単にふれた。また、その要求を実現するための、トランジスタ高性能化への課題、IC高速化への課題を論じ、さらに安価な光インタコネクト用のOEICを実現するため、S i G e 受光素子への課題について論じた。

第2章では、10 G b / s の高速光通信に対応可能な高性能シリコンバイポーラトランジスタ技術として研究された、A - B S A （Advanced-BSG（Boro-

Silicated-Glass) Self-Aligned) 技術の特徴、そしてトランジスタ各部（コレクタ、ベース、エミッタ、絶縁方法など）の設計手法とそれを実現したプロセス技術、電気特性について論じる。

第3章では、 20Gb/s の超高速光通信に対応可能な超高性能バイポーラトランジスタ技術として研究された、SiGe合金をベース領域に用いる、ヘテロ接合バイポーラトランジスタ(HBT)技術のSSSB(Super-Self-Aligned Selectively grown SiGe Base)技術とA-SSSB(Advanced-SSSB)技術の特徴、そしてトランジスタ各部（コレクタ、ベース、エミッタ、絶縁方法など）の設計手法とそれを実現したプロセス技術、電気特性について論じる。また、本章では、SiGe-HBT技術について、その動作原理も含めて簡単に述べる。

第4章では、主に3章で述べた超高性能トランジスタプロセスに整合し、第3章で述べたSiGe選択成長技術を改良し利用した。本章ではSMFとの組み合わせに適し、 10Gb/s 以上の高速動作に対応できる、耐熱性の高いSiGe/Si超格子構造を光吸収層に用いた導波路型(Waveguide)受光素子技術の特徴、デバイス設計、プロセス技術そして特性について論じる。

第5章では、第4章で研究したSiGe選択成長技術をさらに改良し利用し、主に第2章で述べたトランジスタプロセスに整合し、 $1\sim 5\text{Gb/s}$ で動作し、SiGe/Si積層厚膜層を光吸収層とする、表面入射型受光素子技術の特徴、デバイス設計、プロセス技術そして特性について論じる。これは、MMFまたはPCFに対応できるものである。

第6章では、本研究の成果をまとめ、さらに、残る課題として(1)トランジスタの一層の高速化と、(2)第4、5章で議論した受光素子の $0.98\mu\text{m}$ 帯での量子効率の一層の改善や、より広い光通信への応用を考え、長波長帯($1.3\mu\text{m}$ 、 $1.55\mu\text{m}$ 帯)での感度向上の2点を挙げ、実現にむけての展望について議論する。

第2章 高速シリコン自己整合トランジスタ技術：

—A-BSA トランジスタ技術—

本章では10Gb/sの高速光通信に対応可能な高性能のシリコンバイポーラ自己整合トランジスタ技術である、A-BSA (Advanced-BSG (Boro-Silicated-Glass) -Self-Aligned) 技術を使用したトランジスタの特徴、デバイス設計とプロセス技術、電気特性、さらには回路動作特性について論じる。

2.1 BSA プロセス技術の特徴

初めにBSA技術の特徴を簡単に説明する。トランジスタの高速化はスケーリングにより達成されること、並びに従来のスケーリング技術には限界が発生したことは(1.3.2)項で述べた通りである。これらの限界の中で、最も大きな問題はベース領域をいかに急峻で浅く形成するかである。この要求に沿った技術としては、シリコンのエピタキシャル技術を使い薄膜のベース層を形成する方法[20-23]や、多少制御性に問題があるかもしれないが、瞬間気相成長法を利用する方法[24]等が報告されている。しかし、これらの方法は、高速のIC実現を考えた時に起こる、(1.2.2)項で述べた f_T と $r_b \cdot C_{je}$ 積との間で発生するトレード・オフ効果に対しては解決策を提案するものではない。

これに対し、BSA技術はトランジスタの f_T 向上に必要な浅くて急峻なベース接合形成に、BSG膜 (Boro-Silicated-Glass : ボロンガラス) からのボロンの固相拡散をRTA (Rapid Thermal Annealing : 瞬間熱処理) 技術を利用して行い、かつ、BSG膜を固相拡散源としてだけでなく、エミッタとベース間のポリシリコン引き出し電極の自己整合絶縁分離膜として使用することを特徴とし、トランジスタの自己整合技術と浅くて急峻なベース接合形成技術を融合した独創的な技術であり、前述したトレード・オフ効果に対し、有効な解決策となる技術である (詳細は2.

2項で論じる)。

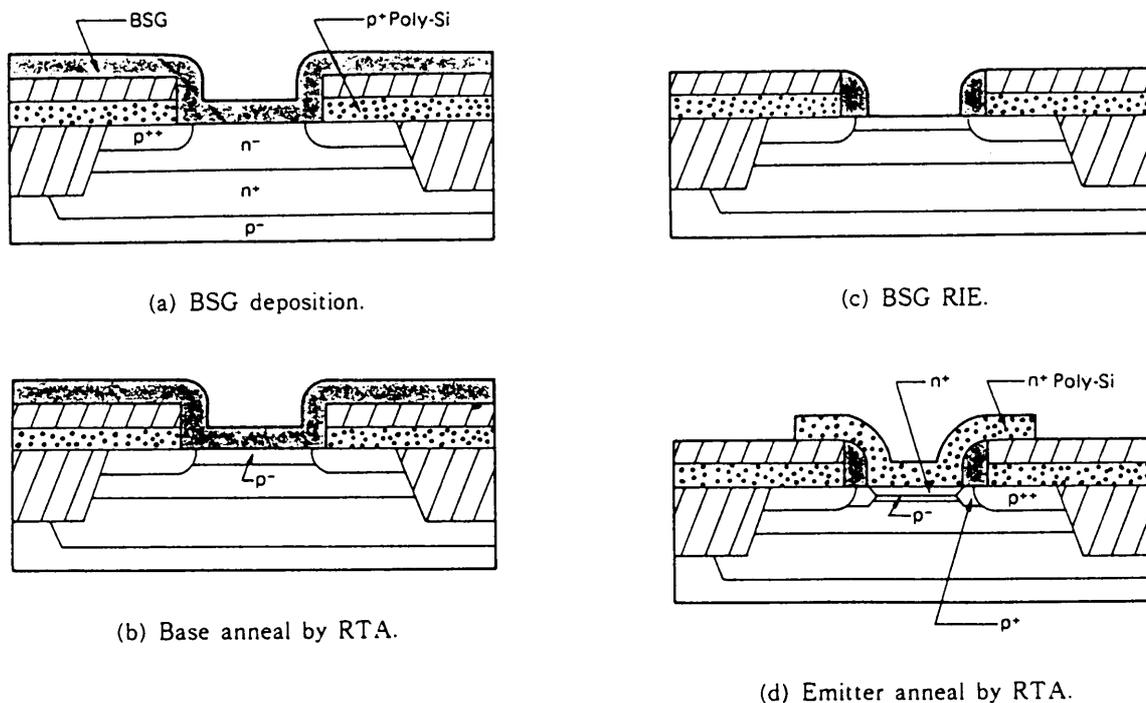


図 2. 1 B S A 技術をベース形成に適用した時のエミッタ開口部の主要工程の断面模式図。

まず、図 2. 1 に B S A 技術をトランジスタのベース形成に使用した時の主要工程の断面図を示す。このトランジスタの絶縁分離は通常の酸化法により行ったものである。各断面図を簡単に説明する。

- (a) トランジスタの N^+ 埋め込み電極を P 型の面方位 (1 1 1) 基板内に選択的に形成し、 N^- エピタキシャル成長後に、絶縁分離をし、将来ベース引き出し電極になる P^+ ポリシリ膜とその上に酸化膜を形成し、将来エミッタを形成する所を開口し、外部ベース領域 (P^{++} と表示) を形成し、全面に B S G 膜を形成した所である。
- (b) ベース領域形成のための第 1 回目の R T A 処理を実施した所である。このベース領域は (a) で形成した外部ベース領域と自己整合的に接続されている。
- (c) 異方性エッチングで B S G 膜を除去した所である。開口部の周辺 (Sidewall : 側壁酸化膜と呼ぶ) のみに、選択的に B S G 膜が残る。
- (d) エミッタの引き出し電極の N^+ ポリシリコン膜を形成し、第 2 回目の R T A

処理を実施した所である。この時、 N^+ ポリシリ膜からの N^+ 拡散とBSG側壁酸化膜からの P^+ 拡散が同時に起こる。これにより、 N^+ エミッタ拡散層、 P^{++} 外部ベース拡散層、 P^+ リンク（接続）ベース拡散層、 P^- 内部ベース拡散層が自己整合的に形成される。また、さらにBSG側壁酸化膜によりエミッタ引き出し電極とベース引き出し電極が自己整合的に分離された。

以上から判るように、 f_T を決定する内部ベース領域の不純物分布は、1回目のRTA処理条件（BSG膜からシリコン基板へのボロンの拡散量を決定）、2回目のRTA処理条件（エミッタ形成と同時に行われ、ベース幅を決定）、BSG膜のボロン濃度により決まる。一例として、図2.2にボロンのモル%濃度（FT-IR: Fourier transform infrared spectroscopy で測定）が3~5%のBSG膜から、RTA処理により不純物を基板に拡散したときのシート抵抗の変化を示す。これは1回目のRTA処理時のBSG膜からのボロン拡散に相当する。

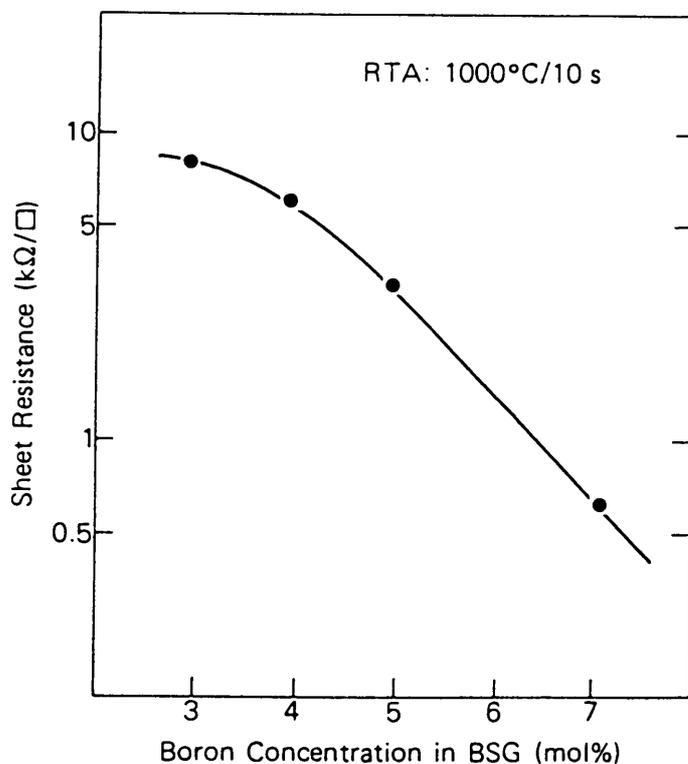


図2.2 BSG膜中のボロン濃度とRTA処理後の拡散層のシート抵抗の関係。
N型の(111)基板に対して拡散した結果である。

RTA処理条件は1000°C10秒と固定しているが、ボロンのモル%濃度の設定によりシート抵抗は1桁以上変化している。また、図2.3に濃度4モル%のB

SG膜の時、RTA処理条件を変え、基板に拡散された不純物分布の変化をSIMS (Secondary Ion Mass Spectroscopy) 分析により測定した結果である。比較としてイオン注入法 (10 KeVと非常に低エネルギー) で形成した不純物分布測定結果も示す。イオン注入ではチャネリング効果でボロン分布に裾引きが発生しているが、これと比較してBSA技術では浅く急峻な接合が出来ていることが判る。また固相拡散なので、かなり高濃度 (ピーク濃度で $10^{19}/\text{cm}^3$ 以上) の拡散層でも、イオン注入では不可能な、ほぼ無欠陥な接合を作ることが出来、拡散を利用して形成した場合での、理想的なベース分布が得られている。

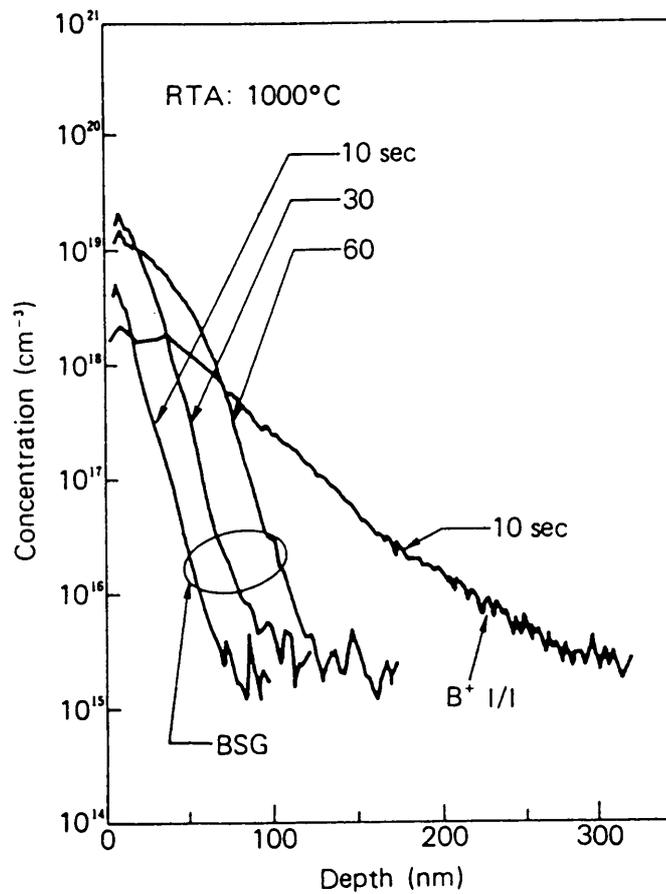


図2. 3 SIMSで測定したシリコン基板に拡散されたボロンの不純物分布。

2.2 A-BSA トランジスタの設計とプロセス技術

2.2.1 A-BSA トランジスタ構造と特徴

図2. 4に断面図を示すA-BSAトランジスタの構造の特徴とデバイス設計の

基本的な考え方及び特徴をまとめると次のようになる。

- (1) 自己整合型トランジスタ構造に融合し、浅くて急峻なベース接合が形成できるBSA技術を使用。(図中①、(2.1)項で論じた)
- (2) 寄生容量と素子分離のストレス低減を可能にする絶縁物埋設素子分離技術であるBPSG埋設トレンチ(溝)分離技術を使用。
(図中②、(2.2.2)項で論じる)
- (3) ベース直下のコレクタ不純物分布は、容量の増加を出来るだけ少なくし、カーク効果を完全に押さえるように設計を行っている。
(図中③、(2.2.3)項で論じる)
- (4) エミッタ電極はエミッタの微細化で問題となる、(1.2.2)項で述べたエミッタプラグ効果を避けるための新構造を採用。(図中⑤、(2.2.5)項で論じる)

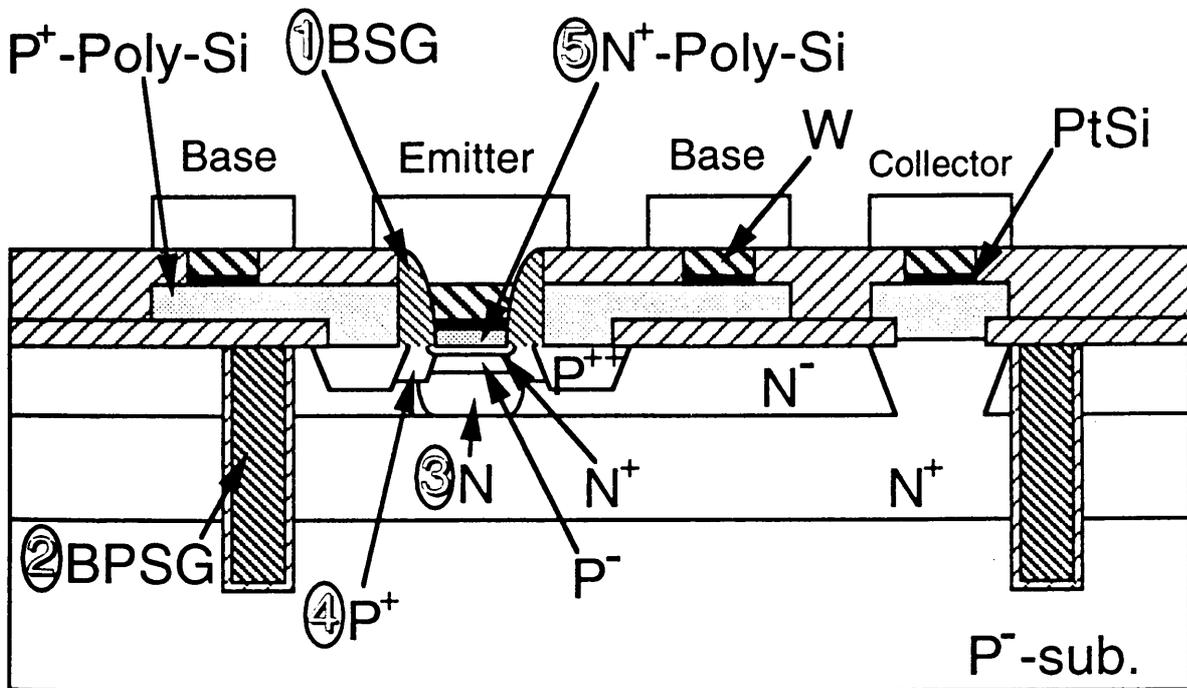


図2.4 A-BSAトランジスタの断面模式図。図中の①～⑤はこのトランジスタの特徴となっている箇所を示す。

また、さらにトレード・オフ効果対策として、

- (5) BSA技術による浅くて急峻なベース領域の抵抗の上昇を抑えるため、

ベースリンク領域（図中④で P^+ と表現されている拡散層）の形成に関する条件（BSG膜のボロン濃度、1回目のRTA処理条件、2回目のRTA処理条件、BSG膜の膜厚）を最適化設計し、さらにベース引き出しポリシリ電極（図中で P^+ -Poly-Siと表現）にはアモルファスシリコン膜を結晶化した膜を使用して、抵抗を下げた。（（2.2.4）項で論じる）

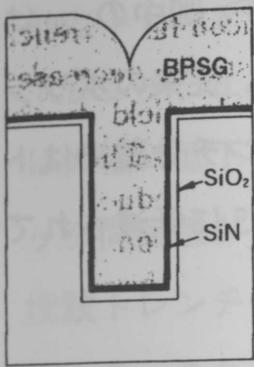
なお、A-B S Aトランジスタは（111）基板上に形成した。

2.2.2 BPSG 埋設素子分離とプロセス技術

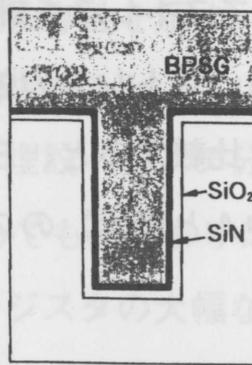
（1.3）項では、トランジスタサイズの縮小にトレンチ分離技術が大きな役割をはたしていること、また従来のポリシリコン埋設トレンチ分離では、一層のサイズ縮小を進めると、分離領域が誘電率の大きいポリシリコンで埋設されているため、そこが占める寄生容量全体に対する割合の増加が問題となってくること、また、埋設されているポリシリコン膜とその周囲を覆っているシリコン酸化膜との間の熱膨張係数の違いから起きる、熱処理工程でのストレスの発生はトランジスタの歩留まりに大きな影響を与えること、などについて説明した。これらの問題を解決し一層のサイズ縮小をするには、トレンチ分離領域に絶縁物を埋設すればいいが、通常のシリコン酸化膜におけるストレスの発生はポリシリコン膜を埋設した時よりも大きくなる。このため、絶縁物を埋設したトレンチ分離技術を使用したトランジスタの研究発表は多数あるが、実用化している技術は少ない。しかし、A-B S Aトランジスタでは低圧条件下で成長するB P S G膜を用いてトレンチ部を埋設した絶縁膜分離技術を開発した。この方法は、加熱された時B P S G膜が軟化し、ストレスを吸収する利点のあるものである。

まず、最初に図2.5にトレンチの製造プロセス（（a）～（c））を示す。

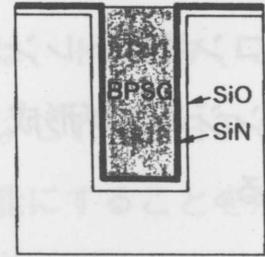
- （a）シリコン基板に深さ4～5 μm の溝（トレンチ）を形成し、薄く酸化し、100 nm程度の窒化膜を形成し、溝の幅の約2倍の膜厚のB P S G膜を低圧CVD法により堆積する。
- （b）～（c）熱処理（1000℃30分程度）をして、B P S G膜を溝内に流し込んだ（リフロー）後にエッチングで不要な膜を除去する。



(a) BPSG deposition.



(b) BPSG reflow.



(c) BPSG etchback.

図 2. 5 B P S G 膜埋設トレンチ分離構造の形成プロセスフロー

また、図 2. 6 にメモリセルに本技術を使用した時の S E M 写真を示す。トレンチ内部は B P S G 膜によりきれいに埋設されている。

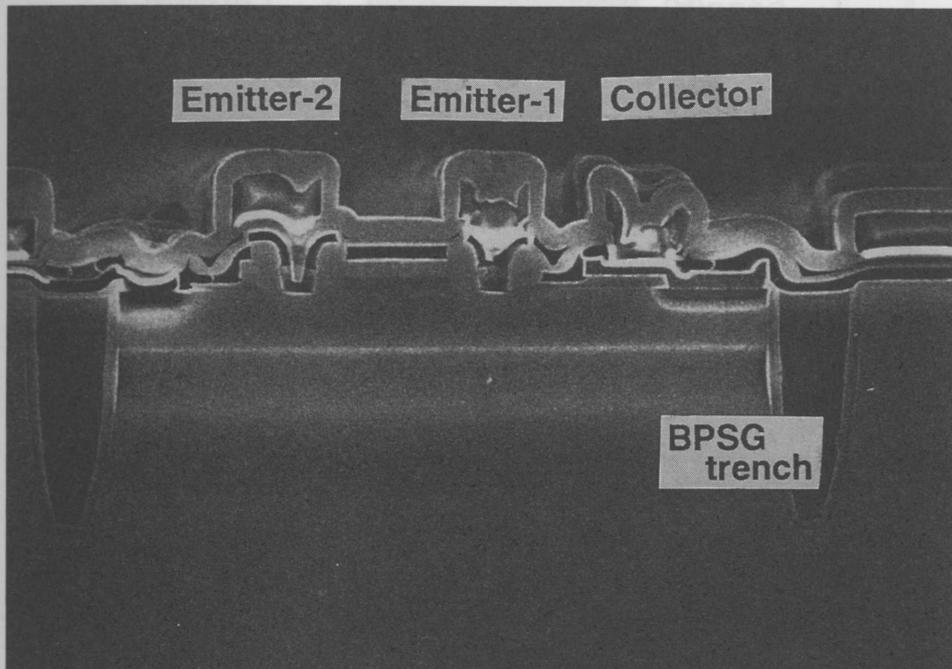


図 2. 6 B P S G 膜埋設トレンチ分離技術をメモリセル部に適用した時の S E M 写真

この B P S G 膜は通常のシリコン酸化膜と比較して、軟化温度が 8 5 0 ° C 程度と低く、トランジスタ製造において、絶縁分離工程の後に加わる高温処理の際、軟化して周辺のスチスを吸収し和らげる効果を持っている。

図2.7にラマン散乱を利用してストレスを評価した結果を示す。図中の $\Delta\omega$ はラマンピークのずれの大きさを示し、ストレスの強さを表している。従来のポリシリコン埋設トレンチ（下図）分離と比較すると、BPSG埋設トレンチ分離ではトランジスタが形成される領域（図中Aと表示）のストレスが約1/3に低減されている。

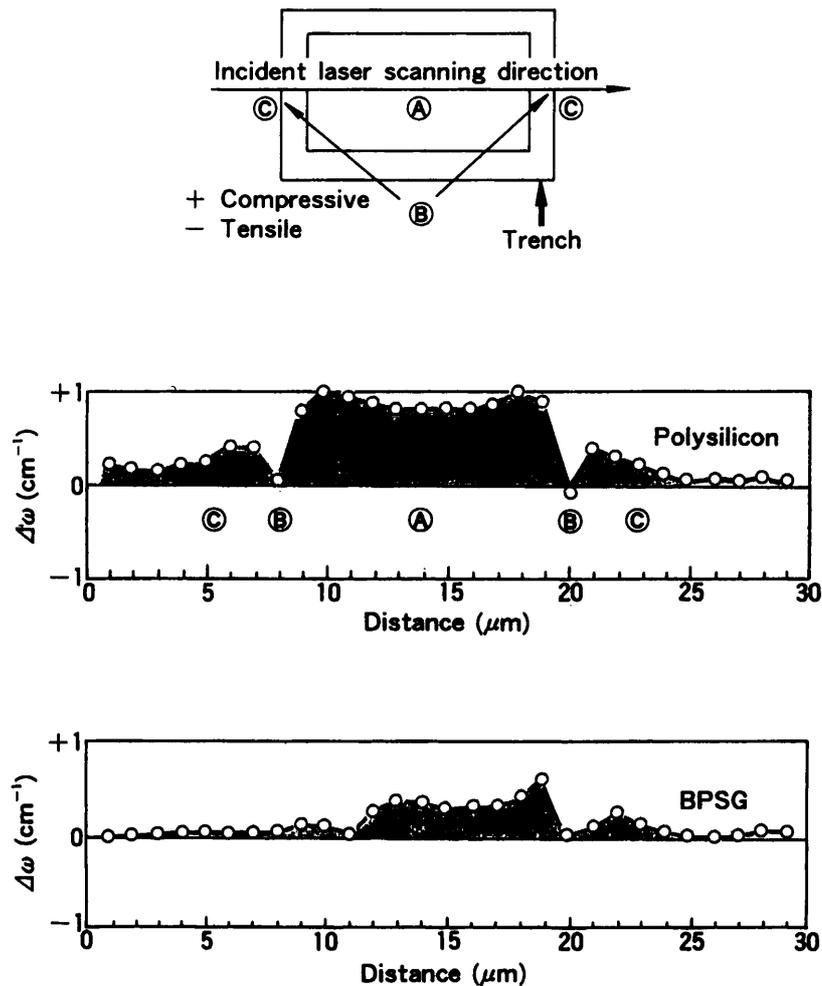


図2.7 ラマン散乱を利用したトレンチ分離技術の違いによるストレスの測定結果。ラマンピークのずれ ($\Delta\omega$) が大きい程ストレスも大きい。

トランジスタでこのストレスの影響を調べるには、エミッタ、コレクタ間のI-V（電流電圧）特性を評価すればいい。図2.8にトレンチ、エミッタ間の距離が1.0 μm の時のトランジスタのI-V特性を示すが、BPSG埋設トレンチ分離では、リーク電流はポリシリコン埋設トレンチ分離と比較して4桁も少なく、良好な特性が得られている。さらに、図2.9に3万個のトランジスタアレイの歩留ま

りとトレンチ、エミッタ間距離依存性を示す。ポリシリコン埋設トレンチ分離ではトレンチ、エミッタ間距離が縮小すると、トレンチ部のストレスのために歩留まりは大幅に低下するが、BPSG埋設トレンチ分離を使用した時は、トレンチ、エミッタ間距離が $1.0\ \mu\text{m}$ になっても歩留まりは変化していない。これは、BPSG埋設トレンチ分離技術がトランジスタの大幅なサイズ縮小を可能にすることを示している。これが、この分離技術が実用化した大きな理由となっている。

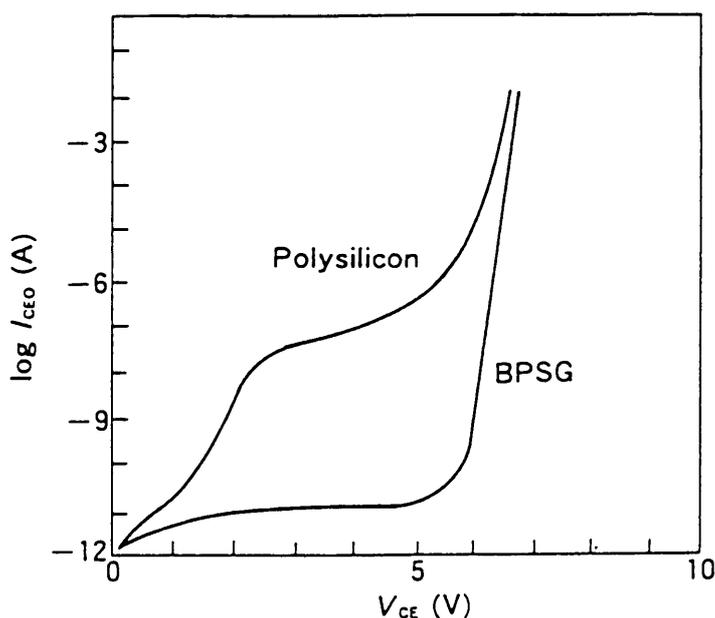


図2.8 トレンチ、エミッタ間距離が $1.0\ \mu\text{m}$ の時の $I-V$ 特性

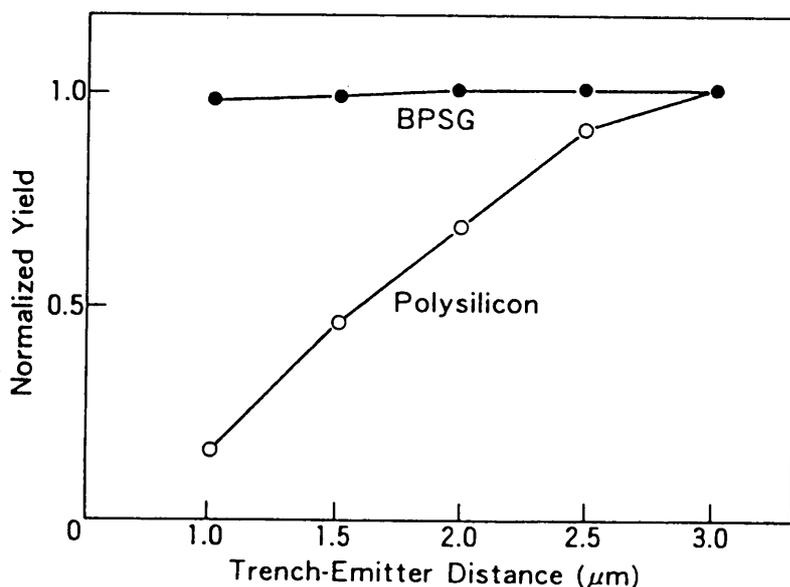


図2.9 トレンチ分離技術の違いによる3万個のトランジスタの歩留まり (トレンチ、エミッタ間距離依存性)

さて、トランジスタのサイズスケールダウン効果である、寄生容量低減効果について検証する。図2. 10にトランジスタのコレクタに付く寄生容量を示す。

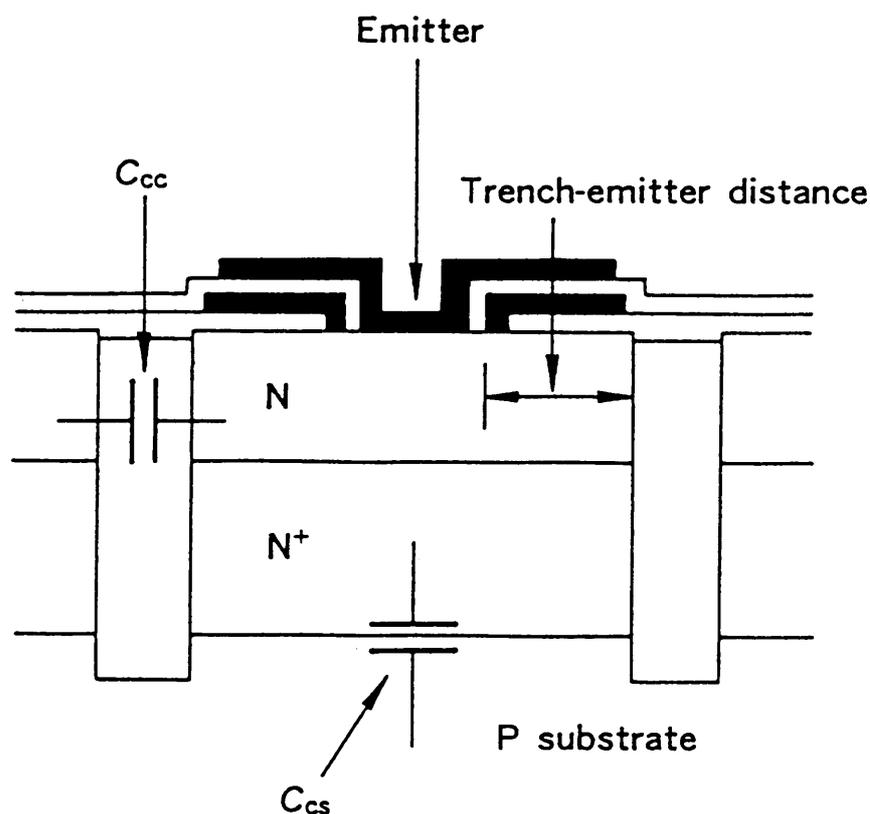


図2. 10 トランジスタのコレクタ節点に付く寄生容量。

寄生容量 (Cs) は、下記式で表される。

$$\frac{1}{C_s} = \frac{1}{C_{cs}} + \frac{1}{C_{cc}} \quad (2-1)$$

ここで、Ccs はコレクタ、基板間寄生容量、Ccc はトレンチ部に付く寄生容量である。Ccs はトランジスタのサイズ縮小効果（エミッタ、トレンチ間距離が縮小して面積が減る）により最大60%に低減され、Ccc は埋設物の誘電率が約1/3になり、さらにサイズ縮小（トランジスタの周囲長が縮小）効果もあり、約30%に低減される。これにより、Cs は（2-1）から、ポリシリコン埋設トレンチ分離に比べ約1/2に低減された。

2.2.3 コレクタ設計とプロセス技術

トランジスタの f_T を改善するには、各接合を浅くすると同時にコレクタ電流密度を上げるため（式（1-6）で第1項を改善する）に、コレクタの濃度を上げて、カーク効果を抑える必要がある。従来、エピタキシャル成長時にコレクタ部の高濃度化を行いこれを防いできたが、垂直方向のスケーリングにより、ベース領域の不活性部（外部ベース領域：活性部である内部ベース領域より濃度が高い、図2.4で P^{++} と表された拡散層）と高濃度化したエピタキシャルコレクタで決まる接合耐圧が下がる問題が起き、薄膜エピタキシャル成長技術だけではカーク効果の発生を防ぎつつトランジスタ特性の改善が出来なくなった。また、高濃度化はコレクタ、ベース間容量の増加を伴い、（1.2.2）項で述べたトレードオフ効果が起こり、結果としてICの高性能化は達成されない。このため、単純な高濃度化ではなく、必要最低限の箇所（活性ベース領域直下）の高濃度化と、高濃度にするコレクタ不純物分布の最適設計が必要になる。活性ベース領域直下に選択的に高濃度コレクタ領域を形成（図2.4で③の番号がついたN型拡散層）し、 f_T を改善する方法は、小中等により報告されている[25]。この方法は高濃度コレクタ領域がエミッタ開口部と自己整合で作られるため、製作工程の増加も最小限で済み、自己整合トランジスタに適した方法であるが、小中等の研究では f_T を大幅に改善するには至っていない。A-B-S-Aトランジスタにおいてもこの方法を採用しているが、コレクタの不純物濃度の分布の最適化設計を行い、 f_T を大幅に改善している。

本研究では、最適なコレクタ分布を決定するために、デバイスシミュレータを使用して設計を行った。図2.11にコレクタの不純物濃度の分布を変えた時、高注入状態で活性ベース領域中の電子と正孔のキャリア分布がどう変わったかをシミュレーションした結果の一例を示す。

図の左側は使用した不純物分布を示し、右側が電子、正孔の濃度を示す。（a）～（c）はエミッタとベースの不純物分布は同一として、コレクタの不純物分布を変えてある。（a）はエピ成長直後、（b）、（c）は活性ベース領域直下へ、高エネルギーイオン注入を使用し、N型（隣イオン）不純物の注入したときのシミュレーション分布である。コレクタの形成条件として2種類の場合を想定した。（b）

は 150 KeV 、 $3 \times 10^{12}/\text{cm}^2$ で、(c) は 150 KeV 、 $3 \times 10^{12}/\text{cm}^2$ + 250 KeV 、 $3 \times 10^{12}/\text{cm}^2$ である。 f_T の改善は、ベース幅が高注入状態でコレクタ側に広がるベース幅変調効果（カーク効果）の発生を防止することで達成されるが、(c) の条件では、正孔の「しみだし」が押さえられ、ベース幅変調効果がほとんど認められない。このコレクタ分布は (1) 不純物濃度がベース接合から埋め込みコレクタ部へ徐々に増加、(2) コレクタ、ベース接合のコレクタ側濃度は回路設計上必要な接合耐圧（回路の種類により多少違う）が得られるように設計してある。この (c) のコレクタ分布を傾斜コレクタ分布と呼んでいるが、これにより、 f_T は従来の薄膜エピタキシャル成長技術のみを用いた場合の約 2 倍に改善された。

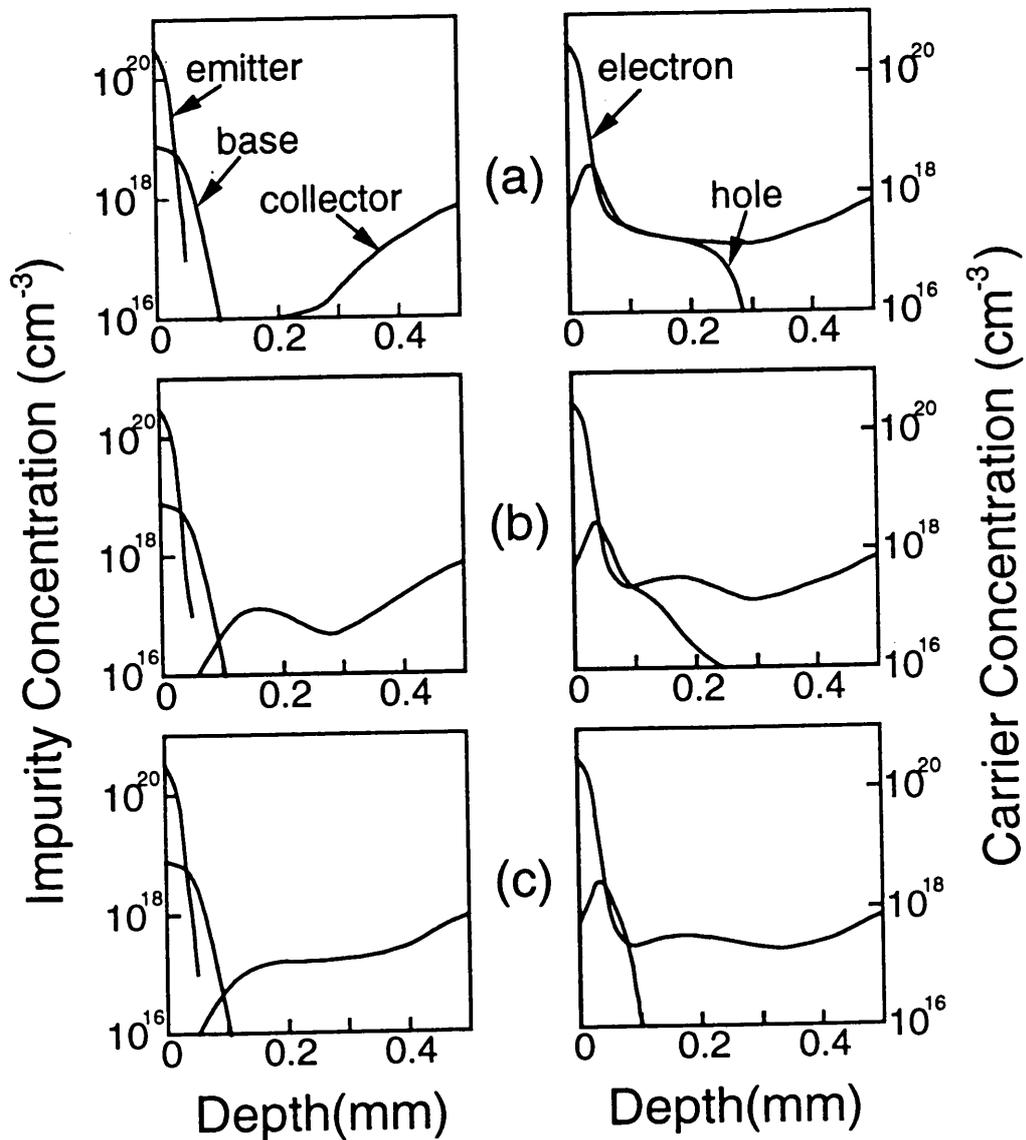


図 2. 1 1 高注入状態での、各種コレクタ不純物分布に対する電子、正孔のキャリア分布。左図が不純物分布、右図がキャリア分布を示す。

2.2.4 ベース設計とプロセス技術

ベース設計で重要なことは、「 f_T 向上のためのベース幅の縮小と、それに伴うベース抵抗 (r_b) の上昇を抑える、という相反する課題 (トレード・オフ効果)」をどう解決するかである。ベース領域を狭く、急峻に作ることはBSA技術で可能であり、前項のコレクタ不純物分布と組み合わせることで、高い f_T 値は得られる。しかし、ベース幅が狭くなり、それによって r_b が高くなるという問題はまだ残っている。これでは、ICの高速化に必要な十分に高い f_{MAX} は得られない。 r_b は下記に示すように大きく4つの成分に分解できる。

$$r_b = r_{int} + r_{link} + r_{ext} + r_{poly} \quad (2-2)$$

ここで r_{int} は内部ベース領域 (活性ベース領域) の抵抗 (図2.4で P^- と表示されている拡散層)、 r_{link} はリンクベース領域の抵抗 (P^+ 拡散層)、 r_{ext} は外部ベース領域の抵抗 (P^{++} 拡散層)、 r_{poly} はベースのポリシリコン引き出し電極の抵抗で (P^+ -Poly-Si と表示) ある。ところで、 f_{MAX} を決定するベース抵抗とは高注入状態でのベース抵抗のことであるから、高注入状態でのベース抵抗を考えれば良い。高注入状態では r_{int} はベース伝導率変調効果により $1/10$ 以下になり、また、 r_{ext} はボロン濃度が高く、抵抗は十分に小さい。抵抗として見えてくるのは、 r_{link} と、金属電極とシリコン基板に拡散されている外部ベース領域との接続に使われるポリシリコン引き出し電極の抵抗の r_{poly} である。ここで、 r_{poly} は、通常のポリシリコン膜よりグレインサイズが大きいアモルファスシリコン膜を結晶化した膜[26]を使用する技術が開発され、シート抵抗を通常のポリシリコン膜の $1/2$ ($50 \Omega/\square$) に下げられ、ベース抵抗への影響が大幅に低減された。この結果、特に重要なのは、 f_T 向上のために接合を浅くしシート抵抗が高くなっているリンクベース領域の低抵抗化となった。従来のイオン注入法でベース領域を形成するトランジスタでは、内部ベース領域とリンクベース領域は形成条件を分離できず、前述した様に、 f_T と r_b

の間のトレード・オフ効果の悪影響は不可避であった。しかし、BSA技術を使用したトランジスタでは、図2.1で示したように、内部ベース領域とリンクベース領域は形成条件を限定的であるが分離できる。すなわち、内部ベース領域はBSG膜からのボロン拡散は1回であり、リンクベース領域は2回あるからである。これらのシート抵抗は(1)BSG膜のボロン濃度、(2)1回目のRTA処理条件、(3)2回目のRTA処理条件、(4)BSG膜の膜厚の4つのプロセスパラメータの影響を受ける。これらの条件を最適化すれば良い。

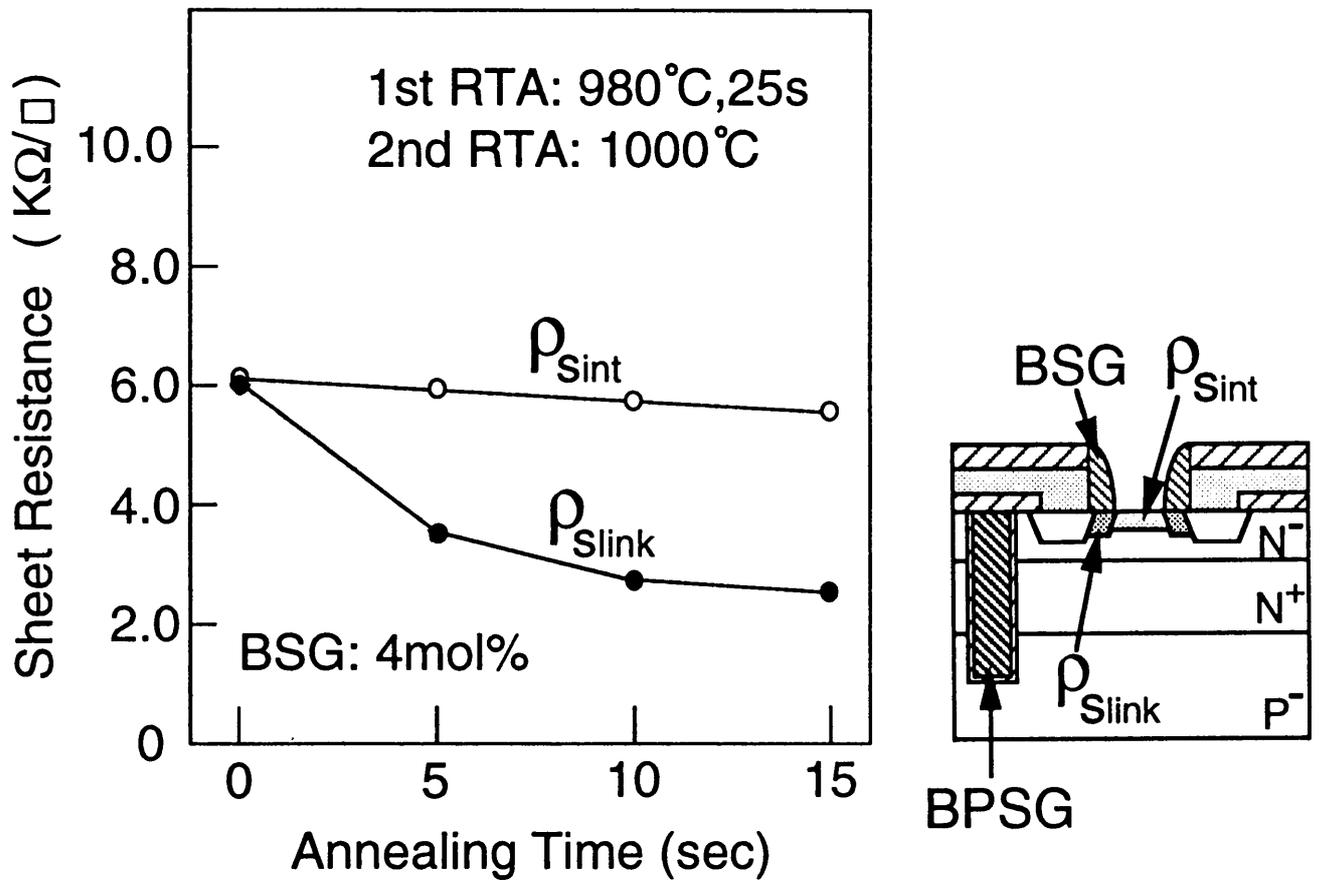


図2.12 2回目のRTA処理時間に対する ρ_{sint} (内部ベース領域のシート抵抗)と ρ_{slink} (リンクベース領域のシート抵抗)の変化。

図2.12に内部ベース領域とリンクベース領域の、エミッタ拡散前のシート抵抗の一例を示す。ここで、BSG膜の膜厚は $0.2\ \mu\text{m}$ で、BSG膜のボロン濃度は4モル%で、かつ1回目のRTA処理条件は固定してある。2回目のRTA処理条件を変えることで、内部ベース領域のシート抵抗は ρ_{sint} では $6\ \text{K}\Omega/\square$ でほぼ一定

(1回目のRTAの時のみBSG膜から不純物が拡散)であるが、リンクベース領域のシート抵抗 ρ_{slink} は3.9 K Ω / \square から2.6 K Ω / \square まで変化(1、2回目ともBSG膜から不純物が拡散)し、シート抵抗で約2倍程度の差に設計できる。

すなわち、BSA技術を使うと、 f_T に影響する内部ベース領域とベース抵抗に影響するリンク領域のシート抵抗設計が、熱処理プロセス、BSG膜厚、BSG中のボロン濃度を最適化することにより、ある程度制御でき、高い f_T に必要な狭い内部ベース領域が r_b の上昇を抑えながら実現出来る。これにより、トレード・オフ効果の影響は大きく抑えられた。

2.2.5 エミッタ設計とプロセス技術

浅いエミッタ接合形成は(1.3.1)項で述べた様に、RTA技術を導入して可能になったが、エミッタサイズを縮小すると、エミッタ幅が1.0 μm 付近から、(1.3.2)項で述べたエミッタプラグ効果が発生した。これは(1)エミッタ抵抗の上昇、(2)電流利得(h_{fe})の劣化、(3) f_T の劣化、というトランジスタ特性の悪化だけでなく、(4)エミッタ拡散層周辺部での接合形成不良に起因する信頼性低下(長時間使用するとエミッタ、ベース接合間のリーク電流の増加や電流利得の低下が発生)を引き起こした。

図2.13にエミッタ電極の従来構造と本研究で提案した新構造(buried emitter structure: 埋め込みエミッタ構造と呼ぶ)を示す。新構造ではエミッタ引き出し電極部とエミッタ接合形成方法を、エミッタポリシリコン膜形成→不純物イオン注入→不純物拡散(エミッタ接合が形成される)というものから、エミッタポリシリコン膜形成→ポリシリコン膜エッチバック→不純物イオン注入→不純物拡散→白金シリサイド膜形成→タングステン膜成長→タングステン膜エッチバックと変更した。従来の構造では、アスペクト比が大きいエミッタ開口部に不純物をイオン注入すると、開口部側壁のポリシリコン膜底部に不純物は打ち込まれず(シャドーイング効果)、エミッタ電極であり、かつエミッタ接合形成の拡散源でもあるポリシリコン膜中に不純物濃度の低い領域ができる。これが前述したエミッタプラグ効果を引き

起こす。一方、新構造においては、ポリシリコン膜はエミッタ開口部の下部にのみ存在し、イオン注入を0度で行う（真上から注入）ことで、均一に不純物は打ち込まれ、これから拡散して形成する接合も周辺部まで均一に出来る。また、ポリシリコン膜上には金属との接触抵抗を小さくできる白金シリサイド膜を形成し、さらに開口部の段差を埋設するためにタングステン膜が埋設されるため、アスペクト比が大きくても抵抗は小さく出来る。

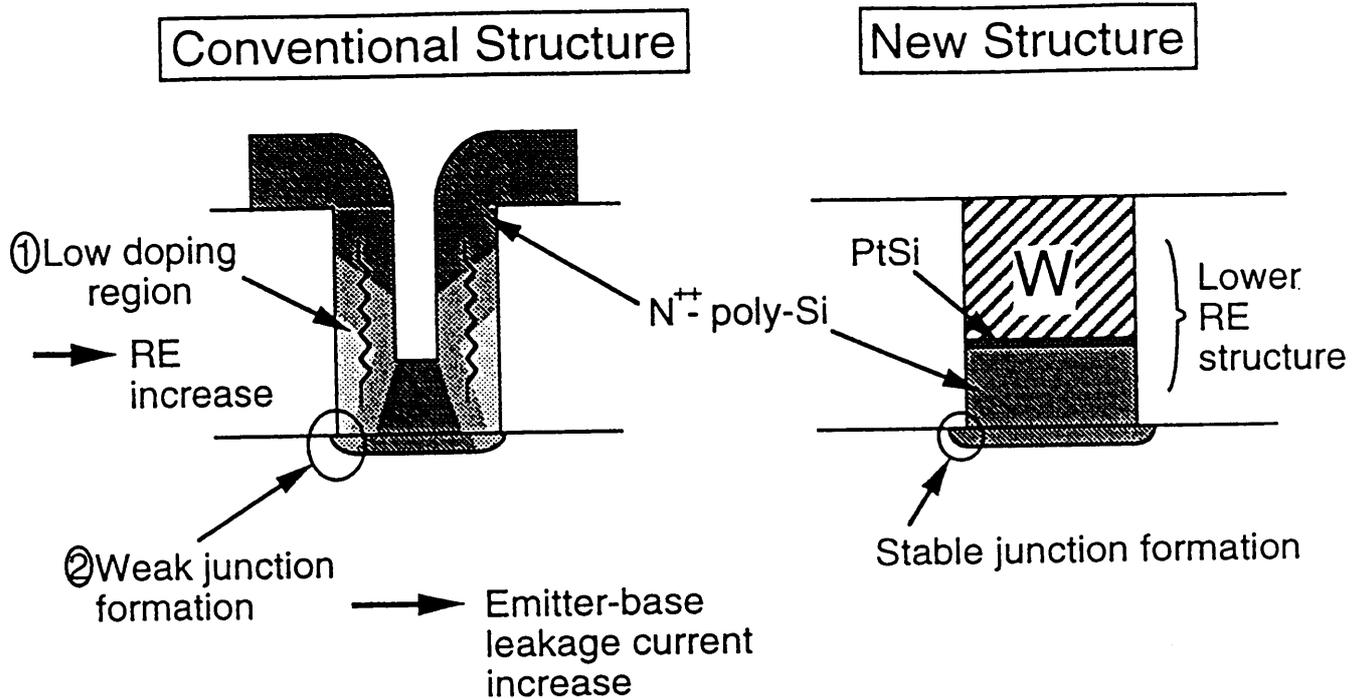


図2. 13 エミッタ電極の従来構造と新構造（埋め込みエミッタ構造）の比較。

図2. 14 に従来構造と本研究で提案した新構造のエミッタ抵抗のエミッタサイズ依存性を示す。ここで、エミッタ幅はエミッタ抵抗への幅依存性が、端的に確認出来る様に、新旧構造共に $0.4 \mu\text{m}$ に固定してある。従来構造では不純物（砒素）の注入量を 1×10^{16} と $2 \times 10^{16} / \text{cm}^2$ の2水準で作成し、新構造と比較した。従来構造で不純物注入量を増やすと、抵抗は低下してきてはいるが、エミッタ面積が $1 \mu\text{m}^2$ 以下になると、急激に増加し始める。一方、新構造においては、不純物注入量は $1 \times 10^{16} / \text{cm}^2$ であるにも関わらず、抵抗値は低く、その値は従来構造の $1/3$ から $1/50$ である。

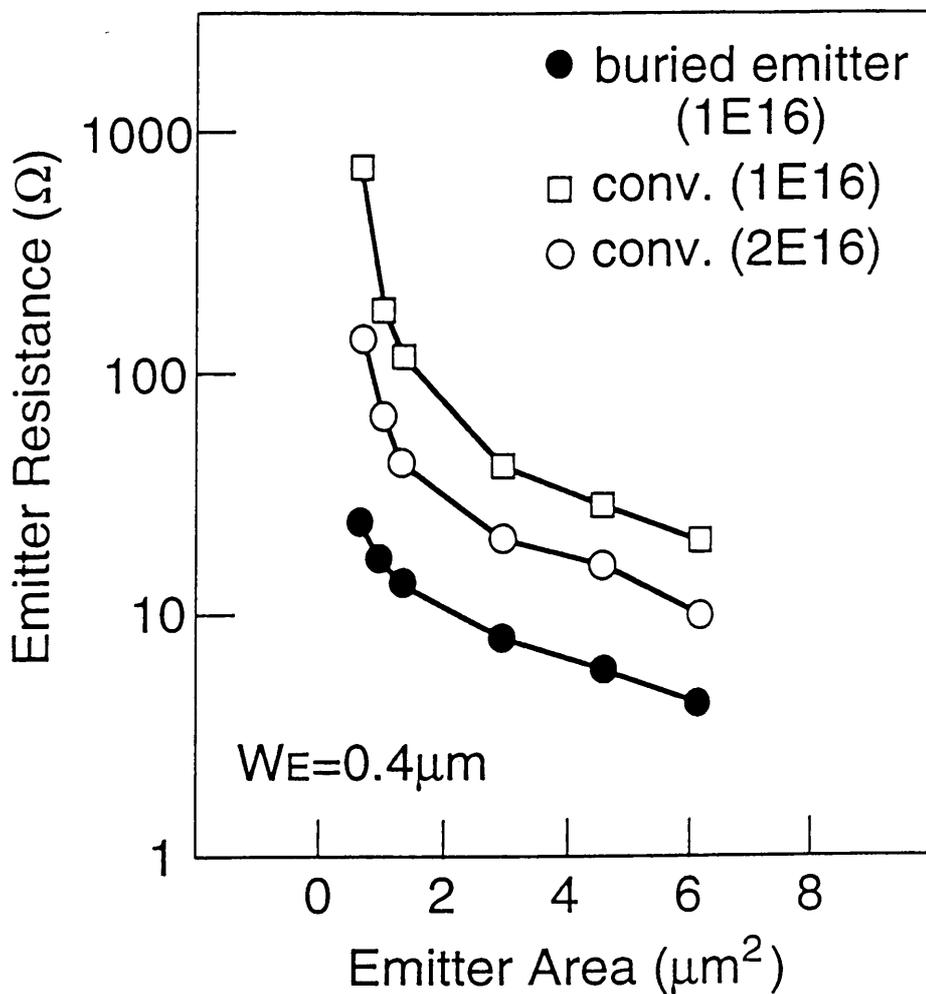


図2. 14 エミッタ面積とエミッタ抵抗の関係。

図2. 15に従来構造と新構造のトランジスタのガンメルプロット特性を示す。ガンメルプロット特性で観測されるベース電流（図中の I_B ）の低電流領域での特性は、エミッタ・ベース接合部の良否判定に使用される。これは、ベース電流の低電流領域特性がエミッタ・ベース間の空乏層内（特に、接合の表面付近）での再結合電流の影響を大きく受けるからである。このベース電流特性であるが、新構造ではコレクタ電流 I_C に平行で理想的な特性を示し、接合の表面付近での再結合電流が少ないことを示している。すなわち、新構造では、従来構造に比べエミッタ接合が周辺部までしっかりと形成されていることを示している。また、電流利得はガンメルプロット特性の I_C と I_B の比から算出されるが、図から明らかな様に、新構造エミッタのトランジスタは I_C と I_B が 10^{-8} A以下まで平行で、電流利得がフラットな特性を示していて、かつ、その絶対値も従来構造よりも大きいことが判る。この様に、埋め込みエミッタ構造は、エミッタプラグ効果を抑えることが出来、エミッタ

が微細なトランジスタに対し特に有効な構造である。

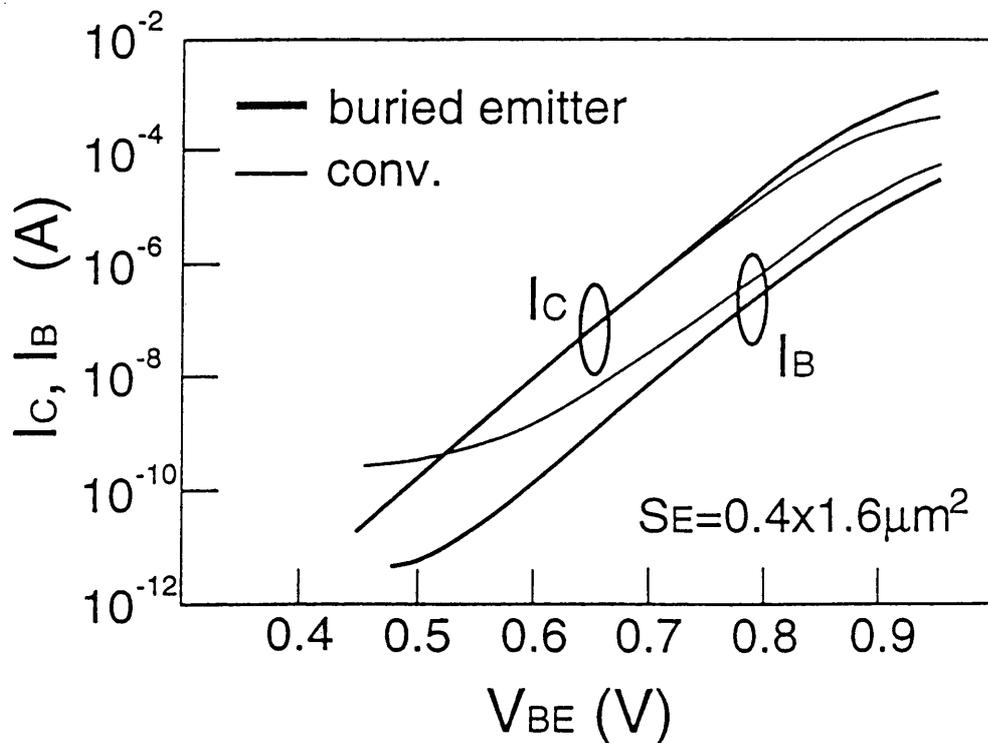


図2. 15 エミッタ電極構造の違いによるガンメルプロット特性の比較

2.3 A-BSA トランジスタの電気特性と回路特性

前項で論じたデバイス／プロセス技術を使用したA-BSAトランジスタのAC特性と回路特性を示す。ここで示すトランジスタはコレクタのエピタキシャル成長膜厚が0.7 μmで、内部ベース領域直下の傾斜コレクタ分布は2回のイオン注入により形成し、条件は1回目が200 KeVの $1.5 \times 10^{12}/\text{cm}^2$ で、2回目が300 KeVの $1.5 \times 10^{12}/\text{cm}^2$ で設計したものである。また、BSG膜のボロン濃度は4モル%で膜厚は0.2 μmであり、さらに1回目のRTA処理条件は980℃25秒である。この条件で拡散されたボロン分布を図2.16に示す。

また、図2.17は2回目のRTA処理を変え、トランジスタのデバイスパラメータ (f_T , f_{MAX} , r_b) を変えた時に、1/16ダイナミック分周ICの最大動作周波数 (f_{TGL}) がどのようなになるか、その関係を調べた結果である。

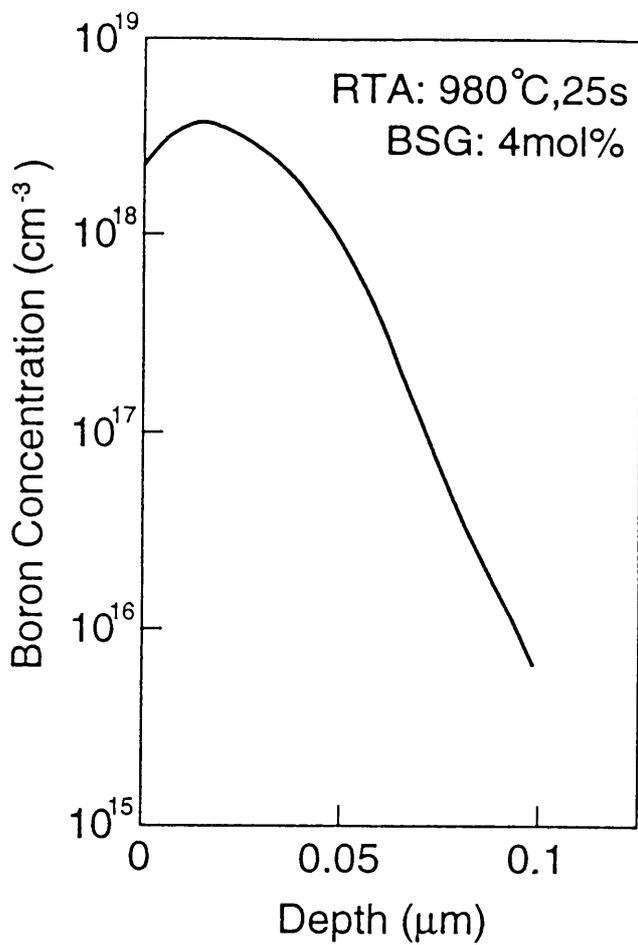


図 2. 1 6 BSG膜のボロン濃度4モル%、膜厚0.2 μm、1回目のRTA処理条件980°C25秒の時のボロン分布。

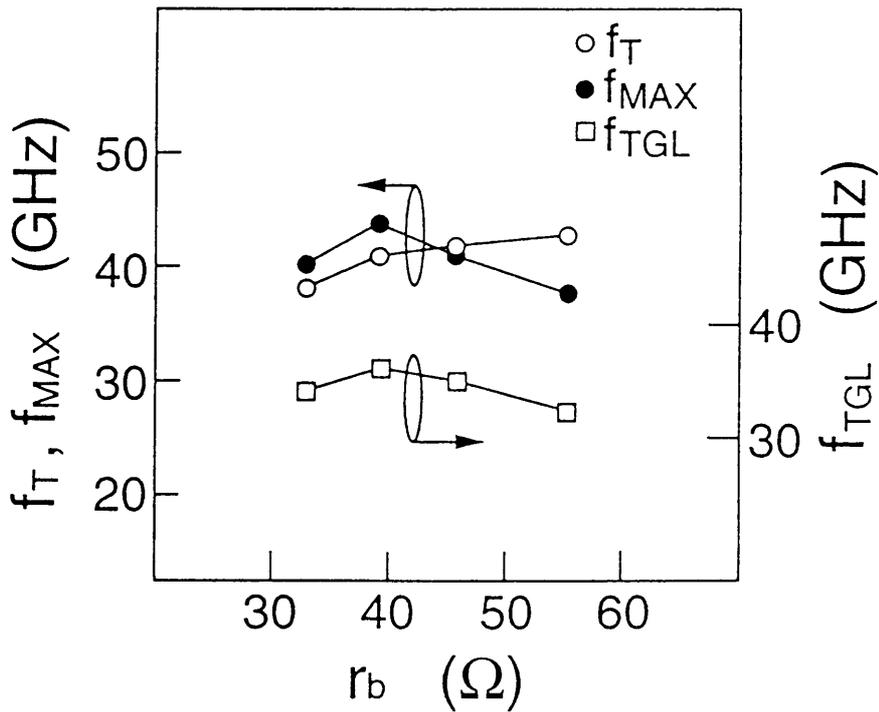


図 2. 1 7 トランジスタのデバイスパラメータ (f_T , f_{MAX} , r_b) を変えた時の1/16ダイナミック分周ICの f_{TGL} の変化。

f_{TGL} は f_T より f_{MAX} の変化に対応して変化している。このときの2回目のRTA処理条件は 1000°C 10秒であった。また、 f_T が高くても、 r_b が大きく f_{MAX} が低いと、デジタル回路であるダイナミック分周ICの性能は改善されていない。このように、高速ICを実現するには、単に、 f_T の高いトランジスタを作るのではなく、 $r_b \cdot C_{jc}$ 積と f_T の間のトレード・オフ効果を最小限に抑えて、 f_{MAX} の高いトランジスタが実現できるデバイス・プロセス設計が重要であることが判る。

図2.18に図2.17で回路特性が最も良いトランジスタのコレクタ電流 (I_c) に対する、 f_T と f_{MAX} の特性を示す。この時 f_T は 41GHz 、 f_{MAX} は 44GHz であった。ここで f_T と f_{MAX} のピーク値が得られる I_c の値が若干違っている。これは内部ベース領域の高注入状態におけるベース伝導率変調効果は、カーク効果がかかり顕著になってから起こるために、 r_b の低下は f_T の低下が起こり始めても、止まらず続いているからである。

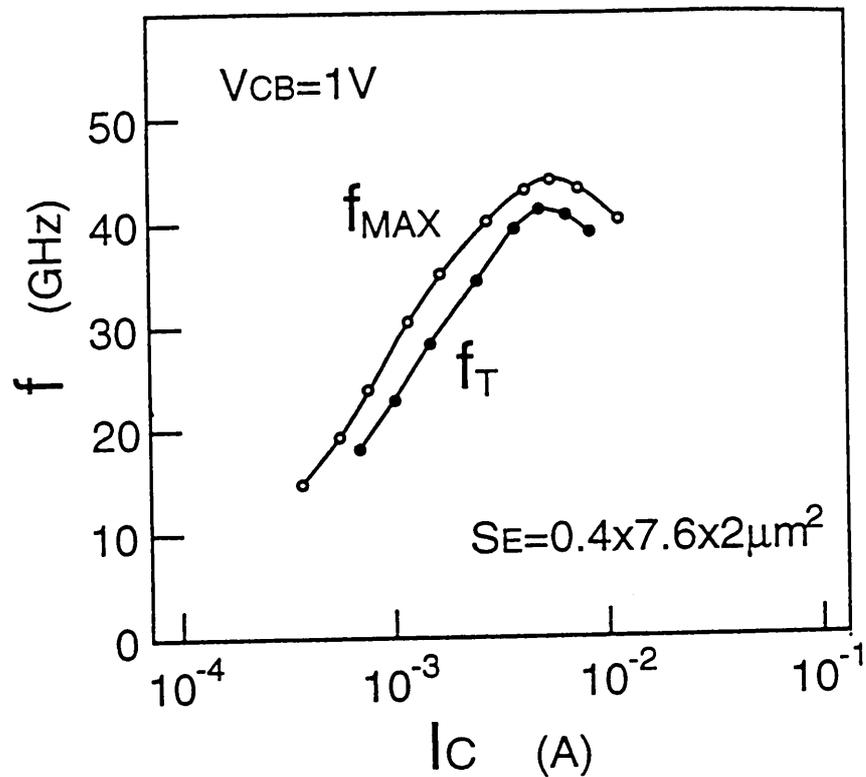


図2.18 コレクタ電流 (I_c) と f_T 、 f_{MAX} の関係

図2.19にエミッタ幅 $0.4\ \mu\text{m}$ のトランジスタにおける、ECL基本回路(1入力1出力)の t_{pd} (遅延時間) と I_c の関係について示す。 I_c が 2.5mA の時、 t_{pd} の最小値 19ps /回路が達成されている。また、表2.1にこのトランジス

タの主要なデバイスパラメータを示す。

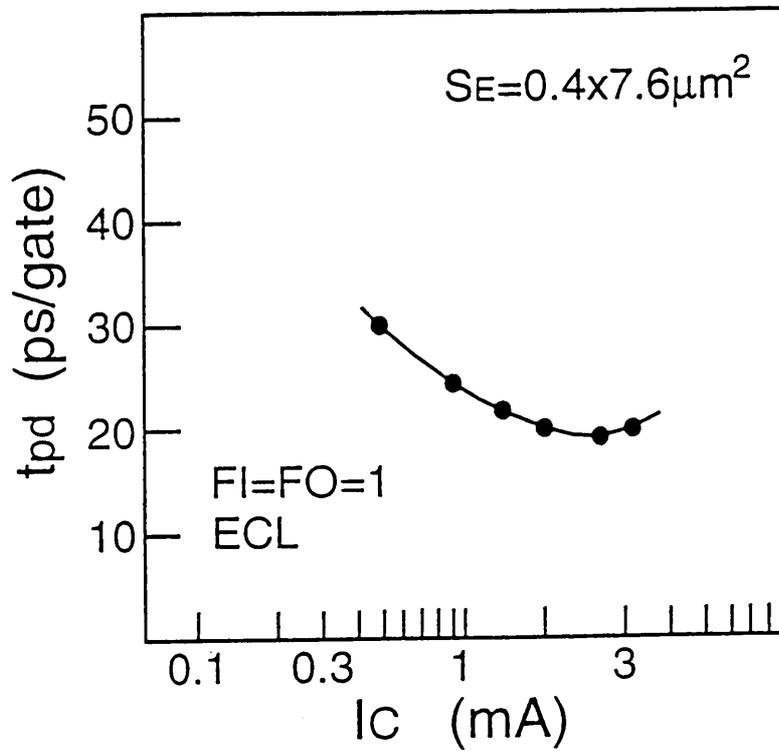


図 2. 1 9 E C L 基本回路の t_{pd} と I_c の関係

Device parameters of the A-BSA transistor

Emitter size (effective)	$0.4 \times 7.6 \mu\text{m}^2$
Collector-base capacitance (C_{jc})	16.2fF
Emitter-base capacitance (C_{je})	19fF
Base resistance (r_b)	39Ω
Emitter resistance (R_E)	6.5Ω
C-E breakdown voltage (BV_{CEO})	3.1V
E-B breakdown voltage (BV_{EBO})	2.0V
Current gain (h_{fe})	70
Cut-off frequency (f_T)	41GHz ($V_{CB}=1V$)
Maximum frequency of oscillation (f_{MAX})	44GHz ($V_{CB}=1V$)

表 2. 1 A-B S A トランジスタのデバイスパラメータ

2.4 まとめ

本章で論じた高速シリコン自己整合トランジスタ技術であるA-B S A トランジスタ技術の、デバイス設計とそれを実現したプロセス技術に関し、研究して得られた成果をまとめる。

- (1) 高性能なトランジスタを実現するためには、水平、垂直方向のスケーリングをしなければならない。A-B S A トランジスタではトランジスタの絶縁分離、コレクタ、ベース、エミッタ形成に関し、下記の4つの新デバイス構造とプロセス技術を提案し、それを実証した。
 - (1-1) 自己整合型トランジスタ構造に融合し、浅くて急峻で、高濃度でも結晶欠陥の発生のないベース接合が形成できる方法として、B S A 技術を提案し、100 nm以下のベース接合を形成した。
 - (1-2) トランジスタの絶縁分離として、ストレスや寄生容量が少ないB P S G埋設トレンチ分離技術を提案し、従来のポリシリコン埋設トレンチ分離技術と比較して、トランジスタの歩留まりを改善し、寄生容量も約半分にした。
 - (1-3) カーク効果を抑え高い f_T を達成するには、コレクタの高濃度化が必須であるが、寄生容量の増加によるトレード・オフ効果で f_{MAX} の劣化が起こる。この悪影響を少なくし高い f_T を得るために、ベース活性領域直下に選択的に傾斜コレクタ分布領域を形成することを提案し、 f_T を約2倍に上げた。
 - (1-4) エミッタサイズの縮小は、エミッタ抵抗の上昇、電流利得の劣化、 f_T 劣化、さらにエミッタ周辺部のエミッタ接合形成不良による信頼性の低下を引き起こす。微細エミッタで発生する問題を解決するために、埋め込みエミッタ構造を提案し、エミッタ抵抗を従来の1/3から1/50にした。また、エミッタ周辺部でも安定したエミッタ接合を形成し、電流利得の低電流からの均一性と絶対値も改善した。
- (2) f_T 向上のためのベース幅縮小と、それに伴うベース抵抗(r_b)の上昇という相反する課題(トレード・オフ効果)を解決するには、リンクベース領域

の設計が重要であることを指摘し、ベース形成条件の（a）BSG膜のボロン濃度、（b）1回目のRTA処理条件、（c）2回目のRTA処理条件、（d）BSG膜の膜厚を最適設計することにより、 r_b の上昇を抑えながら高い f_T を実現した。

- (3) 上述の技術により、 f_T は41GHz、 f_{MAX} は44GHzの高性能シリコンバイポーラトランジスタを実現した。

第3章 超高速シリコン・ゲルマニウム

自己整合トランジスタ技術：

—SSSB と A-SSSB トランジスタ技術—

本章では 20Gb/s の高速光通信に対応可能な高性能のシリコン・ゲルマニウム (SiGe) 選択エピタキシャル成長 (SEG: Selective Epitaxial Growth) 技術をベース領域形成に用いた SiGe 自己整合トランジスタ技術について述べる。即ち、SSSB (Super Self-Aligned Selectively grown SiGe Base) 技術、並びに SSSB 技術のコスト・パフォーマンスを大幅に改善した A-SSSB (Advanced-Super Self-Aligned Selectively grown SiGe Base) 技術、デバイス設計とプロセス技術、さらにトランジスタの特徴と、電気特性、回路特性について論じる。

3.1 SiGe ヘテロ接合バイポーラトランジスタ(HBT)技術

第2章で論じた様に、シリコン自己整合型トランジスタの性能は浅いベース領域を形成する技術等の研究により、 f_T で 40GHz を越えるものが作成出来るようになり、ICへの応用研究も多数発表された[27-30]。しかし、さらに性能を向上しようとする、大きな問題が発生した。それは、ベース領域を薄くするためには、ベース領域の高濃度化が(ベース抵抗上昇やパンチスルー防止のため)必要であるが、これは電流利得 (β) を大きく低下させ、回路設計を不可能にした。この問題を解決するために、シリコン系ヘテロ接合バイポーラトランジスタ (Si-HBT) 技術が検討された。これは、大別して以下の2種類の方法に集約される。

1つはエミッタに使用する材料のバンドギャップをベースより大きくするタイプで、エミッタ材料として SiC (シリコンカーバイト) やアモルファスシリコンを

用いた方法であった[31]。しかし、このワイドバンドギャップエミッタのトランジスタは使用する材料の特性上の不安定さから研究は中断している。

一方、トランジスタのベース領域にバンドギャップがシリコンより小さい、歪み格子状態のSiGe合金を用いるHBTについては、現在、活発に研究が続けられている[32-36]。このベース領域に歪み格子状態のSiGe合金を用いるHBTは2種類検討されている。バンドギャップがシリコンより狭くなることを利用する点は同じだが、1つはエミッタ、コレクタの両接合をヘテロ接合としたタイプで、従来の化合物系HBTの設計思想を踏襲したものである。ベース幅縮小でベース濃度が高くなり、エミッタからの注入効率が低下するのを、エミッタ側のバンドギャップ差を大きくして、防ごうというものである。ベース領域のGe含有量は均一であり、トランジスタの f_T はベース領域を極端に薄くして改善し、これにより発生する r_c 上昇に対してはベース濃度さらに上げて対処するもので、前述したトレード・オフ効果への対策は不十分である。

もう1つは、ベース領域中のGe濃度に傾斜（コレクタ側の濃度を高くする）をかけて、コレクタ側のみをヘテロ接合としたものであり、ベース領域中のバンドギャップ差を利用して加速電界を発生させ、ベース走行時間の短縮（ f_T の向上）と輸送効率向上（電流利得の改善）を達成しようとするもので、本研究は後者のタイプのトランジスタに対して行った。

本研究の対象となったトランジスタの原理に簡単に触れる。図3.1にエネルギーバンド図を示す。バンドギャップはコレクタ側が狭くなっているため、伝導帯には電子に対し加速電界が加わる様な傾斜が付いている。このバンドギャップの縮小量（ ΔE_g ）はGeの濃度で決まり、その大きさとGe濃度の関係は図1.10に示す通りである。

さて、ベース走行時間（ τ_B ）と電流利得（ β ）が、SiGe-HBTではシリコンバイポーラトランジスタ（Si-BJT）に対し、どのような関係で表されるのかを下記に示す[37,38]。

電流利得 (β) については、

$$\frac{\beta(\text{Si})}{\beta(\text{SiGe})} = \frac{r_{bi}(\text{Si})}{r_{bi}(\text{SiGe})} \times e^{-\Delta E_g(\text{EB})/kT} \times \frac{1 - e^{-\Delta E_g G/kT}}{\Delta E_g G/kT} \quad (3-1)$$

の関係があり、 f_T に大きな影響を与えるベース走行時間 (τ_B) については、

$$\frac{\tau_B(\text{SiGe})}{\tau_B(\text{Si})} \cong \frac{2kT}{\Delta E_g G} \times \left(1 - \frac{kT}{\Delta E_g G} (1 - e^{-\Delta E_g G/kT}) \right) \quad (3-2)$$

と表される。ここで、 r_{bi} は内部ベース抵抗で、 $\Delta E_g(\text{EB})$ はエミッタ・ベース接合の空乏層端におけるバンドギャップの縮小量である。また、 $\Delta E_g G$ は $\Delta E_g G = \Delta E_g(\text{BC}) - \Delta E_g(\text{EB})$ で計算され、 G は濃度差で決まるベース領域のエミッタ・ベース接合とベース・コレクタ接合の空乏層端でのバンドギャップ縮小量の差である。なお、 k はボルツマン定数である。

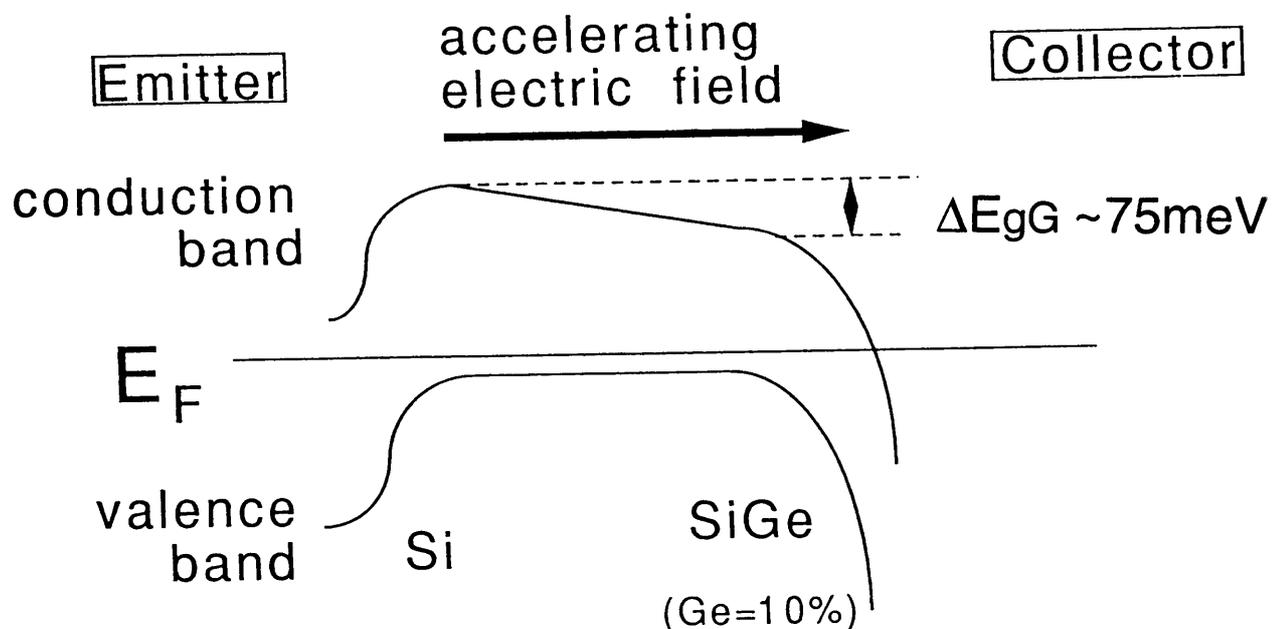


図3. 1 SiGeベース領域中のGe濃度に傾斜を付けた時のエネルギーバンド図。エミッタ接合側は0%でコレクタ接合側は10%の時の場合でバンドギャップの縮小量の差 ($\Delta E_g G$) は約75 meVである。ベース領域は40 nm程度とすると、加速電界は20 KeV/cmと強くなり、ベース・コレクタ空乏層のベース端で電子は飽和速度を超えている(速度オーバーシュート)というシミュレーション結果が報告されている[39]。

本研究ではエミッタ・ベース接合はホモ接合になる様に設計してあるので、 $\Delta E_g(EB)=0$ と考える良い。また、 kT は室温(27°C)では約26meVである。上式によれば、本研究のトランジスタにおいては、 β と τ_B は共に ΔE_gG にほぼリニアに依存して改善されると言える。ところで、高い f_T を得るには加速電界は強いほどいいわけであるが、Geの濃度を上げ過ぎると、歪み格子状態のSiGe合金の耐熱性が低下[12]し、トランジスタ製造プロセス中の熱処理(主にエミッタ拡散)においてSiGeの歪み格子状態が壊れ、結晶欠陥が発生し、さらにバンドギャップ縮小効果も小さくなるという問題が起きる。本研究ではトランジスタ製造プロセスでの熱処理温度(最高温度950°C)と、ベース領域の幅が30~50nm程度のトランジスタを想定して、Ge濃度は10~15%($\Delta E_gG=75\sim110$ meV)前後のトランジスタ設計を行った。

3.2 SiGe 選択エピタキシャル成長(SiGe-SEG)技術

本項では、SSSB技術とA-SSSB技術の基盤技術である、SiGe選択エピタキシャル成長(SiGe-SEG)を、シリコン製造ラインで製作可能にしたCold-Wall型のUHV(Ultra High Vacuum)/CVD(Chemical Vapor Deposition)装置と、そのSiGe-SEG層を自己整合構造トランジスタに対し適用できるようにした、ベース形成技術について論じる。

3.2.1 UHV/CVD 装置と選択エピタキシャル成長技術

以前からSiGe膜の成長技術は様々な研究がなされてきたが[40,41]、トランジスタへの適用研究が本格化したのは、IBMのMeyerson等によって開発された、Hot-Wall型のUHV/CVD装置によるSiGe成長技術からである[42]。ところで、SiGe合金をシリコン製造ラインに持ち込む時に大きな問題となるのは、ラインのGe汚染である。最先端の製造ラインではCMOSトランジスタの製

造も行っているので、Geがライン雰囲気混入し、トランジスタの、特にゲート酸化膜に入ると、トランジスタ特性（しきい値電圧など）に悪影響がでる。製造ラインを分離すれば解決する問題であるが、製造コストが上昇し製品化を考えると出来るだけ避けるべき問題である。このため、SiGe層を必要などころのみに形成する選択成長技術が必須になる。しかし、前述した研究で使われたSiGe合金成長技術は、全て非選択成長技術であった。Hot-Wall型では選択成長をしようとする、成長速度は数十オングストローム／分ができる程度であった。また選択性の崩れる膜厚も数百オングストローム以下と薄く、選択成長技術としては実用的な技術とはなっていなかった。

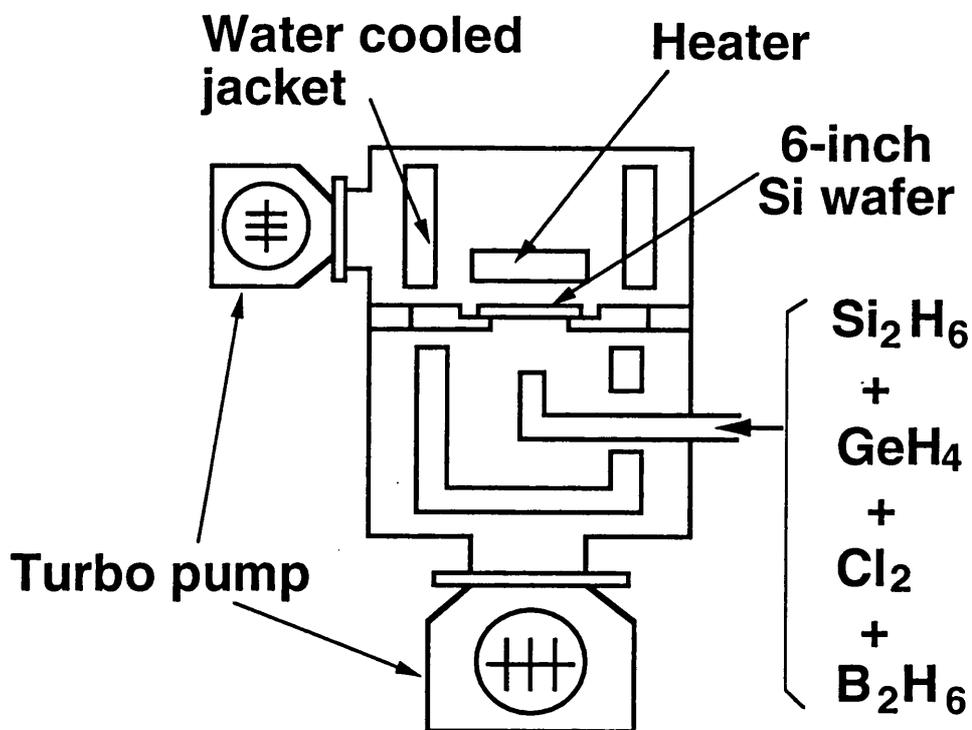


図3. 2 Cold-Wall型のUHV/CVD装置の構成模式図

図3. 2にCold-Wall型のUHV/CVD装置の構成模式図を示す。本装置は世界で初めて、SiGe合金の実用的な選択成長を可能にした装置であり、SiGe-HBTの研究を通じて開発したものである[43]。本装置の特徴を簡単に説明する。チャンバーは6インチウエハー対応である。成長チャンバーは上部の加熱チャンバー（ウエハーは裏面より加熱）と下部の成長チャンバーから構成されて

いる。2つのチャンバーの間には 10^{-3} Torrの気圧差が設けられ、加熱チャンバー内での不必要な成長を防いでいる。また、チャンバーは液体窒素を冷却に使用した時に起こる未反応ガスの吸着効果を避けるために、水冷方式で冷却している。これはコストの低減にも寄与している。また、チャンバーのベースプレッシャーは 1.5×10^{-9} Torrである。成長チャンバーに入れる前のウエハは、ブロンソソ洗浄で形成した数nm厚のクリーンな酸化膜で覆われ、チャンバー内で 900°C 、5分間の熱処理（清浄化処理）により、この酸化膜を除去し、シリコン（Si）の清浄面を出し、そこにSiGe層を形成している。実用的な選択成長を実現する上で考慮することは、高い成長速度、ファセットや結晶表面の荒れ（モホロジー低下）の抑制、厚い臨界膜厚、それにトランジスタのベース形成に必要な不純物注入（ボロン）による成長への影響であるが、これらを可能にしたプロセス設計について簡単に述べる。なお、成長に使用したシリコン基板は面方位（100）である。

まず、高速の選択成長であるが、新しい成長ガスの組み合わせ[44-46]を採用してこれを可能にした。そのガス系は $\text{Si}_2\text{H}_6(100\%) + \text{Cl}_2 + \text{GeH}_4(100\%) + \text{B}_2\text{H}_6(1\% \text{H}_2 \text{希釈})$ であり、従来 SiH_2Cl_2 を用いていたのを $\text{Si}_2\text{H}_6(100\%) + \text{Cl}_2$ に変更したことを特徴としている。また、ファセットや結晶表面の荒れの抑制は成長時のガス流量を大きくすることで改善した[47,48]。しかし、ガス流量を大きくすると選択性が維持できないという問題があり、これは Cl_2 ガスの添加量を調整することで対策がなされた。

図3. 3にの Cl_2 ガス流量を変えた時のSiとSiGe（Ge濃度は10%）膜の成長速度の関係を示す。 Cl_2 ガス流量の増加によりSiとSiGe膜の成長速度は低下する。これは Cl_2 ガスが持つエッチング効果のためで、 Cl_2 ガスは選択性の維持には必要[49]であるが、入れ過ぎは成長速度を落とし、ファセットや結晶表面の荒れを発生（ Cl_2 ガス流量が0.05 SCCM以上で顕著）させるという相反する効果があり Cl_2 ガス流量に関しては最適化が必要である。

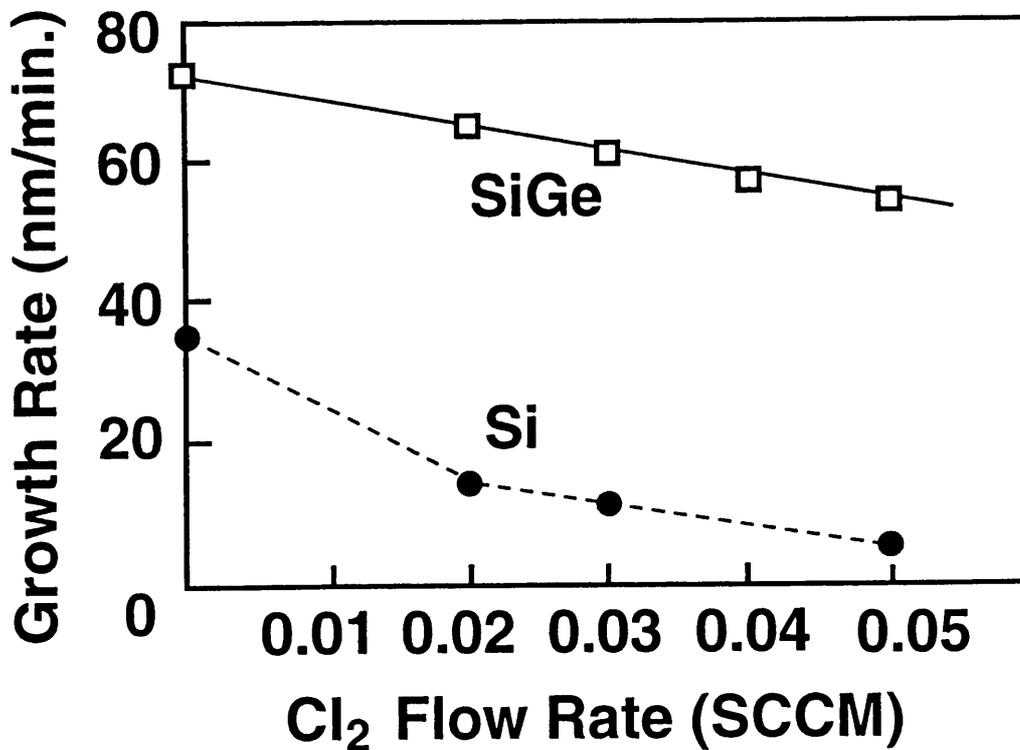


図3.3 Cl₂ガス流量を変えた時のSiとSiGe膜の成長速度の関係。成長温度は共に635℃。Si膜成長時のSi₂H₆ガス流量は12sccmである。また、SiGe膜成長時Si₂H₆とGeH₄のガス流量はそれぞれ12sccmと8sccmであり、Ge含有量は10%である。

次に、選択成長の臨界膜厚について議論する。トランジスタプロセスで使用される絶縁膜は酸化膜と窒化膜の2種類であり、この2種類の絶縁膜への選択性が要求される。SiとSiGe膜では、Si膜の成長速度が遅いため選択性の確保はSi膜の方が難しい。

図3.4にSi膜の酸化膜と窒化膜への選択成長臨界膜厚について実験した結果を示す。Cl₂ガス流量の増加により、Si膜の選択成長臨界膜厚は増加する。選択性が維持されているかどうかは、RHEED (Reflection High Energy Electron Diffraction) による、ポリシリコン膜の回折パターンの有無により判断した。また、酸化膜の方が窒化膜より限界膜厚が大きいのは、これは窒化膜表面に酸化膜より多くの未結合手が存在するためと考えられている。

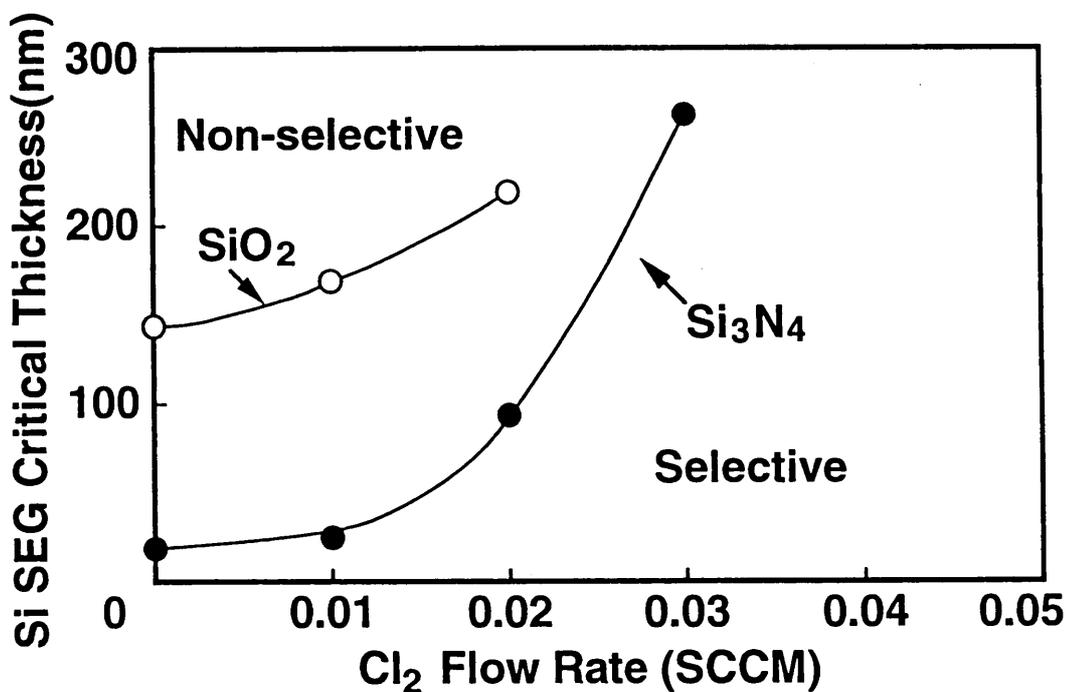


図 3. 4 Si 膜の選択成長臨界膜厚と Cl₂ ガス流量の関係（酸化膜と窒化膜に対して）。成長温度は 650℃である。

図 3. 5 に Si と SiGe 膜に入るボロン濃度の Cl₂ ガス流量依存性と SiGe 膜の Ge 含有量 (Mole Fraction) と Cl₂ ガス流量依存性について示す。ボロン濃度は SIMS で測定した。ここで、Cl₂ ガス流量が 0 の時に入る濃度を 1 に規格化：ここで基準としてのボロン濃度は $5 \times 10^{18} \text{ cm}^{-3}$ である。Si と SiGe 膜に入るボロン濃度は Cl₂ ガス流量に対して依存性があるが、SiGe 膜の Ge 含有量は Cl₂ ガス流量に対して依存性がないことが判る。ボロン濃度の Cl₂ ガス流量依存性については、B₂H₆ ガスの Si 表面での吸着が Cl₂ ガスにより阻害されるために発生すると考えられるが、Ge 含有量の Cl₂ ガス流量依存性は、現在、明確なメカニズムの説明は出来ていない。

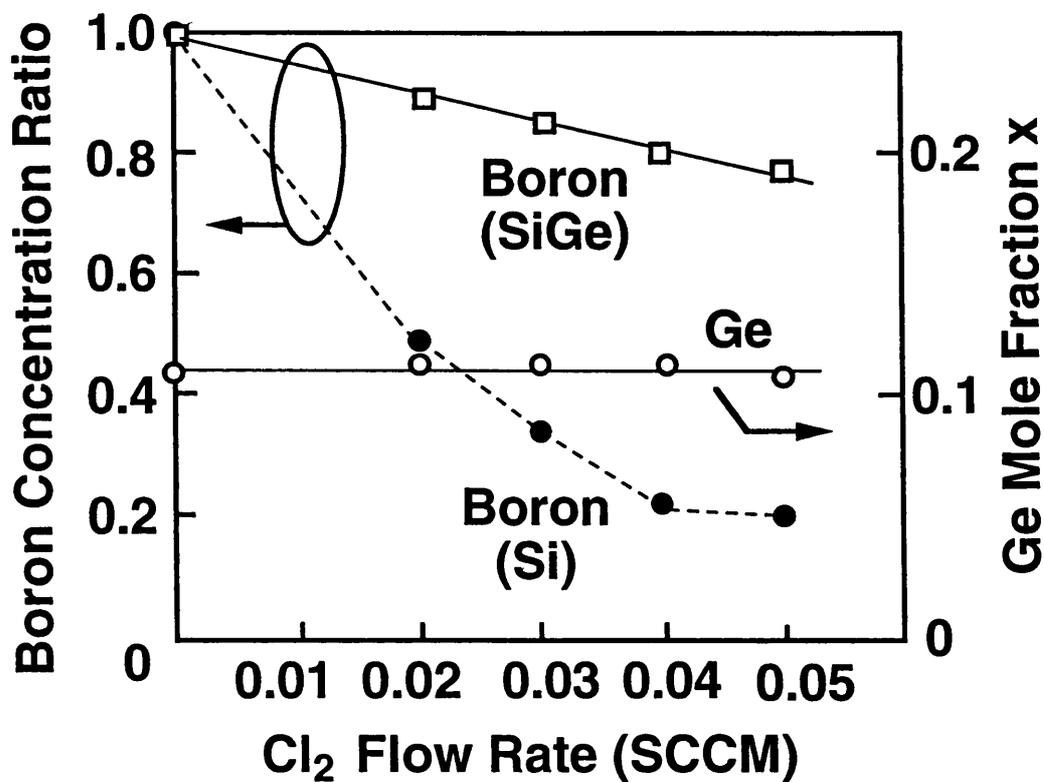
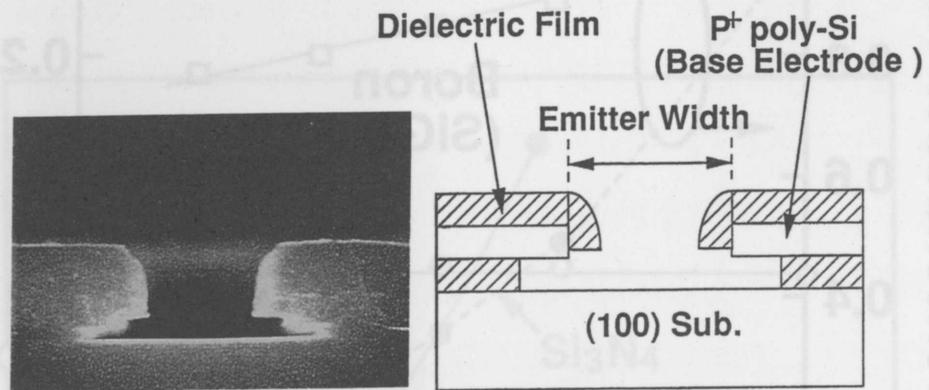


図3.5 SiとSiGe膜に入るボロン濃度とCl₂ガス流量依存性、並びにSiGe膜へのGe含有量とCl₂ガス流量依存性。ボロン濃度はCl₂ガス流量が0の時に入る濃度を1に規格化してある。また、基準としてのボロン濃度は $5 \times 10^{18} \text{ cm}^{-3}$ である。

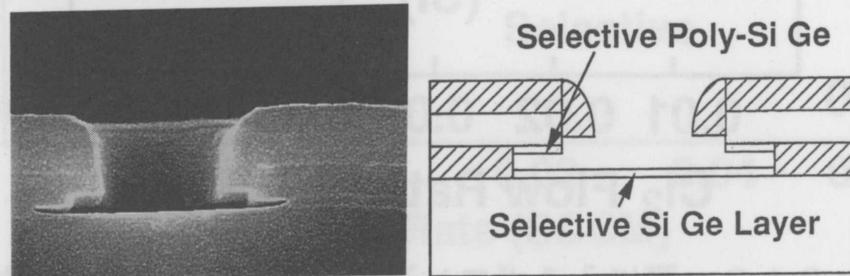
3.2.2 選択エピタキシャル成長技術による自己整合トランジスタのベース形成

従来、選択エピタキシャル成長（SEG）技術の検討は、Si基板上の絶縁膜に選択的に形成された開口部内に対して行われていた。しかし、自己整合トランジスタへのSEG技術の応用は、より複雑な構造への適用を考える必要がある。本研究では、第2章で研究した自己整合トランジスタ構造を基本とし、トランジスタの高性能化に最も重要なベース領域形成にSiGe-SEG技術の適用を検討した。

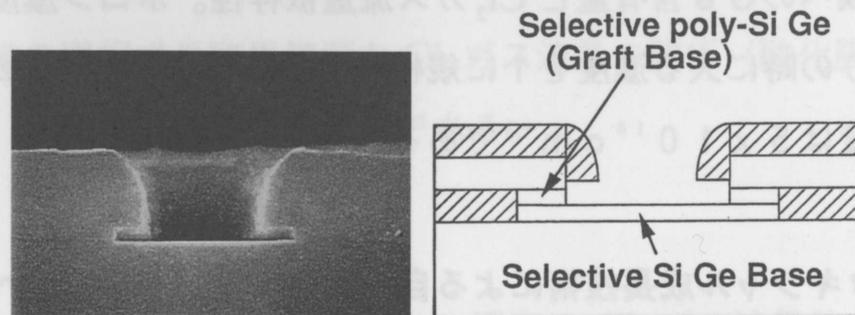
図3.6にエミッタ開口部へベース領域形成のためのSiGe-SEGを実行した時の主要工程の断面図と、それに対応したSEM写真を示す。基板の結晶方位は(100)である。上図はエミッタ開口し、エミッタポリシリ電極とベースポリシリ電極を絶縁分離する1回目の側壁絶縁分離膜（SideWall膜：後工程処理の影響を避け、膜厚制御性を良くするため窒化膜を使用）を形成したところである。



After Emitter Window Opening.



During Self-aligned Selective Si Ge Growth.



Connecting Intrinsic Base and Base Polysilicon by Utilizing Self-aligned Selective UHV/CVD technology.

図 3. 6 SiGe-SEGによるベース領域形成をした時の主要工程の

断面模式図と、それに対応したSEM写真。

(上図) エミッタ窓開口後、開口部側壁にエミッタとベースの引き出しポリシリコン電極を分離する絶縁膜を形成し、ベースのエピタキシャル成長領域を開口した所。

(中図) SiGeベースの選択成長の途中、シリコン基板上へのSEGと引き出しポリシリコン電極下部への選択成長が始まっている所。

(下図) SEGベースとポリシリコン電極が接続した所。

P⁺-Poly-Si はベースの引き出し電極であり、Si 基板の上にひさしの様にはい出ている。中図は SiGe-SEG の途中の断面で、Si 基板の上にエピタキシャル成長層とひさし構造の P⁺-Poly-Si 引き出し電極の下部にポリシリコン膜の SiGe 膜が選択的に形成されている。下図は SiGe-SEG が終了した所である。Si 基板から形成されたベース領域である SiGe-SEG 膜とひさし構造の P⁺-Poly-Si 引き出し電極の下部に形成された SiGe ポリシリコン膜が完全に接着している。トランジスタプロセスでは、この後、2 回目の SideWall 膜（3. 2 項で説明するが、第 2 章でベースリンク領域の抵抗低減を達成したプロセスを適用するため BSG 膜を使用）を形成し、エミッタポリシリ電極を形成する。この SEG 技術では、成長速度はやや遅くなるが、SiGe 膜だけでなく、Si 膜の形成も可能である。

	Si _{0.9} Ge _{0.1}	Si
Temp.(°C)	605	605
Si ₂ H ₆ (sccm)	3	12
GeH ₄ (sccm)	2	-
Cl ₂ (sccm)	0.03	0.03
Growth rate (nm/min.)	20	10

表 3. 1 最適化された Si 膜と SiGe 膜の SEG 条件

さて、この選択成長を可能にしたプロセス条件について議論をする。表 3. 1 に Si と SiGe-SEG の最適化された成長条件を示す。成長温度は成長中の SEG 層内の不純物分布の制御性を上げるために共に 605°C と低く設計されている。また、ガスの供給量を多くし、成長は反応律速領域で行っている。これはガスの供給律速領域で成長を行うと、SEG 層の形状が凸状になり、トランジスタのベース領域に使用出来ないからである。ベース領域が凸状になると、 f_T は膜厚の厚い中央

部で決まるだけでなく、ひさしの下部で基板から成長したSiGe-SEG膜と、 $P^+poly-Si$ 引き出し電極の下部に形成されたSiGeポリシリコン膜が、完全に接着しなくなりベース抵抗が高くなる。成長速度はSiGe膜で20nm/分(Ge含有量=10%)、Si膜で10nm/分と、従来より1桁速い値を達成している。

3.3 SSSB トランジスタの設計とプロセス技術

3.3.1 SSSB トランジスタの構造と特徴

前述したSiGe-SEG技術をベース領域形成に用いた、自己整合型SSSBトランジスタの構造と特徴について議論する。図3.7にSSSBトランジスタの断面図を示す。本トランジスタには、図中①～④で表す特徴がある。

- (1) ベース形成はSiGe-SEG技術を使用(図中①)。ベース領域中のGe濃度分布を台形にすることを提案し、またA-B SAトランジスタのベースリンク領域の設計手法(2ステップアニール法)を採用して(図中③、(3.3.3)項で議論)、高い f_T と f_{MAX} を同時に実現した。
- (2) 素子分離構造は、容量低減だけでなく、基板を通じて回り込む高周波によるクロストークを低減し、かつアルファ線による回路障害を防止するため、貼り合わせSOI(Silicon On Insulator)基板上に、前章で述べたBPSG埋設トレンチ技術と組み合わせた分離構造とした(図中②、(3.3.2)項で議論)。
- (3) エミッタポリシリコン電極は、0.2 μm クラスの狭い幅の所に、均一で、より浅い接合を低温で形成するために、狭い開口部でも被覆が良好な、磷を含むアモルファスシリコン膜を結晶化した膜(in-situ phosphorus doped polysilicon)を使用し、エミッタラグ効果をより一層低減した(図中④)。

また、コレクタ設計は、

- (4) トランジスタでも寄生容量の増加を最小限にし、高い f_T を得るために内部ベ

ース領域直下のコレクタ領域のみ選択的に高濃度化し、コレクタ不純物分布は第2章で論じた傾斜コレクタ分布を採用した。

なお、SOI基板は面方位(100)を使用した。

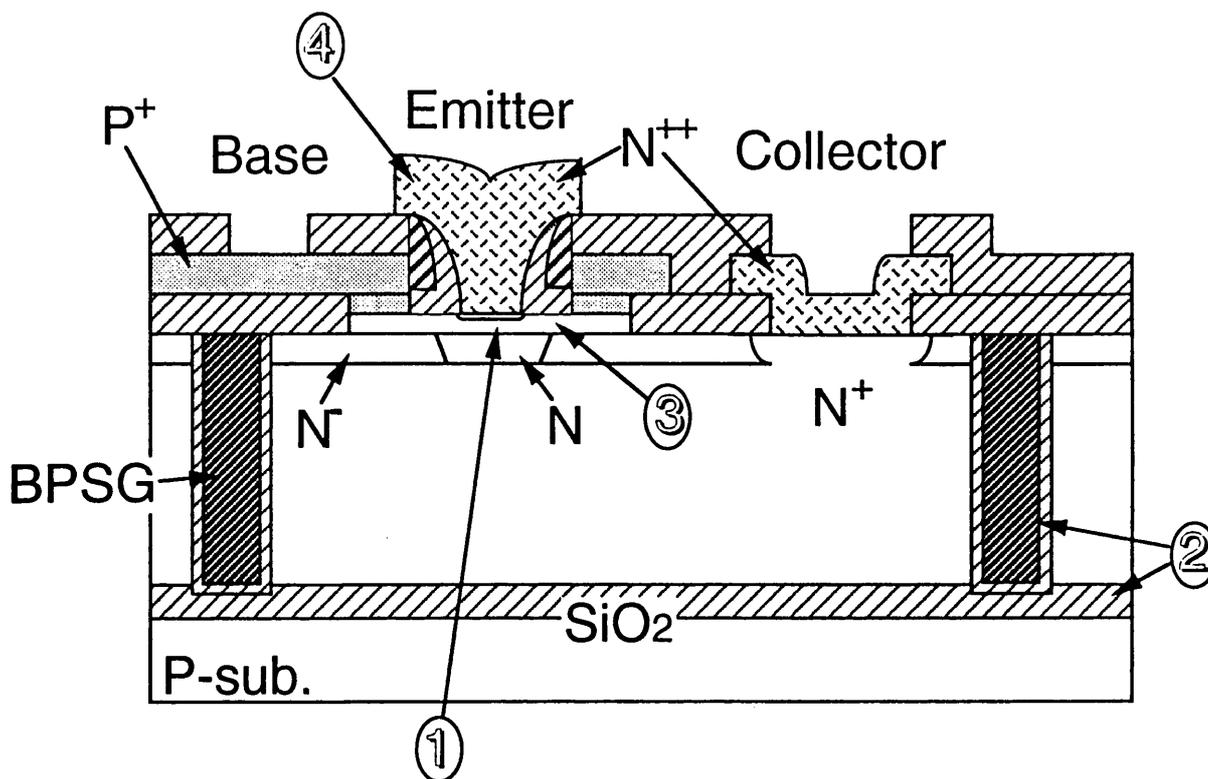


図3.7 SSSBトランジスタの断面模式図と特徴

3.3.2 SOI基板使用の素子分離とプロセス技術

貼り合わせSOI基板をトランジスタに使用する研究は、当初は記憶回路の情報がアルファ線によって消えるのを防ぐ目的から始まった[50,51]。アルファ線がトランジスタの各接合の空乏層を横切ると、空乏層内で電子正孔対を発生させ、その電荷が記憶回路に情報として蓄えられている電荷を書き換えてしまい、回路情報を変えてしまう。この空乏層を横切ることによる過剰の電子正孔対の発生は、特に接合面積の大きいコレクタと基板間の空乏層で起きやすく、この部分での発生を抑えれば回路情報への影響は大きく低減される。SOI基板はこのコレクタと基板間の空乏層の存在を無くしてしまうので、アルファ線による回路情報への影響を無くすには最も有効な方法であった。しかし、トランジスタサイズの縮小と低消費電力化の推進により、論理回路においてもアルファ線による回路情報への影響が無視出来な

くなってきた[52]。また、より一層の高速化を実現するためには、寄生容量の低減が重要で、コレクタと基板間の容量も無視できなくなってきた。このため論理回路用のトランジスタでもSOI基板を使用する研究が、最近行われるようになった[24,53]。SSSBトランジスタにおいても、高速化のためにSOI基板を使用した研究を行った。

• Tr size

- Collector Area = $6 \times 6 \mu\text{m}^2$
- Emitter Area (effective) = $0.4 \times 4 \mu\text{m}^2$

• Ccs (collector-substrate capacitance)

isolation technology	collector-substrate voltage	
	0 V	3 V
Trench	10.5 fF	8.5 fF
Trench + SOI	6.4 fF	5.9 fF
	- 40 %	- 30 %

図 3. 8 絶縁分離法の違いによるコレクタ-基板間の絶縁容量値の比較。

トランジスタのコレクタ領域は同一とし、コレクタ-基板間の印加電圧（逆バイアス）を変えた時の容量変化も比較。Trench のみの場合の変化量が大きいのはコレクタ-基板間の空乏層の幅が変化したためである。

図 3. 8 はトランジスタのコレクタ領域が同じサイズで、2種類の絶縁分離法でのコレクタと基板間の絶縁容量値を比較したものであるが、SOI基板（埋め込み酸化膜厚 = $0.5 \mu\text{m}$ ）を使用した場合、寄生容量は、従来のBPSG埋設トレンチ分離技術のみを使用した場合に比較して60～70%に減っている。この容量値の差はSOI基板の埋め込み酸化膜厚を厚くすればさらに大きくなるが、厚くし過ぎると、後工程での熱処理により埋め込み酸化膜とシリコンとの熱膨張係数の差に

よるストレスのため、基板に大きな「そり」が発生するという問題が起きる。このため、後工程の熱処理を考慮した埋め込み酸化膜厚の設計が必要になる。本研究では最高温度1000℃を想定し0.5 μmとした。また、容量値の電圧依存性がトレンチ分離のみの方が大きいのは、トレンチの底部のP-N接合の幅が電圧により変化し、容量変化が大きいからである。

3.3.3 ベース・エミッタ設計とプロセス技術

トランジスタの高性能化にとって、ベース幅を狭くすることは重要な課題であるが、すでに述べたように弊害も出る。それは、ベース抵抗の増加やパンチスルー防止のため、ベース領域を高濃度化し、それによる電流利得(β)の低下である。この問題の解決するための1つの有力な方法が、SiGe-HBT技術であることは3.1項で述べた。本研究対象のSiGe-HBTもその1つであるが、ベース設計に3点の大きな特徴がある。(1)ベース領域を自己整合型トランジスタ構造に適合するSiGe-SEG技術を使い形成していること、(2)製造ラインのGe汚染対策やベース領域の形成条件安定ため、SiGe選択エピタキシャル成長層のGeとボロンの濃度分布を3つの領域に分けて設計していること、(3)第2章で議論したリンクベース領域の最適設計法を使用して、ベース抵抗低減の設計(2ステップアニール技術)をしていること、にある。(1)については(3.2.2)項で議論した。本項では(2)、(3)について議論し、最後にエミッタ設計について簡単にふれる。

図3.9にSiGe選択エピタキシャル成長層の設計上のGeとボロンの濃度分布を示す。この分布は3つの領域(A~C)に分けられている。領域(A)はエミッタ側に設けたGeもボロン(ボロンは 10^{16} cm^{-3} 台で混入)も入っていない領域で、シリコンラインへのGe汚染対策用のシリコン層であり、ここにエミッタ領域が形成される。エミッタ接合はホモ接合になる様に設計されている。これは、ベース領域でGeの濃度勾配により発生させる加速電界の強さを安定化させるためである。また、領域(B)は、実効的なベース領域で、この部分のGe濃度に傾斜を

かけて、エミッタから注入された電子を加速する電界を発生する。

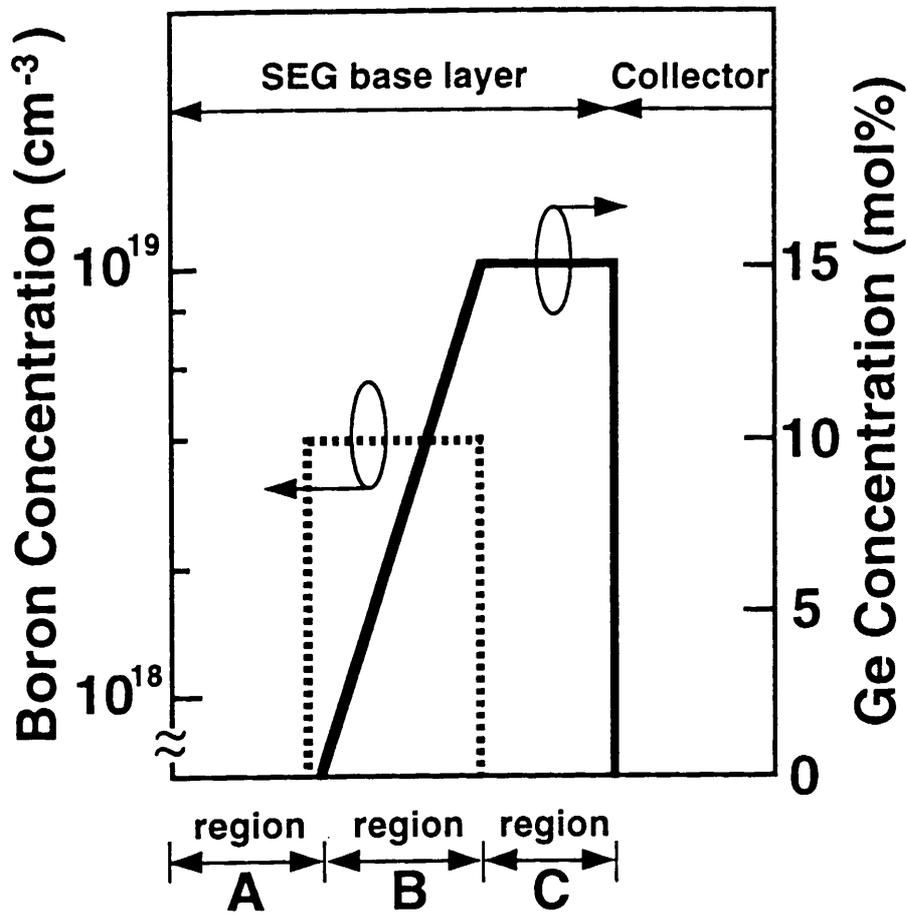


図 3. 9 SiGe 選択エピタキシャル成長層の設計上の Ge とボロンの濃度分布

式 (3-1) ~ (3-2) で示した様に、ベース充電時間 (τ_B) の短縮 (f_T の向上) と電流利得 ($\beta = h_{fe}$) の改善が達成される。領域 (B) には高濃度のボロンがボックス状に入れてあり、これで、ベース幅縮小が達成される。しかし、領域 (C) はボロンは入れず、Ge を均一に入れる (ノンドープの SiGe 層である)。この領域はベース選択エピタキシャル成長層形成後の熱処理 (エミッタ形成等) によりボロンが拡散し、SiGe 層と Si 層 (Si のコレクタ領域) に跨ってボロンが存在 (ベース領域が SiGe 層と Si 層の両方に出来る) し、SiGe 層と Si 層の界面で発生する伝導帯の不連続性のため、エミッタからの電子の流れが阻害され、 τ_B や h_{fe} の劣化 [54] が起こるのを防ぐためのものである。つまり、この SiGe-HBT はエミッタ・ベース接合はホモ接合で、ベース・コレクタ接合はヘテロ接合となる様に設計した。各領域の設計について、もう少し議論をする。

図3.10に領域(C)の膜厚を変えた時の f_T への影響について評価した結果を示す。Ge濃度は15%で一定で、領域(A)、(B)の条件は同一である。領域(C)の膜厚が薄い(15nm)水準で f_T の値が低く、また f_T の最大値が得られている点のコレクタ電流も低くなっている。これは、前述した伝導帯で不連続点ができ、電子の流れが阻害されたために起きた現象である。すなわち、ベース領域中のボロンは、ベース形成後の熱処理で領域(C)中を拡散し、シリコン領域にまで到達してしまったのである。一方領域(C)の膜厚が30nmの水準では、ボロンは(C)中で止まったため影響が出ていないものと考えられる。

ここで、ベース領域中の伝導帯に不連続障壁が出来た場合のベース走行時間への影響を考察する。まず、NPNトランジスタの電子走行時間(τ_F)は下式の様に4項の和で表される。

$$\tau_F = \frac{1}{2\pi f_T} = \tau_E + \tau_B + \tau_X + \tau_C \quad (3-3)$$

上式で、 τ_E と τ_B はそれぞれエミッタ、ベース間空乏層充電時間とベース充電時間であり、また τ_X と τ_C はそれぞれベース、コレクタ間の空乏層通過時間とコレクタ充電時間である。ところで、(3-3)式は(1-6)式を書き換えたものであり、上述の4項は(1-6)式の各項(左から順)に対応している。第1章で述べたが、 τ_F の中で最も大きな割合を占めるのは τ_B であり、 f_T が60GHz前後のトランジスタにおいては、 τ_F 中の約6割($\tau_F = 2.6\text{ps}$ 、 $\tau_B = 1.6\text{ps}$)を占めている。さて、障壁がある時のベース充電時間 τ_B' と τ_B の関係は下式[55]のように表される。

$$\tau_B' = \tau_B \cdot \left(1 + \frac{D}{W_B \cdot V_S}\right) \cdot e^{\frac{q}{kT} \Delta E_g} \quad (3-4)$$

ここで、拡散係数(D)はシリコンと同じと仮定し、 V_S は電子のドリフト速度、 W_B は中性領域のベース幅である。また、 ΔE_g は不連続障壁の高さで、 q/kT

は室温で $1 / 26 \text{ mV}$ である。

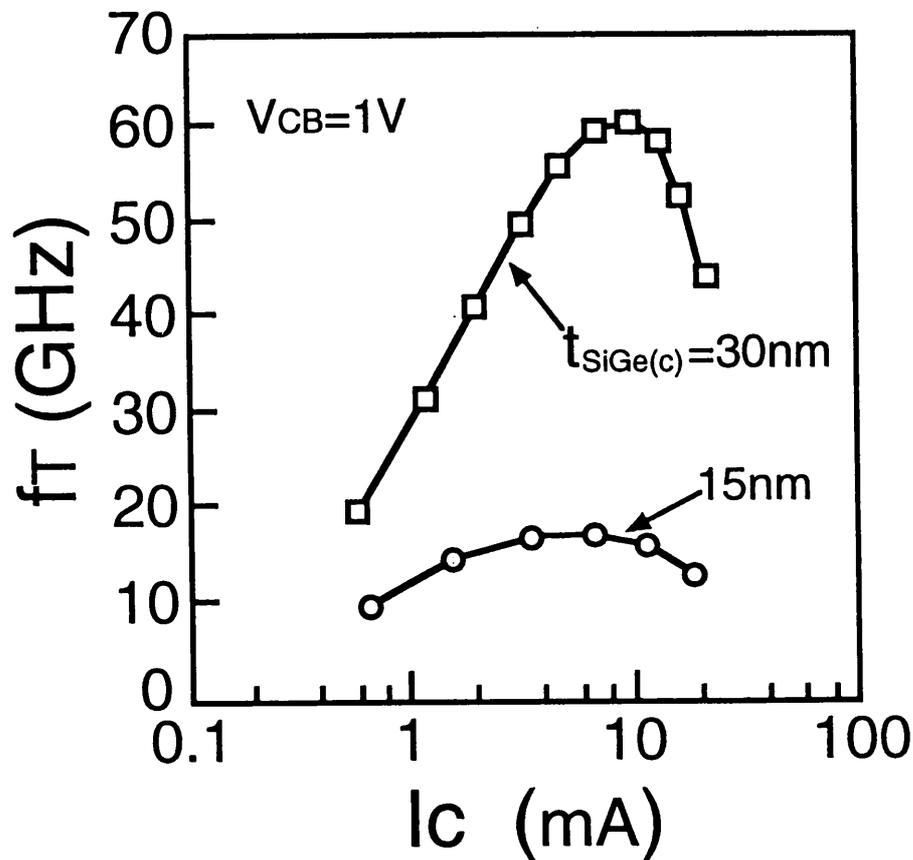


図 3. 10 領域 (C) の膜厚 ($t_{\text{SiGe}(c)}$) と f_T の関係

ここで、図 3. 10 で得られた f_T の差から $\tau_F (= 1 / 2 \pi f_T)$ を計算し、 τ_B' と τ_B を算出すると $\tau_B' = 6 \tau_B$ となる。この値から式 (3-4) を使用し、ベース幅を 40 nm (設計値) として計算すると、 $\Delta E_g = 60 \text{ mV}$ が得られた。この値は、Ge 濃度 15% の時の理論上の不連続障壁の高さである約 100 mV よりはやや小さい。これは、主に以下の 2 つの理由によると考えられる。(1) 不連続障壁が形成される領域 (C) は、不純物であるボロンの濃度分布に傾斜がかかっていて、この濃度勾配で発生する弱い加速電界がある。BSA トランジスタのように、拡散で作られたものよりは急峻で、濃度差から $10 \sim 15 \text{ mV}$ と推定される。(2) 領域 (C) はコレクタ・ベース接合に逆電圧が印加された場合には空乏層領域に含まれ、強い電界が加わり、伝導帯上の不連続障壁が引き下げられている。 1 V の逆電圧が印加されると、電界は 10^5 V/cm となり、不連続障壁の高さは 20 mV 程度引き下げられていると見積もられる[56]。図 3. 10 で示された f_T の差は伝導帯上の不

連続障壁により、引き起こされたものと考えられる。このことより、領域 (C) を薄くすることは SiGe 層のストレスの減少という点では有効ではあるが、トランジスタ特性へ悪影響をおよぼす。また、この領域 (C) には、ボロンがドーピングされておらず、トランジスタの動作時は空乏化していることを考慮し、多少厚目の 30 nm の膜厚を最適値とした。

次に領域 (B) の設計において、この領域の厚さと Ge 分布は f_T に大きな影響がある。図 3. 11 に領域 (B) の膜厚 (t_{SiGe}) と Ge の濃度勾配を変えた時の f_T の最大値 (f_{Tpeak}) を示す。ここでボロンの分布は一定である。Ge 濃度を上げ、ベース幅を狭くするほど f_T の最大値は高くなる。しかし、Ge 濃度の上げ過ぎによりコレクタ・ベース接合のリーク電流が増加し (3. 4 項で議論)、またベース幅を狭くするとコレクタとエミッタ間のパンチスルー電圧が下がり、回路設計に影響が出る。この点を考慮して、Ge 濃度は最大 15%、ベース幅は 40 nm とした。

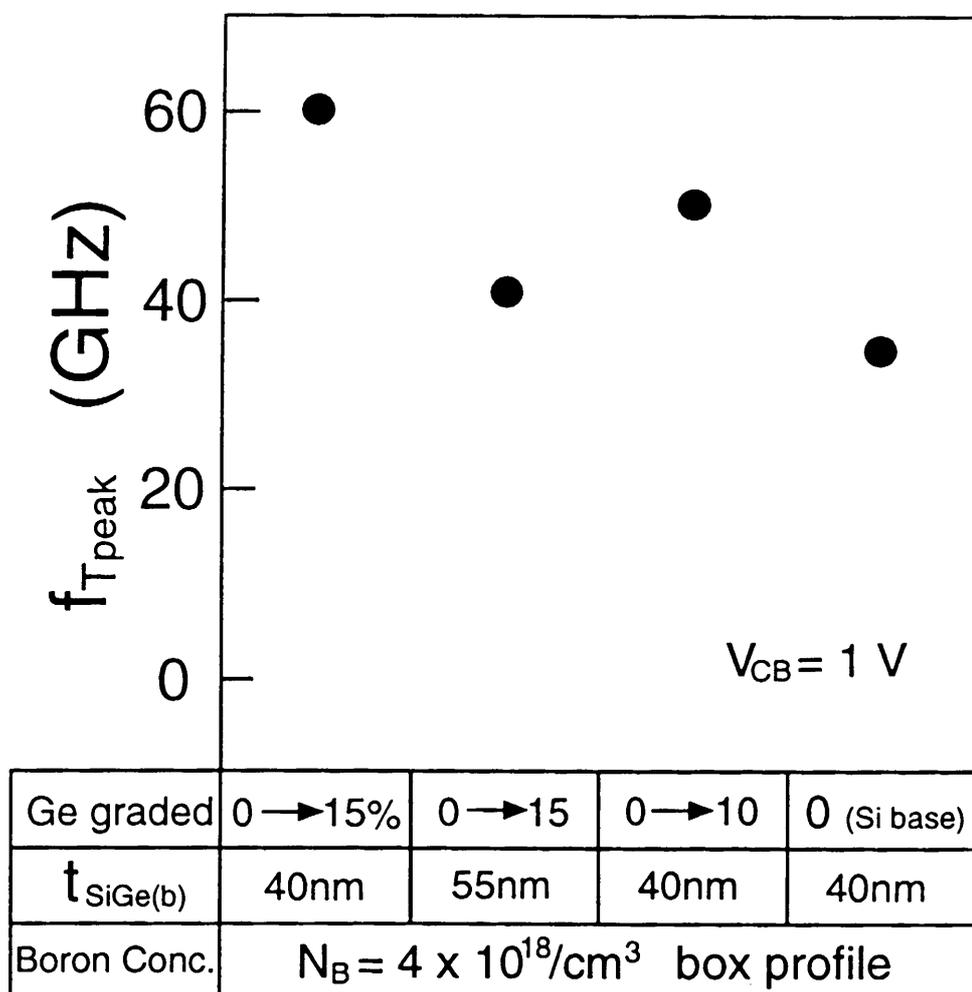


図 3. 11 領域 (B) の膜厚 (t_{SiGe}) と Ge 濃度勾配に対する f_T 最大値との関係

図3. 12に実験結果に基づいて成長したベース領域のGeとボロンのSIMS分析の結果を示す。領域(A)は20nm、領域(B)はGe濃度が0から15%まで変化し、ボロン濃度は $4 \times 10^{18} \text{ cm}^{-3}$ で、ボックス状の分布である。さらに、領域(C)はGe濃度が15%で、ボロンがドーピングされていない膜厚30nmの設計になっている。ここでGeは台形状の分布をしている。また、コレクタ領域の不純物分布であるが、第2章で述べたイオン注入法により形成した傾斜コレクタ分布を採用している。図中、設計上の分布のシミュレーション結果を挿入している。

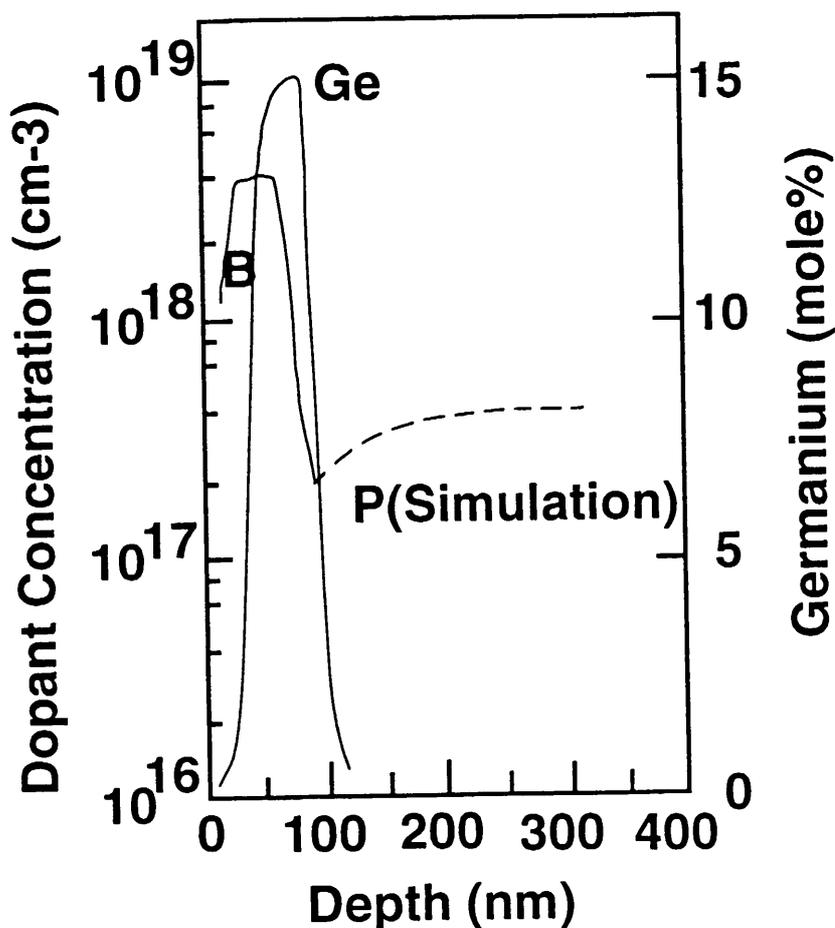
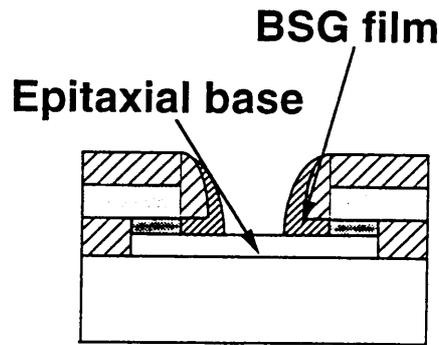


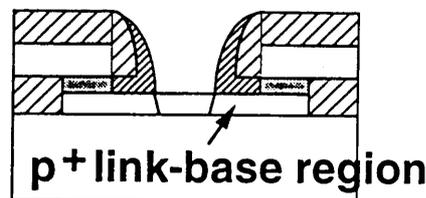
図3. 12 前述の実験結果に基づいて成長した選択エピタキシャル成長層のGeとボロンの分布のSIMS分析結果

次に第2章(2.2.4項)で議論した、リンクベース領域の最適設計によるベース抵抗低減の設計手法をSiGe-HBT適用したリンクベース設計について議論する。図3.13に2ステップアニール技術による、リンクベース領域抵抗低減のための主要工程の断面を示す。(a)図は図3.6の下図の工程、即ち、SiGe

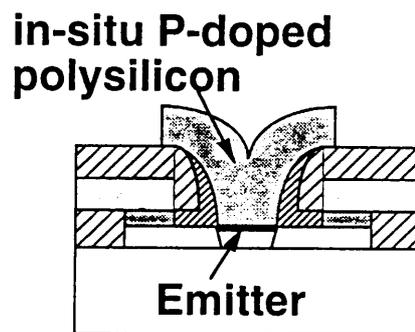
—SEGによるベース形成終了後にBSG膜を2回目のSideWallとして形成した所である。これがリンク領域へのボロンの拡散源となる。(b)図は1回目のアニールでP⁺リンク領域を形成した所、そして、(c)図は2回目のアニールでエミッタ拡散層を形成した所である。この2回目のアニールの時もBSG膜からボロンの拡散が行われる。



(a) Before the 1st-step of the annealing.



(b) After the 1st-step of the annealing.



(c) After the 2nd-step of the annealing.

図 3. 1 3 リンクベース領域抵抗低減のための、2ステップアニールプロセスの主要工程の断面模式図

図 3. 1 4 に2ステップアニールの条件を、1回目：炉アニール、800℃/10

分、2回目：RTA、950℃/10秒で一定とし、BSG膜のボロン濃度を4～10モル%に変えた時、SiとSiGe層内に形成された拡散層のシート抵抗の変化について評価した結果を示す。この時、シート抵抗はトランジスタ構造ではなく、拡散抵抗の構造で評価した。サンプルは抵抗率4～6.5Ωcmの(100)基板を使用し、(1)通常の酸化分離法で抵抗領域以外を酸化、(2)抵抗領域の基板上にSi層またはSiGe層を選択成長し、(3)自然酸化膜を除去後にCVD-BSG膜を100nm成長し、1回目の熱処理を実行し、次に(4)ノンドープのCVD酸化膜を成長し、コンタクト部を開口、(5)コンタクト部に接触抵抗を下げるためにボロンをイオン注入し、2回の熱処理を実行し、作成した。

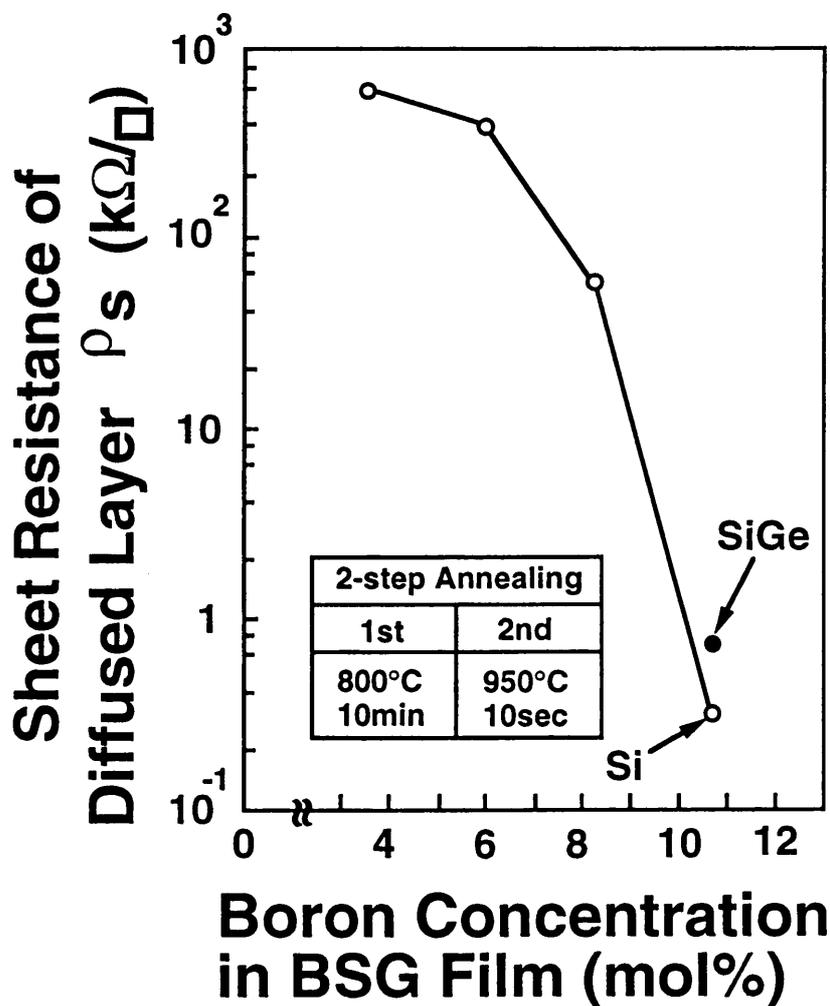


図3. 14 BSG膜のボロン濃度を4～10モル%に変えた時、2ステップアニール後、SiとSiGe層内に形成された拡散層のシート抵抗の変化

抵抗は幅と長さを振り、これらの測定結果からシート抵抗を算出した。ボロン濃度

は FT-IR で測定し、Si-O 結合と B-O 結合での吸収で出来るピーク値の比から計算した。シート抵抗はボロン濃度 10 モル%で急激に低下している。この急激な変化は BSG/SiO₂/Si (SiGe) 膜構造に起因する現象で、BSG 膜と、Si (SiGe) 層の間に存在する薄い SiO₂ 膜中をボロンが拡散する時、その拡散速度がボロン濃度に強く依存するためであると考えている[57]。この 2 ステップアニール法においては、SiGe 層のシート抵抗はエピタキシャル成長時に比較して約 1/10 の 0.7 KΩ/□ になった。また、同一濃度の BSG 膜からボロンを拡散しても、Si 層と SiGe 層が同一抵抗にならないのは、SiGe 層内のボロンの拡散速度が Si 膜と比較して遅い[58-60]ためである。

次に、エミッタ設計について簡単に述べる。前述した様に、SiGe 層は熱処理に弱く、エミッタ拡散層の形成は出来る限り低温で行う必要がある。また、エミッタの開口幅は 0.2 μm クラスと、A-BSA トランジスタよりも狭くなっていて、エミッタ抵抗の上昇に伴うエミッタプラグ効果を避けるために、より低抵抗の電極形成が要求される。このため、従来のノンドープのポリシリコン膜にイオン注入法により不純物を入れ、それから拡散しエミッタを形成する方法ではエミッタプラグ効果は抑え切れない。そこで、不純物をドーピングしながら膜成長する方法の一つである、燐を含んだアモルファスシリコン膜形成技術を使用し、それを結晶化することによりエミッタ電極を作り、エミッタ拡散層の拡散源とした。この技術を使用する利点は、(1) アモルファスシリコン膜は被覆性が良好で、狭い所の埋設性が優れている、(2) 不純物の燐は低温で拡散するため、エミッタ拡散層形成の熱処理が低温で、かつ短時間で済む、(3) 不純物の燐は膜成長の最初から入っているので、エミッタ拡散層は浅く、均一に出来る、(4) シート抵抗が砒素を使用した場合より低く出来、エミッタ抵抗が下げられる等のことである。SSSB トランジスタではこの技術の採用により、エミッタプラグ効果が抑えられた。

3.4 SSSB トランジスタの電気特性と基本回路特性

前項で論じた SSSB トランジスタの電気特性を示す。トランジスタのベース領

域の不純物分布は図3. 9で示したものであり、アモルファスシリコン膜中の磷濃度は $4 \times 10^{20} \text{ cm}^{-3}$ である。なお、基板の面方位は (100) である。この SiGe-HBT ではベース、コレクタ間の空乏層中に歪み格子/格子の遷移界面が存在しているため、SiGe層形成後にトランジスタに加わる熱プロセスに起因した、この遷移界面でのリーク電流の増加が考えられる。

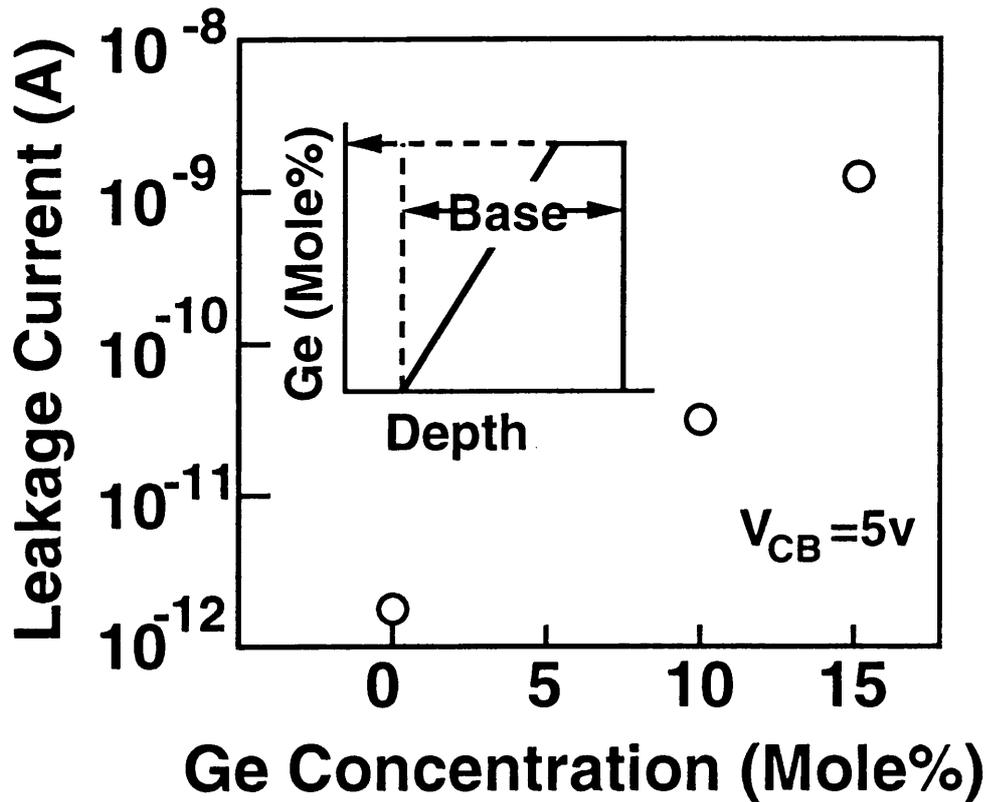


図3. 15 SiGe層内のGeピーク濃度とベース、コレクタ接合のリーク電流の関係。Ge分布は図中に示す様に台形状である。

図3. 15はベース、コレクタ接合に逆バイアスを印加した時の接合リーク電流を評価した結果である。Ge濃度の上昇に伴い、特に10%から15%へGe濃度が増え、接合リーク電流が急激に増えている。これは、Ge濃度が10%を超える付近からSiGe層の耐熱性が低下しているためである。TEM観察では明確な結晶欠陥は見られなかったが、Ge濃度を高くするトランジスタではGe分布の設計を行う際に、SiGe層形成後に加わる熱プロセスを考慮する必要がある。(3.5項でも議論する)。

図3. 16にコレクタ電流 (I_c) に対する、 f_T と f_{MAX} の特性を示す。この時、 f_T は60GHz、 f_{MAX} は50GHzであり、A-B SAトランジスタと比較して、 f_T で50%、 f_{MAX} で12%の高性能化が達成された。

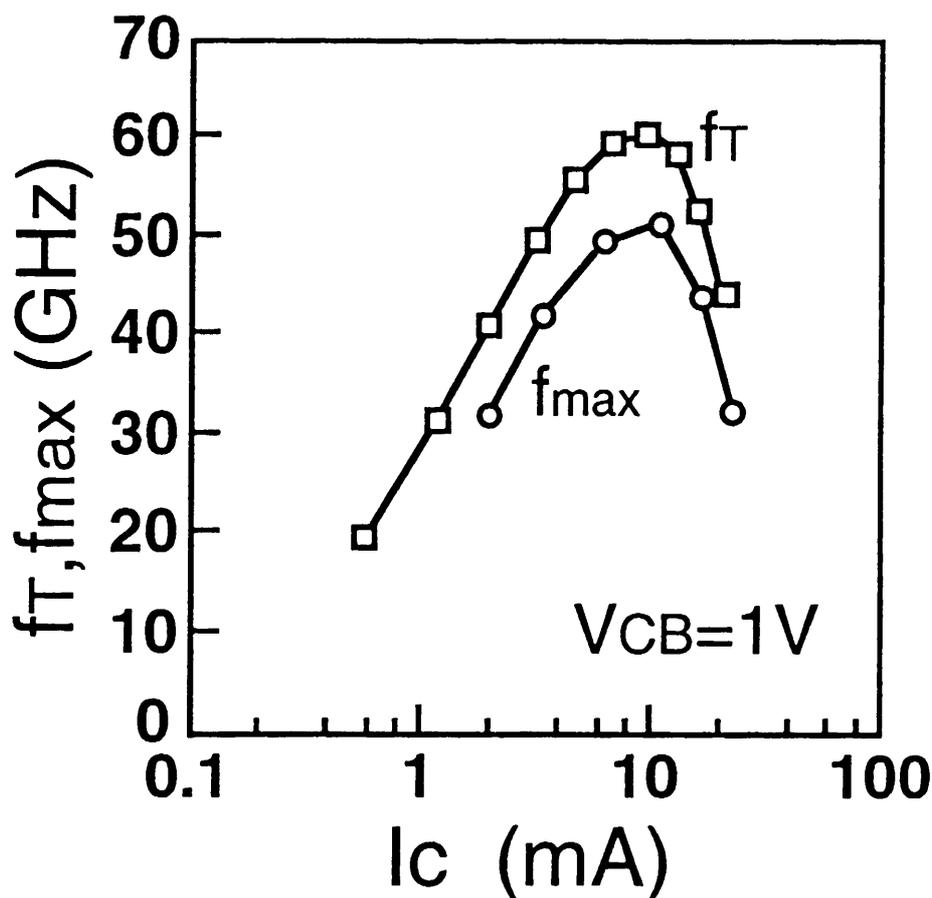


図3. 16 コレクタ電流 (I_c) に対する、 f_T と f_{MAX} の特性。ここで、トランジスタのエミッタサイズは $0.2 \times 7.8 \times 2 \mu m^2$ である。

また、図3. 17に基本回路特性として、エミッタサイズ $0.2 \times 1.6 \mu m^2$ のトランジスタのECL基本回路(1入力1出力)の t_{pd} (遅延時間)と I_c の関係について示す。トランジスタの寄生容量が全体的に小さく設計されているため、 I_c が0.4mAの低電流(1回路当たりのパワーでは2mW)で、 t_{pd} の最小値17ps/回路が達成されている。

表3. 2にこのトランジスタの主要なデバイスパラメータを示す。パンチスルー電圧はかなり低くなっているが、使用する回路の電圧も下がって来ているので問題

はない。また、エミッタ抵抗もエミッタ幅がA-B S Aトランジスタの半分になったにも拘わらず、ほぼ同程度の値となっていて、アモルファスシリコンの結晶化技術の有効性が確認されている。

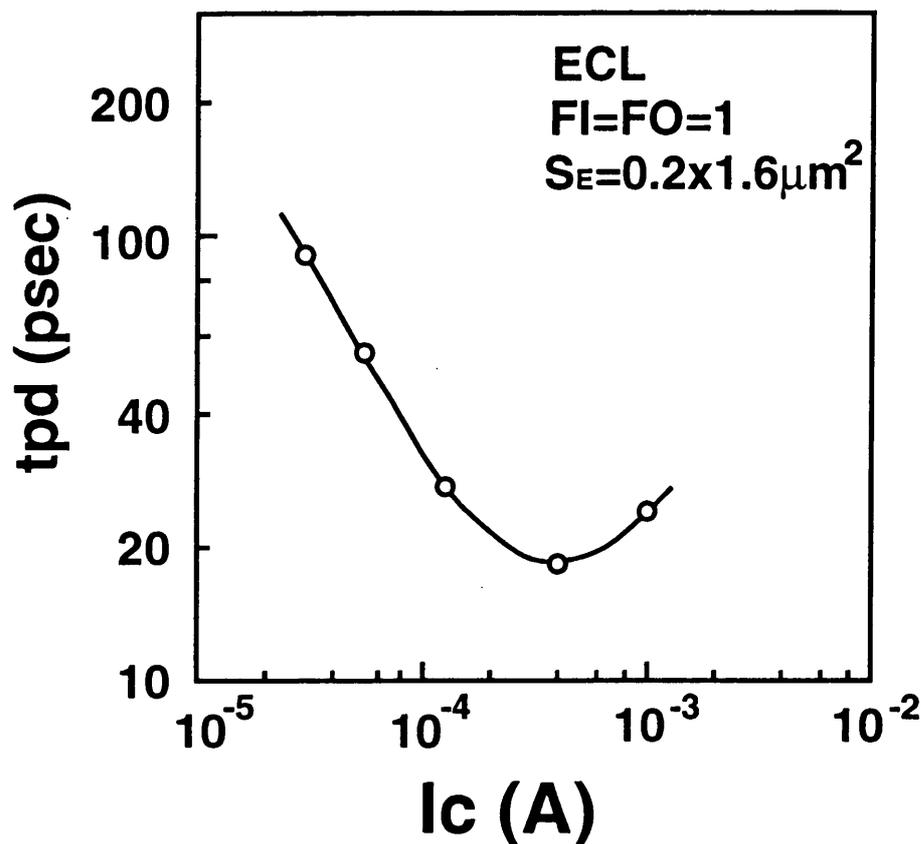


図3. 17 ECL基本回路（1入力1出力）の t_{pd} （遅延時間）と I_c の関係

Device parameters

Emitter area	SE (μm)	0.2x7.8
Collector-base capacitance	Ccb (fF)	5.3
Collector-substrate capacitance	Ccs (fF)	7.5
Base resistance	Rb (Ω)	150
Emitter resistance	RE (Ω)	8.0
C-E breakdown voltage	BVCEO (V)	2.8
E-B breakdown voltage	BVEBO (V)	2.0
Current gain	hFE	110
Maximum cut-off frequency	fT(GHz)	60
Maximum frequency of oscillation	fmax(GHz)	50

表3. 2 S S S Bトランジスタのデバイスパラメータ

3.5 A-SSSB トランジスタの設計とプロセス技術

A-SSSB トランジスタは、性能を向上させ、かつ製造工程数を大幅に低減し、SSSB トランジスタをさらに低価格するために考えられたものである。加入者系光通信用受信器に適用し易くする上で、コスト・パフォーマンスを大幅に改善するために必要となった。

3.5.1 A-SSSB トランジスタの構造と特徴

図3.18にA-SSSB トランジスタの断面模式図を示す。SSSB 技術に対して、以下に述べる改善を行った。

(1) ベース形成はSSSB 技術を使用し、さらに f_T を向上させるため、ベース幅を縮小し、ボロンを高濃度化し、コレクターベース接合リークを低減させるため G_e 分布を新たに設計した。(図①、(3.5.4)項で議論する)

また、SSSB トランジスタ等、従来のトランジスタと比較して、リソグラフィ工程で使用するマスク枚数を30~40%削減するため、メタライズ工程まで、SSSBで10枚必要としたものをA-SSSBでは7枚に削減することを目指して、以下に述べる技術を開発した。

(2) 配線部での寄生容量のより一層の低減と、絶縁分離領域形成の工程数削減のために、貼り合わせSOI基板上にBPSG埋設絶縁分離領域を形成する際、その絶縁分離領域幅が自由に設定できる技術(任意幅素子分離技術)を、加工均一性の良いCMP (Chemical Mechanical Polishing) 技術を使用することで実現した。

(3) エミッタ、コレクタ間距離の縮小と、エミッタとコレクタ引き出し電極形成の工程数を削減するため、エミッタ電極だけで使用していた、燐を含んだアモルファスシリコン膜を結晶化した膜をコレクタの引き出し電極においても共用化し、かつ電極をリソグラフィ技術を使用せず、エッチバック法で形成する方法を採用した。

(4) イオン注入による損傷を抑制する手法を使用する事により、高エネルギーイオン注入を利用した埋め込みコレクタ領域を形成する方法が採用でき、コレクタエピタキシャル成長工程を削除した。

なお、SOI基板はSSSBトランジスタと同じ、面方位(100)を使用した。

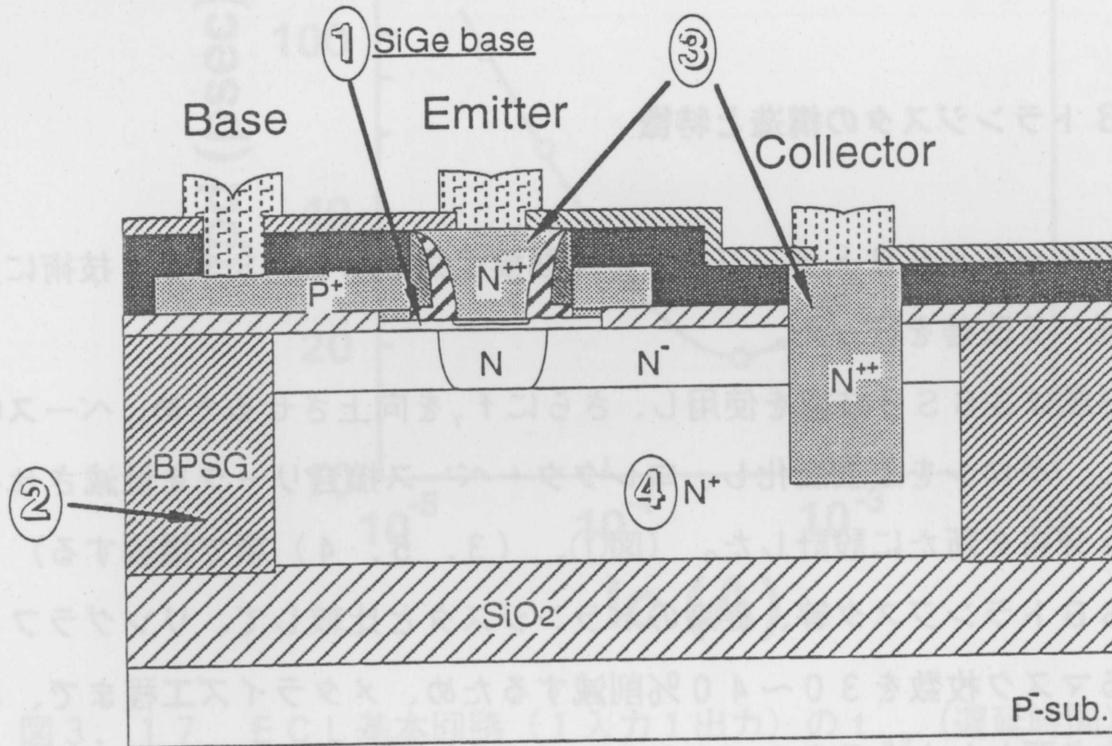


図3.18 A-SSSBトランジスタの断面模式図

3.5.2 7-マスクトランジスタ製造工程

A-SSSBトランジスタは主としてその製造プロセスに特徴があるため、まず、製造工程を述べる。この製造プロセスはSSSBトランジスタを低価格で作る上で一番大きな問題である、製造工程数が多い絶縁分離領域形成工程を簡略化することと、さらに高速化する上で必須な、より一層の寄生容量、寄生抵抗の低減のためのトランジスタサイズ縮小を実現するものである。

図3. 19にトランジスタ製造の主要工程の断面模式図を示す。数字の付いているのがマスクを使用する（リソグラフィ）工程である。

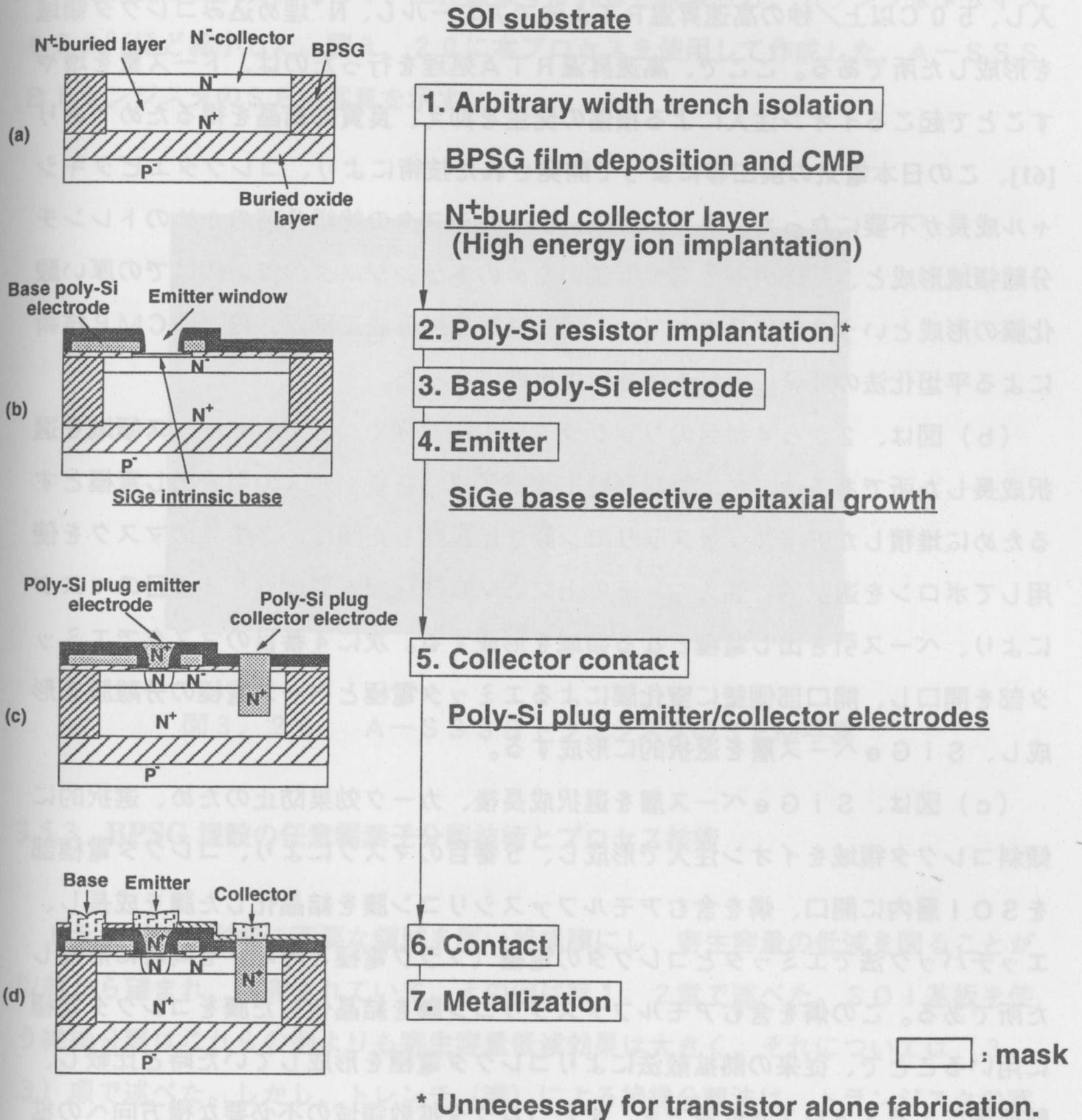


図3. 19 トランジスタ製造の主要工程の断面模式図。

(a) 図は、貼り合わせSOI基板でSi膜厚は1.0 μm、埋め込み酸化膜厚0.5 μmを用い、1番目のマスクで任意幅素子分離領域形成のため、ドライエッチングで深さ1.0 μmの溝を開口後、BPSG膜を2.0 μm厚で堆積し、CMP技術により平坦化し、その後、700 KeVの高エネルギーイオン注入で燐を注入し、50℃以上/秒の高速昇温RTA法でアニールし、N⁺埋め込みコレクタ領域を形成した所である。ここで、高速昇温RTA処理を行ったのは、ドーズ量を増やすことで起こるイオン注入による損傷の発生を抑え、良質の結晶を得るためであり[61]、この日本電気の浜田等によって開発された技術により、コレクタエピタキシャル成長が不要になった。また、従来、トランジスタの絶縁分離のためのトレンチ分離領域形成と、配線の寄生容量低減のためのトランジスタの無い領域での厚い酸化膜の形成という2回に分かれていた絶縁分離領域形成工程が、後述のCMP技術による平坦化法の開発により1回で形成可能になった。

(b) 図は、2から4番目のリソグラフィ工程を経て、SiGeベース領域を選択成長した所である。まず、絶縁分離工程終了後、将来ベースの引き出し電極とするために堆積したアモルファスシリコン膜を結晶化した膜に、2番目のマスクを使用してボロンを選択的に注入し、その上にCVD酸化膜を形成し、3番目のマスクにより、ベース引き出し電極となる領域を形成する。次に4番目のマスクでエミッタ部を開口し、開口部側壁に窒化膜によるエミッタ電極とベース電極の分離膜を形成し、SiGeベース層を選択的に形成する。

(c) 図は、SiGeベース層を選択成長後、カーク効果防止のため、選択的に傾斜コレクタ領域をイオン注入で形成し、5番目のマスクにより、コレクタ電極部をSOI層内に開口、燐を含むアモルファスシリコン膜を結晶化した膜を成長し、エッチバック法でエミッタとコレクタの電極（プラグ電極と呼ぶ）を同時に形成した所である。この燐を含むアモルファスシリコン膜を結晶化した膜をコレクタ電極に用いることで、従来の熱拡散法によりコレクタ電極を形成していた時と比較し、熱処理によるストレスが低減でき、またコレクタ拡散領域の不必要な横方向への拡散が抑えられ、エミッタとコレクタ間の距離縮小が可能になった。

(d) 図は、CVD酸化膜を全面に堆積後、6番目のマスクで金属電極を取るためのコンタクトを形成し、さらに7番目のマスクでコンタクトの上に金属電極を形成した所である。

この様に、従来ある技術と、いくつかの新技术を組み合わせ、簡便な製造プロセスを開発した。これにより、工程数は40%ほど削減され、トランジスタサイズも20%ほど縮小した。図3.20に本プロセスを使用して作成した、A-SSSBトランジスタのSEM写真を示す。

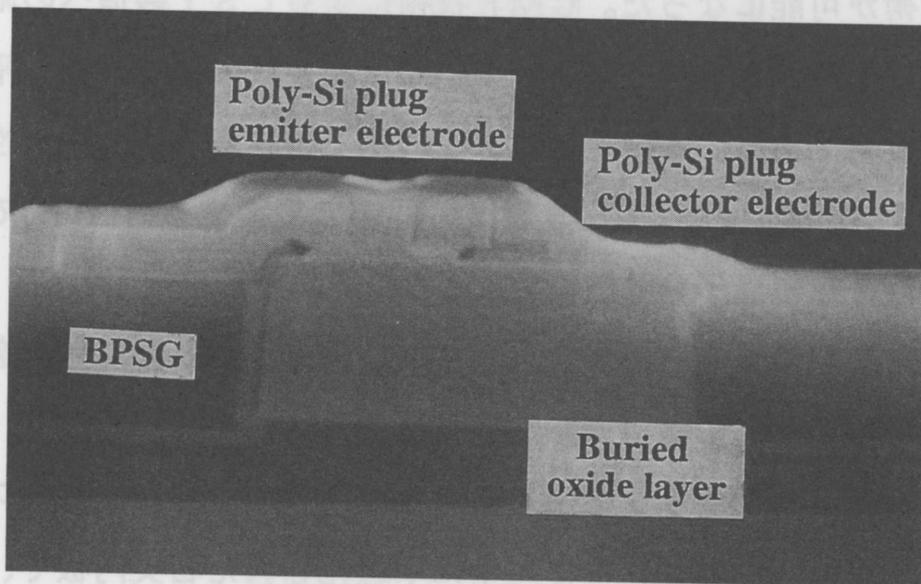


図3.20 A-SSSBトランジスタのSEM写真

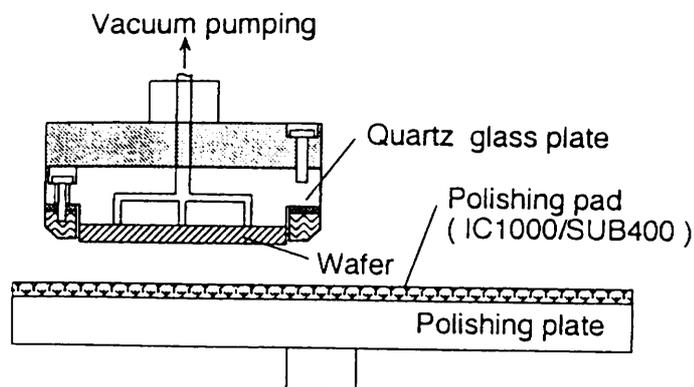
3.5.3 BPSG埋設の任意幅素子分離技術とプロセス技術

トランジスタ形成に不要な領域を厚い絶縁膜にし、寄生容量の低減を図ることが以前から望まれ、研究されていて、その例は第1、2章で述べた。SOI基板を使う絶縁分離はこれらの例よりも寄生容量低減効果は大きく、それについては(3.3)項で述べた。しかし、トレンチ(溝)による絶縁分離法は、トランジスタの寄生容量低減には効果はあるが、トランジスタ間等を接続する配線部の寄生容量低減には、その絶縁分離幅が狭いため効果がなかった。このため、従来はトレンチ分離でトランジスタ間を分離し、その他の不要な領域は熱酸化により厚い酸化膜を形成

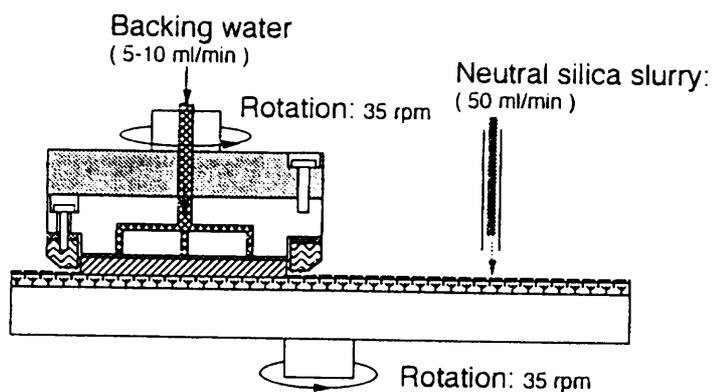
して、容量低減を図っていた。これは、絶縁分離工程が2回あることを意味し、コスト上昇や製造日数が長くなる（工程数が多い）等の問題があった。これに対し、SOI基板を用いて、熱酸化により不要なシリコンを全て酸化する方法[21]も試みられたが、酸化時のストレスが強く、また、分離幅の狭い領域では「酸化膜がSOI基板の埋め込み酸化膜まで到達しない」という問題があり、微細化には不適であった。しかし、トランジスタのスケールダウンでコレクタ領域の厚さが1 μm 程度にまで薄くなり、均一性の高いCMP平坦化技術の進歩により、強い熱酸化の伴わない、狭い領域でもSOI基板の埋め込み酸化膜までの領域を全て絶縁膜にする任意幅素子分離技術が可能になった。CMP技術によるLSI製造への応用については、近年、活発に研究がなされているが[62-66]、重要なのは均一性、平坦性と清浄性の3つ大きな要素である。本研究では、この中で特に均一性と平坦性が問題となる。この問題の解決策の1つは、日本電気の林等の提案する方法[67]である。本研究のBPSG埋設任意幅素子分離技術は、この林等の技術を使用した。この技術は、研磨するウエハーを吸着するチャック（ハイドロチャックと呼ぶ）構造と、CMPを行っている間のウエハーの保持方法に特徴がある。

図3. 21にハイドロチャック構造とそれを使用したCMPプロセスについて示す。このハイドロチャックプレートは完全に平坦化された石英円板で、裏面から表面にいたる直径1 mm ϕ の孔が開けてあり、ここに特徴がある。図(a)において、この孔はウエハーを搬送する時は吸着するための真空引きの役割をし、また図(b)では、研磨時、純水を供給し、ウエハー裏面に液膜バッファ層を形成し、研磨時に裏面に研磨剤の粒子が回り込み、研磨の均一性を悪化させるのを防ぐ役割をし、さらに、図(c)に示すように、ウエハー脱着時には圧搾空気の噴出孔としての役割をする。また、研磨時にウエハーが石英円板から飛び出さない様に、外周部にリングが付いている。図(b)の研磨時のプロセスをもう少し詳しく述べる。最初、研磨圧力を低く(0.05 Kg/cm²)し、ハイドロチャックを35 rpmで回転させ、続いて、真空吸着をはずし、純水を供給し研磨圧力を0.4 Kg/cm²に上げる、すなわち、研磨は石英円板面とウエハース裏面の間に純水液膜バッファ層のある状態で行われる。

(a)



(b)



(c)

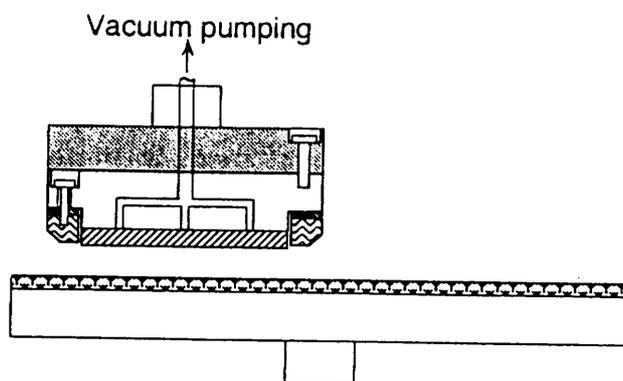


図3. 21 ハイドロチャック構造とそれを使用したCMPプロセスについて
(参考文献[67]より引用)

さて、このCMP技術でBPSG膜を研磨した結果について論じる。図3. 22はBPSG膜の6インチウエハース面内平均研磨量 (P_{av}) と研磨ばらつき (T_{σ}) の研磨時間依存性について示したものである。 P_{av} は下式で計算した。

$$P_{av} = T_{ini, av} - T_{av} \quad (3-5)$$

ここで、 $T_{ini, av}$ と T_{av} はそれぞれ堆積時と研磨後の平均のBPSG膜の膜厚である。

また、 T_n は最大膜厚と最小膜厚の差の半分の値である。BPSG膜の研磨速度は毎分180nmで、 T_n は20nm以下で、1.0 μm 以上のエッチング量に対しては2%以下の「ばらつき」で均一性、平坦性の良さが示されている。

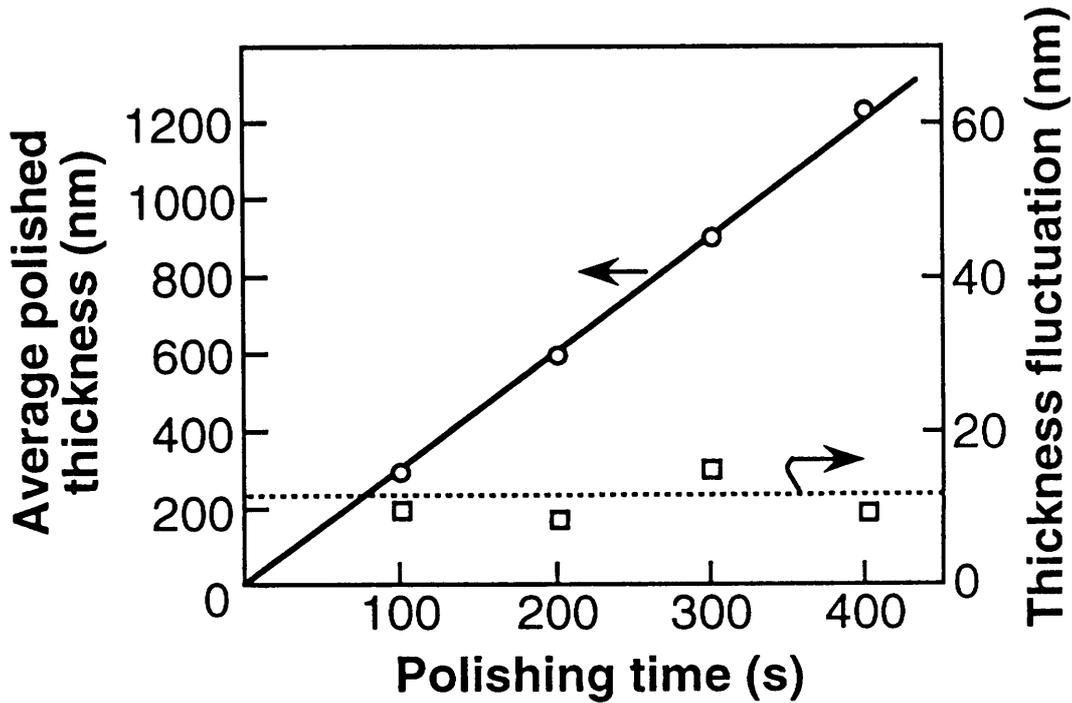


図 3. 2 2 BPSG膜の6インチウエハース面内平均研磨量 (P_{av}) と研磨ばらつき (T_n) の研磨時間依存性

3.5.4 ベース設計とプロセス技術

A-SSSBトランジスタでは、SSSBトランジスタをより高性能にするために、SiGe-SEG層のベース領域の膜厚、ボロン濃度、Ge分布について新たに設計した。設計方針は、(1) f_T を向上させるため、ベース領域幅を縮小し、コレクタとエミッタ間のパンチスルー防止のためボロンの高濃度化を行い、(2) コレクタとベースの接合リークを低減させるためGe分布を変更し、(3) 高注入状態で発生するインバースアーリー効果[68]の影響を少なくするため、ボロンはシリコンエピタキシャル層の表面まで入れた、の3点である。

図 3. 2 3に今回新規に設計したGeとボロンの濃度分布(分布(b))を示す。(3.3.3)項で論じた図 3. 9の濃度分布(分布(a))と比較すると、違い

が明確になる。領域（A）であるが、A-SSSBトランジスタでは表面までボロンが入っている、前述（3）の対策である。次に、領域（B）はGeのピーク濃度（15%）と濃度傾斜がかかっている点は同じであるが、ボロン濃度は1.5倍の $6 \times 10^{18} \text{ cm}^{-3}$ となり、ベース幅もSSSBトランジスタの半分（40 nmから25 nmに）近くに薄くした。前述（1）への対策である。しかし、これ以上のベース濃度の上昇はエミッタ、ベース接合での順方向リーク電流（トンネル電流）を増やし[69]、トランジスタの電流利得のコレクタ電流依存性を劣化させ、回路設計の障害となるので、この濃度が限界に近い。これ以上のベース幅の薄膜化、すなわちベース領域の高濃度化は、トランジスタのエミッタ、ベースの設計を大幅に変更する必要があり、コレクタ、ベース間だけでなく、エミッタ、ベース間接合のヘテロ接合化も視野に入れてダブルヘテロ接合化を研究する必要がある。

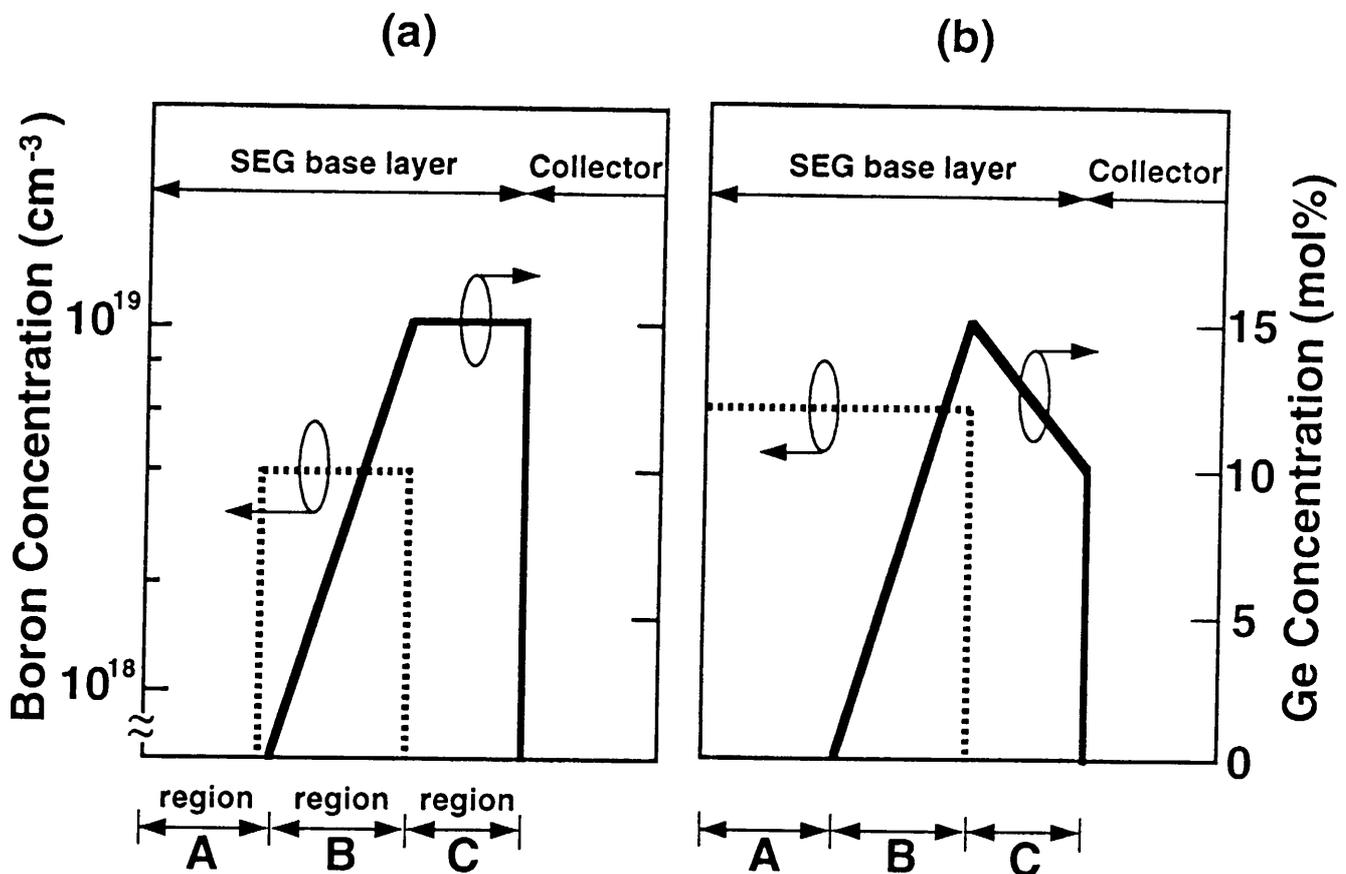


図 3. 2 3 SSSBトランジスタの濃度分布 (a) とA-SSSBトランジスタの設計上のGeとボロンの濃度分布 (b) との比較

次に、領域（C）は、前述（2）の対策として、Geの分布を変更した。これは

領域 (C) の Ge の平均濃度を下げ、この領域の SiGe 層の熱ストレス耐性を改善しようとしたものである。具体的には領域 (C) の Ge 濃度を、領域 (B) 端からコレクタ (Si 層中に形成されている) との界面に向けて下げるといふものである。ストレス低減のためには、Ge 濃度をコレクタとの界面で 0% まで下げれば良いが、この Ge 濃度分布は、領域 (B) と Ge 濃度分布が逆であり、エミッタ接合形成の熱処理により、領域 (B) からボロンがこの領域に拡散されることで、伝導帯に電子の流れを阻害する障壁を形成する。このため、Ge 濃度の傾斜が大き過ぎるとトランジスタの性能が劣化する。そこで、(3.3.3) 項で述べたが、トランジスタの動作時はコレクタ、ベース接合は逆バイアスされ、強い加速電界が空乏層内に発生することを利用して、これによってキャンセル出来る程度の障壁の高さ (20 ~ 30 mV) に抑えるように、Ge 濃度の傾斜を設計した。

図 3.24 に図 3.23 で設計したベース層を形成し、エミッタ形成した後の SIMS による不純物分布の測定結果を示す。

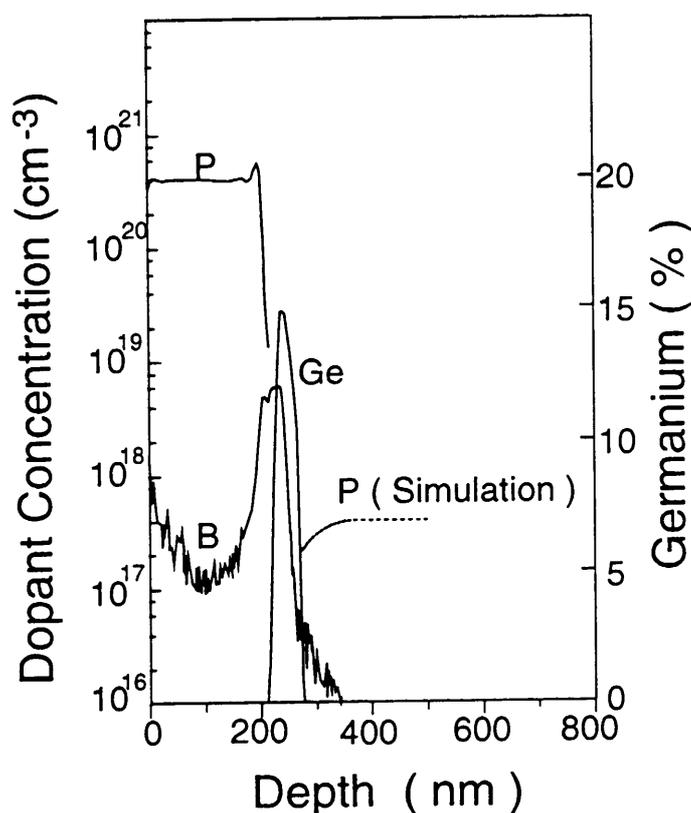


図 3.24 図 3.23 (b) のように設計したベース層を持つトランジスタのエミッタ形成後の不純物 SIMS 分析の結果、なお、コレクタ分布はシミュレーション結果を挿入した。

図3. 25に領域(C)の効果を示す。Geのピーク濃度に対するコレクタ、ベース間接合(逆バイアス、4V)のリーク電流依存性で、分布(a)は図3. 15のデータであり、分布(b)とはGeのピーク濃度が15%の水準で比較した。新設計のGe分布でリーク電流は1桁以上の改善が確認された。

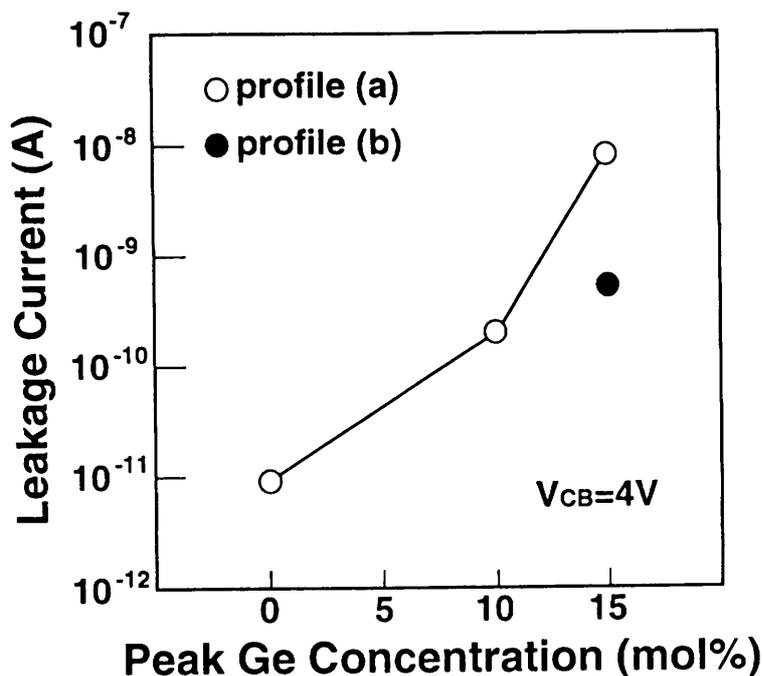


図3. 25 Geのピーク濃度に対するコレクタ、ベース間接合(逆バイアス、4V)のリーク電流依存性。分布(a)は図3. 15のデータで、分布(b)は今回提案したものである。

3.6 A-SSSB トランジスタの電気特性

工程削減、トランジスタサイズ縮小、さらに性能改善のため、A-SSSBプロセスで採用した新技術のトランジスタ特性への影響について論じる。このトランジスタは最小0.4 μmルールで設計されたものである。

図3. 26にBPSG埋設任意幅素子分離技術のトランジスタに与えるストレスの影響を評価するための、コレクタ、ベース接合リーク電流(逆バイアス)のエミッタと絶縁分離領域(トレンチ)との間隔依存性を示す。コレクタ、ベース接合リーク電流を測定する理由は、コレクタ、ベース接合がSiGeとSiの遷移界面

を含み、ストレスに最も敏感だからである。また、エミッタとベースは自己整合で位置関係が決定されているので、エミッタと絶縁分離領域との間隔依存性を評価することは、近似的にベースと絶縁分離領域との間隔依存性（絶対値では約 $0.25 \mu\text{m}$ 短くなる）を評価しているとも言える。トレンチ幅が従来の $1.0 \mu\text{m}$ の水準とほぼ同じで、この任意幅素子分離技術で特にストレスは増えていないと考えられる。これは、第2章で述べたが、BPSG膜の融点が低く、後工程での熱処理で軟化し周辺のストレスを吸収したためであり、さらに絶縁物を埋設する深さが、トランジスタのスケールダウンにより $1.0 \mu\text{m}$ 程度に浅くなったためである。

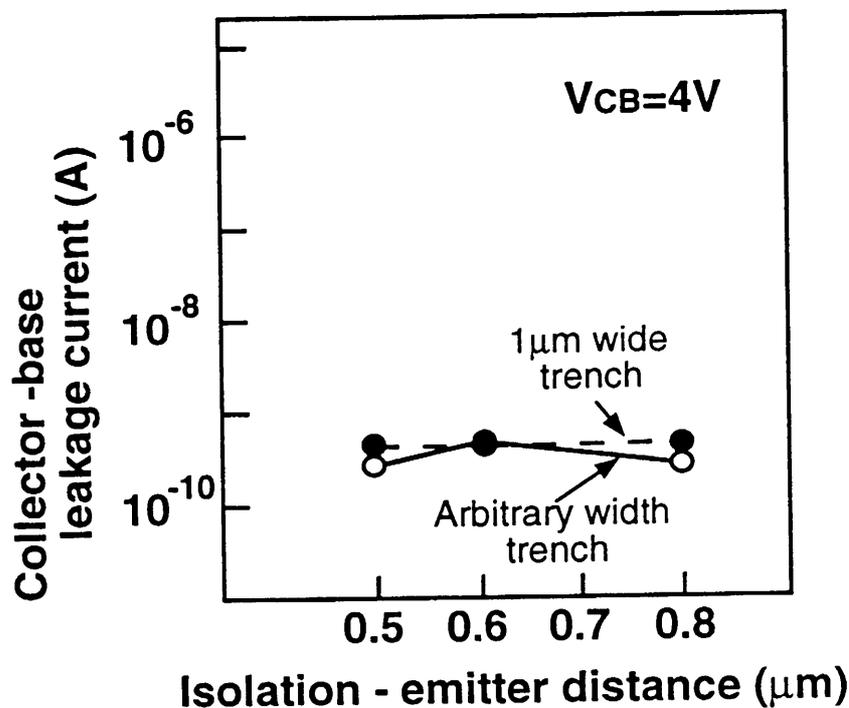


図3. 26 コレクタ、ベース接合リーク電流（逆バイアス）のエミッタと絶縁分離領域との間隔依存性。白丸が任意幅素子分離技術で、黒丸が従来の $1.0 \mu\text{m}$ 幅素子分離技術であり、リーク電流に差は無い。

次に、エミッタとコレクタとの間の距離縮小と、エミッタとコレクタ引き出し電極形成の工程数を削減のために、採用した燐を含んだアモルファスシリコン膜を結晶化した膜をコレクタとエミッタの引き出し電極で共用化した効果である。図3. 27にコレクタ、ベース接合リーク電流のエミッタとコレクタとの間の距離依存性を示す。ここで、コレクタ、ベース接合リーク電流を評価するのは前述した理由と

同じである。従来、コレクタの引き出し電極はシリコン中に燐を熱拡散かイオン注入で入れて形成していた。しかし、エミッタとコレクタとの間の距離が縮小してくると、燐拡散に伴うストレスのためコレクタ、ベース接合リーク電流が増加した。今回、採用したプロセスはエミッタ接合形成のためのRTA処理のみで、燐拡散の工程が極めて短いため、このストレスの発生が抑えられる。エミッタとコレクタとの間の距離が1.0 μm まで縮小してもコレクタ、ベース接合リーク電流は増加せず、その効果が確認された。

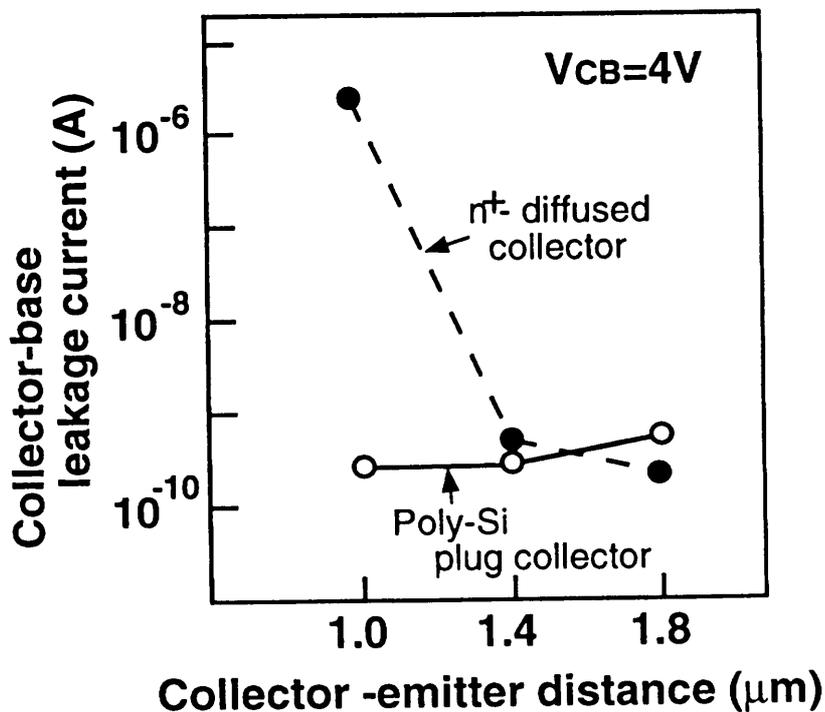


図3. 27 コレクタ、ベース接合リーク電流のエミッタとコレクタとの間の距離依存性

次に、コレクタエピタキシャル成長工程を削除するために、高エネルギーイオン注入を利用し、埋め込みコレクタ領域を形成する方法の影響について述べる。以前から、埋め込みコレクタ領域形成に高エネルギーイオン注入は利用されていたが、高エネルギーイオン注入はイオン電流が少ないため、イオン注入のドーズ量を増やすと注入時間が非常に長くなり、かつ結晶欠陥が発生し、またドーズ量が少ないとコレクタ抵抗が高くなり性能が悪化し、この技術は性能の低いトランジスタで実用

化されていた技術であった。しかし、(3.5.2)項で述べた様に、高速昇温RTA処理により、中・高ドーズイオン注入による結晶欠陥発生は抑えられ、また、前述した燐を含んだアモルファスシリコン膜を結晶化した膜をコレクタの引き出し電極で用いることで、エミッタとコレクタとの間の距離が縮小したため、埋め込みコレクタ層の濃度が従来に比べて低濃度化できる様になった。図3.28に高エネルギーイオン注入のドーズ量とコレクタ抵抗の関係を示す。 $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でほぼ従来法並の抵抗が得られている。このドーズ量は従来の場合の $1/3 \sim 1/5$ で、注入時間の短縮が達成され、トランジスタ製造上実用に耐える技術となった。

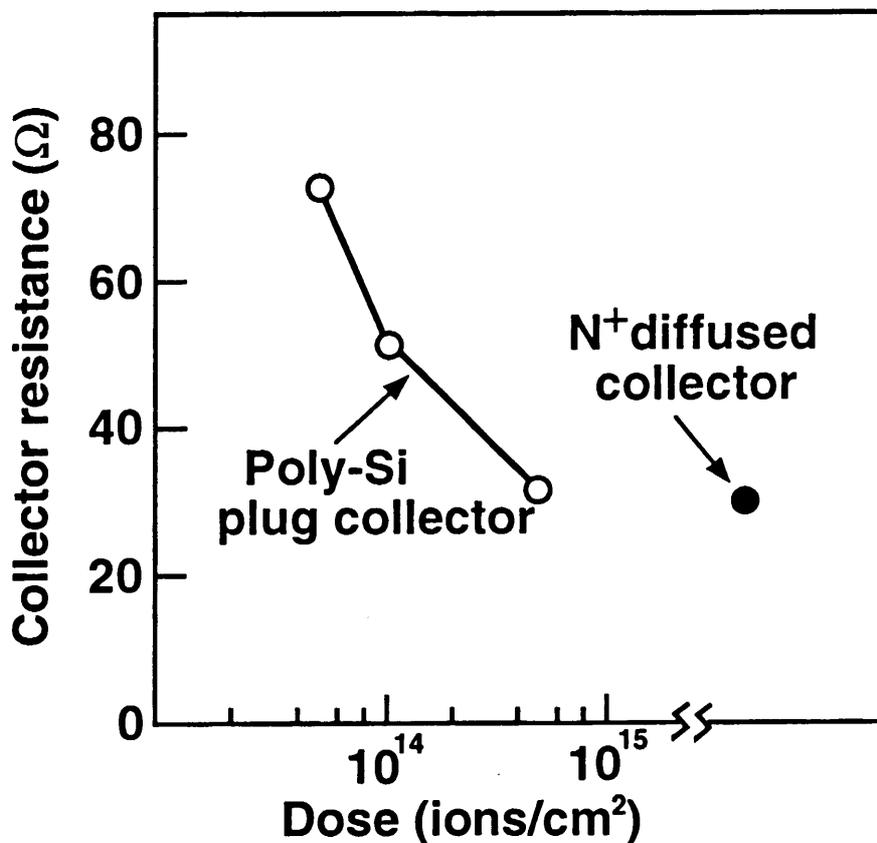


図3.28 高エネルギーイオン注入のドーズ量とコレクタ抵抗の関係

以上の結果より、A-SSSBトランジスタで採用した、工程数削減のための技術は、トランジスタ性能の改善も可能にしたことが示された。さらに、トランジスタの高性能化のためのベース設計の効果であるが、図3.29に f_T と f_{MAX} のコレクタ電流依存性を示す。 f_T は80GHzと大幅に改善されたが、しかし、 f_{MAX} は55GHzと改善効果は f_T ほど大きくない。これは、ベース幅をSSSBトランジ

スタの約半分にしたためにベース抵抗が高くなり、前述した f_T と $r_b \cdot C_{je}$ 積との間のトレードオフ効果が出たためである。ベース領域の濃度をさらに上げれば、この影響を低減出来るが、前述した様に、エミッタ、ベース間接合での順方向リーク電流（トンネル電流）を増やし、トランジスタの電流利得のコレクタ電流依存性を劣化させるという悪影響が出る。また、このベース幅の縮小の悪影響は、表 3. 3 に示す A-S S S B トランジスタのデバイスパラメータ中の、コレクタ・ベース間耐圧（パンチスルー電圧）が 2. 3 V と低くなる点にも現れている。エミッタ抵抗、コレクタ抵抗等の特性は良好であるが、ベース設計には問題がある。ベース領域の単なる高濃度化では解決出来ないなので、トランジスタのエミッタ、ベースの設計を大幅に変更し、前述した様に、コレクタ・ベース間だけでなく、エミッタ・ベース間接合のヘテロ接合化、つまりダブルヘテロ接合トランジスタを研究する必要がある。今後の課題であり、さらなる高性能化という観点から、(6. 2. 1) 項において、簡単な議論をする。

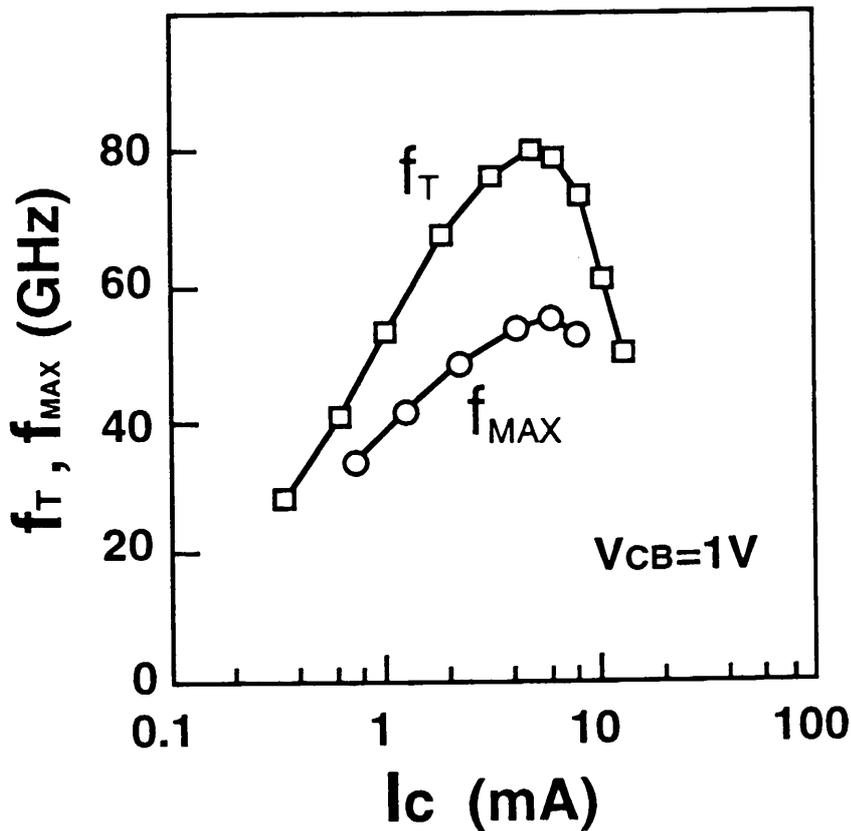


図 3. 29 f_T と f_{MAX} のコレクタ電流依存性

Emitter area	0.2x7.8 μm^2
Isolation-emitter distance	0.5 μm
Collector-emitter distance	1.0 μm
Dose of high-energy implanted phosphorous	$5 \times 10^{14} \text{cm}^{-2}$
Collector resistance	33 Ω
Base resistance	55 Ω
Emitter resistance	8 Ω
C-E breakdown voltage	2.3 V
C-B breakdown voltage	7.2 V
Maximum cut-off frequency (f_T)	80 GHz
Maximum frequency of oscillation (f_{MAX})	55 GHz

表 3. 3 A-SSSBトランジスタのデバイスパラメータ

3.7 まとめ

本章で論じた超高速シリコン・ゲルマニウム自己整合トランジスタ技術である、SSSBトランジスタ技術と、これを性能向上させたA-SSSBトランジスタ技術の、デバイス設計とそれを実現したプロセス技術に関し、研究して得られた成果等をまとめる。

- (1) SiGe-HBT技術の中で、本研究の対象であるベース領域のGe濃度に傾斜を設け、加速電界を発生させ、高性能を実現するトランジスタの原理について論じた。
- (2) SiGe-HBTをシリコン製造ラインで作れる様にするため、自己整合型トランジスタのベース形成にSiGe合金のSEG層を用いることを提案し、これを実現するためにCold-Wall型UHV/CVD装置を開発した。また、本装置を使用し、ベース形成のために開発したSiGe-SEG技術について論じた。

- (3) SiGe-SEG技術をベース形成に用いた、SSSBトランジスタの特徴として、(イ) SOI基板とBPSG埋設素子分離技術を組み合わせた低寄生容量の素子分離法、(ロ) $0.2\ \mu\text{m}$ クラスの狭い幅の所でも、均一で、かつ浅い接合を低温で形成するため、被覆性が良好な、燐を含むアモルファスシリコン膜を結晶化した膜を用いたエミッタポリシリコン電極、(ハ) ベース領域としてのSiGe-SEG層が3つの領域に目的別に分けて設計されていて、かつGe分布が台形上に設計されていること、(ニ) リンクベース領域の低抵抗化手法(2ステップアニール法)の採用を挙げ、それらがトランジスタ特性に与える影響やプロセス技術について議論した。
- (4) (3)で述べたSSSBトランジスタの電気特性として、 f_T は60GHz、 f_{MAX} は50GHzを達成した。これは第2章で述べた、A-BSAトランジスタと比較して、 f_T で50%、 f_{MAX} で12%の高性能化を達成したこととなる。また、ECL基本回路(1入力1出力)の t_{pd} として、 I_C が0.4mAの低電流で、17ps/ゲートの高速動作が実現されたことを示した。
- また、さらに、一層の低価格化が要求される加入者系光通信システムに適用しやすくするために、
- (5) SSSBトランジスタのコスト・パフォーマンスを大幅に改善した、A-SSSBトランジスタを開発し、その特徴として、(イ) 配線の寄生容量の一層の低減と絶縁分離工程数を削減するための、CMP技術を使用した絶縁分離幅が自由に設定できる任意幅素子分離技術、(ロ) トランジスタサイズの縮小に効果大きい、エミッタとコレクタとの間の距離の縮小と、エミッタ、コレクタ引き出し電極形成の工程数の削減を可能にした、燐を含んだアモルファスシリコン膜を結晶化した膜の、エミッタ、コレクタの引き出し電極同時形成技術、(ハ) コレクタエピタキシャル成長工程を削減した、高エネルギーイオン注入による、埋め込みコレクタ領域の形成技術、さらに、(ニ) ベース、コレクタ間接合のリーク電流を低減しつつ f_T を向上させるための、ベース領域のボロンとGe分布の最適化設計を挙げ、それらがトランジスタ特性に与える影響やプロセス技術について議論した。

(6) (5) で述べた A-SSSB トランジスタの電気特性として、工程削減のために開発した新技術は、トランジスタ特性に悪影響は与えず、ベース領域の最適化設計により、 f_T は 80 GHz、 f_{MAX} は 55 GHz を実現した。これは SSSB トランジスタと比較して、 f_T で 30%、 f_{MAX} で 10% の改善をしたことになる。高性能化と工程削減が同時に達成されたことを意味している。

しかし、 f_{MAX} の改善は飽和傾向にあり、これ以上の高性能化は、ダブルヘテロ接合トランジスタなど、トランジスタ構造の大幅な変更が必要であり、今後課題が残った。

第4章 シリコン・ゲルマニウム超格子導波路型

受光素子技術

本章では、主に、第3章で論じた超高速トランジスタプロセスと整合し、シリコンチップ内に埋め込まれた構造の受光素子で、耐熱性向上を目的として SiGe/Si 超格子選択エピタキシャル成長層を光吸収層に用いる、SMF (Single Mode Fiber : 単一モードファイバ) 対応の導波路型 (Waveguide type) SiGe 受光素子の設計とプロセス技術、並びに特性について議論する。

4.1 導波路型 (Waveguide type) SiGe 受光素子の設計とプロセス技術

4.1.1 導波路型 SiGe 受光素子の構造と特徴

まず最初に、本研究の対象である $G b i t / s$ 以上で高速動作し、低価格、低消費電力、高信頼性の O E I C を実現する上で、受光素子に要求される条件をまとめる。それは、(1) 標準的シリコン I C 製造ラインで作れること、(2) I C 部のトランジスタの性能が高く、余裕を持って $G b i t / s$ 以上で動作すること (低消費電力化が可能)、(3) (2) の高性能トランジスタのプロセスは極力変更せずに受光素子がチップ内に形成できること (このためには、 $1 \mu m$ 程度の薄膜内に受光素子を形成する必要がある)、(4) (3) の受光素子の形成はシリコンプロセスに悪影響を与えないこと、(5) I C の組立・実装が、光ファイバ実装を含めて簡単に出来、かつコストがかからないこと、(6) I C に使用するデバイスは $5 V$ 以下の電圧で動作する必要があるが、受光素子はこの条件で所望の特性を持つこと、である。上記の条件を満たすトランジスタについては、第2、3章で論じた技術、A-B S A、S S S B、A-S S S B 技術を用いる。一方、受光素子については、(3) ~ (5) の条件を満足するために、(ア) 光吸収層である S i G e 膜のエッ

チングはしない（ラインのGe汚染対策）、（イ）光吸収層はトランジスタのエミッタ形成のための熱プロセスに耐える必要がある（超高速トランジスタのエミッタ接合形成後は高温熱処理が行えないため、一番最後に行う必要がある）。（ウ）シリコン表面からの盛り上がりは1 μm 以内に抑える、（エ）光ファイバからの出力光を簡単に受光素子に導入出来る構造である。本章の研究対象は導波路型受光素子であるので、特に（イ）と（エ）をどの様に解決するかが課題である。また、光吸収層の設計は（1.4.2）項で述べた様に、今後数量的増加が期待できる、コンピュータや電子交換機向けの並列データ伝送技術である光インタ・コネクで、その使用が研究されている波長帯である0.98 μm 帯に合わせた（0.98 μm 帯のレーザーは、他の波長帯に比べ温度変化に対する特性が安定していて、民生市場に向くと考えている）。さらに、上記の（6）の条件を満足させるため、受光素子はpin型で設計した。

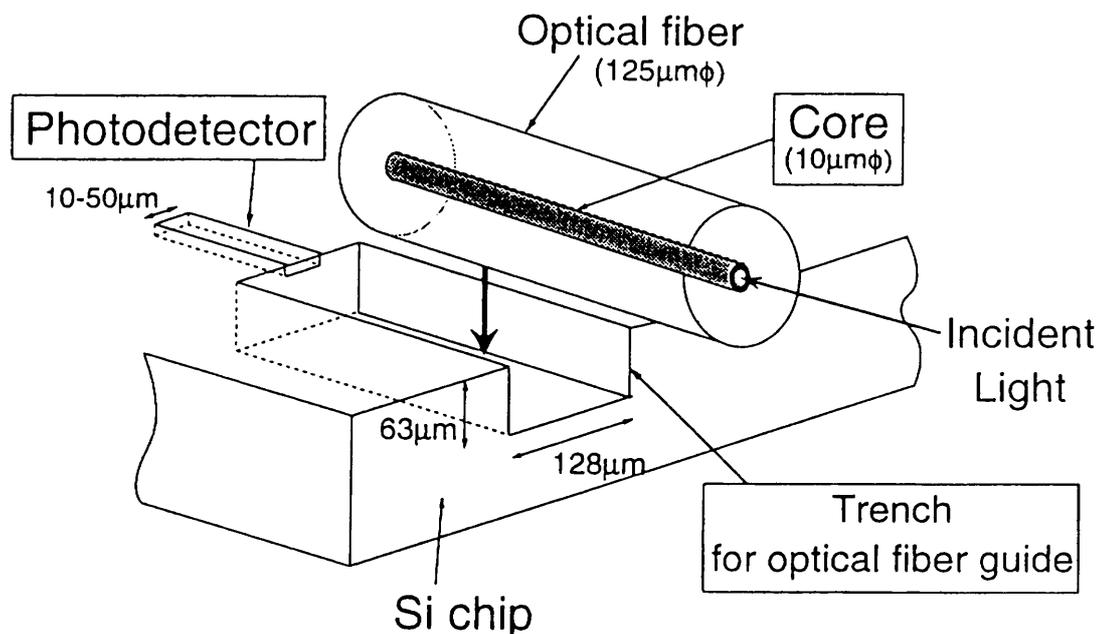


図4.1 プレーナ型SiGe受光素子をシリコンチップに集積化した時の模式図。シリコンチップ内に選択的に形成された受光素子の光吸収層に、光ファイバ（SMF）のコアが丁度当たる様に、光ファイバをはめ込むための溝がシリコンチップ内に形成されている。

本研究では、上記の要求を可能にする方法として、下記の方法（図4.1、2参照）を提案した。その特徴を下記に示す。

- (a) 光ファイバ（SMF：直径 $125\ \mu\text{m}\ \phi$ ）のICチップへの実装が、低価格、安定に、かつ簡単に出来るようにするため、シリコンチップの表面薄膜層（厚さ数 μm ）内に選択的に形成された受光素子の光吸収層へコア径 $10\ \mu\text{m}\ \phi$ 光ファイバから出た光を接続させるため、深さ $63\ \mu\text{m}$ 、直径にして $128\ \mu\text{m}$ に対応する溝をシリコンチップ内に形成した。この溝に光ファイバをはめ込むことにより、自動的に光ファイバのコアと受光素子の光吸収層が接続されるようにした。
- (b) OEICにはアナログ回路とデジタル回路が混在するので、量子効率の向上のためと、多チャネル対応へIC化した時に問題となるクロストーク対策として貼り合わせSOI基板を使用した[70]。つまり、4.2図に示すように、SOI基板上の厚さ数 μm のシリコン層内に埋め込むように受光素子の光吸収層を形成することで、ファイバのコアからの入射光が、埋め込み酸化膜とBPSG埋設トレンチ分離領域で囲まれた領域を周囲に反射しながら進み、その過程で光吸収層下の N^+ シリコン層から、屈折率の差を利用してSiGe光吸収層に効率良く集められるようにした。即ち、エバネッセント結合での吸収効率を向上させるものである。ここで、SOI基板上のシリコン層が光の導波路[16]として機能している。
- (c) 超高速トランジスタ向けの受光素子とするため、光吸収層の耐熱性を最高温度 $950\ ^\circ\text{C}$ とすることを考え、SiGe/Si超格子構造を光吸収層に採用した。すなわち、Si層を熱ストレスのバッファ層として耐熱性を向上させているものである。また、シリコン製造ラインで作るため、この超格子光吸収層を選択エピタキシャル成長技術で形成した（（4.1.2）で議論）。さらに、シリコンチップ内に埋め込まれた光吸収層の上面は配線の微細加工を可能にするため、シリコン基板の表面と高さの差を $1\ \mu\text{m}$ 以内に一致させる様に設計した。

我々はこの構造をプレーナ型SiGe受光素子と名付けた。

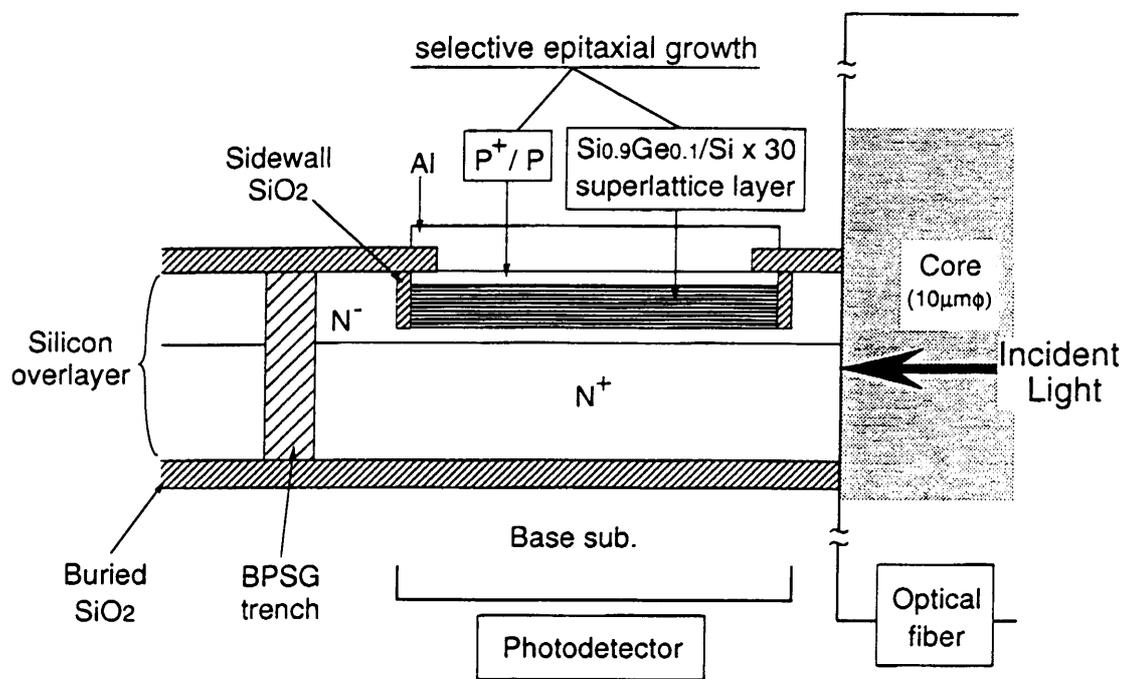


図 4. 2 プレーナ型 SiGe 受光素子の断面模式図。受光素子の光吸収層は SOI 基板上的シリコン層内に形成され、ファイバのコアから入射した光は埋め込み酸化膜などで反射し、このシリコン層内を図の右手から左手に向かって伝わっていく。

このような構造の受光素子を導波路型 (Waveguide type) と呼ぶ。

4.1.2 SiGe/Si 超格子エピタキシャル選択成長技術と光吸収層の設計

前項の (c) で述べたように、本研究の受光素子は SiGe/Si 超格子構造の光吸収層をシリコンチップ内に選択的に形成している。本項では、第 3 章で議論した SiGe-HBT 研究を通して開発した SiGe 膜の選択成長技術を、さらに改良した SiGe/Si 超格子選択エピタキシャル成長技術と、光吸収層を超格子構造とした理由、すなわち光吸収層の設計について議論する。

まず、超格子構造とした理由について述べる。高い量子効率を得るためには歪格子状態の SiGe 層を出来るだけ厚くする必要がある。しかし、歪格子状態の SiGe 層は熱ストレスに弱く、一度に厚く成長出来ない[12]。そこで、SiGe 層の全体の膜厚を厚くするために、Si 膜をストレスのバッファ層として間に挟む SiGe/Si 超格子構造を採用した。本研究では受光素子の光吸収層形成後、OEIC

製造で加わる最高熱処理温度を、バイポーラトランジスタのエミッタ形成に必要な 950°C を考慮して、十分なマージンを持って、膜厚として SiGe 層厚: 30 \AA 、Si 層厚: 320 \AA (SiGe 層の約 10 倍) とした。ただし、この膜厚比が最適かどうかの検討はまだ不十分であり、今後の研究課題であると考えている。

ところで、この研究では、光吸収層の形成できる深さは、 N^+ 型下部電極 (バイポーラトランジスタのコレクタ埋め込み電極と同一) までの N^- 領域 (バイポーラトランジスタのコレクタ層) であり、約 $1\text{ }\mu\text{m}$ 程度である。このため、SiGe/Si 超格子層は $3 \times 10^{15}\text{ cm}^{-3}$ 程度の P 型とし、30 層の超格子に設計した。全体の膜厚は 1050 nm である。また、上部電極として、ボロンをドーブした $0.2\text{ }\mu\text{m}$ 厚の P^+ -Si 層 ($1 \times 10^{20}\text{ cm}^{-3}$) と、 $0.1\text{ }\mu\text{m}$ 厚の P-Si バッファ層 ($1 \times 10^{18}\text{ cm}^{-3}$) とを SiGe/Si 超格子の上に形成した。この層は Ge のライン汚染を防止するカバー膜の役割もしている。(図 4. 2 参照)

また、 $0.98\text{ }\mu\text{m}$ に感度を合わせるために、SiGe 層内の Ge 濃度は、次の様な見積りを行い決定した。まず、文献 71、72 にデータとして報告されている、Si と Ge 単結晶のホットダイオード (PD) の波長感度曲線で、量子効率が 70% になる波長 (長波長側) を臨界波長とした。この場合、臨界波長は、Si-PD において $0.9\text{ }\mu\text{m}$ (つまり、Si-PD では $0.98\text{ }\mu\text{m}$ での感度は実用的でないと言える)、Ge-PD で $1.5\text{ }\mu\text{m}$ である。一方、第 1 章の図 1. 10 で示した様に、SiGe 層 (歪み格子状態) のエネルギーギャップは SiGe 層中の Ge 濃度に反比例して減少し、Ge 濃度が 50% で、ほぼ Ge 単結晶と同じになる。この関係から、SiGe 層の臨界波長を $1.0\text{ }\mu\text{m}$ とする Ge 濃度は 10% 弱となった。

次に、この SiGe/Si 超格子エピタキシャル選択成長技術について議論する。前述した様に、この技術は SiGe-HBT 研究で開発した SiGe 選択成長技術を改良し、 $1\text{ }\mu\text{m}$ 以上の厚膜を成長出来るようにしたものである。成長装置は第 3 章で議論したものと同一で cold-wall 型の UHV/CVD 装置であり、選択成長を実現するためのプロセス設計の考え方は基本的に同じであるが、厚膜を成長するために成長時のガスの供給法を新規に開発した。図 4. 3 にそのガス供給フローを示す。ガス供給は 4 ステップから成り立っている。

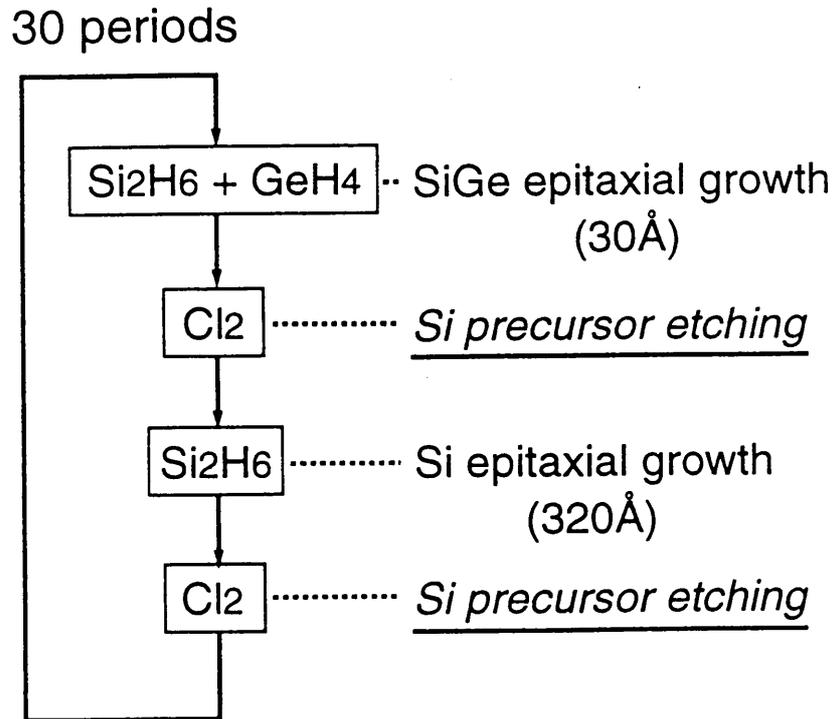


図 4. 3 厚膜の SiGe/Si 超格子エピタキシャル層を選択成長するためのガス供給フロー。

各ステップの内容を説明する。

- (1) SiGe層を成長：最初のステップで Si₂H₆ + GeH₄ ガスを流す。この条件は選択成長ではないが、Si 上と絶縁膜上（ここでは酸化膜）との間の選択性の差を利用して、Si 上に SiGe 層を成長する。この時、シリコンの粒が (Si-precursor と呼ぶ) 若干酸化膜の上に形成される。このまま成長を続けると選択成長は出来なくなる。
- (2) Si-precursor エッチング：選択性を維持するために、第 2 ステップで酸化膜上の Si-precursor を Cl₂ ガスを流してエッチングする[48]。
- (3) Si 層を成長：第 3 ステップで Si₂H₆ ガスを流す。ここでは、第 1 ステップと同じ様に、Si 層をステップ (1) で形成した SiGe 層の上に成長させる。この時、ステップ (1) と同様に Si-precursor が、若干酸化膜の上に形

成される。

(4) Si-precursor エッチング：第2ステップと同じ様に、Si-precursor を Cl_2 ガスを流してエッチングする。

この様に、各種のガスをパルス的に流して、成長とエッチングを交互に繰り返し厚膜を成長する。この方法を、Time Sharing Gas Supply Scheme と名付けた。

図4. 4はステップ(3)と(4)で成長温度を一定とし、 Si_2H_6 ガス流量と Cl_2 ガス(ガス流量は一定)を流す時間(Irradiation Time)をそれぞれ変えた時、Si層の選択成長出来る臨界膜厚(Critical Thickness)について示したデータである。ステップ(3)を短くすれば臨界膜厚は急激に厚くなる。この関係はステップ(1)と(2)の間でも成り立ち、成長時間さえかければSiGe/Si超格子層はいくらでも厚くできる。なお、成長はN型の面方位(100)基板上行ったものである。

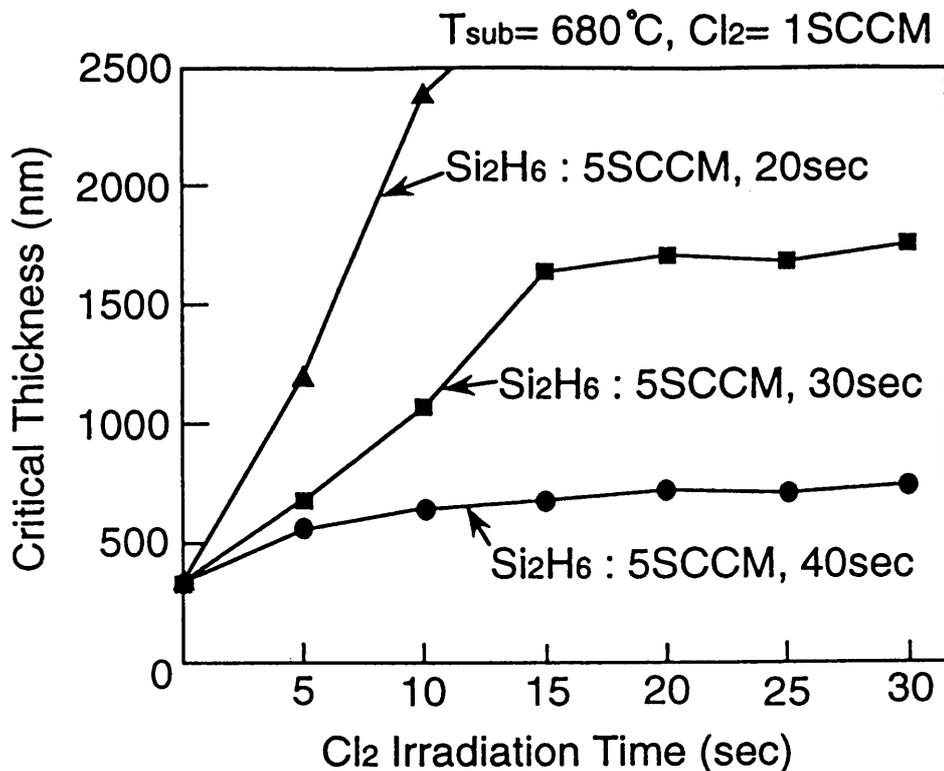


図4. 4 Si_2H_6 ガス流量と Cl_2 ガス(ガス流量は一定)の照射時間(Irradiation Time)をそれぞれ変えた時のSi層の選択成長臨界膜厚(Critical Thickness)についての関係。この時、成長温度は一定である。

図4. 5に、側壁が酸化膜で形成された溝内に選択成長されたSiGe/Si超格子層

の断面TEM像を示すが、図から明らかな様に、選択成長層の周辺部にファセットが発生（SiGe 層の膜厚に関係）している。ファセットで出来る周辺部の段差を考えると、O E I Cの製造で、成長出来る膜厚には限界があると言える。しかし、このファセット内も結晶欠陥の無い SiGe/Si 超格子選択成長層が出来ている。

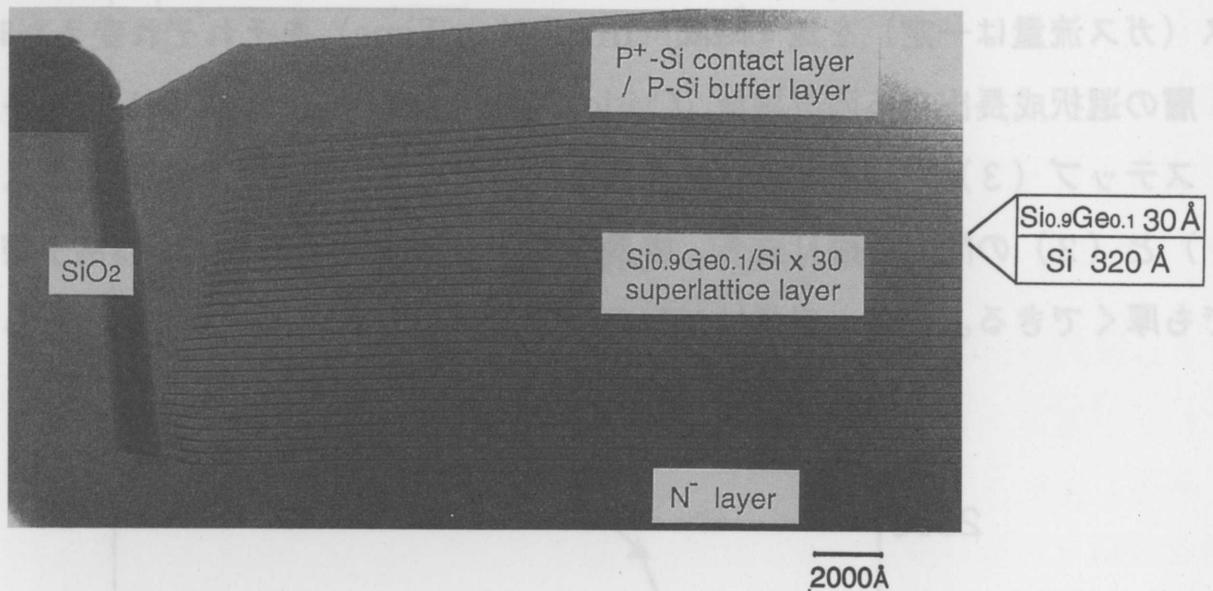


図 4. 5 選択成長された SiGe/Si 超格子層の断面TEM像。側壁が酸化膜で形成されている領域内に成長した選択成長層の周辺部にファセットが発生（SiGe 層の膜厚に関係）している。しかし、結晶欠陥は観察されない。成長はN型の（100）シリコンエピ成長層の上に行ったものである。

4.1.3 自己整合型ファイバ導入溝とプロセス技術

シリコンチップ内に選択的に形成された受光素子の光吸収層へ、直径125 μm φ、コア径10 μm φの光ファイバから出た光を簡単に結合させるために、本研究ではシリコンチップ内に直径128 μmで深さ63 μm（直径の約1/2）の溝を形成することを提案した。このシリコンチップ内の溝に光ファイバを直接はめ込めば、ファイバのコアが中心が、丁度シリコン表面付近に来るため、無調整で自己整合的に受光素子の光吸収層とファイバのコアが結合する。再現性があり、安定した、

低コストの実装方式である。ただ、ファイバをはめ込む溝は、側壁が垂直に近い形状をしている必要があり、かつ、従来のシリコンプロセスには無い、深い溝であるため、シリコンの高速エッチングプロセスが新たに開発された。

溝のエッチングはRIE (Reactive Ion Etching)を使用し、そのRFパワー、エッチング温度、エッチングガスの組成比やガスプレッシャー等の条件の最適化を行った。シリコン高速エッチングのガスとしては SF_6 が一般的に用いられるが、このガスはエッチング形状がボーイング状（上下が狭く、中央が膨らむ）になり、今回の目的には合致しない。そこで、エッチングしながら溝の側壁にエッチングに対する保護膜を形成するプロセスを開発し、横方向のエッチング（サイドエッチ）を抑えることで垂直に近い断面形状を実現した。このためガスとしては SF_6+Cl_2 を用いた。

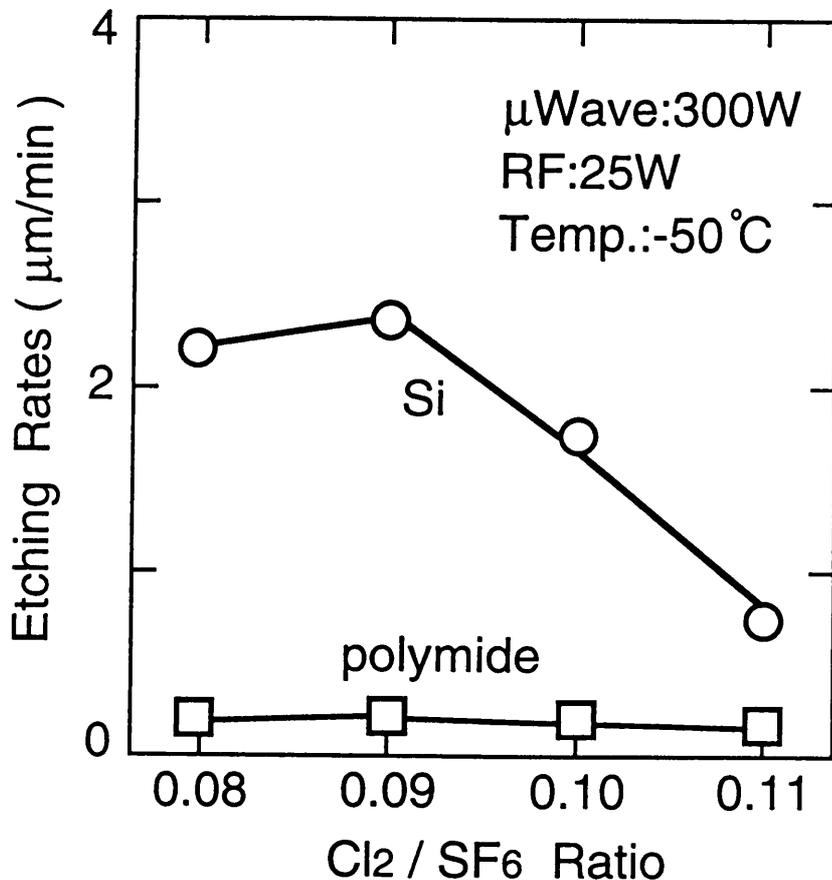
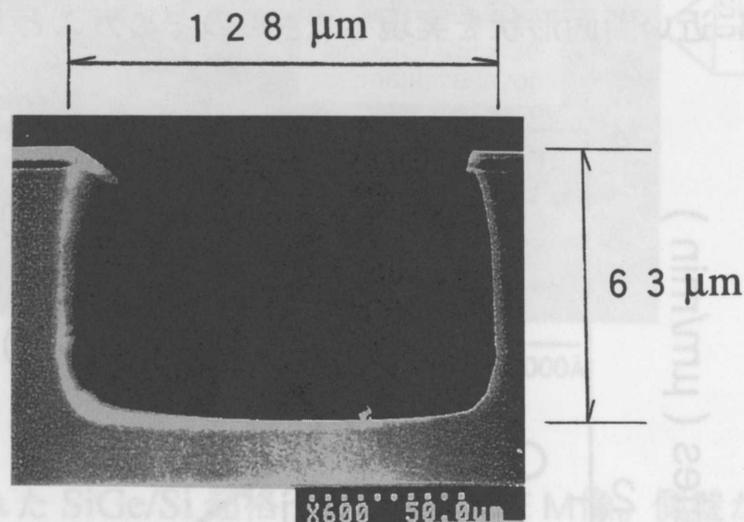


図4. 6 Cl_2/SF_6 流量比に対するシリコンとポリイミドのエッチレートの変化

このガスを使用すると溝の側壁に C_xCl_y 膜が付着し、これがエッチングに対する保護膜となり、サイドエッチが抑えられる。しかし、 Cl_2 ガスの増加はシリコンのエッチング速度（エッチレート）を低下させ、またエッチングのマスク材（本研究では

膜厚が厚く出来、加工し易さを考えて、ポリイミド膜を用いた) への選択比も悪くしてしまう。

図4. 6にエッチング条件の最適化検討結果のデータの一例を示す。これは、 Cl_2/SF_6 比の変化に対するシリコンとポリイミド膜のエッチレートの変化である。 Cl_2/SF_6 比が0.09の時に、シリコンとポリイミド膜の選択比が11で、シリコンのエッチレート $2 \mu m$ /分が得られている。また、図4. 7に最適条件下でエッチングした溝の断面SEMとエッチング条件を示す。完全に垂直ではないが、ファイバをはめ込む溝としては問題ないと考える。



μWave power	RF bias	Gas system	Etching temp.	Pressure
300W	25W	Cl_2 / SF_6 =0.09	-50°C	30mTorr.

図4. 7 最適条件下でエッチングした溝の断面とそのエッチング条件

4.2 導波路型 SiGe 受光素子の諸特性

受光素子に要求される特性は前述した様に、暗電流が少ないこと、所望の波長帯で量子効率が高く、かつ、それが低電圧 (1~2 V) で得られること、温度特性が

安定していること、寄生容量が少なく高周波で動作することなどである。本項では p i n 構造のプレーナ型 S i G e 受光素子において、これらの特性について議論する。なお、S i G e 層中の G e 濃度は 1 0 % である。

プレーナ型 S i G e 受光素子の光吸収層は前項で述べた構造をしていて、下部電極としての N^+ 層 ($4 \times 10^{19} \text{ cm}^{-3}$ 程度にドーピング) を持ち、その上にエピタキシャル成長した、 $1 \times 10^{17} \text{ cm}^{-3}$ の N 型にドーピングされたシリコン層上に成長した。さらに、受光素子はトランジスタ形成領域と B P S G 埋設トレンチにより絶縁分離されていて、O E I C 化した時にデジタル回路からのノイズが S O I 基板上のシリコン層を通じて伝搬してくるのを防ぐ構造になっている。

図 4. 8 に受光素子のサイズを変えた時の暗電流の測定結果を示す。測定逆バイアス電圧は 5 V である。

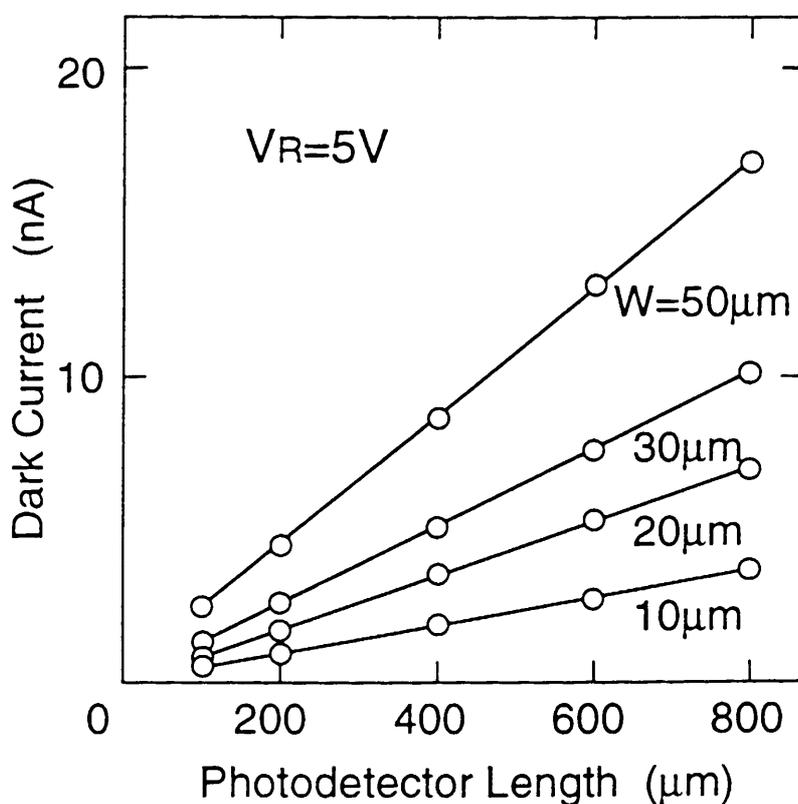


図 4. 8 受光素子のサイズを変えた時の暗電流の測定結果

受光素子の幅を 1 0 ~ 5 0 μm に、また長さを 1 0 0 ~ 8 0 0 μm まで変化させているが、単位面積当たりの暗電流は全ての水準で $0.5 \text{ pA}/\mu\text{m}^2$ で実用上問題の

無い、十分に低い値である。また、暗電流値は受光素子の周囲長よりも面積に対する依存性が強い。このことは、周辺部のファセット中に結晶欠陥の発生がほとんど無く、暗電流への影響が大きくないためと考えられる。

また、図4.9に2種類の大きさの受光素子のI-V特性を示す。20V付近で良好なブレークダウン特性を示しているが、16-20Vの間で弱いリーク電流が発生している。これは、ファセット部で空乏層端が、結晶欠陥が多いP⁺コンタクト層に、他の部分よりも先に到達（ファセット部の空乏層幅は他の部分より狭い）し、リーク電流が発生しているためと考えている。

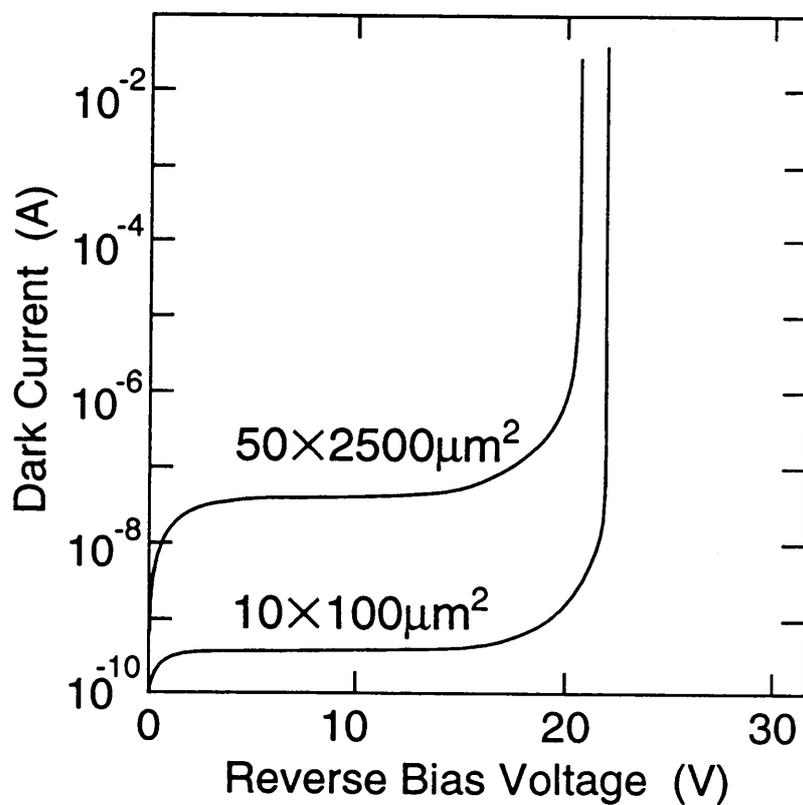


図4.9 2種類の大きさの受光素子のI-V特性

図4.10に2種類の基板（通常基板とSOI基板）に対し、受光素子の幅が一定（10 μm）で、長さを変えたとき（100~800 μm）の0.98 μm帯に対する量子効率を測定した結果を示す。なお、受光素子への入射光は、溝にはめ込んだSMFファイバからのものである。量子効率 (η_{ext}) は下記の式により算出した。

$$\eta_{\text{ext}} = \frac{I_p \cdot h\nu}{q \cdot P} \quad (4.1)$$

ここで、 I_p はホトカレント、 $h\nu$ はホトエネルギー、 q はエレクトロン電荷、 P は入力光のパワー（ここでは 1 mW）である。量子効率は SOI 基板上に受光素子を形成した場合が通常基板上に形成した場合の 6 倍の値を示し、25 - 29% である。

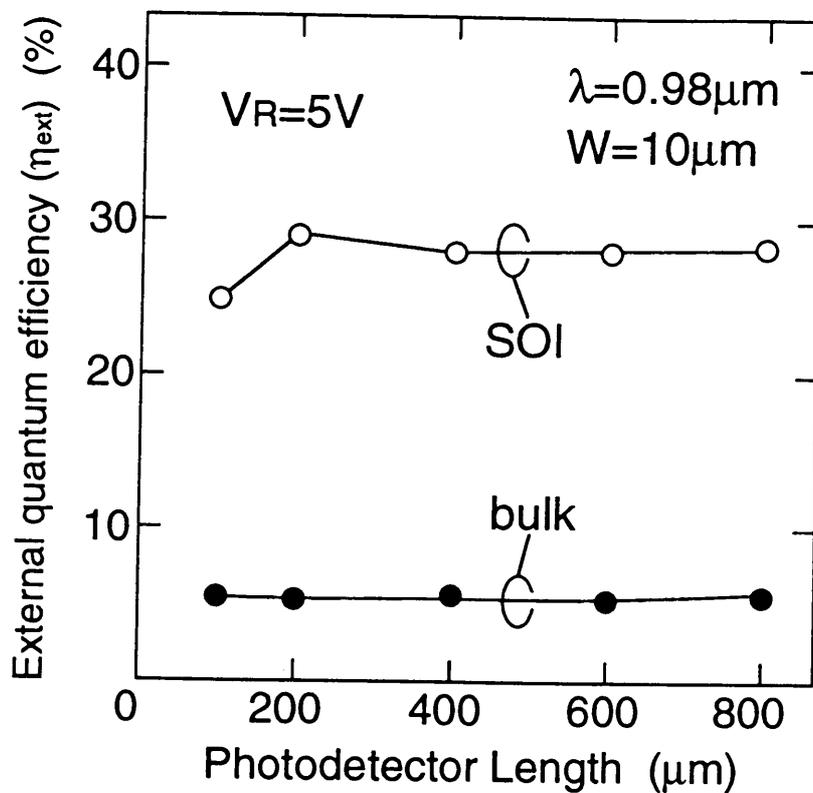


図 4. 10 基板差（通常基板と SOI 基板）による、0.98 μm 帯に対する量子効率の測定結果。受光素子の幅が一定（10 μm）で長さを 100 ~ 800 μm まで変化させてあるが、効率はほとんど一定である。

この様に、SOI 基板で効率が向上していることから、ファイバから入射した光が埋め込み酸化膜等に反射ながら、屈折率の大きい光吸収層へ導入されている（エバネッセント結合）ことと、光の導波路として SOI 構造が良好に機能しているこ

とが確認された。また、量子効率に長さ依存性が無いことから、 $0.98\ \mu\text{m}$ 帯の光は $200\ \mu\text{m}$ 以下のシリコン領域でほぼ完全に吸収されたと考えられる。図 4.11 に SOI 基板上に形成した受光素子における、量子効率の電圧依存性を示す。量子効率は電圧が $1\ \text{V}$ という低電圧で飽和しているが、これは $1\ \text{V}$ で光吸収層のある領域が完全に空乏化していることを示していて、設計通りである。また、超格子構造の量子井戸における電子トラップと正孔トラップ[13]の量子効率への影響について考察する。電子に対する伝導帯側のバンドオフセットは $10\ \text{mV}$ 程度なので、この影響は無視出来る。一方、正孔トラップであるが、バンドオフセットによる正孔トラップは、そこに加わる電界の影響を受けると考えられ、電界を強くすることにより、その影響が低減されなければならない。しかし、電界の強さを 20 倍 ($1\ \text{V} \rightarrow 20\ \text{V}$) に変化させても量子効率に変化がない点から、明確な影響は出ていないと考えている。

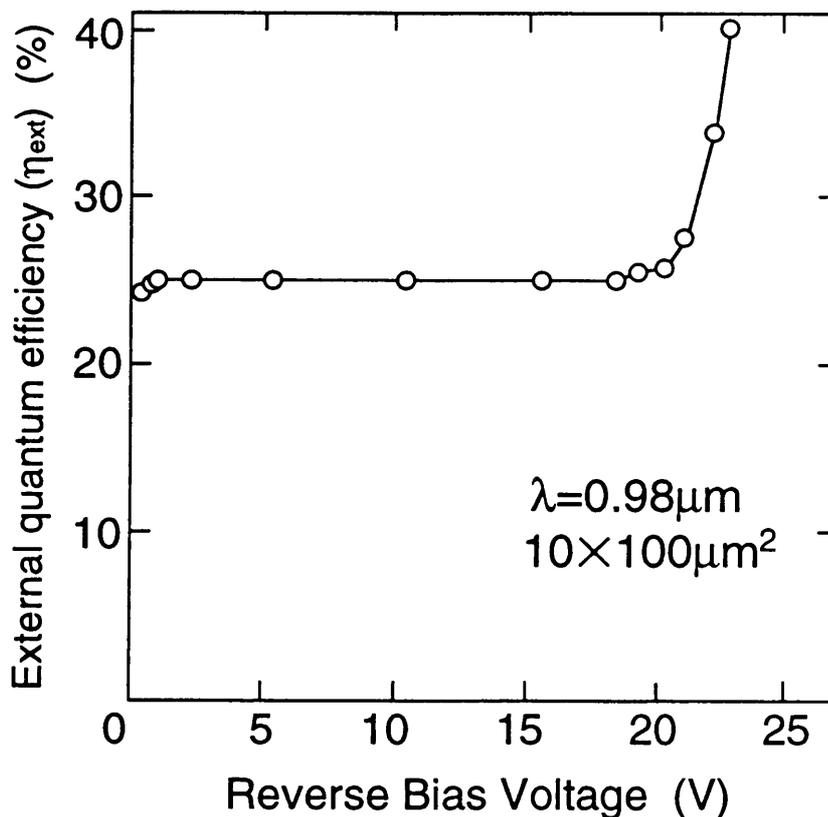


図 4. 1 1 SOI 基板上に形成した受光素子の量子効率の電圧依存性

また、図4.12に容量の電圧（逆バイアス）依存性を示すが、この特性からも、容量値の変化（屈曲点の位置）から、1Vで光吸収層のほとんどの領域が空乏化していることが判り、p i n構造が低電圧動作に向くことを示している。ここで、図中で傾斜がなだらかな領域は光吸収層の上下にあるN型、P型のSiバッファ層に空乏層が広がり始めて容量が増加しているものである。また、単位面積での容量は約 $0.1 \text{ fF}/\mu\text{m}^2$ であり、ビルトイン電圧が約 0.65 V であることから、接合部の濃度は設計通りであると考えられる。

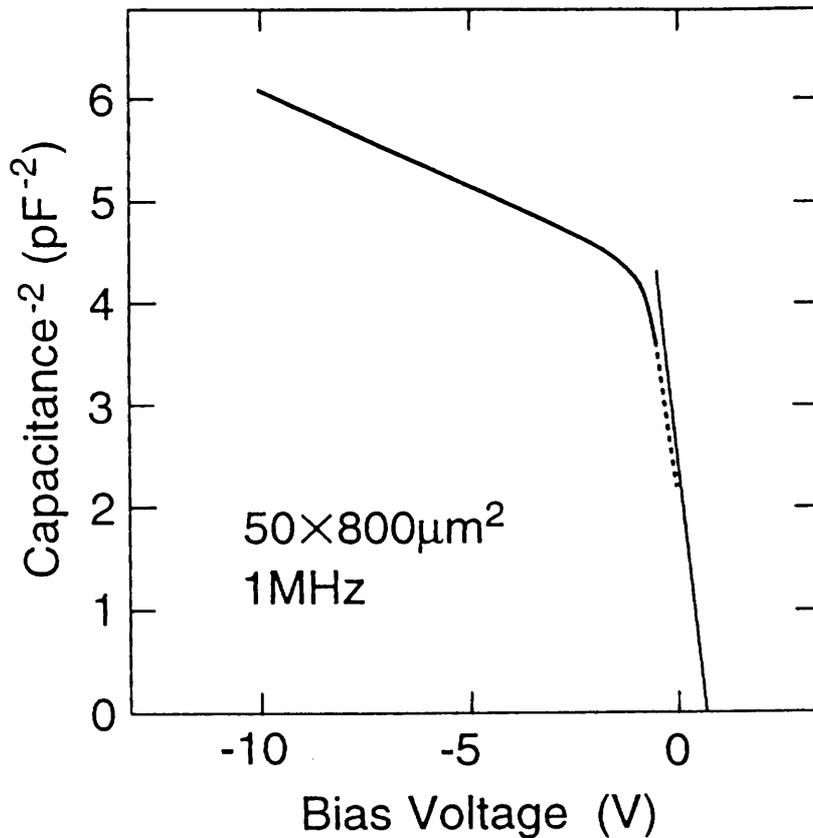


図4.12

受光素子の寄生容量の電圧依存性。LCRメータを使用し、1MHzで測定。

図4.10の結果より、量子効率は受光素子のサイズ依存性をほとんど持たないことから、最小の受光素子（ $10 \times 100 \mu\text{m}^2$ ）を使用して周波数応答を評価した。この時、受光素子の寄生容量は約 $0.1 \text{ pF}/5 \text{ V}$ バイアス時であった。図4.13に周波数応答（dB）と入力周波数の関係を示す。-3dBバンド幅で 10.5 GHz という良好な周波数特性を示した。なお、バンド幅はオプティカルヘテロダイン法を使用した。この理由は、 10 GHz という高周波で動作する $0.98 \mu\text{m}$

帯のレーザーダイオードが入手出来なかったためである。この測定法を簡単に説明すると、波長の非常に近接した2つの0.98 μm帯のレーザーダイオードからの出射光を光合波回路で合波し受光素子に入射することで、2つのレーザーダイオードの光周波数の差周波（GHz帯の電気周波数として観測される）に対する応答が受光素子の電気出力として観測される。差周波は一方のレーザーダイオードの温度を変えて光周波数を変えることで幅を持たせることができ、測定する周波数範囲が得られる。無論、実際の高周波応答はパルス入力に対する特性評価が必要であるが、本研究では、前述した様に、高速で動作するレーザーダイオードが入手出来なかったため評価していない。今後検討する必要があると考えている。

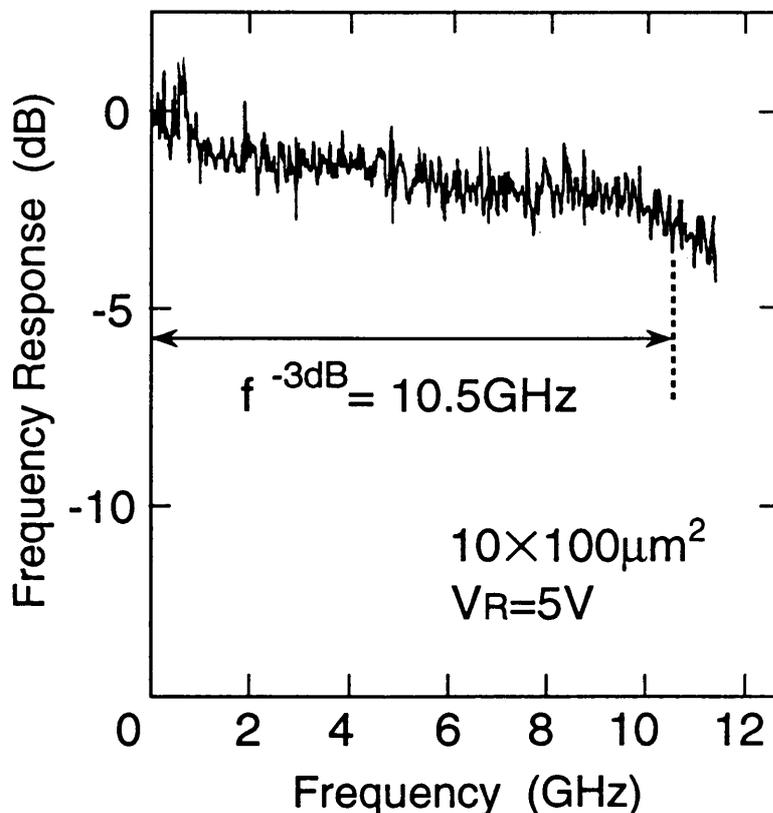


図4. 13 受光素子（10 x 100 μm²）の周波数応答。-3 dBバンド幅で10.5 GHzという周波数特性を示している。

4.3 まとめ

本章で論じたシリコン・ゲルマニウム超格子導波路型受光素子に関し、プレーナ型 SiGe 受光素子と命名し、研究して得られた技術成果をまとめる。

- (1) Gbit/s 以上で高速動作し、低価格、低消費電力、高信頼性の OEIC を実現するための受光素子に要求される条件を指摘し、その条件に適合し、SMF に対応する導波路型受光素子として、下記に示す新デバイス構造を持つプレーナ型 SiGe 受光素子を提案し実証した。
- (2) 受光素子の光吸収層に超高速バイポーラトランジスタプロセスと整合し、シリコンチップ内に埋め込まれた、耐熱性の比較的高い SiGe/Si 超格子構造の採用を提案し、これを実現する選択エピタキシャル成長技術を開発した。また、光吸収層は $0.98\ \mu\text{m}$ 帯に感度を合わせて、SiGe 層内の Ge 濃度を 10% に設計し、低電圧動作でも感度が得られる pin 構造にした。
- (3) シリコンチップの厚さ数 μm の表面薄膜層内に選択的に形成された受光素子の光吸収層へ、光ファイバ (SMF) から出た $10\ \mu\text{m}$ ϕ の光を結合させるため、直径 $128\ \mu\text{m}$ で深さ $63\ \mu\text{m}$ の溝をシリコンチップ内に形成し、光ファイバの実装の容易さ及び受光素子との結合の安定性、再現性を確認した。
- (4) OEIC にはアナログ回路とデジタル回路が混在するため、量子効率向上と、多チャネル対応へ IC 化した時に問題となるクロストーク対策として SOI 基板を使用した。また、その SOI 基板上の厚さ数 μm のシリコン層内に受光素子の光吸収層を埋め込むように形成し、シリコン層を光の導波路として利用し、ファイバからの入射光を効率良く、光吸収層へエバネッセント結合で導入し、量子効率の大幅向上を実現した。量子効率は SOI 基板を使用した場合に通常基板の 6 倍の値が得られた。
- (5) 前述のように設計した本プレーナ型 SiGe 受光素子において、1V の低電圧、かつ $10 \times 100\ \mu\text{m}^2$ のサイズで量子効率 29% が得られ、 $-3\ \text{dB}$ バンド幅で $10.5\ \text{GHz}$ という良好な周波数特性を得た。

これにより、本プレーナ型 SiGe 受光素子は、低電圧で、Gbit/s 以上で

動作し、SMFを使用するOEICを実現する技術であることが確認された。ところで、量子効率が30%程度と低いのは、ファイバのコア径 $10\ \mu\text{m}$ ϕ に比べ、導波路層の厚さが $3\ \mu\text{m}$ 程度と薄く、使用したSMFの端面が単なるへき開面であることから、カップリング効率が悪いためと考えられる。先球型SMFを使用すれば、ファイバの光の出る側の端面が丸く、光が集光されて出る構造であり、量子効率は1.5倍程度の値がでるが、さらなる量子効率改善は光吸収層の膜厚を厚くすることや、SiGe層とSi層の膜厚比の検討などが必要である。

ところで、SMFを使用する光通信システムとしては、ファイバチャネルに代表される、高速のシリアルインタフェース技術での応用がある。この分野は $0.85\ \mu\text{m}$ 帯と $1.3\ \mu\text{m}$ 帯が使用される。現在のところ、 $0.85\ \mu\text{m}$ 帯はシリコン光ディテクタの領域であり、速度は $1\ \text{Gb/s}$ 以下であるが、 $1.3\ \mu\text{m}$ 帯では $4\ \text{Gb/s}$ までの国際標準の使用が決まっている。より高速性が要求されるのは $1.3\ \mu\text{m}$ 帯であるが、本研究対象である導波路型受光素子は、この波長帯での量子効率が0.1%以下であり、この分野で使用できない。将来のOEICの量的拡大を考えれば、この分野で使用できることが重要であるため、今後、Ge濃度を上げるなどの対策により、高感度化を行う必要があると考えている。このことについては、最後の将来展望の中で述べる。

第5章 シリコン・ゲルマニウム積層厚膜表面入射型

受光素子技術

本章では、主に、第2章で論じた高性能トランジスタプロセスと整合し、シリコンチップに埋め込まれた構造の受光素子で、前章ほどの超高速動作は要求されない、MMF (Multi Mode Fiber:マルチモードファイバ) または PCF (Plastic Crad Fiber:プラスチッククラッド石英ファイバ) 対応の、シリコンゲルマニウム積層厚膜層を光吸収層に用いる、表面入射型受光素子の設計とプロセス技術、並びに特性について議論する。

5.1 表面入射型 SiGe 受光素子の設計とプロセス技術

5.1.1 表面入射型 SiGe 受光素子の構造と特徴

表面入射型受光素子は、前章の導波路型受光素子とは使用される光ファイバの種類や光の入射方法が異なる。また、光ファイバのコア径もMMFで約60 μm 、PCFで約200 μm と大きくなり、それに対応させて受光素子の面積も大きくする必要がある。そのため、SMF対応の導波路型受光素子ほど高速性が要求されない、受光素子を数個から十数個並べて使用する並列光伝送[73-78] (Parallel Optical Data Links) 用として、アレイ配列された面発光レーザー[79] (送信器) と組み合わせて使用する研究が活発に行われている。この分野で研究されている波長帯は、前述したように0.98 μm 帯が1つの有力候補であるため、本研究もこの波長帯に目標を合わせた。ただ、前章の導波路型受光素子より、低速動作ではあるが、より高い量子効率の実現を目指し受光素子を設計した。

図5.1に表面入射型受光素子を内蔵したOEICのチップ(受信器)の模式図を示す。ここで、光入力は図の右上部から受光素子のアレイに入り、並列に並ん

だIC部でデータ処理され出力される。このため、(4.1.1)項で述べた受光素子への条件を満足しつつ薄膜のシリコン層内に受光素子を形成する場合、チップ表面から入る入射光の光吸収層内の走行距離が極端に短くなるため、導波路型受光素子と異なる光吸収層の設計が必要になる。

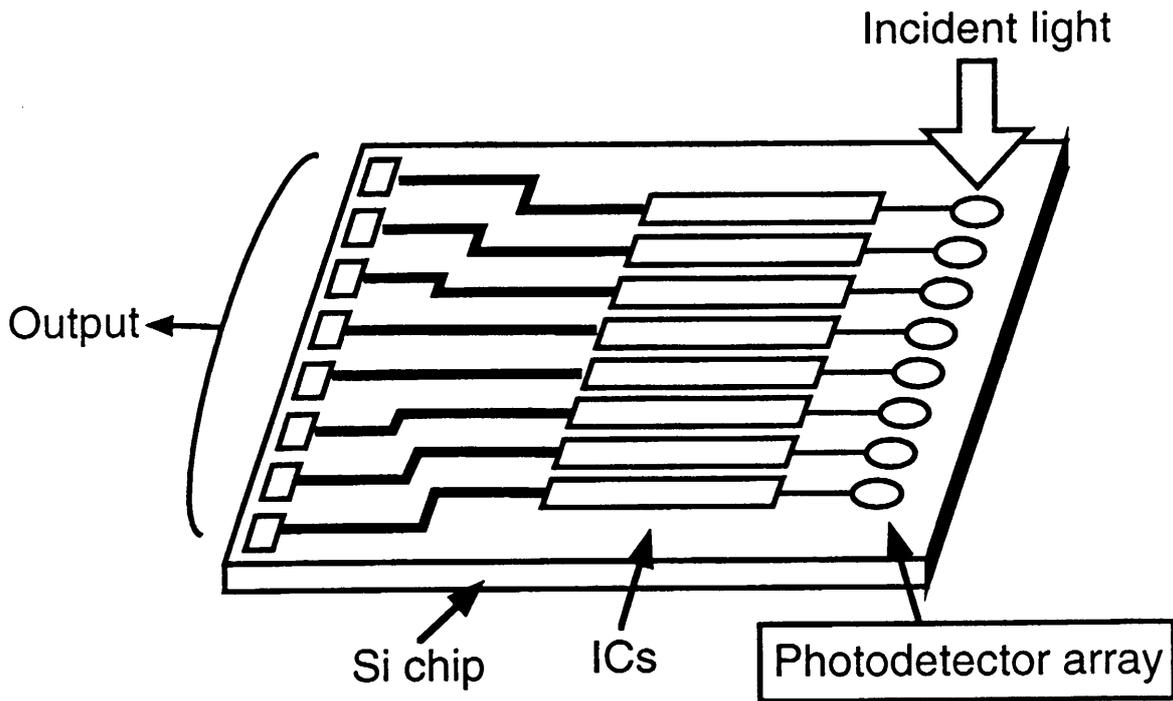


図5.1 表面入射型受光素子を内蔵したOEICのチップ(受信器)の模式図。光入力は図の右上部から受光素子アレイ部に垂直に入り、並列に並んだIC部でデータ処理され出力される。

図5.2に本研究で提案する表面入射型受光素子の断面模式図を示す。また、本受光素子の特徴を下記する。

- (a) 貼り合わせSOI基板を量子効率の向上のためと、IC化した時に問題となるクロストーク対策として使用した。ただ、SOI基板は前章で研究した導波路型の受光素子の場合とは役割が異なり、表面から入射した光が、埋め込み酸化膜と表面の酸化膜で反射し、2つの酸化膜で挟まれている光吸収層中を何回か減衰しながら通過し、1回しか通過しない場合より量子効率が向上するという、Vertical Cavity構造の効果[80]を作り出すのに利用した。
- (b) 受光素子の光吸収層は、入射光の光吸収層内での走行距離が短いので、Si

Ge層を厚くする必要があり、前章の SiGe/Si 超格子選択成長技術を改良した SiGe/Si を積層する厚膜選択エピタキシャル成長技術で形成した。

- (c) 厚い SiGe 膜の選択成長により、受光素子の周辺部で発生するファセットの配線形成に対する影響を少なくするため、光吸収層の最上面は基板表面より高くし、周辺部の V 型段差の影響を無くすため、ファセットの端部が基板表面とほぼ一致する様に設計した。また、ダイオードの電極は、配線形成へのマージンを持たせるため、ファセット面に形成した。

ここで、基板の面方位は、前章の導波路型受光素子と同じ (100) であり、ダイオードは、前章で述べたことと同じ理由で、低電圧動作に向く pin 型で設計した。また、SOI 基板の埋め込み酸化膜厚は 0.5 μm とした。

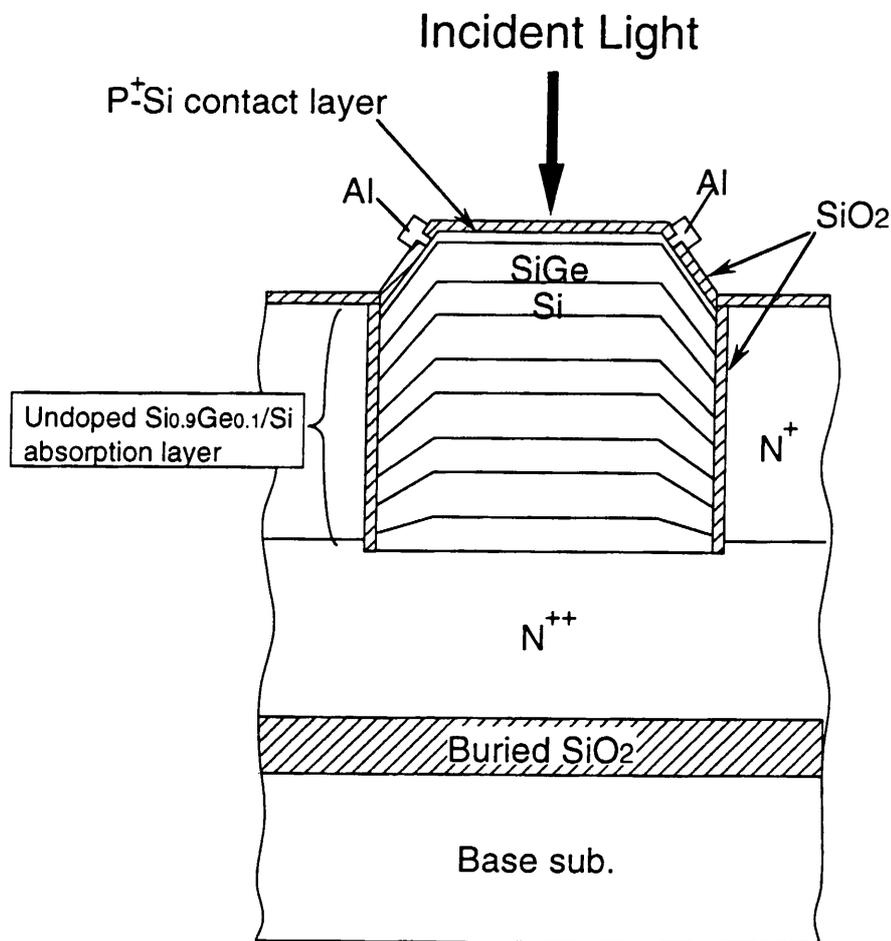


図 5. 2 SOI 基板上に形成された表面入射型受光素子の断面模式図。上部から入射した光は、埋め込み酸化膜で反射され、光吸収層内を往復し、量子効率が向上する。

5.1.2 SiGe/Si 厚膜エピタキシャル選択成長技術と光吸収層の設計

前項で述べた様に、表面入射型受光素子は、薄膜層内（前章と同じで1～1.5 μm 程度）に形成する必要があるため、光吸収層全体の膜厚は厚く出来ないため、高い量子効率を得るためには、光ファイバのコア径に合わせて出来るだけ大きく作る必要がある。これは寄生容量を大きくし、超高速動作には不向きとなる。一方、光吸収層内のSiGe層は出来るだけ厚くする必要があり、光吸収層形成後に加わる熱ストレスは結晶欠陥の発生を抑えるために極力小さくする必要があり、このため、トランジスタへの性能要求が導波路型受光素子ほど厳しくないという点を考慮し、トランジスタの性能を多少犠牲にして、光吸収層はトランジスタのエミッタ形成のための高温熱処理プロセス終了後に形成した。エミッタ形成後に光吸収層成長前の清浄化処理による熱処理が加わることで、接合が深くなり、トランジスタ性能が劣化することから、光吸収層形成をエミッタ接合形成前に行った導波路型受光素子とは異なるプロセスを採用した。

受光素子の光吸収層中のSiGe層の厚さは、ファイバからの入射光の強度がMMFの場合はSMFの1/36である点と、前章の受光素子の感度とそれを得るのに必要だったSiGe層の体積を参考に、光の吸収量は体積に比例すると仮定して決定した。これより、SiGe層の膜厚は導波路型受光素子の10倍である、全体で1 μm 以上が必要となり、SiGe/Si 厚膜の積層構造で対処することにした。ここで、Si層をSiGe層のストレス緩衝のためのバッファ層として挿入する点で、前章と期待する効果は同じである。ただ、SiGe層を10倍以上に厚くするため、前章のSiGe/Si 超格子層の成長方法を改良した選択成長技術を開発した。SiGe層のGe濃度は、前章と同じ0.98 μm 帯が対象波長帯であるため10%とした。

図5.3にSiGe/Si 厚膜エピタキシャル選択成長をするためのガス供給フローを示す。選択成長のための基本的な考え方は前章と同じであるが、SiGe層を厚膜化するため、ストレスのバッファ層としてのSi層を厚くする必要があった。しかし、Si層は選択成長における臨界膜厚が薄いため、前章とは異なるSi層の成長法が必要である。そのため、Si層成長とSi precucer エッチングを交互に繰り返

す方法を開発した。本研究では、1層のSi層を形成するため10回繰り返したが、必要膜厚により回数は変更すればよい。1回の成長を臨界膜厚内に抑えながSi層を厚膜化した、この成長法をHybrid Time Sharing Gas Supply Schemeと名付けた。

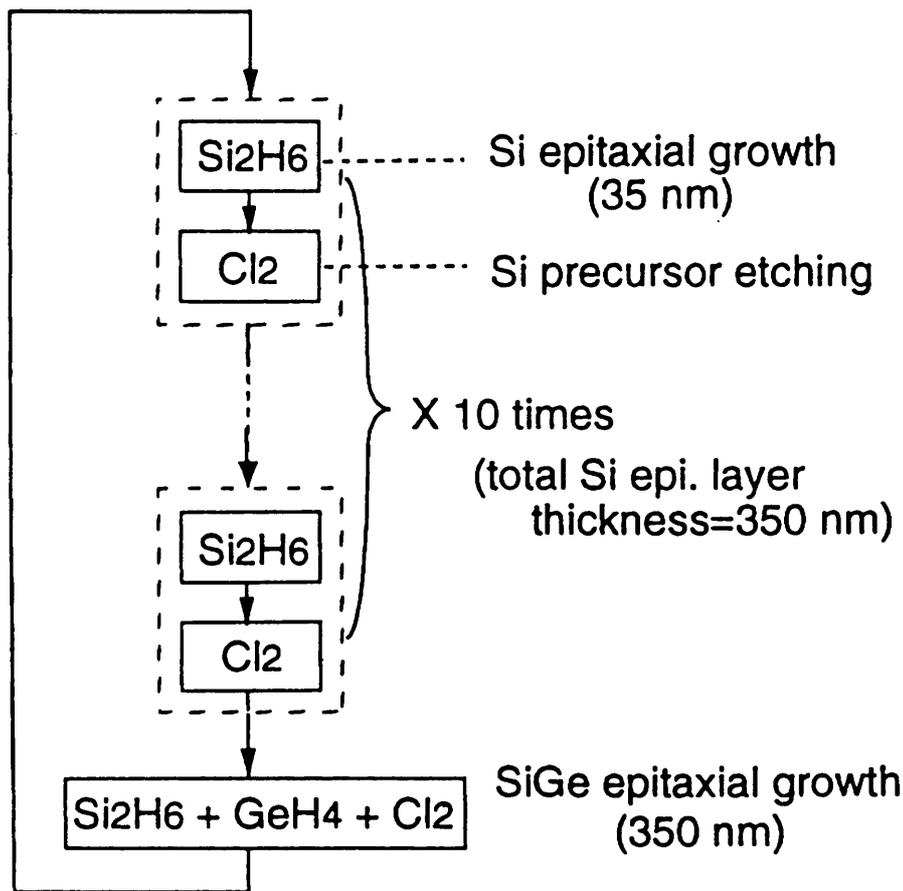


図5. 3 SiGe/Si厚膜エピタキシャル選択成長をするためのガス供給フロー。前章の方法とは、Si層成長に違いがあり、Si層成長とSi precursorエッチングを交互繰り返し、1回の成長を臨界膜厚内に抑えなが厚膜化した。これをHybrid Time Sharing Gas Supply Schemeと呼ぶ。

さて、SiGe/Si厚膜エピタキシャル選択成長層の全体の膜厚は、SOI基板に形成される、トランジスタに依存する溝の深さと前項(c)の設計方針により決定される。今回、溝の深さはトランジスタの N^{++} 埋め込み下部電極までの深さである1~1.5 μm である。この深さの溝内に選択成長し、前項(c)の条件に一致さ

せることの出来る膜厚を考えると、全体の膜厚は2～3 μmの間となる。このため、前述のSiGe層の必要膜厚を考えて、SiGe膜厚をSi膜厚とを、同じ350 nmとし、これをSiGe/Si積層構造基本として4層重ねることで、全体の膜厚を2.8 μmとした。また、上部電極として、Geのライン汚染対策も兼ねる、厚さ0.2 μmのP型Si層をその上に形成した。このP⁺-Si層の濃度は表面モホロジー改善のため、前章より低い値である $1 \times 10^{19} \text{ cm}^{-3}$ に設計した。これは、表面から入る入射光が乱反射により減衰するのを、少しでも低減させるためである。ただし、導波路型受光素子の光吸収層の場合と同様、SiGe層厚とSi層厚については、これら2層の膜厚比を詳細に検討し、SiGe層をさらに厚くするための条件を出す必要があると考えている。

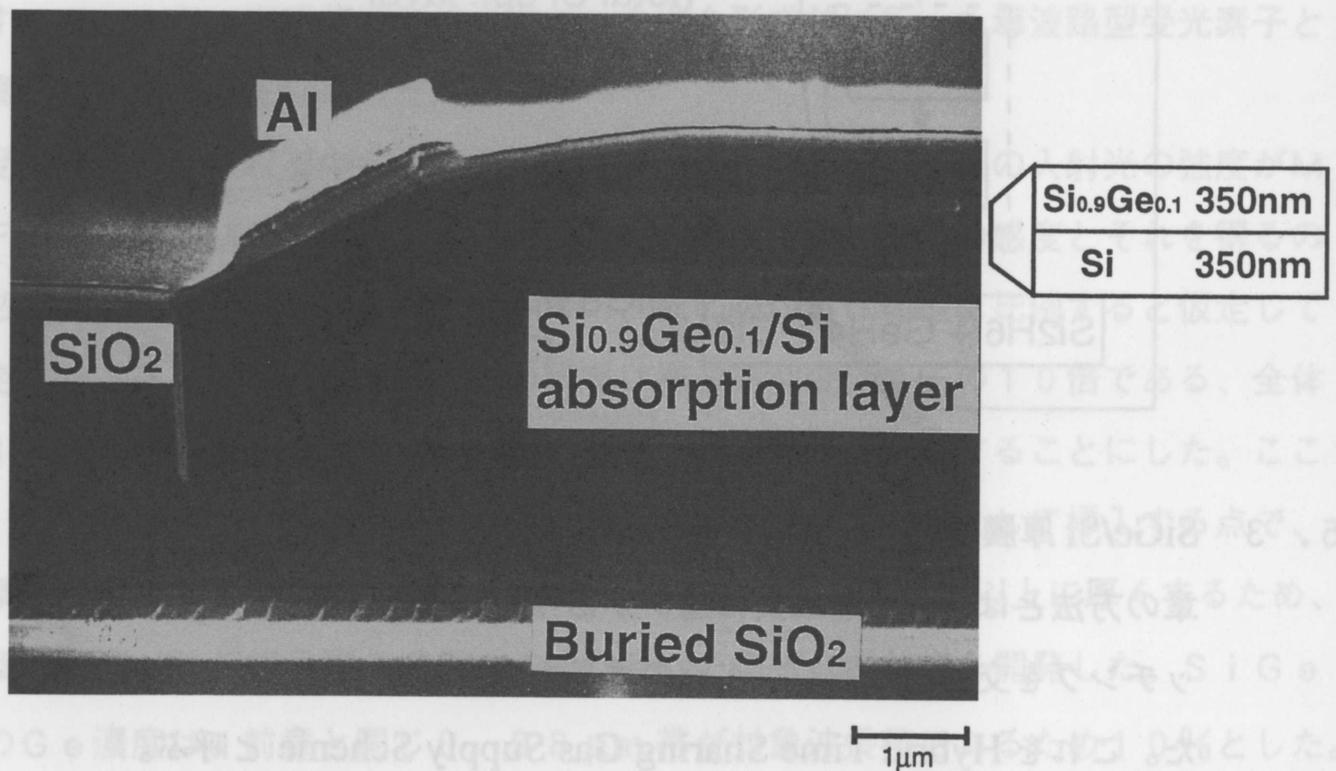


図5.4 4層構造のSiGe/Si厚膜エピタキシャル選択成長層のSEM断面写真。ファセットの端部が基板表面とほぼ一致し、かつダイオードの上部電極が選択成長層のファセット面に形成されている。

図5.4に4層構造のSiGe/Si厚膜エピタキシャル選択成長層のSEM断面写真を示す。この受光素子の溝の深さは約1.3 μm で、選択成長層の最上面はシリコン基板表面より1.5 μm 程高くなっている。SEM像から判るようにファセットの端部が設計通りに基板表面とほぼ一致する用に形成されている。さらに、ダイオードの上部電極の配線形成時に、リソグラフィの焦点ズレにより発生する配線形状悪化の問題を解決するため、上部電極は選択成長層の最上部ではなく、ファセット面に形成した。ところで、写真中の埋め込み酸化膜上に見られるスリップのようなものは、へき開時に均一に割れず出来たもので欠陥ではない。

5.2 表面入射型 SiGe 受光素子の諸特性

表面入射型 SiGe 受光素子に要求される諸特性も、導波路型 SiGe 受光素子と同様で、暗電流が少ないこと、所望の波長帯で量子効率が高く、かつ、それが1~2Vの低電圧で得られることなどである。このため、本章で議論している受光素子も p i n 型として設計した。また、本受光素子の形状は、ファイバのコアの形状に近づけて、出来るだけ寄生容量を低減するため八角型とした。さらに、大きさは MMF のコア径の 60 μm に対して合わせるように、対角線の最大長は約 70 から 85 μm に設計した。

図5.5に入射面の面積が約5000 μm^2 の受光素子における暗電流と逆バイアス印加電圧の依存性を示す。暗電流は本受光素子が使用される5V以下の電圧の領域で、0.5 pA/ μm^2 以下と低い値であり、SiGe層の1層当たりの膜厚を前章の100倍に厚くしたにも拘わらず、光吸収層成長後の熱処理を抑えることにより、前章で得た値とほぼ同じ値を達成した。また、ブレイクダウン電圧は20V以上あり、大面積の p-n ダイオードの特性としては良好である。ただ、導波路型受光素子と同様の原因で、周辺部のファセット形状に関係して発生していると考えられるリーク電流が1.7V付近から現れている。

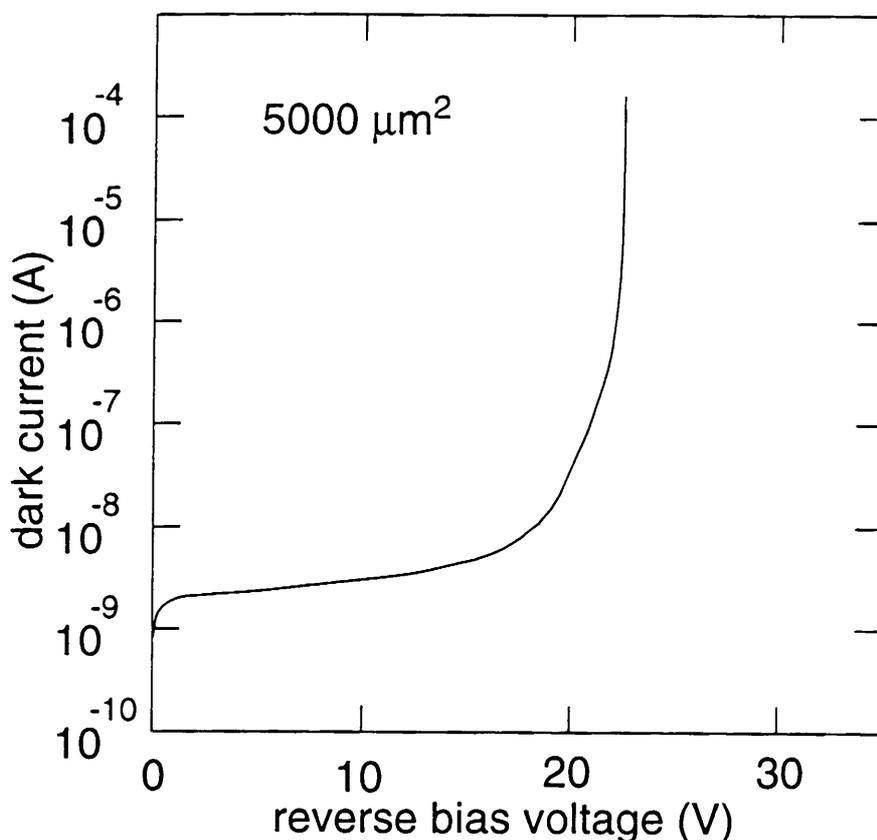


図5. 5 暗電流の逆バイアス電圧依存性（受光素子は約5000 μm^2 ）

図5. 6に5000 μm^2 の面積の受光素子を形成する2種類の基板について量子効率の測定結果を示す。量子効率は(5. 1)式を使用して計算した。また、入射光のパワーは1 mWで前章と同じであり、測定電圧は逆バイアスで0 - 15 Vとした。SOI基板を使用した場合は通常基板に比べ、約5倍の効率、絶対値で約60%が得られている。埋め込み酸化膜で入射光が反射して効率が上がったことが確認できた。この量子効率の改善効果を説明するため、SOI基板と通常基板上の受光素子の0.7 μm から1.3 μm までの波長に対する分光特性を評価した。その結果を図5. 7に示す。測定はハロゲンランプの光をモノクロメータで分光し、レンズで絞って受光素子に入射した。この図で縦軸は規格化した受光素子からの光電流値である。ここで、SOI基板の光電流値は波長の変化に対し周期的な増減をしてい

る。これは、受光素子の光吸収層の上下にある酸化膜による Vertical Cavity 構造の影響が波長に対して均一でなく、各波長に対する屈折率と反射率が異なる光の干渉効果が現れているのである。この測定結果によれば、波長が $0.98 \mu\text{m}$ の付近での光電流値は SOI 基板の方が通常基板の約 3 倍を示しているが、量子効率の差の 5 倍という値は十分説明出来ない。

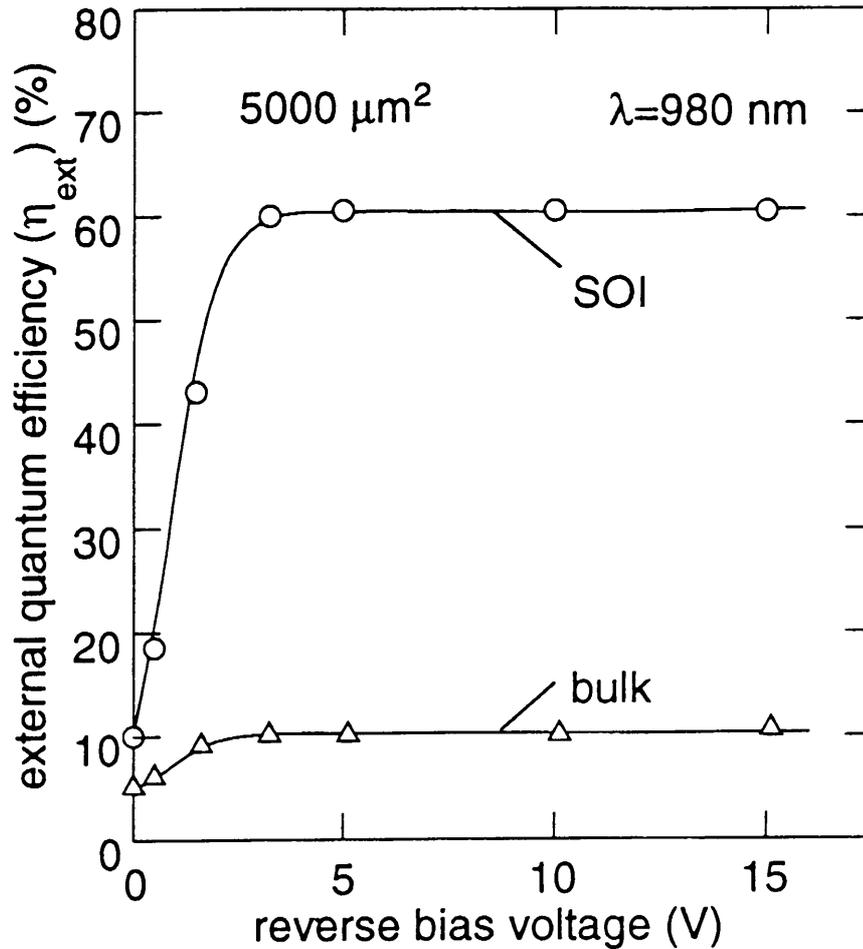


図 5. 6 基板差 (通常基板と SOI 基板) による、 $0.98 \mu\text{m}$ 帯に対する量子効率の測定結果。SOI 基板が通常基板の約 5 倍の値を示した。

1 つの理由としては、Vertical Cavity 構造による光電流の増幅は一定でなく、上下の酸化膜厚に影響を強く受けるので、振幅の大きな所が $0.98 \mu\text{m}$ に一致すれば 5 倍の差がでる可能性があり、測定サンプルが量子効率を測定したサンプルと異なるので、そのためではないかと考えている。いずれにしても、光の反射の膜厚依存

性を考えると、数百オングストロームの膜厚制御性が要求され、膜厚制御性の良いプロセス技術が必要で、今後、検討すべき課題と考えている。特に上層の酸化膜は、金属電極加工時に多少エッチングされるので、このプロセスの変更が必要である。また、量子効率が飽和する電圧は3 V以上で、導波路型受光素子の1 Vよりは大きくなっている。これは光吸収層の厚さが2.5倍と厚くなったため、光吸収層が空乏化するのに要する電圧が増えたためである。また、入射面の面積について検討するため、面積が約7500 μm^2 の受光素子においても量子効率を求めてみたが、その値は約60%であり、大きさの依存性はほとんどなく、ファイバのコア系で決まるものであった。

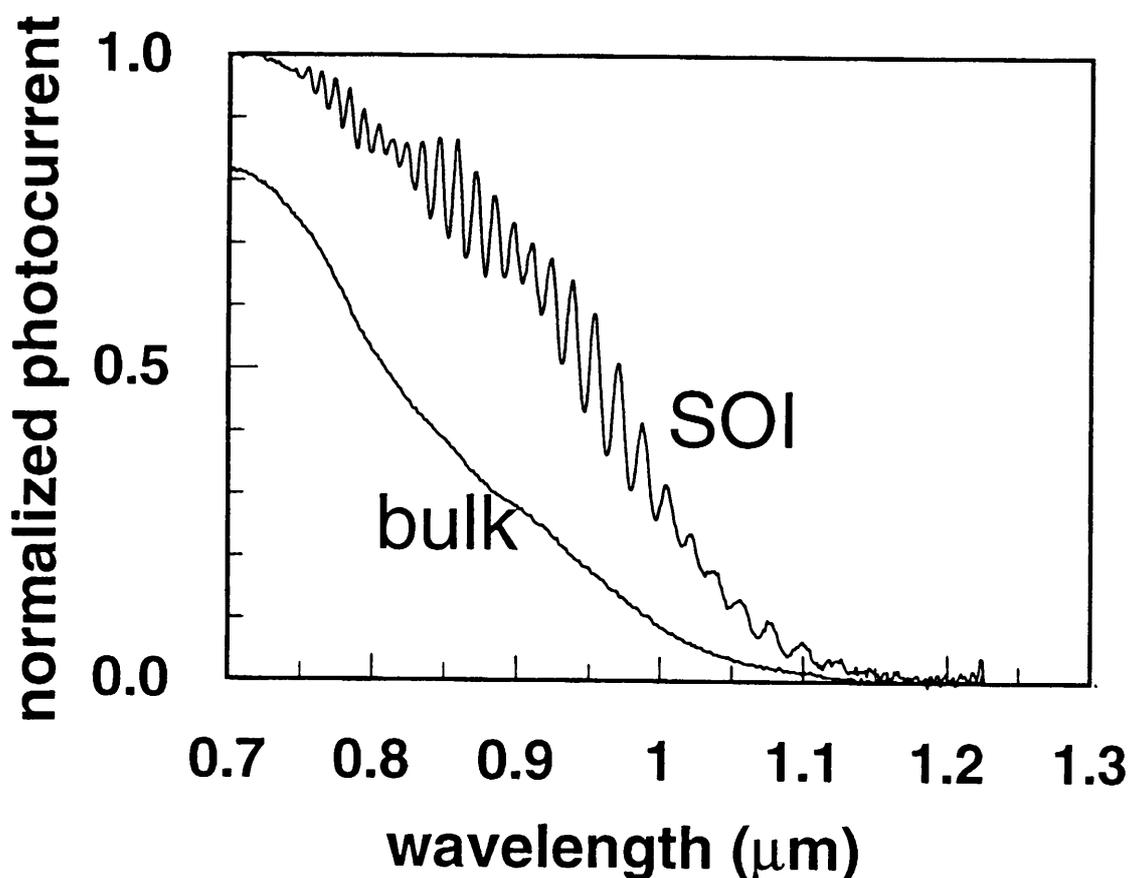


図5.7 基板差による、各波長にたいする光電流の変化（分光特性）

図5. 8はSOI基板上に作成した受光素子の容量の逆バイアス電圧依存性である。サイズは違うが、約3Vで容量値はほぼ飽和している。これは光吸収層が3Vで空乏化していることを意味し、量子効率の電圧依存性と一致した結果が得られている。また、単位面積当たりの容量は $0.04\text{ fF}/\mu\text{m}^2$ であり、前章の受光素子よりも光吸収層の膜厚が2.5倍と厚くなった分、値が低下している。

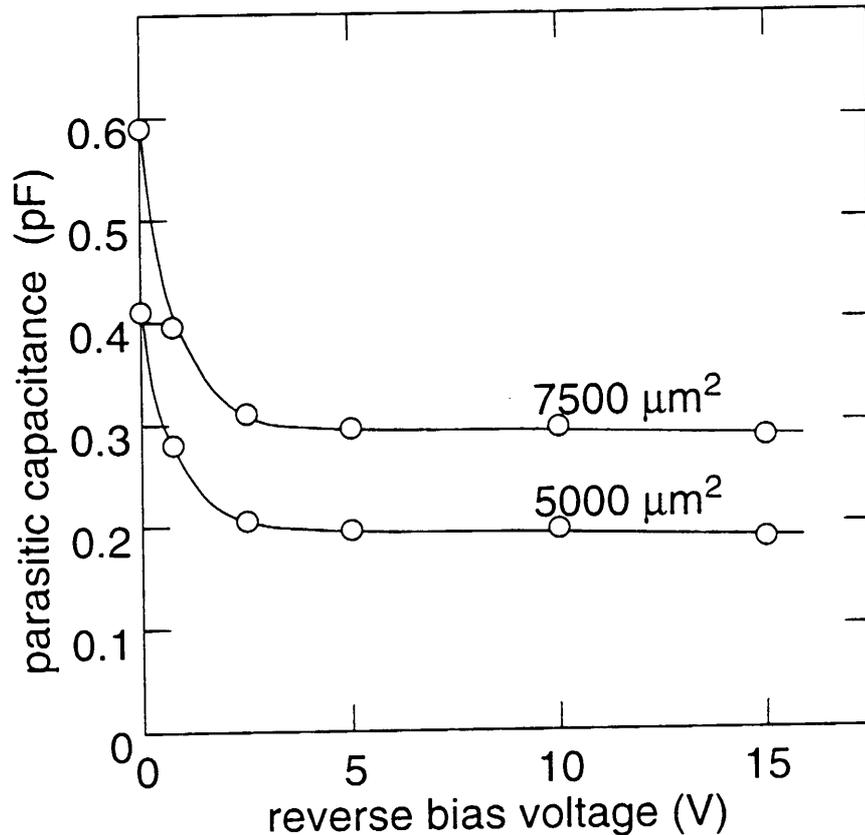


図5. 8 受光素子の寄生容量の電圧（逆バイアス）依存性。LCRメータを使用し、1MHzで測定。大きさの違う素子でも、単位面積当たりの寄生容量はほぼ同じで $0.04\text{ fF}/\mu\text{m}^2$ である。

図5. 9に周波数応答（dB）と入力周波数の関係を示す。測定は $5000\ \mu\text{m}^2$ の受光素子を使用して、コア径 $60\ \mu\text{m}$ の入力はMMFから入れた。この受光素子は、測定電圧5Vで寄生容量値 0.19 fF であった。また、 -3 dB バンド幅で

7.8 GHzという良好な周波数特性を示した。なお、バンド幅の測定は前章と同じ理由でオプティカルヘテロダイン法を使用した。なお、前章と同様、高周波応答はパルス入力での特性評価が必要であり、今後の課題と考えている。

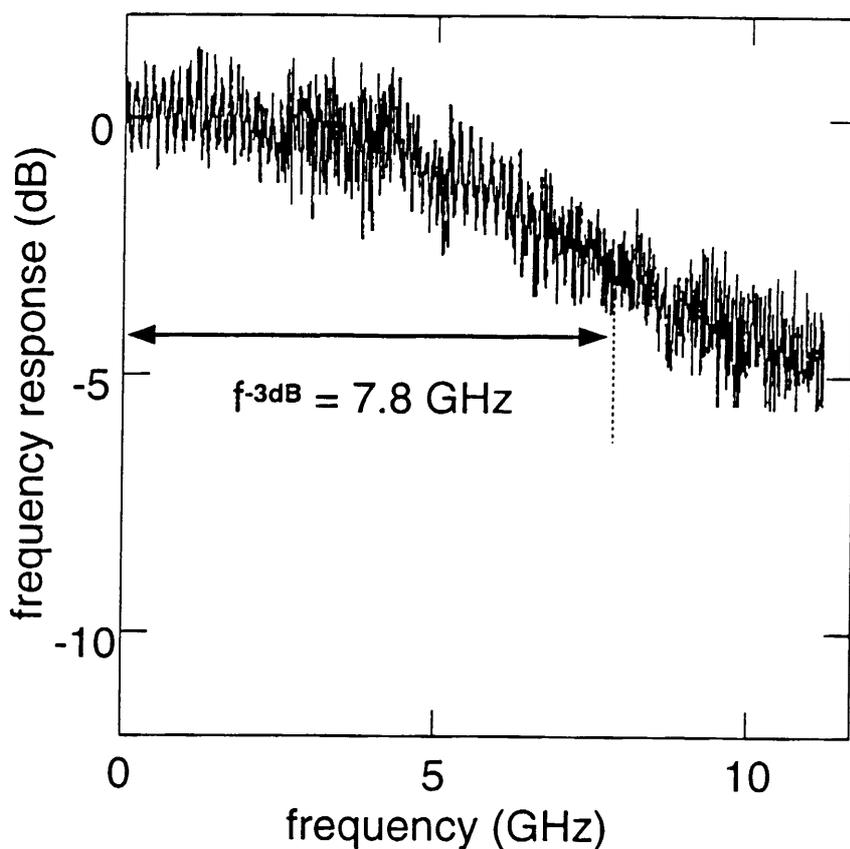


図5.9 受光素子 ($5000 \mu\text{m}^2$) の周波数応答。-3 dBバンド幅で7.8 GHzという周波数特性が得られた。

5.3 まとめ

本章で論じたシリコン・ゲルマニウム積層厚膜表面入射型受光素子に関し、研究して得られた成果をまとめる。

- (1) G b i t / s 以上で動作する並列光伝送用の低価格、低消費電力、高信頼性の O E I C を実現するための受光素子に要求される条件に適合し、MMF 並びに P C F に対応する表面入射型受光素子として、下記に示す様な特徴を持つ S i G e 受光素子を提案し、実証した。
- (2) 光が受光素子に対し垂直に入射するため、薄膜層内に形成された受光素子の光吸収層内の走行距離が短くなり、S i G e 層を厚くする必要がある。そこで、第 4 章の SiGe/Si 超格子選択成長技術を改良し、新たに S i 層、S i G e 層とも 10 倍以上の厚さに出来る SiGe/Si 厚膜選択エピタキシャル成長技術を開発した。
- (3) 量子効率の向上と将来 I C 化した時に問題となるクロストーク対策として貼り合わせ S O I 基板を使用した。また、光吸収層は埋め込み酸化膜と表面の酸化膜の 2 つの酸化膜で挟まれる構造にし、表面から入射した光が、光吸収層中を何回か減衰しながら通過するという、Vertical Cavity 構造とすることを提案し、通常基板の 5 倍の量子効率向上効果を確認した。
- (4) 厚い S i G e 膜の選択成長により、受光素子の周辺部で発生するファセットの配線形成に対する影響を少なくするため、ファセットの端部が基板表面とほぼ一致する様に光吸収層厚を設計し、また、ダイオードの上部金属電極はファセット面に形成し、少しでも微細化に対応出来るようにした。
- (5) 本 S i G e 受光素子は 0.98 μm 帯の光インタコネクタへの応用を目標に光吸収層を設計し、MMF からの入射光に対して、量子効率 60% (S O I 基板)、-3 dB バンド幅で 7.8 GHz という周波数特性を得た。

これにより、本章で研究されたシリコン・ゲルマニウム積層厚膜表面入射型受光素子は、低電圧で、G b i t / s 以上で動作し、MMF や P C F を使用する O E I C を実現する技術であることが確認された。ただ、量子効率としては、80%以上

の値が要求されているので、光吸収層の設計や、Vertical Cavity 構造の効果を安定化させるために、なお、改善の余地があると考えられ、このことについては、最後の将来展望の中で簡単な議論をする。

第6章 結論

6.1 本論文の成果のまとめ

本研究は $G b i t / s$ 以上の高速で、かつ低消費電力で動作し、低価格で高信頼性の高速光インタコネクットの受信用 $O E I C$ を実現するための要素デバイス技術として、(1) 高性能バイポーラトランジスタ技術と、(2) (1) の高性能トランジスタと同一シリコンチップ内に形成出来る $S i G e$ 受光素子技術を提案し、実証することを目的として行われた。このための課題としては下記のものがあった。

トランジスタの課題としては、(a) 水平方向のスケールダウンに伴う、微細な絶縁分離領域形成の限界と、エミッタプラグ効果発生、(b) 垂直方向のスケールダウンに伴う、幅の狭いベース領域形成の限界と、カーク効果発生を抑えるためのコレクタエピタキシャル領域薄膜化法の限界、(c) f_T と $r_b \cdot C_j$ 積の間のトレードオフ効果の顕在化とそれによる回路性能の劣化、である。また、 $S i G e$ 受光素子技術の課題としては、(a) 高性能トランジスタのプロセス技術との不整合、(b) メサ構造に起因するシリコンラインでの $G e$ 汚染の悪影響、(c) 光ファイバとの結合（特に $S M F$ ）の複雑さと高い実装コスト、である。

本論文では、トランジスタ技術については第2、3章で、また $S i G e$ 受光素子技術については第4、5章で、前述の課題を解決するデバイス構造とプロセス技術について議論した。下記に各章ごとに成果をまとめる。

第2章においては、高性能シリコン自己整合トランジスタ技術として、独創的なベース形成技術である $B S A$ 技術を用いた $A-B S A$ トランジスタ技術を提案した。この技術には4つの特徴がある。(1) 自己整合型トランジスタ構造に融合し、 $R T A$ 技術を利用した固相拡散で、浅くて急峻で、高濃度で、かつ結晶欠陥の発生の無いベース接合が形成できる $B S A$ 技術、(2) トランジスタの絶縁分離にストレスや寄生容量が少ない $B P S G$ 埋設トレンチ分離技術、(3) 寄生容量の増加が少

なく、かつカーク効果を抑えるため、ベース活性領域直下に選択的に形成される傾斜コレクタ分布、(4) 微細エミッタで発生するエミッタプラグ効果を解決するために、埋め込みエミッタ構造、を使用していることである。また、トレードオフ効果に対してはベースリンク領域の設計が重要であることを提案し、それを実証した。これにより、 f_T は41GHz、 f_{MAX} は44GHzの高性能シリコンバイポーラトランジスタを実現した。

第3章においては、超高速シリコン・ゲルマニウム自己整合トランジスタ技術として、独自技術であるSiGe-SEG層をベース層形成に用いた、SiGe-HBTであるSSSBトランジスタ技術と、このコスト・パフォーマンスを向上したA-SSSBトランジスタ技術を提案した。

本章では最初にSiGe-HBT技術の原理について簡単に論じた。また、ベース領域のGe濃度に傾斜を設け、加速電界を発生させ、高性能を実現するトランジスタが本研究の対象であることを述べ、さらに、SiGe-HBTをシリコン製造ラインで作るため、自己整合型トランジスタと融合するSiGe-SEG層によるベース形成を実現するためにCold-Wall型UHV/CVD装置を開発し、これを使用したSiGe-SEG技術について論じた。

本章では2つのトランジスタ技術について論じた。まず、SSSBトランジスタ技術であるが、以下の特徴がある。(1) ベース層に用いたSiGe-SEG層は3つの領域に目的別に分けて設計されていて、かつGe分布が台形状に設計されている、(2) 貼り合わせSOI基板とBPSG埋設素子分離技術を組み合わせた低寄生容量の素子分離法と、(3) 被覆性が良好な、燐を含むアモルファスシリコン膜を結晶化した膜を用いたエミッタポリシリコン電極と、(4) リンクベース領域の2ステップアニール法による低抵抗化手法、の採用である。これにより、 f_T は60GHz、 f_{MAX} は50GHzの高性能を実現した。

また、2つ目のA-SSSB技術であるが、以下の特徴がある。(1) 配線の寄生容量の低減と、絶縁分離工程数を削減するためのCMP技術を使用したBPSG埋設任意幅素子分離技術、(2) エミッタ、コレクタ間距離の縮小と、エミッタ、コレクタ引き出し電極形成の工程数の削減を可能にした、燐を含んだアモルファスシリコン膜を結晶化した膜を用いたエミッタ、コレクタの引き出し電極共用化技術、

(3) 高エネルギーイオン注入による、埋め込みコレクタ領域の形成技術、(4) f_T を向上させるため、ベース領域のボロンとGe分布の最適化設計、である。これにより、 f_T は80GHz、 f_{MAX} は55GHzの高性能化と40%の工程削減が同時に達成された。しかし、 f_{MAX} の改善は飽和傾向にあり、これ以上の高性能化に対し、今後に課題が残った。

第4章においては、SiGe受光素子技術として、第3章で論じた超高性能トランジスタプロセス技術と整合し、シリコンチップ内に埋め込まれ、かつ光吸収層に耐熱性向上を目的としたSiGe/Si超格子層を採用した、SMF対応の導波路型受光素子技術を提案し、これをプレーナ型SiGe受光素子と名付けた。この技術には以下の特徴がある。(1) 受光素子の光吸収層に、シリコンチップの表面薄膜層内に選択的に形成された、耐熱性の高SiGe/Si超格子選択エピタキシャル成長層を使用し、(2) 選択成長した光吸収層へ、光ファイバ(SMF)から出た $10\mu\text{m}\phi$ の光を容易に、安定で、再現性よく結合させるために、幅 $128\mu\text{m}$ で深さ $63\mu\text{m}$ のファイバ溝をシリコンチップ内に形成し、(3) エバネッセント結合による光吸収層への入射光の導入を、より効果的にすることで量子効率向上を可能にするため、またクロストークの影響を低減するために、貼り合わせSOI基板を使用したこと、である。また、受光素子の光吸収層は $0.98\mu\text{m}$ 帯に感度を合わせて設計し、量子効率29%、-3dBバンド幅で 10.5GHz という特性が得られた。この受光素子は5V以下の低電圧でGbit/s以上で動作し、SMFを使用するOEICを実現する技術であることは確認されたが、SiGe/Si超格子層のトータル膜厚を厚くするなどによる量子効率改善と、さらに、この技術の応用範囲を広げる上で必須の、より長波長帯での感度向上のため、Ge濃度を上げた光吸収層の設計が必要で、今後の研究課題であると考えられる。

第5章においては、SiGe受光素子技術として、第2章で論じた高性能トランジスタプロセス技術と整合し、シリコンチップ内に埋め込まれ、かつSiGe積層薄膜層を光吸収層として採用した、MMFやPCF対応の表面入射型受光素子技術を提案した。この技術には以下の特徴がある。(1) 光が受光素子に対し垂直に入射し、かつ薄膜層内に形成された光吸収層内の走行距離が短いので、Si層、Si

G e 層とも前章の 10 倍以上の厚さに出来る SiGe/Si 厚膜選択エピタキシャル成長技術を使用し、(2) 量子効率の向上とクロストーク対策として貼り合わせ SOI 基板を利用した。ここで、光吸収層は埋め込み酸化膜と表面の酸化膜とで挟む構造 (Vertical Cavity) にした。また、(3) 厚い SiGe 膜の選択成長で受光素子周辺部に発生するファセット対策として、選択成長層の膜厚最適化設計を行った。これにより、0.98 μm 帯で MMF からの入射光に対し量子効率 60%、-3 dB バンド幅で 7.8 GHz の特性が得られた。この受光素子は低電圧で、Gb/s 以上で動作する、MMF や PCF を使用する OEIC を実現する技術である事が確認された。しかし、量子効率としては、今一步不足であるため、光吸収層内の Si 層と SiGe 層の膜厚比の最適化設計等を行い改良が必要がある。

6.2 残る課題と展望

6.2.1 トランジスタのより一層の高性能化

トランジスタの高性能化は、水平、垂直のスケールダウンをトレードオフ効果による回路性能劣化を起こさずに達成する必要があり、これを可能にする技術について第 2、3 章で論じてきた。しかし、垂直方向の極端なスケールダウンにより SiGe-HBT においても性能向上に限界が見えてきた。それは、「ベース領域を狭くするには、コレクタ・エミッタ間のパンチスルー防止やベース抵抗の増加防止ため、ベース濃度を上げる必要があるが、これはエミッタ・ベース接合での順方向のトンネル電流を増やし[69]、電流利得が取れなくなる」という問題の発生である。ベースの高濃度化による電流利得の低下には本研究対象の SiGe-HBT で対処できるが、エミッタ、ベース接合での順方向トンネル電流はエミッタ、ベース領域が共に高濃度化し、順方向バイアス時の接合の空乏層が狭くなり発生した問題であり、エミッタ、ベース接合をホモ接合にし、電流利得をエミッタとベース領域のガンメルナンバー (各領域の電荷の総和) の比で決定するというトランジスタでは、この問題は解決出来ない。この問題に対する解決策としては、一方の濃度を下げれば良

い。すなわち、ベース領域が高濃度化した場合、エミッタ側に空乏層を広げる、つまりエミッタ領域の濃度を下げれば良いことになるが、ホモ接合のトランジスタではガンメルナンバーの比が取れず、トランジスタとして機能しないためこの方法は採用出来ない。解決策は「エミッタの濃度をベースより低くし、エミッタのバンドギャップをベースより広くすることで注入効率を出すエミッタ・ベース接合をヘテロ接合としたトランジスタ」となる。無論、ベースにはSiGe合金を用いるので、両接合がヘテロ接合となり、さらにエミッタを構成する材料はシリコンラインで作れる物でなければならない。これには、第3章で述べたワイドギャップエミッタとして研究されたアモルファスシリコンやSiC等のエミッタ材料が最有力である。しかし、アモルファスシリコン膜は材質が安定せず、また、成長ガスに $\text{SiH}_4 + \text{C}_3\text{H}_8$ を使用したLPCVD法でのSiC膜形成は、SiC膜のエピタキシャル成長温度が、 $950 \sim 1050^\circ\text{C}$ と高く、SiGe-HBTには使用できなかった。ただ、近年、 SiCH_3H_3 (methylsilane) を成長ガスに使用し、RTCD法 (Rapid Thermal Chemical Vapor Deposition) により、 900°C 以下での低温成長したSiC膜を使用し、ダイオードを試作した報告[81]がなされているので、SiC/SiGe/Siヘテロ合構造のトランジスタが1つのブレークスルー技術になる可能性がある。

6.2.2 受光素子の量子効率改善と長波長帯 ($1.3\mu\text{m}$ 帯) 用の受光素子実現

受光素子技術には大きく2つの課題があると考えている、1つは導波路型受光素子における長波長帯での感度向上のための光吸収層の設計、他は表面入射型受光素子における $0.98\mu\text{m}$ 帯での量子効率改善のための光吸収層の設計である。

導波路型受光素子における課題の長波長帯での感度向上であるが、これには光吸収層のSiGe層のGe濃度を増やし、バンドギャップを狭くする必要がある。文献12に記載されているデータから、Ge濃度を50~60%とすることで $1.3\mu\text{m}$ 帯で感度が得られると見積もられ、本研究で開発したSiGe/Si超格子構造を用いれば、Ge濃度を上げたSiGe層の形成が可能である。また、Ge単結晶を選択的にSi基板上に形成する方法も考えられる。しかし、いずれも耐熱性が大幅に

劣化[12]し、超高性能トランジスタプロセスとの整合が困難になる。SMFを用いた1.3 μm の長波長帯用のOEICで、トランジスタの性能を犠牲にした、表面入射型受光素子を使用するOEICと同様な作り方をすると、構造的な長所である高速動作に向くという特性が生かせない。したがって、OEIC化の実現は超高性能トランジスタプロセスの低温化、特にエミッタ形成における低温プロセスの開発が鍵になると考える。最近の研究で、エミッタ部の低温形成技術として、PECVD (Plasma Enhanced Chemical Vapor Deposition)法を使用し、磷を入れた多結晶膜のかわりに、形成温度が250°Cと低い、同様に隣をドープした $\alpha\text{-Si:H}$ (Hydrogenated amorphous Silicon)膜をエミッタに使用したトランジスタの報告[82]があり、このような技術を使用したトランジスタ開発をする必要があると考えられる。

また、表面入射型受光素子は光インタコネク用 OEICには最適であるが、0.98 μm 帯での量子効率改善という課題がある。1つの解決法は Vertical Cavity 構造の最適化や、Si層をやや薄くし SiGe層をさらに厚くすれば良い。しかし、ストレスによる欠陥 (misfit dislocation) 発生とファセット増大が IC 製造へ悪影響を与える可能性があり、この点に注意して設計する必要がある。他の解決策としては pin 構造での実現をあきらめ、APD 構造に変更し、低電圧動作という条件を守るために、APD の動作に必要な高電圧を発生させる、チャージポンピング回路等を内蔵する OEIC を作ることであると考えている。この方法は導波路型受光素子にも適用できるものである。

以上、述べてきたように、本研究で得られた成果は、まだ改善の余地はあるが、コンピュータ間の接続に使用する光インタコネクだけでなく、高速動作が要求される各種光通信用 OEIC を実現する上で実用性が高いものとする。受光素子の長波長帯における感度改善が実現すれば、10 Gb/s 以上の高速動作と長距離伝送が要求されるファイバチャネルへの適用や、FTH (Fiber To The Home) のような各家庭に入る光通信システムへの適用が可能になり、このような分野で特に重要な低消費電力、低価格、高信頼性の条件を満足する、高速光通信向けの受信用 OEIC を提供する有力な技術になるものとする。

参考文献

(省略形で記載されている国際学会名の説明)

IEDM: International Electron Devices Meeting

BCTM: Bipolar/BiCMOS Circuits and Technology Meeting

SSDM: International Conference on Solid State Devices and Materials

ISSCC: International Solid-State Circuits Conference

CICC: Custom Integrated Circuits Conference

DRC: Device Research Conference

ECS: Electrochemical Society

MRS: Material Research Society

ECTC: Electronic Components and Technology Conference

LEOS: IEEE Laser and Electro-optics Society

[1] O. Wada, T. Kumai, H. Hamaguchi, M. Makiuchi, A. Kuramata, T. Mikawa, " High-Reliability Flip-Chip GaInAs/InP PIN Photo-diode", Electron Lett., 26,18, p.1484, 1990.

[2] H. Takemura, C. Ogawa, M. Kurisu, G. Uemura, T. Morikawa, and T.Tashiro," A Si Bipolar Transistor with f_{max} of 40GHz and its application to a 35GHz 1/16 Dynamic Frequency Divider", Symp. on VLSI Tech. Dig., p.60,1992.

[3] M.Kurisu, M.Ohuchi, A.Sawairi, M.Sugiyama, H.Takemura, and T.Tashiro," A Si Bipolar 21-GHz/320mW Static Frequency Divider", IEEE J. of SSC, vol-26,p.1626,1991.

[4] T. Sakai, S. Konaka, Y. Yamamoto, and M. Suzuki," Prospect of SST Technology for High Speed LSI", IEDM Tech. Dig., p.18,1985.

[5] T.Tashiro, H.Takemure, T.Kamiya, F.Tokuyosi, S.Ohi, H.Shiraki, M.Nakamae, and T.Nakamura," An 80ps ECL Circuit With High Current Density Transistor", IEDM Tech. Dig., p.686, 1984.

- [6] H.Takemura, T.Kamiya, S.Ohi, M.Sugiyama, T.Tashiro, and M.Nakamae," Sub-micron Epitaxial Layer and RTA Technology for Extremely High Speed Bipolar transistor", IEDM Tech. Dig., p.424, 1986.
- [7] J.N.Burghartz, J.Y.-C Sun, S.R.Mader, C.L.Stanis, and B.J. Ginsberg,"Perimeter and Plug Effects in Deep Sub-micron Polysilicon Emitter Bipolar Transistor",Symp. on VLSI Tech. Dig., p.55, 1990.
- [8] C.T. Kirk," A Theory of Transistor Cutoff Frequency (f_T) Falloff at High Current Densities", IRE Trans. on Electron Devices,p.164,1962.
- [9] H.Park, T.Yamaguchi, K.Boyer, G.Eiden, C.Clawson, S.Yu, and J. Sachitano," High-Speed Self-Aligned Polysilicon Emitter/Base Bipolar Devices Using Boron and Arsenic Diffusion through Polysilicon", Ext. Abstr. 1986 Int. Conf. SSDM , p-729, 1986.
- [10] M. Yamamoto, M. Kubo, and K. Nakano, " Si-OEIC with a built-in PiN-Photodiode ", IEEE Trans. on Electron Devices, vol.ED-42, p.58, 1995.
- [11] P.J-W.Lim, A.Y.C.Tzeng, H.L.Chuang, S.A.St.Onge," A 3.3-V Monolithic Photodetector/CMOS Preamplifier for 531Mb/s Optical Data Link Applications", ISSCC Tech. Dig., p.96, 1993.
- [12] R.People, " Physics and Applications of $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ Strained-Layer Heterostructures", IEEE J. of Quantum Electronics, vol. QE-22, No.9, p.1696, 1986.
- [13] H.Temkin, T.P.Pearsell, J.C.Bean, R.A. Logan, and S.Luryi, " $\text{Ge}_x\text{Si}_{1-x}$ strained-layer superlattice waveguide photodetectors operating near $1.3\mu\text{m}$ " , Appl. Phys. Lett. **48**(15), p.963, 1986.
- [14] H.Temkin, J.C. Bean, T.P. Pearsell, N.A.Olsson, and D.V.Lang, " High photoconductive gain in $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ Strained-Layer superlattice detector operating at $\lambda=1.3\mu\text{m}$ ", Appl. Phys. Lett., **49**(3), 21, p.155, 1986.
- [15] T.P.Pearsell, H.Temkin, J.C.Bean, and S.Luryi, " Avalanche Gain in $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ Infrared

Waveguide”, IEEE Electron Device Lett., vol. EDL-7, No.5, p.330, 1986.

[16] V.P.Kesan, P.G. May, E.Bassous, and S.S. Iyer, “Integrated Waveguide Photodetector using Si/SiGe Multiple Quantum Wells for Long Wavelength Applications”, IEDM Tech. Dig., p.637,1990.

[17] A.Splett, T.Zinke, K.Petermann, E.Kasper, H.Kibbel, H.-J. Herzog, and H.Presting, “ Integration of Waveguides and Photodetectors in SiGe for 1.3 μ m Operation”, IEEE PHOTONICS TECHNOLOGY LETTERS, vol.6, p.59,1994.

[18] B. Jalali, A.F. Levi, F. Ross, and E.A. Fitzgerald, “ SiGe waveguide photodetectors grown by rapid thermal chemical vapor deposition”, Electron. Lett., vol.28, p. 269, 1992.

[19] B.Jalali, L.Naval, and A.F.J.Levi,” Si-Based Receivers for Optical Data Links”, J. of LIGHTWAVE TECHNOLOGY,vol.12,p.930,1994.

[20] K. Inou, S. Matsuda, H. Nakajima, N. Sugiyama, K. Usuda, S. Imai, Y. Kawaguchi, K. Yamada, Y. Katsumata, and H. Iwai,” 52GHz epitaxial base bipolar transistor with high Early voltage of 26.5V with box-like base and retrograded collector impurity profiles”, BCTM Tech. Dig., p.217, 1994.

[21] T.F.Meister, R.Stengl, H.W.Meul, R.Weyl, P.Packan, A.Felder, H.Klose, R.Schreiter, J.Popp, H.M.rein and L.Treitinger,” Sub-20ps Silicon Bipolar Technology Using Selective Epitaxial Growth”, IEDM Tech. Dig., p.401, 1992.

[22] M.Kojima, A.Fukuroda, T.Fukano, N.Higaki, T.Yamazaki, T.Sugii, Y.Arimoto, and T.Ito,” High-speed Epitaxial Base Transistor on Bonded SOI”, BCTM Tech. Dig.,p.63, 1991.

[23] J.N.Burghartz, S.R.Mader, B.S.Meyerson, B.J.Ginsberg, J.M.Stork, C.Stain, and J.Y.C.Sun,” Self-Aligned Bipolar NPN transistor With 60nm Epitaxial Base”, IEDM Tech. Dig., p.229, 1989.

[24] T. Uchino, T. Shiba, T. Kikuchi, Y. Tamaki, A. Watanabe, Y. Kiyota, and M. Honda,”

15-ps ECL/74GHz f_T Si Bipolar Technology”, IEDM Tech. Dig., p.67,1993.

[25] S. Konaka, Y. Amemiya, K. Sakuma, and T. Sakai,”A 20ps/gate Si Bipolar IC Using Advanced SST with Collector Ion Implantation”, SSDM Tech. Dig., p-331, 1987.

[26] T.Shiba, Y.Tamaki, I.Ogiwara, T.Kure, T.Kobayashi, K.Yagi, M.Tanabe, and T. Nakamura,” 29ps ECL Circuits using U-groove Isolated SICOS technology”, IEDM Tech. Dig., p.225, 1989.

[27] M.Kurusu, M.Ohuchi, A.Sawairi, M.Sugiyama, H.Takemura, and T.Tashiro,” A Si Bipolar 21-GHz/320mW Static Frequency Divider”, IEEE J. of Solid State Circuits,vol-26, p.1626, 1991.

[28] T.Suzaki, M.Soda, T.Morikawa, H.Tezuka, C.Ogawa, S.Fujita, H.Takemura, and T.Tashiro,” Si Bipolar Chip Set for 10-Gb/s Optical Receiver”, IEEE J. of Solid State Circuits,vol-27, p.1781, 1992.

[29] M.Kurusu, G.Uemura, M.Ohuchi, C.Ogawa, H.Takemura, T.Morikawa, and T.Tashiro,” A Si Bipolar 28GHz Dynamic Frequency Divider”, IEEE J. of Solid State Circuits,vol-27, p.1799, 1992.

[30] O.Masuda, S.Hayano, T.Takeuchi, H.Kitahata, H.Takemura, and T.Tashiro,”A Si Bipolar 1.4-GHz Time Space Switch LSI for B-ISDN”, IEEE J. of Solid State Circuits,vol-28, p.518, 1993.

[31] T.Yamazaki, I.Namura, T.Sugii, H.Goto, A.Tahara, and T.Ito,” High-speed Si Hetero-bipolar Transistor with a SiC Wide-Gap Emitter and an Ultrathin Heavily Doped Photoepitaxially Grown Base”, BCTM Tech. Dig., p.71, 1991.

[32] A.Schuppen, A.Gruhle, U.Erben, H.Kibbel, and U.Konig,” 90GHz f_{MAX} SiGe-HBTs”, DRC 94, IIIA-2, 1994.

[33] G.L.patton, J.H.Comfort, B.S.meyerson, E.F.Crabbe, D.J.Scilla, E.de Fresart, J.M.C.Stork, J.Y.-C.Sun, D.L.Harame, and J.Burghartz,” 63-75 GHz f_T SiGe-base

heterojunction bipolar technology”, Tech. Dig. 1990 Symp. on VLSI Technology, p.49, 1990.

[34] E.F.Crabbe, B.S.Meyerson, J.M.C.Stork, and D.L.Harame,” Vertical Profile Optimization of Very High Frequency Epitaxial Si- and SiGe-Base Bipolar Transistor”, IEDM Tech. Dig., p.83, 1993.

[35] A.Schuppen, A.Gruhle, H.Kibbel, U.Erben, and U.Konig,” SiGe-HBTs with high f_T at moderate current densities”, Electron. Lett., 30(14), p.1187, July 1994.

[36] T.F.Meister, H.Schafer, M.Franosch, W.Molzer, K.Aufinger, U.Scheler, C.Walz, M.Stolz, S.Boguth, and J.Bock,” SiGe Base Bipolar Technology with 74GHz f_{max} and 11 ps Gate Delay”, IEDM Tech. Dig., p.739, 1995.

[37] G.L.Patton, D.L.Harame, J.M.C.Stork, B.S.Meyerson, G.J.Scilla, and E.Ganin,” Graded-SiGe-Base, Poly-Emitter Heterojunction Bipolar Transistors”, IEEE Electron Device Letters, vol.10, No.12, p.534, 1989.

[38] J.M.C.Stork, G.L.Patton, E.F.Crabbe, D.L.Harame, B.S.Meyerson, S.S.Iyer, and E.Ganin,” Design Issues for SiGe Heterojunction Bipolar Transistors”, BCTM Tech. Dig., p.57, 1989.

[39] E.F.Crabbe, G.L.Patton, J.M.C.Stork, J.H.Comfort, B.S.Meyerson, and J.Y.-C.Sun,” Low Temperature Operation of Si and SiGe Bipolar Transistor” IEDM Tech. Dig., p.17, 1990.

[40] C.M.Gronet,” Limited reaction processing : Growth of multiple layers of epitaxial Si and $Si_{1-x}Ge_x$ ”, Electrochem. Soc. Extended Abstr., vol.88-1, p.286, 1988.

[41] B.S. Meyerson, K.J.Uram, and F.K.Legoues,” Cooperative growth phenomena in silicon/germanium low-temperature epitaxy,” Appl. Phys. Lett., vol.53, p2555, 1988.

[42] B.S.Meyerson,” Low-temperature silicon epitaxy by ultrahigh vacuum /chemical vapor deposiyion,” Appl. Phys. Lett., vol.48, p797, 1986.

- [43] K. Aketagawa, T. Tatsumi, M. Hiroi, T. Niino, and J. Sakai, " Si / Si_{1-x}Ge_x selective epitaxial growth by ultra high vacuum chemical vapor deposition using Si₂H₆, GeH₄ ", Proc. Solid State devices and Materials, p.719, 1991.
- [44] H. Hirayama, T. Tatsumi, and N. Aizaki, " Gas Source Silicon Molecular Beam Epitaxy Using Disilane", Appl. Phys. Lett., **52**, p.1484, 1988.
- [45] K. Aketagawa, T. Tatsumi, and J. Sakai, " Limitation of Selective Epitaxial Growth Conditions in Gas-source Molecular Beam Epitaxy Using Si₂H₆", J. Crystal Growth, **111**, p.860, 1991.
- [46] M. Hiroi and T. Tatsumi, " Selective Epitaxial Growth of Si_{1-x}Ge_x by Cold-Wall Type UHV-CVD using Si₂H₆ and GeH₄", J. Crystal Growth, **120**, p.279, 1992.
- [47] A. Sakai, and T. Tatsumi, " Ge Growth on Si Using Atomic Hydrogen as a Surface", Appl. Phys. Lett, **64**, p.52, 1994.
- [48] T. Aoyama, T. Igarashi, and T. Tatsumi, " Facet Formation Mechanism of Silicon Selective Epitaxial Layer by Si UHV-CVD", J. Crystal Growth **136**, p.349, 1994.
- [49] T. Tatsumi, K. Aketagawa, and J. Sakai, " Selective Epitaxial Growth by UHV-CVD Using Si₂H₆ and Cl₂", J. Crystal Growth **120**, p.275, 1992.
- [50] K. Watanabe, T. Hashimoto, M. Yoshida, M. Usami, Y. Sakai, and T. Ikeda, " A Bonded-SOI Bipolar Process Technology", ECS Tech. Dig, p.744, 1991.
- [51] K. Ueno, " High-Speed Soft-Error-Immune ECL Circuits with Fully Isolated Transistors", IEEE Trans. on Electron Devices, Vol.39, p.695, 1992.
- [52] M. Okabe, M. Tatsuki, Y. Arima, T. Hirao, and Y. Kuramitsu, " Design for Reducing Alpha-Particle-Induced Soft-Errors in ECL Logic Circuitry", IEEE J. of Solid-State Circuits, Vol.24, p.1397, 1989.
- [53] E. Bertagnolli, H. Klose, R. Mahnkopf, A. Felder, M. Kerber, M. Stolz, G. Schutte, H.-

M.Rein, and R.Kopl,"An SOI-Based High Performance Self-Aligned Bipolar Technology Featuring 20 ps Gate-Delay and a 8.6 fJ Power-Delay Product", Tech. Dig. 1993 Symp. on VLSI Technology, p.63, 1993.

[54] E.J.Prinz, P.M.Garone, P.V.Schwartz, X.Xiao, and J.C.Sturm,"The effect of base-emitter spacers and strain-dependent densities of states in Si/Si_{1-x}Ge_x/Si heterojunction bipolar transistors", IEDM Tech. Dig., p.639, 1989.

[55] P. E. Cottrell and Zhiping Yu, " Velocity Saturation in the Collector of Si/Si_{1-x}Ge_x/Si HBT's", IEEE Electron Device Letters, Vol.11, No.10,pp.431, 1990.

[56] E. J. Printz and J. C. Sturm, "Analytical Modeling of Current Gain - Early Voltage Products in Si/Si_{1-x}Ge_x/Si Heterojunction Bipolar Transistors", IEDM Tech. Dig., p.853, 1991

[57] M.Miyake,"Diffusion of boron into silicon from borosilicate glass using rapid thermal processing," J. Electrochem. Soc., vol. 138, p.3031, 1991.

[58] S.M.Hu, D.C.Ahlgren, P.A.Ronsheim, and J.O.Chu,"Experimental study of diffusion and segregation in a Si-(Ge_xSi_{1-x}) heterostructure", Phys. Rev. Lett., vol. 67 , p.1450, 1991.

[59] P.Kuo, J.L.Hoyt, J.F.Gibbons, J.E.Turner, R.D.Jacowitz, and T.I. Kamins, "Comparison of boron diffusion in Si and strained Si_{1-x}Ge_x epitaxial layers", Appl. Phys. Lett., vol. 62, p.612, 1993.

[60] G.H.Loehelt, G.Tam, J.W.Steele, L.K.Knoch, K.M.Klein, J.K.Watanabe, and J.W.Christiansen,"Measurement and modeling of boron diffusion in Si and Strained Si_{1-x}Ge_x epitaxial layers during rapid thermal annealing", J. Appl. Phys. 74 (9) , p.5520, 1993.

[61] K.Hamada, N.Nishio, and S.Saito,"Anomalous Leakage Current Reduction by Ramping Rate Control in MeV Implantation", MRS Symp. Proc., vol.-396, p.739, 1996.

[62] S.Kishi, H.Horie, M.Hoko, Y.Arimoto, and T.Ito," 5000µm Line-and-Space Planarization Using Chemical Mechanical Polishing", Ext. Abstr. 1993 Int. Conf. SSDM,

[63] Y.Homma, T.Furusawa, K.Kusukawa, S.Moriyama, H.Morishima, and H.Sato,"Fluorine Doped SiO₂ for Low Dielectric Constant Films in Sub-Half Micron ULSI Multilevel Interconnection", Ext. Abstr. 1995 Int. Conf. SSDM, p.154, 1995.

[64] K.Ishimaru, H.Gojobori, H.Koike, Y.Unno, M.Sai, F.Matsuoka, and M.Kakuma, "Trench Isolation Technology with 1 μ m Depth n- and p-wells for A Full-CMOS SRAM Cell with a 0.4 μ m n⁺/p⁺ Spacing", Tech. Dig. 1994 Symp. on VLSI Technology, p.97, 1994.

[65] K.Ueno, K.Ohto, and K.Tsunenari,"A Half-Micron Pitch Cu Interconnection Technology",Tech. Dig. 1995 Symp. on VLSI Technology, p.27, 1995.

[66] M.Norishima, T.Matsuno, M.B.Anand, M.Murota, M.Inohara, K.Inoue, H.Ohtani, K.Miyamoto R.Ogawa, M.Seto, C.Fukuhara, H.Shibata, and M.Kakumu,"Fully Integrated Multilevel Interconnect Process for Low Cost Sub-half-micron ASIC Applications",Tech. Dig. 1995 Symp. on VLSI technology, p.47, 1995.

[67] Y. Hayashi, T. Nakajima, and T. Kunio," Ultrauniform Chemical Mechanical Polishing (CMP) Using a "Hydro Chuck", Featured by Wafer Mounting on a Quartz Glass Plate with Fully Flat, Water-Supported Surface", Jpn. J. Appl. Phys., vol. 35, p.1054, 1996.

[68] E.F. Crabbe, G.L. Patton, J.M.C. Stork, J.H. Comfort, B.S. Meyerson, and J.Y.-C. Sun,"Low Temperature Operation of Si and SiGe Bipolar Transistors", IEDM Tech. Dig., p.17, 1990.

[69] P.H. Yih, J.P. Li, and A.J. Steckl, " SiC/Si Heterojunction Diodes Fabricated by Self-Selective and by Blanket Rapid Thermal Chemical Vapor Deposition", IEEE Trans. on Electron Devices, Vol. 41, p.281, 1994.

[70] M.Soda, H.Tezuka, F.Sato, T.Morikawa, T.Hashimoto, T.Tatsumi, T.Suzaki, and T.Tashiro, "One-chip Receiver IC for 2.4Gb/s Optical Communication Systems", CICC Tech. Dig., p.99, 1995.

- [71] K.Nishida and K.Taguchi, "N⁺-P- π -P⁺ Si avalanche photodiode, optimized for optical communication use in 0.8~0.9 μ m wavelength region", NEC Research and Development, No.55, p48, 1979.
- [72] O.Mikami, H.Ando, H.Kanbe, T.Mikawa, T.Kaneda, and Y. Toyama, "Improved germanium avalanche photodiodes", IEEE J. Quantum Electron., QE-16, p1002, 1980.
- [73] M. Yano, G. Nakagawa, and N. Fujimoto, "Skew-Free Parallel Optical Links and their Array Technology", ECTC Tech. Dig., p.552, 1995.
- [74] N. Fujimoto, H. Rokugawa, K. Yamaguchi, S. Masuda, and S. Yamakoshi," Photonic high-way: Broadband ring subscriber loops using optical signal processing", IEEE J. of Lightwave Tech., vol-7 , p.1798, 1989.
- [75] Y.Ota, and R.G. Swartz," Multi-channel optical data link (MODLINK)", Proc. OEC'90, Makuhari, 11D1-5, p.42, 1990.
- [76] S. Siala, Y. Dekovic, M. Govindarajan, V. Ramakrishnan, R. Kinter, J. Padilla, R.N. Nottenburg, and A.F. Lavi," 12 x 622 Mb/s Optical Receiver Array Module for Parallel Digital Datalinks", ECTC Tech. Dig., p.1096, 1995.
- [77] K. H. Hahn," POLO-Parallel Optical Links for Gigabite Data Communications ", ECTC Tech. Dig., p.368, 1995.
- [78] F. Shimizu, H. Furuyama, H. Hamasaki, F. Kuroda, M. Nakamura, and T. Tamura," Optical parallel interconnection characteristics of 4 channel bit synchronous data transmission module", ECTC Tech. Dig., p.77, 1992.
- [79] H. Kosaka," VCSELs: Requirements and Performance Improvements for Optical Interconnections", LEOS'94, SL-5.1, vol.1, p.259, 1994.
- [80] S. Fukatsu, D.K. Nayak, and Y. Shiraki," Spectral modulation of luminescence of strained Si_{1-x}Ge_x/Si quantum wells in a vertical cavity with air/Si and Si/SiO₂ interface mirrors", Appl. Phys. Lett., 65 (24), p.3039, 1994.

[81] P. H. Yih, J. P. Li, and A. J. Steckl, " SiC/Si Heterojunction Diodes Fabricated by Self-Selective and by Blanket Rapid Thermal Chemical Vapor Deposition", IEEE Trans. Electron Devices, vol.41, p.281, 1994.

[82] Z. R. Tang, T. Kamins and C. A. Salama, " Analytical and Experimental Characteristics of SiGe Heterojunction Bipolar Transistors with Thin α -Si:H Emitters", Solid-State Electron., Vol.38, No.10, p.1829, 1995.

謝辞

本論文の作成にあたり、終始御懇切な御指導と御教示を賜った静岡大学電子工学研究所 畑中義式教授に厚く感謝申し上げます。また、本論文をまとめるにあたり多くの御指導と御助言を賜った静岡大学電子工学研究所 助川徳三教授、皆方誠教授、田部道晴教授、並びに静岡大学工学部電子工学科 藤安洋教授に心から感謝いたします。

本論文をまとめるにあたり御指導・御鞭撻並びに暖かい励ましを賜りました水野修ULSIデバイス開発研究所長、岡田賢治同所長代理、遠藤伸裕同所長代理、中前正彦シリコンデバイス開発統括部長に対し、心から感謝します。

本研究は筆者が1988年から95年の約8年間にわたり行った、光通信用の受信用OEICの要素デバイス技術である高速シリコントランジスタ技術と、シリコンゲルマニウム(SiGe)受光素子技術に関する研究成果をまとめたものです。研究を進めるにあたり、トランジスタ設計に御協力頂いたマイクロエレクトロニクス研究所センサ研究部の武村久課長、ULSIデバイス開発研究所ロジック開発部佐藤文彦課長、同杉山光弘主任、同橋本隆介主任、同開発研究所メモリデバイス開発部小川智弘主任、C&CLSI開発本部第1デバイス技術部北畑英樹主任、また、SiGe選択エピタキシャル成長技術開発に多大なる貢献がありましたマイクロエレクトロニクス研究所LSI基礎研究部の辰巳徹課長、ULSIデバイス開発研究所結晶開発部青山亨主任、さらにSiGe受光素子の設計にあたり御協力頂いたULSIデバイス開発研究所ロジック開発部森川武則主任、受光素子の量子効率並びに高周波特性の測定に御協力頂いた光エレクトロニクス研究所光ネットワーク研究部洲崎哲行主任、同早田征明主任に感謝いたします。また、トランジスタ設計の有効性を回路で確認する上で御協力頂いた、C&CLSI開発本部第四回路技術部の栗栖正和主任に感謝いたします。さらに、この他にも本研究を遂行するにあたり、多くの先輩、同僚の方々から有形・無形の御協力、御支援を頂きました。深く感謝の意を表したいと思います。

本論文に関する発表論文一覧

1. 発表論文リスト

- [1] H. Takemura, S. Ohi, M. Sugiyama, **T. Tashiro**, and M. Nakamae, "BSA Technology for Sub-100nm Deep Base Bipolar Transistor", IEDM Tech. Dig., pp.375-379, 1987.
- [2] H. Takemura, S. Ohi, M. Sugiyama, **T. Tashiro**, and M. Nakamae, "BSA Technology for Sub-100nm Deep Base Bipolar Transistors", NEC Research & Development, No.90, pp.10-13, 1988.
- [3] M. Sugiyama, H. Takemura, C. Ogawa, **T. Tashiro**, T. Morikawa, and M. Nakamae, "A 40GHz f_T Si Bipolar Transistor LSI Technology", IEDM Tech. Dig., pp.221-224, 1989.
- [4] M. Sugiyama, T. Shimizu, H. Takemura, A. Yoshino, N. Oda, **T. Tashiro**, and M. Nakamae, "Bipolar VLSI Memory Cell Utilizing BPSG-Filled Trench Isolation", NEC Research & Development, No.94, pp.8-13, 1989.
- [5] F. Sato, H. Takemura, **T. Tashiro**, T. Tatsumi, T. Niino, and M. Nakamae, "A Self-Aligned Selective MBE Technology for High Performance Bipolar Transistors", IEDM Tech. Dig., pp.379-383, 1990.
- [6] F. Sato, H. Takemura, **T. Tashiro**, H. Hirayama, M. Hiroi, K. Koyama, and M. Nakamae, "A Self-Aligned Selective MBE Technology for High Performance Bipolar Transistor", NEC Research & Development, vol-32, No.4, pp.543-546, 1991.
- [7] T. Morikawa, and **T. Tashiro**, "Sub-100 μm^2 PNP Load Memory Cell for Sub-nsec. 256Kbit ECL Bipolar RAM", BCTM Tech. Dig., pp.146-149, 1991.
- [8] T. Morikawa, and **T. Tashiro**, "Sub-100 μm^2 PNP Load Memory Cell for Sub-nsec. 256Kbit ECL Bipolar RAM", NEC Research & Development, vol-33, No.1, pp.25-28, 1992.

- [9] H. Takemura, C. Ogawa, M. Kurisu, G. Uemura, T. Morikawa, and **T. Tashiro**," A 40GHz fmax Si Bipolar Technology", NEC Research & Development, vol-35, pp.23-26, 1994.
- [10] F. Sato, T. Hashimoto, T. Tatsumi, H. Kitahata, and **T. Tashiro**," Sub-20ps ECL Circuits with 50GHz fmax Self-Aligned SiGe HBTs", IEDM Tech. Dig., pp.397-401, 1992.
- [11] F. Sato, T. Tatsumi, T. Hashimoto, and **T. Tashiro**," A Super Self-Aligned selective Grown SiGe Base (SSSB) Bipolar Transistor Fabricated by Cold-Wall Type UHV/CVD", IEEE Trans. on Electron devices, vol-41, pp.1373-1378, 1994.
- [12] F. Sato, T. Tatsumi, T. Hashimoto, and **T. Tashiro**," Sub-20ps ECL Circuit with High-performance Super Self-Aligned Selectively Grown SiGe Base(SSSB) Bipolar Transistor", IEEE Trans. on Electron devices, vol-42, pp.483-488, 1995.
- [13] F. Sato, T. Hashimoto, T. Tatsumi, M. Soda, H. Tezuka, T. Suzaki, and **T. Tashiro**," A Self-Aligned SiGe Base Bipolar Technology Using Cold wall UHV/CVD and Its Application to Optical Communication IC's", BCTM Tech. Dig., pp.82-85, 1995.
- [14] M. Sugiyama, T. Morikawa, T. Tatsumi, T. Hashimoto, and **T. Tashiro**," A Selective epitaxial SiGe/Si planar photodetector for Si-based OEICs", IEDM Tech. Dig., pp.583-586, 1995.
- [15] F. Sato, H. Tezuka, M. Soda, T. Hashimoto, T. Suzaki, T. Tatsumi, T. Morikawa, and **T. Tashiro**, " A 2.4 Gb/s Receiver and 1:16 Demultiplexer in One Chip Using a Super Self-Aligned Selectively Grown SiGe Base (SSSB) Bipolar Transistor", IEEE J. of Solid State Circuits, vol-31, pp.1451-1457, 1996.
- [16] T. Morikawa, M. Sugiyama, T. Tatsumi, K. Sato, and **T. Tashiro**," A Vertical-Cavity P-i-N Photodetector for Si-based OEICs", IEDM Tech. Dig., pp661-664, 1996.
- [17] **T. Tashiro**, M. Sugiyama, H. Takemura, C. Ogawa, M. Kurisu, H. Kitahata, T. Morikawa, and M. Nakamae," An Advanced BSG Self-Aligned (A-BSA) Transistor Technology for High Speed IC Implementation", IEICE Trans. on Electronics, vol. E79-C,

[18] **T. Tashiro**, T. Tatsumi, M. Sugiyama, T. Hashimoto, and T. Morikawa," A selective epitaxial SiGe/Si planar photodetector for Si-OEICs", IEEE Trans. on Electron Devices, vol.44, No.4, pp.545-550, 1997.

[19] **T. Tashiro**, T. Hashimoto, F. Sato, T. Tatsumi, and Y. Hayashi," 7-mask self-aligned SiGe base bipolar transistors with f_T of 80GHz", IEICE Trans. on Electronics, vol. E80-C, pp.707-713, 1997.

2. 国際学会発表論文リスト

[1] M. Sugiyama, T. Shimizu, H. Takemura, A. Yoshino, N. Oda, **T. Tashiro**, Y.Minato, Y.Takahashi, and M.Nakamae," Bipolar VLSI Memory Cell Technology Utilizing BPSG-filled Trench Isolation", Symp. on VLSI Tech. Dig., pp.59-60, 1989.

[2] Y. Takahashi, T. Ishii, H. Kanda, M. Arimura, M. Sugiyama, **T. Tashiro**, and T. Shimizu," A 1.6NS 64KB ECL RAM WITH 1K GATE LOGIC", Symp. on VLSI Circ. Dig., pp.73-74, 1989.

[3] T. Aoyama, C. Ogawa, M. Sugiyama, H. Takemura, F. Toyokawa, M. Sakamoto, **T. Tashiro**," Selective polysilicon Deposition(SPD) by Hot-Wall LPCVD and Its Application to High Speed Bipolar Devices", SSDM Tech. Dig., pp.665-668, 1990.

[4] M. Kurisu, M. Ohuchi, A. Sawairi, M. Sugiyama, H. Takemura, and **T. Tashiro**," A Si Bipolar 21GHz /320mW Static Frequency Divider", ISSCC Tech. Dig., pp.158-159,1991.

[5] M. Ohuchi, T. Okamura, A. Sawairi, F. Kuniba, **T. Tashiro**, S. Hatakeyama, and K. Okumura," A Si Bipolar 5-Gb/s 8:1 Multiplexer and 4.2-Gb/s 1:8 Demultiplexer", Symp. on VLSI Circ. Tech. Dig., pp.77-78, 1991.

- [6] M. Kurisu, G. Uemura, M. Ohuchi, C. Ogawa, H. Takemura, T. Morikawa, and T. Tashiro," A Si Bipolar 28GHz Dynamic Frequency Divider", ISSCC Tech. Dig., pp.92-93, 1992.
- [7] T. Suzaki, M. Soda, T. Morikawa, H. Tezuka, C. Ogawa, S. Fujita, H. Takemura, and T. Tashiro," Si Bipolar Chip Set for 10-Gb/s Optical Receiver", ISSCC Tech. Dig., pp.100-101, 1992.
- [8] H. Takemura, C. Ogawa, M. Kurisu, G. Uemura, T. Morikawa, and T. Tashiro," A Si Bipolar transistor with f_{max} of 40GHz and its application to a 35GHz 1/16 Dynamic Frequency Divider", Symp. on VLSI Tech. Dig., pp.60-61, 1992.
- [9] F. Sato, T. Hashimoto, T. Tashiro, T. Tatsumi, M. Niino, and M. Hiroi," A Novel Selective SiGe Epitaxial Growth Technology for Self-Aligned HBTs", Symp. on VLSI Tech. Dig., pp.62-63,1992.
- [10] H. Kitahata, H. Takemura, M. Soda, H. Tezuka, T. Suzaki, and T. Tashiro, " A 15.5GHz Bandwidth Si-Bipolar Preamplifier", BCTM Tech. Dig., pp.155-158, 1992.
- [11] M. Soda, H. Tezuka, F. Sato, T. Hashimoto, S. Nakamura, T. Tatsumi, T.Suzaki, and T.Tashiro," Si-Analog IC's for 20Gb/s Optical Receiver", ISSCC Tech. Dig., pp.170-171, 1994.
- [12] T. Hashimoto, H. Tezuka, F. Sato, M. Soda, T. Suzaki, T. Tatsumi, and T. Tashiro," SiGe Bipolar ICs for 20Gb/s Optical Transmitter", BCTM Tech. Dig., pp.167-170, 1994.
- [13] M. Soda, H. Tezuka, F. Sato, T. Morikawa, T. Hashimoto, T. Tatsumi, T. Suzaki, and T. Tashiro," One-chip Receiver IC for 2.4Gb/s Optical Communication systems", CICC Tech. Dig., pp.99-102, 1995.
- [14] T. Hashimoto, F. Sato, T. Tatsumi, and T. Tashiro," Boron spike effect on cut-off frequency and Early voltage in SiGe HBTs", Pro. of the 25th ESSDERC, pp.501-504, 1995.
- [15] F. Sato, H. Tezuka, M. Soda, T. Hashimoto, T. Suzaki, T. Tatsumi, T. Morikawa, and T.

Tashiro, "The optical terminal IC: A 2.4Gb/s receiver and 1:16 demultiplexer in one chip", BCTM Tech. Dig., pp.162-165, 1995.

[16] M. Soda, T. Morikawa, S. Shioiri, H. Tezuka, F. Sato, T. Tatum, K. Emura, and **T. Tashiro,** "A 1-Gb/s 8-channel array OEIC with SiGe photo-detectors", ISSCC Tech. Dig., pp.120-121, 1997.