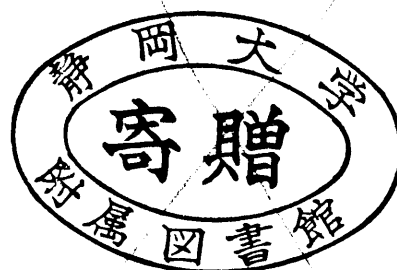


静岡大学 博士論文

# R-2Rラダー型デジタル・アナログ変換器に関する研究



2001年7月

静岡大学大学院電子科学研究科

電子応用工学専攻

王雷

## 概要

アナログ・デジタル混在応用指向型集積回路 (ASIC) ではデジタル・アナログ (DA) 変換器は必要不可欠である。システムの小型化, 消費電力, 経済性などの理由でアナログ・デジタル混在 ASIC を CMOS プロセスで製造することは最適であり, それに対応した DA 変換器の設計が求められる。本研究では MOS トランジスタの電圧制御電流源 (VCCC) の特性を用いた高速, 低消費電力の電流モード D/A 変換器, 特に素子数が少なくニューロンのシナプスへの応用を目的として R-2R ラダー型 DA 変換器について研究を行った。

まず, 従来の抵抗を用いた R-2R ラダー型 DA 変換器について電圧モード構成と電流モード構成を比較し, 電流モード構成の消費電力が最も少ないことを示した。次に, R-2R の抵抗不整合による積分非直線性 (INL) を解析すると共に HSPICE を用いてこの誤差要因の INL への影響をシミュレーションし, 抵抗の不整合を  $\epsilon$  とすると  $\epsilon < 2^{-n}$  が  $n$  ビットの精度を得るための必要条件であることを示した。抵抗不整合の他, スイッチのオン抵抗及びラダーから出力端子までの配線抵抗も INL の誤差原因である。これら誤差原因による INL をシミュレーションし, 抵抗不整合による INL パターンはメジャーキャリーに対し反対称になるのに対し, スイッチオン抵抗による INL パターンは対称になり, 一方, 配線抵抗による INL は対称性を持たず, その最大点が最下位ビット (LSB) 側にシフトすることを示した。

これらの特性評価法と結果を基にして,  $0.6\mu\text{m}$  CMOS プロセスで集積化した 8 ビットラダー型 DA 変換器の性能評価を行った。試作 DA 変換器では抵抗の代わりに線形領域で動作する nMOS トランジスタでラダーを構成している。評価結果によれば INL の最大要因は配線抵抗であり, スイッチを含むラダー自体の INL は最大で 1.2 LSB である。これらの研究結果によって CMOS R-2R

ラダー型 DA 変換器に関する設計基準を確立することができた。

又，試作 DA 変換器を減衰器として用いた場合のアナログ帯域幅は約 224 MHz，全高調波歪みは 0.1%であることを測定とシミュレーションによって明らかにした。これらの結果は，CMOS R-2R ラダー型 DA 変換器が低消費電力，高速，広帯域電流モード信号処理に極めて有用であることを示している。

# 目次

## 概要

第 1 章 序論	1
1.1 研究の背景	1
1.2 DA 変換器の構成	3
1.3 DA 変換器の特性	14
1.4 本研究の目的と論文の構成	17
参考文献	18
第 2 章 R-2R ラダー型 DA 変換器	20
2.1 まえがき	20
2.2 R-2R ラダー型 DA 変換器	20
2.3 抵抗不整合による積分非直線性誤差	29
2.4 積分非直線性誤差のシミュレーション	34
2.5 ラダー抵抗の測定	46
2.6 むすび	48
参考文献	50
第 3 章 CMOS ラダー型 DA 変換器	51
3.1 まえがき	51
3.2 線形領域における MOS トランジスタの動作	52
3.3 CMOS ラダー型 DA 変換器の構成	57
3.4 シミュレーション結果	60
3.5 試作 DA 変換器	64
3.6 抵抗整合に関する考察	71
3.7 むすび	72

参考文献	75
第4章 CMOSラダー型DA変換器の応用	77
4.1 まえがき	77
4.2 乗算器	77
4.3 減衰器	85
4.4 まとめ	85
参考文献	91
第5章 結論	93
参考文献	96
謝辞	97

# 第1章 序論

## 1.1 研究の背景

現代の電子回路技術はデジタル技術とアナログ技術の二つの分野によって成り立っている。デジタル信号は2進値であるため、耐ノイズ性能のみならず、電源とプロセスの変動にも非常に強い。これらの利点に加えて、デジタル技術は設計しやすく、テストの自動化とプログラム化にもうまく適応している。そのため大規模集積回路(LSI)の大部分はデジタル化されている。一方、デジタル技術よりアナログ技術を用いたほうがより広い帯域幅の電子回路システムが得られる<sup>[1]</sup>。また我々が扱う自然界の信号のほとんどはアナログ信号である。これらのアナログ信号をコンピューター技術を用いて処理するため、図1.1に示しているアナログ・デジタル・インターフェースとデジタルプロセッサを持ち合わせた信号処理システムが必要となる<sup>[2]</sup>。その中心となるのはアナログ・デジタル(AD)変換器とデジタル・アナログ(DA)変換器である。

特に電流モード信号処理システムではそれに適したDA変換器を必要としている。従来の電圧信号を中心とする電圧モード回路に比べて、電流モード回路では電流-電圧変換が少なく、内部抵抗と寄生容量による周波数特性劣化が低減される。そのためシステムが高速動作することが可能となる。また低い電圧供給レベルでもトランジスタの帯域幅 $f_T$ に近い帯域幅と広いダイナミックレンジが得られる。そのため、電流モード回路技術は新しい分野として注目されている<sup>[3]</sup>、<sup>[4]</sup>。

アナログ・デジタル混在システムを1枚のチップ上に製造する必要性を述べる。まず、システムをワンチップ化することは設計者に柔軟性を与え優れ

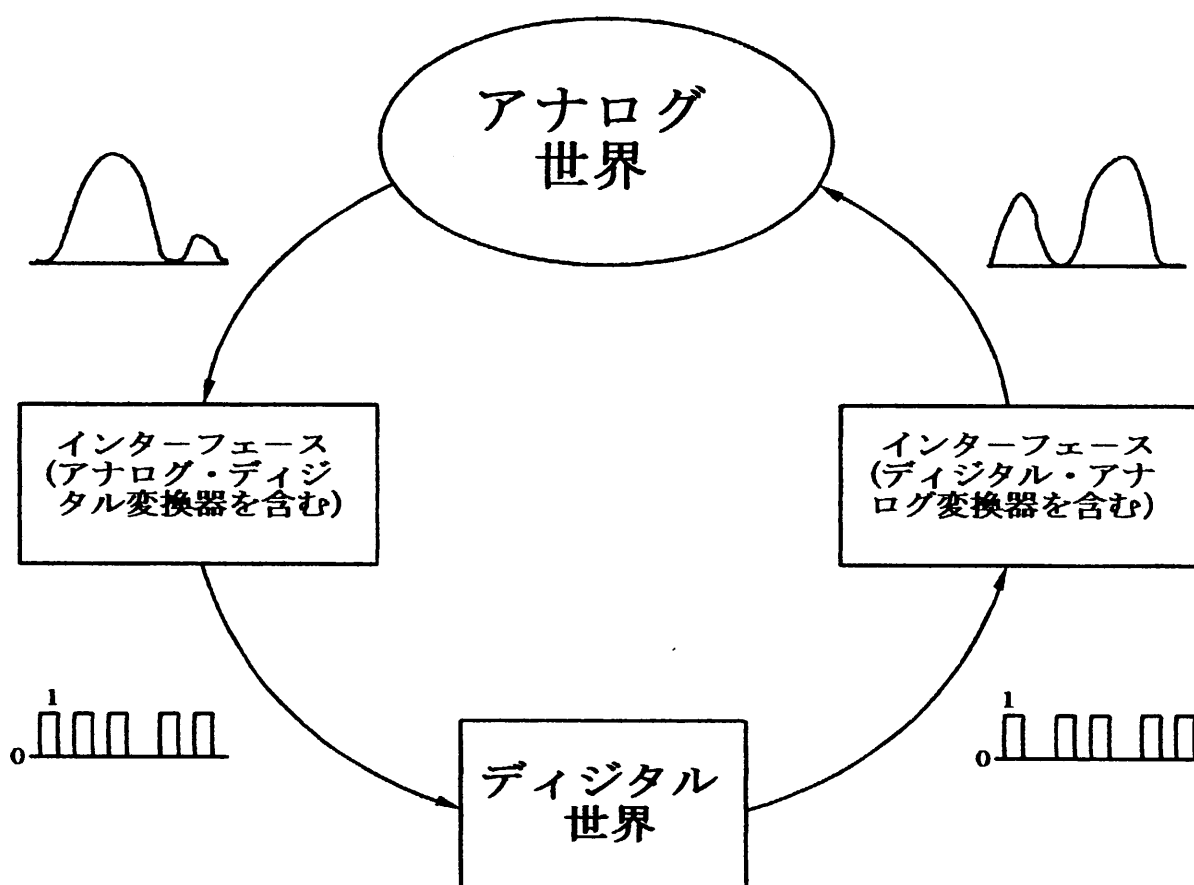


図 1.1 アナログ・デジタル信号処理システム

た技術的な解決策をもたらすことになる。また素子数の減少とシステムの小型化はシステムの安定性を高め、省エネルギーに貢献し、製造コストを下げることに繋がる<sup>[5]</sup>。これまで、アナログ・ディジタル混在システムの設計はディジタル回路を中心に行われてきた。チップ面積とコストなどの理由から、このようなシステムに最も適したプロセス技術は CMOS プロセス技術である<sup>[6], [7], [8]</sup>。従って、それに対応した AD 変換器と DA 変換器の設計も求められる。

混在 ASIC の中で重要なのは AD 変換器と DA 変換器である<sup>[9]</sup>。それはこれらの変換器の変換精度の優劣が全システムの性能を左右するからである。特に、DA 変換器は単独に使用されるだけではなく逐次近似、直並列、並列形など、中・高速 AD 変換器の量子化基準電圧を作るのにも用いられるため<sup>[10]</sup>、混成 ASIC において最も重要な素子である。

## 1.2 DA 変換器の構成

ディジタル領域とアナログ領域とを橋渡しする DA 変換器は一般に図 1.2 に示すブロック図で表され、その入出力関係は次式で与えられる。

$$\begin{aligned} A_{out} &= (2^{-1}d_1 + 2^{-2}d_2 + \Lambda + 2^{-n}d_n)A_{ref} \\ &= d_1 \frac{A_{ref}}{2^{-1}} + d_2 \frac{A_{ref}}{2^{-2}} + \Lambda + d_n \frac{A_{ref}}{2^{-n}} \\ &= D \times A_{ref} \end{aligned} \tag{1.1}$$

ここで  $D = 2^{-1}d_1 + 2^{-2}d_2 + \Lambda + 2^{-n}d_n$  は 2 進表現された n ビットのディジタル信号である。A<sub>out</sub> はアナログ出力で、A<sub>ref</sub> はアナログ基準値である。d<sub>1</sub> は最上位ビット (MSB)、d<sub>n</sub> は最下位ビット (LSB) である。式 (1.1) は、DA 変換器は各ビット d<sub>i</sub> (i = 1, 2, 3, ..., n) と

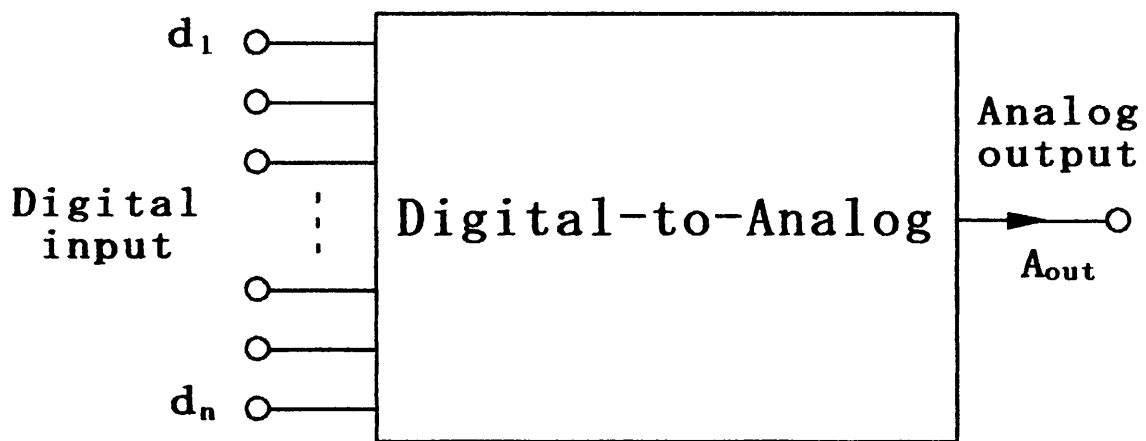


図 1.2 DA 変換器のブロック図

量子化基準  $A_{ref}/2^i$  との乗算を行う乗算器であることを示しており、 $n$  ビットの変換には  $n$  個の量子化基準が必要であることを示している。DA 変換器は量子化基準によって電圧モード構成、電流モード構成、電荷モード構成に分類することができる。

最も簡潔な電圧モード DA 変換器は図 1.3 に示した抵抗列である。すなわち  $2^n$  個の抵抗で基準電圧を  $1/(2^n-1)$  ( $n = 1, 2, 3, \dots$ ) に等分割する構成である。図 1.3 は 3 ビット抵抗分割 DA 変換器の例である。この構成では原理的に単調性が得られ、高速変換が可能である。しかし、8 ビットを超える分解能を得るためには構成素子数が多くなり、スイッチ・ツリーと出力バッファ間の抵抗とバッファの入力容量によって、セトリング時間が長くなる問題点が生じる。また、この変換器は  $2^n$  個の抵抗と  $2^{n+1}-2$  個のアナログスイッチを必要とするので、小型集積化が難しく大量の DA 変換器を必要とする用途には適していない。より簡潔な構成は図 1.4 に示した R-2R ラダー(梯子)型 DA 変換器である。この変換器はそれぞれ  $n+1$  個の  $2R$  の抵抗、 $n-1$  個の  $R$  の抵抗と  $n$  個のアナログスイッチによって、 $n$  ビットの変換を行うことができる。しかし、この場合、スイッチのオン抵抗が主要な問題となる。

図 1.5 と図 1.6 はそれぞれセグメント方式と 2 進荷重方式の電流モード DA 変換器を示している。セグメント方式 DA 変換器は  $2^n-1$  個の単位電流源によって構成されている。この構成は単調性を持っているが、素子数が多く消費電力も問題となる。一方、2 進荷重方式 DA 変換器の構造は簡潔であるが、デバイスに対して厳しい整合が求められる。また各スイッチのオン・オフタイミングのズレによって出力に大きなグリッジが発生する。現在、高分解能の DA 変換器には、電流源の整合とグリッジ面積を考慮して図 1.7 に示した前段セグメント方式後段 2 進荷重電流源方式の構造が最もよく使用されている。ここでは 2 進荷重電流源を得るのに R-2R ラダーが用いられている。

電荷モード構成 DA 変換器には、電流モード構成 DA 変換器と同様にセグメント方式と 2 進荷重電流源方式がある。それぞれは図 1.8 と図 1.9 に示されている。この電荷型 DA 変換器を CMOS プロセスで製造するには、電流型及び電圧型 DA 変換器と異なって、特殊なダブル・ポリシリコンプロセスが必要となる<sup>[11]</sup>。そのため、製造コストが高くなる。

DA 変換器の各方式の特徴と性能を表 1.1 にまとめた。

表 1.1 DA 変換器の各方式の特徴と性能の比較

方式		特徴	性能
電圧	抵抗列	単調性があり、高速変換が可能、セトリング時間が長く、小型集積化が難しい。	
	R・2R	素子数が少なく、スイッチのオン抵抗が主要な問題である。	16 ビット, セトリング時間 4 $\mu$ s
電流	セグメント	単調性があり、素子数が多く消費電力が問題となる。	
	2 進荷重	厳しい整合が必要, 各スイッチのオン・オフタイミングのズレによって出力に大きなグリッジが発生する。	16 ビット, セトリング時間 2 $\mu$ s
	前段セグメント後段 2 進荷重	セグメント方式の整合と 2 進荷重方式のグリッジ面積の問題を解決した折衷方法。最もよく使用されている。	16 ビット, セトリング時間 0.5 $\mu$ s
電荷	セグメント	逐次比較型, 特殊なダブル・ポリシリコンプロセスが必要, そのため, 製造コストが高くなる。	12 ビット, セトリング時間 2 $\mu$ s
	2 進荷重		

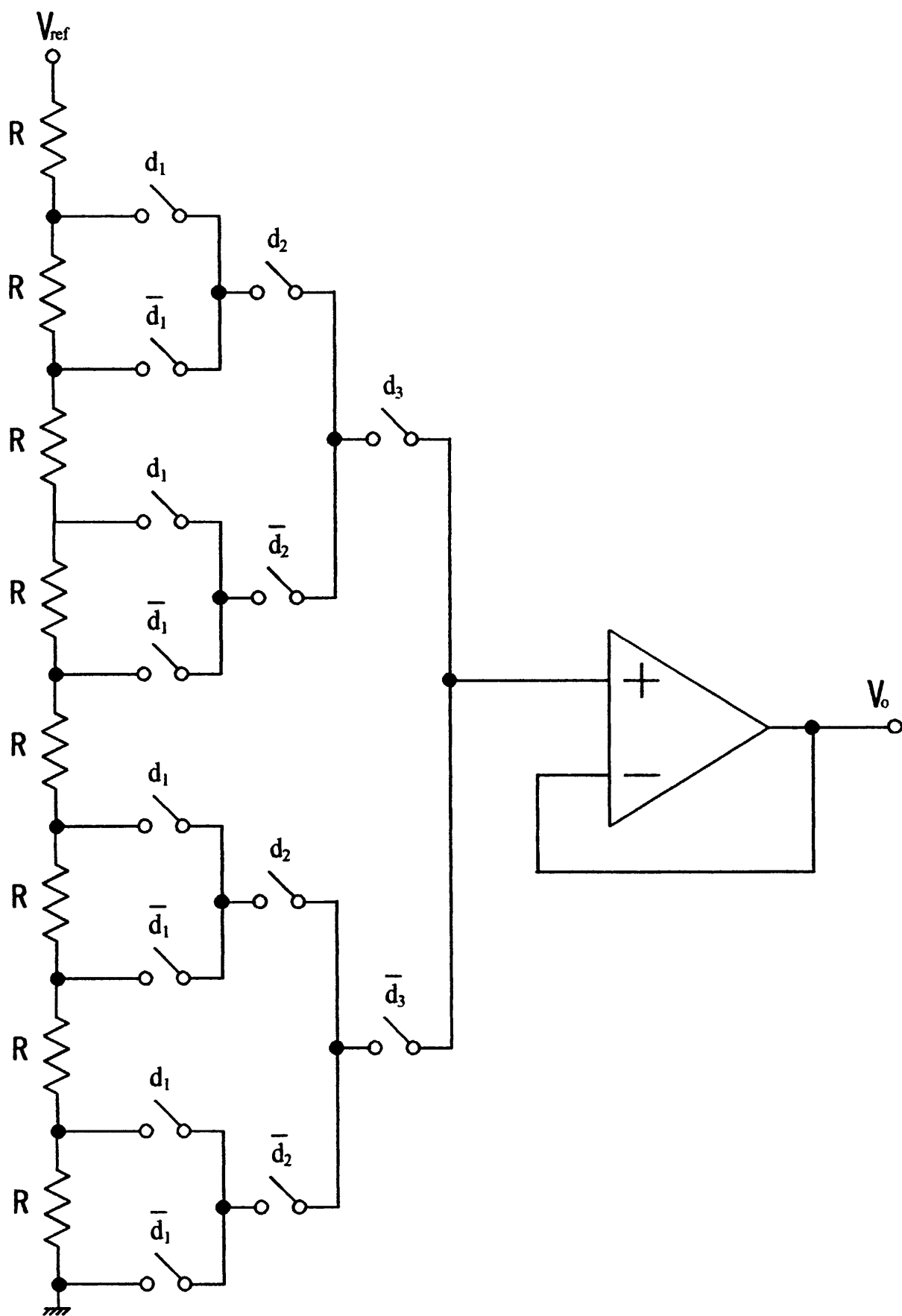


図 1.3 3ビット抵抗分割 DA 変換器

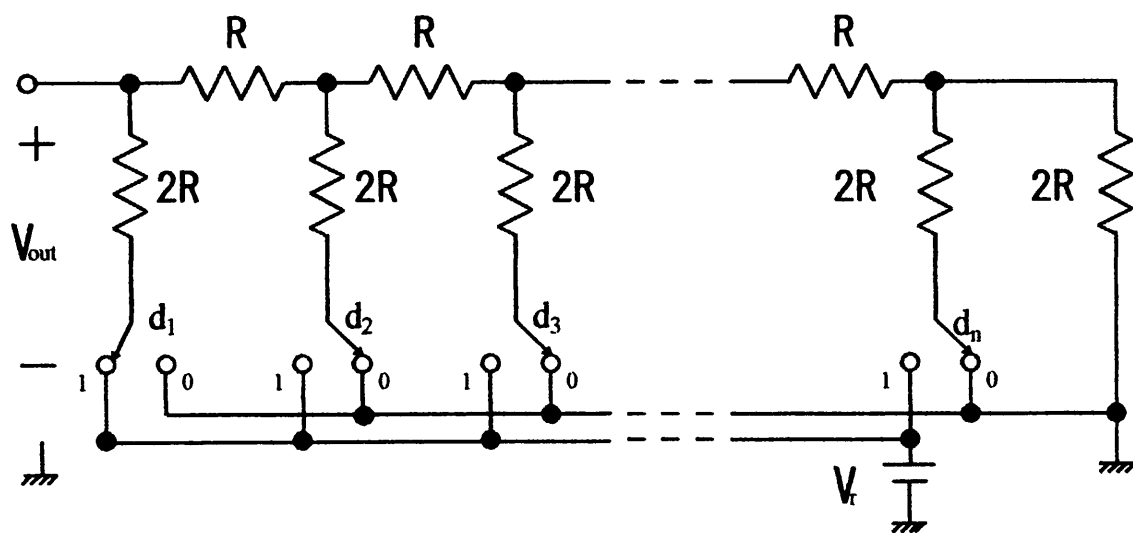


図 1.4 R-2R ラダー型 DA 変換器

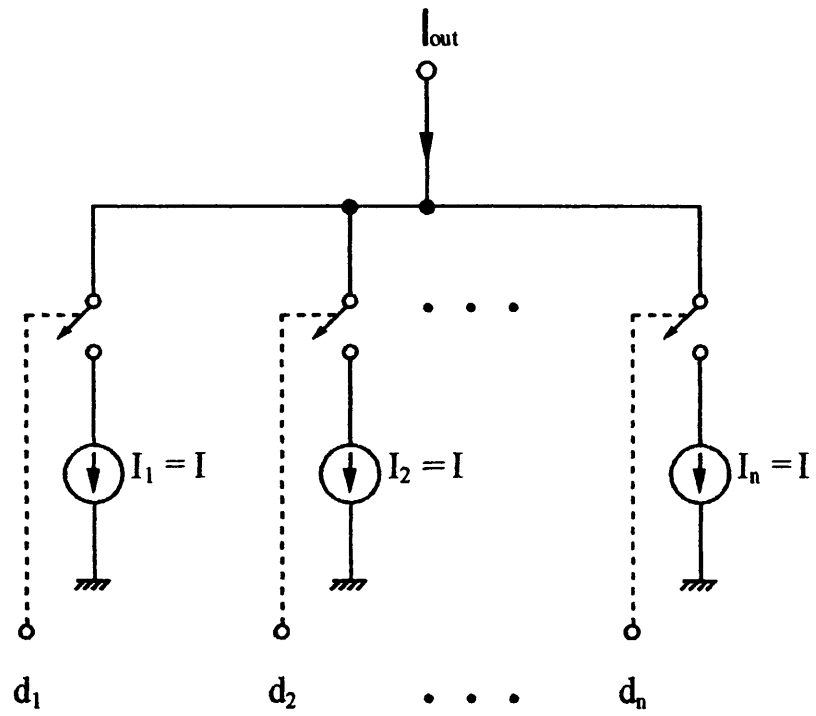


図 1.5 セグメント電流源方式D A変換器

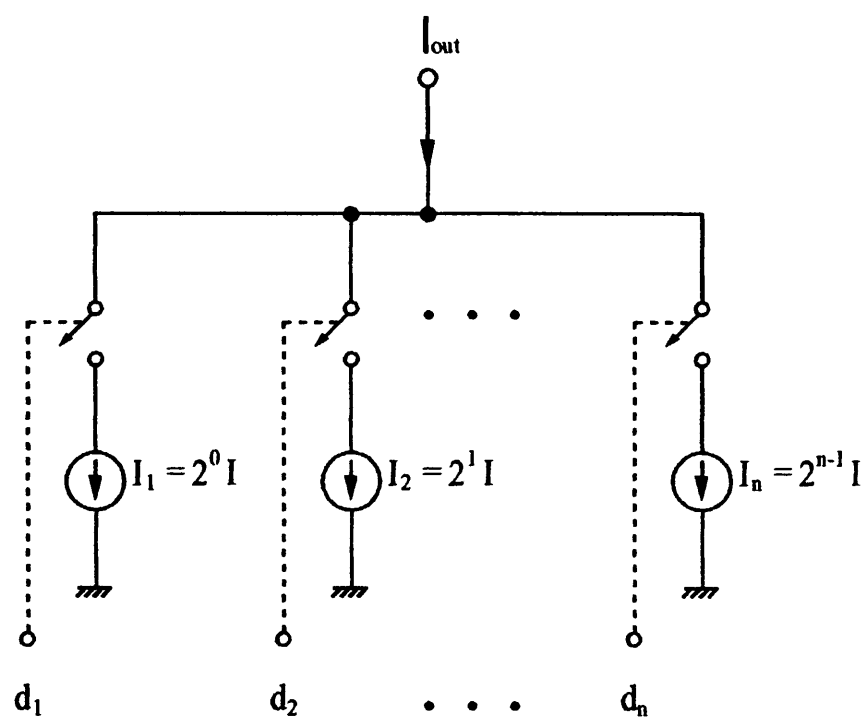


图 1.6  $2^n$  進荷重電流源方式 DA 変換器

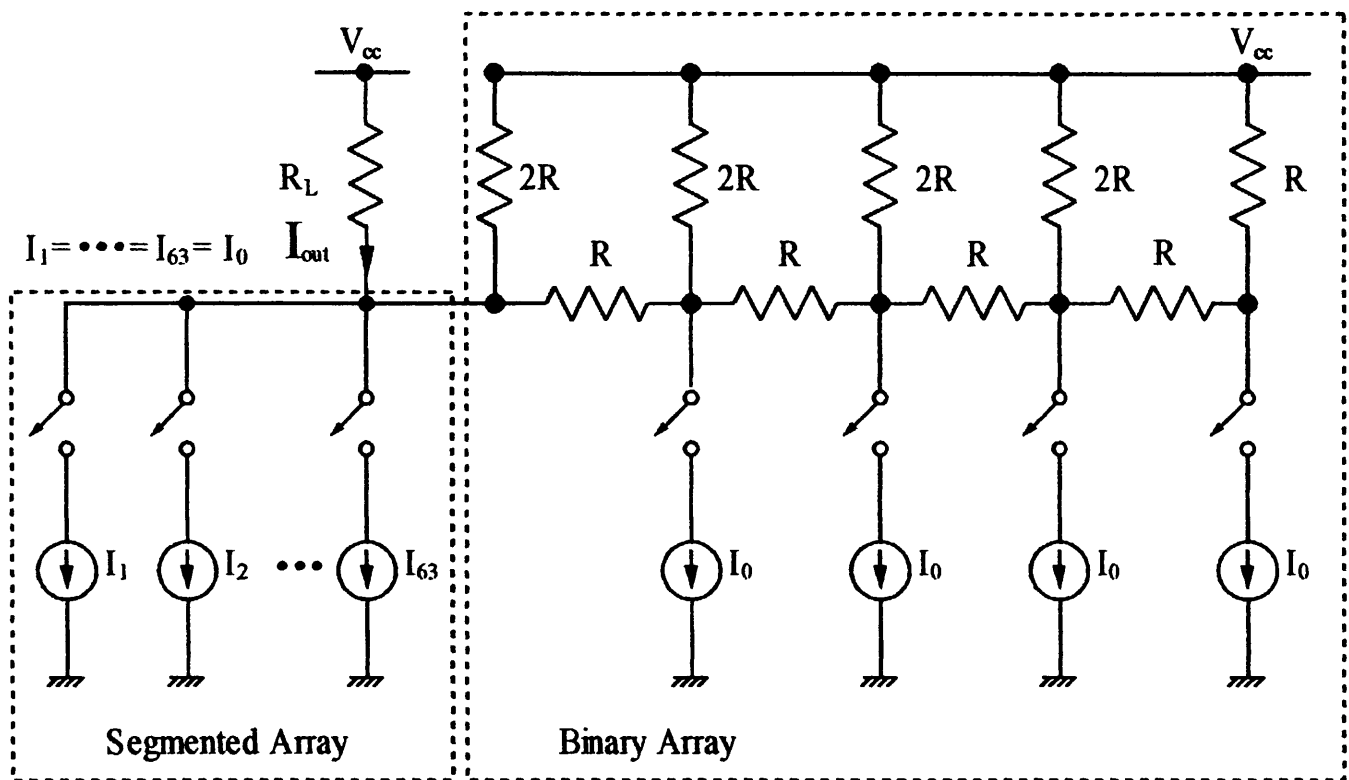


図 1.7 前段セグメント方式後段 2 進荷重電流源方式 D A 変換器

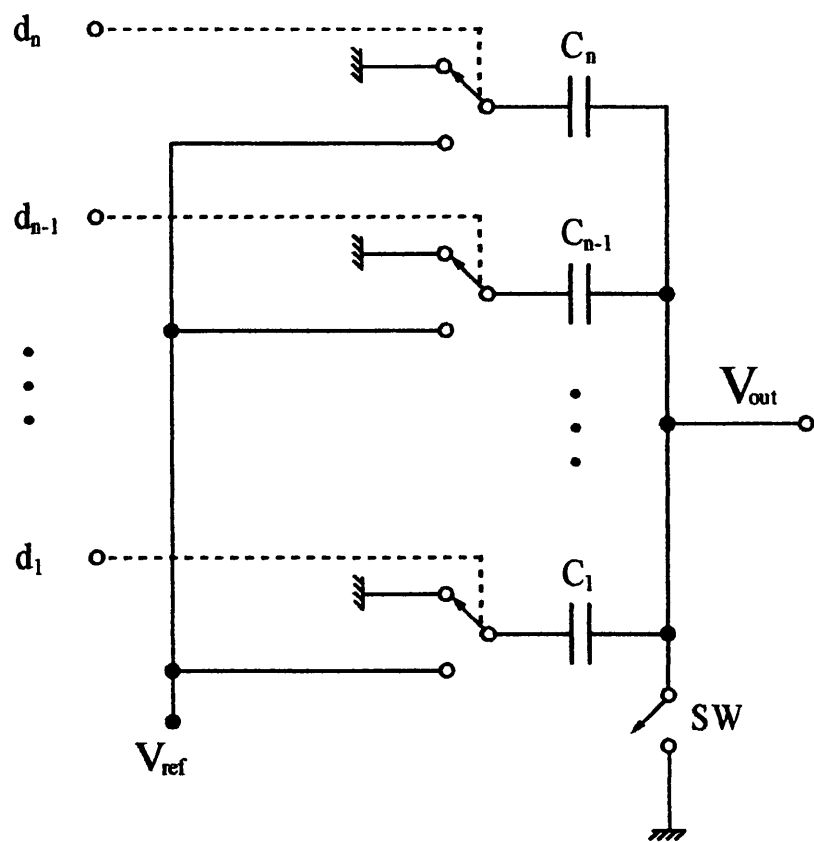


図 1.8 セグメント方式スイッチド・キャパシタDA変換器

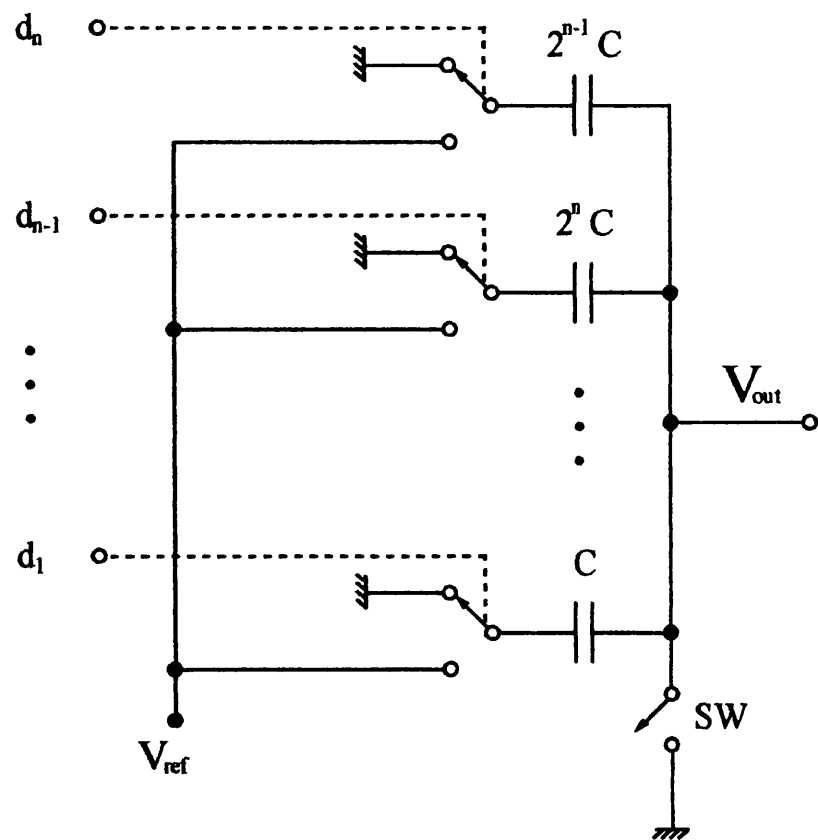


図 1.9 2進荷重方式スイッチド・キャパシタDA変換器

### 1.3 DA 変換器の特性

DA 変換器の特性は、図 1.10 に示した静特性パラメーターと図 1.11 に示したダイナミックパラメーターの性能基準によって評価される。これらの性能基準は以下のように定義されている<sup>[12], [13]</sup>。

- ・微分非直線性誤差(DNL: Differential Nonlinearity) : 入出力ステップ値と理想 LSB との最大偏差値。
- ・積分非直線性誤差(INL: Integral Nonlinearity) : 入出力伝達特性とその両端の点を結ぶ直線との最大偏差値。
- ・利得誤差(Gain Error) : 入出力伝達特性の両端の点を結ぶ直線の傾斜と理想入出力伝達特性の両端の点を結ぶ直線の傾斜との偏差。
- ・オフセット誤差(Offset Error) : 入力ゼロの時の出力値。
- ・セトリング時間(Settle Time) : 出力ステップ応答が規定のワンステップの最終値を中心とする許容範囲内に落ち着くまでの時間。
- ・グリッジインパルス面積(Glitch Impulse Area) : デジタル入力が変わったときに出力波形に発生したグリッジの最大面積。このパラメータはグリッジエネルギーとも呼ばれる。
- ・レーテンシ(Latency) : デジタル入力に変化し始めた時からアナログ出力が最終値を中心とする許容範囲内に入るまでの全遅延時間、入力信号が連続の場合、レーテンシは何周期も続くこともある。
- ・信号対雑音と高調波歪みの比(SNDR: Signal-to-Noise & Distortion Ratio) : 入力信号がサイン波の時の信号エネルギー対雑音エネルギーと全高調波歪みの和との比。

これらのパラメーターの中で、通常 DNL と INL は基準値の乗算と分割の精度によって決定され、セトリング時間と遅延時間であるレーテンシは出力負荷

とスイッチング速度に関わる。グリッジ面積は DA 変換器の構造と設計によるものである。

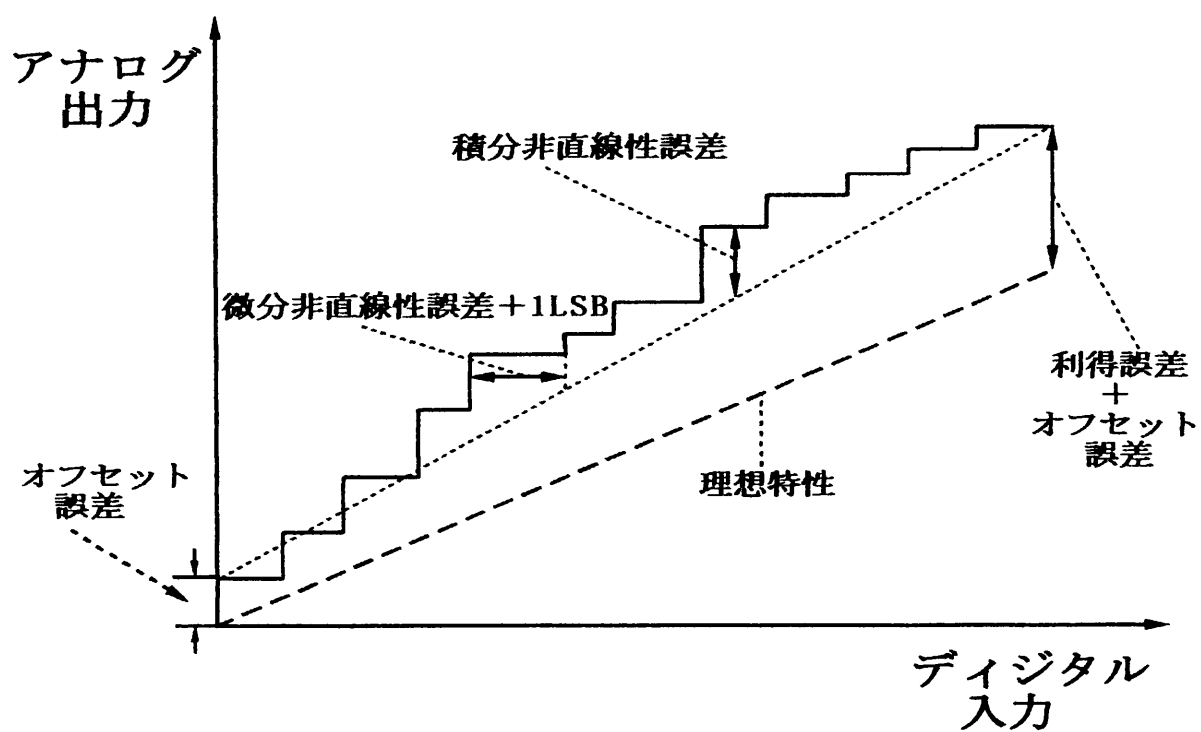


図 1.10 DA 変換器の静特性パラメーター

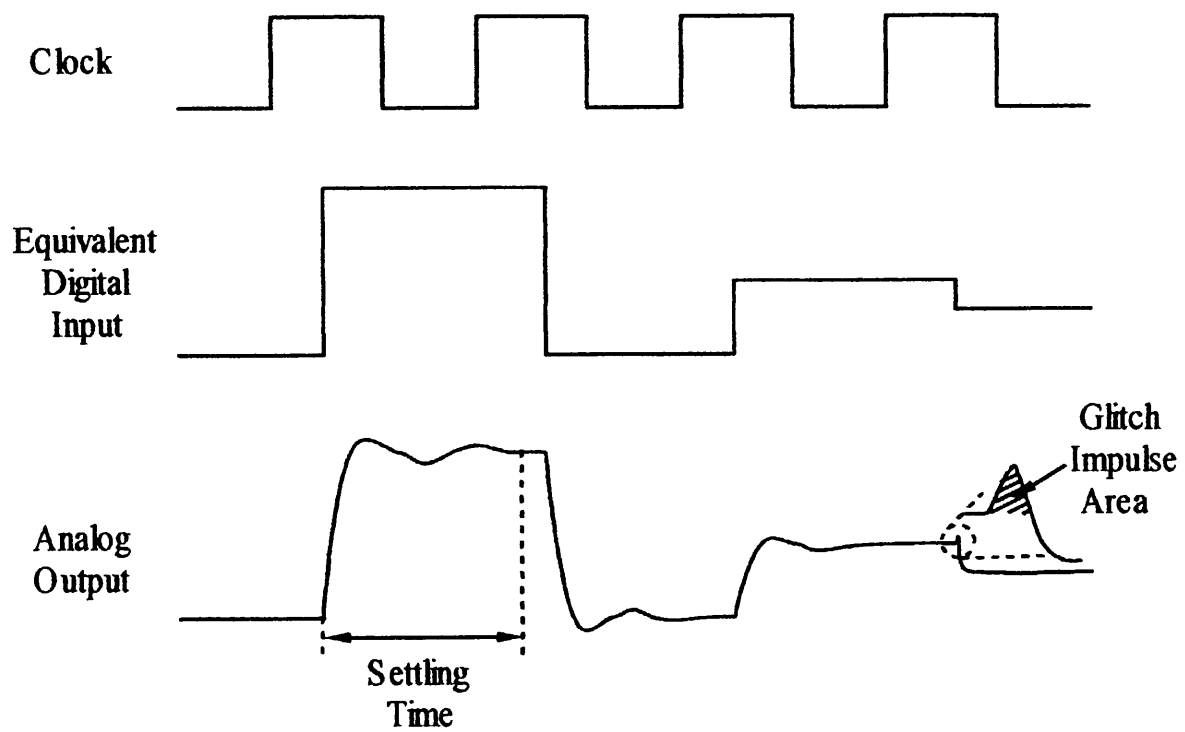


図 1.11 DA 変換器のダイナミックパラメーター

## 1.4 本研究の目的と論文の構成

R-2R ラダー型 DA 変換器に関する新しい特性評価法を開発し、 $n$  ビットの精度を得るための必要条件、電流モード構成 DA 変換器の積分非直線性の要因（抵抗の不整合、スイッチのオン抵抗、配線抵抗）を究明し、ラダー抵抗の導出方法を示す。またこれらの評価法を CMOS ラダー型 DA 変換器の設計、製造に適応して新たな設計基準を確立するのが本研究の目的である。

本論文は5章から構成されている。第1章では研究の背景、目的と論文の構成を述べている。

第2章はまず通常の抵抗を用いた R-2R ラダー型 DA 変換器の消費電力を解析し、電流モード構成は本質的に最も低消費電力 R-2R ラダー型 DA 変換器であることを証明する。電流モード R-2R ラダー型 DA 変換器の積分非直線性誤差 (INL) の要因は、主に、抵抗の不整合、スイッチのオン抵抗、配線抵抗である。それらの誤差要因がある場合の INL をシミュレーションによって求め、最後に各抵抗値の導出方法を示し、シミュレーションによってその方法が妥当であることを確認する。

第3章ではまず試作された CMOS ラダー型 DA 変換器についてシミュレーション結果と実験から得られる特性について述べる。次に、第2章で述べた R-2R ラダー型 DA 変換器の特性評価法を用いてこの試作 DA 変換器の特性について検証する。

第4章では提案した CMOS ラダー型 DA 変換器のニューロンのシナプス加重乗算器と減衰器としての応用を述べる<sup>[14], [15], [16]</sup>。

第5章では本論文をまとめている。

## 参考文献

- [1] R. S. Soin, F. Maloberti, and J. Franca, ed., *Analogue-Digital ASICs: Circuit Techniques, Design Tools and Applications*, London: Peter Peregrinus, 1991, Chap. 1.
- [2] Behzad Razavi: *Principle of Data Conversion System Design*, New York: IEEE Press, 1995, Chap. 1.
- [3] C.Toumazou, F.J.Lidgey, and D.G.Haigh: *Analog IC Design: The Current-Mode Approach*, Peter Peregrinus Ltd., 1990, Chap. 3.
- [4] C. Toumazou, J. B. Hughes and N. C. Battersby, ed., *Switched-Currents an Analogue Technique for Digital Technology*, London: Peter Peregrinus Ltd, 1993, Chap. 1.
- [5] Anantha Chandrakasan and Robert Broderon, ed., *Low-Power CMOS Design*, New York: IEEE Press, 1988, Part I and Part II.
- [6] Randall L. Geiger, Phillip E. Allen and Noel R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, New York: McGraw-Hill Publishing Company, 1990, Chap. 1.
- [7] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Saunders College Publishing, 1987, Chap. 1.
- [8] 柳井, 永田 : 改訂集積回路工学 (1) プロセス・デバイス技術編, コロナ社 (1988)
- [9] R. Jacob Baker, Harry W. Li, David E. Boyce: *CMOS Circuit Design, Layout, and Simulation*, New York: IEEE Press, 1998, Chap. 5.
- [10] Alan B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York: John Wiley & Sons, 1984, Chap. 14 and 15.

- [11] R. Jacob Baker, Harry W. Li, David E. Boyce: *CMOS Circuit Design, Layout, and Simulation*, New York: IEEE Press, 1998, Chap. 7.
- [12] Rudy Van De Plassche: *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Netherlands: Kluwer Academic Publishers, 1994, Chap. 2.
- [13] 相良岩男 : “マイコンエンジのA/D・D/A変換技術” , 日刊工業新聞社。
- [14] Simon Haykin: *Neural Networks: A Comprehensive Foundation*, New York: IEEE Press, 1994, Chap. 1.
- [15] Edgar Sanchez-Sinencio and Clifford Lau, ed., *Artificial Neural Networks Paradigms, Applications, and Hardware Implementations*, New York: IEEE Press, 1992, Part 1.
- [16] K. Watanabe, L. Wang, H-W. Cha, and S. Ogawa, “A current-mode approach to CMOS neural network implementation,” *Proc. Inter-national Conferences on Algorithms and Architectures for Parallel Processing*, pp. 625-637, 1997.

## 第2章 R-2R ラダー型 DA 変換器

### 2.1 まえがき

R-2R ラダー型 DA 変換器は冗長性がなく回路構成が最も簡単であるが、スイッチのオン抵抗が INL に影響するため、これまでは下位ビット変換用の量子化基準電流発生用のみに用いられている。しかし、最近の CMOS 微細加工技術の進展によりトランジスタの整合精度が上がり、これに伴って、スイッチとしてのオン抵抗の精度も改善されているので、高精度 DA 変換方式として R-2R ラダー型は再び注目されている。

本章ではまず通常の抵抗を用いた R-2R ラダー型 DA 変換器を検証し、電流モード構成が低消費電力動作には最も適していることを証明する。次に、R-2R の抵抗不整合による DA 変換器の積分非直線性 (INL) を求め、各抵抗値の導出方法を説明する<sup>[1], [2]</sup>。抵抗の不整合に加えて、CMOS プロセスで集積化した場合にはアルミ配線による配線抵抗が INL に大きく影響する<sup>[3], [4]</sup>。この影響をシミュレーションによって解析しラダー抵抗との関係を求め、最後にこれらの結果をまとめる。

### 2.2 R-2R ラダー型 DA 変換器

通常の電圧モード  $n$  ビット R-2R ラダー型 DA 変換器を図 2.1 に示す。 $V_r$  は基準電圧、 $d_i (i=1, 2, \dots, n)$  はアナログ電圧に変換される  $n$  ビットの 2 進数で、 $d_1$  が MSB、 $d_n$  が LSB である<sup>[5], [6], [7]</sup>。まず、すべて

の抵抗が整合しており，スイッチが理想的なものであると仮定する。  
回路動作を以下に示す。

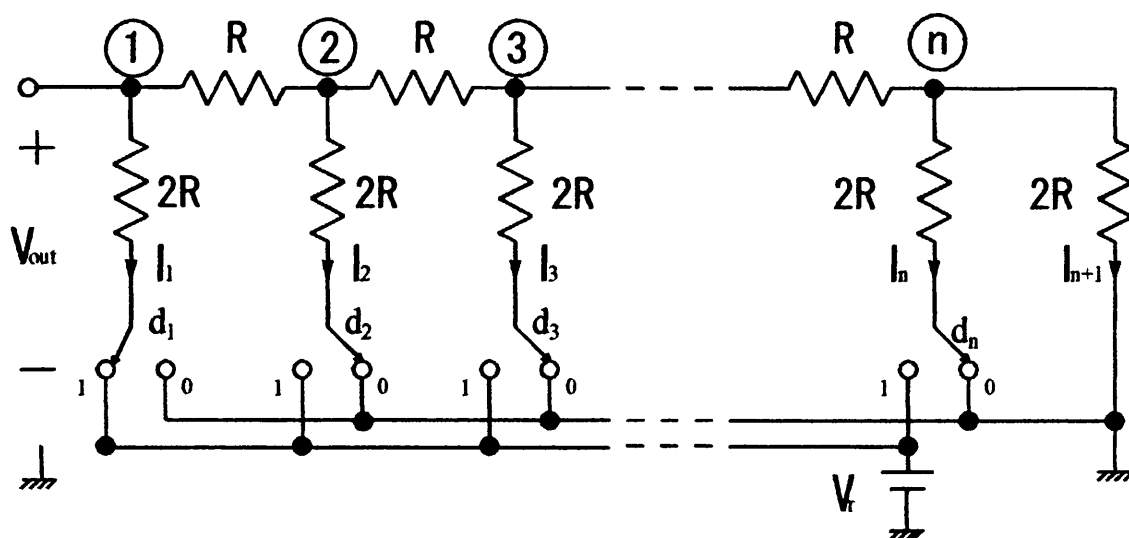


図 2.1 電圧源モード R-2R DA 変換器

まず  $d_1=1$  で その他のビットがすべて 0 の場合を考える。図 2.2(a) の等価回路に示すようにノード①から右を見たときのインピーダンスは  $2R$  となる。出力電圧は

$$V_{out} = \frac{1}{2}V_r \quad (2.1)$$

となる。次に  $d_2=1$  で 他のビットがすべて 0 の場合，ノード②から右の等価回路は図 2.2(b) のようになる。ノード②から右を見たときのインピーダンスも  $2R$  となる。また点線の部分回路はテブナン定理

(Thevenin's theorem)によって図 2.2(c)のような等価回路に変換することができる。そのため出力は

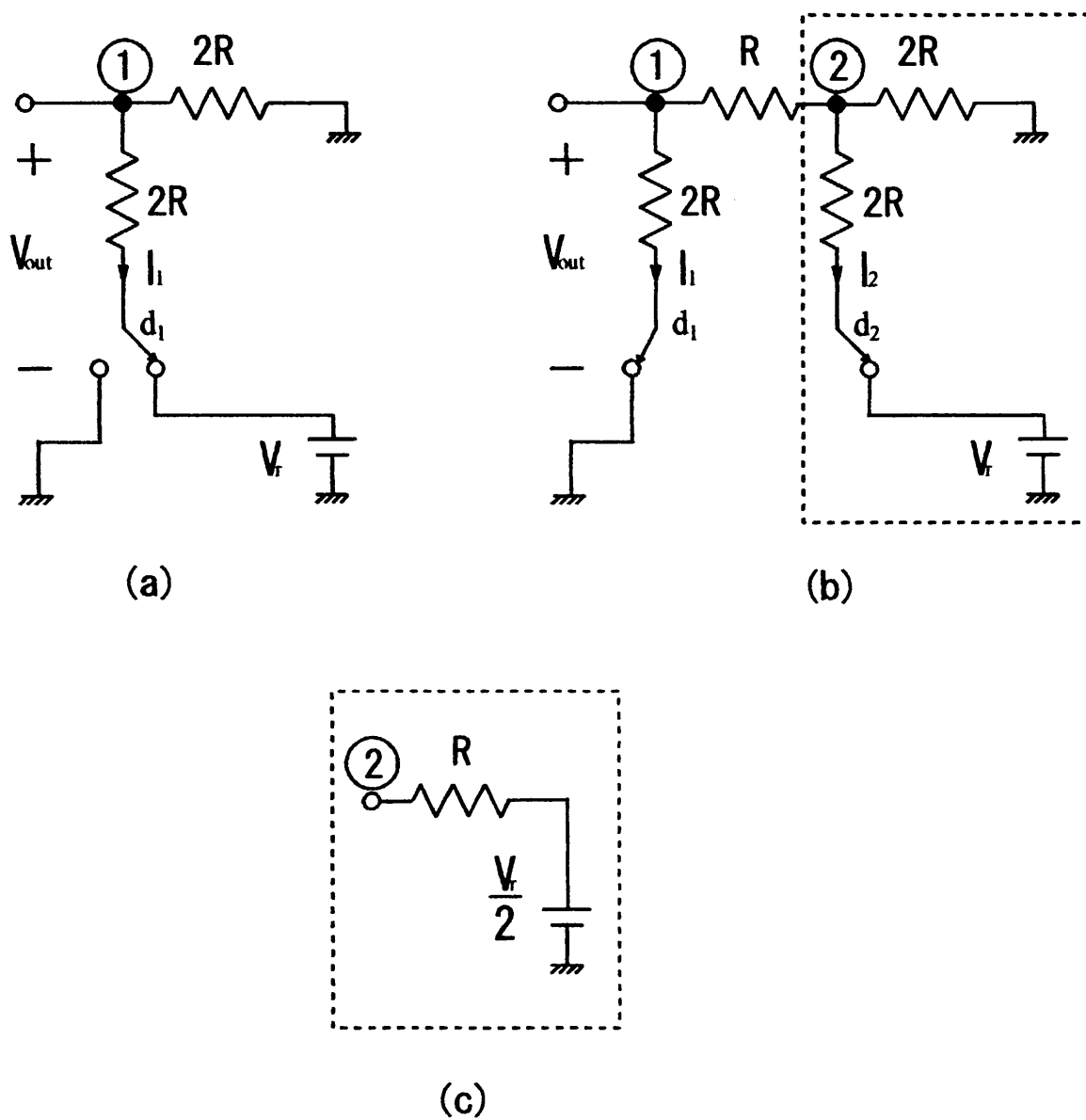


図 2.2 電圧源モード R-2R DA 変換器の部分等価回路

$$V_{out} = \frac{1}{4} V_r \quad (2.2)$$

となる。このようにノード①から右を見たときのインピーダンスはすべて  $2R$  となり， $d_i$  ( $i=1, 2, \dots, n$ ) のみが 1 のとき，出力は

$$V_{out} = \frac{1}{2^n} V_r \quad (2.3)$$

$$(i=1, 2, \dots, n)$$

となる。重ねあわせの定理によって

$$V_{out} = (d_1 2^{-1} + d_2 2^{-2} + \Lambda + d_n 2^{-n}) \times V_r = \frac{D}{2^n} V_r \quad (2.4)$$

ただし，

$$D = d_1 2^{n-1} + d_2 2^{n-2} + \Lambda + d_n, \quad (2.5)$$

が得られる。

また各並列枝に流れる電流は次式で与えられる。

$$I_1 = \frac{d_1 V_r - V_{out}}{2R} \quad (2.6)$$

$$I_i = \frac{d_i V_r - \left[ V_{out} - R \sum_{k=1}^{i-1} (i-k) I_k \right]}{2R} \quad (2.7)$$

$$(i=2, 3, \dots, n+1)$$

ただし、 $d_{n+1}=0$  である。

もし  $d_i=1$  であれば、電流  $I_i$  は基準電圧源によって供給される。もし  $d_i=0$  であれば、電流  $I_i$  はシンク電流となりグラウンドに流れる。ノード①から外へ流れる電流がないため、基準電圧源によって供給される電流とグラウンドへのシンク電流は等しくなる。故に、

$$\sum_{i=1}^n d_i I_i = -\sum_{i=1}^n \bar{d}_i I_i - I_{n+1} \quad (2.8)$$

が成り立つ。また基準電圧源によって供給された電力はすべて  $R-2R$  ネットワークで消費される。従ってその消費電力は

$$P = \sum_{i=1}^n d_i I_i V_r \quad (2.9)$$

となる。

図 2.3(a), (b), (c) はそれぞれ 3 ビット、4 ビット、5 ビットの DA 変換器の消費電力を入力デジタルコードの関数として示している。

$D=0$  を除いて各ビットでの消費電力は消費電力が最小となる  $D/2^n=0.5$  を中心にして左右対称になっている。これはすべての  $R-2R$  ラダー型 D/A 変換器について同様の結果が得られる。消費電力が最小のとき、各並列枝  $R$  に流れる電流は次式で与えられる。

$$I_1 = \frac{V_r}{2R} \quad (2.10)$$

$$I_i = -\frac{1}{2^{i-1}} I_1 \quad (2.11)$$

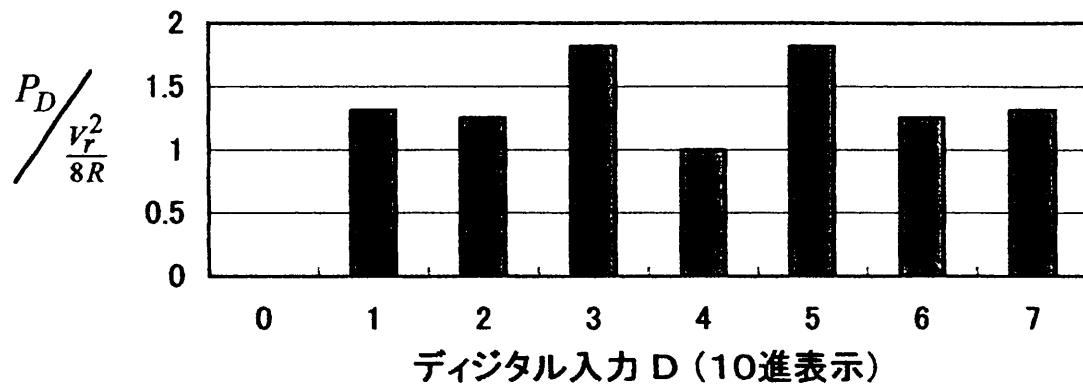
$$(i=2, 3, \dots, n+1)$$

式(2.11)はもし  $I_1$  を基準電流に置きかえると、図 2.4 に示されのように同じ構成で電流モード DA 変換器が構成できることを示している。ここで出力  $I_{out}$  端子と  $\bar{I}_{out}$  端子はそれぞれ仮想接地されている。 $R_{pi}$  ( $i=1, 2, \dots, n+1$ )と  $R_{si}$  ( $i=1, 2, \dots, n$ )は各抵抗、 $I_r$ は基準電流源である。 $R_{ri}$  ( $i=1, 2, \dots, n$ )はノード①から右を見たときの等価抵抗である。各抵抗が整合している場合、つまり、 $R_{pi} = R_{ri} = 2R$ ,  $R_{si} = R$  の時、基準電流入力ノード①から右を見たときの等価抵抗は  $R$  になる。DA 変換器の消費電力はデジタル入力と関係なく

$$P = I_r^2 R \quad (2.12)$$

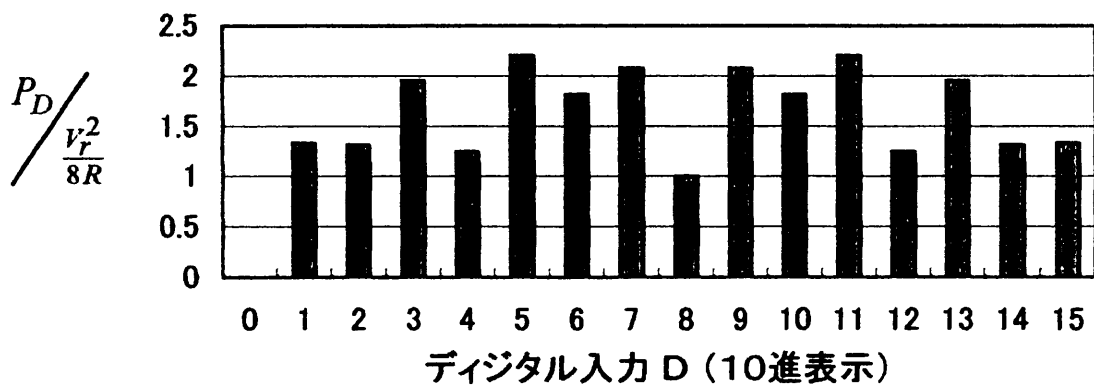
となり、一定である。従って、図 2.4 の構成は本質的に最も低消費電力の  $R-2R$  ラダー型 DA 変換器であると解釈できる。

### 3ビットR-2R DA変換器



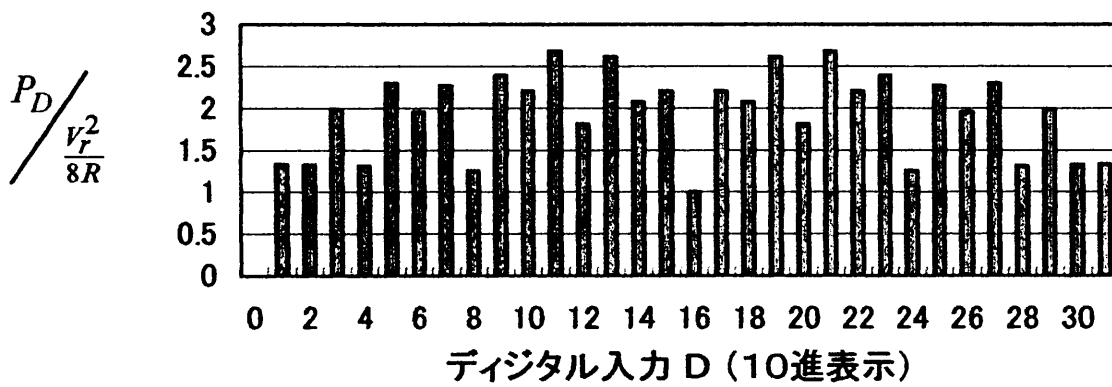
(a)

### 4ビットR-2R DA変換器



(b)

5ビットR-2R DA変換器



(c)

図 2.3 3 ビット(a), 4 ビット(b), 5 ビット(c) R-2R DA 変換器の基準化された消費電力

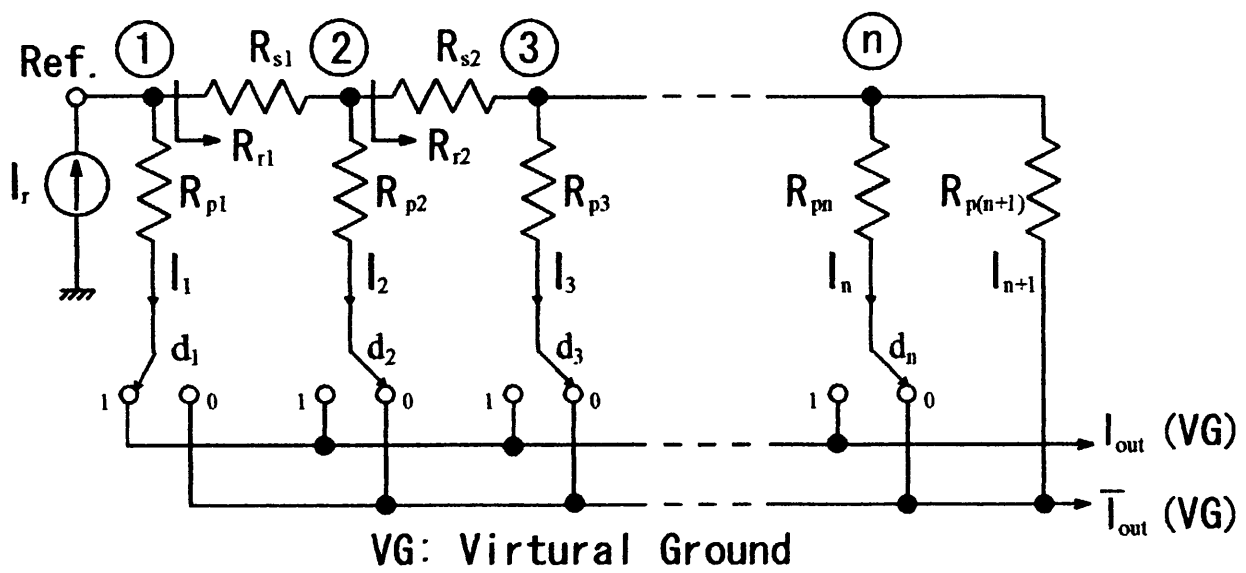


図 2.4 電流モード R-2R ラダー型 DA 変換器

### 2.3 抵抗不整合による積分非直線性誤差

すべてのスイッチが理想的なものであると仮定し，節点①における抵抗の不整合  $\varepsilon_i$  を次式で定義する。

$$\varepsilon_i = \frac{R_{pi} - R_{ri}}{R_{pi} + R_{ri}} \quad (2.13)$$

$$(i=1, 2, 3, \dots, n)$$

ここで， $R_{ri}$  は節点①から右を見たときの等価抵抗である。

抵抗  $R_{s1}$  に流れる電流  $I_1'$  と  $R_{p1}$  に流れる電流  $I_1$  はそれぞれ

$$I_1 = \frac{I_r}{2}(1 - \varepsilon_1) \quad (2.14)$$

$$I_1' = \frac{I_r}{2}(1 + \varepsilon_1) \quad (2.15)$$

で与えられる。節点②では  $I_1'$  は  $R_{p2}$  を流れる電流  $I_2$  と  $R_{s2}$  を流れる電流  $I_2'$  に分割され， $I_2$  と  $I_2'$  はそれぞれ

$$I_2 = \frac{I_1'}{2}(1 - \varepsilon_2), \quad (2.16)$$

$$I_2' = \frac{I_1'}{2}(1 + \varepsilon_2) \quad (2.17)$$

となる。従って、節点①において  $R_{pi}$  に流れる電流  $I_i$  と  $R_{si}$  に流れる電流  $I'_i$  はそれぞれ

$$I_i = \frac{I'_{i-1}}{2} (1 - \varepsilon_i) = \frac{I_r}{2^i} (1 - \varepsilon_i) \prod_{k=1}^{i-1} (1 + \varepsilon_k) \quad (2.18)$$

$$I'_i = \frac{I'_{i-1}}{2} (1 + \varepsilon_i) = \frac{I_r}{2^i} \prod_{k=1}^i (1 + \varepsilon_k) \quad (2.19)$$

$$(i=1, 2, 3, \dots, n)$$

で与えられる。

ここで重み係数

$$w_1 = \frac{1}{2} (1 - \varepsilon_1) \quad (2.20)$$

$$w_i = \frac{1}{2^i} (1 - \varepsilon_i) \prod_{k=1}^{i-1} (1 + \varepsilon_k) \quad (2.21)$$

$$(i=2, 3, \dots, n)$$

を用いることによって式(2.18)は次のような行列式で書き直すことができる。

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ M \\ I_n \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & \Lambda & 0 \\ 0 & 1 & 0 & \Lambda & 0 \\ 0 & 0 & 1 & \Lambda & 0 \\ M & M & M & O & M \\ 0 & 0 & 0 & \Lambda & 1 \end{bmatrix} \times \begin{bmatrix} w_1 \\ w_2 \\ w_3 \\ M \\ w_n \end{bmatrix} I_r \quad (2.22)$$

出力電流  $I_{out}$  は

$$I_{out} = \sum_{i=1}^n d_i I_i \quad (2.23)$$

であるから、式(2.22)の行列式は、重み係数、即ち、抵抗の不整合  $\varepsilon_i$  は、 $d_i$  のみが1の時の出力電流  $I_{out}$  を測定することによって求められることを示している。

抵抗不整合  $\varepsilon_i$  が求められれば、変換器の積分非直線性誤差(INL)は簡単に評価できる。抵抗不整合のある場合の出力電流  $I_{out}$  は式(2.23)より

$$I_{out} = \sum_{i=1}^n d_i I_i = \sum_{i=1}^n \frac{I_r}{2^i} (1 - \varepsilon_i) \prod_{k=1}^{i-1} (1 + \varepsilon_k) \quad (2.24)$$

となる。

抵抗不整合のない理想的な変換出力電流を  $I_{ideal}$  とし、抵抗の不整合による誤差電流を  $\Delta I$  とすれば式(2.24)は

$$I_{out} = I_{ideal} + \Delta I$$

$$= \sum_{i=1}^n d_i \frac{I_r}{2^i} + \Delta I$$

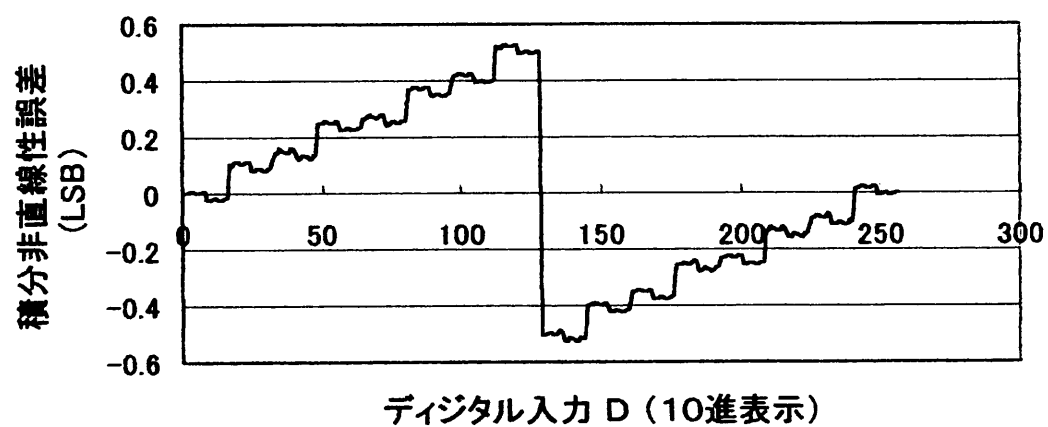
と表すことができる。ここで

$$\prod_{k=1}^{i-1} (1 + \varepsilon_k) = 1 + \sum_{k=1}^{i-1} \varepsilon_k \quad (2.26)$$

の近似を用いれば

$$\begin{aligned} \Delta I &= \sum_{i=1}^n d_i \frac{I_r}{2^i} \left\{ (1 - \varepsilon_1) \left( 1 + \sum_{k=1}^{i-1} \varepsilon_k \right) - 1 \right\} \\ &= \left[ -\frac{\varepsilon_1}{2} \left( d_1 - \sum_{k=1}^n 2^{-(k-1)} d_k \right) - \frac{\varepsilon_2}{2^2} \left( d_2 - \sum_{k=3}^n 2^{-(k-2)} d_k \right) - \Lambda - \frac{\varepsilon_n}{2^n} \right] I_r \end{aligned} \quad (2.27)$$

となる。式(2.27)は1次近似の結果であり、図2.5に示されているようにINLはメジャーキャリーに対して反対称である。また、 $d_1$ のみが1の時誤差が最大となるので最大出力誤差電流は $2^{-1} \varepsilon_1 I_r$ となる。1LSBの変換精度を得るために最大誤差電流は $2^{-(n+1)} I_r$ より小さくなければならない。従って $\varepsilon < 2^{-n}$ がnビットの精度を得るための必要条件となる。



( $\epsilon = 0.4\%$ )

図 2.5 抵抗不整合による 8 ビット DA 変換器の積分非直線性誤差

## 2.4 積分非直線性誤差のシミュレーション

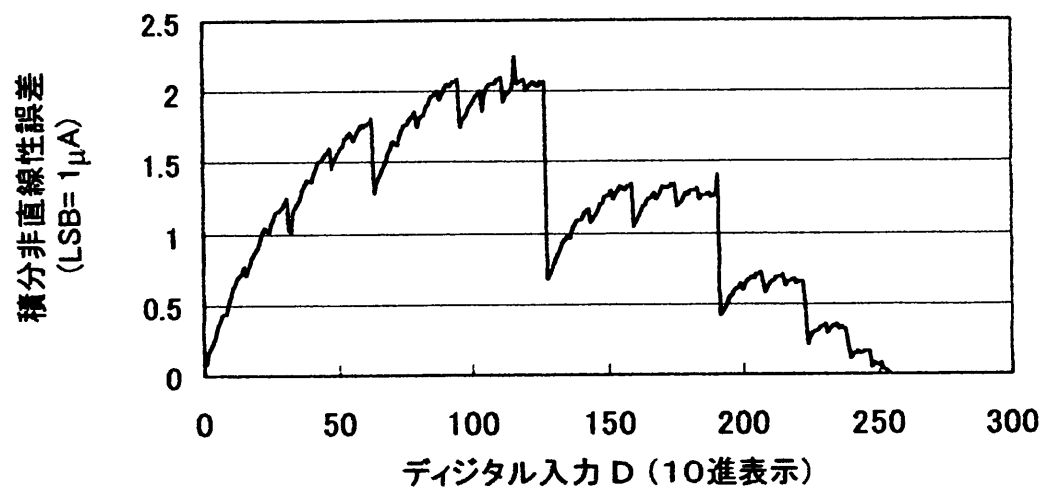
R-2R ラダー型 DA 変換器の INL に影響を与える要因は主に抵抗の不整合，スイッチのオン抵抗，配線抵抗の 3 つである。それぞれの要因の INL に与える影響をシミュレーションした結果を以下に示す。ただし，シミュレーションでは抵抗値が  $R=R_s=R_p/2=203\ \Omega$ ，抵抗の不整合が 0.4% の 8 ビット DA 変換器が仮定されている。

抵抗の不整合による INL は図 2.5 に示されている。図 2.6(a),(b) は抵抗の不整合にスイッチのオン抵抗の影響を加えたときの INL を示している。デジタル入力  $d_i$  によって駆動するスイッチのオン抵抗を  $R_{on,d}$ ， $\bar{d}_i$  によって駆動するスイッチのオン抵抗を  $R_{on,\bar{d}}$  とする。 $R_{on,d}=11\ \Omega$ ， $R_{on,\bar{d}}=0$  のときの INL を図 2.6(a) に， $R_{on,d}=0$ ， $R_{on,\bar{d}}=11\ \Omega$  のときの INL を図 2.6(b) に示す。抵抗不整合による INL は図 2.5 に示されているように，メジャーキャリーに対して反対称である。図 2.6 の INL からこの対称性を取り除くと，オン抵抗による INL パターンはメジャキャリーに対し対称となることが分かる。図 2.7 は抵抗ラダーと  $I_{out}$  端子間に配線抵抗  $R_{out}=30\ \Omega$  が，抵抗ラダーと  $\bar{I}_{out}$  端子間に配線抵抗  $R_{out}=30\ \Omega$  があるときの INL を示している。明らかにメジャキャリーに対する対称性は失われている。

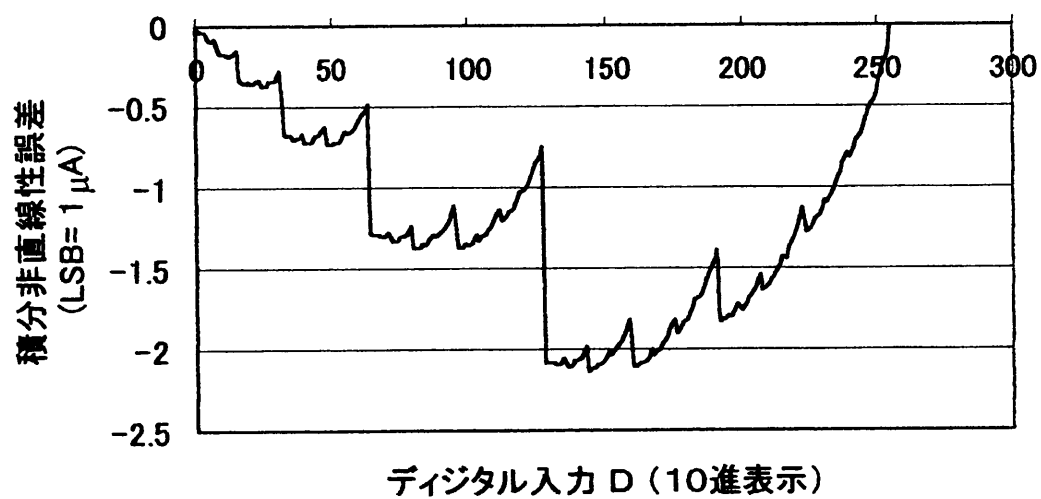
また，8 ビットと 12 ビットの R-2R ラダー型 DA 変換器において，配線抵抗  $R_{out}$  とラダー抵抗  $R$  の比 ( $R_{out}/R$ ) と配線抵抗同士の比 ( $R_{out}/R_{out}$ ) を変化させたときのシミュレーション結果を図 2.8 から図 2.13 までに示す。これらの結果は  $R_{out}/R$  が大きくなるほど INL が大きくなり，( $R_{out}/R_{out}$ ) が小さくなるに連れて INL の最大点は LSB 側へシフトすることを示している。その逆も成立する。更に図 2.14 と図

2.15 はそれぞれ 8 ビットと 12 ビットの DA 変換器の INL の最大値が 1 LSB となる時の  $R_{out}/R$  と  $R_{out}/R$  の関係を示している。それによって INL が 1 LSB 以下になるための  $R$ ,  $R_{out}$ ,  $R_{out}$  の値を決めることができる。例えば, 図 2.14 より  $R_{out}/R_{out}=1$  の時の  $R_{out}/R$  は約 0.55% である。従って配線抵抗が  $10\Omega$  である場合の  $R$  は約  $1.8K\Omega$  となる。

これらの結果は R-2R ラダー型 DA 変換器の特性を評価するために用いることができる。



(a)



(b)

図 2.6 スイッチのオン抵抗による積分非直線性誤差 : (a)  $R_{on,d}=11\ \Omega$ ,  $R_{on,\bar{d}}=0$ , (b)  $R_{on,d}=0$ ,  $R_{on,\bar{d}}=11\ \Omega$

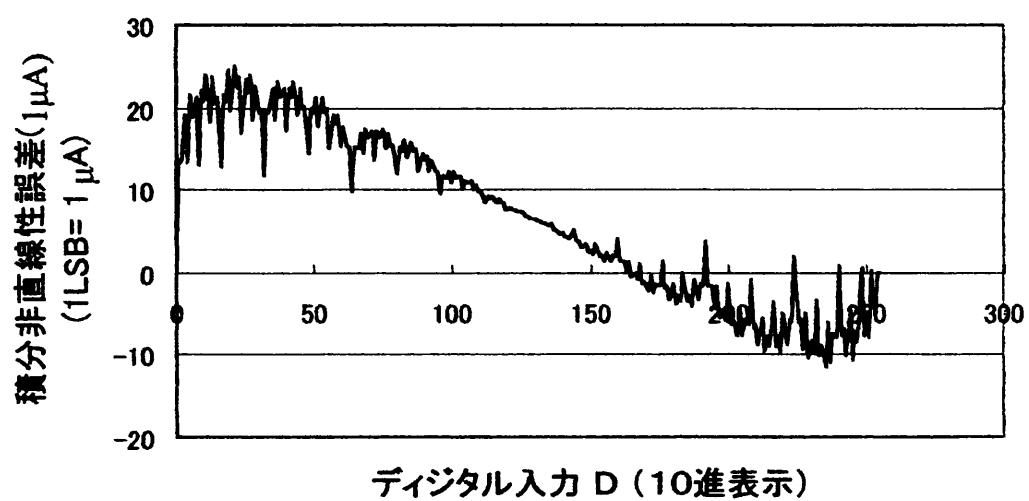


図 2.7 配線抵抗による積分非直線性誤差  
( $R_{out} = R_{out} = 30\Omega$ )

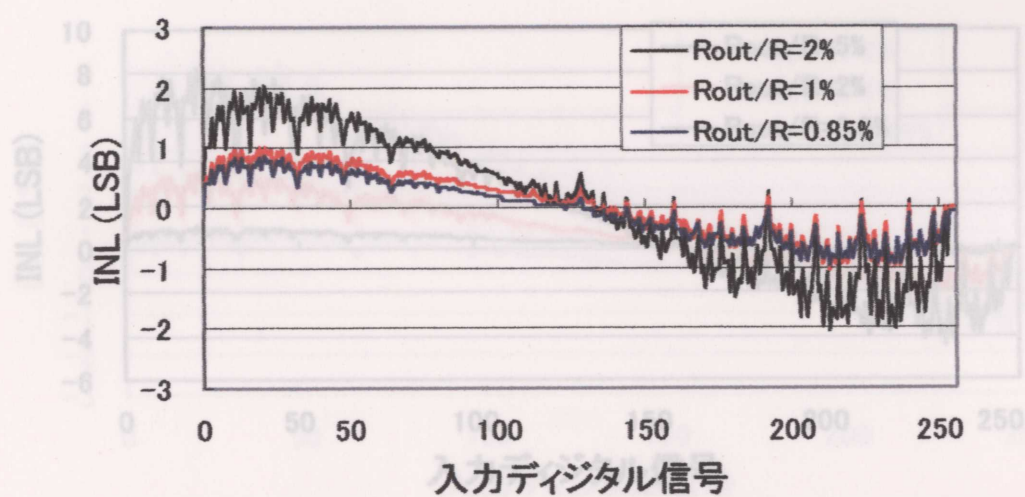


図 2.8  $R_{out}/R_{out} = 0.6$  とし、 $R_{out}/R$  を変化させた時の 8 ビット R-2R  
ラダー型 DA 変換器の INL

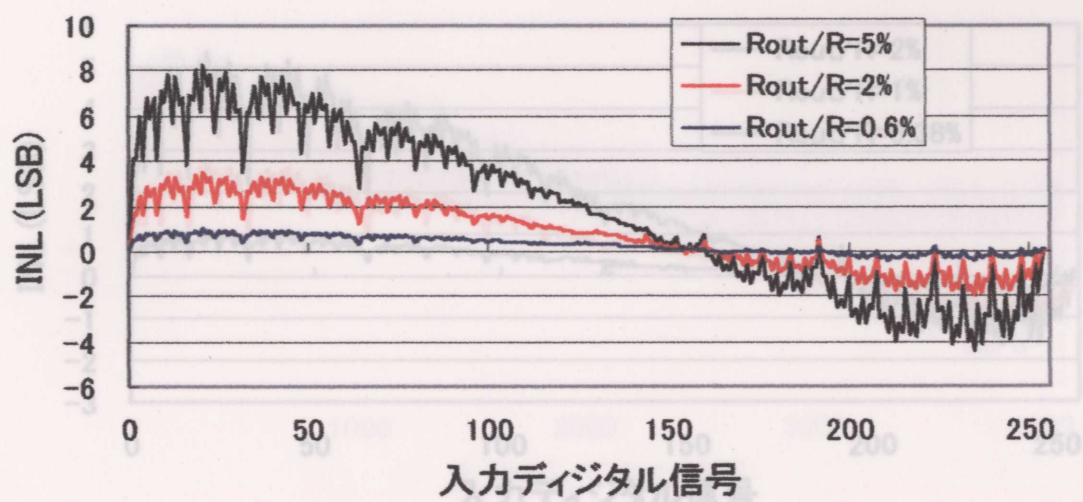


図 2.9  $R_{out}/R_{out} = 1$  とし、 $R_{out}/R$  を変化させた時の 8 ビット R-2R ラダー型 DA 変換器の INL

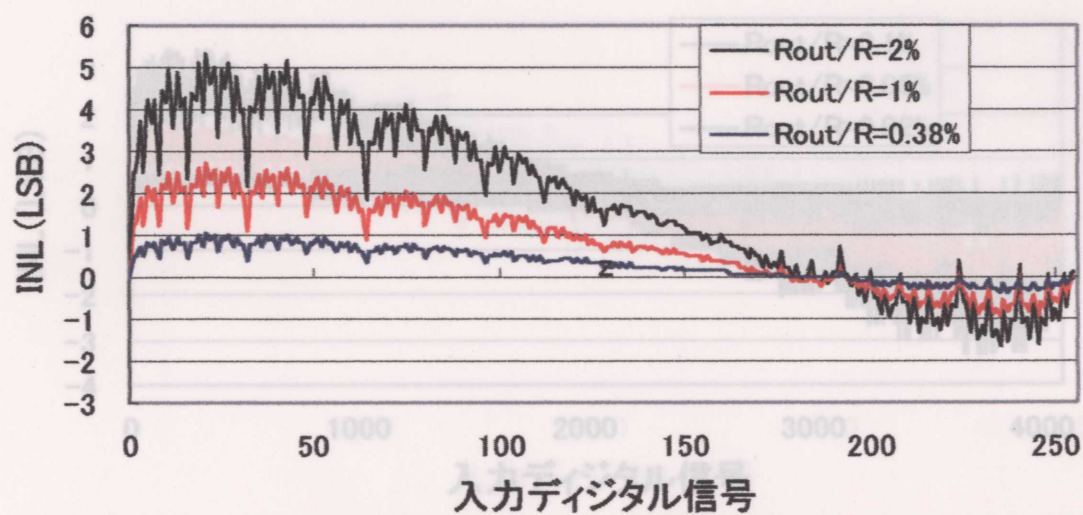


図 2.10  $R_{in}/R_{out} = 1.5$  とし、 $R_{out}/R$  を変化させた時の 8 ビット R-2R  
ラダー型 DA 変換器の INL

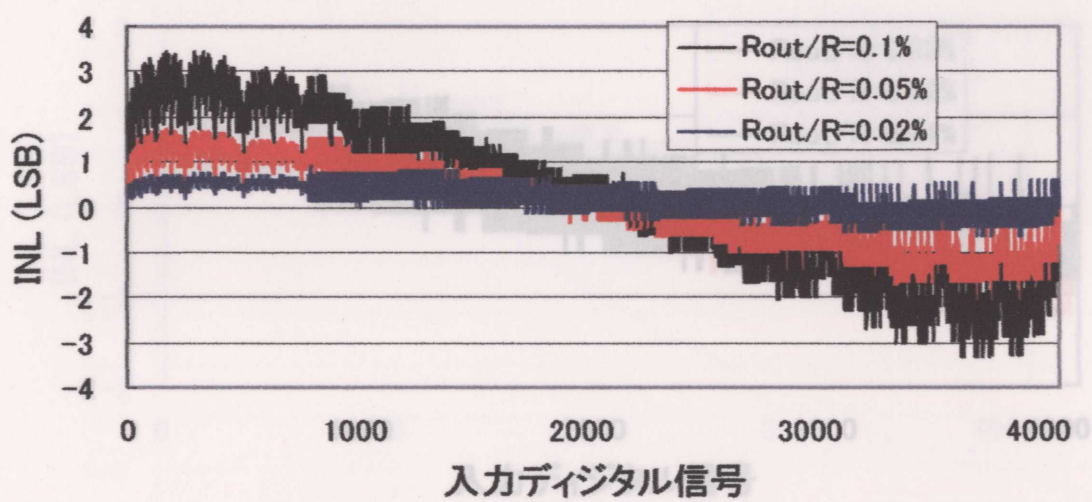


図 2.11  $R_{out}/R_{out} = 0.8$  とし、 $R_{out}/R$  を変化させた時の 12 ビット R-2R  
ラダー型 DA 変換器の INL

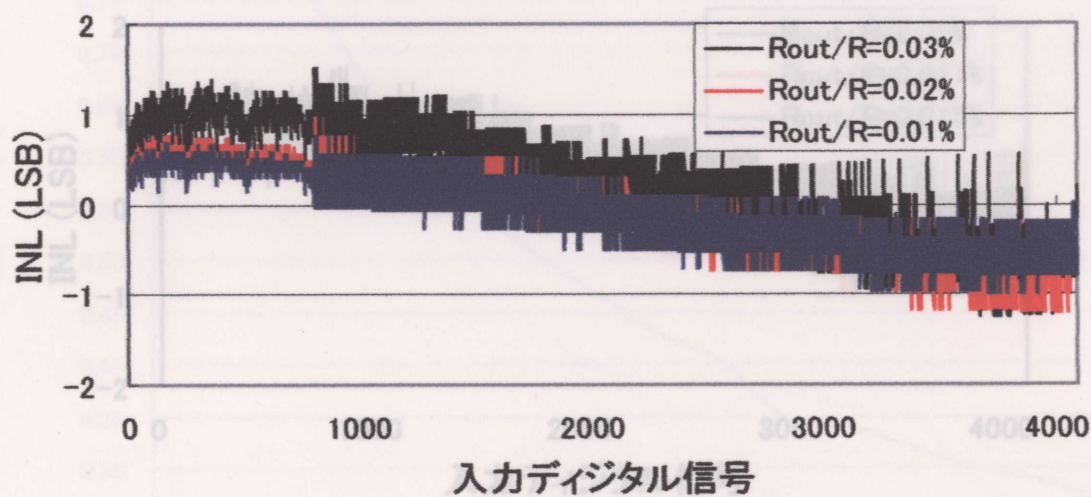


図 2.12  $R_{out}/R_{out} = 1$  とし、 $R_{out}/R$  を変化させた時の 12 ビット R-2R  
ラダー型 DA 変換器の INL

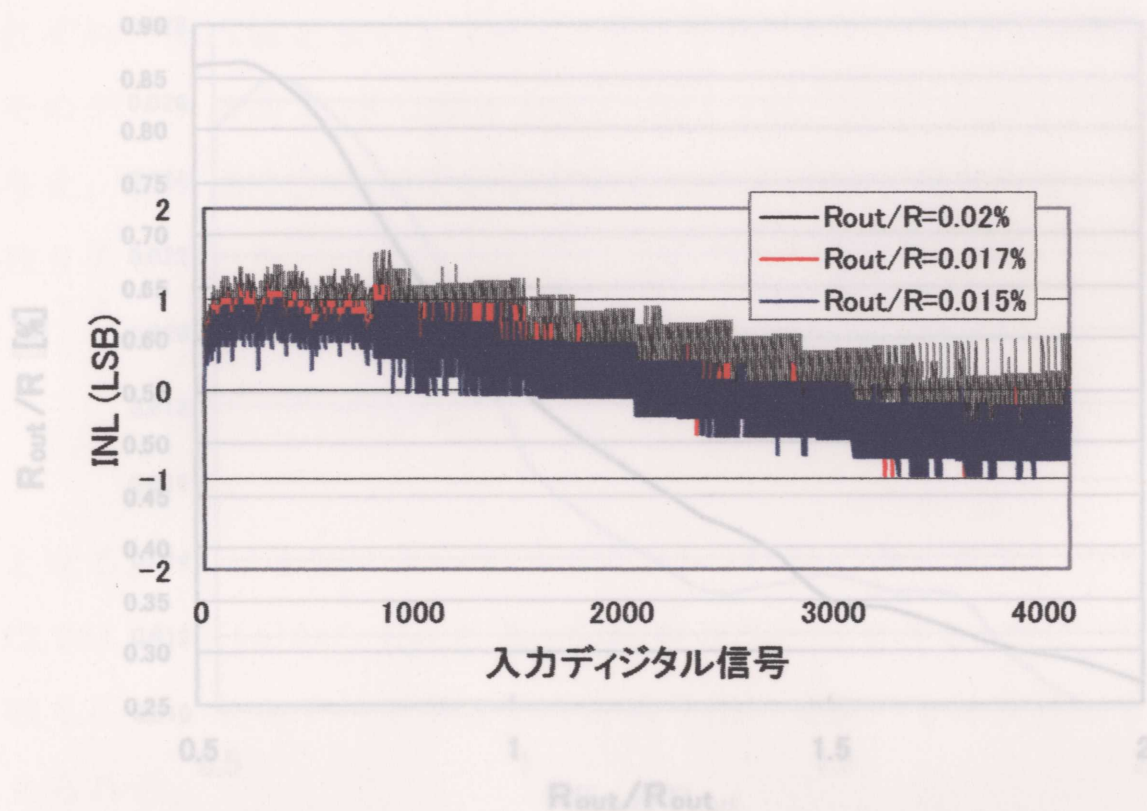


図 2.13  $R_{out}/R_{out} = 1.5$  とし、 $R_{out}/R$  を変化させた時の 12 ビット R-2R ラダー型 DA 変換器の INL

図 2.14 8 ビット R-2R ラダー型 DA 変換器における INL の最大値が 1LSB となる時の  $R_{out}/R_{out}$  と  $R_{out}/R$  の関係

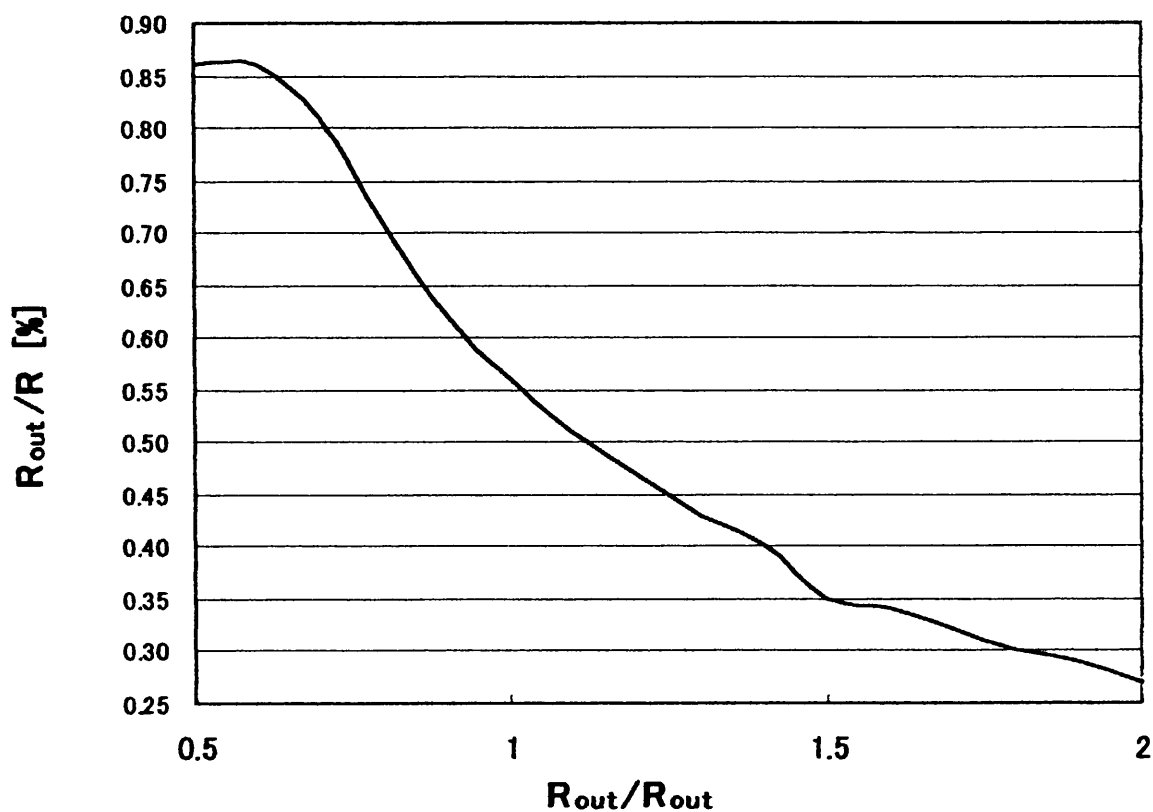


図 2.14 8 ビット R-2R ラダー型 DA 変換器における INL の最大値が 1LSB となる時の  $R_{out}/R_{out}$  と  $R_{out}/R$  の関係

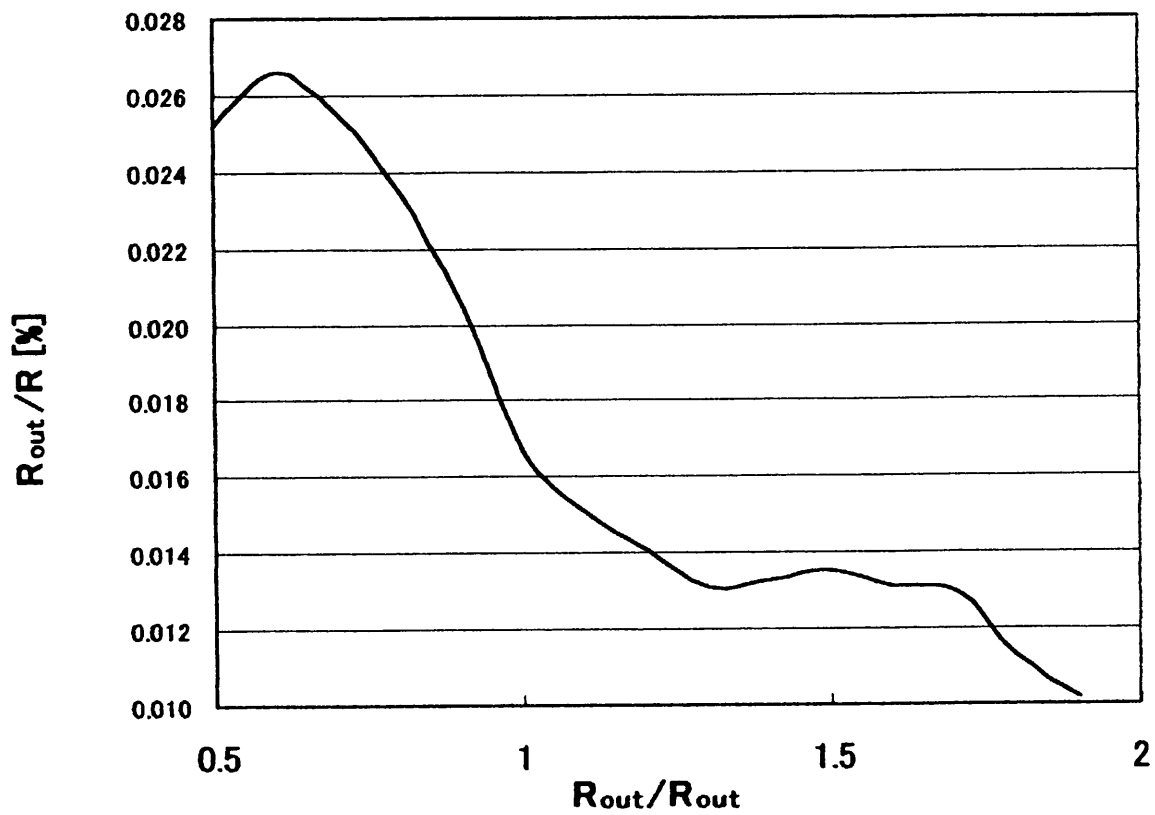


図 2.15 12 ビット R-2R ラダー型 DA 変換器における INL の最大値が 1LSB となる時の  $R_{out}/R_{out}$  と  $R_{out}/R$  の関係

## 2.5 ラダー抵抗の測定

2.3 節の式(2.23)から出力電流  $I_i (i=1,2,\dots,n)$  を測定することによって抵抗比を示す  $n$  個のデータを得ることができる。ところが、 $n$  ビットの  $R-2R$  ラダーには  $2n$  個の抵抗が用いられている。従って、それぞれの抵抗値を求めるために、更に  $n$  個の別のデータが必要となる。そのデータは図 2.16 に示されているように、端子  $I_{out}$  に定電流  $I_{in}$  を与え、基準端子①の電圧を測定することによって得られる。 $d_1$  を 1、残りのビットをすべて 0 とした時、端子①の電圧  $V_1$  は

$$V_1 = R_{p1} I_{in} \quad (2.28)$$

となる。 $V_1$  は測定によって、また、 $\varepsilon_1$  は既に得られているため、式(2.28)、式(2.14)から  $R_{p1}$  と  $R_{r1}$  を求めることができる。次に、 $d_2$  を 1、残りのビットをすべて 0 とした時端子①の電圧  $V_2$  は次式によって与えられる。

$$V_2 = \frac{\frac{1-\varepsilon_2}{1+\varepsilon_2} R_{p2}}{1 + \frac{R_{s1}}{R_{p1}} + \frac{1-\varepsilon_2}{1+\varepsilon_2} \frac{R_{p2}}{R_{p1}}} I_{in} \quad (2.29)$$

また、

$$R_{r1} = R_{s1} + R_{p2} // R_{r2} = R_{s1} + R_{p2} \frac{1-\varepsilon_2}{2} \quad (2.30)$$

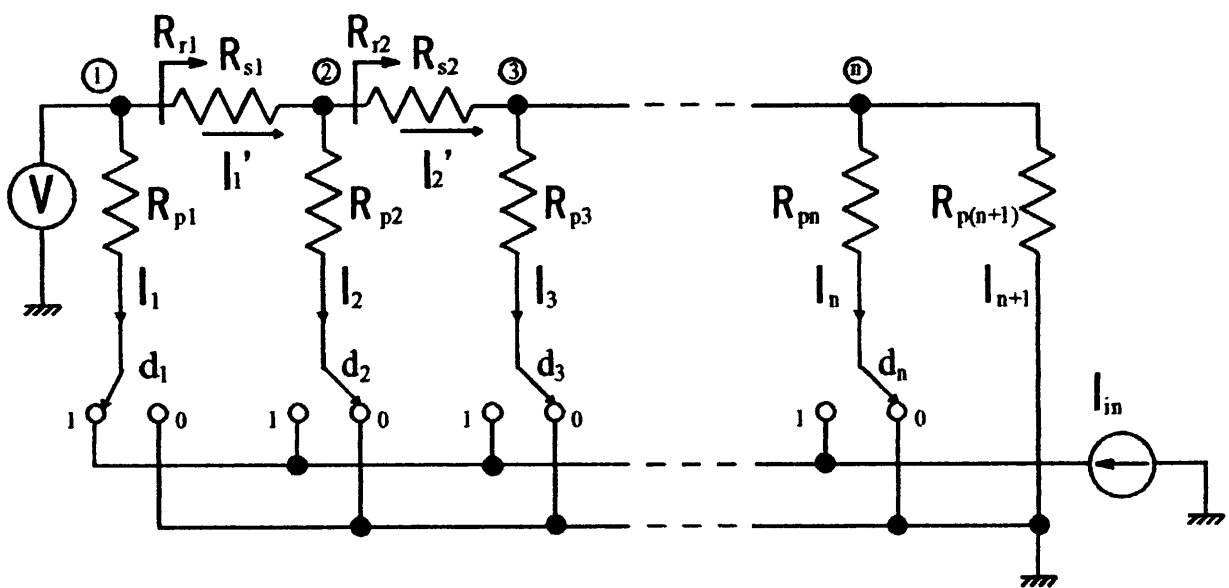


図 2.16 ラダーの各抵抗値を求めるための回路。

となる。 $R_{p1}$  と  $R_{r1}$  は既に得られているため式(2.29)と式(2.30)によって  $R_{s1}$  と  $R_{p2}$  が求められる。これらの操作を  $n$  回繰り返すことによってすべての抵抗値を求めることができる。

この方法を確認するために、SPICE を用いて個別抵抗と理想スイッチからなる 4 ビット R-2R ラダー型 DA 変換器を構成した。それに対してシミュレーションして得た出力によって 2.3 節の方法を用いて抵抗の不整合  $\varepsilon_i (i=1, 2, 3, 4)$  を計算した。それをもとに、2.5 節の方法で DA 変換器の各抵抗値を導出した。これらの結果を表 2.1 に示している。

各抵抗の計算値と設定した抵抗の値は全く同じである。これは 2.3 節と 2.5 節に述べた方法の有効性を証明している。

## 2.6 むすび

本章では電流モード R-2R ラダー型 DA 変換器が低消費電力動作には最も適していることを証明した。R-2R ラダー型 DA 変換器の INL の原因は抵抗の不整合、スイッチのオン抵抗、配線抵抗である。それらの影響をシミュレーションし、配線抵抗  $R_{out}$  とラダー抵抗  $R$  の比 ( $R_{out}/R$ ) が大きくなるほど INL が大きくなり、配線抵抗同士の比 ( $R_{out}/R_{out}$ ) が小さくなるに連れて INL の最大点は LSB 側へシフトすることを示した。また、INL の最大値が 1LSB となる時の  $R_{out}/R$  と  $R_{out}/R$  の関係とそれぞれの抵抗の値を決める方法を示した。最後に解析により抵抗の不整合  $\varepsilon$  が  $\varepsilon < 2^{-n}$  であれば  $n$  ビットの精度を得られることを示し、ラダーの各抵抗値を求める方法を示した。これらの結果は第 3 章で実際に集積化された CMOS DA 変換器の特性評価に用い

られる。

表 2.1 シミュレーションによる 4 ビットの D A 変換器の  
抵抗の不整合と抵抗値

誤差 $\varepsilon_1$		誤差 $\varepsilon_2$		誤差 $\varepsilon_3$		誤差 $\varepsilon_4$	
-0.02988		0.006107		0.013882		-0.04527	

抵抗名	公称値 ( $\Omega$ )	計算値 ( $\Omega$ )	抵抗名	公称値 ( $\Omega$ )	計算値 ( $\Omega$ )
$R_{p1}$	19.3k	19.3k	$R_{p3}$	20.8k	20.8k
$R_{s1}$	10.5k	10.5k	$R_{s3}$	10.3k	10.3k
$R_{p2}$	20.1k	20.1k	$R_{p4}$	19k	19k
$R_{s2}$	9.6k	9.6k	$R_{p5}$	20.8k	20.8k

## 参考文献

- [1] Balazs Vargha and Istvan Zoltan, "Calibration Algorithm for Current-output R-2R Ladders," *Proc. IEEE Instrumentation and Measurement Technology Conference*, pp. 753-758, May 2000.
- [2] Michael Peter Kennedy, "On the Robustness of R-2R Ladder DAC's," *IEEE Trans. Circuits and Systems*, vol. 47, no. 2, pp. 109-116, Feb. 2000.
- [3] L. Wang, Y. Fukatsu, and K. Watanabe, "A CMOS R-2R Ladder Digital-to-Analog Converter and Its Characterization", accepted for presentation at *IMTC2001*, 2001, 5.
- [4] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of Current-Mode CMOS R-2R Ladder Digital-to-Analog Converters", *Proc. IEEE Instrumentation and Measurement Technology Conference*, Budapest, Hungary, pp. 1026-1031, May21-23, 2001.
- [5] Behzad Razavi: *Principle of Data Conversion System Design*, New York: IEEE Press, 1995, Chap. 1.
- [6] Rudy Van De Plassche: *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Netherlands: Kluwer Academic Publishers, 1994, Chap. 1.
- [7] 相良岩男: "マイコンエンジのA/D・D/A変換技術", 日刊工業新聞社(1980)

## 第3章 CMOS ラダー型 DA 変換器

### 3.1 まえかき

抵抗を使ってこの変換器を構成する場合，抵抗の不整合とスイッチのオン抵抗による出力誤差が問題となる。これを解決するために電流駆動形  $R-2R$  ラダー型ネットワークが提案されている [1], [2]。この電流分割技術によって 12 ビット以上の変換を実現できるが，複雑な回路設計と厳密な調整が必要とされる。一方図 3.1 に示した線形領域で動作する MOS トランジスタは抵抗と同じ特性を持つ。また MOS トランジスタが同時にスイッチの働きをするため，抵抗とスイッチの替わりとして利用することができる。この MOS トランジスタの特性を利用すれば  $R-2R$  ラダー型 DA 変換器をトランジスタのみで構成できる。

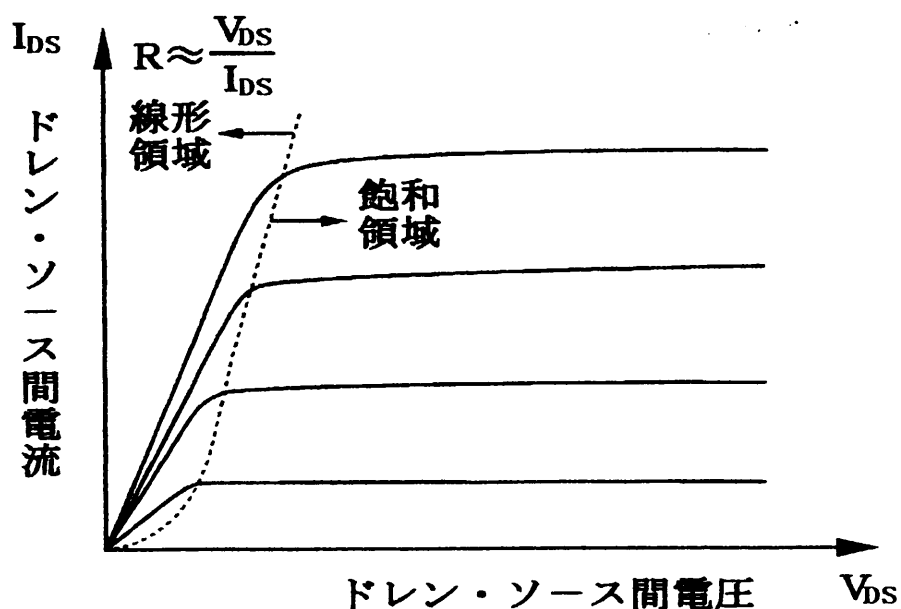


図 3.1 MOS トランジスタの動作領域

本章では、 $0.6\mu\text{m}$  CMOS プロセス技術を用いて試作した CMOS ラダー型 DA 変換器の構成と、第 2 章で述べた R-2R ラダー型 DA 変換器の特性評価法を用いて試作 CMOS ラダー型 DA 変換器の特性を評価した結果を述べる。

### 3.2 線形領域における MOS トランジスタの動作

CMOS ラダー型 DA 変換器は MOS トランジスタ電流分割原理を用いて MOS トランジスタのモビリティとボディ効果による影響を取り除いた<sup>[3]</sup>。この節では MOS トランジスタの電流分割原理と線形領域における MOS トランジスタの動作を説明する。

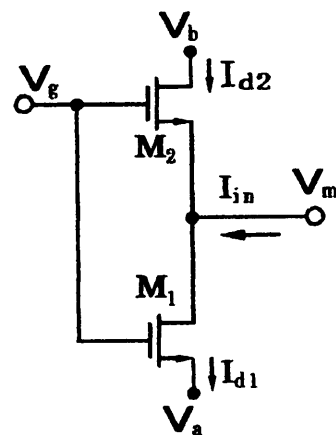


図 3.2 CMOS トランジスタによる電流のプッシュプル動作

MOS トランジスタ電流分割原理を説明するために図 3.2 の回路を用いる。ここで、 $V_a$  と  $V_b$  は任意電位である。まず MOS トランジスタに流れる電流について説明する。

MOS トランジスタの全ての動作領域において MOS トランジスタのチャンネルの中の  $x$  点のドレン電流を  $I(x)$  とすると、 $I(x)$  は次式で与えられる。

$$I(x) = I_{drift}(x) + I_{diff}(x) \quad (3.1)$$

ここで、 $I_{drift}(x)$ 、 $I_{diff}(x)$  はそれぞれ  $x$  点のドリフト電流と拡散電流であり、それぞれ次式で与えられる。

$$I_{drift}(x) = -W\mu Q_c \frac{dv_c}{dx} \quad (3.2)$$

$$I_{diff}(x) = W\mu \frac{kT}{q} \frac{dQ_c}{dx} \quad (3.3)$$

ここで、 $\mu$  はモビリティ、 $W$  は MOS のチャンネル幅、 $V_c$  は  $x$  点のチャンネル電位、 $Q_c$  は電荷密度である。従って、 $I(x)$  は

$$I(x) = W\mu \left( -Q_c \frac{dv_c}{dx} + \frac{kT}{q} \frac{dQ_c}{dx} \right) \quad (3.4)$$

と表すことができる。

チャンネル中の電流の大きさは一定として、ソース端からドレイン端まで式(3.4)を積分すると次式が得られる。

$$I_D \cdot L = -\mu W \int_{x=0}^{x=L} (Q_c \frac{dv_c}{dx} - \frac{kT}{q} \frac{dQ_c}{dx}) dx \quad (3.5)$$

ここで、 $L$ はMOSのチャンネル長である。

従って、

$$I_D = \frac{W}{L} \int_{v_c=v_c}^{v_c=v_D} f(v_g, v_c) dv_c \quad (3.6)$$

と表すことができる。ここで、

$$f(V_g, V_c) = \mu (Q_c - \frac{kT}{q} \frac{dQ_c}{dx}) \quad (3.7)$$

であり、 $V_g$ はMOSのゲート電位である。

$f(V_g, V_c)$ はMOSのモビリティとボディ効果などによる影響を含んでいる。 $f(V_g, V_c)$ と $V_c$ の関係を図3.3に示す。定数 $W/L$ を除けば、 $V_a$ と $V_b$ の間の面積はMOSのドレイン電流を表している。

もし入力電流 $I_{in}$ を図3.2のように加えると入力ノードの電位 $V_m$ は入力電流の関数となる。すなわち $V_m=f(I_{in})$ になる。

ここで、 $V_{m1}$ を入力ノードの初期電位、 $V_{m2}$ を入力電流を入れた後の電位とする。図3.2ではトランジスタ $M_1$ と $M_2$ のゲート電位は同じ、 $M_1$ のドレインノードは $M_2$ のソースノードになっているので、図3.3の $f(V_g, V_c)$ 曲線は $M_1$ と $M_2$ にとって同じものになっている。従って、

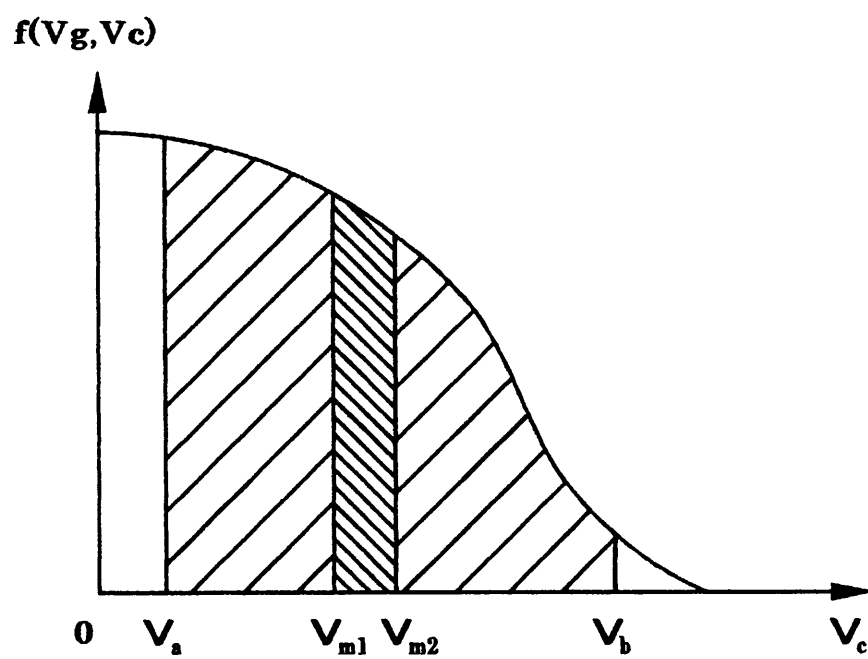


図 3.3 MOS トランジスタのチャンネル電位とドレイン電流の関係

図 3.3 から分かるように  $W_1/L_1$  を別にすれば  $M_1$  の電流の増加分  $\Delta I_{d1}$  は  $V_{m1}$  と  $V_{m2}$  の間の面積になる。同時に  $M_2$  の電流の減少分  $\Delta I_{d2}$  も同様に  $V_{m1}$  と  $V_{m2}$  の間の面積で表されているため、次式が得られる。

$$\frac{\Delta I_{d1}}{\Delta I_{d2}} = -\frac{\mu_1/L_1}{\mu_2/L_2} \quad (3.8)$$

$$I_{in} = \Delta I_{d1} - \Delta I_{d2} \quad (3.9)$$

以上の説明より、

- ① 電流分割は線形性を持っている。
- ② 図 3.2 の MOS トランジスタ  $M_1$  と  $M_2$  に対して  $f(V_g, V_c)$  曲線は同じである。 $\Delta I_{d1}$  と  $\Delta I_{d2}$  に関して式(3.8), (3.9)が成り立つので、

電

流分割はモビリティとボディ効果などに影響されない。

- ③ この原理は MOS トランジスタの全ての動作領域に応用できる。ことが明らかである。従って、MOS トランジスタが線形領域に動作しているとき、電流分割に影響を与えるのは主にトランジスタのチャンネルの寸法(W,L)不整合としきい値電圧の不整合(この不整合によって  $f(V_g, V_c)$  曲線は  $V_c$  軸に沿ってシフトすることになり、式(3.8), (3.9)に誤差を与えることになる。)の二つである。

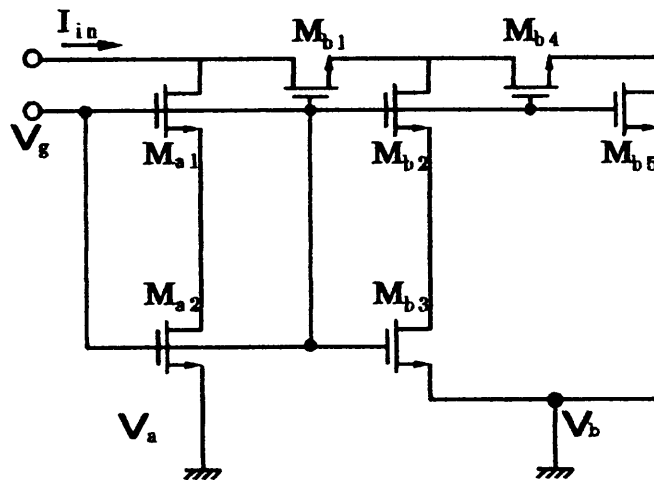
式(3.8), (3.9)で、 $W_1=W_2$ ,  $L_1=L_2$ , そして電位  $V_a=V_b$  の条件を満たせば、 $\Delta I_{d1}=\Delta I_{d2}=\frac{1}{2} I_{in}$  の結果が得られる。

図 3.4 において、各 MOS トランジスタの  $\frac{\mu}{L}$  を一定とすれば、 $M_{a1}$  と  $M_{a2}$  は直列に接続されているため、等価的に  $\frac{1}{2}(\frac{\mu}{L})$  の大きさの MOS

トランジスタとなる。同様に入力から見た  $M_{b1}$  から  $M_{b2}$  までの回路も等価的に  $\frac{1}{2}(\frac{R}{L})$  の大きさの MOS トランジスタとなっている。これは図 3.2 と同じことになる。

また図 3.1 の  $V_a$  と  $V_b$  は図 3.4 では共に GND(0V)になっているため、 $I_{in}$  が均等に 2 分割され、半分は  $M_{a1}$  に、残りの半分は  $M_{b1}$  に流れていく。

この方法で図 3.4 の回路を 8 ビットの DA 変換器に拡張することができる。



**図 3.4 MOS トランジスタのチャネル電位とドレイン電流の関係**

### 3.3 CMOS ラダー型 DA 変換器の構成

上述の電流分割に基づく 8 ビット CMOS ラダー型 DA 変換器の回路構成を図 3.5 に示す。変換器の基準入力は電流である。変換器は縦続された 8 個のセルによって構成されている。各セルは 4 つの単位 nMOS トランジスタによって構成されており、各 nMOS トランジス

タは等価抵抗  $R$  として動作する。その中の 2 つは、スイッチを兼用している。従って 8 ビットの変換に必要なトランジスタの数は  $4 \times 8 = 32$  となる。

線形領域で動作する単位 nMOS トランジスタのドレイン電流  $I_D$  は

$$I_D = \frac{\mu_n C_{ox}}{2} \left( \frac{W}{L} \right) \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (3.10)$$

で与えられる<sup>[4]</sup>。ここで、 $\mu_n$  は電子の移動度、 $C_{ox}$  は酸化膜容量、 $W/L$  はゲートの形状比、 $V_T$  はしきい値電圧である。線形領域は以下の範囲に限られる。

$$V_{DS} \leq V_{GS} - V_T \quad (3.11)$$

よって、最大のドレイン電流は

$$I_{Dmax} = \frac{\mu_n C_{ox}}{2} \left( \frac{W}{L} \right) \frac{(V_G - V_T)^2}{2} \quad (3.12)$$

となる。最上位ビット(MSB)セル、つまり、セル 1 の単位トランジスタには、基準電流  $I_r$  を  $256 \mu A$  とすると、 $I_r/2 = 128 \mu A$  の電流が流れる。この電流が  $I_{Dmax}$  より小さくならなければならない。この条件から、以下のようにトランジスタのアスペクト比の条件が求められる。

$$\frac{W}{L} \geq 2.2 \quad (3.13)$$

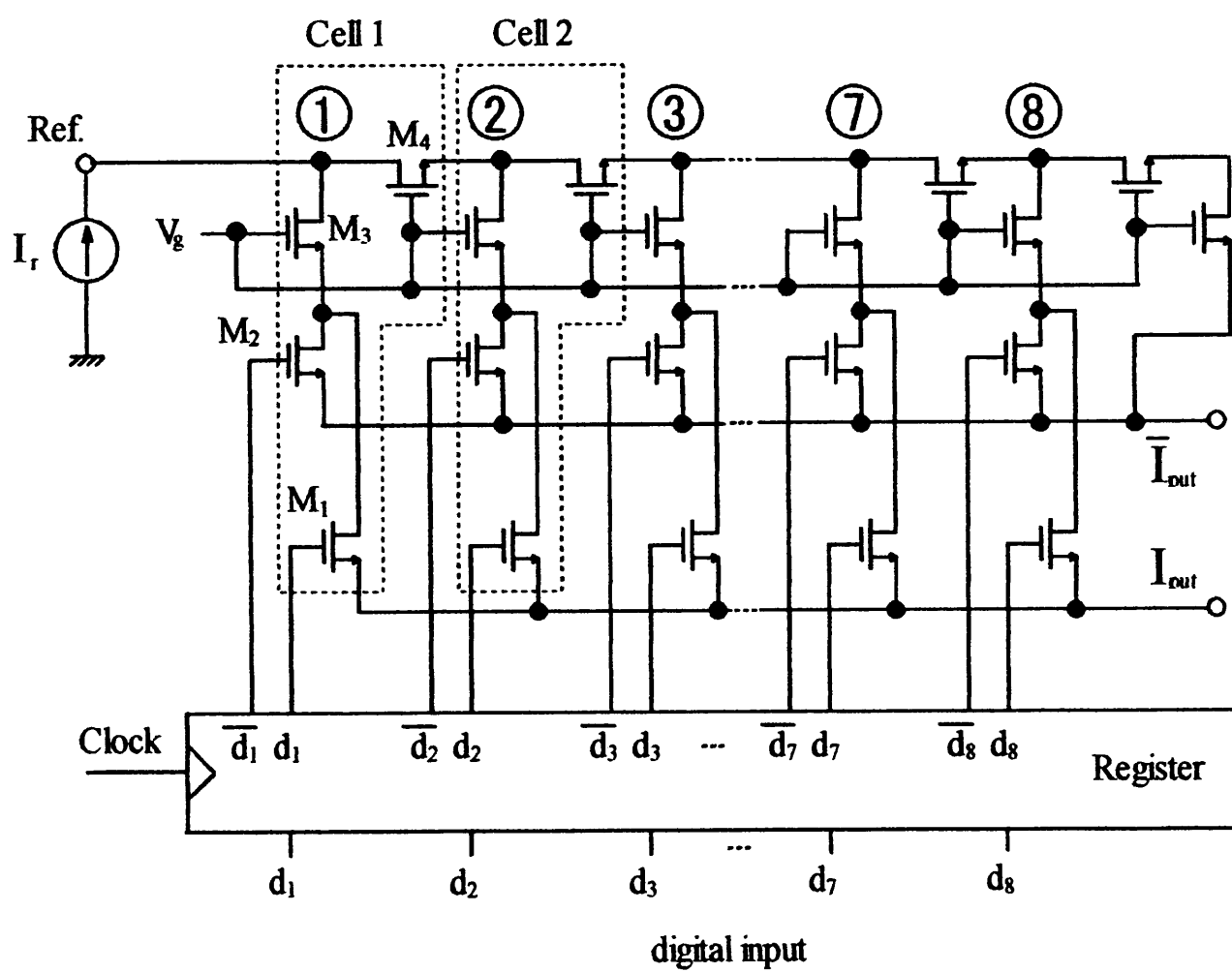


図 3.5 8 ビット CMOS R-2R ラダー型 DA 変換器

ただし、式(3.13)を求める際にプロセスパラメータ、 $\mu_n C_{ox}=40\mu A/V^2$ ,  $V_T=0.8V$  とバイアス電圧  $V_g=2.5V$  を仮定している。式(3.13)に示されているよりもはるかに大きなアスペクト比を用いることによって等価抵抗が小さくなる。このことは消費電力を節約でき、DA 変換器を減衰器や乗算器に応用した際の、高調波歪みを減少できるため望ましい [5], [6]。これらの低消費電力、低歪みを考慮してトランジスタのアスペクト比を  $W/L=200\mu m/3\mu m$ ,  $W/L=200\mu m/2.4\mu m$ ,  $W/L=200\mu m/1.2\mu m$  の 3 種類とした。

### 3.4 シミュレーション結果

図 3.5 の 8 ビット CMOS ラダー型 DA 変換器の性能を HSPICE でシミュレーションした。レベル 4 7 の  $0.6\mu m$  プロセスパラメータを用い、 $I_r=\pm 256\mu A$ ,  $V_g=2.5V$  とした。

図 3.6 は基準端子 Ref.における電流電圧特性を示している。この結果は広い基準電流範囲において単位トランジスタが  $203\Omega$  の線形抵抗として動作することを示している。図 3.7 は DA 変換器の入出力特性を示している。同図(a)は基準電流源をソース源  $I_r=256\mu A$  とした時の特性、同図(b)はシンク電流源  $I_r=-256\mu A$  とした時の入出力特性で、両者は対称であり、ラダー型 DA 変換器を 4 象限減衰器や乗算器に応用できることを示している。図 3.8 にトランジスタのチャンネル幅  $W$  とチャンネル長  $L$  に  $\pm 0.4\%$  のばらつきがあると仮定してモンテカルロ解析を行った時の変換誤差を示す。この誤差は  $d=7F(16進表示)$  のときに最大の  $0.5\text{ LSB}$  となっている。これは第 2 章の解析結果と一

致しており，8ビットの分解能を得るために抵抗の不整合が  $\varepsilon < 0.4\%$  となる必要があることを示している<sup>[7]</sup>。

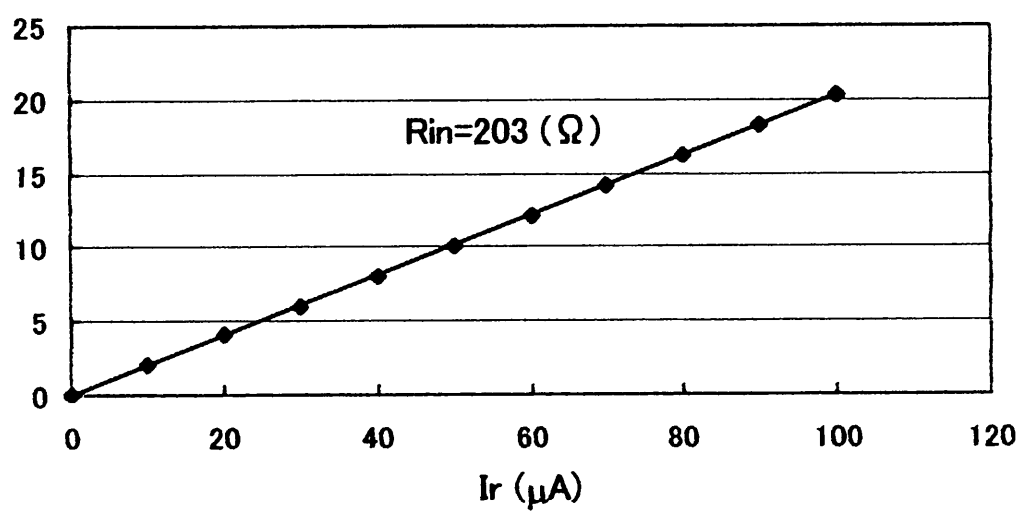


図 3.6 基準端子における電流－電圧特性

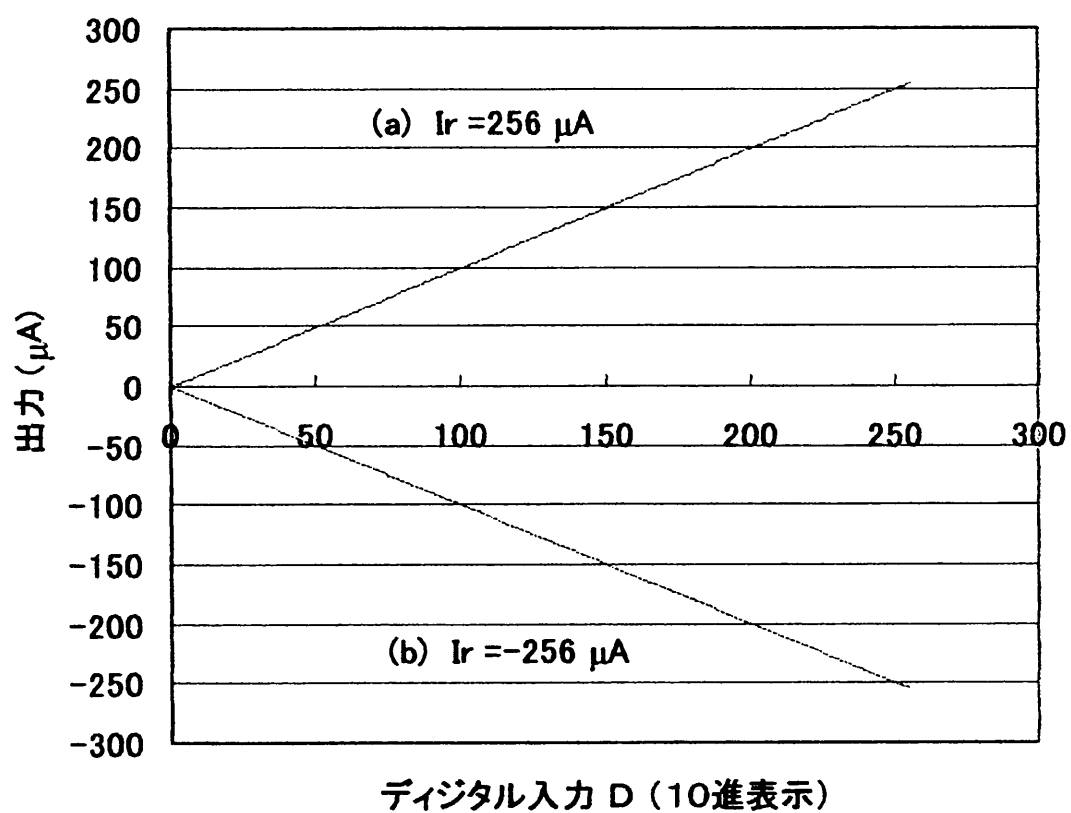


図 3.7 シミュレーションによる CMOS DA 変換器の入出力特性

(a)  $I_r = 256 \mu A$  (b)  $I_r = -256 \mu A$

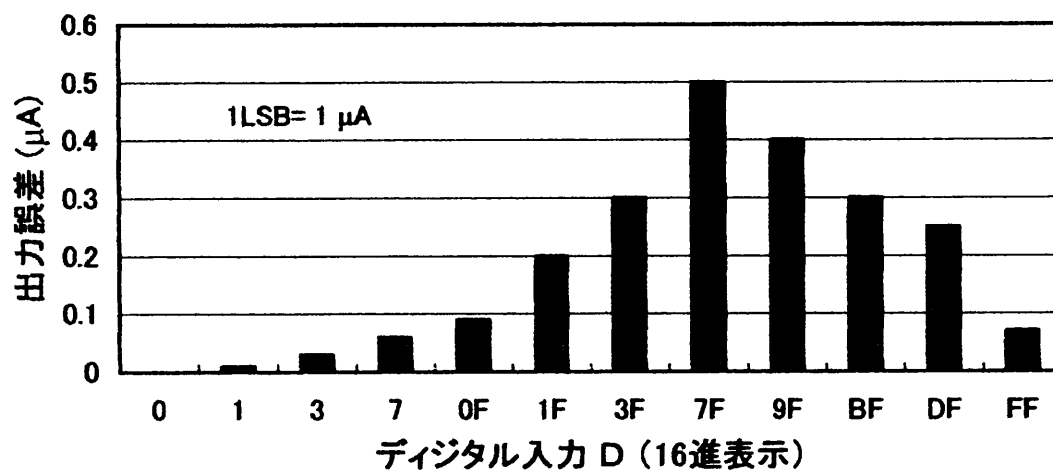


図 3.8 モンテカルロ解析による DA 変換器の出力誤差

### 3.5 試作 DA 変換器

図 3.5 の CMOS DA 変換器を  $0.6\mu\text{m}$  CMOS プロセス技術を用いて試作した。試作したチップは nMOS トランジスタのアスペクト比を  $W/L=200\mu\text{m}/3\mu\text{m}$ ,  $W/L=200\mu\text{m}/2.4\mu\text{m}$ ,  $W/L=200\mu\text{m}/1.2\mu\text{m}$  とした 3 種類である。図 3.9 は  $W/L=200\mu\text{m}/3\mu\text{m}$  の変換器の顕微鏡写真である。写真の中央部には二列に並んだ 33 個の単位トランジスタが抵抗列を構成している。各単位トランジスタは  $W/L=50\mu\text{m}/3\mu\text{m}$  の 4 つのトランジスタの並列接続によって構成されている。右側にはデジタル入力を保持するためのレジスタが配置されている。トランジスタとレジスタの二つのブロックは 16 本の線で接続されている。

図 3.10 はサイズの異なる 3 種類のトランジスタを用いた DA 変換器のデジタル入力に対する出力電流の測定結果を示している。 $W/L=200\mu\text{m}/3\mu\text{m}$  の時の DA 変換器の基準端子 Ref. の電圧－電流特性を図 3.11 に示す。この結果は単位トランジスタが広い基準電流範囲において  $232.9\Omega$  の線形抵抗として動作し、シミュレーション結果と同様の特性が得られることを示している。図 3.12 はゲート長に対する等価抵抗を示している。チャンネル長の増加と共に入力抵抗が比例して増加している。この線形特性はトランジスタのアスペクト比が等価抵抗に比例していることを示している。図 3.13 は  $W/L=200\mu\text{m}/3\mu\text{m}$  の時の DA 変換器の INL の測定結果を示している。この INL のプロファイルを第 2 章で述べた INL プロファイルと比較すると、図 2.7 に示した配線抵抗による INL のプロファイルと最も類似している。従って、INL の最も支配的な誤差要因は配線抵抗であると考えられる。

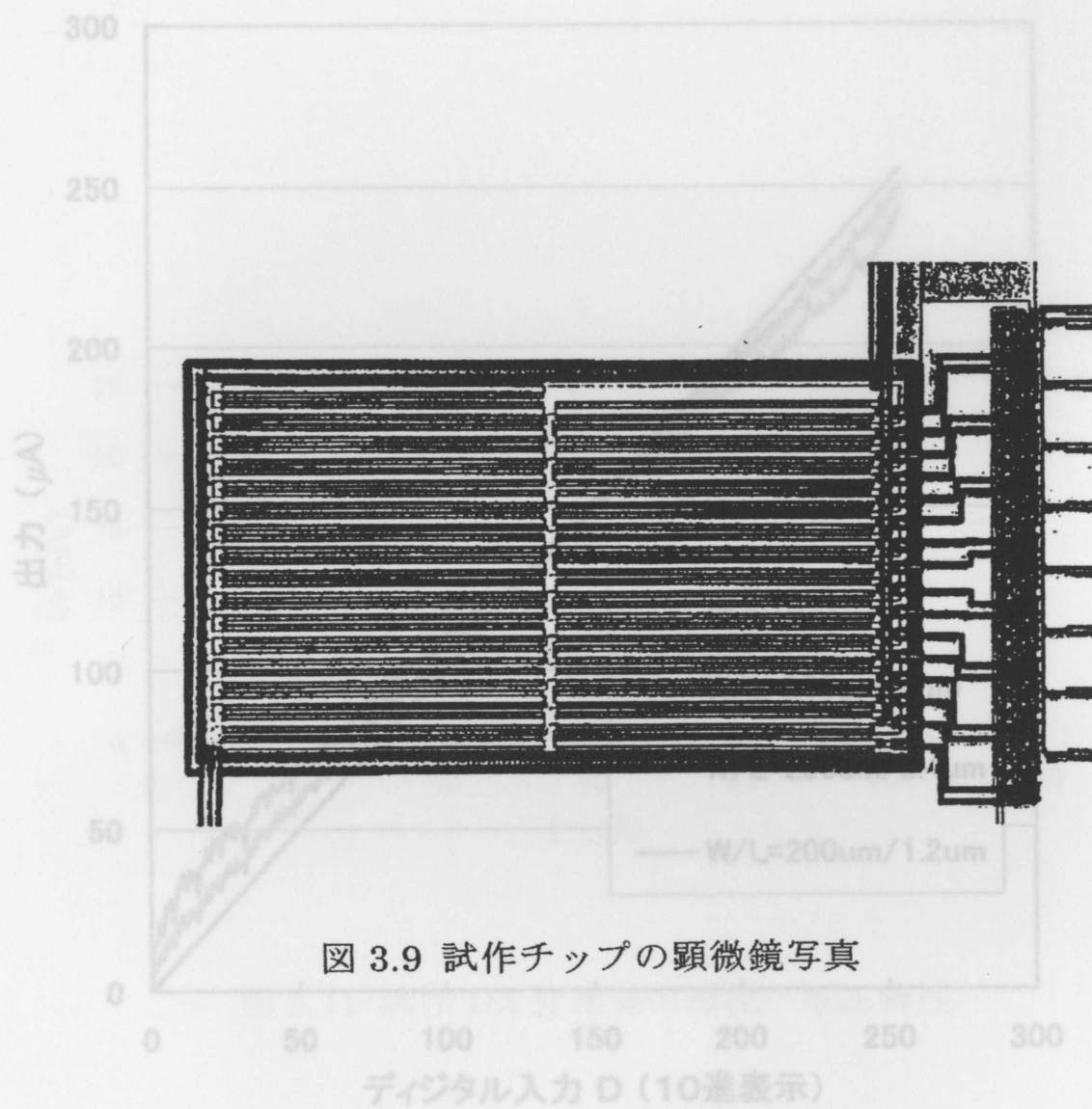


図 3.9 試作チップの顕微鏡写真

図 3.10 サイズの異なる 3 種類のトランジスタを用いた試作 DA 変換器の入出力特性

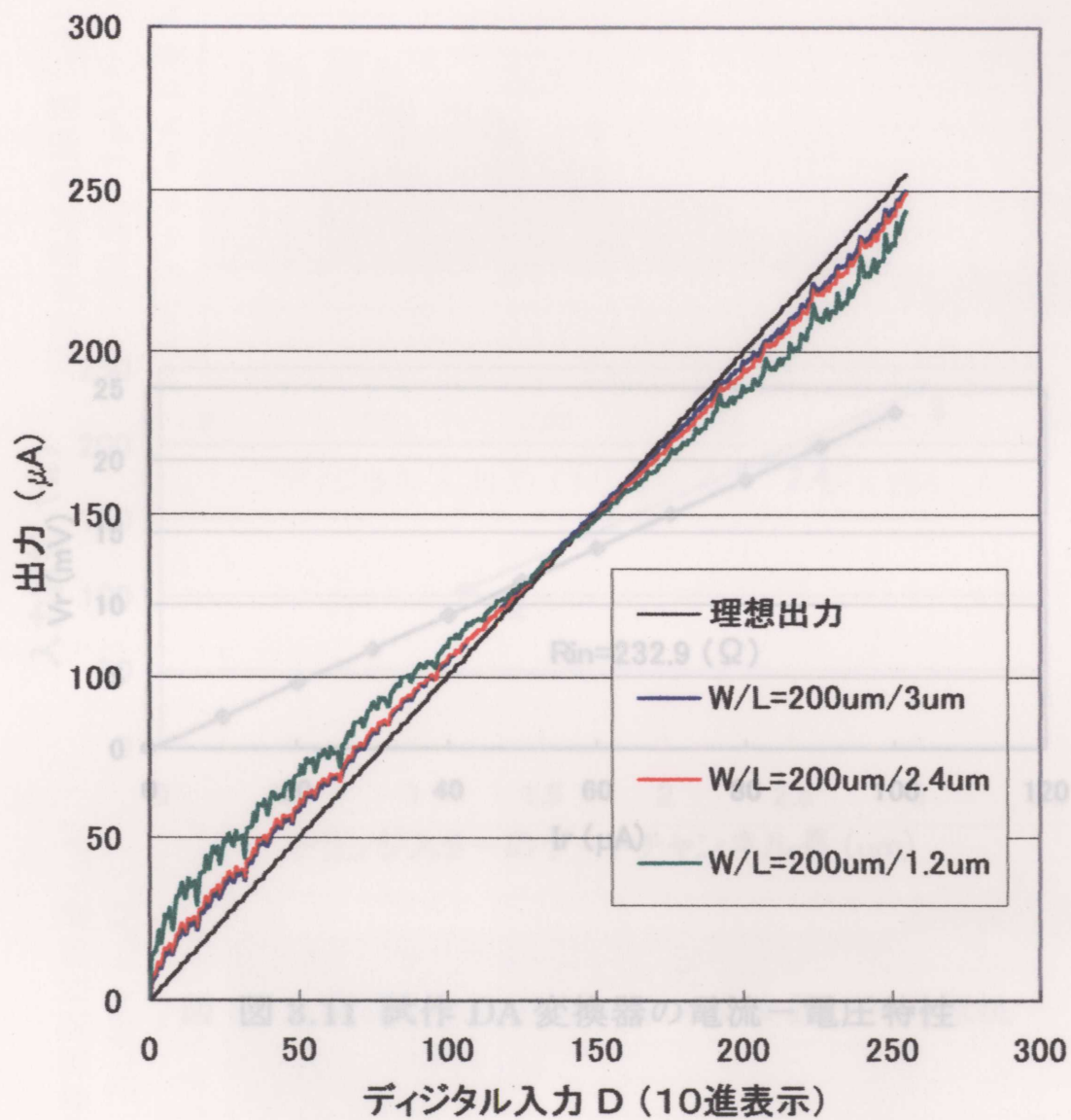


図 3.10 サイズの異なる 3 種類のトランジスタを用いた試作 DA 変換器の入出力特性

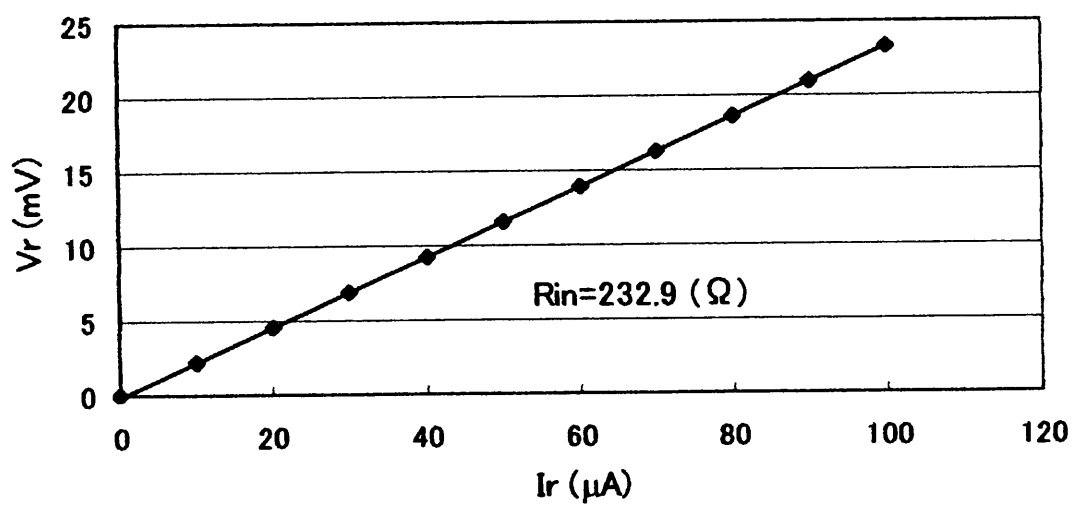


図 3.11 試作 DA 変換器の電流－電圧特性

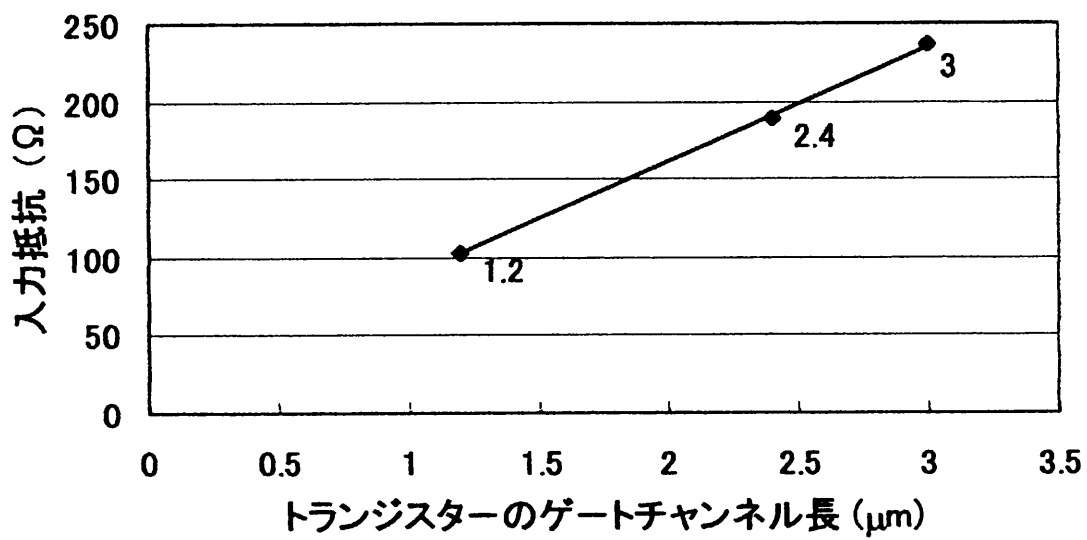
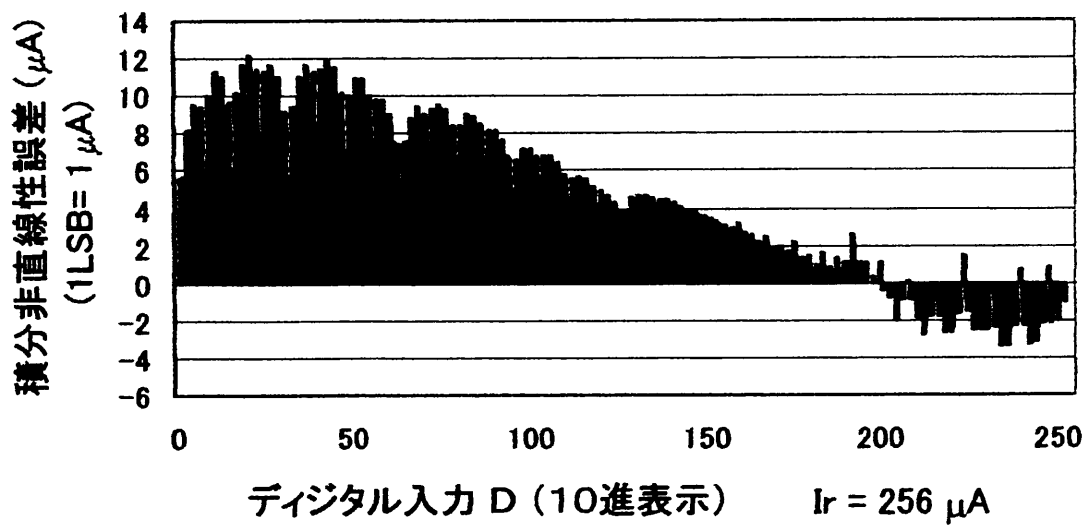
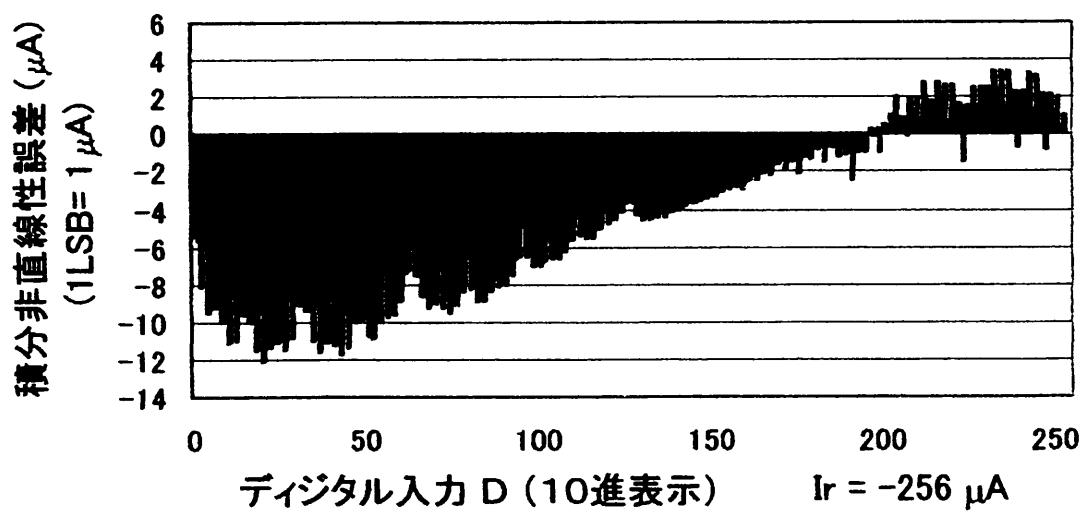


図 3.12 試作した 3 種類の DA 変換器の入力抵抗



(a)



(b)

図 3.13 試作した DA 変換器の積分非直線性誤差(a) $I_r=256 \mu\text{A}$ ,

$$(b) I_r = -256 \mu A$$

HSPICE を用いたシミュレーションによるフィッティング操作によって、CMOS ラダーから  $I_{out}$  パッドと  $\bar{I}_{out}$  パッドまでの配線抵抗はそれぞれ  $8.8 \Omega$  と  $12.8 \Omega$  になると評価された。これらの値は CMOS 微細加工技術の観点からは極めて妥当である<sup>[8]</sup>。図 3.14 はこれらの配線抵抗を含む CMOS DA 変換器の入出力特性のシミュレーション結果と実際の測定結果を示している。これらの結果は極めて近い特性を示しており配線抵抗の存在とシミュレーションによるフィッティング操作の正確さを証明している。ラダー抵抗を構成している nMOS トランジスタのソース電位は各段毎に異なる。INL への影響を調べるために  $V_g$  を 2.5V から 2V まで変化させた。その結果 INL における大きな変化は現れなかった。このことは、ソース電位が異なることによる影響は無視できることを示している。

表 3.1 試作した CMOS DA 変換器の最初の 4 つのセルの等価抵抗と不整合

セルの番号	抵抗 ( $\Omega$ )		不整合誤差 $\varepsilon$ (%)
	$R_p$	$R_s$	
1	438.6	442.6	-0.45
2	447.4	455.6	-0.91
3	413.5	429.4	-1.9
4	344.9	371	-3.6

CMOS ラダーのみの特性を評価するため、第 2 章で述べた電流・電圧測定によって等価抵抗と抵抗の不整合を測定した。表 3.1 に最初の 4 つのセルの等価抵抗と抵抗不整合の測定結果を示す。ここで、 $R_p$  は

スイッチ・トランジスタのオン抵抗を含んでいる。等価抵抗の公称値からのずれと不整合は下位セルになるほど大きくなっている。これは配線抵抗による不確定性が累積されるためである。CMOS ラダーの INL を支配するのは第 1 セルの 0.4% の抵抗不整合であり、この 0.4% の不整合はラダー自体の INL は 1 LSB になることを示している。図 3.14 に示した実測結果から配線抵抗が  $8.8\Omega$  と  $12.8\Omega$  であるときのシミュレーション結果を引いて、その差を積分非直線性誤差に換算した結果を図 3.15 に示す。図 3.15 に示したように配線抵抗の影響を取り除いた後の CMOS ラダーの INL は約 1.2 LSB である。これは表 3.1 による計算結果とほぼ一致する。また図 2.6 に示したスイッチのオン抵抗による INL の形状を図 3.15 の INL の形状と比較すれば、スイッチのオン抵抗による不整合も CMOS ラダーの INL が劣化する要因の 1 つであることが判る [9], [10]。

### 3.6 抵抗整合に関する考察

3.3 節で大きなトランジスタのアスペクト比  $W/L$  を用いることで等価抵抗が小さくなり、消費電力を節約でき、DA 変換器を減衰器や乗算器に応用した際の、高調波歪みを減少できることを説明した。一方、アスペクト比  $W/L$  を小さくすると、トランジスタの等価抵抗の不整合による INL への影響が減る利点がある。

MOS トランジスタの等価抵抗は次式で与えられる。

$$R \cong \frac{L}{W \mu_n C_{ox} (V_{GS} - V_T)} \quad (3.14)$$

ここで、 $V_{GS}$  はゲートソース間電圧、 $V_T$  はしきい値電圧である、 $W$  と  $L$  はそれぞれゲートのチャンネル幅とチャンネル長、 $\mu_n$  は電子の移動度、 $C_{ox}$  は酸化膜容量、 $V_T$  はしきい値電圧である。式(3.14)を全微分して更に  $R$  で割ると、製造プロセスのばらつきによる等価抵抗  $R$  の変動は次式となる。

$$\frac{\Delta R}{R} = \frac{\Delta L}{L} - \frac{\Delta W}{W} - \frac{\Delta(\mu_n C_{ox})}{\mu_n C_{ox}} - \frac{\Delta(V_{GS} - V_T)}{V_{GS} - V_T} \quad (3.15)$$

トランジスタのアスペクト比  $W/L$  を小さくすると、式(3.15)の最初の2つの項の差は小さくなり、等価抵抗の不整合による INL への影響も減る。

このため、CMOS ラダー型 DA 変換器を設計するとき、トランジスタの適当なアスペクト比を選択することが必要である。

### 3.7 むすび

本章では試作された CMOS ラダー DA 変換器のシミュレーション結果と実験結果から第2章で述べた  $R-2R$  ラダー型 DA 変換器の特性評価法を用いてその特性を検証した。モンテカルロ解析によって8ビットの分解能を得るために抵抗の不整合が  $\varepsilon < 0.4\%$  となる必要があることを示した。実験結果とシミュレーション結果との比較から CMOS ラダー型 DA 変換器の INL が約 1 LSB である結果を得た。INL の最も支配的な要因は配線抵抗である。その他に、スイッチのオン抵抗に

よる不整合も要因の一つであることが示された。これらの結果は CMOS ラダー型変換器の設計基準を与えている。次章では CMOS DA 変換器の応用について述べる。

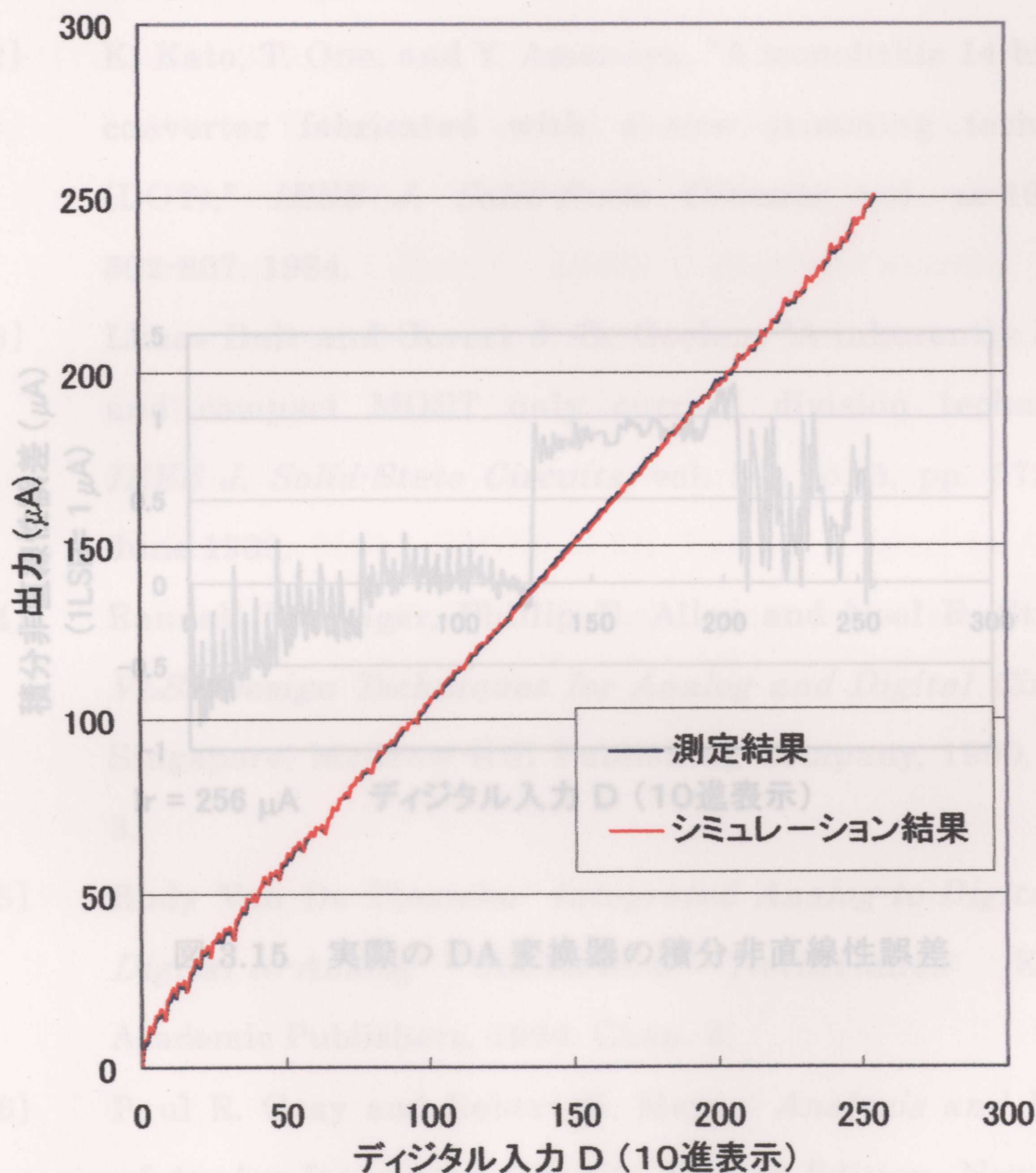


図 3.14 配線の抵抗を含む CMOS DA 変換器の入出力特性

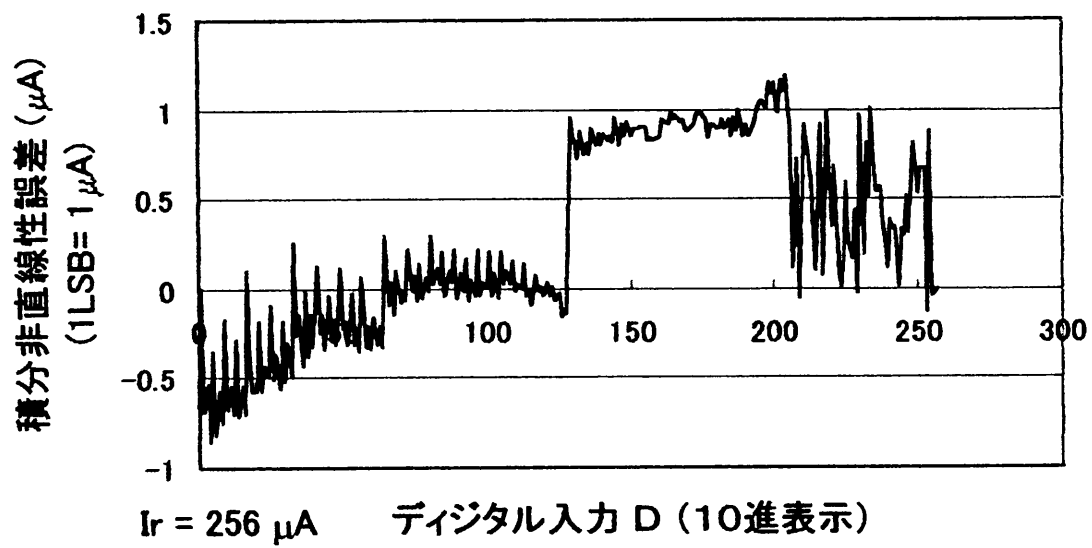


図 3.15 実際の DA 変換器の積分非直線性誤差

## 参考文献

- [1] D. T. Comer, "A monolithic 12-bit DAC," *IEEE Trans. Circuits and Systems*, vol. CAS- 25, pp. 504-509, July 1978.
- [2] K. Kato, T. Ono, and Y. Amemiya, "A monolithic 14-bit D/A converter fabricated with a new trimming technique (DOT)," *IEEE J. Solid-State Circuits*, vol. sc-19, pp. 802-807, 1984.
- [3] Lkass Bult and Govert J. G. Geelen, "A inherently linear and compact MOST only current division technique," *IEEE J. Solid-State Circuits*, vol. 24, no. 3, pp. 672-680, June 1989.
- [4] Randall L. Geiger, Phillip E. Allen and Noel R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, Singapore: McGraw-Hill Publishing Company, 1990, Chap. 3.
- [5] Rudy Van De Plassche: *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Netherlands: Kluwer Academic Publishers, 1994, Chap. 3.
- [6] Paul R. Gray and Robert G. Meyer: *Analysis and Design of Analog Integrated Circuits*, Second Edition, New York: John Wiley & Sons, Inc, 1990, Chap. 5.
- [7] L. Wang, K. Watanabe, and S. Ogawa, "A CMOS Digital-to-Analog Converter Based on R-2R Ladder Network",

*IEEE Workshop on Emergent Technologies & Virtual Systems for Instrument*, Niagara Falls, Canada, pp1-10, May 1997.

- [8] R. Jacob Baker, Harry W. Li, David E. Boyce: *CMOS Circuit Design, Layout, and Simulation*, New York: IEEE Press, 1998, Chap. 3.
- [9] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of Current-Mode CMOS R-2R Ladder Digital-to-Analog Converters", *Proc. IEEE Instrumentation and Measurement Technology Conference*, Budapest, Hungary, pp. 1026-1031, May21-23, 2001.
- [10] L. Wang, Y. Fukatsu, and K. Watanabe, "Characterization of Current-Mode CMOS R-2R Ladder Digital-to-Analog Converters", *IEEE Trans. Instrumentation and Measurement* (accepted).

## 第4章 CMOS ラダー型 DA 変換器の応用

### 4.1 まえがき

DA 変換器はアナログ・ディジタル信号処理システムにおいて最も重要な素子である。それぞれの構造や特性に応じて，DA 変換器はすでに我々が日常に使用している家電製品，自動車，通信機器などに広く応用されている。例えば，最近のディジタル・オーディオシステムでは16～20ビットの変換精度を持つDA変換器が用いられている<sup>[1]</sup>。

この章では提案した CMOS R-2R ラダー型 DA 変換器のシナプス加重乗算器と減衰器としての応用を述べる<sup>[2], [3], [4]</sup>。

### 4.2 乗算器

DA 変換器のアナログ出力は式(1.1)に示したように  $n$  ビットのディジタル信号とアナログ基準値の積である。そのため，DA 変換器を乗算器と定義することができる。

また，提案した CMOS R-2R ラダー型 DA 変換器は電流モード構成で素子数も少なく，入力信号が入っていないときには，回路での電力の消費が生じない。これらの特性は CMOS DA 変換器を図 4.1 に示したニューロン（脳神経細胞）のシナプス乗算器として応用する際に有利である。この場合，DA 変換器の基準端子を信号入力端子として使用する。

図 4.1 はニューロンの非線形モデルを示している。数式で示すと以

下のようになる。

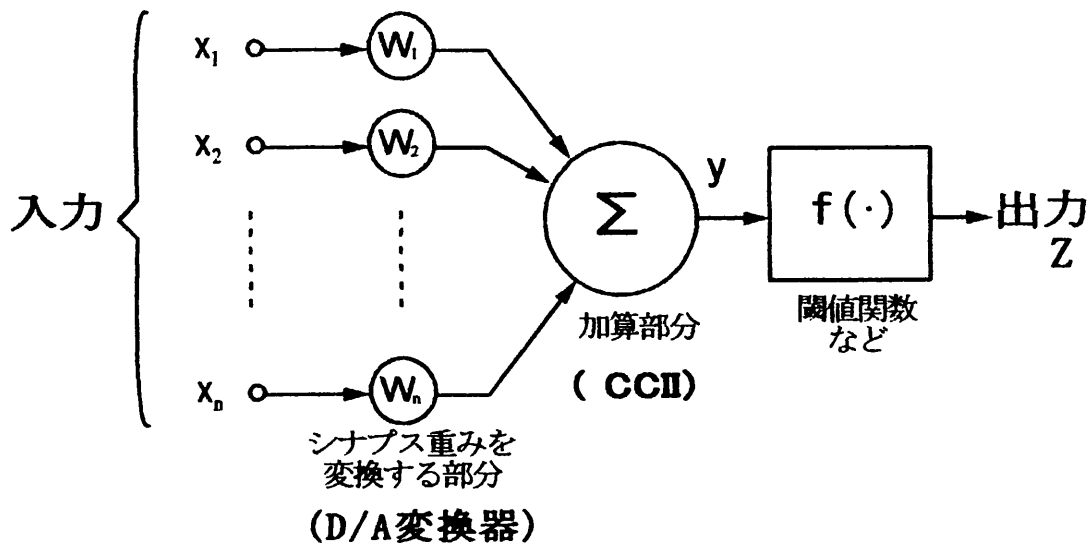


図 4.1 ニューロンの非線形モデル

$$y = \sum_{i=1}^n \omega_i x_i \quad (4.1)$$

$$z = f(y - t) \quad (4.2)$$

ここで、 $t$  はオフセットである。

人間の脳の中で100億から1000億個程度のニューロンは3次元に密に結合してニューラルネットワーク (Neural network: 神経回路網) を形成している。普通、人工ニューラルネットワークも人間の脳と同様に図 4.2 に示したような多層構造を用いて並列情報処理を行っている。人工ニューラルネットワークの最大の特徴は学習能力があることである。この学習のためのアルゴリズムの中で、現在よく用い

られているのは誤差逆伝播 (Error Back Propagation) アルゴリズムである。

入力パターンが与えられた時，第 $m$ 層の  $j$  番目のニューロンの取るべき状態（教師信号）を  $z_{jc}^m$ ，実際の値を  $z_j^m$  と書くと，第 $m$ 層での誤差全体を

$$\varepsilon = \frac{1}{2} \sum_j (z_{jc}^m - z_j^m)^2 \quad (4.3)$$

と評価する。  $\varepsilon$  を最小とするために取るべき結合の修正方法は次式で与えられる。

$$\left. \begin{aligned} \delta_j^m &= (z_{jc}^m - z_j^m) f'(y_j^m) \\ \delta_j^k &= f'(y_j^m) \sum_j \delta_j^{k+1} \omega_{ij} \\ \Delta \omega_{ij} &= \eta \delta_j^k z_i^{k-1} \end{aligned} \right\} \quad (4.4)$$

ここで，  $\eta$  は学習の効率を決める正のパラメータである。  $\omega_{ij}$  は第  $m-1$  層の  $i$  番目のニューロンと繋ぐ第 $m$ 層の  $j$  番目のニューロンのシナプスの重みである。このように，教師信号と実際の出力信号との差を逆に用いて，その差が最小になるようにニューロンのシナプスの重みを調整する方法が誤差逆伝播アルゴリズムである。提案した DA 変換器をシナプス荷重用乗算器として用いる時，ディジタル信号でシナプスの重みを調整するため便利であり，コンピュータを用いた人工ニューラルネットワークの学習に適している。

また，DA 変換器の出力を受けるための低入力インピーダンス回路が必要となる。この低入力インピーダンス特性を持つ回路として電流モード第 2 世代カレント・コンベア (CCII) が有望である，そのブロック図を図 4.3 に示す<sup>[5]</sup>。図 4.4 に CCII の一つの提案回路を示す<sup>[6]</sup>。

この場合、フィードバック構成によって、閉ループ入力インピーダンスはほぼ開ループ入力インピーダンスの  $1/A$  ( $A$ : 差動増幅器の増幅率) 倍に縮小されている。図 4.5 は AB 級 CCII の (図 4.4) の節点 Y と Z を接地した時の  $i_x$  に対する  $v_x$  特性である。X 端子の入力インピーダンスは  $1.97 \times 10^{-3} \Omega$  となり, X 端子は仮想接地と等価であることを示している。図 4.6 は CCII (図 4.4) の節点 Y を接地し, 節点  $\pm Z$  に理想オペアンプを用いて電流を検出した時の小信号電流伝達特性である。 $-3\text{dB}$  遮断周波数は  $i_{+z}/i_x$  で  $110\text{MHz}$  であり  $i_{-z}/i_x$  で  $100\text{MHz}$  である。これは電流モード構成の CCII が高速動作可能であることを示している。

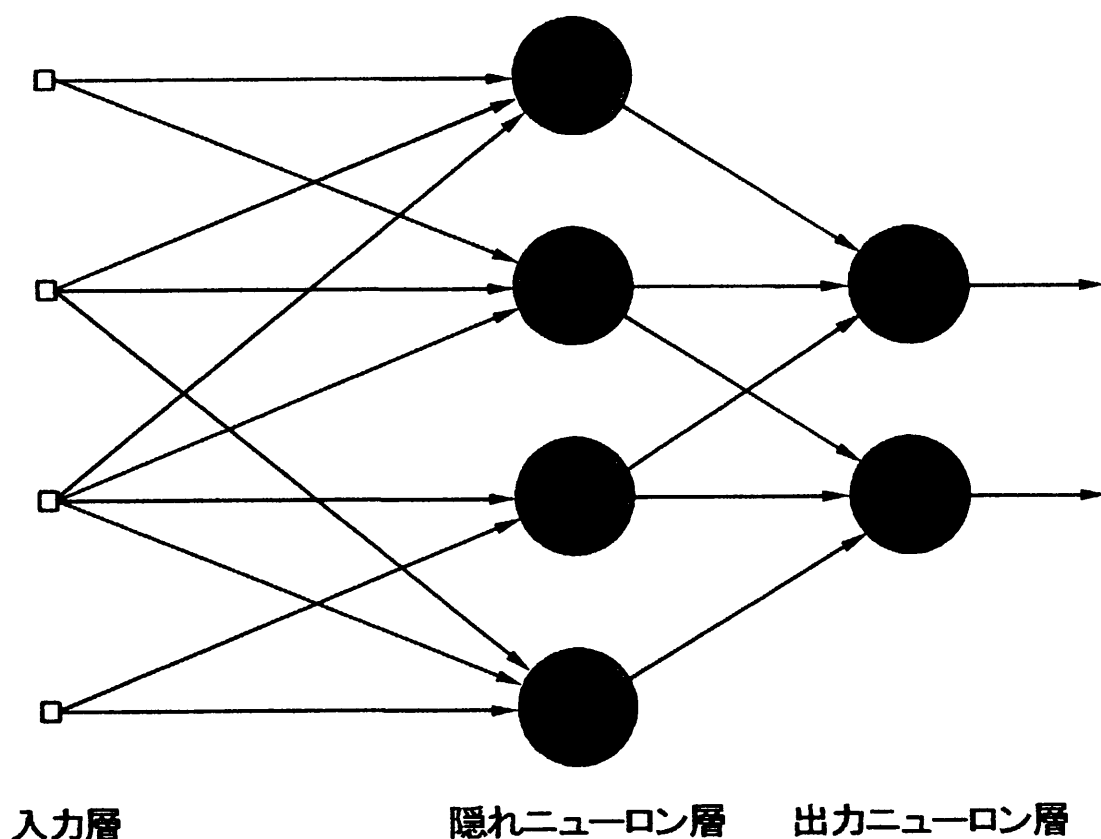
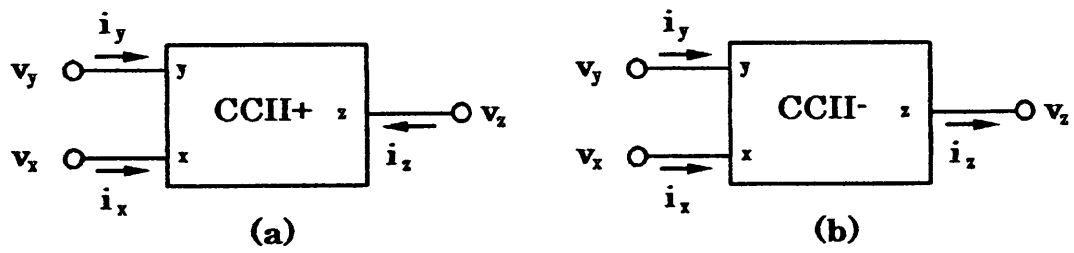


図 4.2 3 層ニューラルネットワーク



$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix}$$

(c)

図 4.3 カレント・コンベア (CCII)

(a) 正極性カレント・コンベア (CCII+)

(b) 負極性カレント・コンベア (CCII-)

(c) 入出力マトリックス

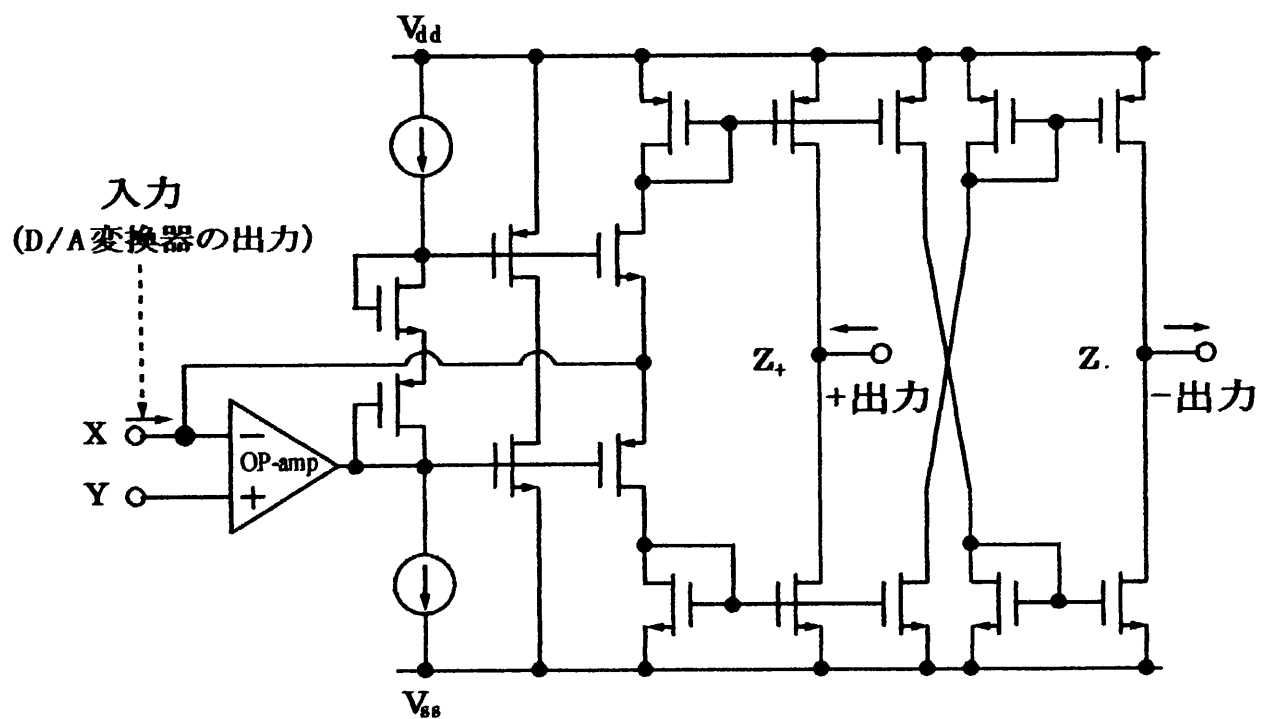


図 4.4 第 2 世代カレント・コンベア (CCII)

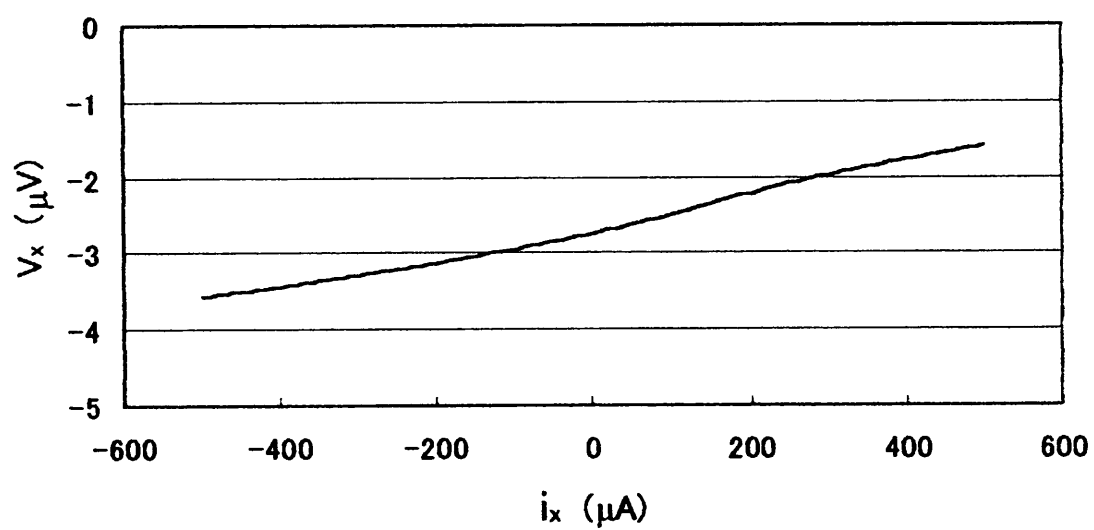


図 4.5 低入力インピーダンス CCII の入力電流－電圧特性

### 4.3 減衰器

提案した  $W/L=200\mu\text{m}/3\mu\text{m}$  の時の CMOS R-2R ラダー型 DA 変換器の周波数特性を図 4.7 に示す。-3 dB 遮断周波数は 224 MHz である。また正弦波を基準端子に入力したときの試作 CMOS DA 変換器の高調波歪みを図 4.8 に示した。全高調波歪み (THD: total harmonic distortion) は約 0.1% である。これらの特性から、提案した CMOS DA 変換器は図 4.9 に示したデジタル制御減衰器として応用できる<sup>[7]</sup>。この場合、減衰器の利得は次式となる。

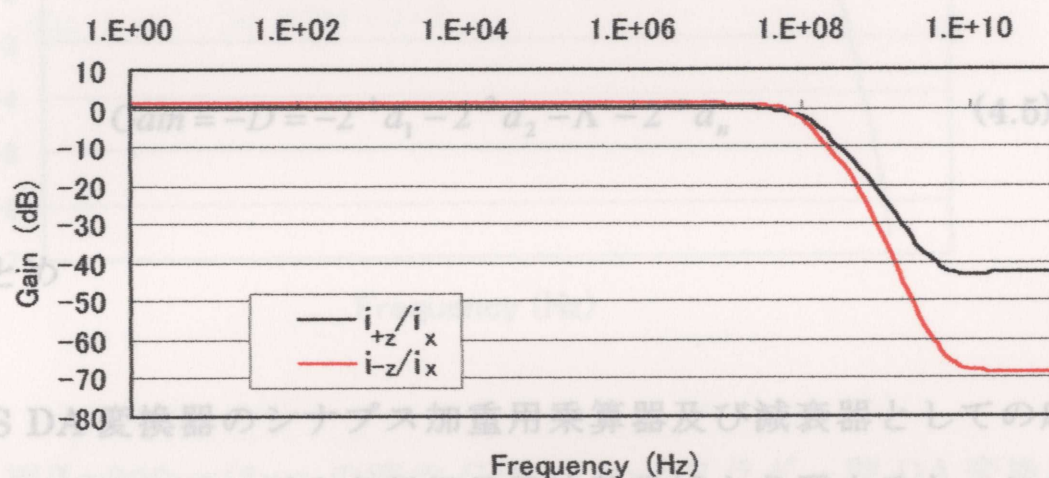


図 4.6 低入力インピーダンス CCII の小信号電流伝達特性

提案した CMOS DA 変換器を高分解能の DA 変換器の前段或いは後段変換器として利用することも可能である<sup>[8]</sup>。第 5 章では本論文の結論を述べる。

### 4.3 減衰器

提案した  $W/L=200\mu\text{m}/3\mu\text{m}$  の時の CMOS R-2R ラダー型 DA 変換器の周波数特性を図 4.7 に示す。-3 dB 遮断周波数は 224 MHz である。また正弦波を基準端子に入力したときの試作 CMOS DA 変換器の高調波歪みを図 4.8 に示した。全高調波歪み (THD: total harmonic distortion) は約 0.1% である。これらの特性から、提案した CMOS DA 変換器は図 4.9 に示したデジタル制御減衰器として応用できる<sup>[7]</sup>。この場合、減衰器の利得は次式となる。

$$\text{Gain} = -D = -2^{-1}d_1 - 2^{-2}d_2 - \Lambda - 2^{-n}d_n \quad (4.5)$$

### 4.4 まとめ

CMOS DA 変換器のシナプス加重用乗算器及び減衰器としての応用を示した。図 4.10 に示す各種信号周波数帯域を参照すると、この変換器はビデオ用 DA 変換器としても応用可能である<sup>[8]</sup>。また、提案した CMOS DA 変換器を高分解能の DA 変換器の前段或いは後段変換器として利用することも可能である<sup>[9]</sup>。第 5 章では本論文の結論を述べる。

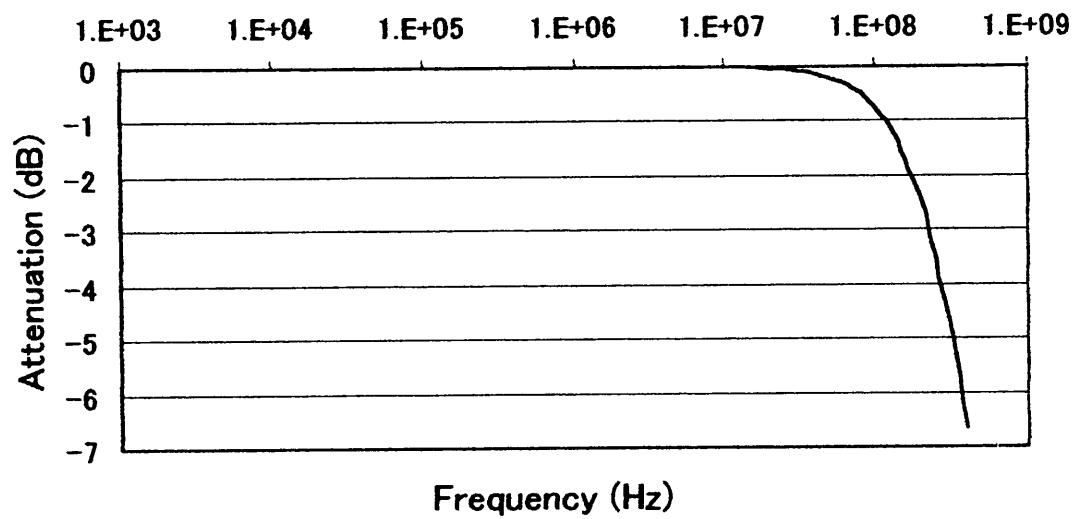
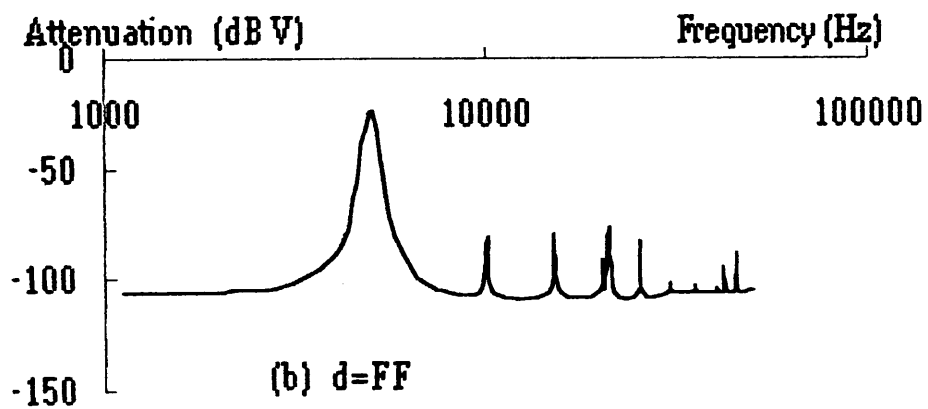
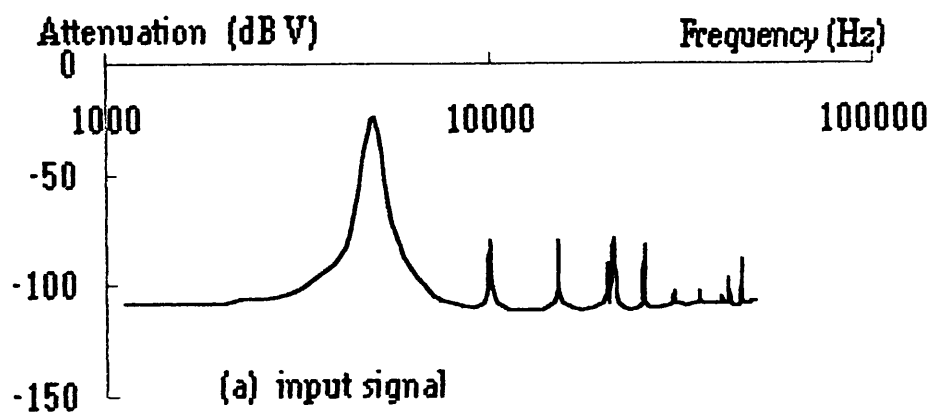


図 4.7  $W/L=200\mu\text{m}/3\mu\text{m}$  の時の CMOS R-2R ラダー型 DA 変換器の  
周波数特性



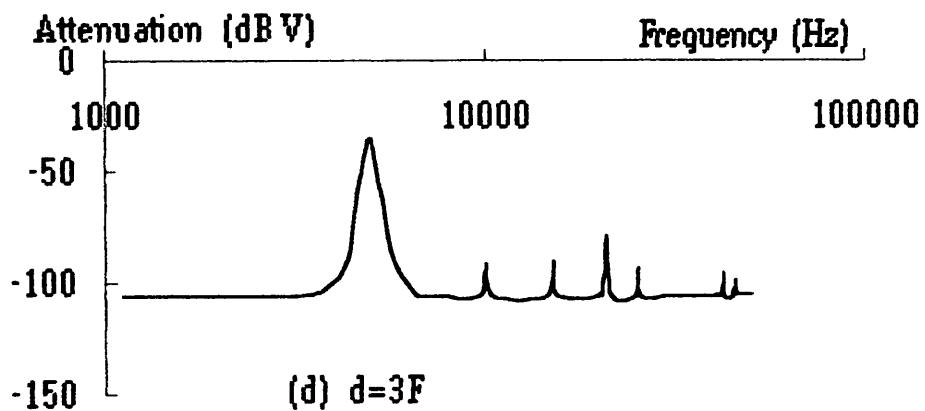
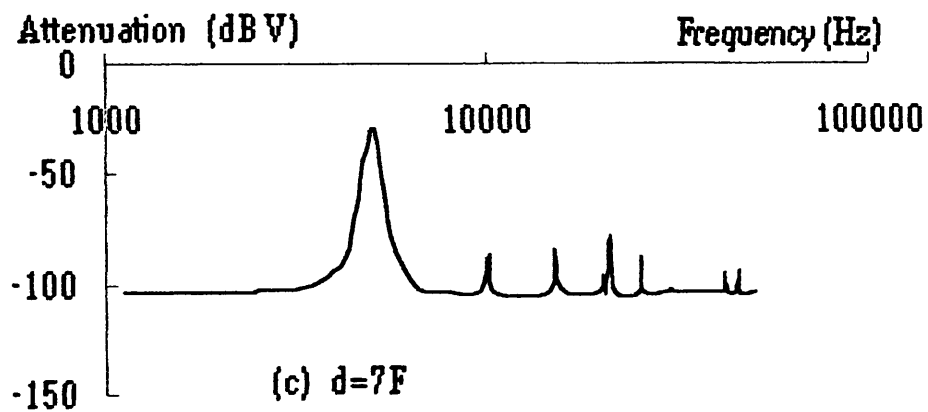


図 4.8 試作した DA 変換器の高調波歪み(a)入力信号, (b) $d=FF$ ,  
(c) $d=7F$ , (d) $d=3F$

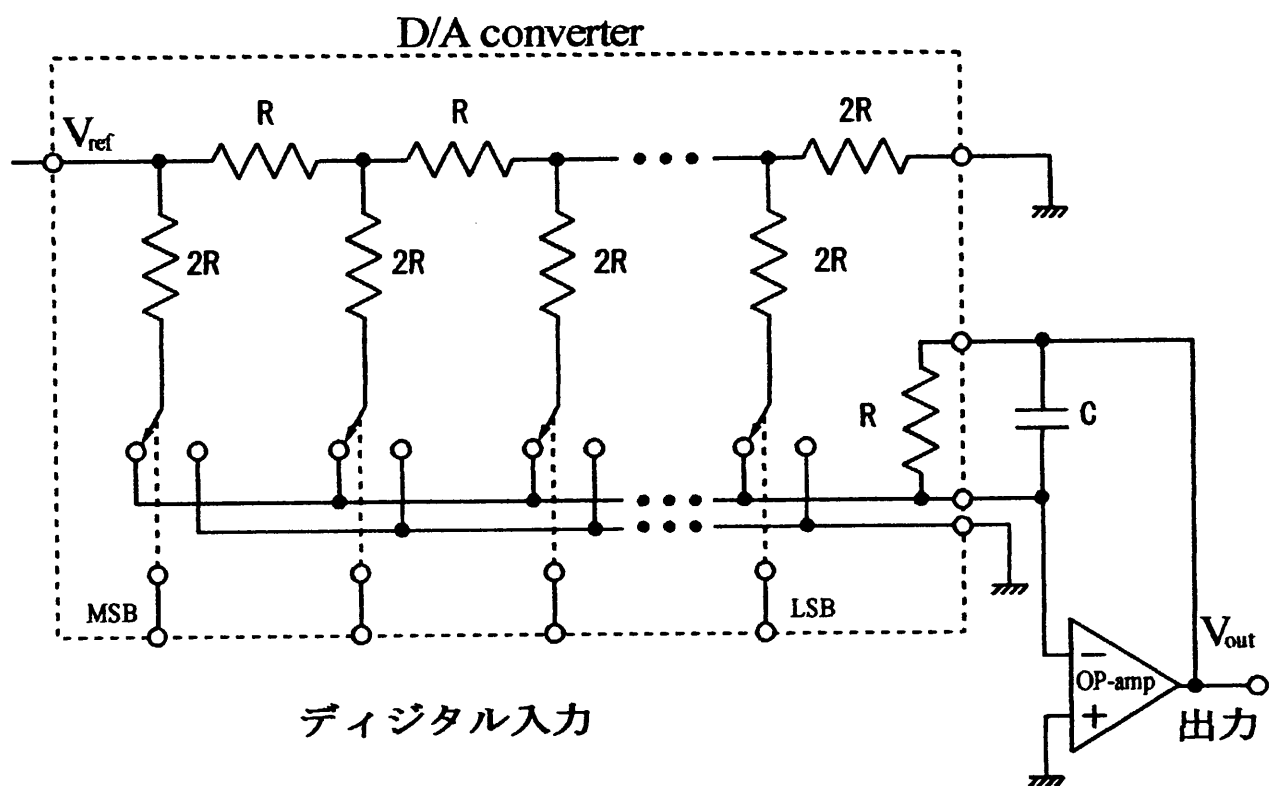


図 4.9 CMOS R-2R ラダー型 DA 変換器を利用したデジタル制御減衰器

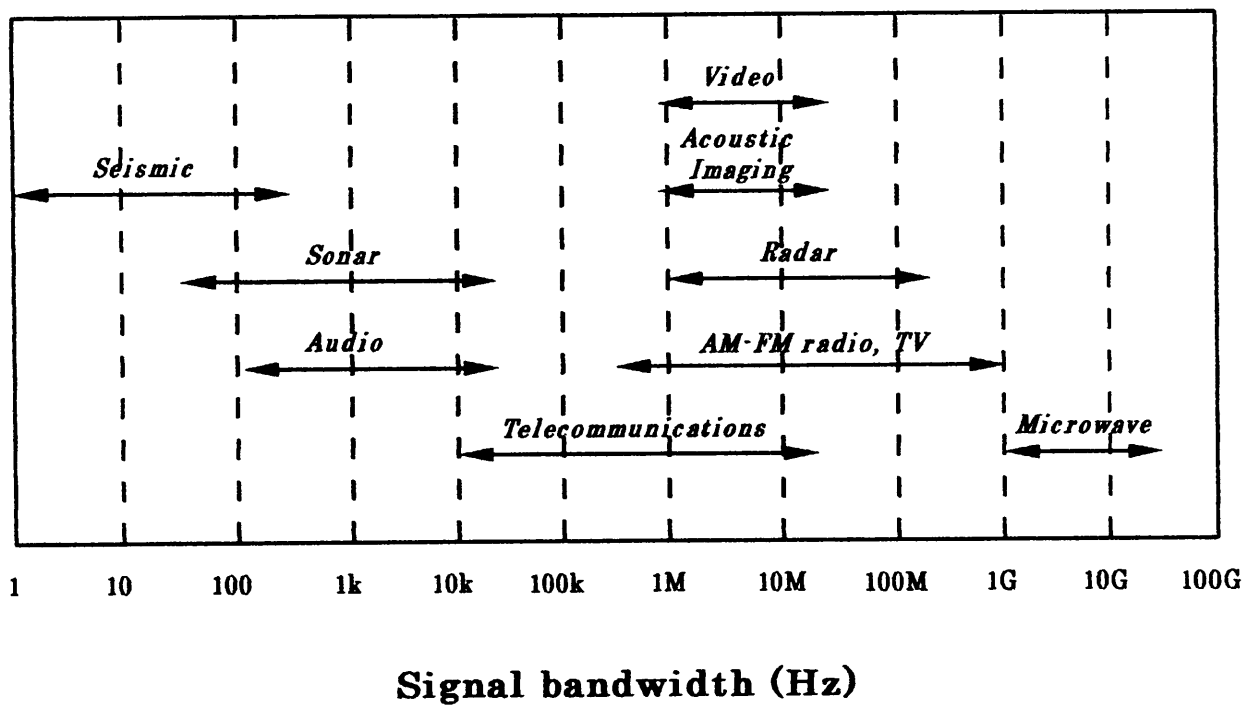


図 4.10 各種信号の動作する周波数領域

## 参考文献

- [1] Rudy Van De Plassche: *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Netherlands: Kluwer Academic Publishers, 1994, Chap. 2.
- [2] K. Watanabe, L. Wang, H-W. Cha, and S. Ogawa, "A current-mode approach to CMOS neural network implementation," *Proc. International Conferences on Algorithms and Architectures for Parallel Processing*, pp. 625-637, 1997.
- [3] Edgar Sanchez-Sinencio and Clifford Lau, ed., *Artificial Neural Networks Paradigms, Applications, and Hardware Implementations*, New York: IEEE Press, 1992, Part 1.
- [4] Simon Haykin, *Neural Networks: a Comprehensive Foundation*, New York: Macmillan Publishing Company, 1994, Chap. 1.
- [5] C. Toumazou, F. J. Lidgey and D. G. Haigh: *Analogue IC Design: The Current-Mode Approach*, London: Perter Peregrinus Ltd, 1990, Chap. 3.
- [6] 倉科, 示野, 小川, 渡辺: "低入力インピーダンス AB 級 CMOS カレント・コンベア", 電気学会電子回路研究会, ETC-00-53, pp.71-75, 2000.
- [7] A. J. Peyton and V. Walsh, *Analog Electronics with Op Amps*, Cambridge: Cambridge University Press, 1993, Chap. 5.

- [8] R. S. Soin, F. Maloberti, and J. Franca, ed., *Analogue-Digital ASICs; Circuit Techniques, Design Tools and Applications*, London: Peter Peregrinus, 1991, Chap. 1.
- [9] Alan B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York: John Wiley & Sons, 1984, Chap. 14.

## 第5章 結論

本論文では、通常の抵抗を用いた電流モードR-2Rラダー型DA変換器、及び、CMOS構成のR-2Rラダー型DA変換器について行った研究成果について述べた。

通常の抵抗を用いたR-2Rラダー型DA変換器に関しては、

- ① 電圧モード構成と電流モード構成を解析し、電流モード構成が低消費電力動作に最も適していることを証明した。
- ② 電流モード構成のDA変換器の積分非直線性(INL)の要因は、主に抵抗の不整合、スイッチのオン抵抗、配線抵抗である。それぞれの誤差要因がある場合のINLパターンの顕著な特徴をHSPICEを用いたシミュレーションによって明らかにした。
- ③ 抵抗不整合によるINLは計算によって求めることができ、抵抗の不整合を $\varepsilon$ とすれば、 $\varepsilon < 2^{-n}$ がnビットの精度を得るための必要条件であることを示した。
- ④ ラダーの各抵抗値を外部端子での電圧、電流を測定することによってラダー抵抗を導出する方法を示した。シミュレーションによってその方法が妥当であることを確認した。
- ⑤ INLの最大値が1LSBとなる時の配線抵抗同士の比( $R_{out}/R_{out}$ )と配線抵抗 $R_{out}$ とラダー抵抗 $R$ の比( $R_{out}/R$ )の関係とそれぞれの抵抗の値を決める方法も示して、nビットの分解能を得るためには配線抵抗はラダー抵抗の $2^{-n}$ 以下でなければならないことを示した。

次に、CMOS R-2R ラダー型 DA 変換器に関しては、

- ① 線形領域に動作しているときの MOS トランジスタの最大のドレイン電流を求め、トランジスタのアスペクト比の条件を明らかにした。
- ② 0.6 $\mu$ m CMOS プロセス技術を用いて試作した 8 ビット CMOS ラダー DA 変換器の特性についてシミュレーションと実測を行った。
- ③ モンテカルロ解析によって 8 ビットの分解能を得るために抵抗の不整合が  $\varepsilon < 0.4\%$  となる必要があることを示した。
- ④ 抵抗 DA 変換器で述べた特性評価方法を用いて INL の最も支配的な要因は配線抵抗であり、ラダー自体では 8 ビットの分解能を得られることを示した。

本研究の結果によって CMOS R-2R ラダー型 DA 変換器に関する設計基準を確立することができた。

最後に、CMOS ラダー型 DA 変換器のシナプス加重乗算器及び減衰器としての応用を紹介した。

提案した CMOS ラダー型 DA 変換器の INL を決める要因であるトランジスタの不整合、スイッチのオン抵抗、配線抵抗のうち、前の 2 つはプロセス技術の向上により改善することが可能である [1], [2], [3]。

またレイアウトを工夫して、CMOS ラダー型 DA 変換器の出力を測るための差動増幅器を同じチップの中に製造すると、DA 変換器の出力端子と差動増幅器の入力端子の間の配線抵抗を減らすことは可能である。従って配線抵抗による INL への影響を減らすこともできる。これらの改良によって更に高精度の CMOS ラダー型 DA 変換器が実現で

きよう。

電流モード回路は広い帯域幅を有し，低い電圧供給レベルでも広いダイナミックレンジが得られるため，注目を集めている。電流モード回路システム設計に必要な CMOS カレントミラー，カレント・コンベアーなどの部分回路はすでに提案されている<sup>[4]</sup>。MOS トランジスタのみによって構成されるスイッチド・カレント技術などを用いると，アナログ・デジタル信号処理システムを構成できる<sup>[5]</sup>。このようなシステムにとって電流モード DA 変換器は不可欠である。従って本論文で提案した CMOS ラダー型 DA 変換器はこのようなアナログ・デジタル混成電流モードシステムに極めて有用であろう。

## 参考文献

- [1] R. Jacob Baker, Harry W. Li, David E. Boyce: *CMOS Circuit Design, Layout, and Simulation*, New York: IEEE Press, 1998, Chap. 3 and Chap. 5.
- [2] Amar Mukherjee, *Introduction to nMOS & CMOS VLSI Systems Design*, London: Printice-Hall, 1986, Chap.5 and Chap.7.
- [3] 柳井, 永田 : 改訂集積回路工学 ( 2 ) 回路技術編, コロナ社 (1988)
- [4] C. Toumazou, F. J. Lidgey and D. G. Haigh, (Eds.): *Analogue IC Design: The Current-Mode Approach*, London, Peter Peregrinus, 1990.
- [5] C. Toumazou, J. B. Haughes, and N. C. Battersby, (Eds.): *Switched-Currents; an Analogue Technique For Digital Technology*, London, Peter Peregrinus, 1993.

## 謝辞

まず私を指導し、そしてあらゆる助力をしてくださった静岡大学電子工学研究所渡辺健蔵教授に心から感謝を申し上げます。

本論文を御査読頂き、有益な助言を下された静岡大学藤安洋教授、同川人祥二教授、同浅井秀樹教授、同村上健司助教授にも深く感謝致します。

また静岡大学電子工学研究所助手小川覚美、同技官中山政勝氏からも多大な指導と助言をいただき、大変お世話になりました。ここで深くお礼を申し上げます。

更に在学中に静岡大学電子工学研究所制御システム研究室のすべての先輩や仲間からも様々な指導と助言をいただきまして共に楽しい日々を過ごさせていただいたことを心から感謝を申し上げます。

また奨学金で私の研究生活を支えて下さった日本政府にも感謝を捧げます。

研究生活においてすべて関わった方々に感謝とお礼を申し上げます。

最後に私がこの論文を感謝の変わりとして父親と母親に捧げます。長い人生で常に心の側にいて下さった父と母に深くお礼を申し上げます。