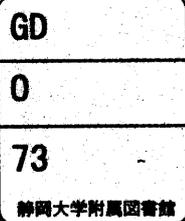


電子科学研究科松



0002515658 R

静岡大学博士論文

CMD イメージセンサの研究



1996年11月

松本 一哉

要旨

比較的簡単な構造で高感度と高解像度が得られるCCD(Charge-Coupled Device)が1970年に発明されると、瞬く間にビデオカメラ等の民生分野、更にはOA(Office Automation)カメラ等の産業分野において主流のイメージセンサとなった。しかしながら、次世代イメージセンサの代表であるHDTV(High Definition TV)用を目的としたCCDイメージセンサの実用化が進められるにつれ、消費電力の増大に起因する素子の発熱、あるいはスマア等の偽信号の増大や、画素寸法の縮小に伴う感度低下などの問題点が明らかとなった。このCCDイメージセンサの問題点を解消する為に、各画素で光信号を増幅し高感度化をはかる、増幅型固体撮像素子の研究開発が活発化してきている。

筆者は1984年に、電荷蓄積領域をMOS(Metal Oxide Semiconductor)ダイオード構造としたMOS型ホトトランジスタ: Charge Modulation Device (電荷変調素子:以降CMDと略記する)を画素とする、新たな増幅型イメージセンサ: CMDイメージセンサを提案した。本論文では、CMDイメージセンサの各画素を構成するCMDのデバイス設計指針を詳述し、続いて、その電氣的及び光学的特性を、実験とシミュレーションあるいは理論を対比しながら解析する。更に、CMDイメージセンサの設計指針ならびにその性能限界を明らかにする。これらの解析により、CMDイメージセンサがHDTV用等の撮像素子の高解像度化、更には撮像素子自体に信号処理機能を付加するインテリジェント化にとって有効なセンサである事を実証する。最後にHDTV用CMDイメージセンサを設計/評価してその特長を検証する。

本論文に於いては、先ず、CMDのデバイス構造と動作原理を詳述した。CMDはMOSホトダイオード構造である為、CMDのみで完全なリセット動作が可能となる。したがって唯一のCMDで、光電変換動作、光電荷蓄積動作、信号読み出し動作、電荷リセット動作という画素に必要な全ての動作が可能となる。更に、CMDのゲート電極はドーナツ状の平面構造を有し、全画素に共通のドレイン領域が光分離領域としても機能するため、別途画素分離領域を設ける必要がない。これらの構成により、CMDにおいては画素寸法が容易に縮小でき、CMDイメージセンサが高解像度化に適する特長を有する事を明らかにした。

次に、CMDの動作を定量的に把握するため、CMDの光電荷蓄積状態と信号読み出し状態及びリセット状態に於ける諸特性の測定結果と、デバイスシミュレーションあるいは理論的な解析結果の詳細な対比を行った。これらの比較検討の結果、CMDの動作特性の定量的な把握が可能となり、またCMDの動作メカニズムが明らかになった。更に、光電変換素子に於いて重要な特性である量子効率や光電変換特性、エリアセンサで重要なスマア抑圧特性等の諸特性が、シミュレーションあるいは計算により定量的に予測可能となった。

このシミュレーションあるいは理論的な計算により、画素寸法の縮小化や高感度化などの項目を中心としたCMDの限界特性について解析した。画素寸法の縮小化を検討した結果、1/3インチ200万画素HDTV撮像素子用の $2.6\ \mu\text{m}$ という微小寸法のCMDが実現可能である事を示した。また高感度化を検討した結果、CMDの上部構造膜の多重干渉効果を最適化する事により、P-N接合ホトダイオードと同等な量子効率が実現できることを明らかにした。

引き続き、CMDイメージセンサの構成と設計上の留意点を詳述した。CMDイメージセンサの周辺回路は、CMDの製造工程と整合性の良いCMOSFET(Complimentary MOS Field Effect Transistor)で構成する。このため、CMDイメージセンサの製造に必要なマスク枚数は14枚となり、CCDイメージセンサの製造に必要なマスク数と比べて少なく済む。又、このCMOSFETによるX-Yアドレス形式の周辺回路構成は、低消費電力化や信号処理回路のオンチップ化等に非常に有効である事も特長となる。更に、CMDの動作機構はドリフト原理に基づくため、画素の動作速度はHDTVの仕様を遥かに上回る事も実証した。加えて、画素部で信号を増幅するCMDの動作に起因して、CCDと比較して本質的に優れたスミア特性を有する事を、実験及び理論により明らかにした。

最後に、CMDイメージセンサの特長を実証するため、1インチ200万画素HDTVCMDイメージセンサを設計・試作し、その特性を評価した。低消費電力と高スミア抑圧特性を目標に設計した結果、 $206\ \text{mW}$ の低消費電力及び $-123\ \text{dB}$ という良好なスミア抑圧能力が実現できた。また、光電変換特性は線形であり、増幅型撮像素子を反映して $370\ \text{nA}/(\text{lx}\cdot\text{pixel})$ という大きな信号電流を得た。更に、残像は次フィールドにおいて測定検知限界(飽和信号電流の $0.1\ \%$)以下であった。

以上のCMDイメージセンサの考案と解析・評価により、X-Yアドレス方式であることによる低消費電力、内部増幅型であることによる高スミア抑圧特性と大信号電流、MOS型ホトダイオード構造であることによる無残像などの特長を明らかにし、CMDイメージセンサが撮像素子の高解像度化にとって非常に有効でありかつ実用的である事を実証した。

目次

第1章 序論	1
1. 1 本研究の背景	1
1. 2 本研究の目的	4
1. 3 本研究の概要	6
参考文献	9
第2章 CMDのデバイス構造と動作理論	11
2. 1 序	11
2. 2 CMDのデバイス構造と動作原理	11
2. 3 撮像素子の画素としてのデバイス動作	15
2. 3. 1 ソース電流-ゲート電圧特性	15
2. 3. 2 撮像素子の画素としてのCMDの光電変換動作	17
2. 3. 3 リセット、蓄積、読みだし状態での電位分布	19
2. 4 CMDの電圧-電流特性のデバイス寸法依存性	21
2. 4. 1 CMDのデザインルール	21
2. 4. 2 3.8 μm CMDのデバイス特性	23
2. 4. 3 CMDのデバイスの画素寸法限界	27
2. 5 まとめ	28
参考文献	29
第3章 CMDイメージセンサの基本動作と画素設計	31
3. 1 序	31
3. 2 信号蓄積動作	32
3. 2. 1 量子効率	32
3. 2. 2 CMDの暗電流	43
3. 3 信号読みだし動作	48
3. 3. 1 正孔蓄積能力	48
3. 3. 2 光電変換特性の解析的表現	53
3. 3. 3 信号変調（増幅）度	59
3. 3. 4 飽和正孔数と飽和出力及びダイナミックレンジ	60
3. 4 リセット動作	65
3. 5 まとめ	68
参考文献	70

第4章	CMDイメージセンサの構成と設計指標	7 2
4. 1	序	7 2
4. 2	CMDの動作速度解析	7 3
4. 2. 1	リセット速度の解析	7 6
4. 2. 2	オーバーフロー動作速度の解析	7 9
4. 2. 3	正孔蓄積動作速度	8 5
4. 2. 4	各状態間の遷移に必要な時間	8 6
4. 3	スメア抑圧特性	8 8
4. 4	まとめ	9 1
	参考文献	9 2
第5章	200万画素CMDイメージセンサの試作と評価	9 3
5. 1	序	9 3
5. 2	高解像度CMDイメージセンサの設計方針	9 3
5. 2. 1	イメージセンサの回路構成	9 4
5. 2. 2	駆動タイミングチャートとスメア抑圧方式	9 5
5. 2. 3	ハイビジョン用CMDイメージセンサの低消費電力化	9 6
5. 2. 4	設計仕様	9 9
5. 3	撮像特性	1 0 0
5. 3. 1	評価ボード	1 0 0
5. 3. 2	消費電力	1 0 2
5. 3. 3	スメア抑圧特性	1 0 3
5. 3. 4	解像度特性	1 0 4
5. 3. 5	残像特性	1 0 5
5. 3. 6	光電変換特性	1 0 5
5. 3. 7	分光感度特性	1 0 7
5. 3. 8	雑音特性	1 0 7
5. 4	まとめ	1 0 7
	参考文献	1 0 9
第6章	結論	1 1 1

Appendix 1: 円筒座標系デバイスシミュレータ	1 1 4
A. 1. 1 序	1 1 4
A. 1. 2 基本方程式	1 1 4
A. 1. 3 円筒座標系での差分化	1 1 5
A. 1. 4 Poisson方程式の差分化	1 1 7
A. 1. 5 電流連続方程式の差分化	1 1 9
A. 1. 6 CMDのソース電流の計算結果と測定結果の比較	1 2 4
A. 1. 7 まとめ	1 2 6
参考文献	1 2 8
Appendix 2: 光学特性のシミュレータとその応用	1 3 0
A. 2. 1 序	1 3 0
A. 2. 2 計算方法	1 3 0
A. 2. 3 プログラムの検証	1 3 3
A. 2. 4 CMDの光収集効率の性能限界	1 3 5
A. 2. 5 まとめ	1 3 9
参考文献	1 4 0
発表論文リスト	1 4 1
謝辞	1 4 3

第1章 序論

1. 1 本研究の背景

人間は情報の約9割を視覚情報として受け取ると言われる。この重要な視覚情報を機械的に獲得する役目を果たすのが撮像素子（イメージセンサ）である。この撮像素子の応用範囲は、民生分野では家庭用ビデオカメラあるいは電子スチルカメラ等が代表的であり、他方、産業分野ではFactory Automation(FA)あるいはOffice Automation(OA)用の入力デバイス、あるいは監視用カメラや防犯カメラなど広範多岐にわたる。しかも撮像素子の応用範囲は、撮像素子の性能の向上や新たな機能の追加と相俟って拡大の一步を辿っている。

撮像素子の研究開発の歴史は古く、その開発の当初はサチコンあるいはイメージオシロン又はビジコンと呼ぶ、真空管の一種である撮像管が主流であった。しかしながら現在においては、Charge-Coupled Device (CCD)に代表される固体撮像素子[1]が主流となっており、撮像管は放送業務用カメラ等で一部使われるにすぎなくなった。

原理的に固体撮像素子は、撮像管と比べて小型、軽量、レジストレーションフリー、メンテナンスフリー等の多くの特長を備えている。しかし固体撮像素子の開発当初は、撮像管と比較して感度が低く、またキズ（画素欠陥）も多くて実用に耐え得るものではなかった。この固体撮像素子の特性の改善を支え、現在の固体撮像素子の隆盛を導いたのが、メモリ等のIC(Integrated Circuit)製造に使用する半導体製造技術である。現在では、一般的な画像入力デバイスとしてのCCDの性能はほぼ満足できるレベルに達しており、家庭用ビデオカメラには全てCCDが搭載されるに至った。CCDを生産する半導体製造技術は、特性の揃ったデバイスを量産するのに適した技術であり、ここ当分の間、固体撮像素子が撮像素子の主流を占めるのは間違いない。

一方、ハイビジョン(High Definition Television:HDTV)や画像を用いる各種診断システム等の発展により、更に質の高い画像情報をシステムに取り込む要請が強い。この要請に応えるために固体撮像素子に要求される技術は、

- ① きめ細やかな映像を獲得するための素子の高解像度化（多画素化+高速動作）、
- ② ビデオカメラを小型軽量化・低消費電力化するための素子の小型化、
- ③ より暗い映像まで獲得するための素子の高感度化、

に大別される。しかしながら撮像素子の高解像度化と低消費電力化ならびに高感度化は互いに相反する性質を持ち、同時に満足させる事は非常に困難である。すなわち、高解像度を実現するため画素数を増加させれば、撮像素子の大型化を招く。撮像素子を小型化する

ため画素の寸法を縮小すると、入射光量が減少し感度が低下する。したがって、この3つの開発指針を同時に満足させる技術を開発することが、優れた固体撮像素子を実現する為に必要な課題となっている。

現在の固体撮像素子を代表するCCDイメージセンサは1970年に発明された[2]。CCDは比較的簡単な構造で高感度・高解像度が得られることから、今日、ビデオカメラ等の民生分野やOAカメラ等の産業分野におけるイメージセンサとして主流をなしている。しかし、前述した固体撮像素子の小型化、高感度化、高解像度化と言った基本特性の向上に関する要求は強く、その上、素子自身に信号処理機能を持たず多機能化も要求されている[3]。近年、HDTV用を目的としたCCDイメージセンサの実用化が進められているが、HDTV規格であるBTA S-001[4]を満足するイメージセンサに必要な有効画素数は約200万個（水平：1920画素、垂直：1036画素）にもものぼり、従来の家庭ビデオカメラ用イメージセンサに必要な画素数の約30万個と比べて5倍以上の多画素化が必要となる。この結果、HDTV用CCDイメージセンサの実用化の上で、幾つかの重大な問題点が顕在化してきた。

第一の問題点は、クロックパルスの周波数の増大に伴う消費電力の増大と、それに起因するイメージセンサチップの発熱である。低消費電力化を目的として、2線信号読みだし方式のIT(Interline Transfer)型HDTVCCDイメージセンサ[5]が報告されているが、消費電力は0.49 Wと大きい。通常のセラミックパッケージの放熱率は50℃/W前後であるため、チップの温度は約25℃上昇し、受光部で発生する暗電流が約8倍増加する。この結果、暗電流に起因する固定パターン雑音とランダム雑音が増大し、画質の低下を引き起こす。現在、実用になっているHDTVCCDカメラにおいては、ペルチエ素子等を使ってイメージセンサを冷却し、この原因による画質の低下を回避している[6]。しかし、一方で冷却装置の追加により、カメラ全体での消費電力はますます増大する。更に、電子内視鏡[7]等の応用においては、固体撮像素子を内視鏡の先端部に使用する為、先端部の高密度実装が不可欠で、チップの発熱はより深刻な問題となる。

HDTV用撮像素子においては、画素数の増加に拘わらず1/30秒のフレームレートが要求される。その結果、信号のデータレートは74.25 MHzにもなる。2線信号読みだし方式を前提にしても、信号の転送レートは37.125 MHzと高速となる。HDTV用CCDの大消費電力の原因は、このHDTV規格に適合した高い周波数で大容量を有するCCDの転送電極を駆動する事に起因する。つまり、CCDイメージセンサの構成と動作原理自体を抜本的に見直さない限り、高解像度用撮像素子の消費電力化という問題の根本的な解決は得られない。

第二の問題点は、高輝度の光が入射した時にその領域の上方及び下方に白い縦筋が発生する固体撮像素子に特有のスマアの増大である。前出のIT型HDTVCCDイメージセンサ[5]に於いてはスマア抑圧比は-80 dBと報告されており、放送業務用カメラに必要なレベルである-120 dBは達していない。CCDのスマア抑圧比を改善する為に、撮像部下方に光電荷蓄積部を追加形成し、垂直帰線期間中に電荷を蓄積部へ高速転送するFrame Integration

Transfer CCD (FITCCD) が開発されている[8]。HDTV用FITCCDのスミア抑圧比は-120 dBと満足できるレベルとなっており、放送スタジオカメラとして製品化されている。しかし、FITCCDでは水平CCDに加えて垂直CCDも高速で駆動する必要があるため、消費電力は2.21 W [5]とITCCDより更に増大するという問題点を孕む。又FITCCDは、新たに信号蓄積部を同一チップ上に形成するためチップ寸法が大きくなり、チップ面積の増大による歩留まりの低下や高密度実装が困難となる、といった問題も生じる。

CCDの多画素化に伴うスミア抑圧比の低下は、1画素の受光部面積が垂直CCD信号転送路の面積に比べ小さくなる事に起因する。つまり、画素部以外で発生し転送路に混入するノイズ電荷が、相対的に光信号電荷に比べて増大することによる。光発生電荷の個数を画素部で増倍せず、電荷を直接転送路で排出する方式を採用する限り、多画素化に伴うスミア抑圧能力の劣化は避けられない。

第三の問題点は感度の低下である。有効光学エリアが同一の光学フォーマットに対応した撮像素子においても、画面のアスペクト比の違いと画素数の差に起因して、HDTV用の撮像素子の画素の面積はホームビデオカメラ用の撮像素子の画素の面積の約0.17倍に低下する。画素面積の低下は同一板面照度下での画素に入射する光子数の減少となるため、画素に蓄積される電荷数が減少し感度の低下を招く。

この感度低下の対策として、各画素のホトダイオード上に実効的に開口面積の向上が可能となるオンチップマイクロレンズの形成[9]、あるいは光電変換膜の積層化[6]が報告されているが、Silicon Intensifier Tube (SIT) 管等の高感度型撮像管[10]と同等の性能を得るためには更に感度改善の必要がある。

以上の議論をまとめると、高解像度イメージセンサに於いては感度の低下を招くという共通の問題点があり、FITCCDにおいては高消費電力とチップ面積の増大、ITCCDにはスミア抑圧比の低下という相反する問題点が存在することが判明した。

さて、撮像素子の高解像度化についての要求はHDTVに止まらない。例えば、電気通信技術審議会から高解像度電子映像メディアあるいは放送・コンピュータ入力などの汎画像メディアの入力素子として、超高精細デジタル映像システム(UDTV:Ultra Definition TV)に関するスタジオ規格が報告されている。このUDTVにおいては画素数は200万個以上、駆動方式として順次(ノンインターレス)走査、毎秒60枚のフレームレートの性能が要求される。その結果、信号のビットレートはG bit/秒のオーダーとなり、HDTV用の撮像素子以上の高速駆動性も必須となる。このようなUDTV撮像素子に要求される性能をCCDで実現する事は、消費電力の増大やスミア抑圧能力の劣化から困難であり、新しい動作原理による撮像素子にその答えが求められる。

以上の背景に鑑みて、筆者は現状の高解像度用CCDイメージセンサが抱える高消費電力、スミア抑圧比の劣化、感度の低下といった問題点を克服できる撮像素子として、選択された画素のみの信号を順次読み出す事により低消費電力化が実現可能なX-Yアドレス方式を

使い、画素部に於いて素子内で発生する雑音レベル以上に信号を増幅し、高スミア抑圧比と高感度が達成可能となる増幅型イメージセンサが最適であると考えた[11-14]。

増幅型イメージセンサについては、既にCCDが発明される以前から、バイポーラホトトランジスタ、あるいはMOSFET(Metal Oxide Semiconductor Field Effect Transistor)のゲートに結合した形のホトダイオードを画素とする増幅型撮像素子等が報告されていた。しかしCCDの発明以来、固体撮像素子の研究開発の主流はCCDイメージセンサに移行し、増幅型固体撮像素子の開発は沈滞が続いた。近年、前述したHDTV用等の高解像度用CCDイメージセンサの問題点が顕在化した結果、再び増幅型固体撮像素子が注目され、その研究開発が活発化してきている。この背景には高度な進歩を遂げた半導体製造技術とデジタル信号処理技術がある。

高解像度化に適する増幅型イメージセンサの画素構造は、画素（デバイス）寸法の縮小が容易である事と高速動作に適応できる事が前提となる。しかしながら、現在までに提案されているSIT(Static Induction Transistor)[15], FGA(Floating Gate Amplifier)[16], BASIS(BAse Stored Image Sensor)[17], AMI(Amplified Mos Imager)[18]等の増幅型撮像素子では、各画素に蓄積された信号電荷を読み出した後に、次の新しい信号電荷を蓄積する為に、前の信号電荷を完全に吐き出すリセットトランジスタを各画素中に追加形成する必要があった。この結果、画素寸法の縮小が難しく、撮像素子の高解像度化や小型化が困難であった。そこで、高解像度化に適した増幅型イメージセンサに関する研究が望まれていた。

1. 2 本研究の目的

このような要請に応えるために筆者は、電荷蓄積領域にMOSダイオード構造を用いた、埋め込みチャンネル型MOSホトトランジスタを画素とする新たな増幅型イメージセンサ：

Charge Modulation Device(電荷変調素子:CMD)イメージセンサを提案した。この素子は、

- ① 光電荷蓄積部をMOSダイオード構造とした為、CMDのみで完全なリセット動作が可能
- ② したがって、唯一個のCMDで光電変換動作、光電荷蓄積動作、信号読み出し動作、電荷リセット動作という画素に要求される4つの動作が可能となり、画素寸法を容易に縮小できる、すなわち撮像素子の高解像度化に適する
- ③ 電界により発生する力で電荷を移動させるドリフト機構をその動作原理とした為、デバイスの高速動作が可能
- ④ CMDイメージセンサの周辺回路を、CMDの製造工程と整合性の良いCMOSFETで構成できる為、CCDと比較してCMDイメージセンサの製造工程は短くて済み、また低消費電力化と信号処理回路のオンチップ化等が容易

という数々の特長を有する。

図1. 1に、CMDイメージセンサ[11, 12]及びCCDイメージセンサ[5, 8]の1画素の断面構造を示す。

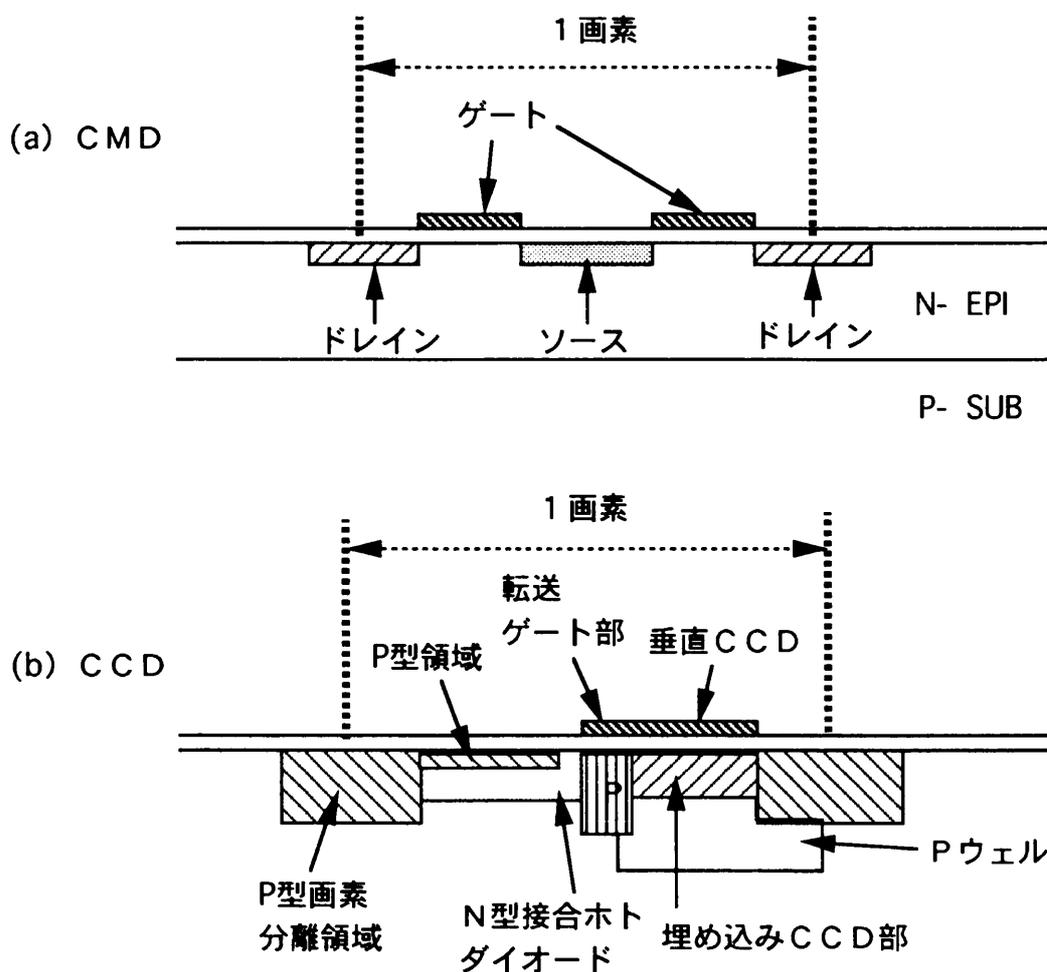


図1. 1 CMDイメージセンサ(a)及びCCDイメージセンサ(b)の1画素の断面構造

第2章で詳述するが、CMDは埋め込みチャンネル型MOSトランジスタの構造を有し、画素の中心に位置するソース部と、ソース部を取り囲む様に形成したゲート部、及び、ゲート部を取り囲む様に形成したドレイン部よりなる。一方CCDの1画素は、画素間を分離する為のP型拡散層と、表面に浅いP型拡散層を有するN型拡散層よりなるホットダイオード部、ホットキャリアを転送する為の垂直埋め込みCCD部、及び、ホットダイオードと垂直CCDの間に位置する転送ゲート部で構成される。

同図の(a)と(b)を見比べると、CMDのドレイン部がCCDのP型画素分離領域に、ゲート部が接合ホットダイオードと垂直CCD部に、ソース部が転送ゲート部に対応する事が分かる。

CMDのドレイン部は $0.3 \mu\text{m}$ 程度の浅い拡散層で形成するのに対して、CCDのP型画素分離領域は分離機能を充分果たす為に $1 \mu\text{m}$ 程度の深い拡散層が必要となる。拡散層が深くなるとその横拡がりも大きくなり、微細な平面寸法の実現が困難となる。CMDのゲート部が拡散層を含まないMOSダイオード構造を有するのに対して、CCDのホットダイオード部と垂直CCD部は深い拡散層を含む構造で構成される。ドレイン部と同様に浅い拡散層よりなるCMD

のソース部の平面寸法は、P型拡散層をその構造に含むCCDの転送ゲート部の平面寸法とほぼ等しい。以上のCCDとの比較分析より、CMDは画素寸法の微細化が容易である。

実用的な高解像度CMDイメージセンサを実現するには、

- ① CMDイメージセンサの動作特性を実験的あるいは理論的に解明し、
- ② CMDイメージセンサの設計論を確立し、最適化をはかる事

が必要である。

本研究の目的は、HDTV用CMDイメージセンサを開発する立場から、CMDの動作について測定結果と計算結果の詳細な対比を行い動作特性を定量的に解析すること。理論あるいはシミュレーションを用いて、画素寸法の縮小化や高感度化及び高速化などの限界を求めること。最終的には1インチ200万画素HDTVCMDイメージセンサを設計・試作し、撮像特性の評価を通して高解像度CMDイメージセンサの設計論を確立し、CMDイメージセンサの優位性を実証する。

1. 3 本研究の概要

以下、各章毎に本研究の概要を述べる。

第2章においては、先ずCMDの素子構造を述べ、次にデバイスの動作原理を明らかにする。最初に受光部となるMOSゲート電極をソース領域を囲むように形成する事、ゲート電極の外部に全てのCMDに共通のドレイン領域を形成する事などを中心としたCMDの平面構成とその特徴を詳述する。続いて、光が入射するゲート電極は光吸収を防ぐため薄膜多結晶シリコンよりなる事、高抵抗基板及び高抵抗チャネル層が使われている事などの特徴を中心に素子の断面構造を述べる。

次にCMDの動作原理について詳述する。先ず、CMDのデバイス内電位分布状態の模式図を示し、電位鞍点が存在する電位分布となっている事、この鞍点電位がソースドレイン電流を制御する事などを述べる。次に、CMDの電流電圧特性の測定結果を説明し、バルク伝導モードでは平衡状態と非平衡状態で大きく電流値が異なる事、この特徴を光信号の検出に使用する事、表面伝導モードでは非飽和電流特性を示す事を明らかにする。その後、イメージセンサの画素としてのCMDの動作状態を、模式的な電流電圧特性図を用いて述べる。又、光信号蓄積状態、電流読みだし状態、リセット状態の各状態での電位分布図を使い、CMDの光電変換動作の原理と高速動作性などの特徴を明らかにする。

第2章の最後では、CMDのデバイス寸法の縮小限界を議論する。ここでは先ず、実際に作成したCMDの、画素サイズと設計ルールとの関係をまとめる。続いて、 $3.8\ \mu\text{m}$ CMDの動作

特性を、シミュレーションを用いて解析する。最後に、同じくシミュレーションを用いて、デバイス寸法の縮小限界を明確化し、CMDは高解像度撮像素子の実現に当たり前提となる、画素寸法の縮小容易性を有する事を明らかにする。

第3章においてはCMDの蓄積動作と信号読みだし動作及びリセット動作を中心に、CMDイメージセンサの画素構造と光電変換動作を定量的に解析し、画素構造の設計指針を明らかにする。具体的にはCMDの光電変換特性を実験とシミュレーションあるいは理論を対比しながら詳述し、動作特性を実験的あるいは理論的に解明する。

まず、光電荷蓄積状態を解析する。量子効率を決める要因の一つである光透過率と、半導体表面のゲート電極等の上部構造膜の構造および膜厚の関係を解析する。次に、シリコン表面の有効光電変換層厚と分光感度の関係を解析する。続いて、光感度分布に関する実験結果を詳述した後、以上の光透過率と分光感度および光感度分布より計算できる量子効率を、実験で得られた量子効率と比較し、量子効率の設計指針を確立する。最後に、信号読みだし時のS/Nを決めるランダムノイズの主要因である、熱発生による暗電流について解析する。

続いて、信号読みだし状態を解析する。まず、ダイナミックレンジを決める飽和正孔量と読みだしゲート電位の関係を、実験及びシミュレーションを対比しながら解析する。次に信号読みだし状態における電流－電圧特性の解析的な表現を導出し、正孔の電流変調度や電流増幅率等の光電変換特性を詳細に評価する。その結果、CMDの信号増幅率は10以上である事、つまり、CMDは信号を増幅して読み出している事を明らかにする。

第3章の最後としてCMDのリセット状態を解析する。ここでは5 μ mCMDのリセット特性に関する実験結果、及び、解析式によるリセットバイアスの理論的検討を行い、CMDは高解像度撮像素子に必須の高速リセット特性を有する事を実証する。

第4章においてはCMDイメージセンサの設計要素を、センサの動作速度特性を中心に詳述し、高解像度CMDイメージセンサの設計指標を明らかにする。

まず、CMDに固有の動作速度について、数値計算及び実験により解析する。最初に撮像素子における光電変換の動作サイクルを記述し、次に、CMDの光信号蓄積状態より信号読みだし状態に遷移する速度は数百psecである事、さらにCMDのリセット動作速度はサブ μ secと高速であり残像が生じない事などをシミュレーションにより検証する。又、オーバーフロー動作に必要な時間についても述べる。結論としては、CMDは電界によるドリフト機構を動作原理とするため、高解像度撮像素子に必須の高速動作性を有する事を明確化する。

次にCMDイメージセンサにおけるスマア特性を、実験及びシミュレーションにより評価し、その結果、CMDイメージセンサは優れたスマア抑圧特性を有する事を明らかにする。

第5章では、高解像度CMD固体撮像素子の性能を検証する為、第3章と第4章で明らかにした設計法を適用したハイビジョン用CMD撮像素子を試作し、この素子及びカメラシステムの評価結果を詳述する。先ず、ハイビジョン用1インチ200万画素CMDイメージセンサの回路構成と駆動タイミングチャートを述べる。次に低消費電力を達成する為の、センサの具体的設計手法を詳述する。続いて、この撮像素子の特性について、解像度特性、光電変換特性、分光感度特性、消費電力、スマア抑圧特性、等を中心に評価する。このCMD撮像素子はCCDイメージセンサと比較して1桁程度少ない消費電力であり、又、良好なスマア抑圧特性を有する事を明らかにする。以上の評価結果より、当初の目論み通り、将来の固体撮像素子の高解像度化にとってCMDイメージセンサが有望である事を明らかにする。

第6章においては、本論文で得られた成果を総括する。最後に、本論文で詳述したCMDイメージセンサを使用する事で新たな展開が可能な固体撮像素子の分野を展望したい。

参考文献

- [1] テレビジョン学会編：固体撮像デバイス、昭晃堂（1986）。あるいは、木内雄二：イメージセンサの基礎と応用、日刊工業新聞社（1991）
- [2] W. S. Boyle and G. E. Smith : Charge Coupled Semiconductor Devices, BSTJ 49, pp.587-593, (1970)
- [3] 松本一哉：可視光固体撮像素子、照明学会誌、第78巻、第3号、pp. 96-99 (1994)
- [4] 放送技術開発協会：1125/60 高精細度テレビジョン方式スタジオ規格 BTA S-001、(1987)
- [5] M. Morimoto et al: A 2/3-inch 2M-Pixel IT-CCD Image Sensor with Individual p-Wells for Separate V-CCD and H-CCD Formation, in ISSCC Dig. Tech. Papers, pp.222-223, Feb., (1994)
- [6] S. Manabe and H. Harada: High Definition Television (HDTV) Solid State Image Sensors, IEICE Trans. Electron. E76-C, pp.78-85, (1993) あるいは S. Manabe et al.: A 2-million pixel CCD Image Sensor overlaid with an amorphous silicon photoconversion layer, in ISSCC Dig. Tech. Papers, PP. 50-51, Feb. (1988)
- [7] 生野勇二：CCDカメラで覗く内視鏡、電学誌、111巻、5号、pp.362-365, (1991)
- [8] 米本和也、他：HDTV用200万画素FIT-CCDイメージセンサ, ITEJ Tech. Rep., vol.15 pp.7-12 (1991)
- [9] T. Nobusada et al.: Frame Interline Transfer CCD Image Sensor for HDTV Camera, in ISSCC Dig. Tech. Papers, PP. 88-89 and 301, Feb. (1989)
- [1 0] T. Hayakawa: Single Photon Imaging, Image Analysis in Biology, (1992), CRC press.

- [1 1] K. Matsumoto, T. Nakamura, A. Yusa and S. Nagai :A new MOS photo-transistor operating in a non-destructive readout mode, Jpn. J. Appl. Phys. vol. 24, pp. L323-L325, (1985)
- [1 2] T. Nakamura et al. : A new MOS image sensor operating in a non-destructive readout mode, in IEDM Tech. Dig. Papers, pp. 353-356, Dec. (1986)
- [1 3] 松本一哉 : USP 4, 733, 286号 あるいは 特開昭60-140752号
登録No. 1855867号
- [1 4] 松本一哉、中村力 : USP 4, 878, 120号 あるいは 特開昭60-206063号
特公平06-66446号、登録No. 1877559号
- [1 5] A. Yusa et al. : SIT image sensor: Design consideration and characteristics, IEEE Trans. Electron Devices, vol. ED-33, no. 6, pp. 735-742, (1986)
- [1 6] J. Hyneczek: A new device architecture suitable for high-resolution and high-performance image sensor, IEEE Trans. Electron Devices, vol. ED-35, no. 5, pp. 646-652, (1988)
- [1 7] N. Tanaka et al. : A novel imaging device with self-noise-reduction capability, IEEE Trans. Electron Devices, vol. ED-36, no. 1, pp. 31-38, (1989)
- [1 8] 安藤文彦 他 :増幅型固体撮像素子AMI、TV学会誌、vol. 41, no. 11, pp. 1075-1082, (1987)

第2章 CMDのデバイス構造と動作理論

2. 1 序

第1章で述べたように、高解像度CCD撮像素子の問題点を解消する高解像度増幅型撮像素子を実現するためには、その画素（デバイス）寸法の縮小が容易である事と、デバイスが高速な動作特性を有する事が前提条件となる。そこで第2章では、これらの必要条件を満たす具体的なCMDのデバイス構成を提案し、その動作機構の考察により、CMDはCCDと比較して緩いデザインルールで画素寸法の縮小が可能である事、かつ、高速駆動に適した動作原理で機能するデバイスである事、つまり、CMD撮像素子は撮像素子の高解像度化にとり極めて有望な増幅型撮像素子である事を明らかにする。

先ず、CMDの基本的なデバイス構造と、ホトトランジスタとしての動作原理を述べる。次に、CMD撮像素子の画素に必要なホトキャリアの蓄積動作と光信号読みだし動作及びホトキャリアのリセット動作を順次考察する。そしてこれらの全動作が、いずれも電界によるドリフト機構で動作するため高速動作特性を有する、等のCMDイメージセンサの特長を明らかにする。最後に、CMDはその単純な画素構造に起因してデバイス寸法の縮小が容易である事をデバイスシミュレータにより実証した後、CMDの画素寸法の縮小限界を明らかにする。

2. 2 CMDのデバイス構造と動作原理

CMDのデバイス構造を図2. 1に示す[1]。低不純物濃度を有するP型導電性シリコン基板上に成膜した、低不純物濃度のN型エピタキシャル層の表面部にCMDを形成する。このエピタキシャル層の表面に、高不純物濃度のN型(N⁺)多結晶シリコンよりなるゲート電極を、N⁺型拡散層で構成するソース部を囲む様に形成する。なお通常のMOSFETと同様、ゲート電極とエピタキシャル層の間には、二酸化シリコン(SiO₂)よりなるゲート絶縁膜を形成する。

N⁺ソース領域の中心にソースコンタクト穴を形成し、アルミニウム等よりなる金属薄膜で配線する。ゲート電極の外側は、複数のCMDに共通のドレイン領域となる。このドレイン領域もソース領域と同様、N⁺型拡散層よりなる。なお図には示さないが、ゲート電極を含むデバイスの上部には、デバイス表面を電氣的に絶縁し、かつ、水分や汚染物質の侵入を防ぐ作用を有する、SiO₂よりなるパッシベーション膜を形成している。CMDの平面構成としては、リングゲート構造のMOSFET[2]と同等である。

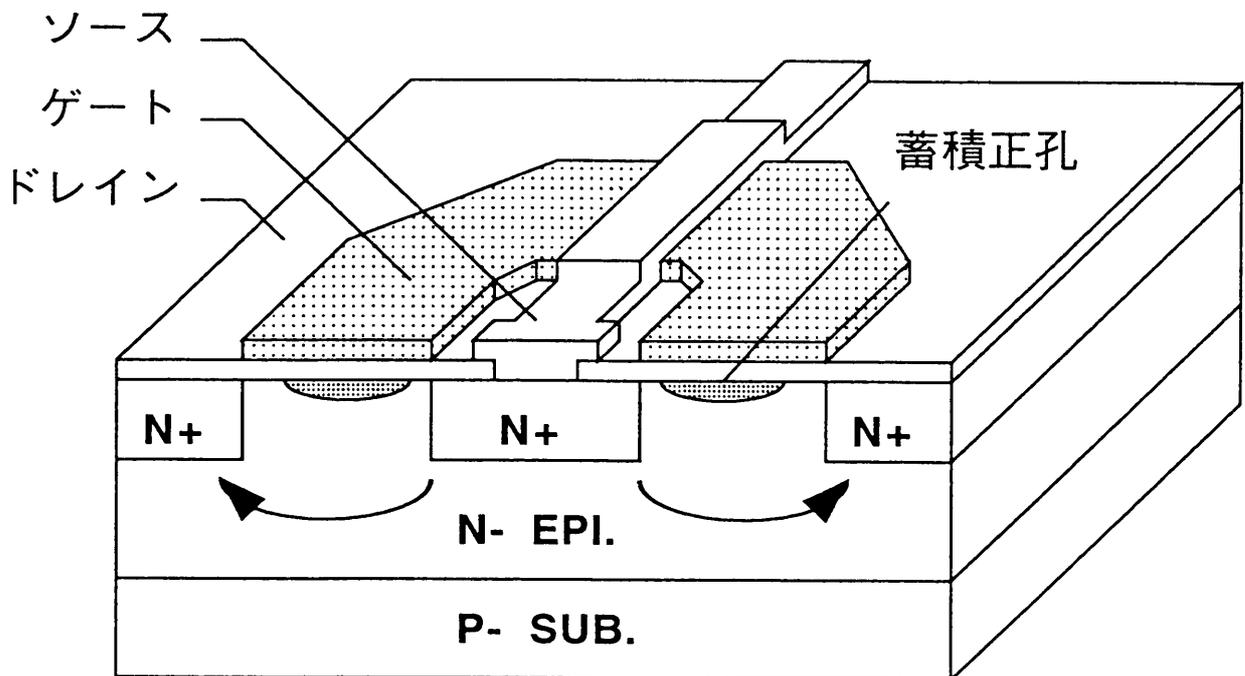


図2. 1 CMDの模式的なデバイス構造

このデバイス構造で特徴的な点は、第1に、入射光が通過する多結晶シリコンゲート電極に於ける光透過率を考慮して、ゲート電極の膜厚を約75 nmに薄膜化したこと、第2に、動作時にN⁻エピタキシャル層領域、及び、その近傍のP⁻基板を完全に空乏状態とし、電界によるドリフト機構をデバイスの動作原理とする為に、N⁻エピタキシャル層の濃度を約 $1 \times 10^{13} \text{ cm}^{-3}$ 、P⁻基板濃度を約 $6 \times 10^{13} \text{ cm}^{-3}$ と低濃度化したこと、CMDの分光感度分布を比視感度分布に近づけるために、N⁻エピタキシャル層/P⁻基板の接合深さを製造工程の終了後に約3 μm となる様に設定したことである。

ゲートSiO₂膜の厚さ(35 nm)や保護SiO₂膜の厚さ(約4 μm)、及び、N⁺ソースやN⁺ドレイン拡散層の接合深さ(約0.3 μm)等のその他の構造パラメータは、通常MOSFETの構造パラメータとほぼ等しい値に設定した。これは、CMDイメージセンサの周辺回路を構成するComplimentary MOSFET (CMOSFET)とCMDとの、製造工程の整合性を図るためである。

CMDの動作原理としては、先ず、ソースとドレイン領域に通常NMOSFETと同様、グランド電位と正の電位をDC的に印加する。一方、P⁻型基板には負のDC電位を印加し、P⁻型基板より表面に形成したMOS部への正孔の流入を防止する。これらの固定電位を

印加した状態で、ゲート電極に加える電位を変化させる事によりCMDのソース電流を制御する。

CMDに於いては、MOS型ゲート領域が入射光の受光部とホットキャリアである正孔の蓄積領域を兼ねる。光がゲート電極上部よりシリコン中に入射すると、この入射光のエネルギーにより、シリコン中で正孔-電子対が発生する。ゲート電極に深い負の電位を印加したCMDの蓄積状態では、シリコン中で発生した正孔-電子対の内の正孔が、ゲート電極下のシリコン/酸化膜界面に蓄積される。なお、正孔の蓄積状態に於いては、深い負のゲート電位の印加により、ソース電流をカットオフする。正孔の蓄積動作終了後、ゲート電位に浅い負の電位を引加し信号読みだし状態とする。蓄積正孔は印加ゲート電位により発生する電気力線の一部を末端する。すなわち蓄積正孔の存在によりMOS部の界面（表面）電位が上昇し、その結果、ソースからドレインに向かってバルク中を流れる電子電流が増大する。よって、このソース電流の増加を検出する事により、入射光量が検知可能となる。

CMDのドレイン-基板間は、常に逆バイアス状態となっている。この為、ドレイン領域は各々のCMDの電氣的なドレイン領域として機能すると共に、各画素間の電氣的及び光学的な分離領域としても機能する。更に、ソース・ドレイン領域はゲート電極をマスクとして自己整合的に形成する。又、負の固定電位を印加するP⁻基板は、基板深部で発生したホットキャリアが表面のMOS型蓄積領域に流入する事を防止する。すなわちP⁻基板は、CMDのバックゲート電極として機能すると共に、ホットキャリアの流入によって発生するブルーミング現象を抑圧する機能も果たす。更にP⁻基板は、CMDのリセット動作時、蓄積された正孔の排出部となる。

ゲート電極に浅い負の電位（読みだし電位）を印加した場合の、CMDのデバイス内部に於ける模式的な電位分布を図2. 2に示す[3]。

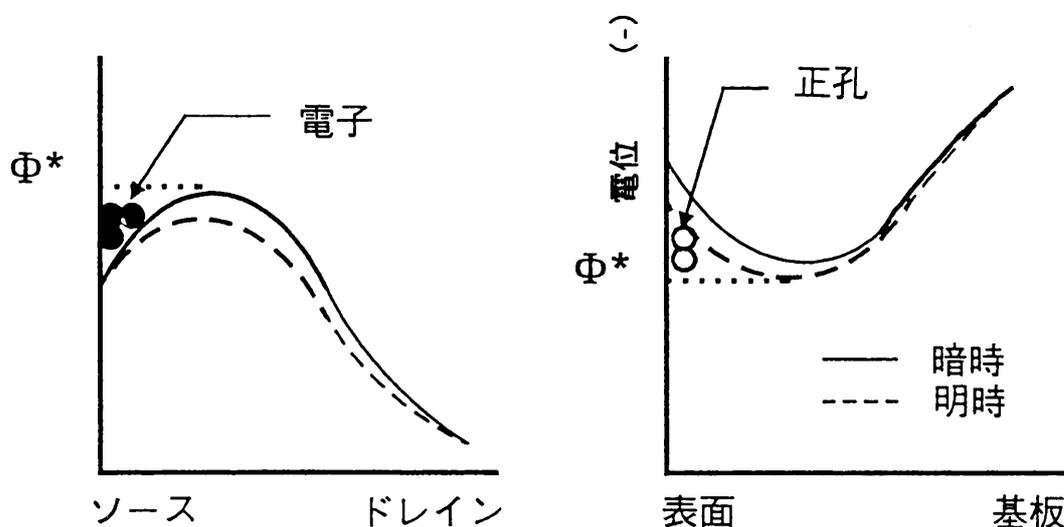


図2. 2 CMDの信号読みだし状態での模式的なデバイス内部の電位分布

既に述べた様に、CMDのチャネル領域（N⁻エピタキシャル層）の不純物濃度は通常のMOSFETの基板あるいはウェル領域の不純物濃度と比較して2桁から3桁は低い為、チャネル領域は完全に空乏状態となっている。すなわちチャネル部には中性領域は存在しない為、チャネル中の電位分布は三極真空管に類似の電位分布を有する。つまりCMD内部の全体的な電位分布は、馬の鞍状の態様を持つ。

ソース領域よりドレイン領域に至る経路(左図)に注目すると、最も低電位となる箇所、つまり電位鞍点（この障壁のポテンシャルを Φ^* で表す）が、その途中のバルク中に存在する。この為、ソース電流はこの鞍点電位により制御される事になる。他方、ゲート表面より基板方向に見た場合(右図)は、この電位鞍点が最も高電位となる。ゲート電位がソース電位と比較して負の場合、ゲート-基板間の正孔の移動はこの電位鞍点により禁止され、表面のMOS部は正孔の蓄積が可能な状態となる。

図2. 2の実線は、ゲート電極下に正孔が存在しない場合の電位分布を示す。他方、ゲート電極上より光が入射し、ゲート電極下に光発生正孔が反転層として蓄積された場合、その電位分布は図2. 2の点線の様になる。ゲート電極からの電気力線は、その一部が正孔により遮蔽される為、界面電位が上昇する(右図破線)。従って、鞍点電位： Φ^* も上昇する。この鞍点電位の上昇により、基板中を流れるソース電流が増加する(左図破線)。従って、この電流の増加分を検出する事で、入射光の強度がわかる。さらにこのCMDの電位分布から明らかな様に、CMDは電界によるドリフト機構で動作する為、デバイスの高速動作が可能となる。

受光動作を確認する為に、 $14\ \mu\text{m} \times 16\ \mu\text{m}$ の平面寸法及び $2.0\ \mu\text{m}$ のゲート長を有するCMDのドレイン電圧-ソース電流を、カーブトレーサーを用いて測定した。測定結果を図2. 3に示す[4]。横軸はドレイン電圧、縦軸はソース電流を表す。ゲート電圧は $-2\ \text{V}$ より $0\ \text{V}$ 迄、 $1\ \text{V}$ 間隔で印加した。実線及び破線は、各々、暗状態及び明状態での測定結果を表す。暗状態とは室内灯を消灯した状態、明状態とは暗状態に於いてマニュアルプローバーの実体顕微鏡部の照明（8 W）を点灯させた状態を意味する。

MOSFETの電流-電圧特性とは異なり、CMDのソース電流はドレイン電圧に対して非飽和的な特性をしめす。この非飽和電流特性は、既に述べた様に、CMDのチャネル部の不純物濃度がMOSFETに比較して低い事に起因する。更に、ゲート電圧が負の場合、暗時と比べて明時のソース電流が増大する。この挙動は既に詳述した様に、明状態においては光発生正孔がゲート電極下のシリコン-酸化膜界面に反転層電荷として蓄積され、蓄積正孔が印加ゲート電位を遮蔽する事に起因する。この測定結果により、CMDのホトトランジスタ動作、つまり入射光がCMDのソース電流を変調する事が実証できた。

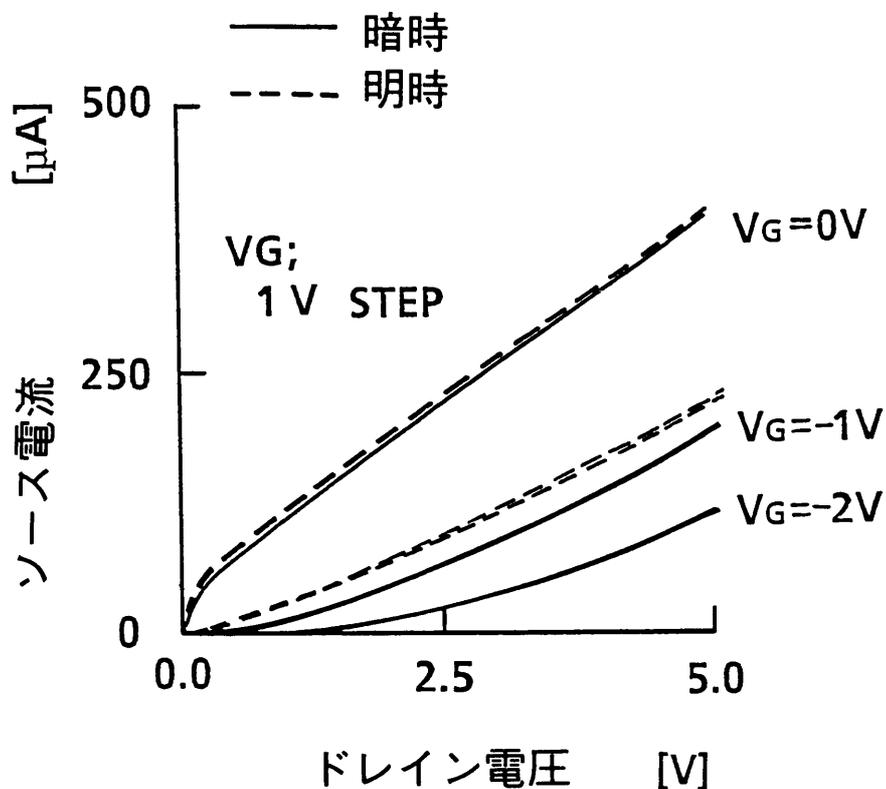


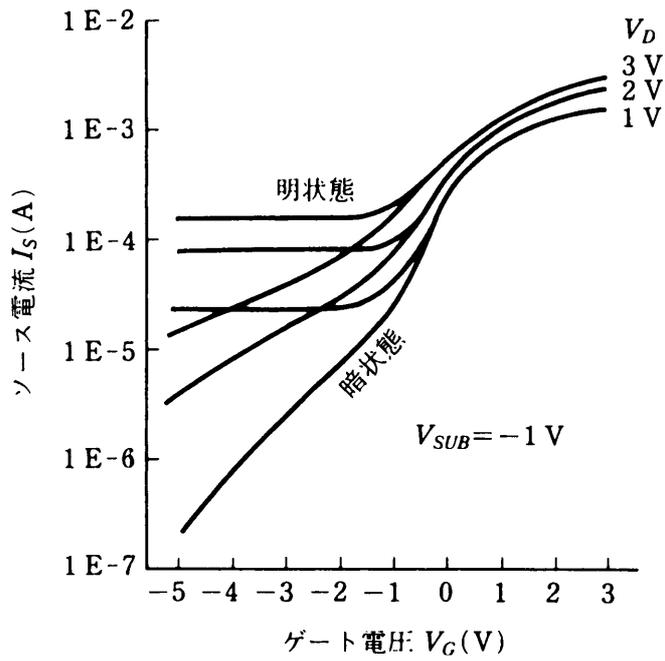
図2. 3 カーブトレーサーによるCMDの電流特性

2. 3 撮像素子の画素としてのデバイス動作

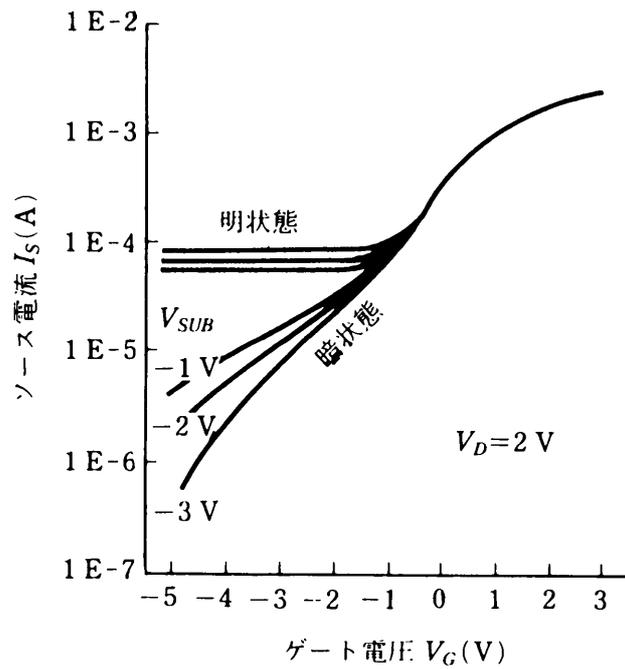
2. 3節では、CMDイメージセンサの画素に必要なデバイス動作、すなわち光電荷の蓄積動作と信号読みだし動作及び光電荷のリセット動作や偽信号の一種であるスミアを抑圧する為のオーバーフロー動作を順次考察する。先ず最初に、光電変換動作を考察する際の基本となる、ソース電流-ゲート電圧特性を述べる。

2. 3. 1 ソース電流-ゲート電圧特性

暗状態及び明状態でのゲート電圧-ソース電流特性を図2. 4に示した[5]。試料は $14\ \mu\text{m} \times 16\ \mu\text{m}$ の平面寸法と $2.0\ \mu\text{m}$ のゲート長を有するCMDであり、測定にはヒューレット・パッカード(HP)社製パラメータ・アナライザを使用した。明状態及び暗状態は図2. 3の測定状態と同様である。縦軸はソース電流値の対数を、横軸はゲート電圧を表す。同図(a)は基板電位を $-1\ \text{V}$ に固定してドレイン電位を変化させた場合であり、(b)はドレイン電位を $2\ \text{V}$ に固定して基板電位を変化させた場合である。



(a) V_D をパラメータとした場合



(b) V_{SUB} をパラメータとした場合

図 2. 4 光照射時、及び、暗時におけるCMDのソース電流-ゲート電圧特性

ゲート電位が負の場合、暗時に於いてはソース電流がゲート電圧の低下に伴い指数関数的に減少する。更に、ドレイン電位(a)あるいは基板電位(b)が低下する程、ソース電流も減少する。このCMDのソース電流の挙動は、MOSFETのサブスレッシュホールド領域の電流特性と同様である[2]が、CMDではチャンネルの不純物濃度が低い為、FETと比べて $d\{\log(I_s)\}/dV_G$ の値は小さい。一方明状態に於いては、負のゲート電圧の値に抛らずほぼ一定の飽和ソース電流が流れる。これは図2. 2に示した様に、蓄積正孔が印加ゲート電位を遮蔽する為である。但し、ドレイン電位あるいは基板電位の低下によりバルク中に存在する鞍点電位が下がるため、ドレイン電位の低下(a)、あるいは基板電位の低下(b)に伴い、飽和ソース電流が減少する。

他方、ゲート電圧が正電位の場合、明時及び暗時の両状態でのソース電流値は一致する。勿論、明状態で発生している電子はソース電流に寄与するが、ゲート表面が電子の反転状態になる結果流れるソース電流と比較して充分小さい為、両者でのソース電流値は一致する。更に、ゲート電位が正電位の場合、基板電位を変化させてもソース電流値は変化しない(b)。これは、CMDのチャンネル不純物濃度が低いため、基板電位がゲート閾値電圧に与えるバックゲート効果が充分小さい事による。但しMOSFETと同様、ドレイン電位の上昇に伴いソース電流は上昇する(同図(a)あるいは図2. 3)。

2. 3. 2 撮像素子の画素としてのCMDの光電変換動作

CMDの光電変換動作は、ゲート電極に印加するバイアス： V_G のみをパルス的に変化させて実行できる。つまり、ソース電位： V_S を0 Vとすると、ドレイン電位： V_D は一定の正の電位を印加する。一方、基板には一定の負電位： V_{SUB} を印加する。信号蓄積状態に於いてはソース電流が十分にカットオフし、かつ、信号読み出し状態に於いては増幅されたソース電流が得られるように、ドレイン電位および基板電位を、各々、約3.5 Vおよび約-8 Vに設定している[6]。

図2. 5に、CMDの模式的なゲート電圧-ソース電流特性を示す[9]。先ず、ゲート電極にソース部に対して正の電位： V_3 を印加する。この状態：Aでは、ゲート電極下のゲート絶縁膜-シリコン界面は電子の蓄積状態となる。その結果、界面に蓄積されていた光発生正孔は、基板に排出される。この状態がCMDのリセット状態となる。リセット状態の設定にとって肝要な点は、界面を充分な電子の蓄積状態とする事、しかも、この状態でソース電流を必要以上に流さない事である。リセットゲート電位は、代表的には約1.5 Vに設定している。

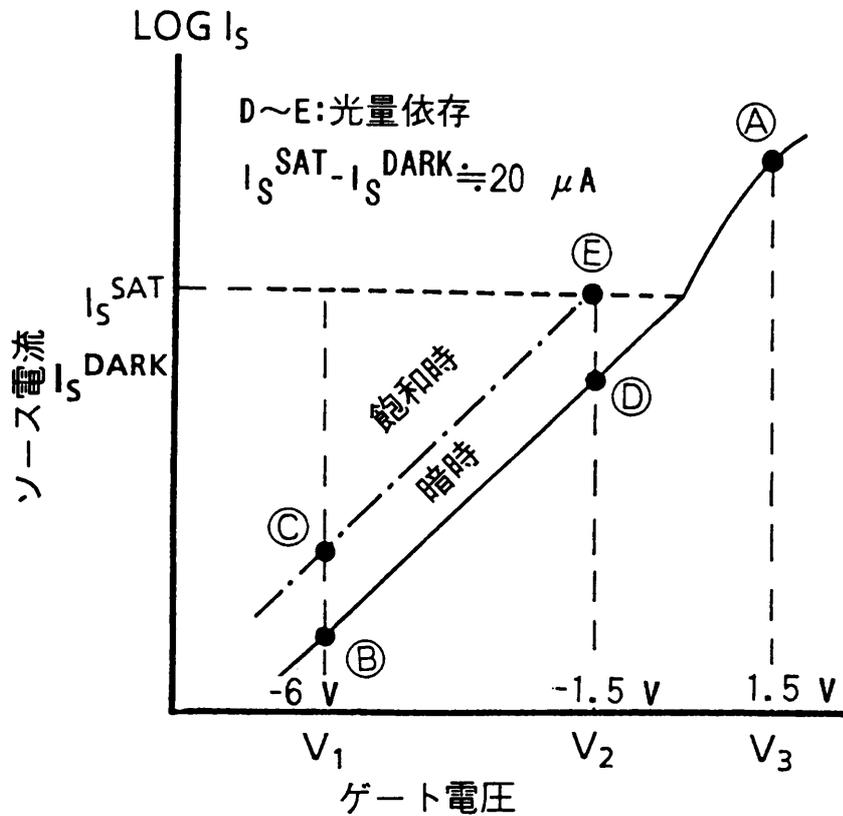


図 2. 5 CMDの模式的なソース電流-ゲート電圧特性

引き続き、ゲート電極にソース部に対して深い負の電位： V_1 を印加し、光発生正孔の蓄積動作状態とする。この状態：Bでは、表面からの電位鞍点の位置を、基板深くに設定する。又、鞍点電位は負に大きくなる為、ソース電流は信号読みだし時と比較して充分小さな値となる。つまり正孔の蓄積状態においては、良好なソース電流のカットオフ状態とする。ゲート電極下部のシリコン中で、入射光により発生した正孔-電子対の内、正孔がゲート絶縁膜-シリコン界面に蓄積される。他方、電子はソース領域、もしくはドレイン領域に流出する。継続的な光入射により、ゲート電極下に蓄積される正孔数が増大するにつれ、ソース電流値はBよりCの状態に増加する。但し、CMDの正孔蓄積状態では、飽和正孔量を蓄積した状態：Cにおいても、ソース電流は1 pA以下となるように各バイアスを設定する。蓄積ゲート電位： V_1 の典型的な値は-6 Vである。

一定の蓄積動作期間後、ゲート電極にソース部にたいして浅い負の電位： V_2 を印加し、信号の読みだし動作状態：D~Eに遷移させる。典型的な V_2 の値は約-1.5 Vである。鞍点電位は蓄積状態の電位と比べて正電位となる為、暗時：Dに於いても数十 μ Aのソース電流： I_s^{DARK} が流れる。更に、ゲート電極下に蓄積された正孔数に比例して、ゲート電極直下の表面（界面）電位が上昇する。この結果、鞍点電位も上昇する為、蓄積正孔量の増加に伴いソース電流値が増大する。この蓄積正孔量に依存したソース電流を検出する事により入射光量が検出可能となる。なお、飽和信号電流： I_s^{SAT} は、

状態：Eでの電流値に対応する。 $|I_s^{SAT}-I_s^{DARK}|$ の値は約20 μA となっている。信号読みだし動作後、リセット状態を経て次の信号蓄積状態に入る。

第4章で詳述するが、CMDイメージセンサの動作に特徴的な事として、各水平帰線期間中、リセット動作を行う画素以外の全画素に、読みだしゲート電位： V_2 を印加する[5]。この動作（オーバーフロー動作と呼ぶ）により、信号読みだし動作時に不要な、過剰に蓄積された正孔を基板に排出し、蓄積状態：Cでのソース電流の上昇を防止してスマア現象を抑圧する。

2. 3. 3 リセット、蓄積、読みだし状態での電位分布

CMDの特長を明確化する為、Appendix 1で詳述した円筒座標系デバイスシミュレータにより、10.4 μm （縦方向：V） \times 10.2 μm （横方向：H）の平面寸法と2.0 μm のゲート長を有するCMDの、リセット($V_G=1.5V$)と蓄積($V_G=-6.0V$)及び読みだし($V_G=-1.5V$)の各状態でのデバイス内電位分布を計算した。計算結果を、図2. 6 (a), (b), (c)に示す[7]。ドレイン、ソース、基板電位は、各々、3.5 V, 0 V, -8.0 Vに設定した。（ただし本論文の電位分布図の等電位線は、Built-in電位が加わった値を示す。）

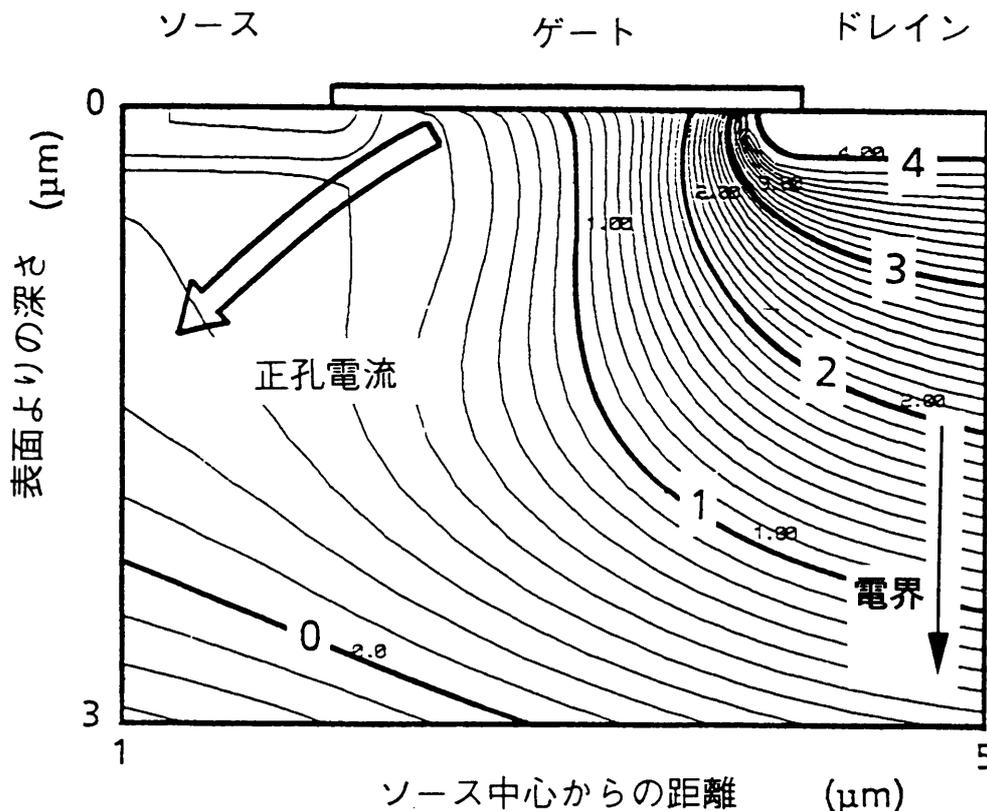
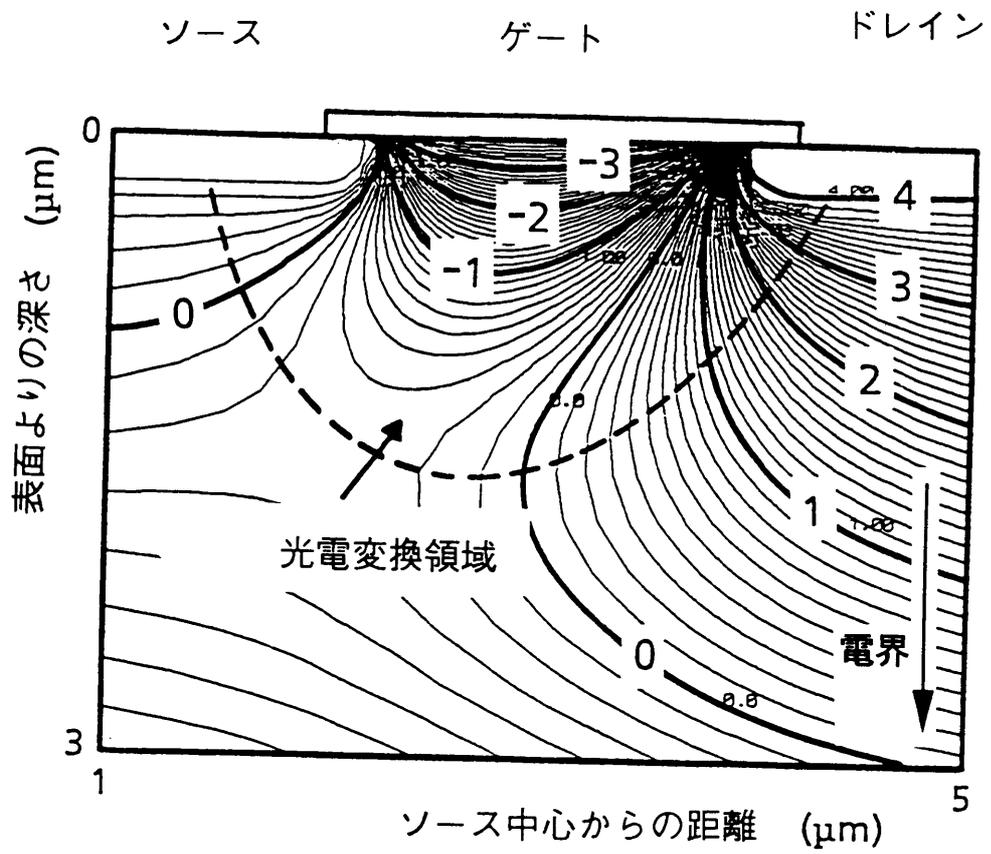
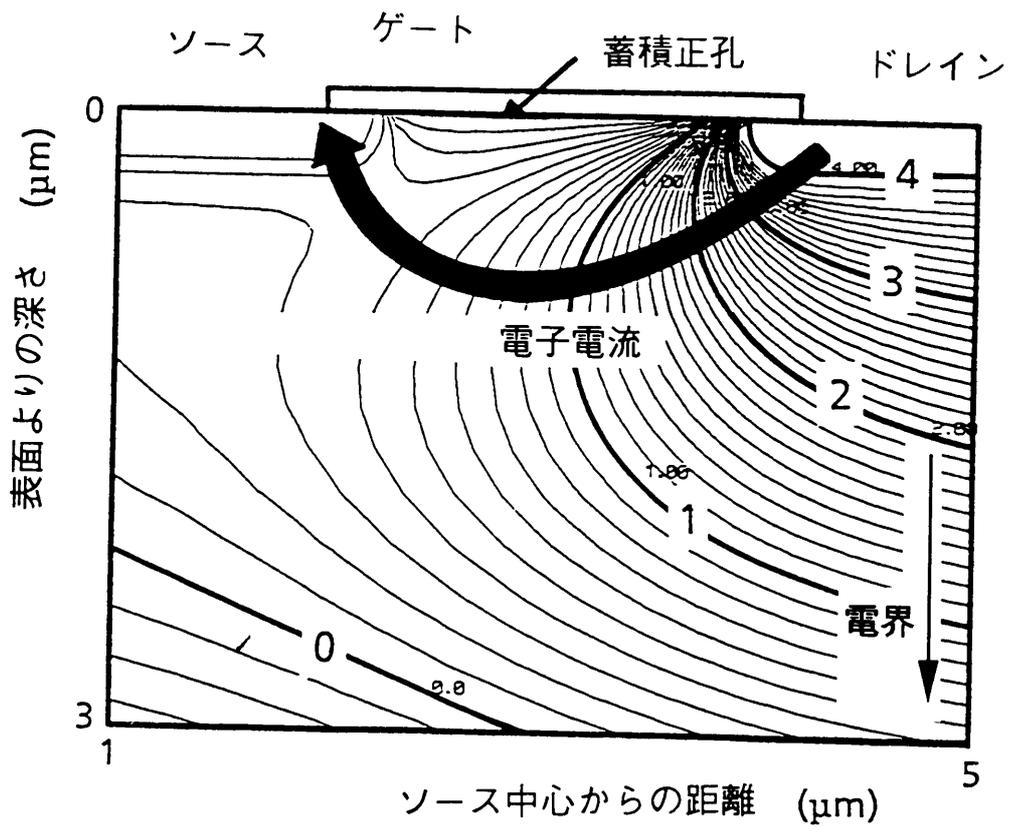


図2. 6 (a)



(b)



(c)

図 2. 6 $10\ \mu\text{m}$ 正方形 CMD のリセット (a)、蓄積 (b)、読みだし (c) 状態での電位分布

どの状態でも共通して、ドレイン領域より基板に向かって矢印で示したように約 $1.7 \text{ V}/\mu\text{m}$ の強電界が存在している。この電界は、画素の境界領域で発生する正孔が蓄積領域へ流入する事と、各画素に蓄積された正孔が隣接画素へ流入する事を禁止する。つまりCMDのドレイン領域は、光学的なアイソレーション領域及び蓄積正孔に対する電氣的なアイソレーション領域として機能する事がわかる。

続いて同図(a)から解る様に、リセット状態においてはゲート電極下よりソース拡散層端を経て基板方向に単調な電界が形成されている。蓄積正孔はこの電界により、基板ヘドリフト機構で排出される。この電界強度は約 $0.2 \text{ V}/\mu\text{m}$ と見積もれる。よって正孔の移動速度は $8 \times 10^5 \text{ V}/\text{cm}$ と算出され、ゲート表面より充分基板側に到達する距離である $4 \mu\text{m}$ を走行するのに必要な時間は約 0.5 ns となる。この時間は、CMDのリセット動作期間である水平帰線期間（数 μs ～数十 μs ）と比較して充分短い。つまりCMDにおいては高速なりセット動作が実現できる。言い換えれば、良好な残像抑圧特性が実現可能となる。

図 2. 6 (b) の蓄積動作時の電位分布状態から、CMDの有効光電変換領域は、破線で示した電位障壁により基板から分離されたゲート電極下のチャンネル表面領域に限定されると言える。この電位障壁より深い位置、つまり基板深部で発生した正孔は、表面に流入する事が禁止される。すなわち、CMDは良好な耐ブルーミング特性を有する。

同図(c)の信号読みだし状態における電位分布から、信号となる電子電流は基板内部を流れ、他方、光発生正孔はゲート電極の直下に反転層として蓄積されている、すなわち、正孔と電子は空間的に離間している事が分かる。つまりCMDにおいては、蓄積正孔を破壊する事なく信号電流が読み出し可能となる（非破壊信号読み出し動作）。

2. 4 CMDの電圧－電流特性のデバイス寸法依存性

2. 4. 1 CMDのデザインルール

2. 4 節ではCMDのデバイス寸法が容易に縮小可能である事を明らかにするために、実験あるいはシミュレーションにより得られたCMDの電圧－電流特性のデバイス寸法依存性を詳述する。従来報告したCMDの三種類の寸法は $10.4 \mu\text{m} (\text{V}) \times 10.2 \mu\text{m} (\text{H})$ と $7.6 \mu\text{m} (\text{V}) \times 7.3 \mu\text{m} (\text{H})$ 及び $5.2 \mu\text{m} (\text{V}) \times 5.0 \mu\text{m} (\text{H})$ であり[6]、このCMDの平面構造を並べて図 2. 7 に示す。

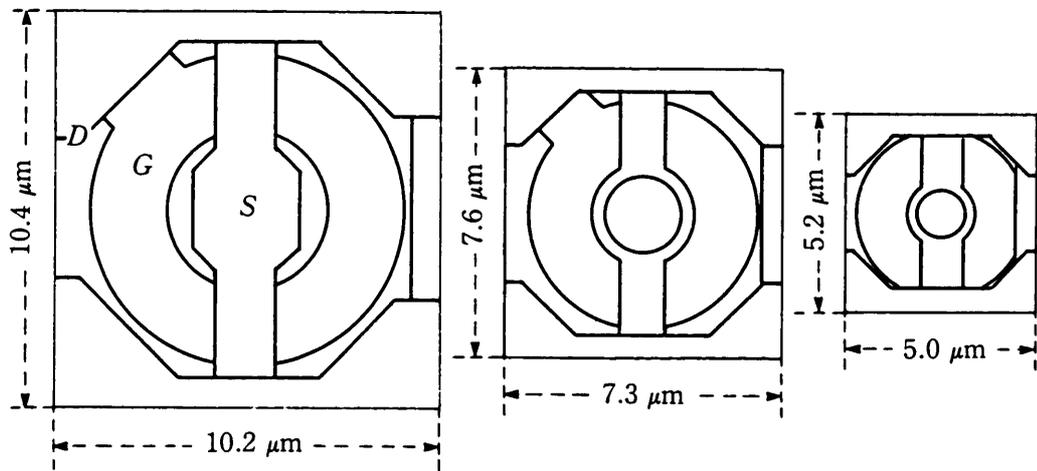
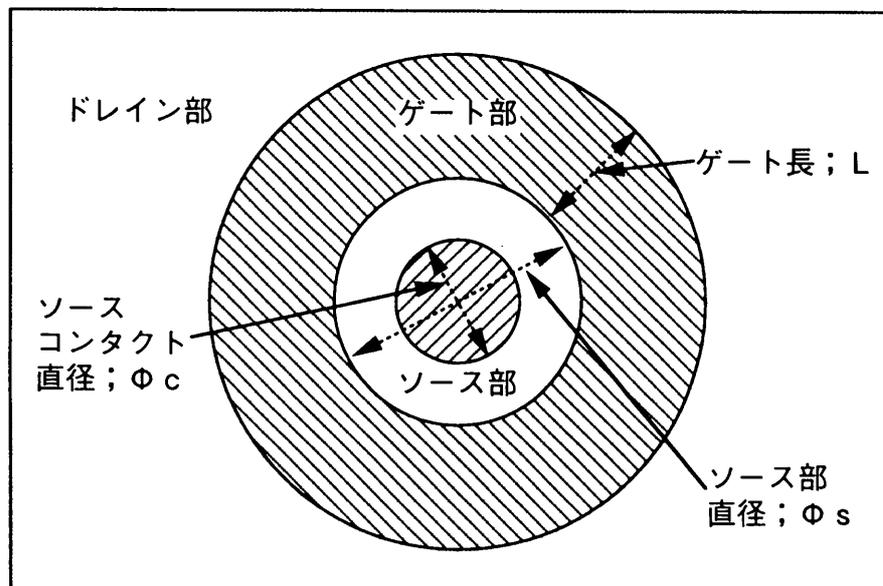


図 2. 7 各種画素寸法のCMDの平面構造

各々の寸法のCMDを設計する際に使用した、ゲート長等の平面構造パラメータを表 2. 1 にまとめた。同表の下部には、各構造パラメータが意味する箇所を図示した。

表 2. 1 各種寸法のCMDの設計・加工寸法

画素寸法 (H×V)	10 μm 10.2×10.4	7 μm 7.3×7.6	5 μm 5.0×5.2
Φc (μm)	1.6	1.2	0.8
L (μm)	2.0	1.9	1.4
Φs (μm)	4.0	2.0	1.4
開口率 (%)	31	32	34



通常のMOSFETと同様、ゲート長をLで表す。又、 ϕ_c と ϕ_s でソースコンタクト穴の直径及びソース拡散層の直径（ゲート電極の内径）を示した。デバイス寸法の縮小に伴い、より微細な構造パラメータを使用すれば、いずれの場合も表2. 1に併記した様に約30 %の等しい光学的開口率が得られる。

表2. 1から分かる様に、CMDの最小デザインルールはソースコンタクト穴の直径； ϕ_c で与えられる。例えば $7.6 \mu\text{m}(V) \times 7.3 \mu\text{m}(H)$ の画素寸法を有するCMDのデザインルールは、同表より $1.2 \mu\text{m}$ となる。この値は、g線ステッパー（露光装置）の標準的な加工寸法に対応する。一方、同一の画素寸法を有するCCDイメージセンサの製造には、 $0.55 \mu\text{m}$ の微細デザインルールが必要とされる[8]。この値は、i線ステッパーの標準的な加工寸法に対応する。すなわちCMDはCCDと比較して、1段階緩いデザインルールで同等の画素寸法が実現可能である。この事実より、CMDはCCDに比べて画素寸法の縮小が容易である事がわかる。

ここに示したイメージセンサの画素寸法よりも微細な寸法を有するCMDが形成可能ならば、余剰の画素領域に信号処理回路を形成する事が可能になり、インテリジェントCMDイメージセンサの実現が容易となる。あるいは余剰の画素領域に、信号蓄積領域や受光領域を別途形成する事で、シャッター機能等をCMDセンサの画素毎に付与する事[10]が可能となる。

2. 4. 2 $3.8 \mu\text{m}$ □CMDのデバイス特性[11]

$3.8 \mu\text{m}$ □CMDをイメージセンサの画素に採用するならば、1/2インチ200万画素ハイビジョンCMDイメージセンサが実現可能となり、機動性が必要とされるENG (Electronic News Gathering)用のハイビジョンテレビカメラなどの大幅な小型軽量化が可能になる。

同心円構造を有するCMDのデバイス寸法が $3.8 \mu\text{m}$ □の場合、デバイスの半径を $1.9 \mu\text{m}$ に縮小する必要がある。この値は $10 \mu\text{m}$ □CMDのゲート長よりも短い。その為、 $3.8 \mu\text{m}$ □CMDの構造パラメータは、i線ステッパーを使用した場合の最小デザインルール(約 $0.6 \mu\text{m}$)や、ソースコンタクトの自己整合的形成、等を必要とする。ソース・ドレイン拡散層は、拡散層の深さを約0.8倍した程度の横拡がりを有する。つまり拡散層が深くなるにつれ、CMDの実効的なゲート長が短くなる。このため、 $3.8 \mu\text{m}$ □CMDのソース・ドレイン拡散層の拡散深さを従来($0.32 \mu\text{m}$)より浅くした。

まずソースコンタクトの直径； ϕ_c は $0.6 \mu\text{m}$ に縮小した。ソース拡散層は約 $0.2 \mu\text{m}$ に浅くした。このソース拡散層の深さは、砒素を固溶限界の濃度まで含有させた多結晶シリコンからの不純物拡散により実現可能である事を確認した。つぎにドレイン拡散層は、表面のドナー不純物濃度を低下させる事により、 $0.26 \mu\text{m}$ の接合深さが実現で

きる事を確認した。一方、ゲート酸化膜厚や n^- チャネル層/ p^- 基板の不純物濃度分布は、 $10 \mu\text{m}^2\text{CMD}$ の条件と同一とした。

以上の構造パラメータを使用して、ソース電流-ゲート電圧特性をデバイスシミュレータにより計算した。図2. 8に、 $3.8 \mu\text{m}^2\text{CMD}$ 及び $10 \mu\text{m}^2\text{CMD}$ のソース電流-ゲート電圧の計算結果を示す。ドレイン電位と基板電位は、両CMD共、 3.5 V と -8 V に設定した。

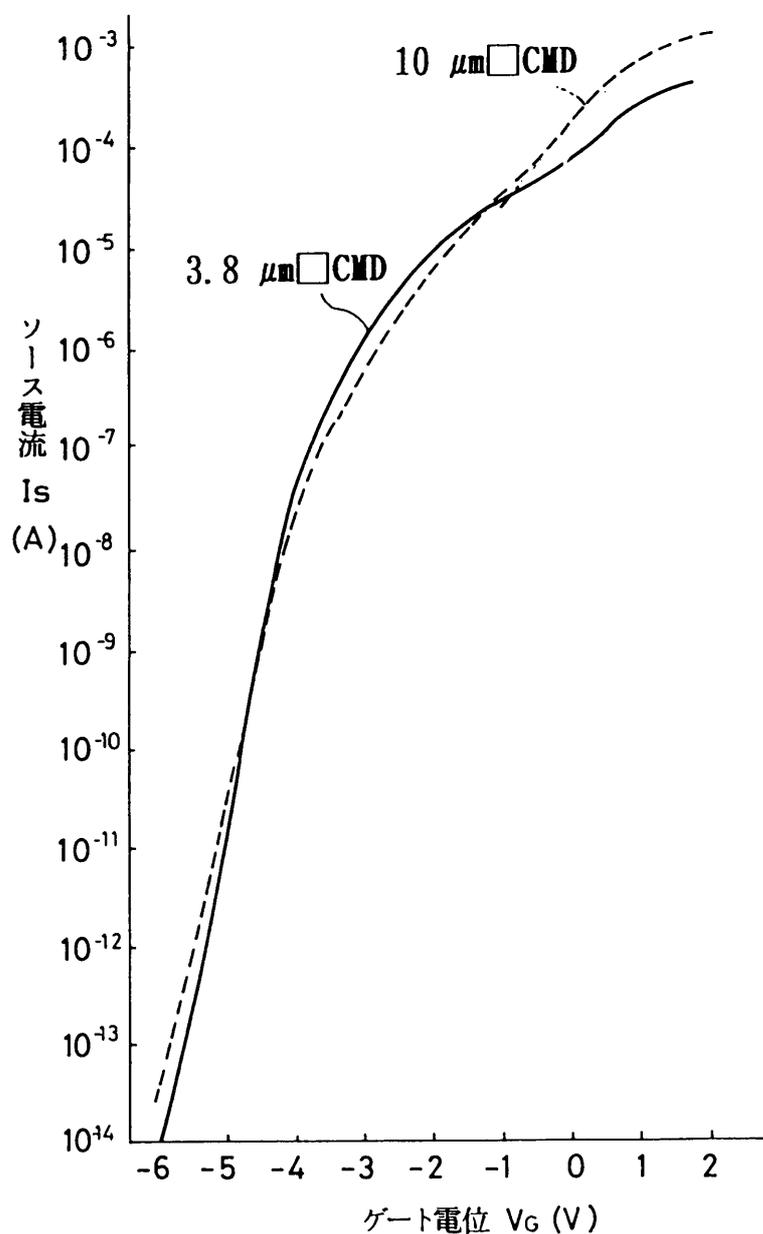


図2. 8 $3.8 \mu\text{m}^2\text{CMD}$ 及び $10 \mu\text{m}^2\text{CMD}$ のソース電流-ゲート電圧特性

CMDの蓄積ゲート電位である $V_G = -6$ Vを印加した場合のソース電流値は、 $3.8 \mu\text{m}^2$ CMDでも1 pA以下になっており、良好なスミア抑圧特性が実現できる。CMDの読みだしゲート電位に対応する $V_G = -1.5$ Vに於いては、 $3.8 \mu\text{m}^2$ CMDの暗状態でのソース電流は20 μA となった。つまり、 $10 \mu\text{m}^2$ CMDと同等以上の電流値を得ており、 $3.8 \mu\text{m}^2$ CMDにおいても十分なソース電流が流れる事が判明した。なお、CMDのリセットゲート電位に対応する $V_G = 1.0$ Vの印加電位では、 $3.8 \mu\text{m}^2$ CMDのソース電流値は $10 \mu\text{m}^2$ CMDの電流値以下となった。図2. 9に $3.8 \mu\text{m}^2$ CMDの蓄積状態 ($V_G = -6$ V)の電位分布を示す。

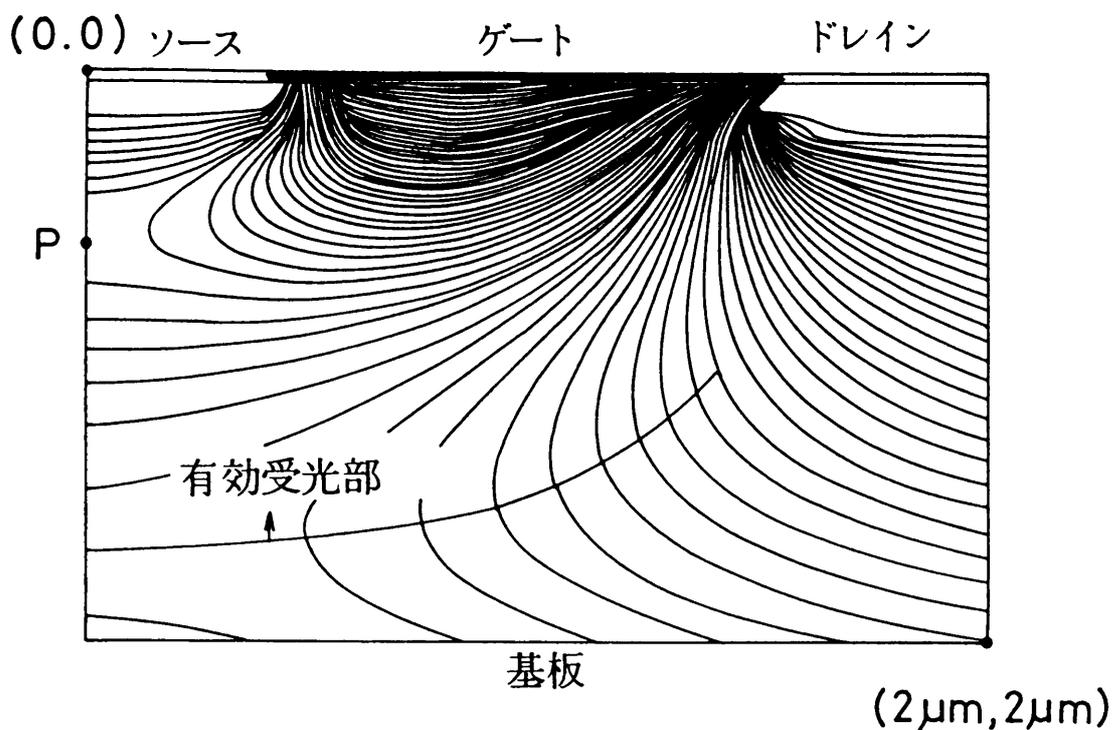


図2. 9 $3.8 \mu\text{m}^2$ CMDの蓄積状態 ($V_G = -6$ V)での電位分布

座標は(ソース中心よりの距離、基板表面よりの深さ)を表す。この蓄積状態での電位分布から、シリコン基板内の有効光電変換層の厚さは約1.5 μm である事が分かった。この厚さは図2. 6 (b)に示した $10 \mu\text{m}^2$ CMDの有効光電変換層の厚さである1.7 μm とほぼ等しい。この結果から、 $3.8 \mu\text{m}^2$ CMDの分光感度特性は、 $10 \mu\text{m}^2$ CMDの分光感度特性と同様な分布を持つ事が結論できる。

以上、0.6 μm のデザインルールを用いて設計した $3.8 \mu\text{m}^2$ CMDは、デバイス寸法の縮小にも拘わらず良好なスミア抑圧特性や分光感度特性を有し、更に、十分なソース電流値が確保できる事を明らかにした。

表2.2 10~1.8 μm □CMDの諸元と印加バイアスおよび電流特性

諸元あるいは 印加バイアスもしくは 特性	10 μm □CMD	3.8 μm □CMD	2.6 μm □CMD	1.8 μm □CMD
ソース拡散層深さ	2.0 μm	0.3 μm	0.2 μm	0.2 μm
ソース拡散層表面濃度	0.32 μm	0.2 μm	0.15 μm	0.1 μm
ドレイン拡散層深さ	$6 \times 10^{19} \text{ cm}^{-3}$	$5 \times 10^{19} \text{ cm}^{-3}$	$5 \times 10^{19} \text{ cm}^{-3}$	$5 \times 10^{19} \text{ cm}^{-3}$
ドレイン拡散層表面濃度	4.0 μm	1.6 μm	1.1 μm	0.7 μm
ゲート酸化膜厚	0.32 μm	0.26 μm	0.20 μm	0.1 μm
チャネル/基板濃度	$6 \times 10^{19} \text{ cm}^{-3}$	$1 \times 10^{18} \text{ cm}^{-3}$	$1 \times 10^{18} \text{ cm}^{-3}$	$1 \times 10^{18} \text{ cm}^{-3}$
	35 nm	35 nm	15 nm	15 nm
	$1 \times 10^{13} / 5.5 \times 10^{13} \text{ cm}^{-3}$	同左	同左	同左
ドレイン電位	3.5 V	3.5 V	3.0 V	2 V
ソース電位	0 V	0 V	0 V	0 V
基板電位	-8.0 V	-8.0 V	-14.0 V	-10.0 V
ソース電流	<1 pA	<1 pA	2.5 pA	1.2 pA
	16.5 μA	20 μA	26 μA	19 μA
	720 μA	300 μA	350 μA	300 μA
有効光電変換層厚	1.7 μm	1.5 μm	1.2 μm	0.8 μm

2. 4. 3 CMDのデバイスの画素寸法限界

表2. 2に、10~1.8 μm CMDの特性を計算する際に使用した諸元と印加バイアス及びデバイスの電気的な特性の計算結果をまとめた。使用したデバイスのシミュレーションモデルはAppendix 1に詳述する。2.6 μm CMD及び1.8 μm CMDの諸元の設定にあたっては、位相シフト法を併用したi線ステッパーの標準的な設計寸法である0.4 μm で、デバイスが試作可能となる事を念頭に置いた。

2.6 μm CMDに於いては、ゲート酸化膜厚を15 nmに薄膜化し、ソース拡散層の深さは、拡散処理の低温化で可能な0.15 μm と仮定した。ドレイン拡散層の深さは、不純物に砒素と燐を併用する事により0.2 μm と浅く設定した。ドレイン電圧と基板電圧は、各々、3.0 Vと-14 Vに設定すると、読み出し動作状態での暗時ソース電流は26 μA 、一方、蓄積状態でのソース電流は2.5 pAと実用可能な値を得た。但し、2.6 μm CMDの有効光電変換層の厚さは1.2 μm に減少する。

1.8 μm CMDに於いても、ゲート酸化膜厚を15 nmに薄膜化し、ソース拡散層の深さは、拡散処理の更なる低温化により実現可能な0.10 μm と浅く設定し、ドレイン拡散層の深さは、不純物に砒素のみを使用する事を前提に0.1 μm と浅く仮定した。ドレイン電位と基板電圧は、各々、2.0 Vと-10 Vに設定すると、読み出し動作状態での暗時ソース電流は19 μA 、一方、蓄積状態でのソース電流は1.2 pAと実用可能な値を得た。但し、1.8 μm CMDの有効光電変換層の厚さは、0.8 μm と更に減少してしまう。

有効光電変換層の厚さの減少は、光吸収率の低下を招く。そこで、この有効光電変換層の厚さの減少が、入射光の検出効率、すなわち、光収集効率に与える影響を、Appendix 2に示した光収集効率の解析プログラムを用いて評価した。10 μm CMDの光収集効率を基準として算出した評価結果を表2. 3に示す。

表2. 3 デバイス寸法と光収集効率の関係

デバイス寸法	有効光電変換層厚	相対収集効率		
		400-500nm	500-600 nm	600-700 nm
10 μm □	1.7 μm	1.0	1.0	1.0
3.8 μm □	1.5 μm	0.99	0.95	0.91
2.6 μm □	1.2 μm	0.98	0.86	0.77
1.8 μm □	0.8 μm	0.92	0.69	0.55

10 μm □CMDと比較すると、2.6 μm □CMD及び1.8 μm □CMDでは、全波長域で光収集効率が低下する事が分かる。特に、光吸収係数の小さい赤色光の収集効率が、各々、77 %、及び、55 %と大きく低下する。この結果、この光収集効率の低下により、CMDの画素寸法の縮小は約2 μm 前後に制限される。

2. 5 まとめ

CMDの基本構造と動作原理を明らかにし、CMDの数々の特長を示した。ソース電流を制御するMOS型ゲート部が受光領域及び信号蓄積領域を兼ねる事、各画素に共通のドレイン部がホトキャリアの分離領域を兼ねる事、更には縦型オーバーフロー構造を有する事等から、CMDは画素寸法の縮小が容易な構造と動作原理を有する。又、CMDはMOS型ホトダイオード構造を有するため良好な残像抑圧の特性が期待でき、信号の読みだし動作ならびにリセット動作では電界によるドリフト機構が支配的であるから高速な動作特性が実現可能となる。

更に、CMDの画素寸法の縮小限界について検討した。先ず5 μm □以上のデバイス寸法を有するCMDの平面構造を検討した結果、CCDと比較して1ランク緩いデザインルールで、同等の画素寸法を有するCMDが実現可能である事を明らかにした。3.8 μm □CMDのデバイス特性をシミュレータを用いて評価した結果、0.6 μm のデザインルールで設計した3.8 μm □CMDは、良好な電氣的及び光学的特性を有する事が確認出来た。画素寸法の縮小は長波長感度の低下で制限され、その限界は約2 μm 前後となる事を示した。

参考文献

- [1] 松本、遊佐、中村、永井：MOSゲート横型SITフォトセンサ、第45回秋季応用物理学会予稿集、p. 395, 13a-A-2, (1984)
- [2] D. G. Ong: Modern MOS Technology: Processes, Devices, and Design, p. 107, McGraw-Hill Book Company, New York, (1984)
- [3] K. Matsumoto, T. Nakamura, A. Yusa and S. Nagai: A new MOS photo-transistor operating in a non-destructive readout mode, Jpn. J. Appl. Phys. vol. 24, pp. L323-L325, (1985)
- [4] T. Nakamura, K. Matsumoto, R. Hyuga and A. Yusa: A New MOS Image Sensor Operating in a Non-destructive Readout Mode, IEDM Digest of Tech. Papers, pp. 353-356, 14.2, (1986)
- [5] 中村、松本、日向、大石、遊佐：ゲート蓄積型MOSフォトランジスタイメージセンサ、テレビジョン学会誌、41, 11, pp. 1047-1053, (1987)
あるいは、中村、森田、松本、太田：10 μ m画素CMDイメージャ、TV学会全国大会予稿集、4-4, pp. 69-70, (1987)
- [6] T. Nakamura and K. Matsumoto: Present Status and Future Prospects of CMD Image Sensor, OPTOELECTRONICS, Devices and Technologies, vol. 6 no. 2, pp. 261-277, Dec., (1991)
- [7] T. Nakamura and K. Matsumoto: Active Pixel Image Sensors: Recent Developments of the CMD, SAIT '91, pp. 70-79, (1991)
- [8] 米本和也、他：HDTV様200万画素FIT-CCDイメージセンサ、ITEJ, Tech. Rep., vol. 15, pp. 7-12, (1991)
- [9] K. Matsumoto, I. Takayanagi, T. Nakamura and R. Ohta, "The Operation Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991

[10] T. Nakamura and K. Matsumoto, USP no. 4,589,027

[11] 松本：特開平05-029595 号

3.1 序

CMDをイメージセンサの画素に使用する場合、光発生正孔の蓄積動作と信号読みだし動作及び正孔のリセット動作が基本となる[6, 10]。第3章では蓄積動作、読み出し動作、リセット動作を中心にした、CMDイメージセンサの画素構造の設計について纏める。

CMDイメージセンサの開発・設計を効率的に進めるためには、実験的手法に加えて解析あるいは数値シミュレーションを活用した理論的アプローチを用いて、上記基本動作を把握する事が不可欠となる。代表的な半導体デバイスであるMOSFETやBipolar Transistorに於いては、これまでに数多くの解析的研究が報告されているが、筆者が新たに提案したCMDに於いても、同様な理論的研究が必要となる。そこで第3章においては、CMDのホトトランジスタ特性の測定結果とシミュレーションあるいは理論的な解析結果を対比しながら、CMDの基本特性を定量的に把握し、その特性の設計指針を確立する。なおCMDの数値解析のために、円筒座標系を用いた新たなデバイスシミュレータを開発した。このシミュレータに関しては、Appendix 1でその内容を詳述する。

まず、CMDの光電荷蓄積状態に於ける量子効率と暗電流特性について解析し、該特性の定量的な把握と最適化を可能にする。始めに量子効率を考察する。量子効率を決定する第一の要因である光透過率と、デバイス表面のゲート電極等の上部構造膜の構造及び膜厚との関係を考察し、次に、第二の要因となるシリコン中の有効光電変換層厚と光収集効率の関係を把握する。量子効率の第三の要因となる開口率については、CMDの光感度分布に関する実験結果を詳述する。その後、光透過率と光収集効率および開口率の積で計算できる量子効率を実験で得られた量子効率と比較し、量子効率の理論解析を検証する。引き続き、信号出力のダイナミックレンジの限界を決定する、蓄積状態での熱発生による暗電流を解析する。新規なCMDの暗電流の測定方法を提案した後、本手法を用いてCMDの暗電流を評価する。またCMDに於ける暗電流レベルの改善結果についても述べる。

次に、CMDの信号読みだし動作およびリセット動作を定量的に解析し、CMDの全動作にわたる特性の理論的把握とその予測を可能とする。まず、CMDの等価蓄積容量に対応する正孔蓄積能力を解析する。続いて、CMDの光電変換特性を表す解析式を導出する。この解析式を用いてCMDの信号変調(増幅)度を評価し、10以上の増幅率で光信号が変調されている事を検証する。次にCMDの飽和正孔量を考察し、この飽和正孔量と暗電流の測定結果に基づき、暗電流による信号のダイナミックレンジを評価する。第3章の最後として、CMDのリセット動作を解析する。まず5 μm □CMDのリセット動作の実験結果を詳述し、続いてリセットゲートバイアスの必要条件を理論的に考察する。

3. 2 信号蓄積動作

CMDの蓄積動作状態では、信号となる光発生正孔と雑音となる熱発生正孔がゲート直下に蓄積される。本節では、前者及び後者に対応する量子効率と暗電流を理論的あるいは実験により解析し、それらの特性を定量的に把握して信号蓄積動作の設計指針を確立する。

3. 2. 1 量子効率

3. 2. 1節ではCMDの量子効率を理論的に解明し、その設計指針を明らかにする。先ず、CMDの量子効率を決定する上部構造膜の光透過率と有効光電変換層厚さ及び開口率を要因別に解析し、各々の特性についてその最適化を行う。次に、これらの解析結果を統合して得られる理論的量子効率と、実験的に得られたCMDの量子効率とを比較し、理論的解析および量子効率の最適化の妥当性を検証する。

光入射層透過率

図3. 1にCMDの受光部の断面構成を示す[1]。

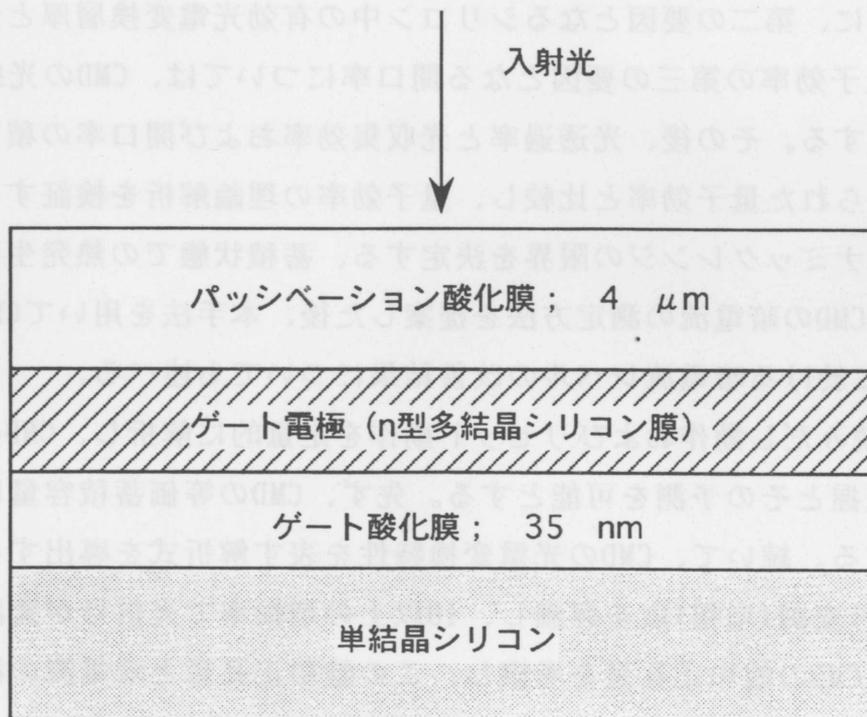


図3. 1 CMDの受光部上部構造膜の構成

CMDの受光部は入射光側より、素子のパッシベーション等の役割を有する二酸化シリコン (SiO_2)膜、続いてゲート電極であるn型多結晶シリコン膜、その下にゲート SiO_2 膜を単結晶シリコン上に形成した多層膜構造よりなる。入射光はこれらの多層膜中で吸収あるいは多重反射や干渉を受けながら、光電変換部である単結晶シリコンに到達する。

パッシベーション膜の厚さはCMDイメージセンサの製造に使用する多層配線工程により決まり、その厚さは約4 μm に固定されている。又CMDのゲート SiO_2 膜は、同一チップ上に形成するCMOSFETのゲート SiO_2 膜と同時に形成しており、このゲート酸化膜厚はCMOSFETの駆動能力保持や短チャンネル化防止の観点から35 nmに固定されている。つまりパッシベーション膜とゲート酸化膜の膜厚は、イメージセンサの製造条件や周辺デバイスの電気的特性の要請により固定されており、この固定条件のもとにCMDのゲート電極の厚さを調整して、光透過率の最適化を検討する。

厚さが T_{POLY} の多結晶シリコンの光透過率を、入射側および出射側の材料を SiO_2 に設定して、電磁気学的手法を用いて計算した[1]。計算結果を図3. 2に示す。電磁気学的な光学特性の計算手法の詳細はAppendix 2にまとめた。

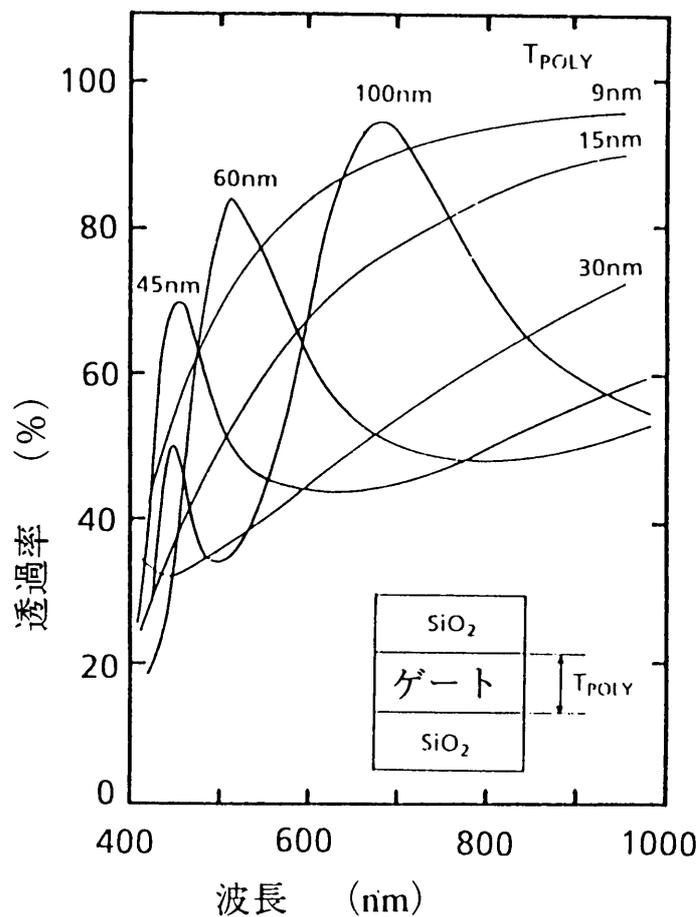


図3. 2 SiO_2 /多結晶シリコン/ SiO_2 系に於ける光透過率

多結晶シリコンの膜厚が増加するに従い、光透過率のピーク波長は長波長側に移動する。

文献[2]に記されている様に、CMDの上部構造膜の構成が該当する光学的条件、すなわち入射側と出射側の両方の材料の屈折率が介在する多結晶シリコン膜の屈折率より小さい場合、透過光のピーク波長： λ_{peak} と多結晶シリコンの膜厚： T_{poly} との関係は次の位相式で表わされる。

$$\lambda_{peak} = 2 \frac{n_{poly} T_{poly}}{K} \quad (3.1)$$

ここで n_{poly} は多結晶シリコンの屈折率の実部を表し、 K は自然数を表す。

受光素子の分光感度分布は、人間の比視感度分布に一致する事が望ましい。光透過率のピーク波長が人間の比視感度のピーク波長である550 nmと一致させる為、光波長が550 nmの場合の n_{poly} をAppendix 2の表A. 2. 1より4.06とし、さらに $K=1$ として式3.1より T_{poly} を計算すると68 nmとなる。ただしCMDの上部構造膜の構成においては、ゲート酸化膜等の多重干渉効果を考慮する必要がある。そこでAppendix2で詳述した光学シミュレータにより光透過率のゲート電極膜厚依存性を検討した結果、CMDのゲート電極の膜厚は75 nmが最適膜厚である事が分かった。（透過率の計算結果を、Appendix 2中の図A. 2. 5に示す。）

有効光電変換領域

第2章の図2. 6 (b)に、CMDの光電荷蓄積状態での電位分布を示した。この電位分布状態で電位鞍点付近の一点に於いて正孔-電子対を発生させ、ホットキャリアの流れを計算した。計算結果を図3. 3 (a)～(c)に示す。

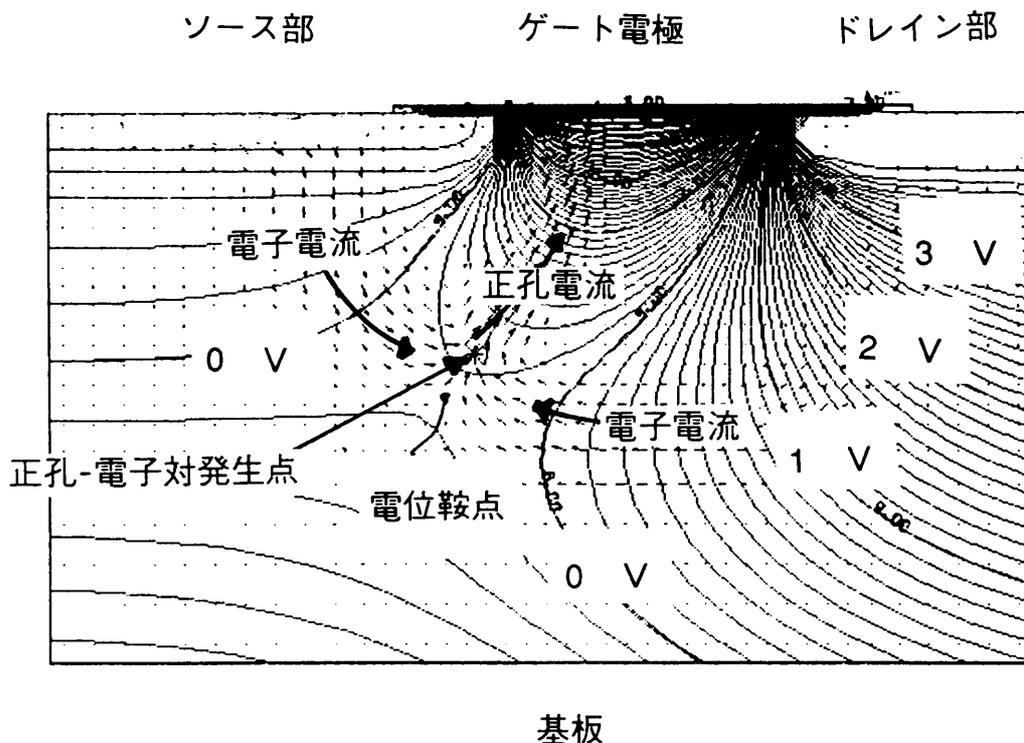
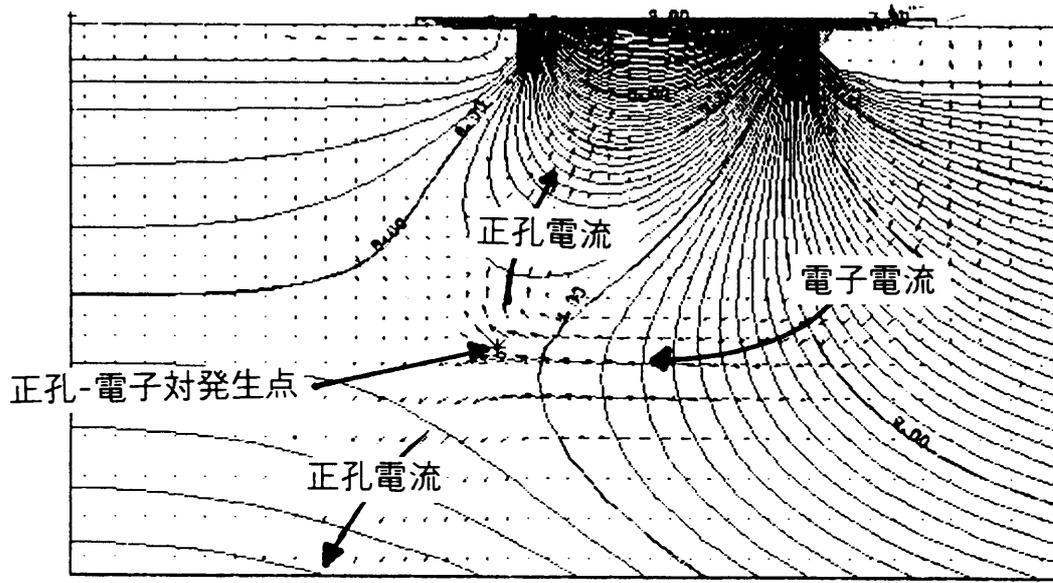
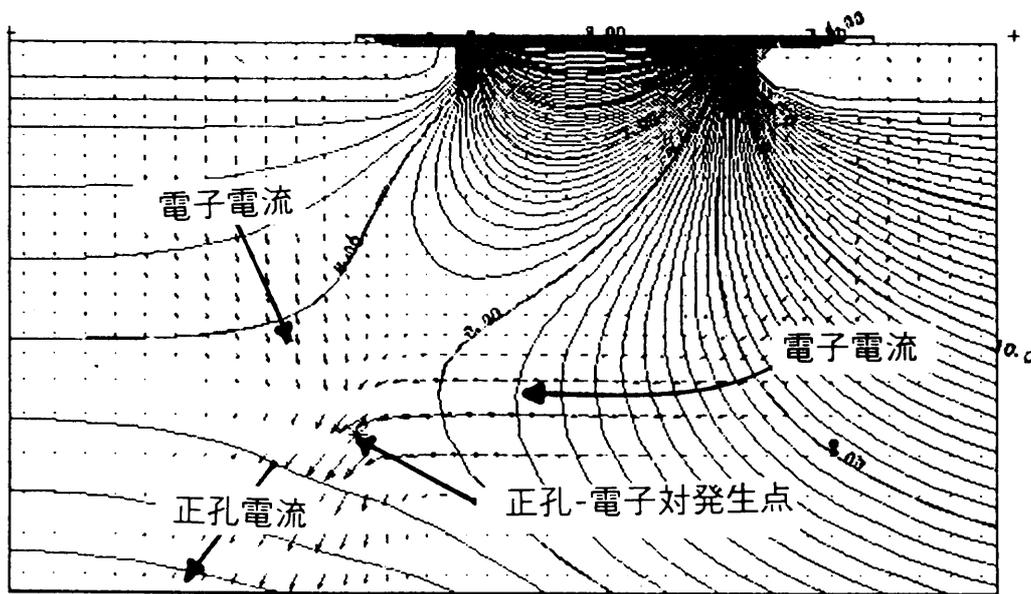


図3. 3 (a)



(b)



(c)

図 3. 3 電荷蓄積状態に於けるホットキャリアの流れ

図3. 3 (a)は、電位鞍点より表面側の一点に於いて正孔-電子対を発生させた場合の電荷の流れを示す。この場合、正孔はゲート電極部に向かって流入し、一方、電子はソースあるいはドレイン部に向かって流れる。図3. 3 (b)では、電位鞍点の近傍の一点に於いて正孔-電子対を発生させた。この場合、正孔はゲート電極部あるいは基板に向かって流れる。電子は、発生点がドレイン部に近いいためドレイン部に流入する。図3. 3 (c)では、電位鞍点より基板側の一点に於いて正孔-電子対を発生させた。この場合、正孔は基板に流入し、他方、電子はソースあるいはドレイン部に向かって流れる。

電位鞍点付近での正孔の流れを更に詳細に評価した。図3. 4に、CMDのシリコン基板中において均一に正孔-電子対を発生させた場合の、鞍点付近の正孔の流れを示した。同図に示した電位鞍点及びポテンシャル稜線より表面側の領域で発生した正孔は、表面のゲート部に向かって流れ込む。すなわち、電位鞍点及びポテンシャル稜線より表面側の領域がCMDの有効な光電変換領域となる事がわかる。

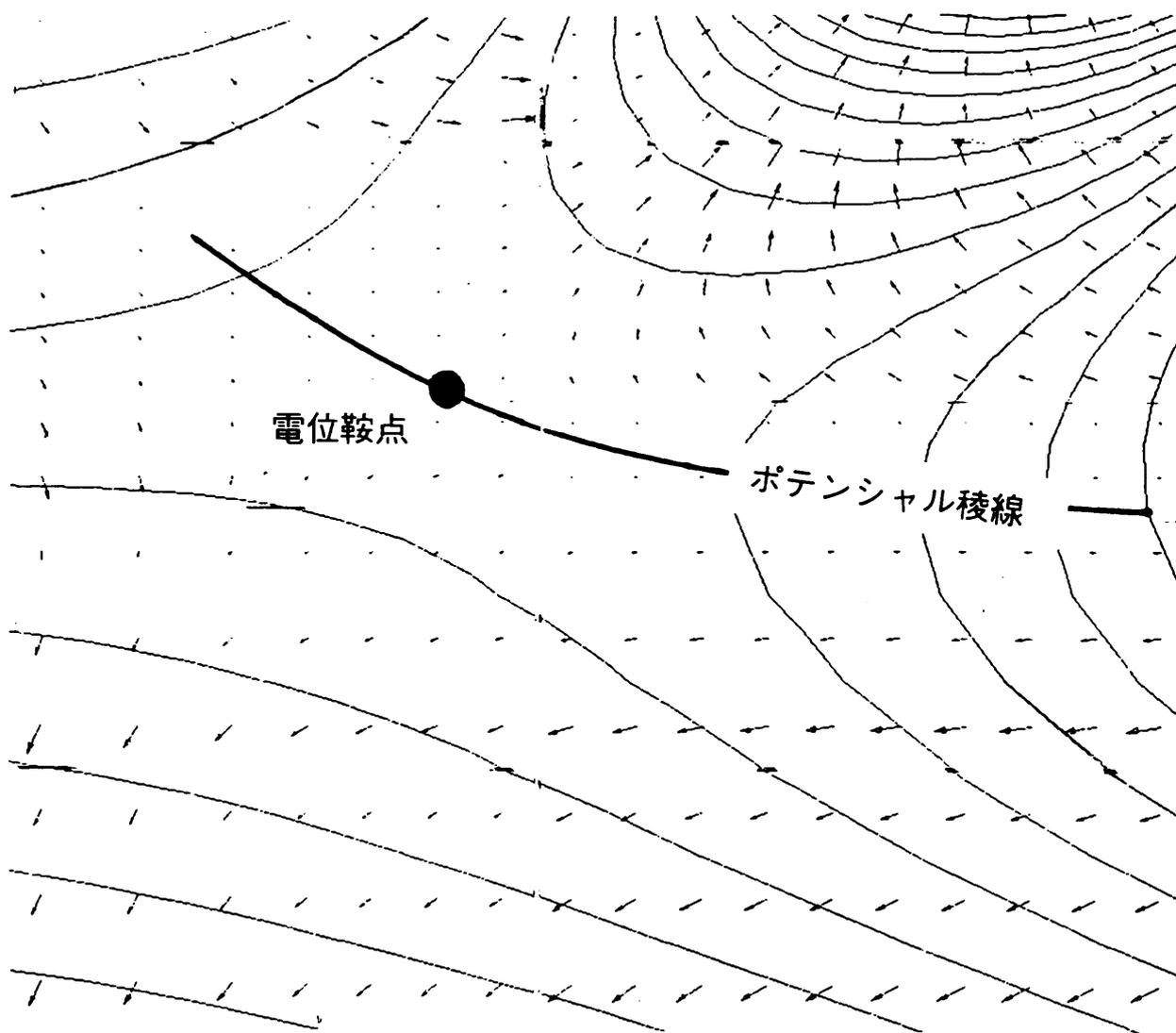


図3. 4 CMDの電位鞍点付近の正孔の流れ

シリコン基板内での光吸収率、つまり、1個の光子の入射により厚さがxの有効光電変換領域中で正孔が発生する確率：Aは、文献[2]中に掲載されているランバート則に基づき、式3.2で計算できる。

$$A = 1 - \exp\left(-\frac{4\pi kx}{\lambda}\right) \quad (3.2)$$

ここでkはシリコンの複素屈折率の虚数部、λは光の波長を表す。

CMDにおける上部構造膜の光透過率とCMDのシリコン内有効光電変換領域及びこの領域の厚さと光吸収率の関係がわかったので、次にCMDに於ける光収集効率を計算する。ただし光収集効率とは、開口率が100%の場合の量子効率と定義する。CMDの開口率がわかれば、光収集効率の計算結果からCMDの量子効率が計算できる。

図3.5に、有効光電変換領域の厚さをパラメータとした場合の、CMDの光収集効率の計算結果を示す。

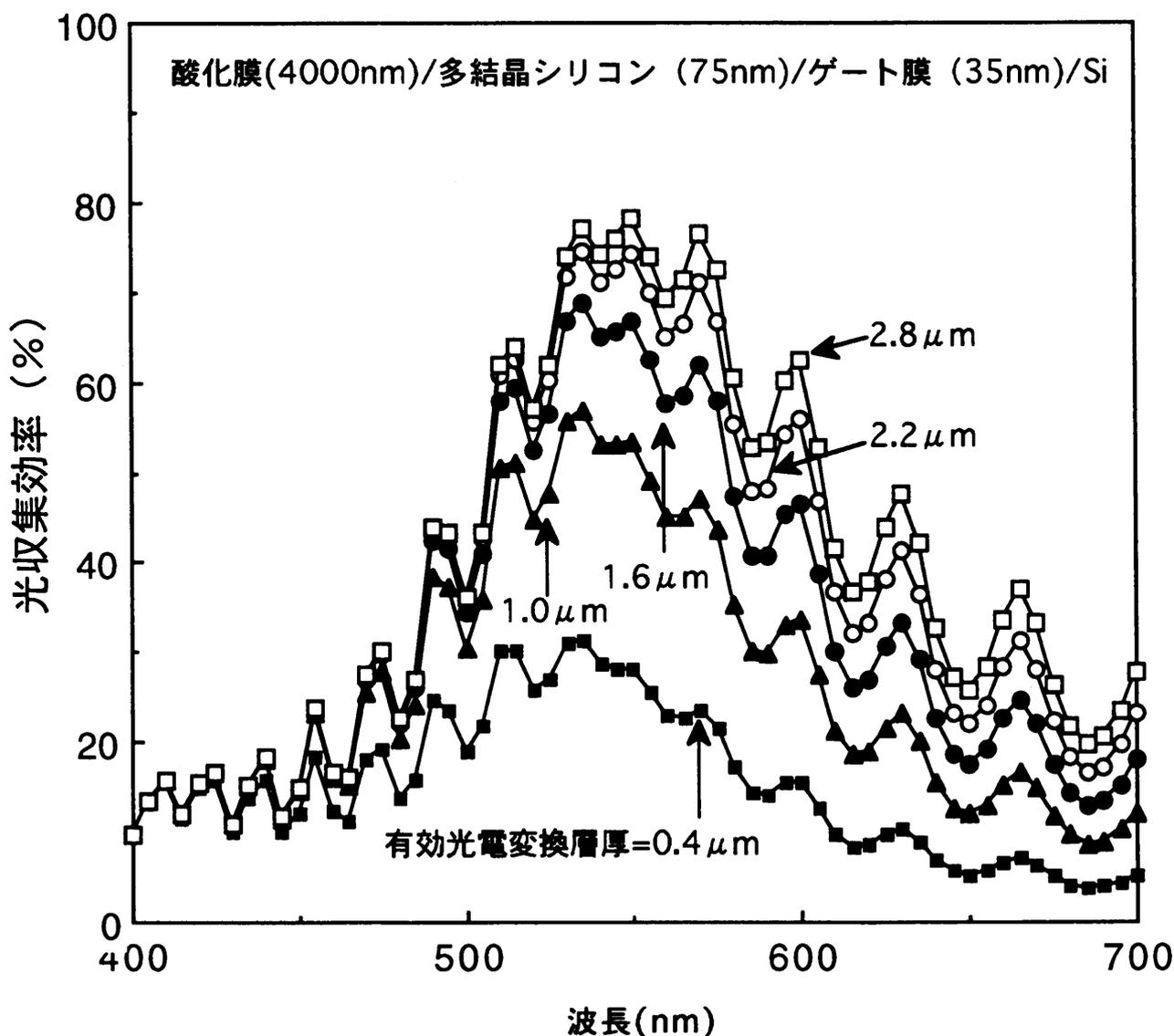


図3.5 有効光電変換領域の厚さをパラメータとしたCMDの光収集効率の計算結果

光電変換部の厚さが1.6 μm の場合、光収集効率の分布形状は人間の比視感度分布に近い形状となる。400 nm付近の短波長側での光収集効率の低下は、多結晶シリコンゲート電極による光吸収に起因する。他方、長波長側での量子効率の低下は、吸収長の増加、すなわち光電変換部を透過して基板側に達する光の割合が増大する事に起因する。

有効光電変換部の厚さが1.6 μm より薄くなる場合、長波長側での量子効率が低下する。一方、光電変換部の厚さが1.6 μm より大きくなる場合は、長波長側での感度が漸次増加するが、可視光撮像素子においては有害な近赤外感度も増加する。つまりCMDの有効光電変換層の厚さとしては、第2章で示したCMDの電位鞍点及びポテンシャル稜線の深さである1.6 μm 近傍が望ましい事が分かった。

CMDの開口率

14 μm (H)×16 μm (V)の画素寸法を有するCMD(15 μm □CMDと略記)の光有感領域を測定した[3]。波長が488 nmのレーザー光を2 μm の直径まで絞り、素子表面に対して垂直に光を照射した。レーザー光を素子表面上のソース中心を含む線状に走査し、同時に素子上の各点にレーザー光を照射した時の光出力(ソース電流)を測定した。この測定結果を図3.6(a)に示す。測定結果の解釈を容易にするため、同図(b)に画素の構造を示した。ゲート電極およびその近傍にレーザー光を照射した場合、大きい相対出力となった。この測定結果から、CMDのゲート電極上およびその近傍が、光有感領域であることがわかった。なお光出力のピーク値が左右のゲート部で異なるのは、画素構造に示した様に、ゲート電極に隣接して存在するアルミニウム配線の非対称性に起因する。又、ソースの中心部においても若干の出力が得られているが、これはレーザースポットの拡がりの影響、あるいはソース部のアルミニウム配線の光散乱の為と考えている。

以上、15 μm □CMDにおいては光有感領域がゲート電極領域及びその近傍に限定される事を明らかにした。更に、隣接画素に入射する光に対しては、CMDは不感である事も確認できた。但し、15 μm □CMDのドレイン領域の幅は2.0 μm と広く、このドレイン幅はデバイス寸法の縮小に伴い狭くなり、ドレイン幅の縮小、つまり画素寸法の縮小に伴い、隣接するCMD間の光分離特性が劣化する事が危惧される。そこで現在までに開発したCMDでは最も狭いドレイン幅を有する5.0 μm (H)×5.2 μm (V)画素CMD(以降、5 μm □CMDと略記する)の光感度分布の測定を行った[4]。なお、5 μm □CMDのドレイン幅は0.8 μm であり、入射光の波長程度に狭くなっている。

本実験に際しては、10個×10個の5 μm □CMDを二次元的に配列して、中央の1画素のみの出力を検出可能としたテストサンプルを作成した。そして当社製のレーザー走査顕微鏡 (Laser Scanning Microscope; LSM) を用いて、レーザースポット径が約1 μm の光束をテストサンプルの全面にわたり走査した。走査期間中は常に中央画素のソース電流を検出し続けた。LSM像に、中央部の画素からの出力が得られた領域をスーパーインポーズした合成画像を、図3. 7に示す。

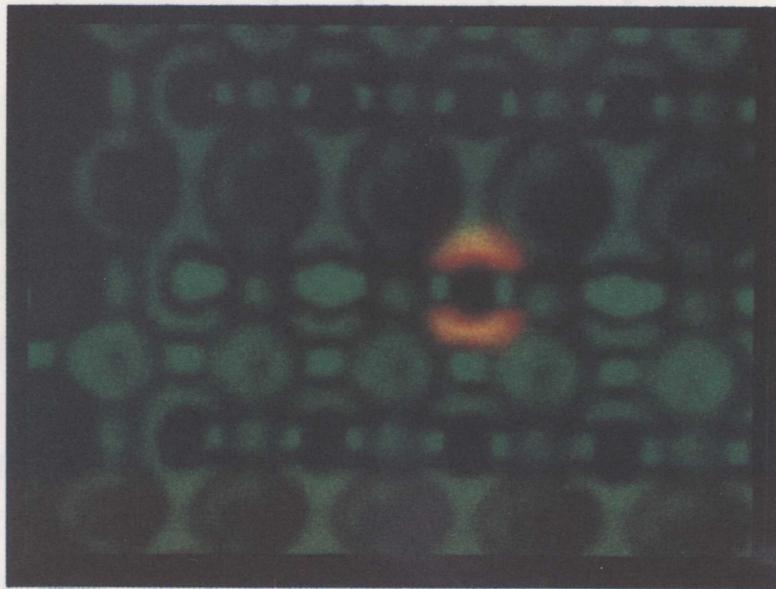


図3. 7 レーザー走査顕微鏡による光感度分布の測定結果

合成画像に於いて明るく見える領域が、光出力が得られた領域に対応する。電流を測定した画素以外の領域にレーザー光が照射されている時は、暗時出力電流が得られた。(中央右寄りのオレンジ色の明るいうりリング状の部分以外の像は、全てLSM像に対応する。) この結果から、5 μm □CMDにおいても隣接画素間の光分離は完全に行われている事が確認できた。更に、合成画像上で明るく見える領域は、第2章の図2. 7に示した5 μm □CMDのゲート電極の開口形状と良く一致した。

以上の実験結果より、CMDの有感領域は、5 μm □までの画素ではアルミニウム配線に覆われていないゲート電極部である事を明らかにした。

計算結果と実験結果との比較

次に量子効率の計算結果と実験結果の比較を行う。量子効率の測定に使用したCMDにお

いては、その上部構造膜を構成するパッシベーション膜と多結晶シリコンゲート膜及びゲートSiO₂膜の厚さが、各々、2000 nmと65 nm及び35 nmであった為、量子効率の計算でもこれらの値を使用した。又、単結晶シリコン中の有効光電変換層の厚さとしては、CMDの蓄積状態に於ける電位分布のシミュレーション結果より1.6 μmを使用した。図3. 8に、量子効率の測定結果を計算結果とともに示す[1]。

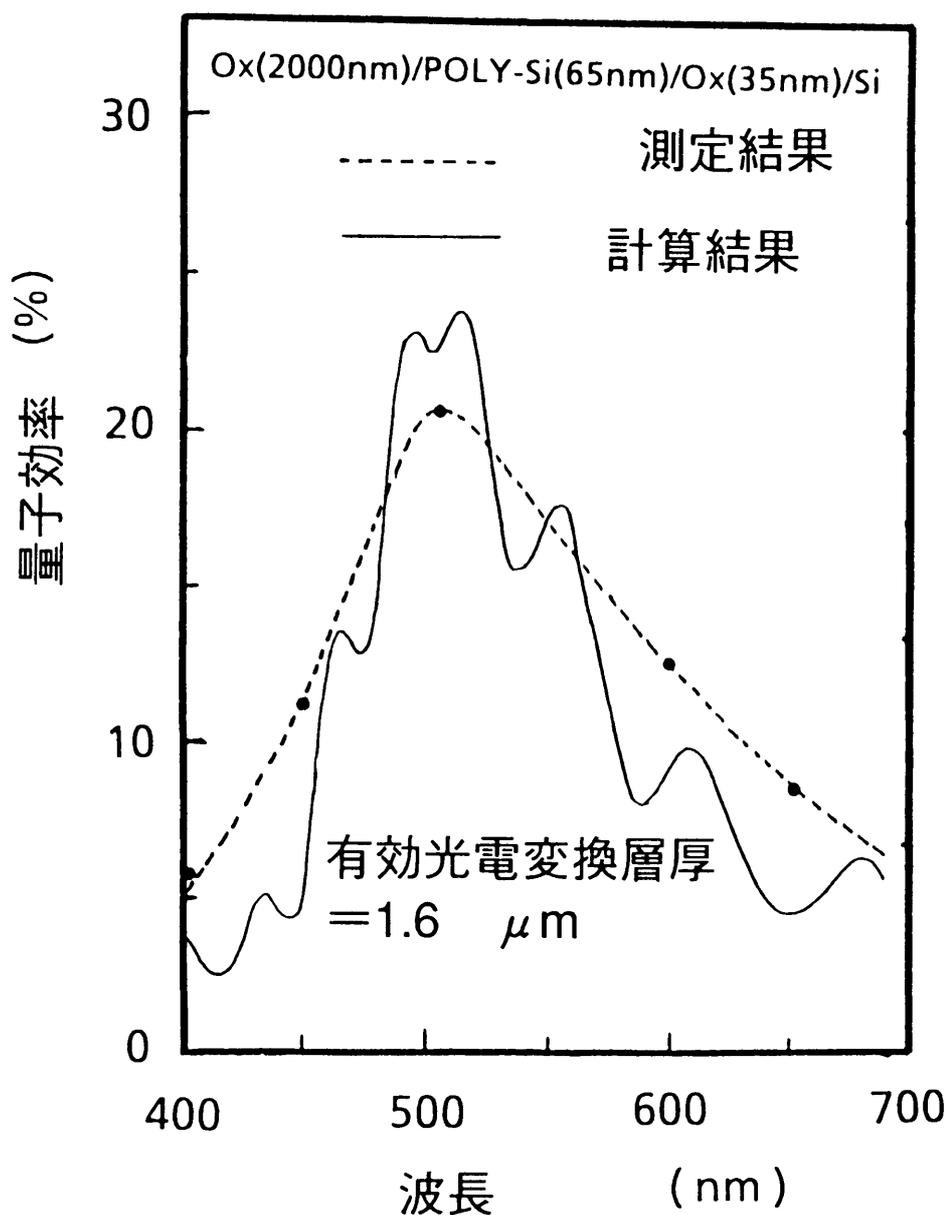


図3. 8 量子効率の計算結果（実線）及び測定結果（点線）

測定に使用した分光器の波長分解能が低いため実験結果と計算結果は完全には一致しないが、量子効率の測定結果の傾向を計算による量子効率は良く表現できている。最大20%の量子効率は、CMDの光開口率（約30%）および多結晶シリコン電極膜の光吸収と多重反射により決まる。

上部構造膜を構成するパッシベーション膜と多結晶シリコンゲート膜及びゲートSiO₂膜の厚さが各々4.0 μmと75 nm及び35 nmであり、さらに単結晶シリコン中の有効光電変換層の厚さが1.6 μm、かつ光学的開口率が30%の場合の量子効率の計算結果を図3. 9に示す。

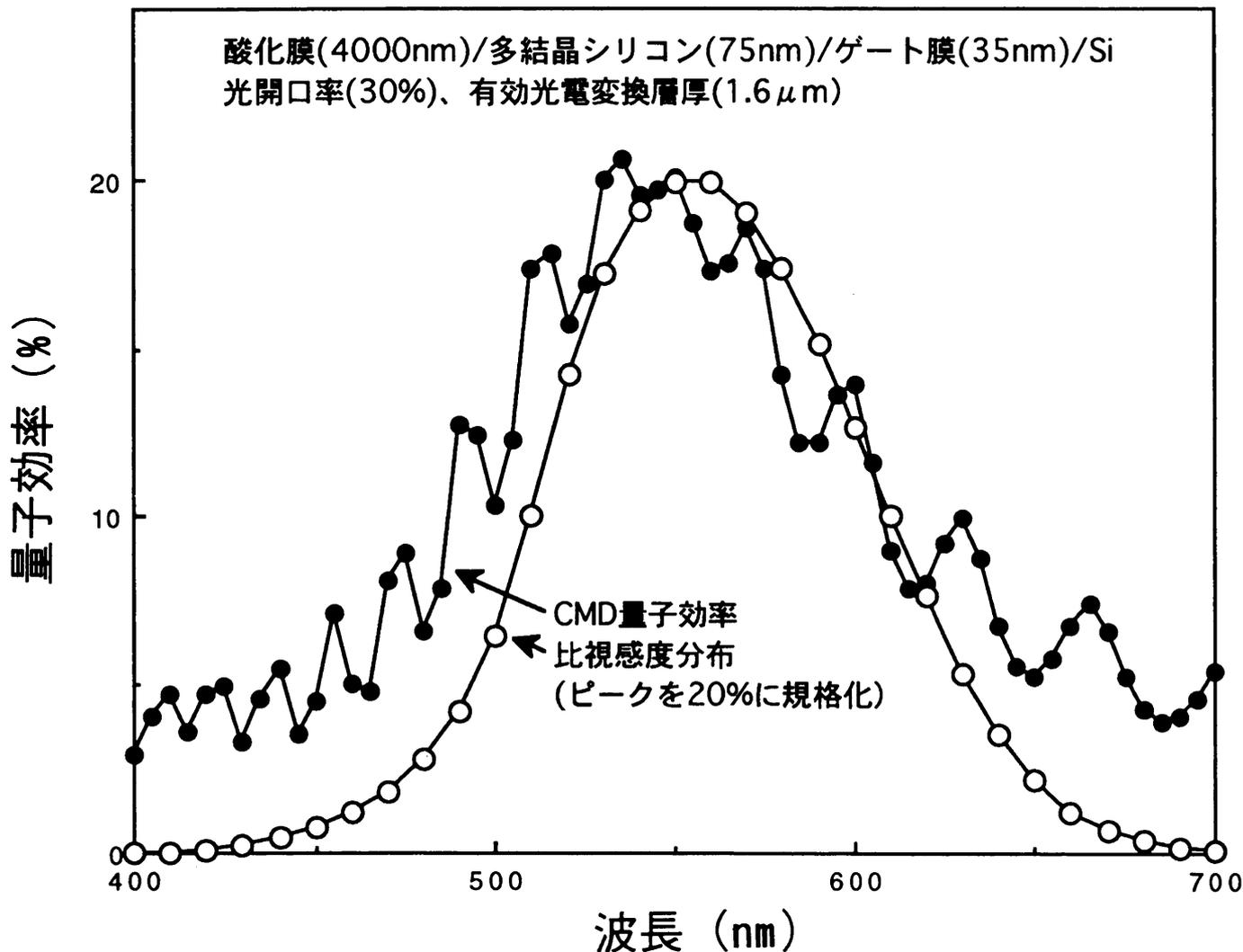


図3. 9 量子効率の計算結果

光透過率と有効光電変換層の厚さの最適設計の結果、CMDの量子効率を人間の比視感度分布と同様な分布にする事ができた。

以上、3. 2. 1節に於いてはCMDの量子効率について詳細な解析を行い、その設計指針を確立した。量子効率の計算結果と実験結果を比較した結果、CMDの量子効率は計算で

定量的に予測可能である事を明らかにした。またCMDでは、人間の比視感度分布に近い量子効率が実現可能である事を実証した。このCMDの量子効率の分布は、CMDの上部構造膜に於ける多結晶シリコンの厚さを約75 nmに設定し、更にCMDの有効光電変換層の厚さを1.6 μm とする事により得られた。

3. 2. 2 CMDの暗電流

光信号蓄積時、光以外の原因で発生する正孔は光信号に対して雑音となる。つまり、熱等に起因して発生する正孔は、光検出器であるCMDのSignal/Noise比を決定する要因となる。この雑音となる正孔は、信号蓄積動作期間中で発生しない事が理想的である。本節ではCMDの暗電流を実験により評価する。

今回、CMDの暗電流及び蓄積正孔数を直接評価できる手法を新たに開発した。本節では、CMDの暗電流の評価手法を詳述し、続いてCMDの蓄積状態で発生する暗電流を本手法により評価し、暗電流の発生原因および雑音となる熱発生正孔数を検討・評価した。

まずCMDの暗電流を測定するためのテストデバイスを設計した。このテストデバイスは、7.6 μm (V) \times 7.3 μm (H)の画素寸法を有するCMD(以降7 μm \square CMDと略記)が30,000個、並列状態で結合されている。なお、10 μm \square CMDや5 μm \square CMDについても、同様な構成のテストデバイスを作成して暗電流を評価した。

このテストデバイスは、全画素に共通につながるソース、ドレイン、ゲート、基板の4端子を有する。例えばソース端子には、全画素(全CMD)のソース電流の和が流れる。各々の端子であるソース、ドレイン、ゲート、基板端子に流れる電流をそれぞれ I_S 、 I_D 、 I_G 、 I_{SUB} で表すと、テストデバイス全体での電荷中性条件が成り立つ為、恒常的に次の関係式が成立する。

$$I_S + I_D + I_G + I_{SUB} = 0 \quad (3.3)$$

この式3.3から、 I_S と I_D 及び I_{SUB} を測定する事により、 I_G は次式で算出可能となる。

$$I_G = -(I_S + I_D + I_{SUB}) \quad (3.4)$$

式3.3の関係が成り立っている事を、10.4 μm (V) \times 10.2 μm (H)CMDのテストデバイスを用いて確認する。表3. 1に各端子電流の測定結果を示す。

表 3. 1 テストデバイスの端子電流測定結果

$V_G(V)/V_D(V)$		-8/3	-6/3	-4/3
I_S	(pA)	7.2	6.0	3.8
I_D	(pA)	127.5	63.0	48.0
I_{SUB}	(pA)	-30.0	-30.0	-30.0
$-(I_S+I_D+I_{SUB})$	(pA)	-104.7	-39.0	-21.0
I_G	(pA)	-102.0	-37.0	-20.0

この測定は、室温において遮光した状態で行った。 I_S 、 I_D 、 I_G はYHP社製パラメータアナライザを用いて測定した。 I_{SUB} の測定については、基板容量が大きい為キースレー社製ピコアンメーターを使用した。なお、ソースドレイン電流を小さくするために、基板印加電位は-20 Vに設定した。

表 3. 1 の測定結果より、式3.3の関係が良く成り立っていることが確認できた。また、 I_G は主にゲートドレイン端子間で流れ、更に、 I_G はゲートドレイン端子間の電圧に大きく依存する事が解った。

ゲート電極の端子は、各々のCMDのMOSゲート電極に繋がっている。この為暗時に於ける I_G は、熱により発生してゲート部に流れ込む正孔電流を補償するために流れる端子(電子)電流、つまり各々のCMDの正孔蓄積部であるゲート部に流れ込んで来る正孔電流の総和を表す。そこでテストデバイスの画素数を N とし、又、一画素の面積を S とすると、一画素当たりの暗電流； I_{dark} [A/pixel]及び単位面積当たりの暗電流値； I_{gen} [A/cm²]は、次の式3.5及び式3.6で算出できる。

$$I_{dark} = I_G / N \quad (3.5)$$

$$I_{gen} = I_{dark} / S \quad (3.6)$$

I_G についての予備的な測定の結果、そのバイアス依存性については、

- 1) 基板バイアスを-1 Vより-20 Vまで変化させても I_G の値は変わらない、
- 2) ドレインバイアスを V_D 、ゲートバイアスを V_G とすると、 I_G は V_D-V_G にのみ依存する、

事が分かった。

第5章で詳述するハイビジョン用CMDイメージセンサの画素に使用する、7 μm \square CMDの暗電流を詳細に評価した。テストデバイスを用いた暗電流の測定結果を図3. 10に示す。縦軸は測定値である I_G より式3.5を使って算出した I_{dark} を、又、横軸は V_D-V_G を示す。

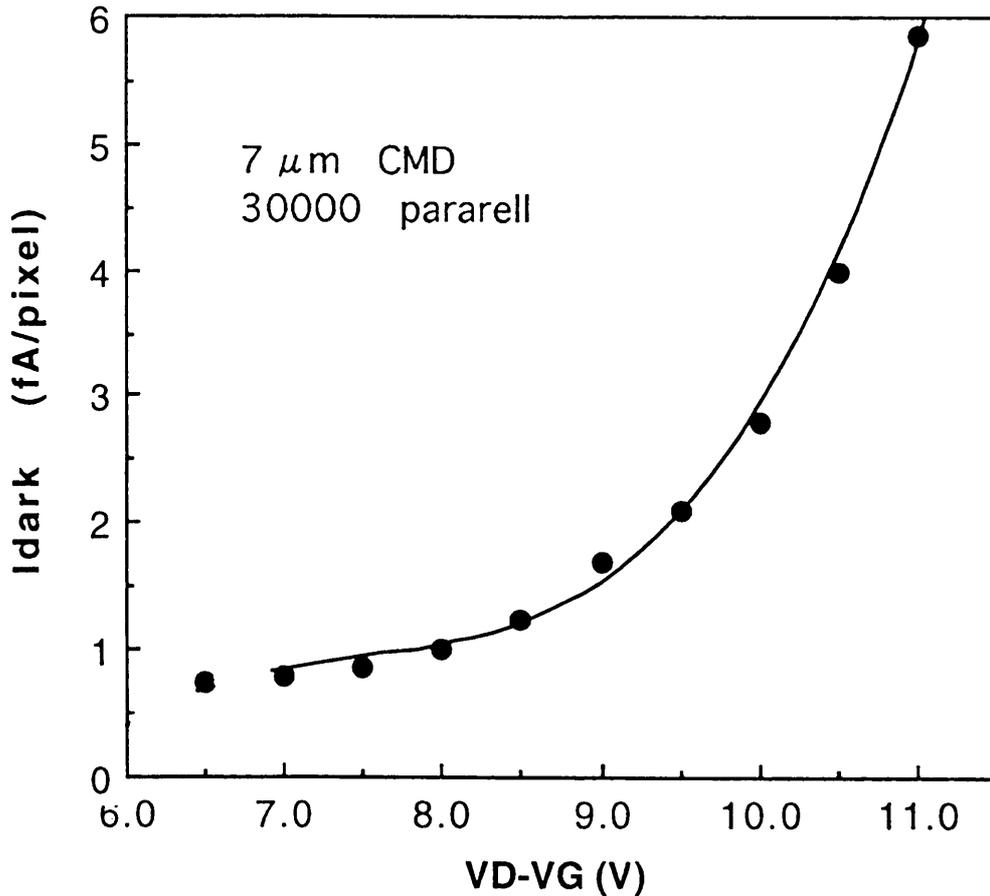


図3. 10 7 μm \square CMDの暗電流の測定結果

この測定結果より、CMDの暗電流は V_D-V_G の増大に対して急激な増加を示す事が分かる。

最後に本テストデバイスを用いて、暗電流の温度特性を測定した。測定結果を図3. 11に示す。

一般的に暗電流: I_{gen} は、絶対温度: T に対して次式の依存性を示す[5]。

$$I_{\text{gen}} \propto \exp\left(-\frac{E_A}{kT}\right) \quad (3.7)$$

ここで kT は熱エネルギーであり、 E_A は活性化エネルギーを表す。図3. 11の測定結果より、CMDに於ける暗電流生成の活性化エネルギー: E_A は0.49 eVと求まる。この値は単結晶シリコンの生成再結合電流の活性化エネルギーである0.55 eV[5]にほぼ等しい。暗電流が基板電圧およびソース-ゲート間電圧に依存しない事、一方、ドレイン-ゲート間の電位差に大きく依存する事から、暗電流はドレイン-ゲート間の表面近傍に於いて発生してい

ると結論できる。また活性化エネルギー： E_A が0.49 eVである事から、CMDにおいても暗電流は生成再結合機構により発生していると結論できる。しかしながら V_D の増加による暗電流の増加の原因としては、

- ① ドレイン/ゲート境界部でのアバランシェ機構による暗電流の増倍、あるいは、
- ② 高濃度ドレイン領域が空乏化し暗電流の発生中心が増加する事、

等が考えられる。この暗電流の発生メカニズムについては現在検討中である。

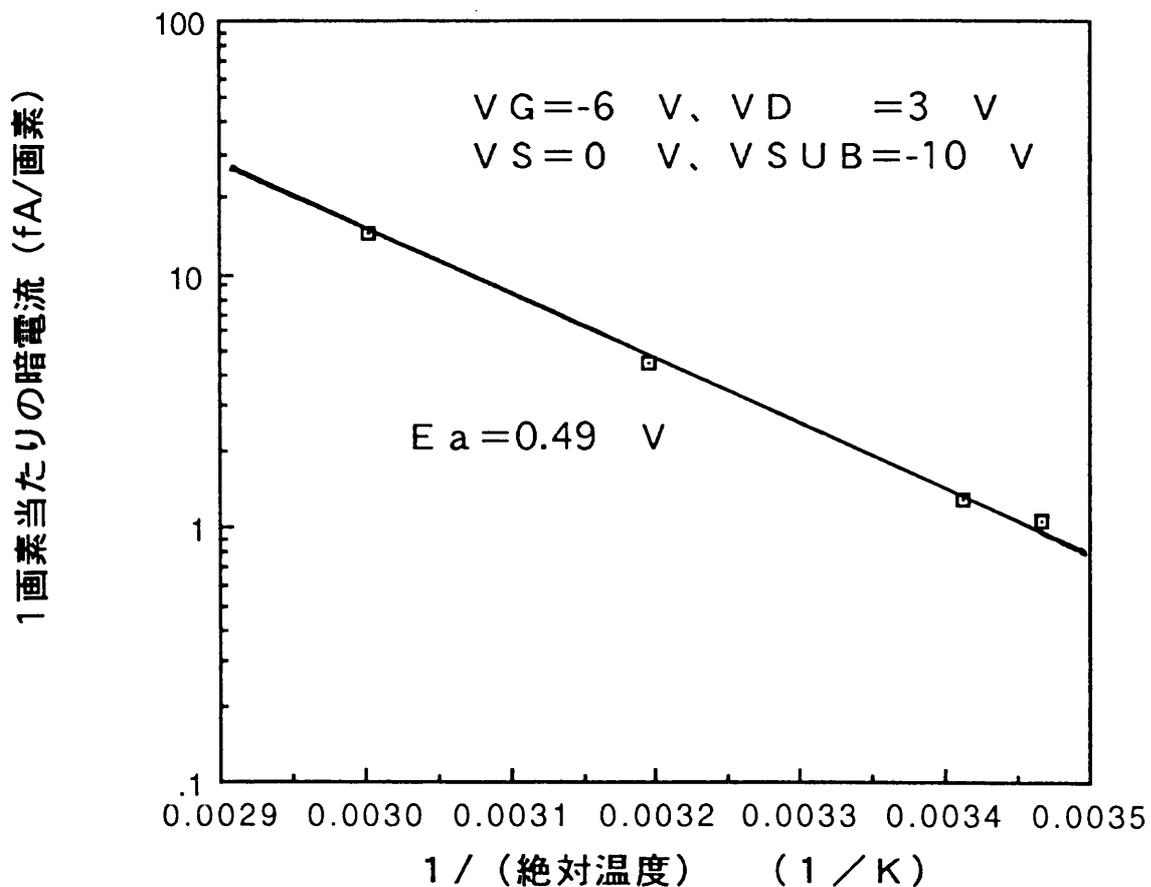


図3. 1.1 CMDの暗電流の温度特性

7 μm CMDの標準的な蓄積状態の印加バイアス ($V_D=3\text{ V}$, $V_G=-6\text{ V}$) に於ける一画素当たりの暗電流は、図3. 1.0の測定結果から $I_{\text{dark}}=1.70\text{ fA/pixel}$ となる。信号蓄積期間をフィールド蓄積期間である1/60秒とすると、蓄積正孔数は177個/画素と大きい。ちなみに単位面積当たりの暗電流は、式3.6より $I_{\text{gen}}=3.06\text{ nA/cm}^2$ となる。

図3. 1.0の測定に使用したテストデバイスの、製造工程に於けるシンター（水素雰囲気中でのアニーリング）条件は、処理温度が450℃で処理時間が30分であった。このシンター工程の処理時間を長くする事によりデバイス表面近傍への水素の供給を増加させ、暗電流の生成-再結合中心密度を減少させる事によりCMDの暗電流の低減が可能になる。シン

ター工程の処理時間を90分と長時間化した場合の、5~10 μm^2 CMDの常温に於ける暗電流を測定した。評価結果を表3. 2に示す。

表3. 2 5~10 μm^2 CMDの常温に於ける暗電流の評価結果 ($V_G = -6\text{V}$, $V_D = 3\text{V}$ 。)

項目	10 μm^2 CMD	7 μm^2 CMD	5 μm^2 CMD
I_{dark} (fA)	0.092	0.070	0.084
I_{gen} (pA/cm ²)	87	126	323
1/60秒で蓄積される正孔数	9.6	7.3	8.8

例えば7 μm^2 CMDの測定結果は、1画素あたり0.07 fA、単位面積(cm²)では126 pAとなる。光信号の蓄積期間を通常フィールド期間である1/60秒と仮定すると、この期間で一画素のCMDに蓄積される暗電流起因の正孔数は7.3個となる。暗電流起因の蓄積正孔数は1個以下となる事が目標となるが、図3. 10の従来のシンター条件の場合の暗電流の測定結果(177個)と比較して充分小さな値が実現できた。すなわちシンター条件を改善する事により、暗電流の低減が可能になった。

この暗電流により蓄積される正孔数の揺らぎと飽和蓄積正孔数から、CMDのダイナミックレンジが評価可能となる。このダイナミックレンジの評価については、CMDの飽和正孔数の評価終了の後で行う。

3. 3 信号読み出し動作

3. 3節ではCMDの信号読み出し動作を定量的に解析し、その特徴を明らかにする[12]。先ず1画素当たりの等価容量に対応するCMDの正孔蓄積能力を、実験および計算により評価する。続いてCMDの光電変換特性の解析的表現式を導出し、この解析式等に基づきCMDの信号増幅率や飽和正孔量及び飽和出力とダイナミックレンジを評価する。

3. 3. 1 正孔蓄積能力

CMDのゲート酸化膜/シリコン界面に蓄積される正孔量に比例して、表面電位が変調される。この正孔の蓄積に伴う表面電位の変調(上昇)により、CMDのソース電流が増加する。蓄積正孔がソース電流に及ぼす変調度(信号増幅率)を定量化する為には、先ずCMDの正孔蓄積能力を導出する必要がある。そこで本節においてはCMDの正孔蓄積能力を解析し、その定量的な把握と設計指針を確立する。

正孔蓄積能力の測定結果

3. 2. 2節で説明したCMDの暗電流評価用テストデバイスを用いて、1画素当たりの等価容量に対応するCMDの正孔蓄積能力を測定した。

CMDの正孔蓄積能力 (Photosite Hole Capacity; P_{HC} [正孔数/V])の算出方法を、以下のI～Vに示す。

- I テストデバイスの、正孔が蓄積されていない状態でのソース電流－ゲート電圧特性を測定する。
- II 暗状態で、同一テストデバイスを同一のソース、ドレイン、基板バイアス印加状態に保ち、さらにゲート電位も一定とした状態で、保持(蓄積)時間に対するソース電流の増加を測定する。この時、ゲート端子に流れる電流: I_G も同時に測定する。
- III IとIIの測定結果より、正孔の蓄積時間と正孔が蓄積されていない状態で同量のソース電流が流れるゲート電圧(以下、実効的なゲート電圧あるいは等価的なゲート電圧と呼ぶ)との関係を求める。
- IV IIIの評価結果から、正孔の蓄積時間に対する実効的なゲート電圧の変化率: D_G を算出する。
- V 以上の測定結果に基づき、CMDの正孔蓄積能力: P_{HC} を次の式3.8を使って算出する。

3. 3 信号読み出し動作

3. 3節ではCMDの信号読み出し動作を定量的に解析し、その特徴を明らかにする[12]。先ず1画素当たりの等価容量に対応するCMDの正孔蓄積能力を、実験および計算により評価する。続いてCMDの光電変換特性の解析的表現式を導出し、この解析式等に基づきCMDの信号増幅率や飽和正孔量及び飽和出力とダイナミックレンジを評価する。

3. 3. 1 正孔蓄積能力

CMDのゲート酸化膜/シリコン界面に蓄積される正孔量に比例して、表面電位が変調される。この正孔の蓄積に伴う表面電位の変調(上昇)により、CMDのソース電流が増加する。蓄積正孔がソース電流に及ぼす変調度(信号増幅率)を定量化する為には、先ずCMDの正孔蓄積能力を導出する必要がある。そこで本節においてはCMDの正孔蓄積能力を解析し、その定量的な把握と設計指針を確立する。

正孔蓄積能力の測定結果

3. 2. 2節で説明したCMDの暗電流評価用テストデバイスを用いて、1画素当たりの等価容量に対応するCMDの正孔蓄積能力を測定した。

CMDの正孔蓄積能力 (Photosite Hole Capacity; P_{HC} [正孔数/V])の算出方法を、以下のI～Vに示す。

- I テストデバイスの、正孔が蓄積されていない状態でのソース電流-ゲート電圧特性を測定する。
- II 暗状態で、同一テストデバイスを同一のソース、ドレイン、基板バイアス印加状態に保ち、さらにゲート電位も一定とした状態で、保持(蓄積)時間に対するソース電流の増加を測定する。この時、ゲート端子に流れる電流: I_G も同時に測定する。
- III IとIIの測定結果より、正孔の蓄積時間と正孔が蓄積されていない状態で同量のソース電流が流れるゲート電圧(以下、実効的なゲート電圧あるいは等価的なゲート電圧と呼ぶ)との関係を求める。
- IV IIIの評価結果から、正孔の蓄積時間に対する実効的なゲート電圧の変化率: D_G を算出する。
- V 以上の測定結果に基づき、CMDの正孔蓄積能力: P_{HC} を次の式3.8を使って算出する。

$$P_{HC} = \frac{I_G}{q N D_G} \quad (3.8)$$

ここで q は素電荷量を表す。又、 N はテストデバイスのCMDの個数を示す。

10 μm □CMDで構成されたテストデバイスの、ソース電圧； $V_s=0$ V、ドレイン電圧； $V_D=3$ V、基板電圧； $V_{SUB}=-15$ Vの印加バイアスでの、暗時ソース電流-ゲート電圧特性を測定した。なお、ゲート酸化膜の厚さは35 nmであり、またゲート電圧は-2 Vより-1 Vまでの範囲を測定した。まず、テストデバイスを正孔のリセット状態に保持したのち、パルスの負のゲート電圧を印加して、各々のゲート電圧印加時での正孔が蓄積されていない状態のソース電流を測定した。測定結果を図3. 12に示す。ゲート電圧の上昇に伴いソース電流は指数関数的に増加する。

続いて、暗状態で同一テストデバイスを同一のソース、ドレイン、基板バイアス印加状態に保ち、さらにゲート電位をリセット電圧から-2.0 Vにパルスの遷移させた状態で、保持（蓄積）時間に対するソース電流の増加を測定した。測定結果を図3. 13に示す。横軸で示した蓄積（保持）時間の増加に伴いソース電流が増大する。

シリコン/シリコン酸化膜界面に正孔が存在しない場合の、ソース電流とゲート電圧の関係は図3. 12よりわかるため、この結果と図3. 13に示したソース電流-保持時間の測定結果と照らし合わせる事により、正孔の蓄積時間と実効的なゲート電圧との関係が分かる。この関係を図3. 14に示した。

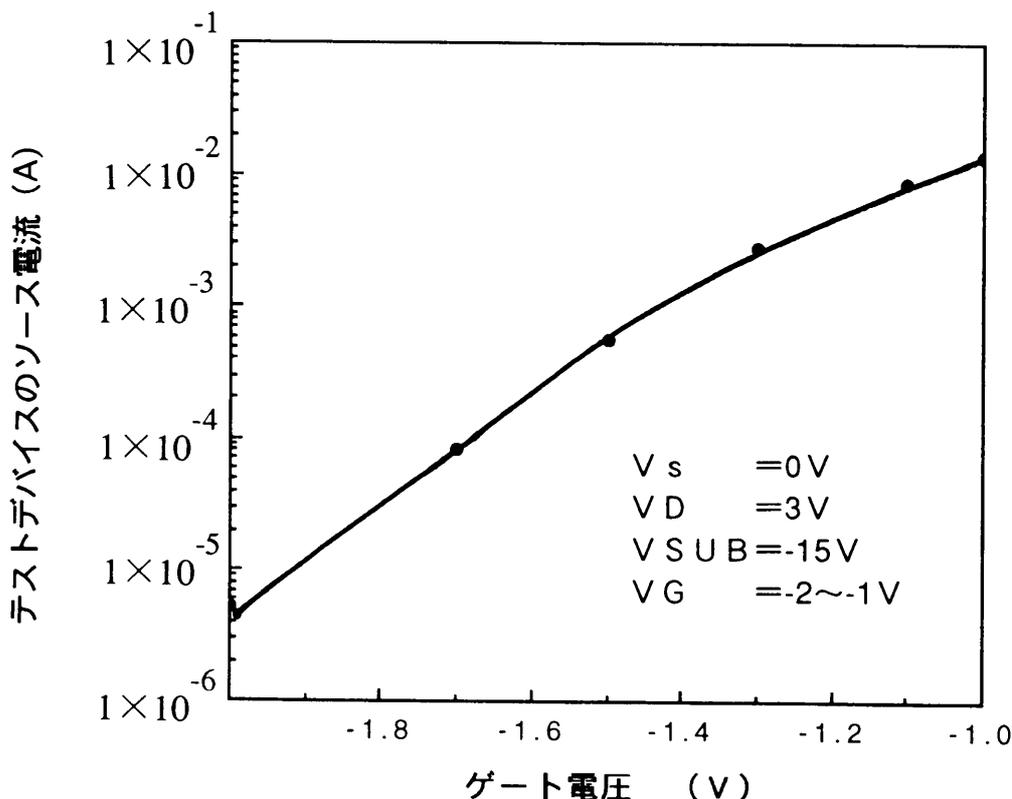


図3. 12 暗電流評価用テストデバイスのソース電流-ゲート電圧特性

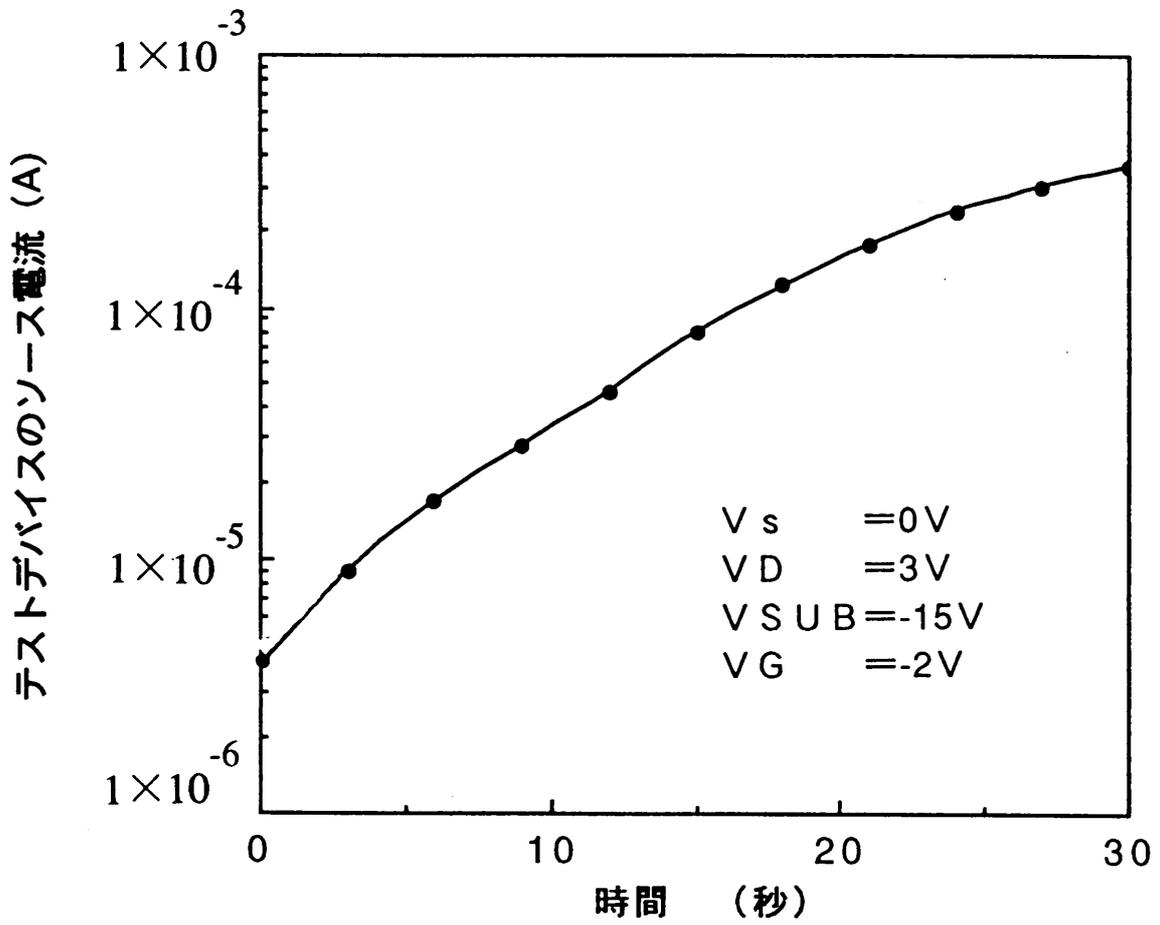


図 3. 1 3 テストデバイスのソース電流－保持（蓄積）時間特性

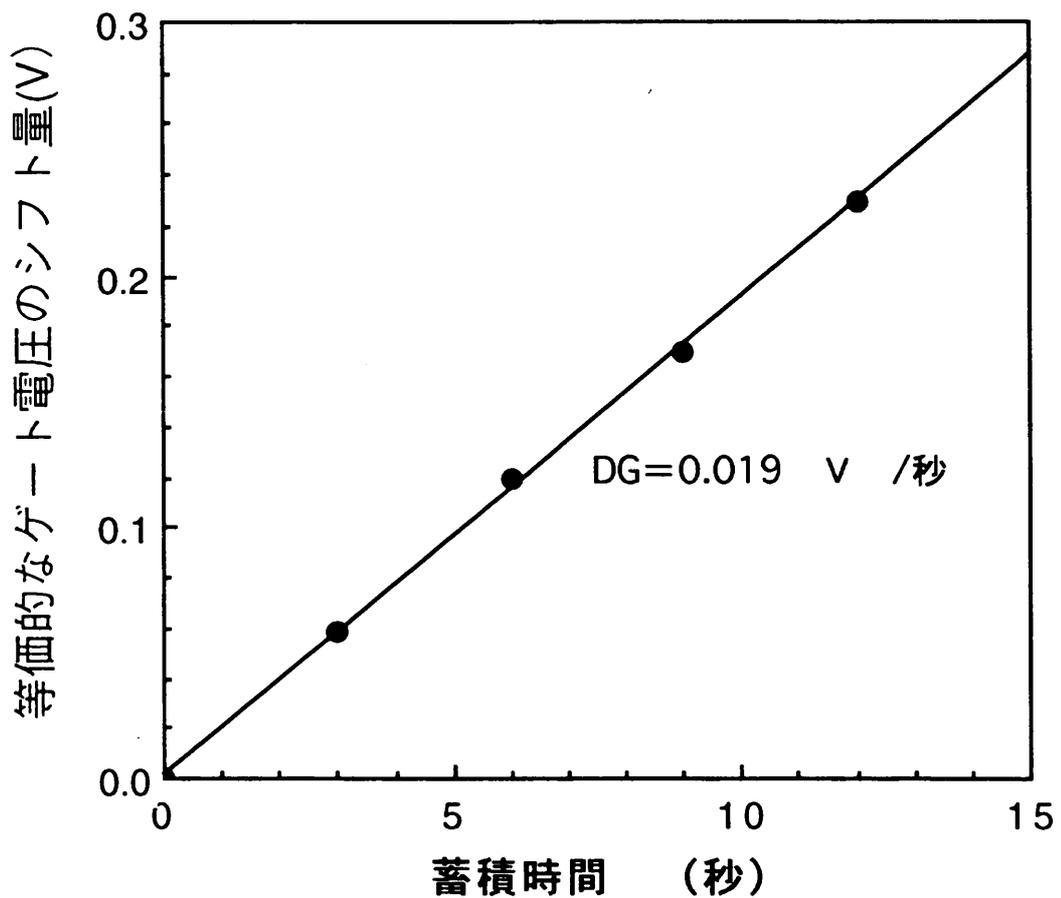


図 3. 1 4 正孔蓄積時間と等価的なゲート電位のシフト量の関係

この直線の傾きから、正孔の蓄積時間に対する等価的なゲート電位の変化率： D_G は0.019 V/秒と算出できる。一方、図3. 13の測定において、ゲート端子に流れる電流： I_G を同時に測定した結果、その値は7.1 pAとなった。測定結果から得られた数値を式3.8に代入することにより、10 μm □CMDの P_{HC} は 1.3×10^5 個/Vと求まる。

同様な手法により7 μm □CMD及び5 μm □CMDの正孔蓄積能力： P_{HC} を求めた。その評価結果を図3. 15にまとめた[6]。

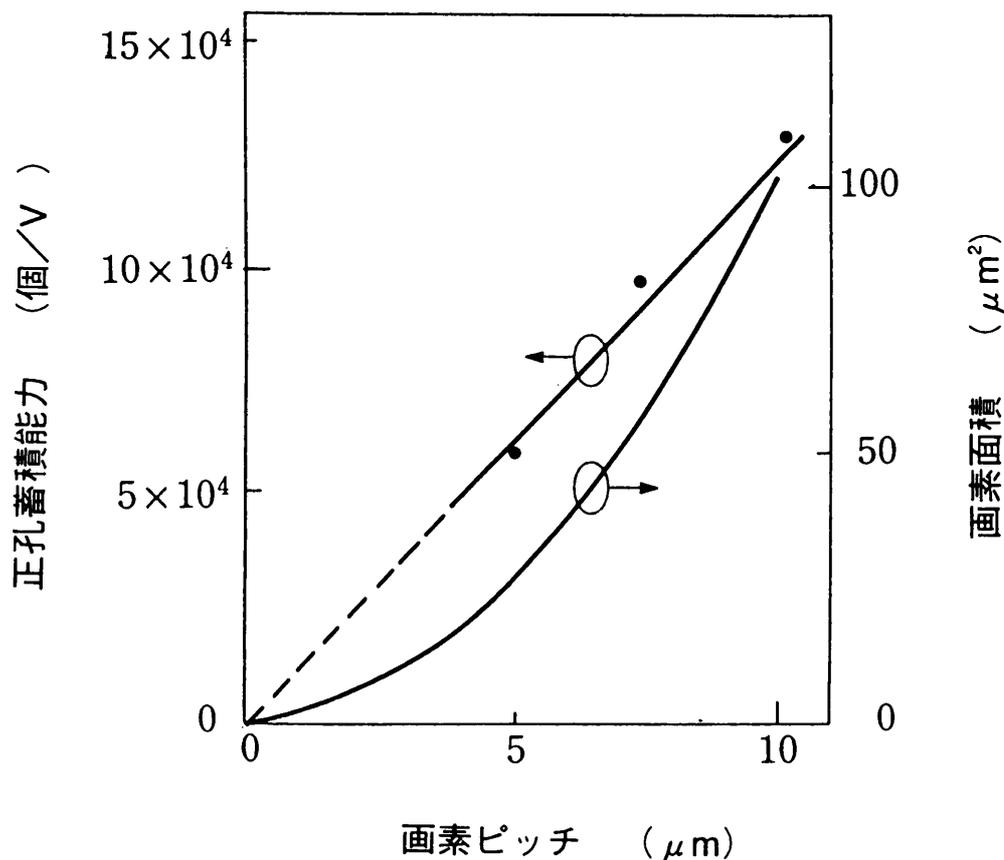


図3. 15 画素寸法と正孔蓄積能力の関係

7 μm □CMD及び5 μm □CMDの P_{HC} は、各々、 9.8×10^4 個/V及び 5.9×10^4 個/Vである事が分かった。またこの図より、CMDでは画素面積ではなく画素寸法にほぼ比例して正孔蓄積能力が減少する事も分かった。これはゲート幅が画素寸法に比例して短くなり、一方、CMDの画素寸法の縮小に際しても電流-電圧特性を一定に保つ為、実効的なゲート長をほぼ一定に設計した事に起因する。

他方デバイスシミュレータにより正孔蓄積能力を数値計算した結果、10 μm □CMDの P_{HC} は測定値と良く一致する 1.3×10^5 個/Vという値を得た。又、シミュレーションによる計算から、ゲート電位が-1.5 Vと-6.0 Vに於いて等量の正孔を界面に蓄積させた場合、実効的なゲート電位のシフトは同じである事も確認した。

正孔蓄積能力の解析的表現

CMDの正孔蓄積能力: P_{HC} は、解析的には次の式3.9で表現できる。

$$P_{HC} = \frac{p}{\Delta V_G^*} = \frac{C}{q} = \frac{A k_{SiO_2} \epsilon_0}{q T_{ox}} \quad (3.9)$$

ここで p は蓄積正孔数、 C はCMDの蓄積ゲート容量、 ΔV_G^* はゲート電位の変化量、 q は素電荷量 (1.6×10^{-19} C)、 A はCMDのゲート下の有効正孔蓄積面積、 k_{SiO_2} は酸化シリコンの比誘電率 (3.9)、 ϵ_0 は真空の誘電率 (8.86×10^{-14} F/cm)、 T_{ox} はゲート酸化膜厚を表す。CMDのゲート下の有効正孔蓄積面積: A がわかれば、 P_{HC} の完全な解析的表現が得られる。

10 μm □CMDの信号読み出し動作時 ($V_G = -1.5$ V) に於いて、表面に飽和量の正孔を存在させた場合の ①電位分布と ②ドナー分布 (ドナー濃度: $N_D = 1 \times 10^{16}$ cm^{-3} の等濃度分布線のみ) および ③正孔蓄積領域 (正孔の強反転状態となる 1×10^{16} cm^{-3} の正孔濃度分布線を正孔分布端と定義した) をシミュレータにより計算した。計算結果を図3.16に示す。等電位線の間隔は0.1 Vとした。

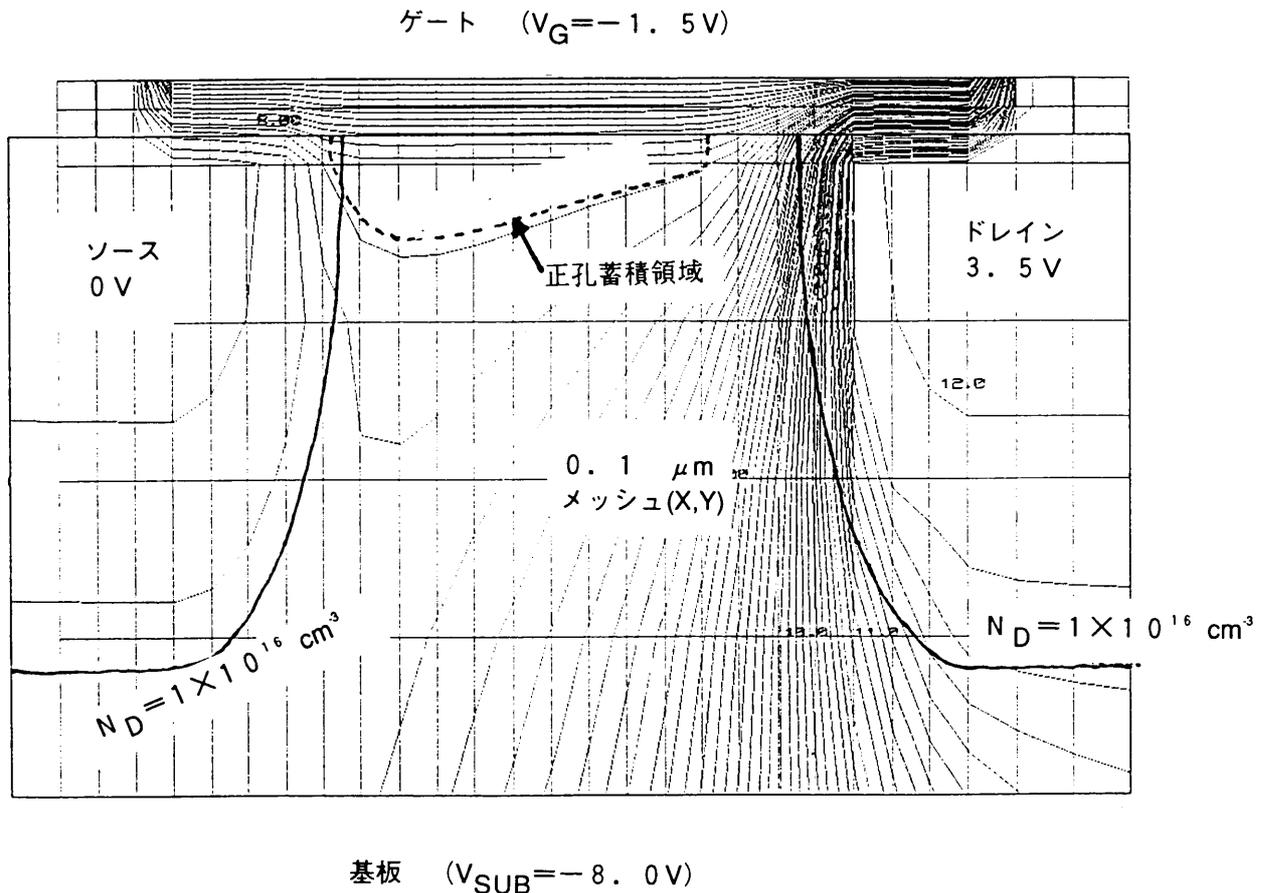


図3.16 飽和正孔が存在している場合の電位と正孔及びドナー分布

ソース端部においては、 1×10^{16} cm^{-3} で規定したドナー分布端と正孔分布端がほぼ一致する。他方、ドレイン端部においては、正孔分布端はドナー分布端より約0.2 μm 、ゲート側

に離れている事がわかる。これはドレイン部がゲート部に対して、ソース部より強い逆バイアス状態となっている為である。以上の正孔分布を考慮すると、CMDの正孔蓄積面積：Aは経験的に次式で見積れる事がわかる。

$$A = \pi \left\{ (r_D - x_j s - 0.2)^2 - (r_S + x_j s)^2 \right\} \quad (3.10)$$

ここで r_D はゲート外周部の半径、 x_j はソース/ドレイン拡散層深さ、 s は拡散層の横拡がりの割合を表す係数、 r_S はゲート内周部の半径である。例えば、 $10 \mu\text{m}$ □CMDの正孔蓄積面積：A及び正孔蓄積能力は、式3.10と式3.9を使って、 $23.4 \mu\text{m}^2$ 及び 1.44×10^5 個/Vと見積られる。但し、 r_D は $4.0 \mu\text{m}$ 、 x_j は $0.32 \mu\text{m}$ 、 s は 0.8 、 r_S は $2.0 \mu\text{m}$ 、 T_{ox} は 35 nm を代入した。

実験あるいはシミュレーションにより得られた正孔蓄積能力： P_{HC} である 1.3×10^5 個/Vにほぼ等しい、 1.44×10^5 個/Vが得られた。

まとめ

CMDの正孔蓄積能力： P_{HC} を実験及びシミュレーションにより評価した。その結果、 $10 \mu\text{m}$ □CMDと $7 \mu\text{m}$ □CMD及び $5 \mu\text{m}$ □CMDの正孔蓄積能力は、各々、 1.3×10^5 個/Vと 9.8×10^4 個/V及び 5.9×10^4 個/Vである事が分かった。またCMDにおいては、画素寸法にほぼ比例する形で正孔蓄積能力が減少する事も明らかにした。更に、 P_{HC} は解析的に次式で表現できる事が分かった。

$$P_{HC} = \pi \left\{ (r_D - x_j s - 0.2)^2 - (r_S + x_j s)^2 \right\} \frac{k_{SiO_2} \epsilon_0}{q T_{ox}} \quad (3.11)$$

式3.11より、正孔蓄積能力： P_{HC} を増加させる為には、ゲート酸化膜厚： T_{ox} を薄くする、あるいはドレイン半径： r_D を大きくする、またはソース半径： r_S を小さくする、もしくは拡散層深さ： x_j を浅くすればよい事がわかる。但し、 r_D と r_S および x_j はセンサの製造に使用する最小デザインルールや熱工程でほぼ決まってしまうため、正孔蓄積能力の増加にはゲート酸化膜の薄膜化が、正孔蓄積能力の減少にはゲート酸化膜の厚膜化が有効となる。

3. 3. 2 光電変換特性の解析的表現

本節ではデバイスシミュレータの計算結果を活用しながら、CMDの光電変換特性の解析的な表現を導出する。この表現式より、CMDの重要なデバイス特性である信号増幅率等が解析的に評価可能となる。

ゲート電位が信号読みだし電位である -1.5 V の場合の、非定常状態に於けるデバイス内電位分布をシミュレーションにより求めた。計算結果を図3. 17に示す。ドレイン、ソース、基板電位は、各々、 3.5 V 、 0 V 、 -8 V とした。ソースとドレインの間のバルクチャンネル中に、電子に対する電位障壁となる電位鞍点：Pが存在している。

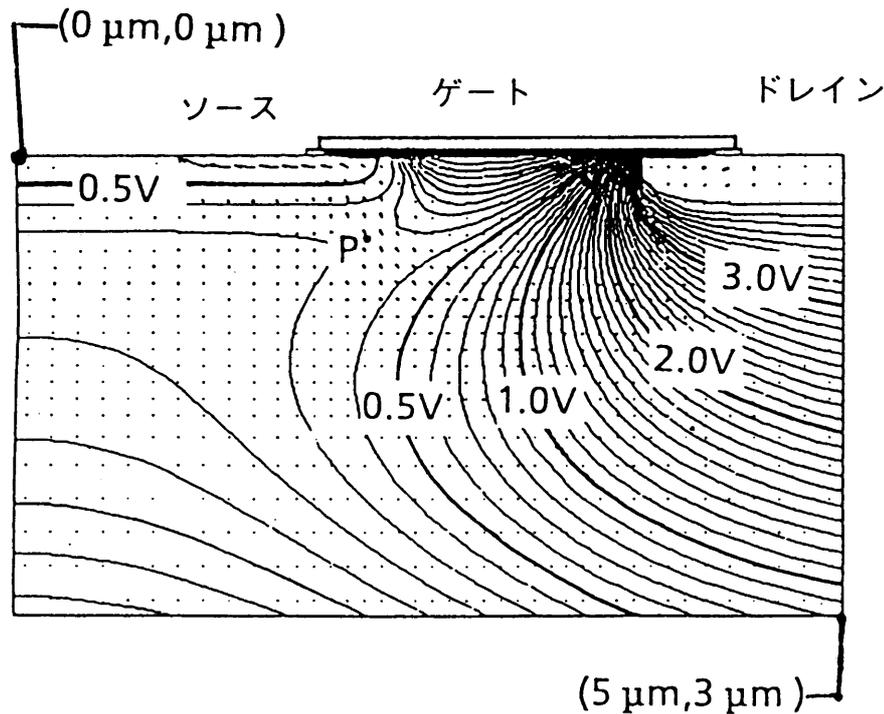


図3. 17 信号読み出し状態に於いて、正孔が存在しない場合のデバイス内電位分布
座標は（ソース中心よりの平面距離、基板表面よりの深さ）を表す

そこでゲート電位を変化させる事により、電位鞍点でのポテンシャル(鞍点電位)： ϕ_{SAD} と、CMDのソース電流： I_s の関係を調べた。ソース電流は、各ゲート電位を印加した後、 5×10^{-10} 秒経過した時刻で状態を収束させて計算した。計算結果を図3. 18に示す。

この図から、ソース電流と鞍点電位： ϕ_{SAD} とは、指数関数の関係にある事が分かる。つまりCMDのソース電流： I_s は、次式の様に表現できる。

$$I_s = I \exp \left\{ \frac{(\phi_{SAD} - \phi_s)}{B} \right\} \quad (3.12)$$

ここで ϕ_s は、ポテンシャルの基準となるソース領域のフェルミポテンシャルを表す。また I は電流の次元を持つ定数、 B は活性化エネルギーを表す。図3. 18より活性化エネルギーを計算すると 0.025 eV となり、この値は熱的な活性化エネルギー： kT/q に等しい。ここで k はボルツマン定数、又、 q 及び T は素電荷量及び絶対温度を表す。

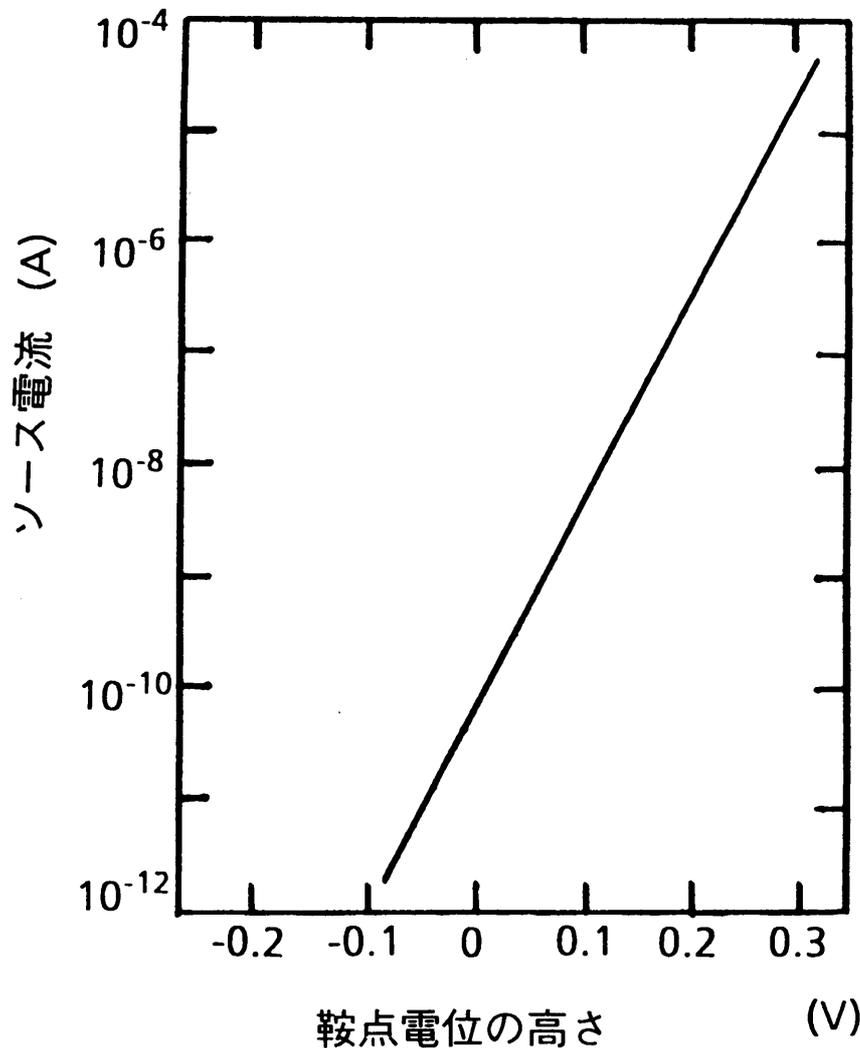


図 3. 18 鞍点電位とソース電流の関係

式3.12より、CMDでは鞍点電位： ϕ_{SAD} を変えることによりソース電流を変調できる事が分かる。CMDの名前は、正孔電荷(Charge)が、鞍点電位を制御し電流を変調する事(Modulation)により、光信号強度を読み出すデバイス(Device)であることに由来する。

式3.12のソース領域のフェルミポテンシャル： ϕ_s とソース領域の不純物濃度： n_s との間には以下の関係が成り立つ[5]。

$$\phi_s = \frac{kT}{q} \ln\left(\frac{n_s}{n_i}\right) \quad (3.13)$$

ここで n_i は、真性半導体に於けるキャリア密度を表す。単結晶シリコンに於ける n_i は $1.45 \times 10^{10} \text{ cm}^{-3}$ となる[5]。またソース領域の不純物濃度： n_s の値は $6 \times 10^{19} \text{ cm}^{-3}$ である[1]。

式3.12に於ける電流の次元を持つ定数 I は、西澤らの静電誘導トランジスタの解析[7]により、

$$I = \frac{q D n_s A}{L_{CH}} \quad (3.14)$$

となる事が示されている。ここでDは電子の拡散係数であり、電子の移動度(モビリティ)： μ_n とは次のアインシュタインの関係が成り立つ[5]。

$$D = \frac{kT}{q} \mu_n \quad (3.15)$$

また式3.14に於いて、 L_{CH} はソース領域より電位鞍点までの距離を表し、その値は図3.17より約0.5 μm と見積もれる。 A はソース電流が通過する断面積であり、次式で近似できる。

$$A = 2 \pi r_P W_{CH} \quad (3.16)$$

ここで r_P はソース中心軸から計った電位鞍点の距離であり、その値は図3.17より約2 μm と見積もれる。 W_{CH} はソース電流が通過する幅であり、文献[7]に示された様に、鞍点付近を流れる電子が通過可能なチャンネル幅を鞍点電位より $3 \times kT/q$ V以内の電位領域で見積もると、CMDでは W_{CH} は約0.2 μm となる。静電誘導トランジスタなど鞍点電位でソース電流が制御されるデバイスでは、指数関数的な電流領域に於いて W_{CH} は一定として良い[8]。

式3.13-3.16を式3.12に代入すると、以下の関係式が得られる。

$$I_s = 2 \pi r_P W_{CH} \frac{kT \mu_n n_s}{L_{CH}} \exp \left[\frac{q}{kT} \left\{ \phi_{SAD} - \frac{kT}{q} \ln \left(\frac{n_s}{n_i} \right) \right\} \right] \quad (3.17)$$

10 μm \square CMDで見積もられた値 ($n_s = 6 \times 10^{19} \text{ cm}^{-3}$, $L_{CH} = 0.5 \mu\text{m}$, $r_P = 2 \mu\text{m}$, $W_{CH} = 0.2 \mu\text{m}$ 。) を式3.17に代入すると、ソース電流: I_s は

$$I_s = 0.146 \exp \left\{ \frac{1}{0.0259} (\phi_{SAD} - 0.569) \right\} \quad (3.18)$$

と表される。例えば ϕ_{SAD} が0 Vの場合、ソース電流は式3.18より 4.2×10^{-11} Aとなり、図3.18に示したシミュレーション結果(5.7×10^{-11} A)と良く一致する。以上の検討結果から、式3.17でCMDの電流電圧式が表現できる事が分かった。

式3.17を整理すると次の式3.19の様になる。

$$I_s = 2 \pi r_P kT \mu_n n_i \frac{W_{CH}}{L_{CH}} \exp \left(\frac{q}{kT} \phi_{SAD} \right) \quad (3.19)$$

式3.19より、CMDの電流-電圧式は① $kT \mu_n n_i$ の物理定数を表す項、

② $2 \pi r_p W_{CH}/L_{CH}$ の構造パラメータ(寸法)の寄与を表す項、③ $\exp(\phi_{SAD} q/kT)$ のバイアス依存性を表す項、より成り立つ事が解る。

式3.19中の ϕ_{SAD} は、近似的に各印加バイアスに対して以下の一次的な関係を有する[1]。

$$\phi_{SAD} = \alpha V_D + \beta^* \phi_G^* + \gamma V_{SUB} + \delta V_S \quad (3.20)$$

ここで V_D , V_{SUB} , V_S は、それぞれドレイン、基板、ソース電圧を表す。また ϕ_G^* はゲート電極下の表面電位を示す。更に、 α , β^* , γ , δ は、各々、ドレイン、表面、基板、ソース電位が鞍点電位に及ぼす影響の大きさを示す定数である。 $\alpha \sim \gamma$ のパラメータは構造パラメータ及び印加電位により決まるが、目下の所、シミュレーションあるいは測定により得られる段階であり、その解析的な表現は得られてない。

式3.20を式3.19に代入すると、次の式3.21を得る。

$$I_s = 2 \pi r_p kT \mu_n n_i \frac{W_{CH}}{L_{CH}} \exp\left\{\frac{q}{kT}(\alpha V_D + \beta^* \phi_G^* + \gamma V_{SUB} + \delta V_S)\right\} \quad (3.21)$$

CMDは光電変換動作時はソース、ドレイン、基板電位が一定である為、

$$I_0 = 2 \pi r_p kT \mu_n n_i \frac{W_{CH}}{L_{CH}} \exp\left\{\frac{q}{kT}(\alpha V_D + \gamma V_{SUB} + \delta V_S)\right\} \quad (3.22)$$

と定義すると、式3.21は次の式3.23のように表現できる。

$$I_s = I_0 \exp\left(\frac{q}{kT} \beta^* \phi_G^*\right) \quad (3.23)$$

CMDの光信号読みだし状態において、界面に正孔が蓄積されていない暗時のソース電流を I_{s0} 、又、その時の表面電位を ϕ_{G0}^* とし、他方、界面に正孔が蓄積された状態でのソース電流の増加分を ΔI_s 、又、その時の表面電位の増加を $\Delta \phi_G^*$ とすると、式3.23より次の関係が成り立つ。

$$I_{s0} = I_0 \exp\left(\frac{q}{kT} \beta^* \phi_{G0}^*\right) \quad (3.24)$$

$$I_{s0} + \Delta I_s = I_0 \exp\left\{\frac{q}{kT} \beta^* (\phi_{G0}^* + \Delta \phi_G^*)\right\} \quad (3.25)$$

式3.25より式3.24を差し引くと、次の式3.26が得られる[1]。

$$\Delta I_s = I_{s0} \left\{ \exp\left(\frac{q}{kT} \beta^* \Delta \phi_G^*\right) - 1 \right\} \quad (3.26)$$

式3.26は、正孔がゲート表面に存在し、その結果表面電位が $\Delta \phi_G^*$ だけ変化した時の信号電流： ΔI_s を表す。

表面電位である ϕ_{G0}^* や $\Delta \phi_G^*$ は、直接測定できない。そこで ϕ_{G0}^* や $\Delta \phi_G^*$ を、各々、直接評価可能である読み出しゲート電圧： V_{G0}^* と正孔蓄積による実効ゲート電位の変化： ΔV_G^* に変換する。測定及び計算ではゲート電位を変化させてソース電流を得るため、 ϕ_{G0}^* および $\Delta \phi_G^*$ を V_{G0}^* および ΔV_G^* に書き換えたのちは、 β^* はゲート電位が鞍点電位に及ぼす影響の大きさを意味する定数： β となる。つまり、

$$\Delta I_s = I_{s0} \left\{ \exp\left(\frac{q}{kT} \beta \Delta V_G^*\right) - 1 \right\} \quad (3.26')$$

ソース電流の解析的表現と正孔蓄積能力の解析的表現が得られたので、次にCMDの光電変換特性等の解析式を導出する。3.3.1節の式3.11を変形した以下の式3.27を上記3.26'式に代入すると、CMDに於ける蓄積正孔量に対する信号出力量を表す式3.28が得られる。

$$\Delta V_G^* = \frac{q p T_{ox}}{A k_{SiO_2} \epsilon_0} = \frac{q p T_{ox}}{\pi \left\{ (r_D - x_j s - 0.2)^2 - (r_s + x_j s)^2 \right\} k_{SiO_2} \epsilon_0} \quad (3.27)$$

$$\Delta I_s = I_{s0} \left\{ \exp \left[\frac{q^2 \beta p T_{ox}}{\pi kT \left\{ (r_D - x_j s - 0.2)^2 - (r_s + x_j s)^2 \right\} k_{SiO_2} \epsilon_0} \right] - 1 \right\} \quad (3.28)$$

次に光電変換特性の解析的表現を求める。先ず、量子効率： η と一画素に蓄積される正孔数： p の関係を求める。 $E(\lambda)$ [W/cm^2]の強度の入射光がCMDに入射した時、1画素当たり発生する正孔数は以下の式で表される。

$$p = S_{PIXEL} \eta T_{int} \frac{E(\lambda)}{h\nu} \quad (3.29)$$

ここで S_{PIXEL} は1画素の面積、 $h\nu$ は光子のエネルギー($=hc/\lambda$)である。又、 T_{int} は蓄積時間を表す。 S_{PIXEL} と T_{int} 以外の因子は、全て光の波長： λ の関数である。

3.2.1節で詳述した様に、量子効率は次の形で表現できる。

$$\eta = T(\lambda) C(\lambda) A(\lambda) \quad (3.30)$$

ここで $T(\lambda)$ は上部構造膜の光透過率、 $C(\lambda)$ は光吸収率であり、 $T(\lambda)C(\lambda)$ が光収集効率を表す。 $A(\lambda)$ は開口率である。式3.29、式3.30を式3.28に代入すると次式が得られる。

$$\Delta I_s = 2 \pi r_p kT \mu_n n_i \frac{W_{CH}}{L_{CH}} \exp\left\{\frac{q}{kT}(\alpha V_D + \beta V_{G0} + \gamma V_{SUB} + \delta V_s)\right\} \times \left\{ \exp\left[\frac{q^2 \beta T_{OX} S_{PIXEL} T_{int} \lambda E(\lambda) T(\lambda) C(\lambda) A(\lambda)}{\pi kT hc \left\{ (r_D - x_j s - 0.2)^2 - (r_s + x_j s)^2 \right\} k_{SiO2} \epsilon_0} \right] - 1 \right\} \quad (3.31)$$

この式3.31がCMDの光電変換特性を表す。入射光が単色光で無い場合は、

$$\Delta I_s = 2 \pi r_p kT \mu_n n_i \frac{W_{CH}}{L_{CH}} \exp\left\{\frac{q}{kT}(\alpha V_D + \beta V_{G0} + \gamma V_{SUB} + \delta V_s)\right\} \times \left\{ \exp\left[\frac{q^2 \beta T_{OX} S_{PIXEL} T_{int} \int \lambda E'(\lambda) T(\lambda) C(\lambda) A(\lambda) d\lambda}{\pi kT hc \left\{ (r_D - x_j s - 0.2)^2 - (r_s + x_j s)^2 \right\} k_{SiO2} \epsilon_0} \right] - 1 \right\} \quad (3.32)$$

となる。つまり、式3.31に於ける指数関数中の光波長に係わる項を積分すればよい。

3.3.3 信号変調（増幅）度

本節ではCMDの信号変調度を評価し、CMDは光発生電荷を増幅して読み出している事を明らかにする。

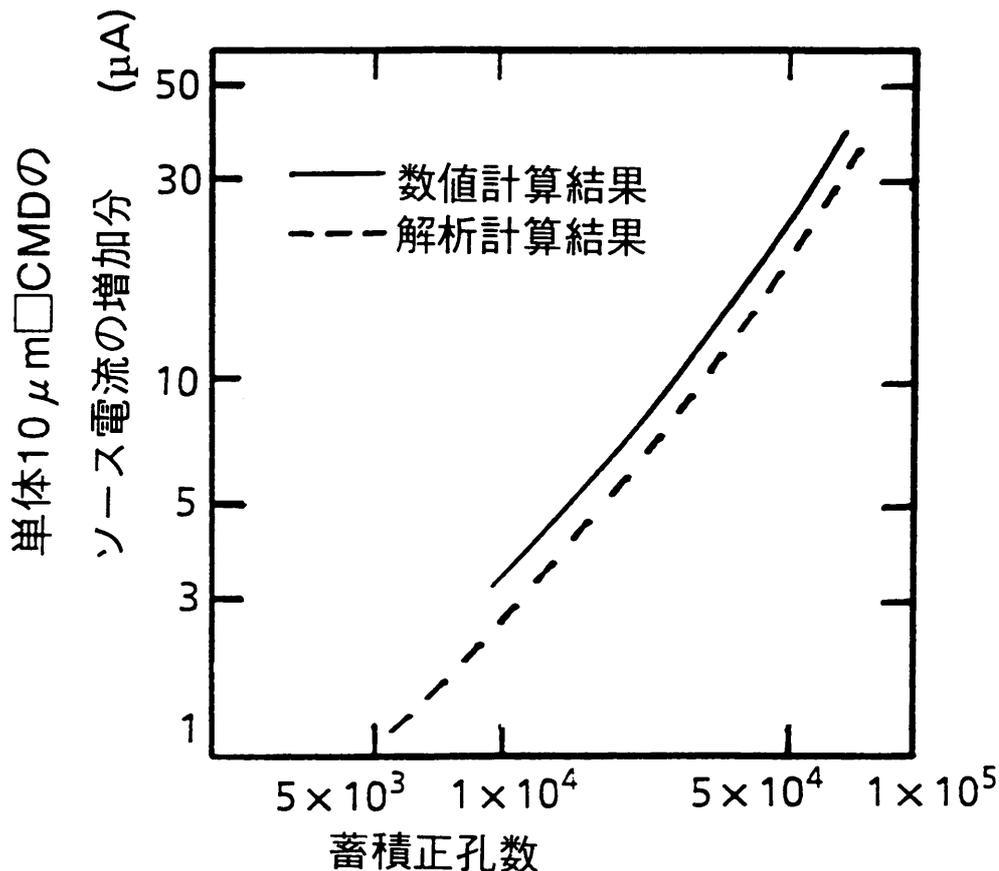


図3.19 シミュレーション及び解析式による、蓄積正孔量-信号出力の計算結果

先ず、蓄積正孔数とソース電流の増分の関係を表す式3.28が正しい表現式となっている事を確かめる為に、この式を用いて計算した正孔量と信号電流： ΔI_s の関係を、シミュレーションにより得られた計算結果と比較した。なお解析式の計算には、シミュレーションで得た $I_{so}=16 \mu A$ 、 $\beta=0.046$ という数値を用いた。他の定数は、今までに説明した $10 \mu m \square$ CMDのパラメータを使用した。比較結果を図3.19に示す。

実線がシミュレーション結果であり、点線が解析式による計算結果を示す。両者の特性は良く一致している事から、式3.28はCMDの出力特性を与える事が確認できた。同一の蓄積正孔数に於いては、シミュレーションの方が若干大きい出力を与える。これは3.3.1節で検討した様に、解析的計算はCMDの正孔蓄積能力： P_{HC} をシミュレーションより大きく見積もっている事に起因する。

式3.28の妥当性が確認できた為、次にこの式を用いてCMDの信号変調(増幅)度を評価する。蓄積正孔量が少ない場合、式3.28は次の線形方程式で近似できる。

$$\Delta I_s = I_{so} \frac{q^2 \beta p T_{ox}}{\pi kT \left\{ (r_D - x_{js})^2 - (r_s + x_{js})^2 \right\} k_{SiO_2} \epsilon_0} \quad (3.33)$$

$10 \mu m \square$ CMDで得られたパラメータを、式3.33に代入すると以下の様になる。

$$\Delta I_s = 196 p \quad [pA] \quad (3.34)$$

上式から、 $10 \mu m \square$ CMDでは正孔1個の蓄積につき196 pAのソース電流が流れる事がわかる。

他方、1個の電荷をハイビジョンモードのデータレート(74.25 MHz)で直接読み出す場合、その平均的な電流値は $1.6 \times 10^{-19} \cdot 74.25 \times 10^6 = 11.8 \text{ pA}$ となる。すなわちCMDでは、ハイビジョン駆動の高速動作条件に於いても、ホットダイオードに蓄積した光電荷を直接検出するCCDイメージセンサと比較して、信号電流が $196/11.8=16.6$ 倍に増幅(変調)できる事がわかる。電荷ドメインで考える場合、196 pAのD.C.(非破壊)的なソース電流で13.5 ナノ秒(1/74.25 MHz)の間に流れる電子数は16.5個と計算される。つまり、発生したホットキャリアをそのまま電荷検出部に転送して信号検出を行うCCD等の従来方式と比べて、CMDでは16.5倍の数の信号電荷が得られる事が分かった。まとめるならば、ハイビジョン等の高速走査モードにおいても、CMDは信号電流あるいは信号電荷を20程度の増幅度で変調して読み出している事が分かる。この事からCMDはCCDと比べて、信号転出段等の画素以外の部分で混入する雑音に起因するS/N比の劣化の影響をうけにくいといえる。

3.3.4 飽和正孔数と飽和出力及びダイナミックレンジ

光センサに於けるダイナミックレンジは、飽和電荷数と暗電荷数のランダムな揺らぎ（暗電流によるショットノイズ）により評価できる。そこで本節においては、CMDの飽和正孔量及び飽和出力を見積もり、次に3. 2. 2節で解析した暗電流の測定結果と照らし合わせて、CMDのダイナミックレンジを評価する。

CMDに於いて正孔が蓄積可能となり始める状態に対応したゲート電圧値は、CMDの表面に正孔の反転層が形成され始める状態、つまり、正孔反転の閾値電圧： V_{TP} と解釈できる。そこでCMDに於ける V_{TP} を閾値電圧式[5]、

$$V_{TP} = \phi_{MS} - q \frac{N_{SS}}{C_{ox}} - 2\phi_f - \frac{\sqrt{2 q K_{Si} \epsilon_0 N_D (2 \phi_f + V_D)}}{C_{ox}} \quad (3.35)$$

を使って求めると、以下の結果を得る。ただし式3.35に於いて、 ϕ_{MS} はゲート電極とシリコン基板の仕事関数差、 N_{SS} は界面順位密度（測定結果より $1 \times 10^{10} \text{ cm}^{-2}$ ）、 C_{ox} はゲート酸化膜容量、 ϕ_f は基板のフェルミポテンシャル、 K_{Si} はシリコンの比誘電率、 ϵ_0 は真空の誘電率、 N_D は基板不純物濃度、 V_D はドレイン電圧である。

V_D	0V	1V	2V	3V	4V
V_{TP}	-0.73V	-0.76 V	-0.77 V	-0.78 V	-0.79 V

この結果、ドレイン電位（バックゲートバイアス）の V_{TP} への影響は小さい。これはCMDのチャンネル（基板）不純物濃度が、MOSFETのチャンネル不純物濃度と比べて2~3桁低い事による。

次に $10 \mu\text{m} \square$ CMDでドレイン電圧： V_D を2、3、4 Vと変化させて、ソース電流-ゲート電圧特性を測定した結果を図3. 20に示す。ソース電圧は0 V、基板電圧は-8 Vとした。

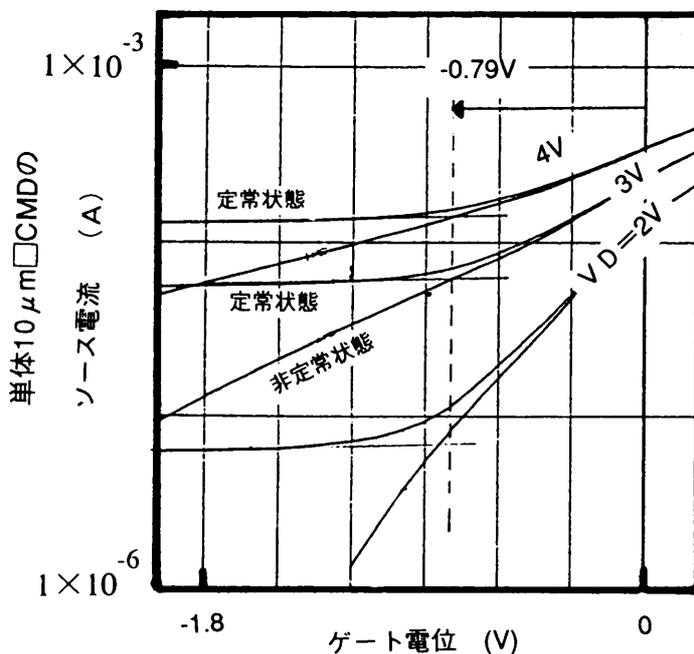


図3. 20 ドレイン電圧を変化させた場合の $10 \mu\text{m} \square$ CMDのソース電流-ゲート電圧特性

正孔蓄積が可能になるゲート電圧: V_{TP} 、すなわち、定常状態（明時の飽和状態）に於けるソース電流値と等しくなる非定常状態（暗状態）のソース電流に対応するゲート電位は、印加ドレインバイアスには依存せずいずれも約-0.8 Vとなった。つまりCMDにおいては、ゲート電圧が約-0.8 Vより負の状態が、ゲート酸化膜/シリコン界面の正孔蓄積可能状態に対応する事が分かった。この値は式3.35を使用した解析的な計算結果と良く一致する。

標準的な印加バイアス条件に於ける $10\mu\text{m}^2$ CMDの、読みだしゲート電位付近のソース電流-ゲート電圧特性を、シミュレーションにより詳細に計算した。計算結果を図3.21に示す。

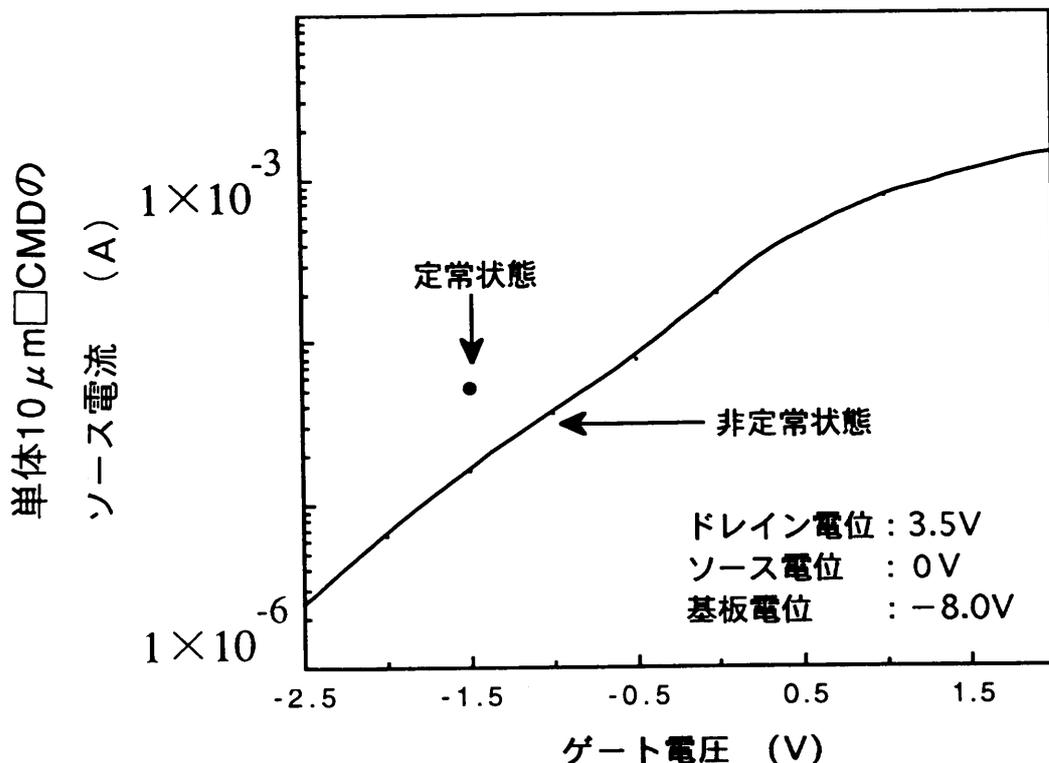


図3.21 読みだしゲート電位近傍でのソース電流-ゲート電圧特性

定常(飽和)状態に於ける電流値は、正孔が蓄積されていない非定常状態の、ゲート電圧 = -0.8 Vの電流値に対応している。このシミュレーションによる V_{TP} の計算結果は、測定及び解析式により導出した正孔蓄積開始電圧と一致する。つまりCMDに於いて正孔が蓄積可能となる状態に対応したゲート電圧は、CMDの正孔反転の閾値電圧: V_{TP} である事を、実験と解析式およびシミュレーションにより明らかにした。

解析的な飽和出力: $I_{S,sat}$ の表現は、前出の式3.26'より、

$$I_{S,sat} = I_{S0} \left[\exp \left\{ \frac{q}{kT} \beta (V_{TP} - V_{GR}) \right\} - 1 \right] \quad (3.36)$$

と表される。ただし V_{GR} は、CMDの読みだしゲート電圧を表す。この式に $I_{S0} = 16 \mu\text{A}$ 、 $q/kT =$

$1/0.026 \text{ V}^{-1}$ 、 $\beta=0.046$ 、 $\Delta V_{G^*}=V_{TP}-V_{GR}=0.7 \text{ (-0.8-(-1.5))V}$ を代入して飽和出力を求めると $39 \mu\text{A}$ となり、この値はシミュレーションにより得られた飽和出力である $35(=51-16) \mu\text{A}$ とほぼ一致する。つまりCMDの飽和電流は、解析的に式3.36で与えられる事が分かった。

CMDの飽和正孔量； P_{SAT} は、次の式3.37により計算できる。但し P_{HC} は前出の正孔蓄積能力である。

$$P_{SAT} = (V_{TP} - V_{GR})P_{HC} \quad (3.37)$$

V_{TP} の表現式3.35[5]と、 P_{HC} を表す式3.11を式3.37に代入すると、以下の式3.38が得られる。

$$P_{SAT} = \left(\phi_{MS} - q \frac{N_{SS}}{C_{OX}} - 2\phi - \frac{\sqrt{2qK_{Si}\epsilon_0 N_D (2\phi + V_D)}}{C_{OX}} - V_{GR} \right) \times \pi \left\{ (r_D - x_j s - 0.2)^2 - (r_s + x_j s)^2 \right\} \frac{k_{SiO_2} \epsilon_0}{q T_{OX}} \quad (3.38)$$

例えば V_{GR} が -1.5 V の場合、式3.37あるいは式3.38より $10 \mu\text{m}^2$ CMDの飽和正孔量： P_{SAT} は 1.04×10^5 個と計算される。但し、 V_{TP} は -0.78V 、 P_{HC} は 1.44×10^5 個/Vである。一方、実験により $10 \mu\text{m}^2$ CMDの飽和正孔数を評価した結果、 $P_{SAT}=(-0.8+1.5) \cdot 1.3 \times 10^5=9.1 \times 10^4$ 個という値を得た。解析的計算及び実験による飽和正孔数が互いにほぼ一致する事から、CMDの飽和正孔数の解析的な表現式3.38の正しさが確認できた。なお、 $7 \mu\text{m}^2$ CMD及び $5 \mu\text{m}^2$ CMDの飽和正孔数を同様な実験により評価した結果、 6.9×10^4 個および 4.1×10^4 個という値を得た。

3. 2. 2節で述べた様に、シンター工程の改善により得られた $7 \mu\text{m}^2$ CMDの暗電流レベルでは、室温において1/60秒の蓄積期間中に平均7.3個の暗電荷： N_{DARK} を発生する。一方、飽和正孔量と暗電流のゆらぎにより決まるダイナミックレンジ：DRは、

$$DR = 20 \log_{10} \left(\frac{P_{SAT}}{\sqrt{N_{DARK}}} \right) \quad (3.39)$$

で計算できる。式3.39に $P_{SAT}=6.9 \times 10^4$ 個、 $N_{DARK}=7.3$ 個を代入すると、DRは 88 dB_{RMS} と算出される。

CMDイメージセンサのダイナミックレンジは暗電流以外の要因、例えばMOSトランジスタの熱雑音等にも影響される[9]。ハイビジョン用CMDイメージセンサを使用した高解像度CMDカメラのダイナミックレンジを第5章で評価するが、式3.39から計算されるCMDのダイナミックレンジ (88 dB_{RMS}) は、試作したCMDカメラのダイナミックレンジの測定値

(69 dB_{rms}) より大きい。したがって、現状、暗電流のゆらぎはCMDカメラのダイナミックレンジを決める主因にはなっていない。

各種寸法のCMDの、代表的な特性を表 3. 3 にまとめた。

表 3. 3 各種寸法の単体CMDの諸特性の測定結果[6]

デバイス寸法	10 μm^2	7 μm^2	5 μm^2
暗時ソース電流			
at $V_G = -6 \text{ V}$	<1 pA	<1 pA	<1 pA
at $V_G = -1.5 \text{ V}$	17 μA	22 μA	24 μA
飽和ソース電流	44 μA	43 μA	44 μA
飽和正孔数	9.1×10^4 個	6.9×10^4 個	4.1×10^4 個
I_{dark}	0.092 fA/画素	0.070 fA/画素	0.084 fA/画素
DR (1/60秒蓄積)	89 dB _{rms}	88 dB _{rms}	83 dB _{rms}

3. 4 リセット動作

本節においては、CMDのリセット機構とその特性を解析し、リセットゲート電圧の設定指針を明らかにする。まず、通常のCMDイメージセンサの駆動バイアス条件[10]に於いて、充分なリセット動作が行われている事を実験的に確認する。続いて、リセット動作を理論的に考察する。

ゲート直下に蓄積されていた正孔の基板への排出動作(リセット動作)は、CMDのデバイス寸法の縮小にともない電位障壁となるドレイン電位の影響が強くなる為、デバイスの縮小化に伴いリセット動作条件が厳しくなる[11]。そこで、この論文であつかう最も小さい画素寸法の5 μm CMDのリセット特性を評価する。CMDのリセット特性の評価に使用した、測定システムのダイアグラムを図3. 2 2に示す。

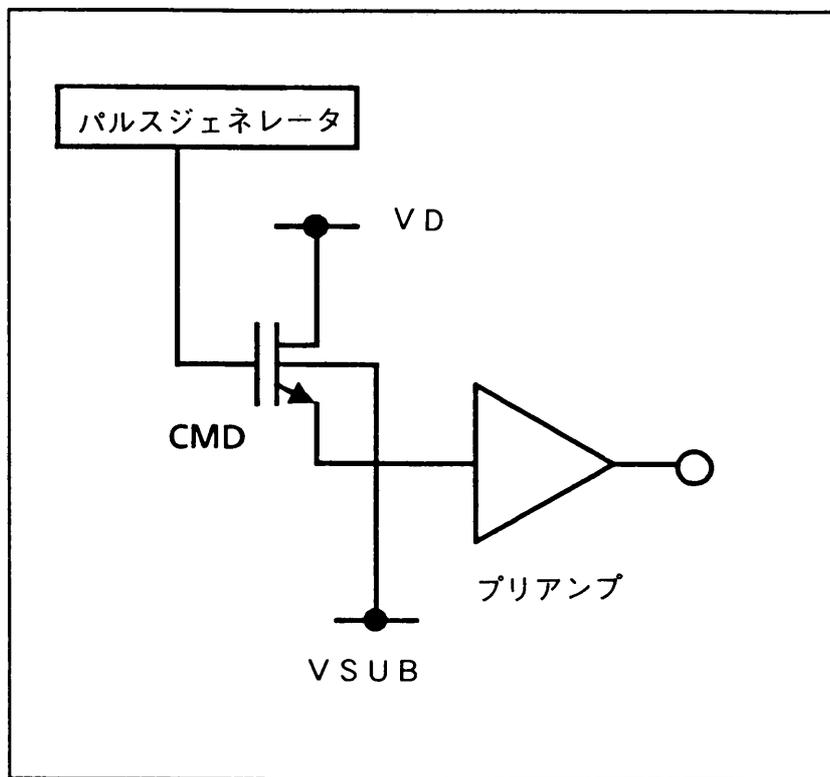


図3. 2 2 リセット特性の評価システムのダイアグラム

CMDから流れ出るソース電流を、プリアンプで検出する。ソース端子は仮想接地状態とした。ドレイン及び基板には、通常のセンサ駆動に使用する固定バイアスを印加する。ゲート部にはシーケンシャルなパルス駆動波形を印加する。このパルスの立ち上がり/下がり時間は10 nsec程度である。この駆動波形等を図3. 2 3に示す。

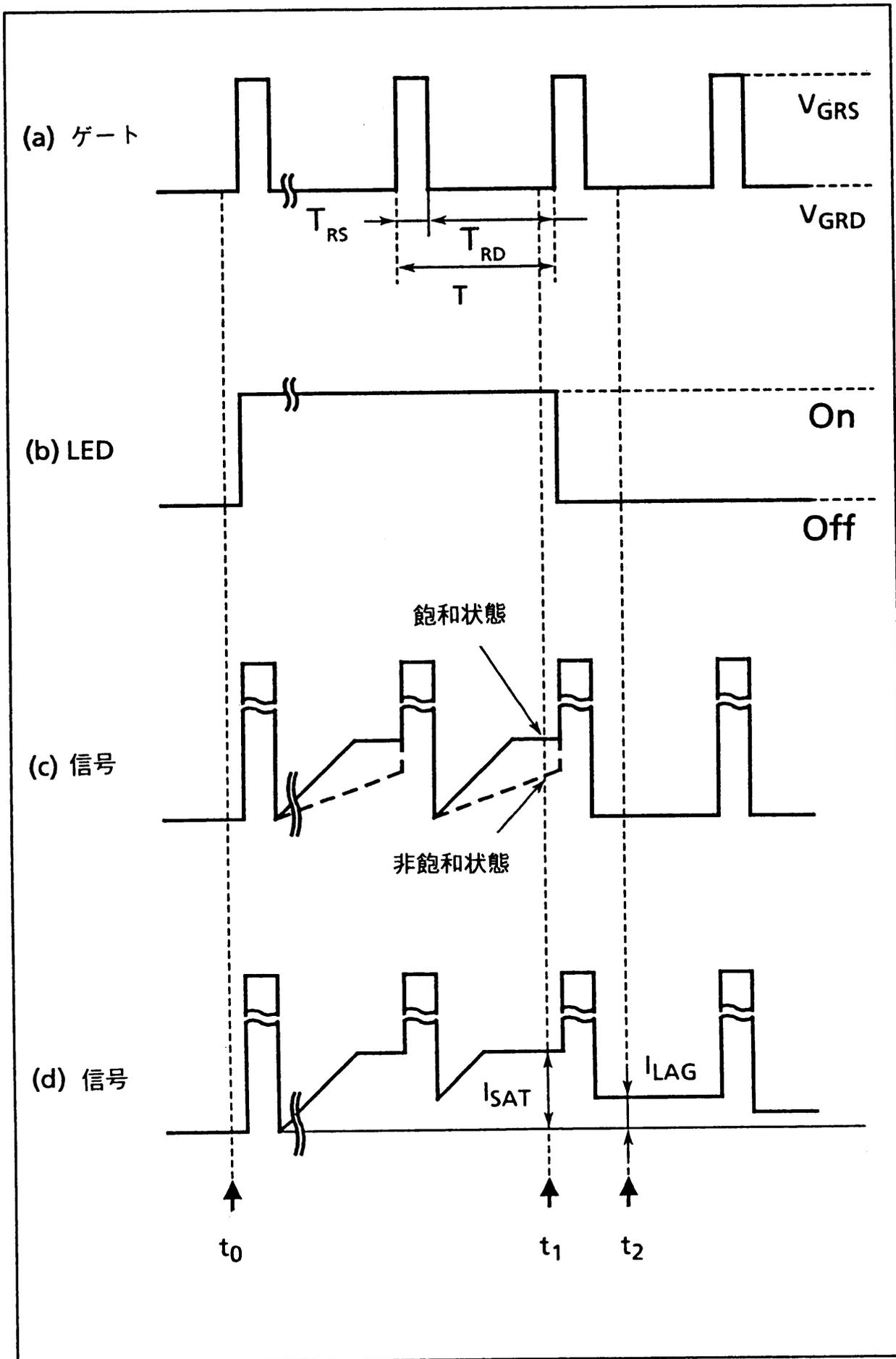


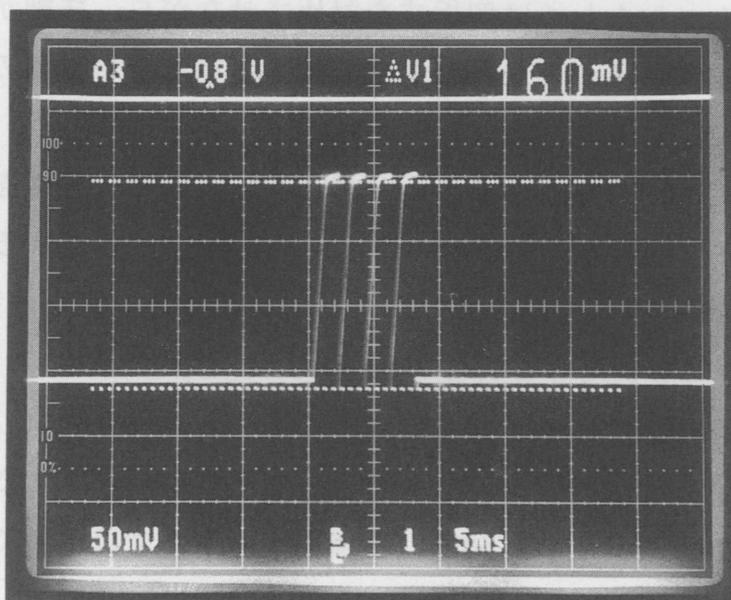
図3. 23 リセット特性評価実験に於ける駆動、出力波形

この図の(a)は、ゲートに印加される駆動波形を示す。低い方の電位: V_{GRD} は、CMDの蓄積あるいは読みだし状態に対応する。高い方の電位: V_{GRS} は、CMDのリセット状態に対応する。このゲートパルスの周期をTで記す。そして信号蓄積読みだし期間を T_{RD} で、又、リセット期間を T_{RS} で表す。

CMDへの光照射にはLED (Light Emitting Diode)を使用した。このLEDの駆動波形を同図(b)に示した。実験に際しては、Tの4倍の長さの期間中LEDを点灯した。同図に示した様に、この光照射期間はゲート駆動波形のリセットパルスの立ち上がりと同期させている。

CMDの模式的な出力波形を、同図(c)及び(d)に示した。(c)はリセット動作が完全な場合の出力波形を表し、他方、(d)はリセット動作が不完全な場合の出力波形を表す。(d)では、リセット動作後、時刻 t_2 において0より大きい信号: I_{LAG} が出力される。更に同図(c)において、CMDが飽和する入射光強度の場合の出力波形を実線で、飽和しない場合の出力波形を点線で示す。

リセット実験においては、 V_{GRD} を-1.5 V, V_{GRS} を1.4 Vに設定した。このバイアス値は、実際のCMDイメージセンサの読みだし動作及びリセット動作の駆動条件に等しい。またTは約2 msecに設定し、その期間中にCMDが充分飽和する光量をLEDにより与えた。更にリセット期間: T_{RS} は、30 nsecに設定した。この長さは、CMDイメージセンサがリセット動作を行う期間(水平帰線期間)より充分短い。以上の設定条件下での、リセット動作の実験結果を図3. 24に示す。



飽和出力レベル

暗出力レベル

図3. 24 5 μm \square CMDのリセット実験に於ける出力波形

LEDが消灯した後の最初のリセット動作を行った直後に於いても、CMDの出力は暗時の出力

と一致している。この測定結果より、通常のCMDイメージセンサのゲート駆動バイアス条件では、サブ μ 秒の短い時間で完全なりセット動作が行われている事がわかる。

CMDのゲート表面は、ゲート電圧が以下の式3.40で表されるフラットバンド電圧: V_{FB} 以上になると電位井戸が消失し[5]、表面は電子の蓄積状態となる。

$$V_{FB} = -\frac{kT}{q} \ln \left(\frac{N_P}{N_C} \right) - q \frac{N_{SS}}{C_{OX}} \quad (3.40)$$

ここで kT/q は熱エネルギー、 N_P はゲート電極の不純物濃度、 N_C はチャネル不純物濃度、 N_{SS} は表面電荷密度、 C_{OX} はゲート酸化膜の容量を表す。CMD構造で代表的な値を式3.40に代入して V_{FB} を計算すると、 $-0.38V$ となる。但し、 N_P は $1 \times 10^{19} \text{ cm}^{-3}$ 、 N_C は $1 \times 10^{13} \text{ cm}^{-3}$ 、 N_{SS} は $1 \times 10^{10} \text{ cm}^{-2}$ とした。

空乏層が消失する事は、正孔を蓄積する為の電位井戸が消失する事を意味する。したがって V_{FB} は、完全なりセット動作を実現するリセットゲート電位の下限を与える。前節の実験に使用したリセットゲートバイアス(1.5 V)は、この V_{FB} の値より充分な正電位であるため、高速かつ完全なりセット動作が実現できる。

3. 5 まとめ

第3章においては、CMDの基本動作である信号蓄積動作と信号読みだし動作及びリセット動作を、実験とシミュレーションもしくは解析式を対比させながら、詳細かつ定量的に解析・評価し、基本動作の理論を明らかにした。更に、量子効率などの特性の最適化を行った。

信号蓄積動作の解析に於いては、先ず、多結晶シリコンゲート電極の厚さをシミュレーションから75 nmに設定し、また有効光電変換層の厚さを約1.6 μm に設定する事により、CMDの光収集効率を比視感度分布に近い分布とする事が可能になった。さらに実験により、CMDの開口率はゲート電極の平面形状に等しい事を明らかにした。またCMDの量子効率は、光収集効率と開口率の積で計算可能である事を実証した。暗電流を実験により評価した結果、CMDの暗電流は $|V_D - V_{SUB}|$ の増大に伴い増加する事を明らかにした。また改善された7 μm □CMDに於いては、20 $^{\circ}\text{C}$ の素子温度で1/60秒の蓄積期間の条件では、熱に起因する蓄積正孔数が7.3個/画素と充分小さくできる事がわかった。

信号読みだし動作の解析においては、先ず、暗電流評価デバイスの応用により、CMDの正孔蓄積能力が実験的に評価可能である事を示した。次に、正孔蓄積能力を表す経験式を得た。更に、CMDの光電変換特性の解析的な表現が導出できた。正孔蓄積能力の表現式とCMDの電流電圧式を用いる事により、蓄積正孔量—ソース信号電流の関係式3.33が導出で

きた。この式3.33を用いてCMDの信号変調(増幅)度を評価した結果、ハイビジョン駆動の74.25 MHzという高速なデータレートにおいても、約16以上のゲインで光信号の変調が可能である事が確認できた。また飽和正孔量を実験および理論的に評価した結果、第5章の高解像度CMDイメージセンサに使用する7 μm \square CMDの飽和正孔量は、 6.9×10^4 個である事が分かった。この飽和正孔量と最近の暗電流の測定結果より信号のダイナミックレンジを見積もった結果、88 dBという良好な数値を得た。最後に、CMDのリセット動作を実験的に検討した結果、CMDのリセット動作はサブ μ 秒で終了する、つまりCMDは高速リセット特性を有する事を明らかにした。

参考文献

- [1] K. Matsumoto, I. Takayanagi, T. Nakamura and R. Ohta, "The Operation Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991
- [2] 日本学術振興会薄膜第131委員会編 : 薄膜光学ハンドブック
(オーム社、1968)
又は、 ロッシ:光学 上巻 物理学業書、28、吉岡書店、第3章、(1967)
- [3] 中村、松本、日向、大石、遊佐: ゲート蓄積型MOSフォトランジスタイメージセンサ、テレビジョン学会誌、41、11、pp. 1047-1053, 1987
- [4] 野本、高柳、磯川、松本、中村、"5 μ m画素CMDイメージセンサ、" テレビ年大、23-9、pp. 447-448, 1992
- [5] A. S. Grove: Physics and Technology of Semiconductor Devices
(John Wiley and Sons, Inc., New York, USA, 1967)
- [6] T. Nakamura and K. Matsumoto, "Present Status and Future Prospects of CMD Image Sensor," OPTOELECTRONICS, Devices and Technologies, vol. 6, no. 2, pp. 261-277, Dec., 1991
- [7] J. Nishizawa, T. Terasaki and J. Shibata, "Field-Effect Transistor Versus Analog Transistor (Static Induction Transistor)," IEEE Trans. Electron Devices, vol. ED-22, no. 4, pp. 185-197, April 1975
- [8] T. Yamamoto, K. Matsumoto and A. Yusa, " Analysis of SIT I-V characteristics by two-dimensional simulation," Solid-State Electronics vol. 30, No. 5, pp. 549-557, 1987
- [9] 三谷、藤田、中村、松本、"CMD固体撮像素子のランダムノイズ測定、" テレビ年大、2-13、pp. 37-38, 1989
- [10] M. Ogata, T. Nakamura, K. Matsumoto, R. Ohta and R. Hyuga, "A Small Pixel

CMD Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 1005-1010, May 1991

- [11] T. Nomoto, K. Matsumoto and T. Nakamura, "Carrier Reset Operation in Charge Modulation Device," Jpn. J. Appl. Phys. Vol. 32, pp. 3754-3759, 1993
- [12] 松本、高柳、太田、酒井、日向、中村、緒方、森、大石、"デバイスシミュレータ TrineによるCMDの動作解析、" テレビ年大、2-12、pp. 35-36、1989

第4章 CMDイメージセンサの構成と設計指標

4.1 序

より鮮明な映像を手軽に得たいという要望は民生分野や産業分野を問わず根強く、このため、第1章で述べたように固体撮像素子にはさらなる高解像度化が求められている。現在、強力な普及展開が進められているHDTV(High Definition Television)では、従来のNTSC(National Television System Committee)の約5倍の画素数が必要となる。しかも一枚の画像を獲得する時間(フレーム時間)はNTSCと同じである為、HDTVに於いては画素自体に高速動作が要求される。さらに研究段階においては、HDTVの画素数やデータレートをはるかに凌駕する規格のUDTV(Ultra Definition Television)も検討され始めている。

この様に固体撮像素子の高解像度化や高品位化が進むにつれ、イメージセンサの画素に要求される動作速度の規格はますます厳しくなる。また、高速度(高フレームレート)カメラに用いる撮像素子においても、画素の動作速度への要求は厳しくなる。

CMDイメージセンサを用いて高解像度/高速度カメラを実現する為には、画素となるCMDのリセット、蓄積、読み出し、オーバーフローの各動作速度を定量的に把握する事が必須となる。そこで第4章においては、CMDイメージセンサの各動作速度を評価・解析し、その動作メカニズムを理論的に解明し、CMDイメージセンサのHDTVの要求仕様を凌駕する高速動作を明らかにする[1,2]。

第4章では、CMDのアレイ化に伴い発生するもう1つの特徴的な項目である、CMDイメージセンサのスミア抑圧特性も解析する。スミアは固体撮像素子にとって本質的に避けられない偽信号で、従来の撮像管には存在しない。CMDイメージセンサにおいては垂直方向に配列した画素群より流れ出る光信号を、1本の垂直信号線を用いて信号読み出し端子に排出する。この為、信号読み出し状態の画素の光信号に同列の蓄積状態の画素群からの漏れ電流等が混入すると、偽信号であるスミアが発生する[3,4]。そこでCMDイメージセンサのスミア抑圧能力を実験および解析により評価し、さらにスミア発生の主要原因を確定する。これらの解析や評価結果により、CMDイメージセンサはCCD等の固体撮像素子と比較して、優れたスミア特性を有する事を明らかにする。

4. 2 CMDの動作速度解析

図4. 1にCMDイメージセンサの一般的な回路構成を示す。光電変換素子（画素）となるCMDを2次元状に配列して撮像領域を構成した。その周辺領域には、各画素からの信号を逐次読み出す為の、水平及び垂直走査回路を形成した（X-Yアドレス方式）。

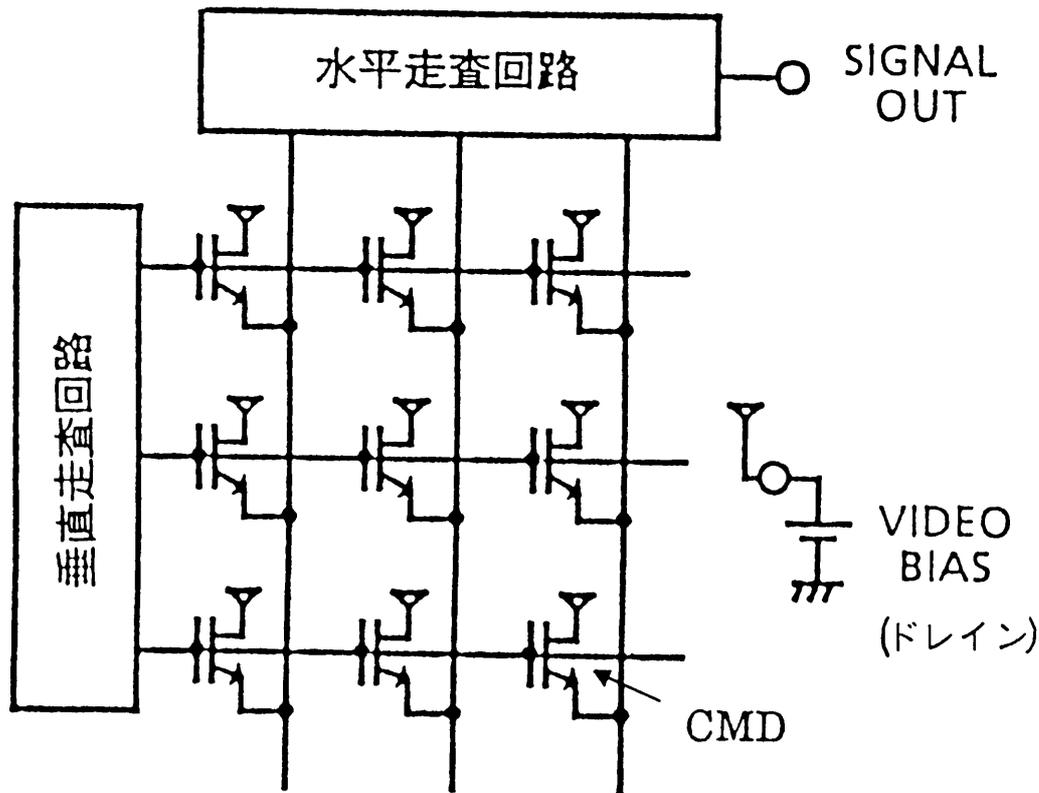


図4. 1 CMDイメージセンサの回路構成

第2章で説明した様に、画素間の電氣的及び光学的な分離領域として機能するドレイン領域を全画素共通に形成する、ソースゲート選択方式を採用した。この選択方式を採用した結果、画素寸法の縮小が容易となった。CMDの基板不純物濃度が低いため、CMDのソース容量はソース拡散層のゲート電極とのオーバーラップ容量が支配的となる。ゲート容量はこのオーバーラップ容量にゲート酸化膜容量が加わり、ソース容量に比べて大きくなる。そこでアクセス時間の短い垂直信号線に、ゲートに比べて低容量のソース信号線を割り当てて高速駆動を可能とした。水平選択ラインとしては、ゲート電極を水平方向に共通に結線した。まとめると、水平ゲートライン-垂直ソースライン選択のX-Yアドレス方式を採用した。

X-Yアドレス方式の採用により、データの取り出し順序がアドレス方法を変更することのみにより自由に選択可能となった。この為、インターレース/順次走査を同一イメージャで出力可能とする多機能センサが容易に実現できる。原理的には、画素配列の任意の領域から信号が取り出し可能であるランダムアクセス機能も実現可能となる。更に、CMDの非破壊読みだし動作を併用する事により、オンチップで信号処理ができるインテリジェントセンサの実現も可能となる。

イメージセンサの高速駆動にとっては、各走査回路も高速動作が可能である事が必須となる。この要求より、各走査回路は電流駆動能力が高く、又、高速動作に優れるCMOSFET（相補型MOSFET）で構成した。CMOSFETは低消費電力という特長も有する。又、将来のインテリジェントセンサにおいては、各種信号処理回路をオンチップ化する必要があると予想されるが、多様な回路が実現容易なCMOSFETはこの意味でも最適となる。

列方向のソースとドレイン用の配線は第1層アルミニウムにより形成した。CMDイメージセンサの製造工程の簡略化という観点からは、ゲート電極用配線にゲート電極材料である多結晶シリコンを併用するほうが望ましい。そこで多結晶シリコンでゲート配線を行った場合のゲート部の配線遅延時間を計算し、多結晶シリコンによる配線可能性を検討する。

例えば10 μm □CMDの場合、ゲート電極の配線幅は表2. 1より1.6 μm となる。他方、ゲート電極用の多結晶シリコン膜の拡がり抵抗の測定値は約120 Ω/\square であるので、1画素当たりの配線抵抗値は約770 Ω と計算される。一方、第2章で示した10 μm □CMDの平面構造から、1画素当たりのゲート電極容量は61 fFと評価できる。以上により、容量値と抵抗値の積で計算できる、1画素あたりの遅延時間は約47 psecとなる。水平方向に1920個の画素を配列するハイビジョン対応の撮像素子の場合、この遅延時間の合計は約0.1 μsec となり、ハイビジョン撮像素子の水平帰線時間である2.0 μs に比べて無視できない時間長となる。以上の計算結果から、ゲート配線には約50 m Ω/\square と多結晶シリコンに比べて充分小さい拡がり抵抗値を有する第2層アルミニウム電極を使用した。この場合遅延時間の合計は0.04 nsecとなり、ハイビジョン撮像素子の水平帰線時間と比べて充分短かくできる。

CMDを画素に使用した撮像素子の、動作のフローチャートを図4. 2に示す。斜線で示したりセット動作及びオーバーフロー動作は、水平帰線期間中に実施する。一方、信号読み出し動作及び信号蓄積動作は水平走査期間中に行う。水平走査期間中に信号読みだし行のCMDを順次選択するため、1画素の信号読みだし期間は水平走査期間を水平有効画素数で割った期間となる。信号蓄積期間は応用により1フィールド期間、あるいは、1フレーム期間となる。

各期間の長さを表4. 1にまとめた。オーバーフロー動作は1水平帰線動作毎に行うが、このオーバーフロー動作およびリセット動作に割り当てられる水平帰線期間は、表4. 1よりNTSCモードで10.8 μs 、HDTVモードでは3.77 μs となる。リセット、および、信号読みだしの動作は1フィールド周期あるいは1フレーム周期毎に行う。信号蓄積期間に対応

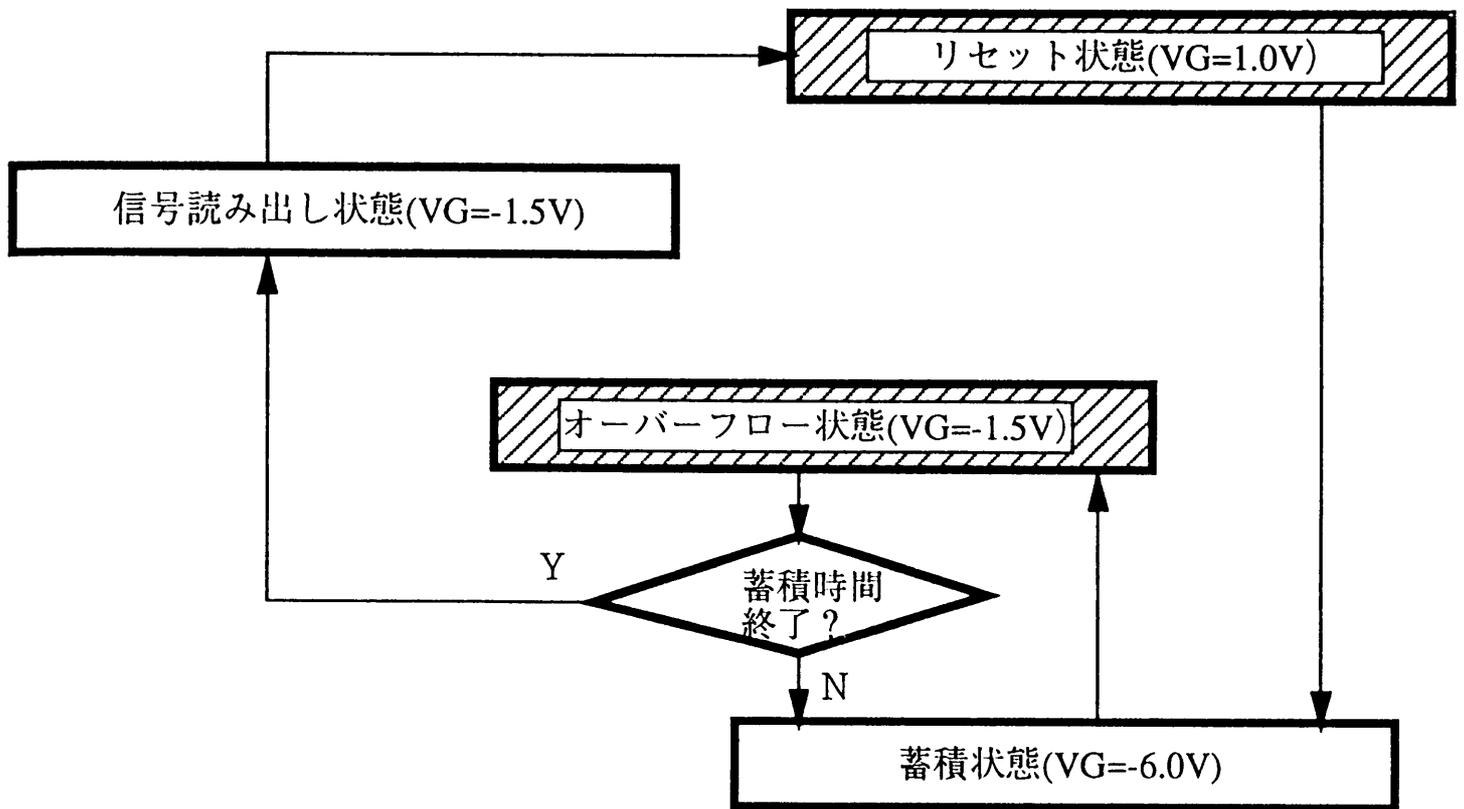


図4. 2 CMDイメージセンサの撮像動作サイクル

表4. 1 NTSC規格およびHDTV規格に於ける各動作期間の長さ

	NTSCモード	HDTVモード
有効画素数	636(H) X 488(V) (33万画素の場合)	1920(H) X 1036(V) (200万画素の場合)
水平走査期間	52.7 μ s	25.87 μ s
水平帰線期間	10.8 μ s	3.77 μ s
クロック周波数	12 MHz	74.25 MHz
データレート	83 ns/画素	27 ns/画素 (2線読み出し)
フィールド周波数	60 Hz	60 Hz
フレーム周波数	30 Hz	30 Hz

する1フィールド期間あるいは1フレーム期間は、NTSCおよびHDTVとも1/60秒あるいは1/30秒となる。したがって、1画素の信号読みだし期間はNTSCモードで83 n秒、HDTVモードで27 n秒となる。

リセット期間中に完全なリセット動作が終了しない場合、残像が発生する。又、信号読み出し状態よりリセット状態に遷移する時間が長くなる場合は、実効的なリセット動作期間が減少し、リセット動作が不完全となる。一方、オーバーフロー期間中にオーバーフロー動作が終了しない場合、スミア抑圧特性の劣化を引き起こす。また、蓄積状態からオーバーフロー状態に遷移する時間が長くなると、実効的にオーバーフロー期間が減少し、オーバーフロー動作が不完全となる。

なお、シミュレータを使用したCMDイメージセンサの動作速度解析に先立ち、今回開発したデバイスシミュレータが非定常解析に対しても有効である事を確認するために、均一電界中の正孔と電子の挙動を計算した[1]。その結果、シミュレーションにより得られた電子及び正孔の群速度は、理論的な解析に従い計算した正孔/電子の動作速度と比較して10%以内の差で一致している事が分かった。この予備的な検討により、本シミュレータが非定常解析に対しても正しい計算結果を与え、CMDイメージセンサの動作速度の解析に有効である事が検証できた。

4. 2. 1 リセット速度の解析

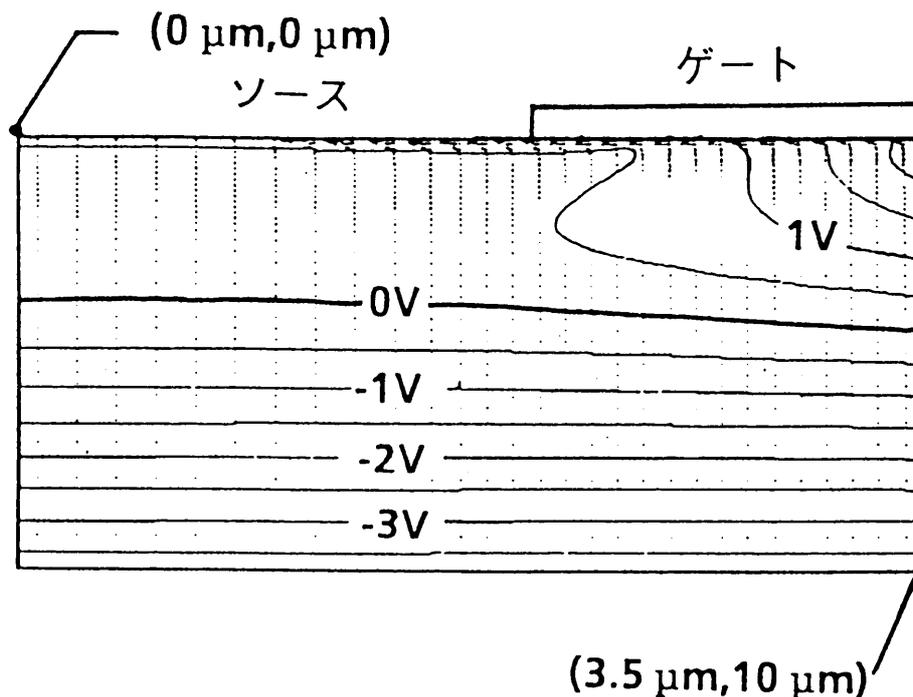


図4. 3 10 μm□CMDのリセット動作時の電位分布

座標は（ソース中心よりの平面距離、基板表面よりの深さ）を表す

3.4節において、5~10 μm CMDのリセット動作は30 ns以内に終了する事を実験により明らかにした。このリセット時間は、CMDのリセット動作に割り当てられる期間である水平帰線時間 (10.8 μs あるいは3.77 μs) と比べて充分短い。

10 μm CMDのリセット状態に於けるデバイス内の電位分布を、図4.3に示す。ドレイン、ソース、基板、ゲート電圧は、各々、3.5、0、-8、2 Vと、標準的なリセットバイアス条件に設定した[3,4]。電界は、先ずゲート表面ではドレインからソース方向に向けて水平に分布しており、その後ソース拡散層端部をかすめて基板方向に向かっている。この電界分布から、CMDのリセット動作に於いては、正孔は電界によりドリフト機構で基板に掃き出される事が予想できる。

ゲート電圧=-1.5 Vに於いて飽和状態のCMDが、リセット状態(ゲート電圧=2 V)に遷移した後、100 psおよび800 psが経過した時刻での、正孔の等濃度分布線と正孔の電流ベクトルを、図4.4(a)及び(b)に示す。リセットパルスの立ち上がり時間は10 psとして計算した。

図4.3の電界分布から予測した動作機構の通り、図4.4は、正孔がドリフト機構により電荷の塊の状態、ゲート部よりソース拡散層端を通過して基板方向に掃き出される事を示している。

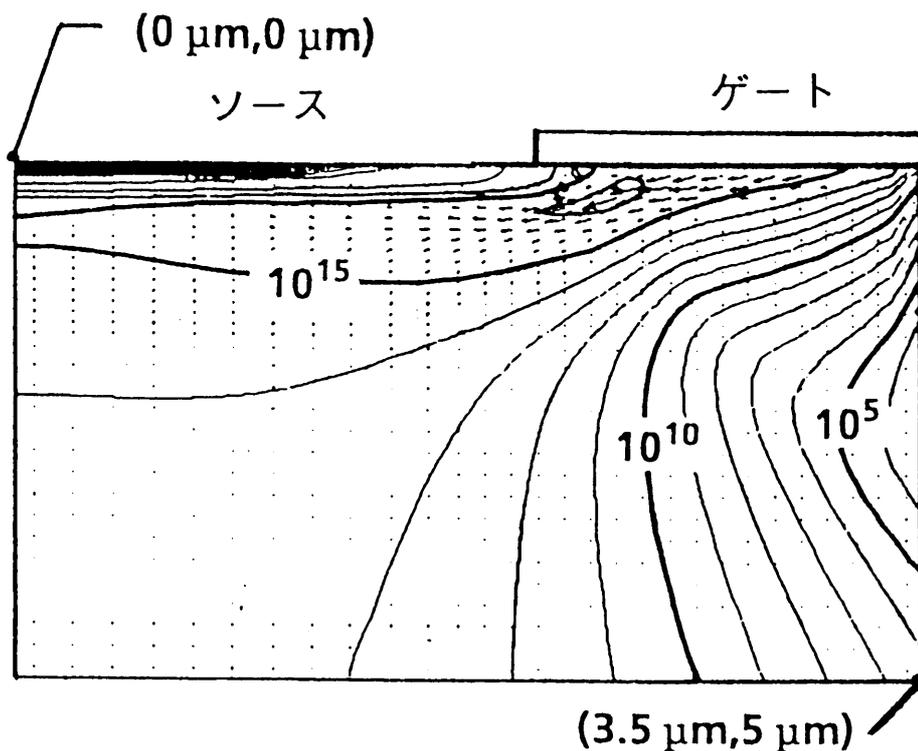


図4.4(a)

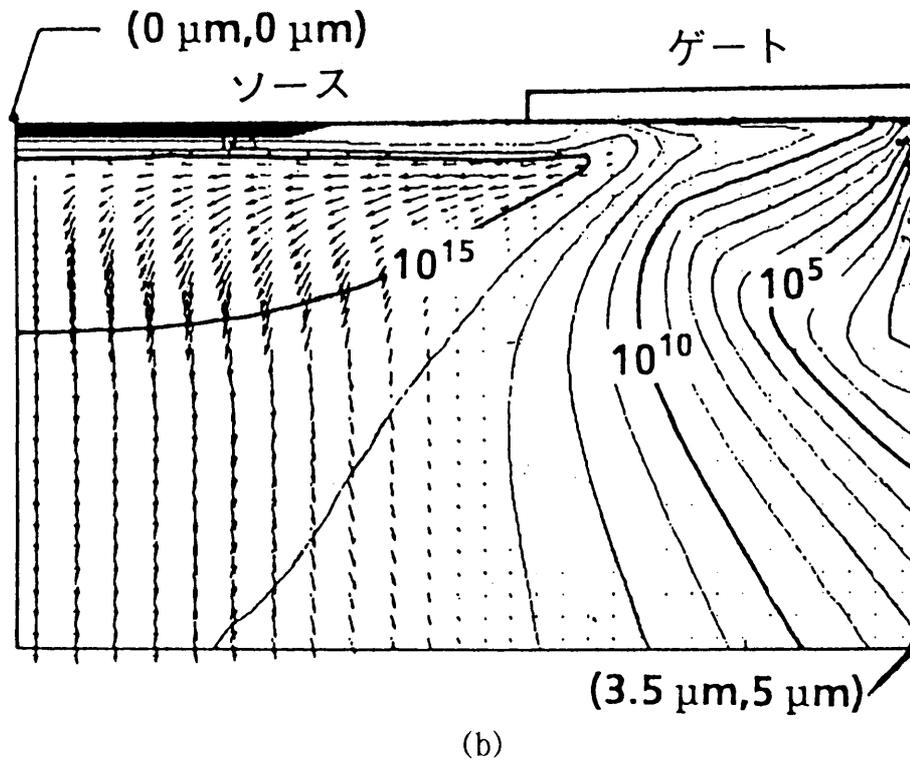


図4. 4 10 μm \square CMDのリセット動作時の正孔濃度及び正孔電流ベクトル分布図
 (a) 100 ps経過後。 (b) 800 ps経過後。

座標は (ソース中心よりの平面距離、基板表面よりの深さ) を表す

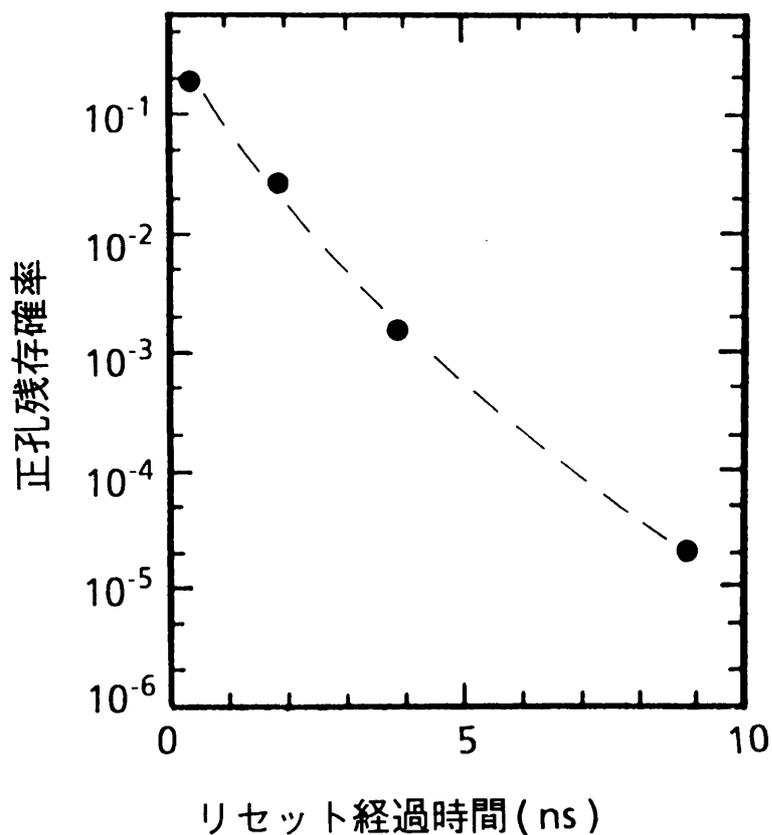


図4. 5 残存正孔確率とリセット経過時間の関係

次にデバイスシミュレータを用いて、10 μm \square CMDのゲート蓄積部に正孔が残存する確率のリセット動作時間依存性を計算した[1]。ドレイン、ソース、基板電圧は、各々、3.5、0、-8 Vと、標準的なバイアス条件に設定した[3,4]。ゲート電圧=-1.5 Vに於いて飽和状態のCMDが、リセット状態(ゲート電圧=2 V)に遷移した後、信号読出し状態に戻した状態での残存正孔数を計算した。正孔の残存確率は、(リセット動作後に信号読出し状態に戻した時点での、ゲート蓄積部に存在する正孔数) / (リセット動作前の信号読出し状態に於いて、ゲート蓄積部に存在する正孔数) で定義した。計算結果を図4. 5に示す。

この計算結果より、正孔の残存確率がリセット動作時間に対して指数関数的に減少することが分かる。約9 nsのリセット時間後、正孔の残存確率は 1×10^{-5} となる。第3章で説明した様に、代表的なCMDの飽和正孔数は 1×10^5 個程度であるため、リセット時間は10 nsで充分である。このCMDのリセット動作に必要な時間は、表4. 1に示したりセット期間である水平帰線期間と比べて充分短い。ゆえに今までに評価された試作CMDイメージセンサの残像は、検出限界(飽和信号の0.1%)以下となっている[8] (本論文での残像の測定結果は5. 3. 4節に示す)。またCMDにおいては、ゲート蓄積部に残存する正孔数の揺らぎに起因するリセット雑音が存在しないという事が、この高速なりセット動作速度と数 μ 秒の長さを有するCMDイメージセンサのリセット動作期間から帰結できる。まとめると、実験により得られたCMDのリセット動作の高速性がシミュレーションによっても確認され、さらにその動作機構が明確に把握できた。

4. 2. 2 オーバーフロー動作速度の解析

デバイスシミュレータにより、10 μm \square CMDを蓄積状態(ドレイン、ソース、基板、ゲート電圧は、各々、3.5、0、-8、-6 V)から信号読み出し状態(ゲート電圧=-1.5 V)に遷移させて、オーバーフロー状態に遷移してからの経過時間とCMDのソース電流の関係を計算した。ゲートパルスの立ち上がり時間は10 p秒とした[1]。計算結果を図4. 6に示す。

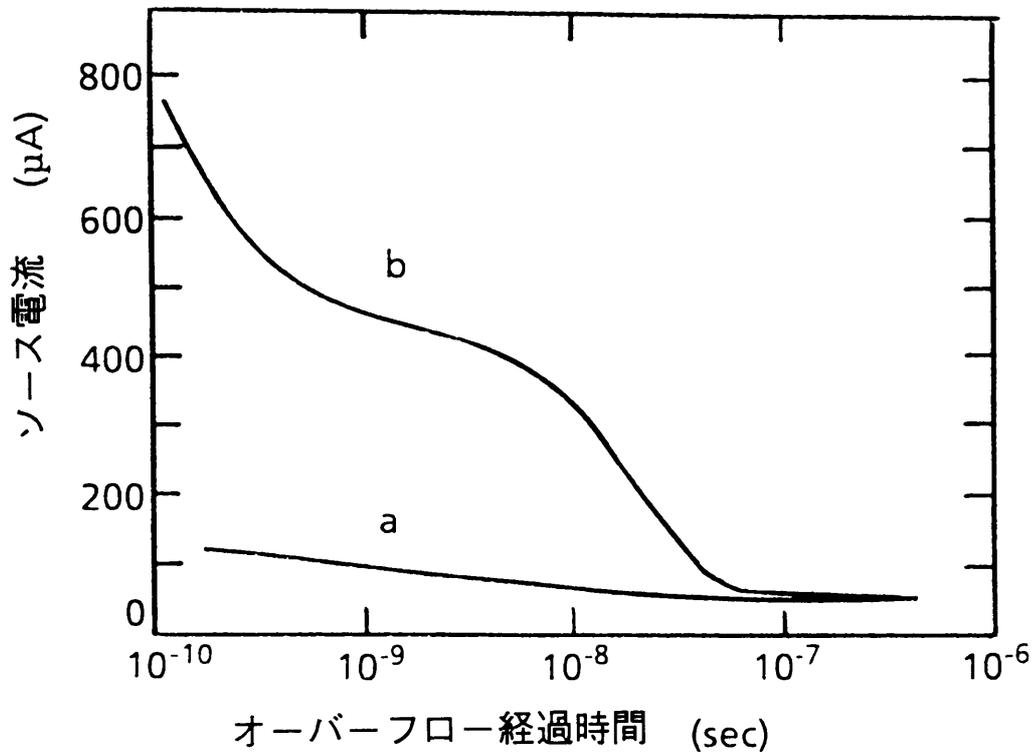


図4. 6 オーバーフロー動作期間中の、CMDのソース電流の変化

この図に於いてa及びbの曲線は、各々、過剰に蓄積された正孔数がそれぞれ 5×10^4 個及び 1×10^6 個である場合に対応する。この図より、CMDにおいては過剰に蓄積された正孔量に拘わらず、100 nsのオーバーフロー時間が経過した後は、CMDのソース電流がほぼ一定値に収束する事が分かる。

100 nsのオーバーフロー動作時間が経過した時刻でのCMDの電位分布を図4. 7に示す。

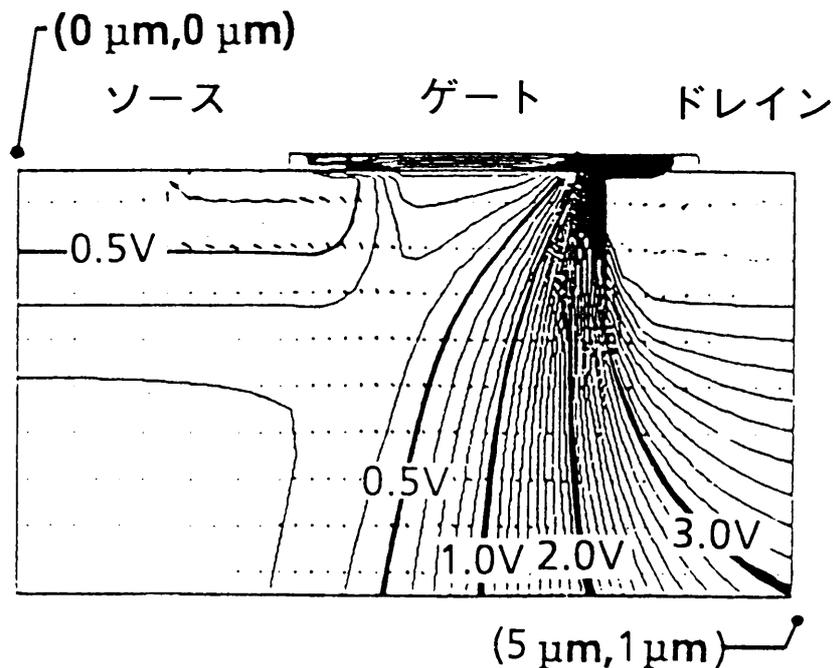


図4. 7 オーバーフロー状態に遷移後、100 nsが経過した時刻での電位分布
座標は（ソース中心よりの平面距離、基板表面よりの深さ）を表す

ゲート表面に蓄積されている正孔に対して、バルク中の電位鞍点とゲート表面の間に約0.25 Vの電位障壁が存在している。この電位分布状態からオーバーフロー動作は、この電位障壁を正孔が越えて流れ出る拡散機構による事がわかる。このため、オーバーフロー動作に必要な時間は、リセット動作に必要な時間よりも長くなる。しかし表4.1に示したように、CMDのオーバーフロー動作に割り当てられた水平帰線期間は、図4.5の計算結果である100 nsと比較して充分長い。そのためCMDイメージセンサでは、水平帰線期間内でのオーバーフロー動作により、一定の飽和出力（飽和ソース電流）が得られる。

拡散機構によるオーバーフロー動作を理論的に解析する。ゲート表面に存在する正孔が基板に流出することにより流れる正孔電流： I_h は、第3章の式3.19と同様、次の式4.1で表現できる。

$$I_h = 2 \pi r_p kT \mu_h C_h \frac{W_{CH}}{L_{CH}} \exp\left(\frac{q}{kT} V\right) \quad (4.1)$$

上式で kT は熱エネルギー、 μ_h は正孔の移動度、 $2 \pi r_p W_{CH}$ は正孔が流れ出る領域の断面積、 q は素電荷量、 C_h は蓄積部の正孔濃度、 L_{CH} は蓄積部より電位鞍点までの距離、 V は鞍点電位の高さを表す。10 μm □CMDにおいては、 $kT/q=0.0259$ eV、 $\mu_p=440$ cm^2/Vs 、 $r_p=2.0$ μm 、 $W_{CH}=0.2$ μm 、 $q=1.6 \times 10^{-19}$ C、 L_{CH} は図4.7より0.4 μm 、鞍点電位の高さ： V は、次の式4.2で表せる。

$$V = q \frac{N_h}{C_{gh}} - \phi_{SAD,0} \quad (4.2)$$

ここで N_h は蓄積正孔数、 $\phi_{SAD,0}$ は正孔がゲート蓄積部に存在しない場合の、表面より見た鞍点電位の高さである。 $\phi_{SAD,0}$ は図3.17より0.9 Vとなる。 C_{gh} は正孔蓄積部の蓄積容量であり、式4.3で表される。

$$C_{gh} = A \frac{k_{SiO_2} \epsilon_0}{T_{ox}} \quad (4.3)$$

10 μm □CMDでは、 $A=23.4$ μm^2 、 $k_{SiO_2}=3.9$ 、 $\epsilon_0=8.86 \times 10^{-14}$ F/cm、 $T_{ox}=350$ Åで、これらのパラメータを式4.3中に代入すると C_{gh} は23 fFを得る。

蓄積部の正孔濃度： C_h と蓄積正孔数： N_h との間には、近似的に以下の関係が成り立つ。

$$N_h = C_h A t_{inv} \quad (4.4)$$

ここで t_{inv} は正孔反転層の厚さを表す。文献[5]によれば、反転層の厚さは30~300 Åである。CMDの正孔反転層の濃度分布をシミュレータにより評価した結果、その濃度が1/eに低下する距離は、表面から約200 Åとなった。そこで $T_{inv}=200$ Åを採用して計算する。

式4.2~式4.4を式4.1に代入すると、以下の式4.5を得る。

$$I_h(t) = 2 \pi r_p kT \mu_h \frac{N_h(t)}{A t_{inv}} \frac{W_{CH}}{L_{CH}} \exp \left\{ \frac{q}{kT} \left(\frac{q N_h(t)}{C_{gh}} - \phi_{SAD,0} \right) \right\} \quad (4.5)$$

蓄積正孔数の時間変化を考察するので、上式では蓄積正孔数を $N_h(t)$ で表した。tは時間を表す。蓄積正孔数の減少は、以下の微分方程式で表現できる。

$$-\frac{d}{dt}(q N_h(t)) = I_h(t) \quad (4.6)$$

式4.6に式4.5を代入すると、 $N_h(t)$ の積分解がAppendix 1中の式A.1.34の指数積分関数の形となり、解析的な表現が得られない。

蓄積正孔数が飽和正孔数である 9.1×10^4 個に近い 1×10^5 個から 8×10^4 個に変化した場合を考えると、式4.5中の指数関数の外の項は0.8倍に減少する。一方、同じ変化で、指数関数部分は1/266に減少する。この変化の度合いより、式4.5中の指数関数の外にある $N_h(t)$ の変化が I_h に与える影響は小さく、一定と近似してよい。この結果、式4.6の微分方程式は以下の様に近似できる。

$$-\frac{d}{dt}(q N_h(t)) = 2 \pi r_p kT \mu_h C_h \frac{W_{CH}}{L_{CH}} \exp \left\{ \frac{q}{kT} \left(\frac{q N_h(t)}{C_{gh}} - \phi_{SAD,0} \right) \right\} \quad (4.7)$$

ここで N_h を 9.1×10^4 個、 A を 23.4×10^{-8} cm²、 t_{inv} を 200×10^{-8} cmとすると、式4.4より C_h は 2×10^{17} cm⁻³となる。式4.7は解析的に解け、その解は次式で与えられる。

$$N_h(t) = \frac{1}{\beta} \left[\gamma - \ln \left\{ \alpha \beta t + \exp(\gamma - \beta N_h(0)) \right\} \right] \quad (4.8)$$

但し、 $N_h(0)$ はオーバーフロー動作の直前 ($t=0$) に蓄積されていた正孔数であり、又、

$$\alpha = 2 \pi r_p \frac{kT}{q} \mu_h C_h \frac{W_{CH}}{L_{CH}} \quad (4.9)$$

$$\beta = \frac{q^2}{kT C_{gh}} \quad (4.10)$$

$$\gamma = \frac{q}{kT} \phi_{SAD,0} \quad (4.11)$$

である。式4.7に α 、 β 、 γ の関係を代入すると以下の形になる。

$$-\frac{d}{dt}(N_h(t)) = \alpha \exp(\beta N_h(t) - \gamma) \quad (4.12)$$

式4.12を用いて、オーバーフロー動作中にCMDのゲート表面蓄積部に残存する正孔数の時間変化を計算した結果を図4.8に示す。

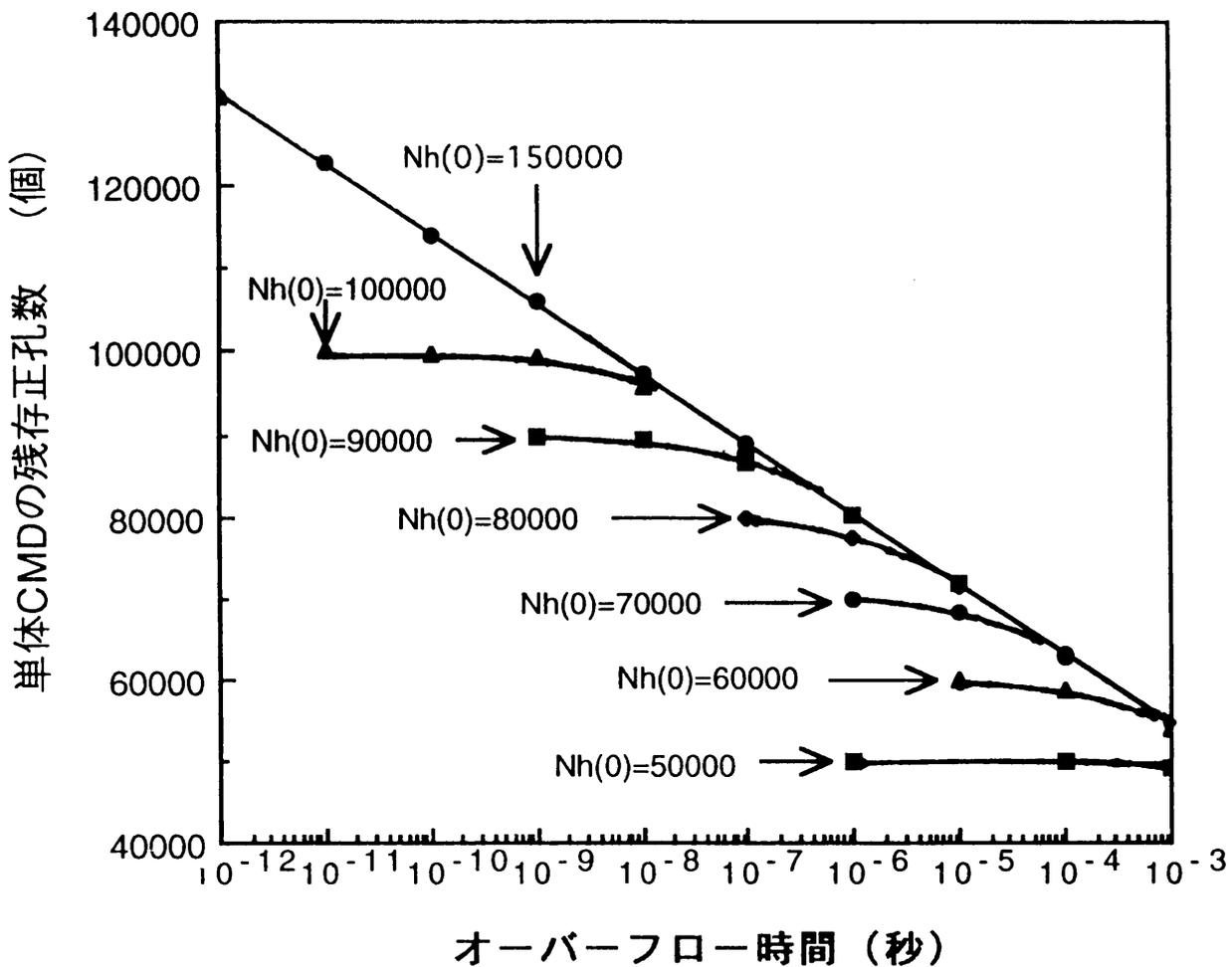


図4.8 残存正孔数とオーバーフロー動作時間との関係

横軸にオーバーフロー動作時間を、一方、縦軸に残存正孔数を示した。オーバーフロー動作開始時の蓄積正孔数： $N_h(0)$ をパラメータとした。

$N_h(0)$ が飽和正孔数より充分多い 1.5×10^5 個の場合、オーバーフロー開始の初期から、残存正孔数は動作時間に対して対数関数的に減少する。一方、蓄積正孔数がそれ以下の場

合は、ある一定の時間： t_{cha} までは残存正孔数は一定値を保ち、その後時間に対して対数的に減少する。この一定の時間： t_{cha} は、蓄積正孔数が少ないほど大きい値を持つ。そして全ての曲線は、 $N_h(0) = 1.5 \times 10^5$ 個の場合の特性曲線に収束する。この曲線は、式4.8より以下の方程式で表される事がわかる。

$$N_h(t) = \frac{1}{\beta} \{ \gamma - \ln(\alpha \beta t) \} \quad (4.13)$$

一定の時間： t_{cha} は、式4.8の対数関数中の第1項と第2項を等しいとする事により、あるいは式4.13で $N_h(t) = N_h(0)$ とする事により、以下の様に表現できる。

$$t_{cha} = \frac{1}{\alpha \beta} \exp(\gamma - \beta N(0)) \quad (4.14)$$

この式から、蓄積正孔数 $N_h(0)$ が少ないほど t_{cha} は大きくなる事が分かるが、オーバーフローするのに要する時間は蓄積正孔数には依存しない。

表4.1に示した様に、NTSCモードとHDTVモードでのフィールド周波数は等しい。更に、オーバーフロー動作が行われる水平帰線期間と水平走査期間の比は、NTSCモードで0.2、HDTVモードで0.15とほぼ等しい。この為、HDTVおよびNTSCのそれぞれのモードに使用するCMDイメージセンサの飽和正孔数と飽和出力は互いにほぼ等しいと考えてよい。

一方、将来のCMDイメージセンサの応用において、オーバーフロー時間や読みだし時間が極端に長くなる特殊な駆動を採用する場合は、式4.14から分かる様に、従来のCMDイメージセンサと比べて飽和正孔数が減少する。この正孔数の減少を回避する為には、蓄積ゲート容量を増加させる、あるいは読み出しゲート電位を低下させる等の対策が必要となる。

CMDイメージセンサのオーバーフロー期間が $t_{cha}^{(1)}$ より $t_{cha}^{(2)}$ に増加した場合、同一構造のCMDにおいて等量の飽和正孔数を確保するには、式4.14に基づき、

$$\phi_{SAD,0}^{(2)} = \phi_{SAD,0}^{(1)} + \frac{kT}{q} \ln\left(\frac{t_{cha}^{(2)}}{t_{cha}^{(1)}}\right) \quad (4.15)$$

と $\phi_{SAD,0}$ の値を変化させる様に、オーバーフロー動作時の印加ゲート電位を変更すれば良い。ただし $t_{cha}^{(2)}$ が $t_{cha}^{(1)}$ と比較して100倍長い場合でも、CMDのゲート表面電位の増加分($\phi_{SAD,0}^{(2)} - \phi_{SAD,0}^{(1)}$)は0.12 Vと僅かな変化量でよい。

本節で得られた結果をまとめると、CMDにおいては過剰に蓄積された正孔の量に拘わらず、100 nsのオーバーフロー時間が経過した後は、CMDのソース電流がほぼ一定値に収束する。また蓄積正孔数に依存する特徴的なオーバーフロー動作時間： t_{cha} までは、残存正孔数は初期の一定値を保ち、この時間以後は残存正孔数(飽和正孔数)は時間に対して対数関数的に減少する事が明らかになった。更に、飽和正孔数とオーバーフロー動作時間の関

係を表現する式4.14が導出できた。

4. 2. 3 正孔蓄積動作速度

本節では、CMDの正孔蓄積動作の速度を、シミュレーションと解析式を併用して評価する。図4. 9に、 $10\ \mu\text{m}^2$ CMDの蓄積状態において、電位鞍点より表面側の一点で正孔-電子対を 1×10^{12} 個/秒の割合で発生させた場合の、正孔の濃度分布及び電流ベクトルを示した。

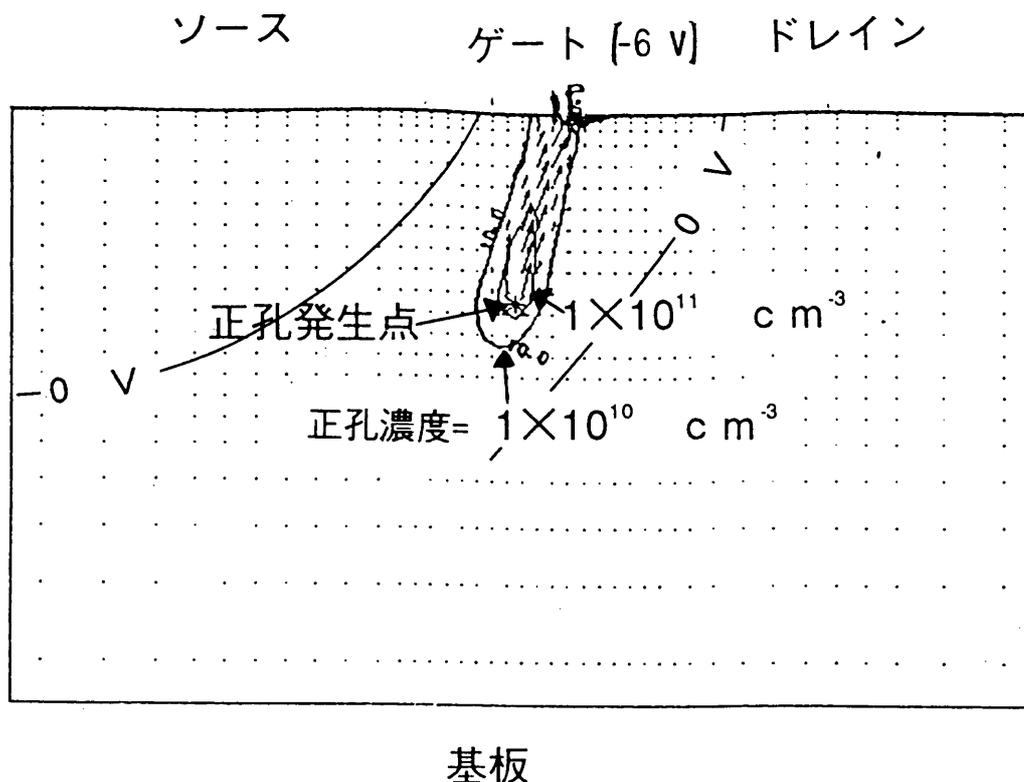


図4. 9 正孔蓄積動作時の正孔の濃度分布及び電流ベクトル

この図より、正孔はドレインおよびソース部の電位の影響を受け収束されながら、正孔発生点より表面のゲート領域に向かって電界によるドリフト機構で流入する事がわかる。

入射光により発生した正孔が、表面のゲート部に到達するのに必要な時間： t_h は、電界： E の関数としての正孔の平均的な速度： v_h [6]を表す、

$$v_h = \mu_h E \quad (4.16)$$

を用いて計算できる。ここで μ_h は正孔の移動度を表し、又、 E は電位鞍点からゲート方向に向かった電界強度を表す。CMDのチャンネルに於ける不純物濃度に対応する μ_h は $500\ \text{cm}^2 / (\text{V} \cdot \text{sec})$ [6]となり、又、 E は図2. 6 (b)より約 $2.5 \times 10^4\ \text{V/cm}$ となるので、これらの値を

式4.16に代入する事により、 v_n は 1.3×10^7 cm/secと算出できる。しかしこの速度値は、正孔の飽和速度である 4.5×10^6 cm/sec[6]より大きい。式4.16は弱い電界強度の場合には正しいが、 2.5×10^4 V/cmの強い電界の場合、正孔の速度はほぼ一定の飽和速度となる[6]。したがって正孔の速度: v_n として、飽和速度である 4.5×10^6 cm/secを採用する。鞍点より表面のゲート領域までの距離は約 $1.7 \mu\text{m}$ であるため、結局、正孔の到達時間: t_n は約40 p秒と見積もれる。一方表4.1に示した様に、CMDイメージセンサに於ける光信号の蓄積期間はミリ秒以上の長さを有するため、CMDの蓄積動作時に発生した正孔は瞬時にゲート蓄積部に到達すると見なせる。つまり、ホットキャリアの到達時間の遅延により生じる残像や感度の低下は、CMDにおいては存在しない事がわかる。

4.2.4 各状態間の遷移に必要な時間

蓄積、読み出し、オーバーフロー、リセットの各状態間の遷移に要する時間が長くなると、CMDイメージセンサの各動作を水平帰線期間や水平有効期間内で完了する事が困難となり不完全動作が生じる。本節ではCMDの各状態間の遷移に必要な時間をデバイスシミュレータを用いて検討する。

CMDのゲート電圧が3.5 Vより-0.5 Vに変化した場合の、遷移後の経過時間とソース電流の関係を計算した。結果を図4.10に示す。この計算結果より、300 ps以内で状態の遷移が終了する事が分かる。

更に、CMDイメージセンサの標準バイアス状態において、

- (1)リセット状態より正孔蓄積状態への遷移が終了するのに必要な時間、
- (2)正孔蓄積状態より信号読みだし状態（オーバーフロー状態）への遷移が終了する時間、
- (3)信号読み出し状態より正孔蓄積状態への遷移が終了する時間、

をシミュレーションにより計算した。その結果、これらの状態間の遷移に必要な時間は、いずれも400 ps以下である事が分かった。以上の各状態間の遷移に必要な時間は、いずれも表4.1に示した水平有効期間あるいは水平帰線期間と比べて充分短い。結局、CMDに固有の状態遷移速度は充分早く、状態間の遷移に必要な時間が各動作期間の短縮の原因とはならない事が確認できた。CMDの状態遷移速度が早い事は、CMDの動作原理がドリフト機構による事に起因する。

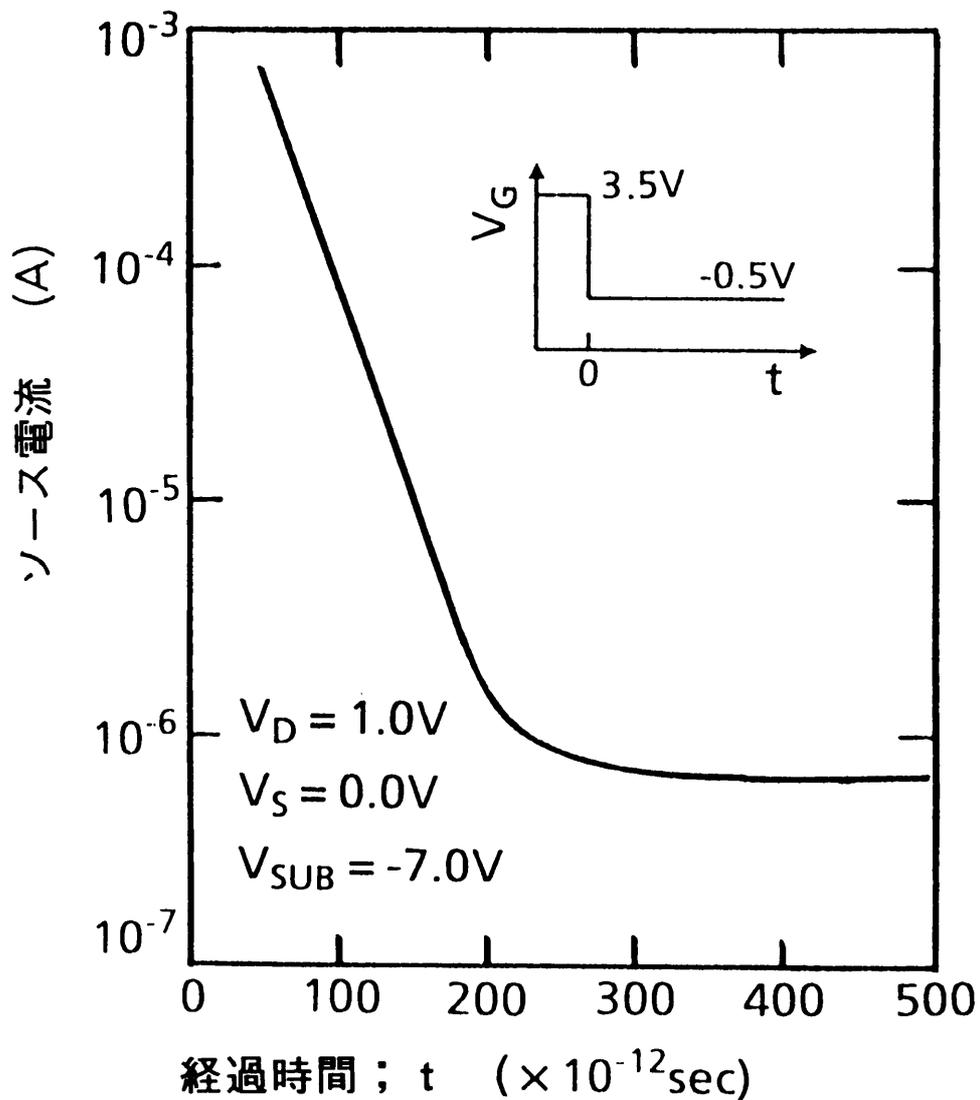


図4. 10 ゲート電圧が3.5 Vより-0.5 Vに変化した場合のソース電流の時間依存性

以上、4. 2節においては、CMDの各動作の動作速度および各状態間の遷移速度をデバイスシミュレータにより解析した。今回得られた解析結果を、各動作に割り当てられた時間長さとともに表4. 2にまとめた。

表 4. 2 CMDの動作速度の評価結果

	水平走査期間	水平帰線期間
NTSCモード	52.7 μ s (83 ns)	10.8 μ s
HDTVモード	25.87 μ s (27 ns)	3.77 μ s

↑
データレート

水平走査期間中の動作	水平帰線期間中の動作
光発生正孔蓄積動作 → 50 ps	リセット動作 → 10 ns
読み出し状態、蓄積状態への遷移速度 → 400 ps	オーバーフロー動作 → 100 ns

CMDの基本動作はドリフト機構を動作原理とする為、NTSCあるいはHDTVモードに於いて各動作に割り当てられた期間と比べて、十分な高速動作が可能である事が分かった。この高速動作特性は、将来のUDTVあるいは高速カメラに用いるイメージセンサに不可欠な特性であり、CMDイメージセンサの大きな特長の一つとなる。

4. 3 スマア抑圧特性

CMDイメージセンサの受光領域の構成を図 4. 1 1 に示す[3]。CMDイメージセンサの1画素は1個のCMDで構成する。ドレイン領域を全画素共通としてゲートとソースで各画素を選択する、ソース-ゲート選択方式を用いている。そして列方向の選択線はソース信号線とし、一方、行方向の選択線はゲートラインとした。2画素毎に1個のゲート電極用コンタクト、及び、1個のドレインコンタクトを形成した。本構成により、隣接する左右の画素配置が対称的にできた。又、入射光に対して不感領域となる各コンタクト領域の面積が最小限に抑えられた。

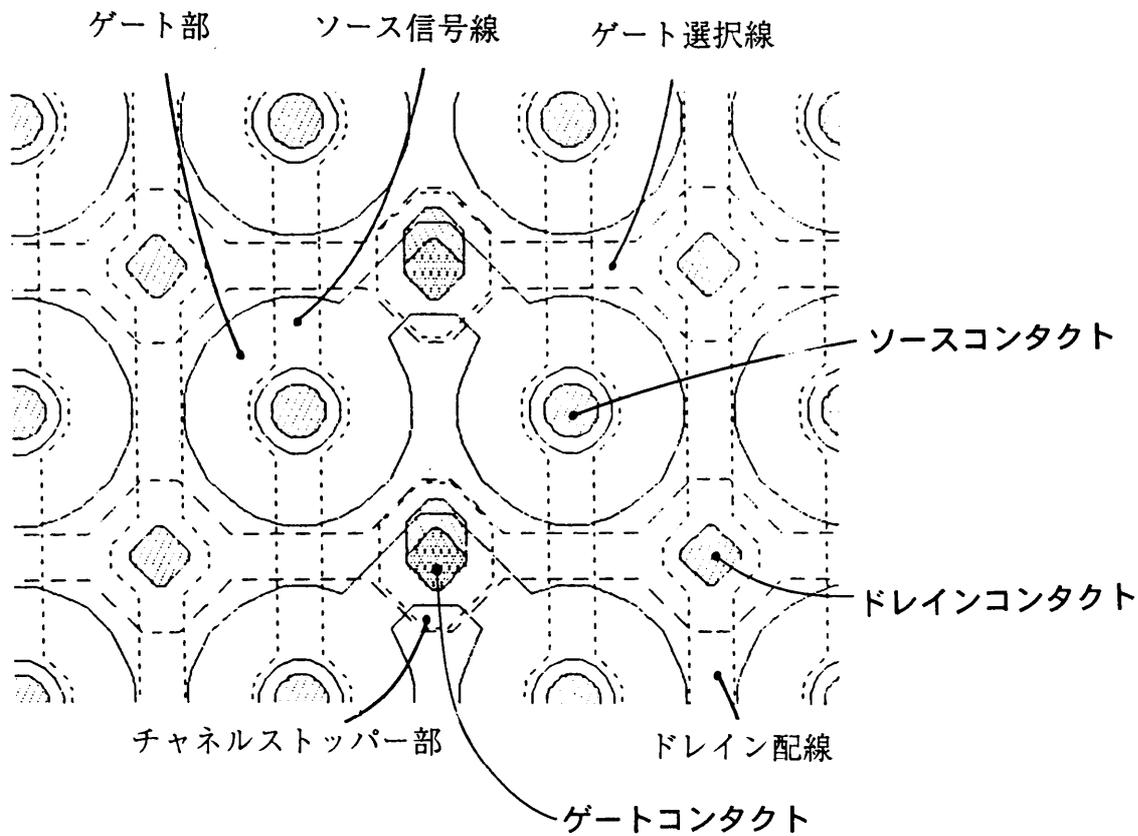


図4. 11 CMDイメージセンサの受光領域の平面構成

2画素共通のゲート電極用コンタクトを形成したゲート電極の下部の半導体表面には、チャンネルストッパーと呼ぶN型拡散層を形成した。このチャンネルストッパー拡散層はドレイン領域と等電位となるため、各画素のゲート電極下に蓄積された正孔が隣接する画素に流入する事により発生するクロストーク（漏話）を防止する役割をはたす。列方向のソースとドレイン用の配線は第1層アルミニウムにより形成した。ゲート配線には第2層アルミニウム電極を使用した。

図4. 11に示した様に、CMDイメージセンサにおいては、各列の画素を構成するCMDのソース部を一本のソース信号線につなぐため、この信号線に流れる電流： I_{OUT} は、選択された行（例えば $V_{G_READ}=-1.5V$ ）のCMDのソース電流： I_{SIG} と、同列の非選択状態（例えば $V_{G_STORE}=-6.0V$ ）のCMDに蓄積された正孔により変調されて流れるソース電流の和： I_{AMP} と、光入射により発生した電子が直接この列のソース信号線に流れ込む事により流れる電流： I_{DIR} の合計となる。つまり、

$$I_{OUT} = I_{SIG} + I_{AMP} + I_{DIR} \quad (4.17)$$

I_{AMP} や I_{DIR} が I_{SIG} と比べて無視できない大きさとなる場合は、再生画像中に垂直方向に明るい輝線が発生する[7]。この偽信号を、CMDイメージセンサのスマアと名付ける。

偽信号成分の I_{AMP} を低減するために、各水平帰線期間中にリセット行以外の全ゲートラ

インに読みだしゲート電位 ($V_{G_READ} = -1.5V$)を印加し、読み出し状態に不必要な過剰蓄積正孔を基板に吐き出す[8]。CMDイメージセンサのこの動作をオーバーフロー動作と呼ぶ。

オーバーフロー動作を行った場合の、スメア抑圧特性の実験結果及び計算結果を図4.12に示す。

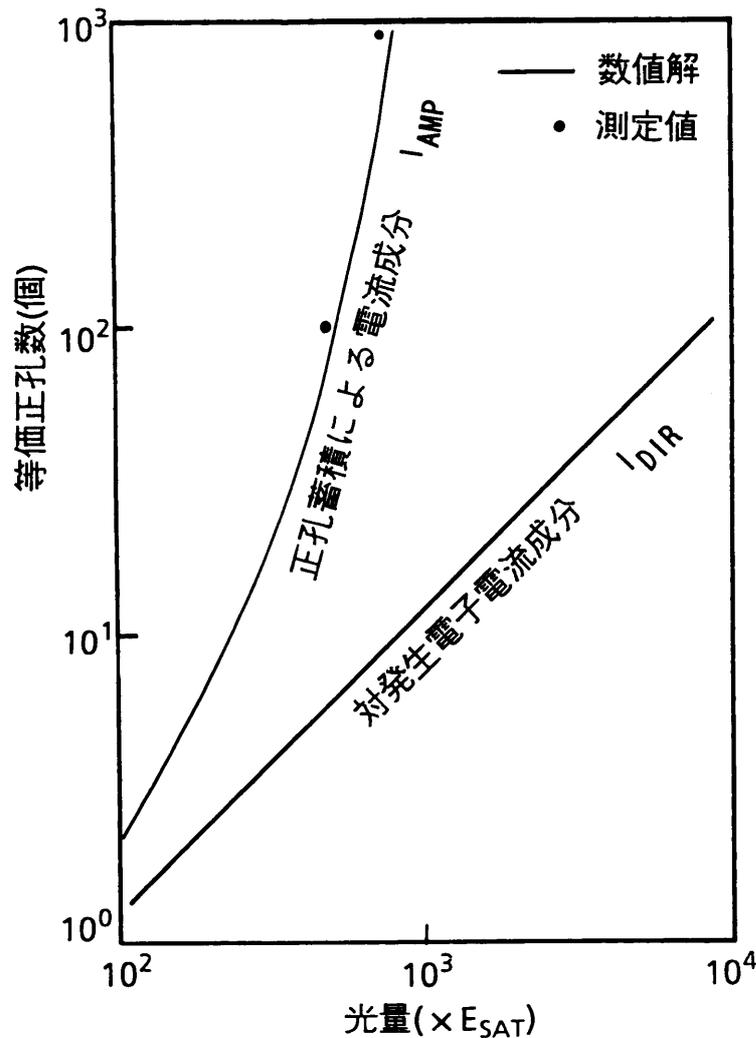


図4.12 入射光量に対する各偽信号成分の等価正孔数

10 μm \square CMDを水平方向に660個、垂直方向に480個配列した32万画素CMDイメージセンサを用いてスメア特性を測定した。動作モードは標準のNTSCモードであり、フィールド蓄積方式で駆動した。さらに画面の中央に於いて、垂直方向に66画素分の領域に光を入射した(1/10 V入射)。計算に用いたセンサの構成と駆動/光入射条件は測定条件と同一とした。 I_{AMP} は、1Hの期間に蓄積する正孔量により変調される蓄積状態のソース電流を、垂直方向の画素分合計して計算した。 I_{DIR} は、ゲートに蓄積される正孔と同じ発生率の電子が、ソースラインにD.C(直流)的に流れると仮定して計算した。

図4.12に於いて、横軸は飽和光量で規格化された光量を、又、縦軸はソース電流値

から算出できる等価正孔量を示す。実線は計算結果を、他方、点は測定結果を示す。計算結果より、 I_{DIR} が光量比例であるのに対して、 I_{AMP} は光量に対して指数関数的に増大する事が分かる。更にこの比較結果より、CMDのスミア現象は主に I_{AMP} に起因することが判る。飽和光量の500倍の入射光において測定されたスミア量は飽和出力電流に対し-60 dB（飽和光量換算で-114 dB）であり、一方、計算結果は飽和光量の600倍の入射光において飽和出力電流に対して-57 dB（飽和光量換算で-113 dB）のスミア量となり、両結果はよく一致している。このスミア値はCCD等のイメージセンサと比較して小さく、CMDイメージセンサが優れたスミア抑圧能力をもつことがわかる。この理由は、

- ① CMDは信号を増幅して読み出している為、信号量に比べ I_{DIR} が相対的に減少する。
- ② CMDの蓄積状態においては良好な電流のカットオフ状態を実現しており（ <1 pA）、更にオーバーフロー動作を併用するため、本質的に I_{AMP} を減少できる。

によると考えられる。

4. 4 まとめ

第4章では、CMDイメージセンサの設計要素について解析・評価した。CMDのリセット、蓄積、読みだし、オーバーフロー動作の動作速度を、シミュレーション実験と理論により評価・解析し、各々の動作速度を定量的に把握した。リセット動作は10 n秒以内に終了する事、残像がない事、オーバーフロー動作では100 n秒以内で飽和出力値に収束する事、状態間の遷移に必要な時間は400 p秒以内である事などが分かった。さらに各々の動作メカニズムが理論的に解明できた。これらの解析結果より、CMDの基本動作はドリフト機構をその動作原理とする為、NTSCあるいはHDTVモードに於いて各々の動作に割り当てられる期間と比較して、十分な高速動作特性を有する事を明らかにした。

固体撮像素子において主要な特性の一つである、CMDイメージセンサのスミア抑圧特性も解析した。CMDイメージセンサの撮像領域の構成を説明し、続いて、CMDイメージセンサのスミア抑圧能力を実験および解析手段により評価し、さらにスミア発生の主要因を確定した。スミア抑圧比の実験による評価結果は飽和光量の500倍の入射光において飽和出力電流に対し-60 dBとなり、一方、計算結果は飽和光量の600倍の入射光において飽和出力電流に対し-57 dBとなり、両者の良好な一致が得られた。さらにCMDイメージセンサのスミア発生原因は、蓄積状態のCMD群から流れるソース電流である事が確認できた。CMDは信号を増幅して読み出している。またCMDの蓄積状態においては良好な電流のカットオフ状態としている。さらに、オーバーフロー動作を併用するので、CMDイメージセンサのスミアは他の固体撮像素子と比較して原理的に小さい。

参考文献

- [1] K. Matsumoto, I. Takayanagi, T. Nakamura, R. Ohta, "Analysis of Operational Speed and Scaling Down the Pixel Size of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 999-1004, May 1991
- [2] T. Nomoto, K. Matsumoto and T. Nakamura, "Carrier Reset Operation in Charge Modulation Device," Jpn. J. Appl. Phys. vol. 32, pp. 3754-3759 1993
- [3] T. Nakamura and K. Matsumoto: Active Pixel Image Sensors: Recent Developments of the CMD, SAIT '91, pp. 70-79, (1991)、あるいは、中村 力、森田 和彦、松本 一哉、太田 亮: 10 μ m画素CMDイメージャ、1987年TV学会全国大会予稿集、pp. 69-70, 4-4, (1987)。
- [4] 松本 一哉: USP 4,733,286号、日本特許登録No. 1,855,867号。
- [5] E. H. Nicollian and J. R. Brews: MOS (Metal Oxide Semiconductor) Physics and Technology (John Wiley & Sons, USA, p. 42, 1982)、あるいは P. Richman: MOS field-effect transistors and integrated circuits, John Wiley & Sons, Inc. USA, (1983)
- [6] A. S. Grove: Physics and Technology of Semiconductor Devices (John Wiley and Sons, Inc., New York, USA, 1967)
- [7] K. Matsumoto, I. Takayanagi, T. Nakamura, and R. Ohta, "The Operation Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991
- [8] M. Ogata, T. Nakamura, K. Matsumoto, R. Ohta and R. Hyuga, "A Small Pixel CMD Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 1005-1010, May 1991、あるいは 中村 力、松本 一哉、日向 良二、大石 泰広、遊佐 厚 "ゲート蓄積型 MOSフォトトランジスタイメージセンサ"、テレビジョン学会誌、41、11、pp. 1047-1053 (Nov., 1987)

第5章 200万画素CMDイメージセンサの試作と評価

5.1 序

第1-4章では、CMDイメージセンサの動作理論と設計理論を確立した。その結果CMDイメージセンサは、画素部で信号を増幅するため良好な感度とスミア抑圧特性を有する、動作速度が早い、画素寸法の縮小が容易である、といった数々の優れた特長を有し、従来の高解像度イメージセンサが抱える問題点を解消できる可能性がある事を明らかにした。そこで第2-4章で明らかにしてきた理論ならびに設計手法を、HDTV用CMDイメージセンサの設計に適用し、その試作結果と撮像特性を評価する[2~10]。

この200万画素CMDイメージセンサの設計にあたっては、 $1.2\ \mu\text{m}$ という余裕のあるデザインルールで製造が可能な、 $7.6\ \mu\text{m}$ (H) \times $7.3\ \mu\text{m}$ (V) CMDを画素に使用する事とした。また本CMDイメージセンサの作成には、通常のCMOSFETの製造工程に類似のプロセスを使用した。ただしCMOSFETの製造プロセスに付け加えて、垂直・水平の各走査回路が形成されるPウエル領域をP⁻型基板と電氣的に分離するために、Pウエル形成領域下のP⁻型基板上に、n型埋め込み層を選択的に形成した。配線あるいは電極は1層多結晶シリコン-2層アルミニウムで形成し、量子効率の最適化の結果に基づき多結晶シリコン層の厚さを75 nmとした。さらに遮光用として、第3層アルミニウムを形成した。HDTV用CMDイメージセンサの製造に必要なマスク枚数は、遮光アルミニウムの加工を含めて14枚である。

本HDTV用CMDイメージセンサは1インチ光学系に対応し、走査線数が1125本でフィールド周波数（每秒画像数）が60 Hzの高精細度テレビジョン方式スタジオ規格(BTA S-001)[1]に適合する。

先ず、HDTV用CMDイメージセンサの設計方針と回路構成を詳述し、続いて、今回試作したCMDイメージセンサの特性の評価結果を述べる。最後に、これらの評価結果をまとめ、高解像度撮像分野におけるCMDイメージセンサの特長とその優位性及び実用性を実験により明らかにする。

5.2 高解像度CMDイメージセンサの設計方針

5.1章で詳述した背景と指針に基づき、ハイビジョン用CMDイメージセンサの設計に

においては、増幅型撮像素子の高いスミア耐性と高感度性、および、X-Yアドレス方式の利点である低消費電力を実現することを第一目標とした。この節では、始めにハイビジョン用CMDイメージセンサの基本回路構成と駆動タイミングチャート等を考察し、続いて特に着目した本イメージセンサのスミア抑圧方式と低消費電力化手法を詳述する。

5. 2. 1 イメージセンサの回路構成

図5. 1に1インチ200万画素CMDイメージセンサの回路構成を示す。

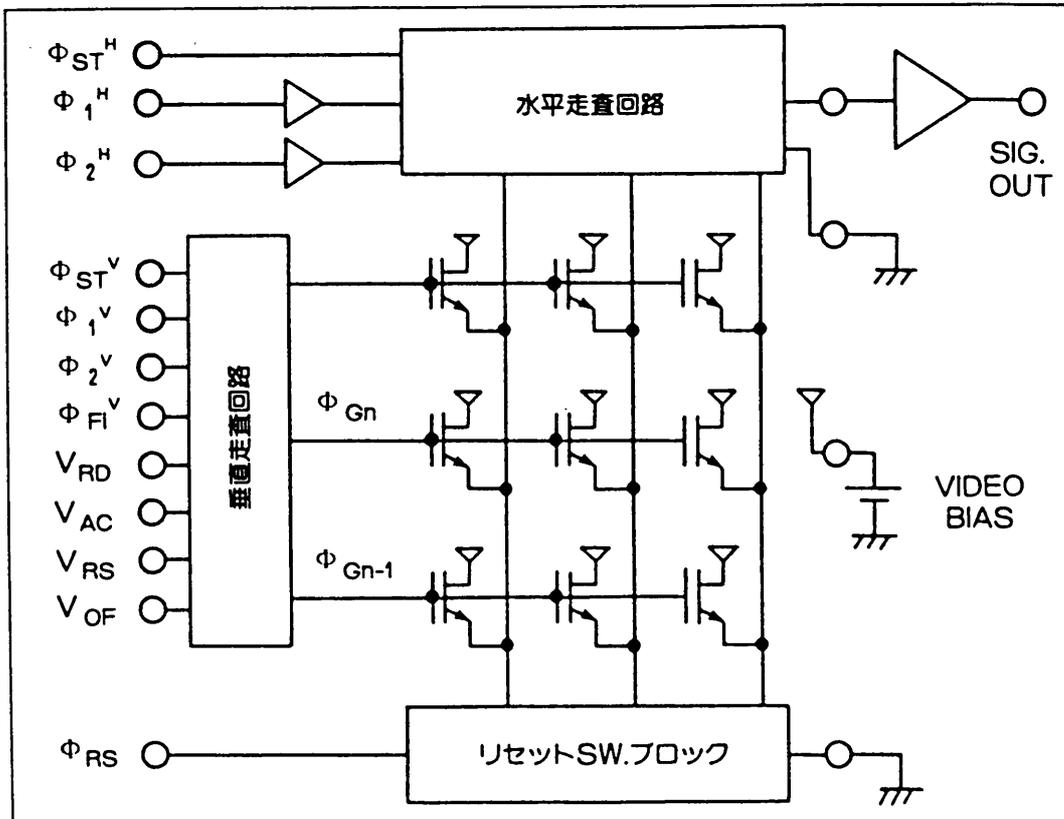


図5. 1 1インチ200万画素CMDイメージセンサの回路構成

4. 2節で述べた様に、画素となるCMDはソース、ゲート、そして全画素共通のドレインからなる。光電変換部にこのCMDをマトリックス状に配置し、その周辺にCMOSFETよりなる水平及び垂直走査回路を設けた。また、下方に設けたリセットスイッチブロックは、リセット動作時にCMDのソース電位を固定する役割をはたす。

各画素のゲート部は垂直走査回路で駆動される水平ゲート選択線に、又、ソース部は水平走査回路により選択される垂直信号線に接続され、X-Yアドレス方式により信号電流を読み出す。ドレインには常時ビデオバイアスを印加する。

垂直走査回路は、2値の論理出力を行うシフトレジスタと、その論理出力とクロックタ

イミングから4値のゲート電圧出力 (V_{RD} , V_{AC} , V_{RS} , V_{OF})を発生するレベルミックス回路により構成される。水平走査回路については後に述べる。

CMDの信号読み出し方式には、光発生電荷蓄積部であるゲート表面の表面電位の変化を、ソースフォロワー回路などの構成によりソース電圧の変化として検出する電圧読み出し方式と、仮想接地された電流アンプによりソース電流の変化として検出する電流読み出し方式の2種類がある。電圧読み出し方式の場合、ソース電圧の変動に伴い垂直ソース信号線などの寄生容量を充・放電させなければならず、充・放電動作に伴う時定数が生じる。他方、電流読み出し動作ではソース電位は一定であるため、容量の充・放電による時定数は発生しない。この理由により、高速動作を特長とするCMDイメージセンサの信号読み出し方式には、電流読み出し方式を採用した。ビデオライン端子には、低入力インピーダンスの電流-電圧変換アンプを接続する。アンプ出力から、走査回路で選択された位置のCMDのソース電流が、信号電圧として観測される。

5. 2. 2 駆動タイミングチャートとスメア抑圧方式

次に、図5. 2に示したCMDイメージセンサの駆動タイミングチャートを用いて、本イメージセンサの撮像動作を述べる。

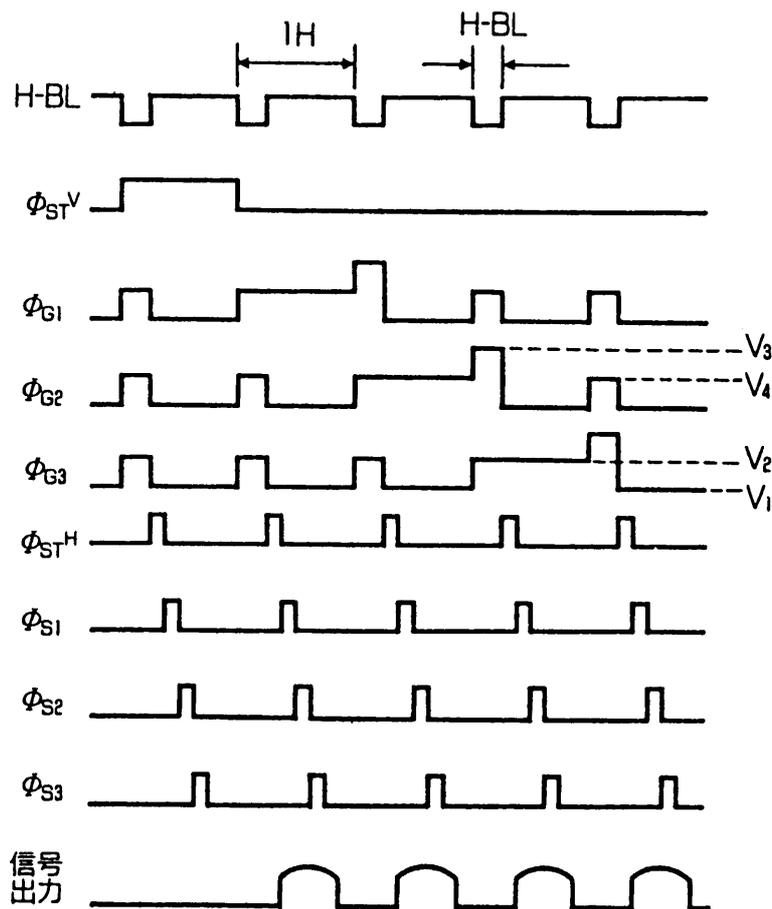


図5. 2 本CMDイメージセンサの駆動タイミングチャート

第4章で詳述した様に、CMDの動作は蓄積(V_1)、読みだし(V_2)、リセット(V_3)、オーバーフロー(V_4)動作からなる。これらの動作を、垂直走査回路からCMDのゲート電極に与えるゲートパルス： ϕ_{G1} , ϕ_{G2} , ϕ_{G3} , …(電圧レベルは V_1 , V_2 , V_3 , V_4 のいずれか)のみにより制御する。

映像信号有効期間(図5.2で1HからH-BLを除いた期間)中、非選択ゲートラインの画素は蓄積動作状態となる。このとき、ゲート電位は深く負バイアス(V_1)され、光発生正孔をゲート電極下の界面に蓄積する。CMDからの電流は、ゲート電極が深く負バイアスされるためカットオフしている。他方、選択行のゲートラインには浅い負電位のリード電位(V_2)を印加し、信号の読みだし動作とする。このとき、水平走査回路より出力されるパルス： ϕ_{S1} , ϕ_{S2} , ϕ_{S3} , …により順次開閉される水平スイッチを介して、蓄積正孔量に応じて変調されたCMDのソース電流が垂直信号線から出力端に流出する。

水平ブランキング(H-BL)期間中は、読みだし動作が終了した行のゲートラインに、正電位を有するリセット電位(V_3)を印加する。そしてゲート直下に蓄積した正孔を基板方向に掃き出しリセット動作を行う。他方、映像信号有効期間中に蓄積状態であったCMDのゲートラインには、H-BL毎に信号読み出し電位と等しいオーバーフロー電位($V_4=V_2$)を印加し、信号読み出し動作時に不要な過剰蓄積正孔を基板に排出する。つまり飽和正孔数以下の正孔についてはリセット動作の間隔である1フィールド期間中にわたり蓄積されるが、飽和正孔数以上の正孔に対する蓄積時間は1水平走査期間となる。第4章で詳述したこのオーバーフロー動作により、高輝度の被写体が結像したときに生じるスミアを抑圧する。

このオーバーフロー動作によるCMDイメージセンサのスミアの抑圧比は、オーバーフロー動作の周期、すなわち水平走査周期：1Hと蓄積時間の比で決まる。本センサの場合、BTA S-001の規格に従い駆動するので、この比は-55 dBとなる(29.6 μ 秒 対 16.7 m秒)。更に表3.3に示した7 μ m \square CMDのソース電流-ゲート電圧特性から、蓄積ゲート電位： V_1 を-7 Vと設定して、正孔蓄積状態のCMDを良好なソース電流のカットオフ状態(<1 pA)とした。この二つの手法を合わせ、ハイビジョン用CMDイメージセンサのスミアの抑圧レベルを-120 dB以下に設定できる。

5. 2. 3 ハイビジョン用CMDイメージセンサの低消費電力化

図5.1に示したCMDイメージセンサにおいて電力消費の大きいブロックは、信号読み出し時に選択した列のソースラインを信号線に接続し、非選択列は全てグラウンドラインに接続しているCMDイメージセンサの画素部分[2]と、高速に駆動される水平走査回路と予想した。そこで先ず、CMD画素部での低消費電力化を考察する。

従来の水平走査回路によるCMDイメージセンサの読みだしシーケンスを図5.3に示す。従来の信号読み出し方法に於いては、選択した列のソースラインを信号線に接続し、非選

択列は全てグラウンドラインに接続していた。このため、垂直走査回路によって選択した水平方向の行のほぼ全ての画素から、不必要なソース電流がグラウンドラインに流れていた。

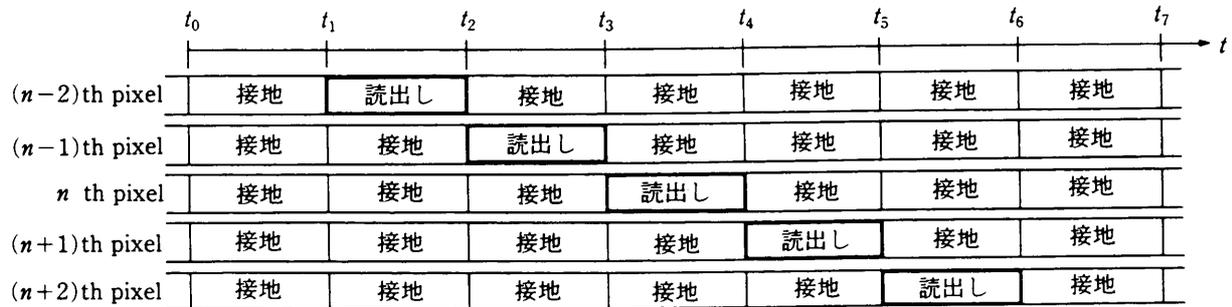


図 5. 3 従来のCMDイメージセンサの読みだしシーケンス

非選択列のソースラインをグラウンドラインに接続するのは、ソースラインの寄生容量に充電された電荷による信号電流への悪影響を無くする為である。しかしソースラインを常時グラウンド状態とする必要はなく、選択する寸前のソースラインの電荷を放電するのに必要な時間だけ接続すればよい。以上の理由から検討した、新方式の水平走査回路を図 5. 4 に、また、この結果得られた読み出しのシーケンスを図 5. 5 に示す。

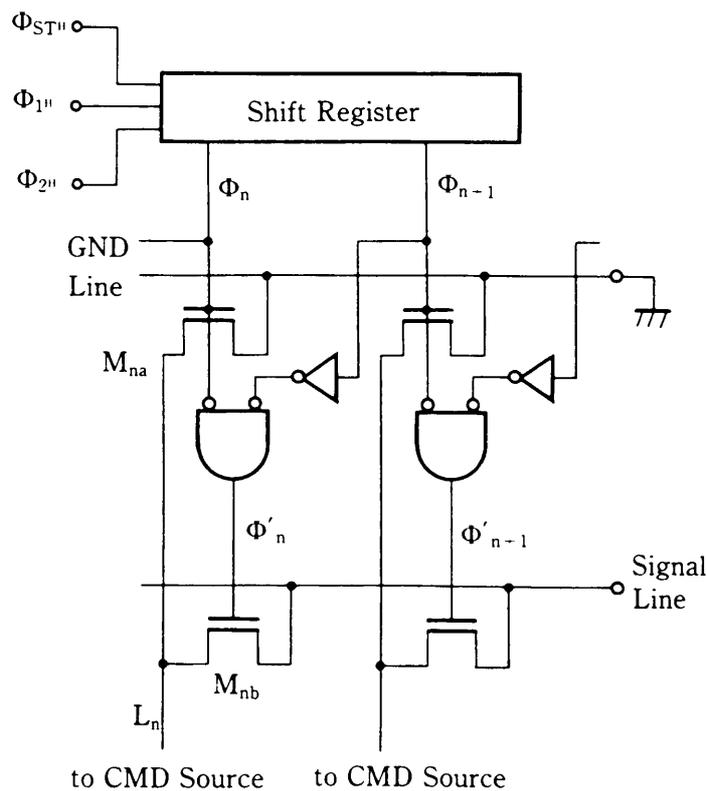


図 5. 4 新方式の水平走査回路の回路構成

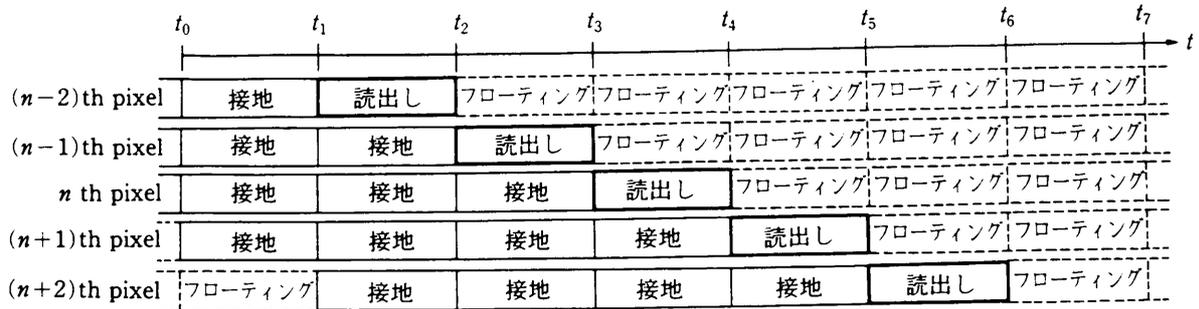


図 5. 5 新方式のCMDイメージセンサの読みだしシーケンス

図 5. 4 の回路構成では、シフトレジスタの転送パルスの幅を変えることによって、選択前のソースラインをグラウンドラインに接続する期間を変えることが可能となる。図 5. 5 に示した様に、今回の設計では選択前の接続期間を4クロック分とした。シフトレジスタの段数は約1000段であるから、選択前の接続期間を4クロック分と設定すると、従来方式に比べ画素部での消費電力は1/200に低減可能となる。

次に水平走査回路の低消費電力化について検討した。200万画素HDTVイメージセンサでは水平走査回路の駆動周波数は、信号の2線読みだしを前提にしても37.125 MHzと高速になる。又、CMDのクロックラインの容量は水平走査回路の段数の増加にともない約200 pFと大きくなる。このため、水平走査回路の駆動パルスをチップ外部より供給することは、その波形の維持や駆動の容易性を考えると現実的でない判断し、オンチップクロックドライバ方式を採用した。

CMDイメージセンサのクロックドライバ、及び、水平走査回路部は第4章で述べた様にCMOSFETにより構成される。CMOSFETの消費電力；Pは次の充・放電の消費電力式5.1で表される。

$$P = f_{CK} C V_{DD}^2 \quad (5.1)$$

ここで f_{CK} は駆動周波数、Cは容量、 V_{DD} は電源電圧である。式5.1より、消費電力：Pを削減する為には、その二乗で消費電力が増大する電源電圧を下げる事が効果的である。そこで電源電圧を従来の5.0 Vから3.5 Vに低減しても周辺回路が動作するように、エンハンスメント型P/NMOSFETの閾値電圧を低く設定した。式5.1から、この電源電圧の低下により周辺回路部での消費電力は半分以下となる。

5. 2. 4 設計仕様

本イメージセンサの画素には、 $7.6 \mu\text{m}(\text{V}) \times 7.3 \mu\text{m}(\text{H})$ CMDを使用した。第3章の解析/最適化の結果に基づき、画素構造を設計した。CMDのゲート電極を構成する多結晶シリコン膜の厚さは、量子効率の最適化の結果より75 nmとした。ゲート酸化膜の厚さは35 nm、パッシベーション酸化膜の厚さは4000 nmである。P⁻基板及びn⁻エピタキシャル層の不純物濃度は $5.5 \times 10^{13} \text{ cm}^{-3}$ 及び $1 \times 10^{13} \text{ cm}^{-3}$ に設定し、さらにP⁻基板/n⁻エピタキシャル層の接合深さを3 μm とした。この結果、有効光電変換層の厚さは約1.6 μm となる。最小寸法となるソースコンタクトの直径およびアルミニウムによる配線幅は1.2 μm とした。表2. 1に示した様にゲート電極長は1.9 μm であり、開口率は32 %となる。

今回設計・試作した、放送技術協会(BTA)のハイビジョン規格に適合する、1インチ200万画素CMDイメージセンサのCMDイメージセンサの設計仕様を表5. 1に示す。

表5. 1 1インチ200万画素CMDイメージセンサーの設計仕様

画素サイズ	7.3 μm (H)×7.6 μm (V)
有効画素数	1920 (H)×1036 (V)
チップサイズ	16.6mm (H)×10.7mm (V)
読出し方式	2行混合2線読出し
蓄積方式	フィールド蓄積

各々の画素を7 μm □CMDで構成する。実質的に開口率の向上が計れるオンチップマイクロレンズは形成していない。蓄積方式は、動解像度に優れるフィールド蓄積を採用した。この結果、各画素の蓄積時間は1/60 秒となる。読みだし方式は、1.2 μm のデザインルールで水平走査回路が設計可能であり、また1線信号読み出し方式に比べて水平走査回路部の低消費電力化が計れる2行混合2線読み出し方式を採用した。

イメージセンサの駆動/動作条件は、ドレイン電圧が3.5 V、基板電圧が-8.0 V、ソース電圧が0 Vの標準バイアス条件を使用した。蓄積ゲート電圧は-7 V、信号読み出しゲート電圧は-1.5 V、リセットゲート電圧は1.5 Vに設定して撮像特性を評価した。

試作したCMDイメージセンサのチップ写真を図5. 6に示す。チップ寸法は16.6mm(H)×10.7mm(V)であり、HDTV用FITCCDイメージセンサに比べチップ寸法を2/3以下に縮小するこ

とが可能となった。

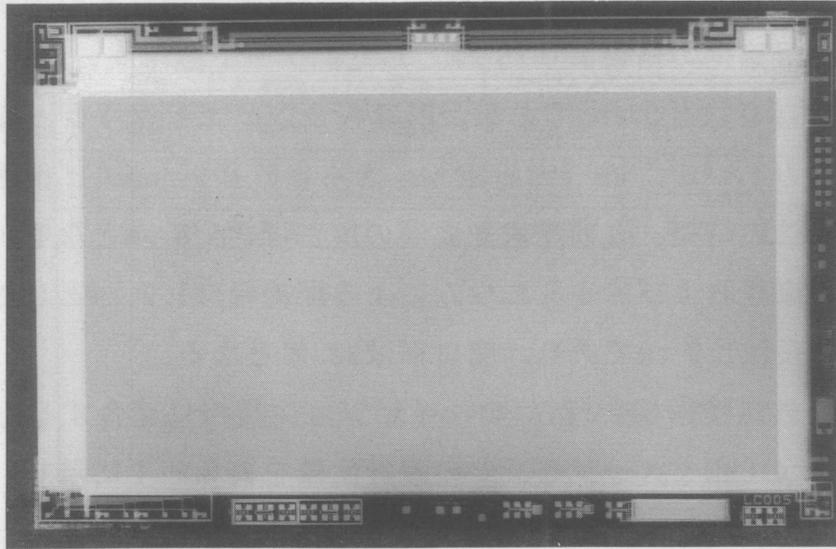


図 5. 6 200万画素CMDイメージセンサのチップ写真

5. 3 撮像特性

5. 3. 1 評価ボード

本センサの諸特性を評価するにあたり、センサを駆動しディスプレイモニタに映像信号を表示させるための評価ボードも同時に開発した。この評価ボードの構成を図 5. 7 に示す。

評価ボードは、ヘッド(HEAD)部とCamera Control Unit(CCU)部より構成される。Signal Generator(SG)から発生する同期信号により、HEAD部とCCU部を同期させる。HEAD部のクロックドライバ(CLK drv.)により、CMDイメージセンサが駆動される。イメージセンサから2チャンネルで出力した信号は、信号帯域60 MHz(-3 dB)の電流検出型プリアンプを経て、アナログ/デジタル変換器(A/D)で10ビットのデジタル信号に変換された後、シリアル/パラレル変換器(S→P)でさらに2系統のデジタル信号に分割されて、破線で示したデジタルプロセス系(合計4系統)に入力される。このデジタルプロセス系中には、1フレーム分のフレームメモリ(Mem:負論理出力を有する。)を用意しており、暗時固定パターン雑音(Fixed Pattern Noise: FPN)をこのメモリに書き込んでおく事により、本線系の映像信号からこの暗時FPNを減算し、暗時FPNの影響を抑圧することが可能な構成とした。暗時FPNが減算された映像信号には、ルックアップテーブル(LUT)による γ 処理等が施され、さらに

SYNC-BL-MIX部で映像同期信号とブランキング信号が加えられる。次にパラレル/シリアル変換器(P-S)で4系統の映像信号が合成された後、合成デジタル映像信号はデジタル/アナログ変換器(D/A)でアナログ信号に変換され、最終的に遮断周波数帯域が30 MHzのローパスフィルター(LPF)を経由して映像信号として出力される。

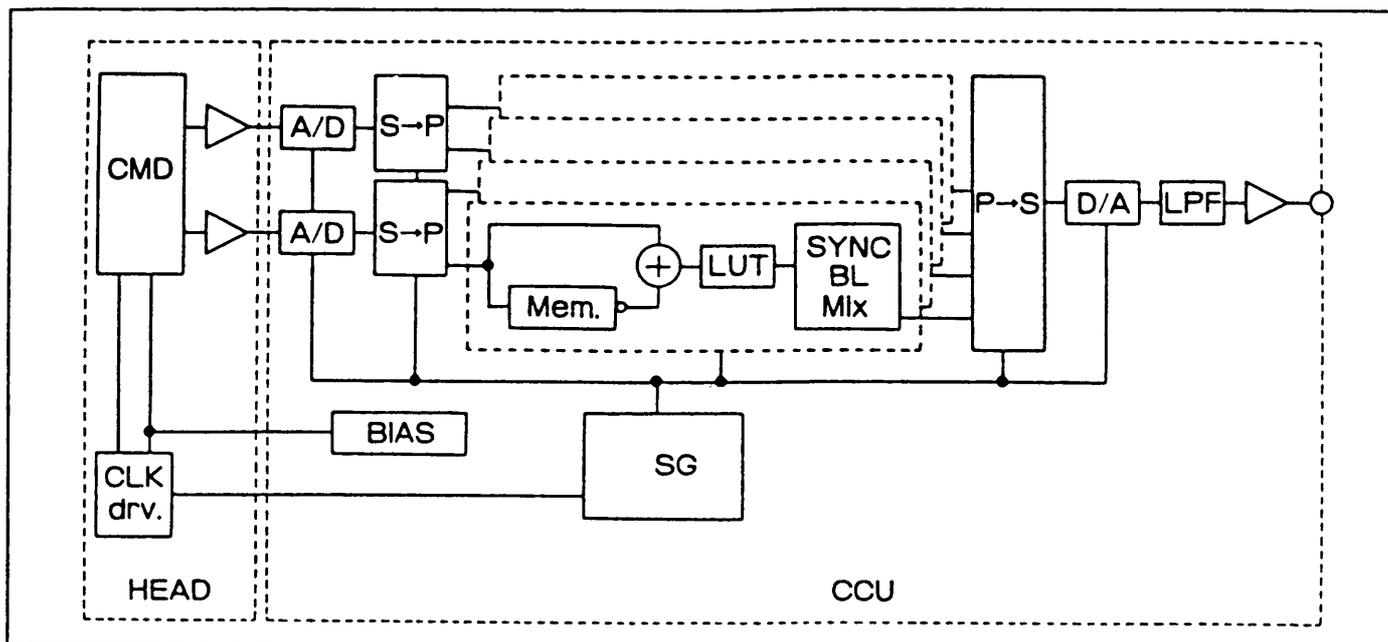


図 5. 7 評価ボードのブロック図

評価ボードの仕様を表 5. 2 に示す。

表 5. 2 評価ボードの仕様

形状	ヘッド基板 CCU基板	160mm×240mm 300mm×570mm
電源電圧	アナログ系 デジタル系	±15V, ±5V +5V, -5.2V, (+12V)
レンズマウント		バヨネット/OM
同期方式		内部同期
ゲイン		0 dB/+6 dB
γ		0.45/1

γ 値 (0.45/1) とゲイン (0 dB/+6 dB) がスイッチにより切り替え可能である、などの特徴を有する。

5. 3. 2 消費電力

先ず設計時に課題として取り上げた、水平走査回路の駆動電圧の低電圧化の効果について述べる。センサの水平走査回路部のみを37.125 MHzで駆動し、駆動電圧とチップの温度との関係の評価した。チップの温度上昇は、センサと同一チップ上に設けたpn接合ダイオードの、順方向電流-電圧特性の変化から算定した。評価結果を図5. 8に示す。

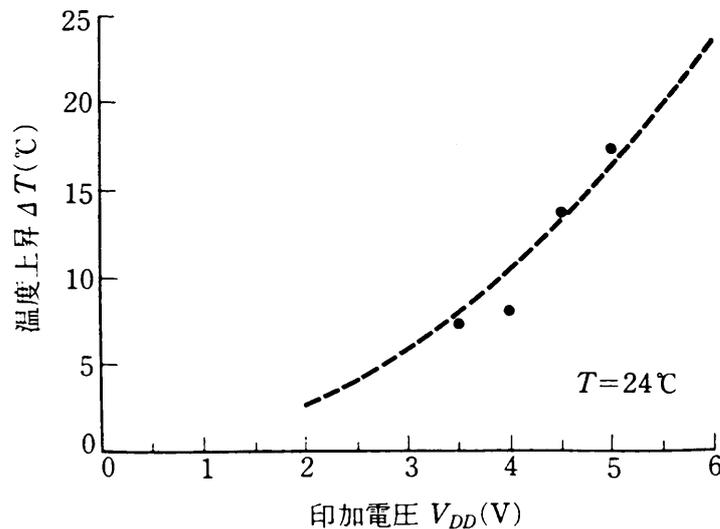


図5. 8 印加電源駆動電圧： V_{DD} と上昇チップ温度との関係

図5. 8中の破線は前出の式5.1からの予測値であり、一方、黒丸は測定値を示す。この図より、駆動電圧が3.5 Vの場合のチップの温度上昇が8° C以内と、低い値に抑えられている事が判明した。

次に、各端子に標準駆動バイアスを印加した場合の、イメージセンサの各機能ブロック別の消費電力を測定した。この消費電力は、実動作状態におけるセンサの各端子に流れる電流と電圧を測定する事により算出した。なお、クロック入力端子に流れる電流は、入力端子の内部負荷がCMOSFETのゲート1段であり、DCバイアス端子の負荷に比べ充分小さいため無視した。測定結果を表5. 3にまとめる。

消費電力を機能ブロック別にみると、設計時の予測どおり高速で駆動する水平走査回路部が78 mWと、最も消費電力が大きい結果となった。しかし、5. 2. 3節で説明した低消費電力化の最適設計により、水平および垂直走査回路を駆動する為のクロックドライバを内蔵したチップ全体での消費電力は206 mWと非常に小さくなり、ハイビジョン用固体撮像素子としては、最小の消費電力が実現できた。この結果、バッテリー駆動のカメラや小型のヘッド分離型カメラを構成する場合、大きな利点となる。

図5. 8および表5. 3に示した測定結果より、パッケージの放熱効率は7.5 °C/0.078 W=96 °C/Wと算出される。チップ全体での消費電力は206 mWであるので、イメージセンサの実動作での温度上昇は約20 °Cになる。

表5. 3 消費電力の測定結果

機能ブロック	消費電力 (mW)
水平走査回路	78
垂直走査回路	40
リセットスイッチ	25
CMD 画素部	63
合計	206

5. 3. 3 スメア抑圧特性

スメア抑圧能力は、1/10 V（水平走査線100本分）の大きさを有する正方パターンを、受光領域の中央部に照射して、正方パターンの上方の非照射画素の出力を測定した。光源にはスライドプロジェクタを使用し、光量は中性濃度フィルター(Neutral Density Filter:NDフィルター)で調整した。測定結果を図5. 9に示す。

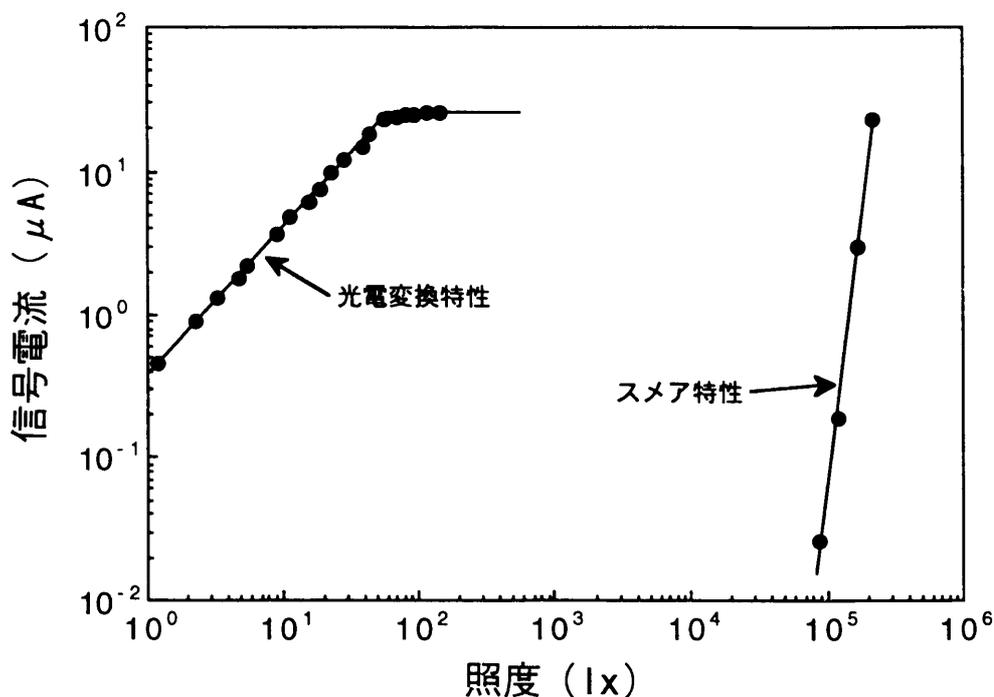
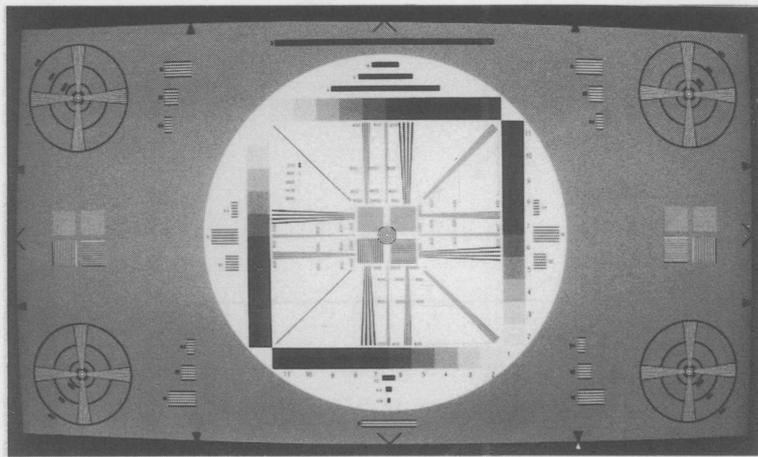


図5. 9 スメア特性の評価結果

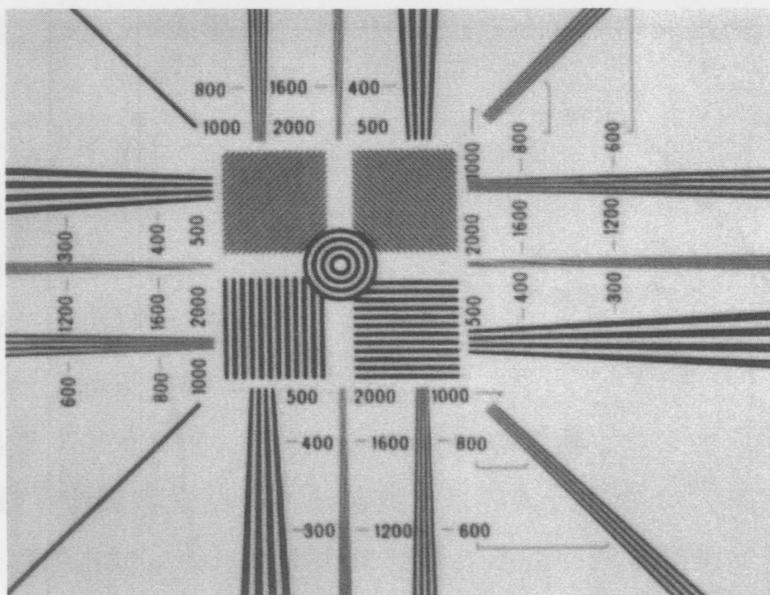
この測定結果から、正方パターンに飽和光量の1400倍(87000 lx)の光を照射しても、スミア信号は飽和光量時の出力の0.1%(0.026 μ A)以下である事が分かった。この測定結果より、本イメージセンサのスミア抑圧レベルは-123 dBとなる。4. 3節で詳述した様に、信号を画素部で増幅するCMDイメージセンサの特長を反映して、ハイビジョン用イメージセンサではFITCCDと同等の、最高レベルのスミア抑圧特性が得られた。

5. 3. 4 解像度特性

図5. 10 (a)及び(b)に、本CMDイメージセンサを用いた、テレビジョン学会(ITE)刊行ハイビジョンシステム評価用高精細度解像度チャートの撮像例を示す。



(a)



(b)

図5. 10 ITE高精細度解像度チャート撮像例。(a)全体写真、(b)中央部拡大写真。

撮像時は4000 luxのライトボックス(ビューワー)を使用し、カメラレンズの絞りをF5.6から更に半分絞った状態(F5.6+1/2)に設定した。使用したビューワーの色温度は5100 Kである。いずれの撮像条件においても、カメラからの信号は、所定のガンマ補正済みの映像信号としてモニタに入力している。なお評価ボードにおいては、ガンマ補正の他には、通常のカメラで行われるディテール等の非線形処理は行っていない。又、この撮像実験においては、評価ボードの暗時FPN抑圧機能は使用していない。

図5. 10 (b)は、同図 (a)に示した画角の中央部を拡大撮影した例である。この写真より、水平方向については画素配列から予測されるナイキスト限界解像度である1080 TV本付近まできれいに解像可能である事が分かった。この良好な解像度特性は、3. 2. 1. 節で示した画素間の良好な光アイソレーション特性に基づく。垂直方向については、センサが2行混合のフィールド蓄積モードで動作している為、水平方向と比較してレスポンスは低下しているものの、垂直解像度として800 TV本が得られた。

5. 3. 5 残像特性

残像特性は、8フィールド周期で点滅するLight Emitting Diode(LED)を使って評価した。飽和光量もしくはその半分の光量のLED光を撮像部の中心付近に照射して、当該画素の信号出力をオシロスコープで測定した。リセットゲート電圧を2.0 Vより0.5 Vまで変化させて、残像の光量/リセットゲート電圧依存性を評価した。

その結果、いずれの測定条件においても、入射光の立ち上がり・立ち下がりとも残像出力は信号の検知限界(飽和信号電流の0.1%)以下であった。第1フィールドにおいても残存信号が検出されないゆえ、本イメージセンサでは残像は全く問題のないレベルである。第3章および第4章で解析したリセット動作の評価結果を反映して、CMDイメージセンサでは残像が存在しない事が実証できた。

5. 3. 6 光電変換特性

本イメージセンサの光電変換特性の測定結果を図5. 11に示す。測定に使用したイメージセンサの動作条件は5. 2. 4節に記述した。測定には色温度5100 Kのビューワーを用いた。光量はITE高精細度グレースケールチャートとNDフィルターを使用して変化させた。

この図より、光電変換特性は良好な線形性(リニアリティ)を有する事が分かる。飽和信号電流及び飽和板面照度は、それぞれ、 $28 \mu\text{A}/\text{画素}$ 及び 76 lx となった。これより、感度は $370 \text{ nA}/(\text{lx}\cdot\text{画素})$ と算出できる。3. 3節での信号増幅度の評価結果(約17倍の増幅率)と同様、CMDイメージセンサは内部増幅型撮像素子である事を反映して、CCDより1桁程度大きな信号電流が得られた。

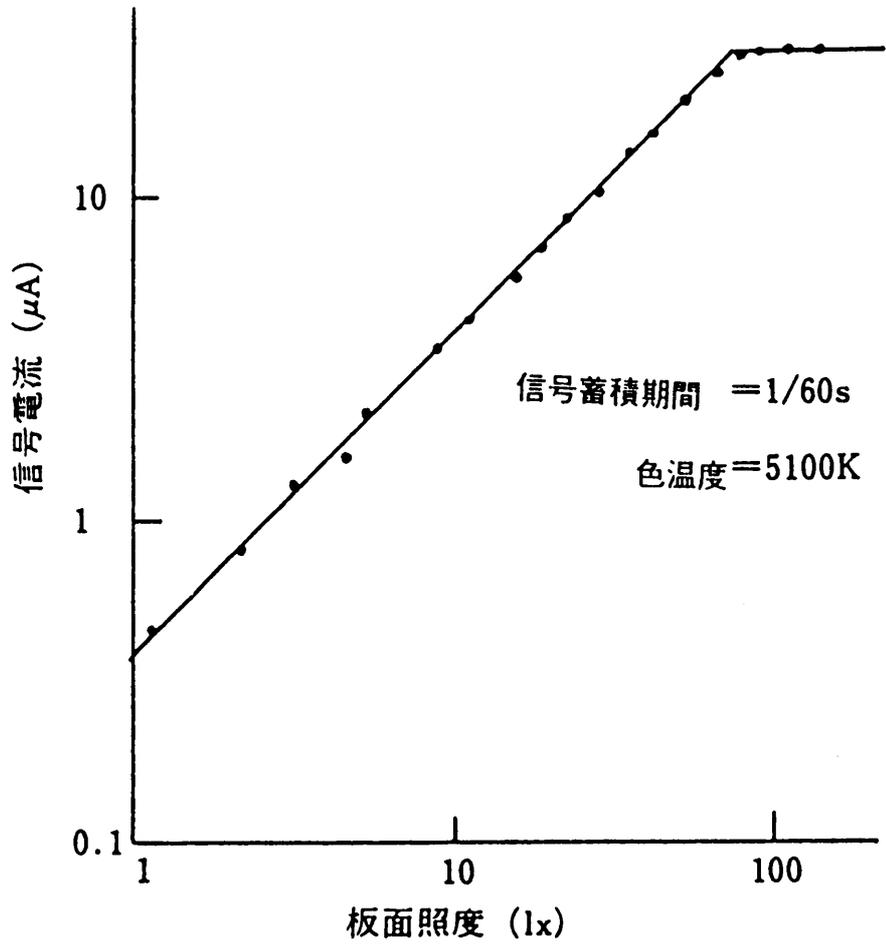


图 5. 1 1 光电变换特性

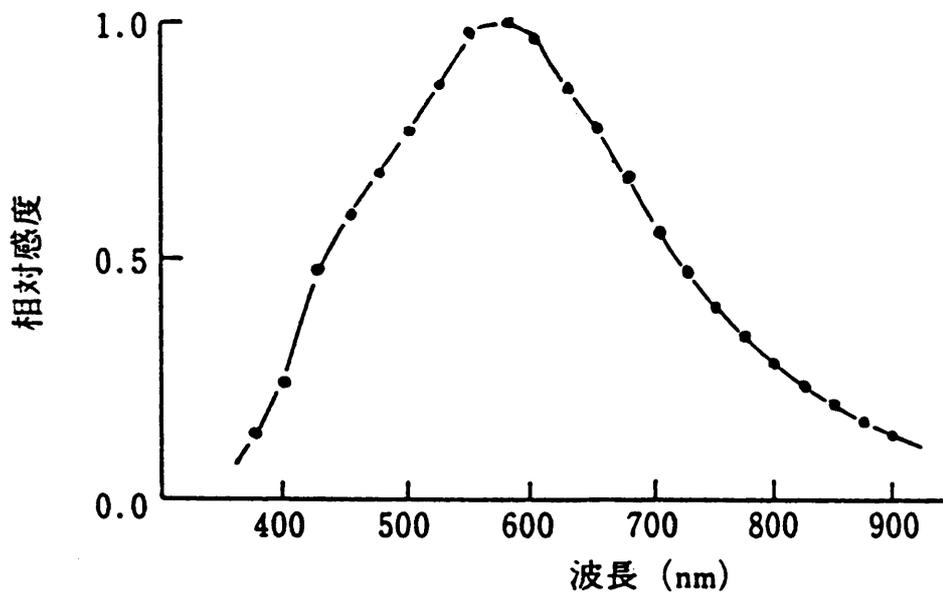


图 5. 1 2 分光感度特性

5. 3. 7 分光感度特性

分光感度特性の測定結果を図5. 12に示す。この測定結果から、相対感度のピーク波長は約550 nmである事、さらに、人間の比視感度に近い分光感度分布を有する事が確認できた。第3章で詳述した様に、この分光感度分布の特徴は、CMDの上部構造膜に於ける多結晶シリコンゲート電極の膜厚を75 nm付近に最適化した事に起因する。

5. 3. 8 雑音特性

CMDイメージセンサの雑音は、増幅型撮像素子に特有の画素間の変調(増幅)特性のバラツキに起因する固定パターン雑音(Fixed Pattern Noise:FPN)と、暗電流のショット雑音等に起因するランダム雑音(Random Noise:RN)に大別できる。このうち、本イメージセンサの固定パターン雑音はシェーディング状の分布を有し、その大きさは飽和出力に対して約7 %_{P-P}である事が分かった。CMDイメージセンサの固定パターン雑音は、素子の製造工程で発生するCMDのゲート長のばらつきにより生じるソース電流-ゲート電圧特性の変動に起因しており、約7 %_{P-P}の出力変動はCMDのゲート長が撮像面内で約2 %変動する事に対応する[11]。本イメージセンサのFPNは、図5. 7を用いて説明した評価ボードにより除去可能である。

次に本イメージセンサのランダム雑音を評価した。まず、上記FPNを評価ボードにより除去した後、プリアンプ出力を10倍に増幅し、最後にA/D変換器に入力した。この状態でのノイズレベルをノイズメーターで測定した。評価ボード固有のランダムノイズは-65.2 dBであり、他方、CMD装着時の評価ボード出力のランダムノイズは-63.7 dBとなった。2つのランダムノイズの二乗差の平方根から計算される-69 dBが、本イメージセンサに固有のランダムノイズとなる。

試作したイメージセンサの常温における暗電流値は、第3章で示した様に 126 pA cm^{-2} であった。一方、本イメージセンサの消費電力の測定結果から、実動作での素子温度の上昇は約20 °Cと算出された。この素子温度の上昇に伴う暗電流の増加は、3. 2. 2節で解析した暗電流の温度特性を用いて求められ、計算の結果、1/60秒の蓄積期間で画素に蓄積される暗電流起因の正孔は26個となった。この蓄積正孔数の揺らぎによって発生する暗電流起因のランダムノイズは、飽和蓄積正孔量が 6.9×10^4 個である事から82 dBと算出される。したがって暗電流は、本イメージセンサのランダムノイズの主因にはなり得ない。HDTV用CMDイメージセンサのランダムノイズの主因については、現在検討中である。

5. 4 まとめ

表5. 4に、今回試作した200万画素CMDイメージセンサの評価結果をまとめた。

水平解像度	1000TV本
垂直解像度	800TV本
飽和板面照度	76Lux
飽和信号電流	28 μ A/pixel
消費電力	206mW
スミアレベル	-123dB
残像	<0.1%
γ	$\simeq 1$
FPN	7% _{p-p}
RN	(-69dB) ← -63.7dB

表5. 4 1インチ200万画素CMDイメージセンサの評価結果

当初の目論み通り、CMDイメージセンサの消費電力は206 mWと小さく、ハイビジョン用イメージセンサに於いてはCCDイメージセンサと比較して1桁近く低消費電力である事、スミア等の偽信号に対し-123 dBという良好な抑圧特性を有する事を実証した。加えて、ナイキスト限界に等しい高解像度特性が得られる事を明らかにした。更に、CMDイメージセンサは内部増幅型であることを反映して、飽和信号電流が28 μ A/画素、感度が370 nA/lxとCCDイメージセンサに比べて約1桁大きい事も検証した。また、CMDイメージセンサでは残像が検知限界(0.1%)以下である、あるいは比視感度分布に近い分光感度特性を有する、さらには良好な信号のリニアリティーを有する、という特長も実験により明らかとなった。

以上の評価結果より、所期の目的どおり高解像度撮像分野におけるCMDイメージセンサの特長とその優位性が達成できた。つまり、第2章～第4章で詳述したCMDおよびCMDイメージセンサの設計法が正しく、CMDイメージセンサが実用上有効である事が明らかにできた。特にCMDイメージセンサの低消費電力性は、発熱が少なくできるゆえ、高密度実装を適用した小型カメラを実現する際の実用的な特長となる。将来、固体撮像素子の応用範囲が広がるにつれ、撮像素子にはさらなる高解像度化や高感度化あるいは高速動作化が要求されると予想される[12]。今後、本論文で検証したCMDイメージセンサの数々の特長を最大限活用し、超高解像度イメージセンサや多機能イメージセンサの開発を行う予定である。

CMD撮像素子に固有の欠点は、3. 2. 2節で詳述した暗電流が大きい事と、5. 3. 8節で述べた暗時固定パターン雑音の存在である。特に、その時間的ゆらぎが回路的には除去不能な暗電流は、撮像素子の冷却により低減可能である[13, 14]が、CMD撮像素子の製法改善による一層の暗電流低減を現在検討中である[15]。

参考文献

- [1] 放送技術開発協会 「1125/60 高精細度テレビジョン方式スタジオ規格」
BTA S-001 (1987)
- [2] T. Nakamura and K. Matsumoto, "Present Status and Future Prospects of
CMD Image Sensor," OPTOELECTRONICS, Devices and Technologies, vol. 6,
no.2, pp. 261-277, Dec., 1991
- [3] T. Nakamura and K. Matsumoto, "Active Pixel Image Sensors: Recent
Development of the CMD," in SAIT Tech. Dig. pp. 70-79, Nov., 1991
- [4] 緒方、中島、日向、太田、中村；"1インチ200万画素CMDイメージセンサ"
テレビジョン学技報、vol. 16, no. 18, pp. 43-48, 1992
- [5] 松本；"高解像度CMDイメージセンサ" センサ技術1992年増刊号、pp. 229-232
- [6] 中島；"新固体撮像素子1インチ200万画素CMDの開発"
映像情報(☒)、1992年5月号、pp. 39-44
- [7] 緒方；"HDTV対応の200万画素1インチCMDイメージセンサ"
センサ技術、1992年6月号、vol. 12, no. 7, pp. 51-55
- [8] 森田；"オリンパス、ハイビジョン対応CMDイメージセンサL4C8100"
ビデオa、June 1992, pp. 87-90
- [9] 森 ；"ニュータイプの固体撮像素子CMDのインパクト"
エレクトロニクス、1992年7月号、pp. 25-28
- [10] 中島、森、日向、松本、中村、"1インチ200万画素CMDイメージセンサ"、
テレビジョン学会誌、vol. 47、no. 2、pp. 219-225、1993
- [11] K. Matsumoto, I. Takayanagi, T. Nakamura, R. Ohta, "The Operation
Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans.
Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991

- [12] 中村、松本、野本、”CMD撮像素子－高解像度化への取り組み－”、
テレビジョン学会誌、vol. 50、no. 2、pp. 251-256、1996
- [13] K. Matsumoto, H. Yurimoto, K. Kosaka, K. Miyata, T. Nakamura, S. Sueno,
” A Novel Ion Imager for Secondary Ion Mass Spectrometry,” IEEE Trans.
Electron Devices, vol. ED-40, no. 1, pp. 82-85, Jan. 1993
- [14] 坂本、松本、”粒子線検出用二次元固体撮像素子,”
Bunseki Kagaku, vol. 45, no. 6, pp. 493-500, Jun. 1996
- [15] M. Katashiro, K. Matsumoto, R. Ohta, ” Analysis and Application of
Hydrogen Supplying Process in Metal-Oxide-Semiconductor Structures,”
Submitted to Journal of Electrochemical Society.

筆者らは、現状の高解像度用CCDイメージセンサが抱える大消費電力やスミア特性の劣化および感度の低下などの問題点が克服可能な増幅型撮像素子：CMDイメージセンサを提案した。本論文では実用的なHDTV用CMDイメージセンサを開発し高解像度CMDイメージセンサの特長を実証する為、CMDの動作特性を定量的に解析し、さらに動作理論を確立した。また、理論あるいはシミュレーション解析により、画素寸法の縮小化や動作速度等の項目におけるCMDの限界特性を明らかにした。最後に、高解像度CMDイメージセンサの設計論を確立し、これに基づき1インチ200万画素CMDイメージセンサを設計した。そしてその撮像特性の評価を通して、高解像度CMDイメージセンサの優位性を立証した。以下に、本論文の研究により得られた成果を項目毎に要約する。

高解像度CCD固体撮像素子の問題点分析とCMDイメージセンサの提案

まず、代表的な固体撮像素子であるCCDイメージセンサを高解像度化した場合に生じる問題点を分析した結果、ハイビジョン用CCDイメージセンサには、消費電力の増大とスミア特性の劣化という問題点がある事を抽出した。さらにこれらの問題点は、CCDの構成や動作機構そのものに起因する事を明らかにした。そこで高解像度CCDイメージセンサが有する問題点を解消する為、X-Yアドレス方式により信号を選択し、かつ、画素部で信号を増幅する、新たな増幅型イメージセンサ：電荷変調素子（Charge Modulation Device：CMD）イメージセンサを提案した。

CMDのデバイス構造および動作原理の解析

CMDの受光部となるMOSゲート電極を、ソース領域を囲むように形成した。またゲート電極の外側に、全てのCMDに共通のドレイン領域を形成した。CMDのドレイン部が画素間の分離領域を兼ね、またソース電流を変調するゲート電極が受光部を兼ねる、さらに基板が蓄積正孔の排出領域とオーバーフロー領域を兼ねる、という構造的な特長により、CMDのデバイス寸法の縮小化が容易になった。例えば7 μm □の平面寸法を有するCMDは、1.2 μm の緩いデザインルールで形成できる事を明らかにした。

CMDの電流電圧特性の測定結果から、バルク伝導モードでは平衡状態と非平衡状態で大きく電流値が異なり、この動作よりCMDは光検出が可能である事を実証した。続いてCMDのデバイス内電位分布図を用いて、バルク中では電位鞍点が存在する電位分布となっており、この鞍点電位がソースドレイン電流を制御する、という動作原理を明らかにした。

続いてシミュレーションによる光信号蓄積状態と電流読みだし状態及びリセット状態の

電位分布を示し、これらの分布図を用いてCMDに於ける光電変換動作の原理とその特徴が抽出できた。1つのCMDで撮像素子の画素に要求される全ての動作が可能であり、高解像度イメージセンサ用の画素に適する事、CMDは高解像度イメージセンサに必須の高速動作特性を有する事等を明らかにした。最後にシミュレーションを使い、CMDのデバイス寸法の縮小限界を考察した結果、縮小限界は有効光電変換層の厚さの減少で決まり、その値は約 $2 \mu\text{m}$ である事を明らかにした。

CMDイメージセンサの基本動作および画素設計

実験とシミュレーションあるいは理論を対比しながら、CMDの光電変換特性を定量的に解析し、その動作理論を解明した。さらに画素構造の最適化が可能になった。

受光部表面の多結晶シリコンゲート電極の厚さを75 nm、有効光電変換層の厚さを1.6 μm に設定した事により、CMDの分光感度特性が比視感度特性に近い形に最適化できた。CMDの光感度分布はゲート電極の平面形状と一致し、この結果からCMDの開口率は約30 %となる事が分かった。またゲート電極の光透過率と開口率等から計算可能な量子効率を量子効率の実験結果と比較した結果、良好な一致が得られ、計算の妥当性が検証できた。

次に、CMDの正孔蓄積能力を実験的に評価できる新たな手法を考案し、この手法により正孔蓄積能力が把握できた。続いて、信号読み出し状態に於ける電流-電圧特性や光電変換特性の解析的な表現を得た。この表現に基づき、蓄積正孔による電流変調度や電流増幅率などを詳細に評価した結果、ハイビジョン規格の74.25 MHzという高速なデータレートにおいても、CMDは16以上の電流増幅率で出力可能な事を明らかにした。さらに飽和正孔量、及び、暗電流による信号のダイナミックレンジを評価した結果、7 μm CMDの飽和正孔量とダイナミックレンジは、各々、 7×10^4 個、及び88 dBと良好な値である事を検証した。最後に、5~10 μm CMDのリセット動作を実験により評価した結果、30 n秒という短時間でリセット動作が終了する事が実証できた。

CMDイメージセンサの構成と動作速度解析

CMD撮像素子における光電変換の動作サイクルを詳述し、次に、信号蓄積、読み出し、リセット、オーバーフローの各動作に割り当てられる動作期間をまとめた。CMDの各状態間の遷移に必要な時間は400 p秒以内である事、CMDのリセット動作は10 n秒程度で終了し高速である事、オーバーフロー動作は100 n秒以内に終了する事などを計算により明らかにした。これらの動作速度の解析結果から、高速動作が要求される200万画素HDTVイメージセンサの画素にも、CMDは充分対応可能である事が分かった。

また、CMDイメージセンサは増幅型撮像素子である事を反映して、飽和光量の500倍の光

入射で-60 dB(対飽和出力)という良好なスミア抑圧能力を有する事を、実験と計算により実証した。さらに、CMDイメージセンサのスミアは、蓄積状態の画素から流れ出るソース電流が主因である事を明らかにした。

高解像度CMDイメージセンサの撮像特性

1インチ光学系に対応するハイビジョン用CMD撮像素子を試作・評価した。先ず、高解像度CCDイメージセンサで問題となっていた消費電力の低減とスミア抑圧特性の向上に着目した、高解像度CMDイメージセンサの設計論を確立した。

続いて、試作したハイビジョン用CMD撮像素子の特性を評価した結果、消費電力については、ハイビジョン用CCDイメージセンサと比べて1桁程度小さい206 mWである事が分かった。また、-123 dBという良好なスミア抑圧特性が実現できた。その他、1000 TV本の良好な解像度が得られ、また、370 nA/lxという高感度が達成された。さらに、比視感度特性に類似の分光感度特性も実現でき、残像が検出限界以下である事も確認できた。これらの評価結果より、高解像度撮像分野に於けるCMDイメージセンサの数々の特長とその優位性が証明でき、期初の目的どおり実用的な高解像度/高速CMDイメージセンサが実現可能である事が実証できた。

固体撮像素子に対する特性の改善や、新規機能の追加の要求は尽きる事がない。デバイス寸法の縮小容易性や高速動作特性、低スミア特性及び低消費電力等、幾多の特長を有するCMDイメージセンサは、次世代の高解像度/高速撮像素子の実現にとって有望な撮像素子となろう。今後、CMDイメージセンサの特長を生かし、固体撮像素子の新たなフィールドの開拓を目指したい。又、本論文では省略したが、CMDの非破壊信号読みだし機能やX-Yアドレス手段は、撮像素子のインテリジェント化に於いても重要な役割を果たすと思われる、この方面でのこれからの発展にも期待したい。

A.1.1 序

CMDの光電変換特性やリセット特性等を、実験に先立ち定量的に予測・評価する為には、デバイスシミュレーション技術が必要となる。シミュレーション技術はCMDの限界的なデバイス特性を把握するためにも重要となる。シミュレータを用いてデバイス特性を定量的に評価するには、空間三次元と時間次元を取り入れたシミュレーションが必須である[1]が、このシミュレーションの実行には、膨大な計算時間とメモリ量が必要となり実用的ではない。そこで我々は、CMDがソース部の中心軸に対し対称であるという構造に着目し、時間次元を含む三次元空間を効率良く計算できるCMD用デバイスシミュレータを開発した[2,3,4]。Appendix 1においては、この円筒座標系デバイスシミュレータの数式的な枠組みと本プログラムの構成を詳述し、最後にCMDの電流特性の実験結果と計算結果を比較して、今回開発したシミュレータによりCMDの特性が定量的に計算可能である事を実証する。

A.1.2 基本方程式

電流-電圧特性や分光感度特性あるいはリセット特性等のデバイス特性を数値計算するためには、時間に依存した正孔電流の連続方程式及び電子電流の連続方程式とPoisson方程式を連立させて解く必要がある。空間的な次元は直交座標系を用いて三次元的に計算する事が理想であるが、計算量やメモリ量が膨大になり実用的ではない。そこで我々はCMDの軸対称なデバイス構造に着目して、円筒座標系を用いた空間二次元と時間次元構成のデバイスシミュレータを開発した[2,3,4]。この円筒座標系のシミュレータにより、等価的に空間三次元の非定常計算が可能となる。

電流-電圧特性等は、電位分布： Ψ と電子濃度分布： n 及び正孔濃度分布： p が分かれば計算できる。これら Ψ 、 n 、 p の分布を知るためには、以下に示したPoisson方程式(A.1.1)及び電子と正孔の連続方程式(A.1.2)、(A.1.3)を数値的に解けばよい[5]。

$$\Delta\psi = -\frac{q}{\epsilon}(\Gamma - n + p) = \text{div}\{\text{grad}(\psi)\} \quad (\text{A.1.1})$$

$$\frac{\partial n}{\partial t} = \nabla Jn + G = \text{div}(Jn) + G \quad (\text{A.1.2})$$

$$\frac{\partial p}{\partial t} = -\nabla Jp + G = -\text{div}(Jp) + G \quad (\text{A.1.3})$$

上式で各々、 q は素電荷量	[C]、
ϵ は各材料の誘電率	[F/cm]、
Γ は不純物密度	[cm^{-3}]、
J_n は q で割った電子電流密度	[$\text{cm}^{-2}\text{s}^{-1}$]、
J_p は q で割った正孔電流密度	[$\text{cm}^{-2}\text{s}^{-1}$]、
G は生成-再結合率	[$\text{cm}^{-3}\text{s}^{-1}$]、

を表す。以上(A.1.1)-(A.1.3)の偏微分方程式を、軸対称な場合の円筒座標系で表現すると、以下の(A.1.4)-(A.1.6)式となる[6]。

$$\left(\frac{\partial^2}{\partial r^2} + \frac{\partial}{r\partial r} + \frac{\partial^2}{\partial z^2}\right)\psi = -\frac{q}{\epsilon}(\Gamma - n + p) \quad (\text{A.1.4})$$

$$\frac{\partial n}{\partial t} = \frac{\partial J_{nr}}{\partial r} + \frac{J_{nr}}{r} + \frac{\partial J_{nz}}{\partial z} + G \quad (\text{A.1.5})$$

$$\frac{\partial p}{\partial t} = -\left(\frac{\partial J_{pr}}{\partial r} + \frac{J_{pr}}{r} + \frac{\partial J_{pz}}{\partial z}\right) + G \quad (\text{A.1.6})$$

ここで r は動径方向の座標、
 z は深さ方向の座標、
 J_{nr} は J_n の動径方向成分、
 J_{nz} は J_n の深さ方向成分、
 J_{pr} は J_p の動径方向成分、
 J_{pz} は J_p の深さ方向成分、

を表す。以上の(A.1.1)-(A.1.3)、若しくは(A.1.4)-(A.1.6)を差分化し数値計算する事により、Poisson方程式及び電子と正孔の連続方程式が求積可能となる。

A.1.3 円筒座標系での差分化

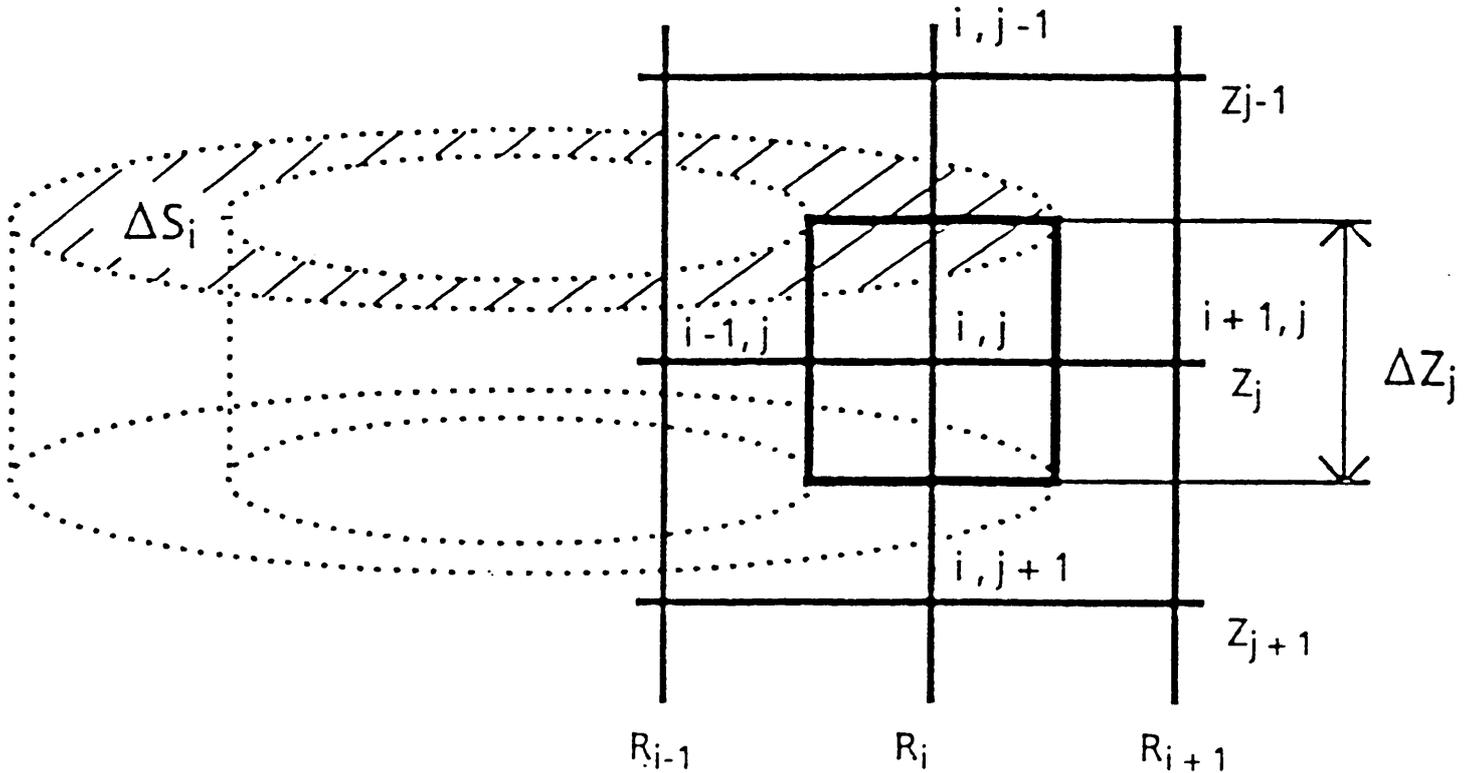
差分化する時の単純性あるいはメッシュ生成の容易性より、ドリフト-拡散型の偏微分方程式を数値解析的に解くシミュレータでは、差分法が最も一般的に使用される[5]。そこで本シミュレータにおいても、差分化には差分法を用いた。

円筒座標系においては、深さ方向を表す z と動径方向を示す r 及び角方向を示す θ が独立座標となる。しかしCMDのような中心軸対称なデバイスでは、全ての物理的なパラメータ

は θ に対して独立となる。つまり、三次元Poisson方程式及び連続方程式を、 z と r の二つの座標のみを用いて解く事が可能となる。

ドリフト-拡散型のデバイスシミュレータにおいては、全ての基本方程式は束密度： F の発散(divergence)として表現できる(基本方程式(A.1.1)-(A.1.3)参照)。そこで円筒座標系に於ける束密度の差分化を次に考察する。

円筒座標系に於けるコントロール体積要素の模式図を図A.1.1に示す。



図A.1.1 円筒座標系に於けるコントロールボリューム

同図において R_i 及び z_j は、各々、メッシュ点 (i, j) に於ける動径方向及び垂直方向の座標値を示す。 $\Delta V_{i,j}$ はメッシュ点 (i, j) に対応するコントロール体積を表す。この体積要素の形はドーナツ型となる。また ΔZ_j 及び ΔS_i は、各々、体積要素の高さ及び底面積を示す。

差分化された解は、以下の式A.1.7に示す様に、束密度： F をコントロール体積の表面にわたって面積分する事で得られる。

$$\int_{\Delta V_{i,j}} \text{div}(F) dV = \Delta Z_j (F'_{r,i,j} - F'_{r,i-1,j}) + \Delta S_i (F_{z,i,j} - F_{z,i,j-1}) \quad (\text{A.1.7})$$

ここで $F_{z,i,j}$ は、メッシュ点 (i, j) と $(i, j+1)$ の中間点における束密度： F の垂直方向成分を表す。

一方、 $F_{r,i,j}$ はメッシュ点 (i, j) と $(i+1, j)$ の中間点における束密度： F の動径方向成分を

表す。式A.1.7の $F'_{r i,j}$ は、 $F_{r i,j}$ を使って式A.1.8の様に表現される。

$$F'_{r i,j} = \pi (R_{i+1} + R_i) F_{r i,j} \quad (\text{A.1.8})$$

式A.1.7及び式A.1.8により、円筒座標系での束密度の差分化が可能となった。

A.1.4 Poisson方程式の差分化

Poisson方程式の差分化では、式A.1.7のFは電束密度：Dを意味する。但し、

$$D = \epsilon E \quad (\text{A.1.9})$$

であり、ここで ϵ は誘電率を、又、Eは電界を表す。

上式の電束密度：Dの垂直成分： $D_{z i,j}$ は、次の様に表せる。

$$D_{z i,j} = -\frac{2 \epsilon_{i,j} \epsilon_{i,j+1}}{\epsilon_{i,j} + \epsilon_{i,j+1}} \frac{\phi_{i,j+1} - \phi_{i,j}}{Z_{j+1} - Z_j} \quad (\text{A.1.10})$$

ここで $\epsilon_{i,j}$ 及び $\phi_{i,j}$ は、メッシュ点(i,j)における誘電率及び電位を表す。式A.1.10から分かる様に、Dが定義される位置はコントロール体積の境界、すなわち、隣合うメッシュ点の中間点となる。このように電位等のスカラー値はメッシュ点で、他方、電界等のベクトル値はメッシュの中間点で定義する。

(i,j)と(i+1,j)の中間点における、電束密度：Dの動径成分： $D'_{r i,j}$ は次式で表される。

$$D'_{r i,j} = 2 \pi r D_{r i,j} = -2 \pi r \epsilon(r) \frac{\partial \phi}{\partial r} \quad (\text{A.1.11})$$

$D'_{r i,j}$ はこの領域で一定と仮定すると、式A.1.11を式A.1.12の形に積分する事により、 $D'_{r i,j}$ は式A.1.13で表現可能となる。

$$D'_{r i,j} \int \frac{1}{r \epsilon(r)} dr = D'_{r i,j} \left(\left[\frac{\ln(r)}{\epsilon(r)} \right]_{R_{i+1/2}}^{R_{i+1}} + \left[\frac{\ln(r)}{\epsilon(r)} \right]_{R_i}^{R_{i+1/2}} \right) = -\int 2 \pi d\phi \quad (\text{A.1.12})$$

より、

$$D'_{r i,j} = -2 \pi \frac{\phi_{i+1,j} - \phi_{i,j}}{\frac{\ln\left(\frac{R_{i+1}}{R_{i+1/2}}\right)}{\epsilon_{i+1,j}} + \frac{\ln\left(\frac{R_{i+1/2}}{R_i}\right)}{\epsilon_{i,j}}} \quad (\text{A.1.13})$$

ここで、

$$R_{i+1/2} = \frac{R_i + R_{i+1}}{2} \quad (\text{A.1.14})$$

である。

以上、A.1.7~A.1.14の展開式を用いると、A.1.1あるいはA.1.4で表されたPoisson方程式は以下のように差分化できる。

$$\begin{aligned} & A_p \phi_{i+1,j} + B_p \phi_{i-1,j} + C_p \phi_{i,j+1} + D_p \phi_{i,j-1} + E_p \phi_{i,j} \\ &= \frac{q}{\varepsilon_{i,j}} (N d_{i,j} - N a_{i,j} + p_{i,j} - n_{i,j}) \Delta S_i \Delta Z_j \end{aligned} \quad (\text{A.1.15})$$

ここで、

$$A_p = 2 \pi \frac{\Delta Z_j}{\frac{\ln\left(\frac{R_{i+1}}{R_{i+1/2}}\right)}{\varepsilon_{i+1,j}} + \frac{\ln\left(\frac{R_{i+1/2}}{R_i}\right)}{\varepsilon_{i,j}}} \quad (\text{A.1.16})$$

$$B_p = 2 \pi \frac{\Delta Z_j}{\frac{\ln\left(\frac{R_i}{R_{i-1/2}}\right)}{\varepsilon_{i,j}} + \frac{\ln\left(\frac{R_{i-1/2}}{R_{i-1}}\right)}{\varepsilon_{i-1,j}}} \quad (\text{A.1.17})$$

$$C_p = \frac{2 \varepsilon_{i,j} \varepsilon_{i,j+1}}{\varepsilon_{i,j} + \varepsilon_{i,j+1}} \frac{\Delta S_i}{Z_{j+1} - Z_j} \quad (\text{A.1.18})$$

$$D_p = \frac{2 \varepsilon_{i,j} \varepsilon_{i,j-1}}{\varepsilon_{i,j} + \varepsilon_{i,j-1}} \frac{\Delta S_i}{Z_j - Z_{j-1}} \quad (\text{A.1.19})$$

$$E_p = - (A_p + B_p + C_p + D_p) \quad (\text{A.1.20})$$

である。また式A.1.15に於いて、 $N_{di,j}$ 、 $N_{ai,j}$ 、 $p_{i,j}$ 、 $n_{i,j}$ は、各々、メッシュ点 (i,j) に於けるドナー濃度、アクセプター濃度、正孔濃度、電子濃度を表す。

A.1.5 電流連続方程式の差分化

電子電流連続方程式の差分化においては、式A.1.7のFは電子電流密度： J_n を意味する。 J_n は、一般的には次式で与えられる[5]。

$$J_n = q \mu_n \{ -n \text{grad}(\phi) + V_t \text{grad}(n) \} \quad (\text{A.1.21})$$

ここで μ_n は電子の移動度、又、 V_t は熱電位を表す。

J_n の垂直成分： $J_{nz_i,j}$ は、 $J_{nz_i,j}$ が (i,j) 点と $(i,j+1)$ 点の間の領域で一定だと仮定し、更に $\partial\phi/\partial z$ もこの領域内で一定と仮定して、式A.1.21のZ方向に対する方程式、

$$J_{nz_i,j} = q \mu_n \left(-n \frac{\partial\phi}{\partial Z} + V_t \frac{\partial n}{\partial Z} \right) \quad (\text{A.1.22})$$

をnについて積分する事により、次の式A.1.23の様に表現できる。なお境界条件は $r=Z_j$ で $n=n_j$ 、 $r=Z_{j+1}$ で $n=n_{j+1}$ とする。この式A.1.23の表現は、GummelとScharfetterによって初めて導出された[7]。

$$J_{nz_i,j} = \frac{q \mu_{nz_i,j} V_t}{Z_{j+1} - Z_j} \left(B \left[\frac{\phi_{i,j+1} - \phi_{i,j}}{V_t} \right] n_{i,j+1} - B \left[\frac{\phi_{i,j} - \phi_{i,j+1}}{V_t} \right] n_{i,j} \right) \quad (\text{A.1.23})$$

式A.1.23に於いて $B[*]$ は、次式で定義されるベルヌイ関数を表す。

$$B[x] = \frac{x}{\exp(x) - 1} \quad (\text{A.1.24})$$

また式A.1.23に於いて、 $\mu_{nz_i,j}$ はメッシュ点 (i,j) と $(i,j+1)$ の間で定義された垂直方向の電子の移動度（モビリティ）を表す。

J_n の動径方向成分： $J_{nr_i,j}$ は、次式で表現できる。

$$J'_{nr_i,j} = 2 \pi q \mu_n r \left(-n \frac{\partial\phi}{\partial r} + V_t \frac{\partial n}{\partial r} \right) \quad (\text{A.1.25})$$

続いて式A.1.23に対応した、式A.1.25の差分化表現を導出する。

z成分の場合と同じく、 $J_n'_{r_i,j}$ は(i,j)点と(i+1,j)点の間の領域で一定と仮定する。またGummelとScharfetterが直交座標系で仮定した様に、円筒座標系においてもこの領域内で $\partial\phi/\partial r$ が一定と仮定する。更に境界条件を、 $r=R_i$ で $n=n_i$ 、 $r=R_{i+1}$ で $n=n_{i+1}$ とする。式A.1.25をnについて変形すると、

$$\frac{\partial n}{\partial r} = \zeta n + \frac{\eta}{r} \quad (\text{A.1.26})$$

となる。ここで式A.1.25及び式A.1.26を比較する事により、式A.1.26中の

$$\zeta = \frac{1}{V_i} \frac{\partial \phi}{\partial r} \quad (\text{A.1.27})$$

$$\eta = \frac{J'_{n,r}}{2 \pi q \mu_n V_i} \quad (\text{A.1.28})$$

となる事がわかる。

微分方程式A.1.26を、nについての係数変化法で解く。先ず、nを

$$n = f \exp(g r) \quad (\text{fはrの関数}) \quad (\text{A.1.29})$$

とおき、式A.1.29をrで微分すると、

$$\frac{\partial n}{\partial r} = \frac{\partial f}{\partial r} \exp(g r) + g n \quad (\text{A.1.30})$$

となる。式A.1.26と式A.1.30を比較すると、

$$g = \zeta \quad (\text{A.1.31})$$

$$\frac{\eta}{r} = \frac{\partial f}{\partial r} \exp(g r) \quad (\text{A.1.32})$$

である事が分かる。次に式A.1.32をfについて解くと、

$$f = \eta \int \frac{\exp(-g r)}{r} dr \quad (\text{A.1.33})$$

となる。この式A.1.33の解は初等関数では表現できず、次の指数積分関数を使って表現さ

れる[8,9]。

$$E_i[x] = \int_{\infty}^{-x} \frac{\exp(-t)}{t} dt \quad (\text{A.1.34})$$

式A.1.33をこの指数積分関数を使って表現すると、

$$f = \eta E_i[-g r] + C \quad (C \text{は定数}) \quad (\text{A.1.35})$$

となる。よって式A.1.29のnは、

$$n = (\eta E_i[-\zeta r] + C) \exp(\zeta r) \quad (\text{A.1.36})$$

となる。r=R_i でn=n_i という境界条件を式A.1.36に代入してCを求めると、

$$C = n_i \exp(-\zeta R_i) - \eta E_i[-\zeta R_i] \quad (\text{A.1.37})$$

となる。また、r=R_{i+1} でn=n_{i+1} という境界条件を式A.1.36に代入すると、

$$n_{i+1} = \{\eta E_i[-\zeta R_{i+1}] + n_i \exp(-\zeta R_i) - \eta E_i[-\zeta R_i]\} \exp(\zeta R_{i+1}) \quad (\text{A.1.38})$$

となる。この式より、

$$\eta = \frac{n_{i+1} \exp(-\zeta R_{i+1}) - n_i \exp(-\zeta R_i)}{E_i[-\zeta R_{i+1}] - E_i[-\zeta R_i]} \quad (\text{A.1.39})$$

が得られる。この式A.1.39で表されたηを式A.1.28に代入する事により、結局、J_{n'}_{r_{i,j}} は次の様に表現できる。

$$J'_{n_{r_i,j}} = 2 \pi q V_i \mu_{n_{r_i,j}} \frac{n_{i+1,j} \exp(-\zeta R_{i+1}) - n_{i,j} \exp(-\zeta R_i)}{E_i[-\zeta R_{i+1}] - E_i[-\zeta R_i]} \quad (\text{A.1.40})$$

ここで式A.1.27より、

$$\zeta = \frac{\phi_{i+1,j} - \phi_{i,j}}{V_i(R_{i+1} - R_i)} \quad (\text{A.1.41})$$

であり、またE_i[x]は前出の様に、

$$E_i[x] = \int_{-\infty}^{-x} \frac{\exp(-t)}{t} dt \quad (\text{A.1.34})$$

で定義される。この指数積分関数は数値的に計算できる [8,9]。さらに式A.1.40に於いて、 $\mu_{nr i, j}$ はメッシュ点 (i, j) と $(i+1, j)$ の間で定義された動径方向の電子の移動度（モビリティ）を意味する。

まとめると、電子電流を垂直方向および動径方向に差分化した結果、式A.1.23および式A.1.40の表現式を得た。正孔電流についても同様に導出する事により、次の関係式が得られる。

$$J_{p_{z i, j}} = \frac{q \mu_{p_{z i, j}} V_t}{Z_{j+1} - Z_j} \left(B \left[\frac{\phi_{i, j+1} - \phi_{i, j}}{V_t} \right] p_{i, j} - B \left[\frac{\phi_{i, j} - \phi_{i, j+1}}{V_t} \right] p_{i, j+1} \right) \quad (\text{A.1.42})$$

$$J'_{p_{r i, j}} = 2 \pi q V_t \mu_{p_{r i, j}} \frac{p_{i+1, j} \exp(\zeta R_{i+1}) - p_{i, j} \exp(\zeta R_i)}{E_i[\zeta R_i] - E_i[\zeta R_{i+1}]} \quad (\text{A.1.43})$$

式A.1.42と式A.1.43が、各々、正孔電流の垂直方向及び動径方向の成分を表現する。

上式で $\mu_{p_{z i, j}}$ と $\mu_{p_{r i, j}}$ は、各々、正孔の移動度の垂直成分と動径方向の成分を表す。

結局、差分化された電子電流連続方程式は以下の様になる。

$$A_E n_{i+1, j} + B_E n_{i-1, j} + C_E n_{i, j+1} + D_E n_{i, j-1} + E_E n_{i, j} = \left(\frac{\partial n_{i, j}}{\partial t} - G_{i, j} \right) \Delta S_i \Delta Z_j \quad (\text{A.1.44})$$

ここで、

$$A_E = 2 \pi q V_t \mu_{nr i, j} \Delta Z_j \frac{\exp(-\zeta R_{i+1})}{E_i[-\zeta R_{i+1}] - E_i[-\zeta R_i]} \quad (\text{A.1.45})$$

$$B_E = 2 \pi q V_t \mu_{nr i-1, j} \Delta Z_j \frac{\exp(-\zeta R_i)}{E_i[-\zeta R_i] - E_i[-\zeta R_{i-1}]} \quad (\text{A.1.46})$$

$$C_E = q \mu_{n_{z i, j}} V_t \Delta S_i B \left[\frac{\phi_{i, j+1} - \phi_{i, j}}{V_t} \right] \quad (\text{A.1.47})$$

$$D_E = q \mu_{n_{z i, j-1}} V_t \Delta S_i B \left[\frac{\phi_{i, j} - \phi_{i, j-1}}{V_t} \right] \quad (\text{A.1.48})$$

$$E_E = -(A_E + B_E + C_E + D_E) \quad (\text{A.1.49})$$

である。

また差分化された正孔電流連続方程式は以下の様になる。

$$A_H p_{i+1,j} + B_H p_{i-1,j} + C_H p_{i,j+1} + D_H p_{i,j-1} + E_H p_{i,j} = \left(-\frac{\partial p_{i,j}}{\partial t} + G_{i,j} \right) \Delta S_i \Delta Z_j \quad (\text{A.1.50})$$

ここで、

$$A_H = 2 \pi q V_t \mu_{p_{r,i,j}} \Delta Z_j \frac{\exp(\zeta R_{i+1})}{E_i[\zeta R_i] - E_i[\zeta R_{i+1}]} \quad (\text{A.1.51})$$

$$B_H = 2 \pi q V_t \mu_{p_{r,i-1,j}} \Delta Z_j \frac{\exp(\zeta R_i)}{E_i[\zeta R_{i-1}] - E_i[\zeta R_i]} \quad (\text{A.1.52})$$

$$C_H = q \mu_{p_{z,i,j}} V_t \Delta S_i B \left[\frac{\phi_{i,j} - \phi_{i,j+1}}{V_t} \right] \quad (\text{A.1.53})$$

$$D_H = q \mu_{p_{z,i,j-1}} V_t \Delta S_i B \left[\frac{\phi_{i,j-1} - \phi_{i,j}}{V_t} \right] \quad (\text{A.1.54})$$

$$E_H = -(A_H + B_H + C_H + D_H) \quad (\text{A.1.55})$$

である。なお式A.1.44と式A.1.50中の $G_{i,j}$ は、メッシュ点(i,j)に於ける生成-再結合率を表す。

数値計算を実行する場合、式A.1.40あるいは式A.1.43の ζ が0に近い値となる時にはオーバーフローが生じる事がある。この時には、式A.1.40あるいは式A.1.43の分母を、以下のように級数展開する事によりオーバーフローが防止できる。

$$E_i[-\zeta R_{i+1}] - E_i[-\zeta R_i] \cong \ln \left(\frac{R_{i+1}}{R_i} \right) + \sum \frac{(-\zeta)^N (R_{i+1}^N - R_i^N)}{N! N} \quad (\text{A.1.56})$$

$$E_i[\zeta R_i] - E_i[\zeta R_{i+1}] \cong \ln\left(\frac{R_{i+1}}{R_i}\right) + \sum \frac{(\zeta)^N (R_i^N - R_{i+1}^N)}{N! N} \quad (\text{A.1.57})$$

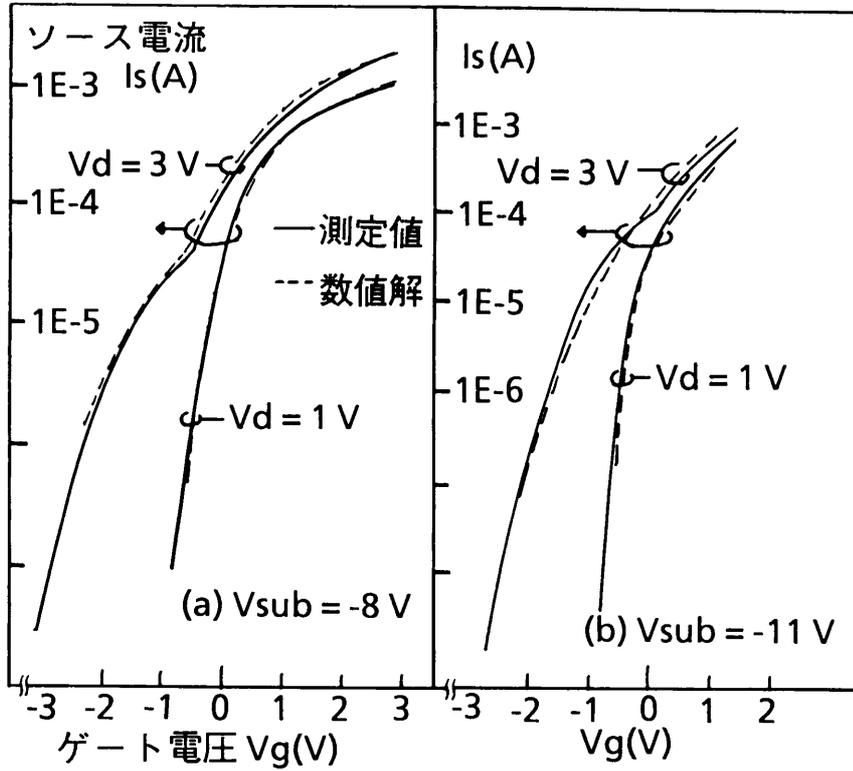
ここでNは、級数展開における次数を表す。

本シミュレーションプログラムのフローチャートとしては、通常のデバイスシミュレーション[5]と同様、先ずPoisson式の収束を実行して、続いて電流連続方程式の収束を行う。電圧値と電流密度の毎回の変動値が計算領域の全体に渡り一定の収束条件以下になった時点で収束計算を終了させ、端子電流等のデバイス特性を計算する。行列解法としてはICCG (Incomplete Choleskii decomposition and Conjugate Gradient)法もしくは ILUBCG(Incomplete LU decomposition Bi-Conjugate Gradient)法を使用している。

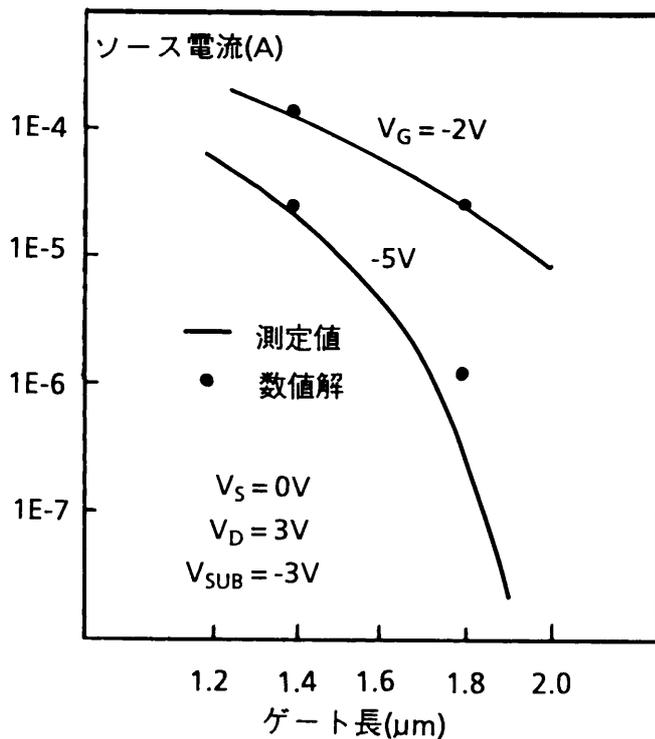
A.1.6 CMDのソース電流の計算結果と測定結果の比較

円筒座標系デバイスシミュレータにより得られた、10 μm \square CMDの非定常状態でのソース電流-ゲート電圧の計算結果を、測定結果とともに図A.1.2に示す[3]。基準電位であるソース電位(0 V)以外の全てのバイアス、つまり、ドレイン電位と基板電位及びゲート電位を変化させてソース電流を比較したが、いずれの条件においても計算値と測定値は良く一致した。

構造パラメータの中で最も重要なパラメータであるCMDのゲート長を変化させた場合の、非定常状態でのソース電流の計算結果を実験結果とともに図A.1.3に示した。この図においても、ソース電流の測定結果と計算結果は良く一致した。

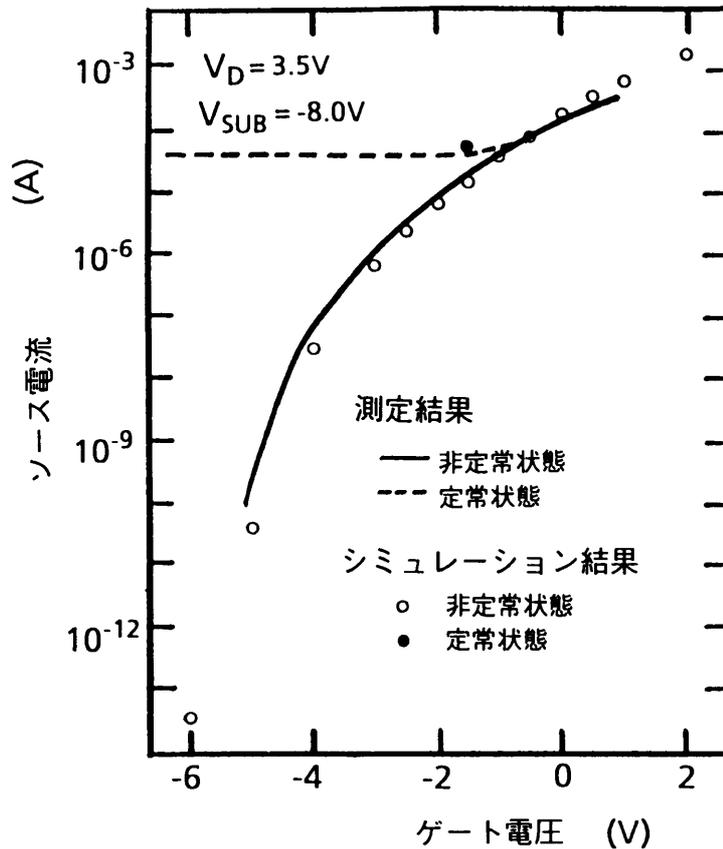


図A.1.2 10 μm \square CMDの電流電圧特性の計算結果（破線）及び測定結果（実線）
ドレイン電圧: V_d がパラメータ。左図は基板電位が-8 V, 右は-11 Vの場合。



図A.1.3 ソース電流-ゲート長特性の計算結果（黒点）及び測定結果（実線）

CMDイメージセンサの代表的な駆動バイアス条件[10]である、ソース電圧=0 V、ドレイン電圧=3.5 V、基板（バックゲート）電圧=-8.0 Vの固定電位に於ける、10 μm □CMDのソース電流-ゲート電圧特性を図A.1.4に示す[4]。



図A.1.4 10 μm □CMDのソース電流-ゲート電圧特性の測定結果及び計算結果

正孔が酸化膜/シリコン界面に存在しない非定常状態での測定結果を実線で、一方、飽和量の正孔が酸化膜界面に存在する定常状態での測定結果を破線で示す。非定常状態及び定常状態の、シミュレーションによる計算結果を白丸及び黒丸で示した。

両状態とも、実験結果と計算結果は良く一致する。例えば、ゲート電位が信号読みだしゲートバイアスである-1.5 Vの場合、非定常状態では測定結果が17 μA のソース電流であるのに対して計算結果は16 μA の値が得られ、一方、定常（飽和）状態では測定結果が44 μA であるのに対して計算結果は51 μA の値を得た。

A.1.7 まとめ

円筒座標系を使用したデバイスシミュレータを新たに開発した。円筒座標系を用いた場合のポアソン式と連続方程式の差分法による差分化手法を導出した。そしてバイアス条件や構造パラメータを変化させて、CMDのソース電流の計算値と測定値を比較した。その結果、今回新たに開発した円筒座標系デバイスシミュレータは、CMDの特性解析や特性予測

に充分使用可能である事を明らかにした。本デバイスシミュレータの開発により、CMDのデバイス特性を、実用的な計算時間内で定量的に計算する事が可能となった。

参考文献

- [1] A. Yoshii, H. Kitazawa, M. Tomizawa, S. Horiguchi and T. Sudo, "A Three-Dimensional Analysis of Semiconductor Devices," IEEE Trans. Electron Devices vol. ED-29, no. 2, pp. 184-189, 1982
- [2] T. Yamamoto, T. Nakamura and Y. Oh-ishi, "Analysis of MOS Phototransistor Operation by 2-D Simulation Using Cylindrical Coordinates," IEDM Dig. Tech. Papers, pp. 644-647, Dec., 1987
- [3] 松本、高柳、太田、酒井、日向、中村、緒方、森、大石、" デバイスシミュレータ TRINEによるCMD動作解析、" テレビ年大、2-12、pp. 35-36、1989
- [4] K. Matsumoto, I. Takayanagi, T. Nakamura and R. Ohta, "The Operation Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991
- [5] C. M. Snowden: Introduction to Semiconductor Device Modelling (World Scientific, Singapore, 1986) Chapter 2, pp.14-36
- [6] マージナウ・マーフィー：物理と化学のための数学 ☒ 改訂版 (共立全書、1978) 第5章、pp. 187-212
- [7] D. L. Scharfetter and H. K. Gummel, "Large-Signal Analysis of a Silicon Read Diode Oscillator," IEEE Trans. Electron Devices, Vol. ED-16, pp. 64-77, 1969
- [8] W. J. Cody and C. H. Thacher Jr., "Rational Chebyshev Approximation for the exponential integral $E_1(x)$," Math. of Comput., vol. 22, pp. 641-649, 1968
- [9] W. J. Cody and C. H. Thacher Jr., "Chebyshev Approximation for the exponential integral $E_1(x)$," Math. of Comput., vol. 23, pp. 289-303, 1969
- [10] M. Ogata, T. Nakamura, K. Matsumoto, R. Ohta and R. Hyuga, "A Small Pixel

CMD Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp.
1005-1010, May 1991

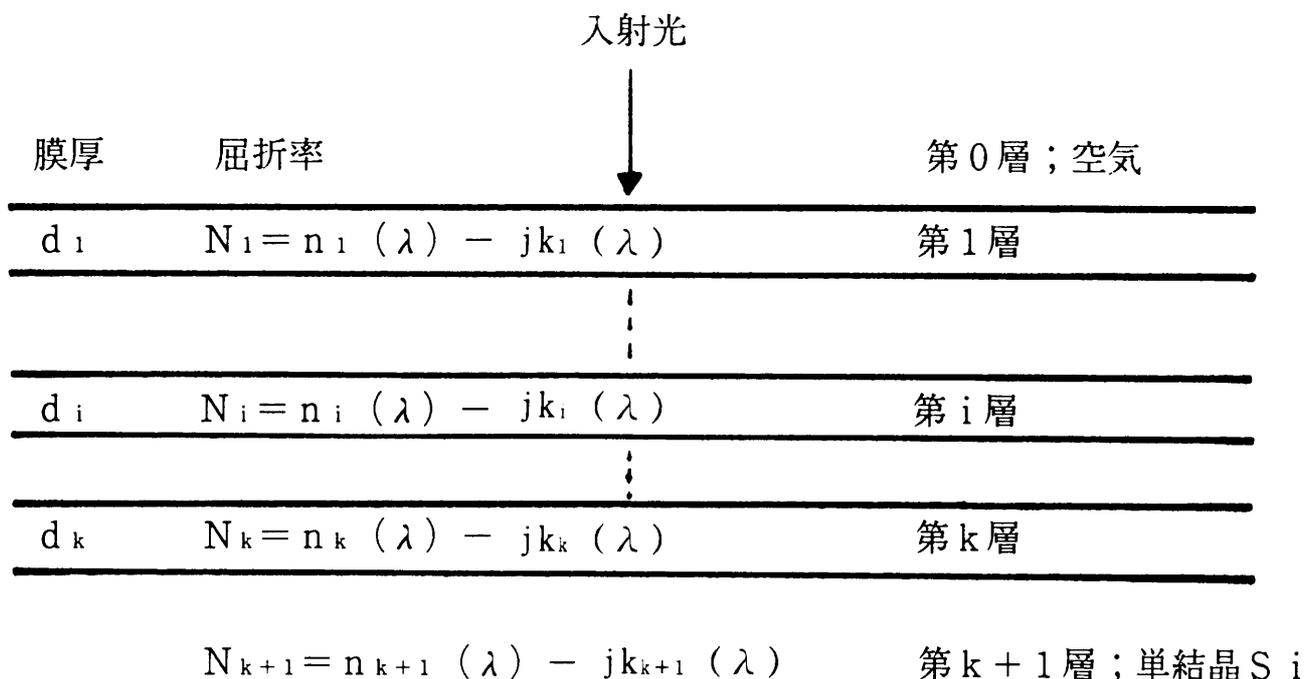
A.2.1 序

CCDあるいはCMD等の撮像素子の設計及び評価に於いては、デバイスの電気的な特性と同様に光学特性が重要となる。特にCMDでは受光部をMOS型ホトダイオードで構成するため、ゲート電極で入射光の一部が吸収される。このため、CMDの上部構造膜の構成及びその膜厚には十分な注意を払い、可能な限り上部構造膜での光吸収と反射を低下させ、量子効率の向上を図る事が重要となる。

CMDの上部構造膜を実験のみに基づき最適化するには多大の時間がかかる。他方、シミュレーション等を活用して予め理論的に最適条件の目処をつけておけば、開発効率が格段に向上する。このため今回、CMDの上部構造膜に於ける光透過率と反射率及び吸収率を計算するプログラムを作成した。Appendix 2では計算手法を詳述した後、シミュレータの検証を行い、最後に応用として本シミュレータによりCMDの光収集効率の特性限界を検討する。

A.2.2 計算方法

多層薄膜の光学特性を求める方法は、すでに各種提案されている[1,2]。この内、コンピュータを用いた計算手法に適する電磁気学的解法を使用して光学特性を計算した[3]。プログラム作成の際に念頭に置いた、CMDの多層薄膜の断面構造を図A.2.1に示す。



図A.2.1 CMDの多層薄膜の断面構造

図A.2.1に示した様に、デバイス上部の空気層を第0層とする。又、単結晶シリコン基板を第(k+1)層とする。すなわち、空気より単結晶シリコンに入射する光が、異なるk層よりなる多層薄膜 (SiO₂膜, Si₃N₄膜, 多結晶シリコン膜、etc.,) で多重干渉作用や吸収作用を受けながら通過する場合を計算する。

第1層～第k層の膜厚をd_iで表す。又、第0層～第(k+1)層の複素屈折率;N_i(λ)を

$$N_i(\lambda) = n_i(\lambda) - j k_i(\lambda) \quad (\text{A. 2. 1})$$

とする。一般的には物質の複素屈折率は入射光の波長; λに依存する。しかし空気(air)やSiO₂膜及びSi₃N₄膜では、可視光の範囲に於いて複素屈折率は入射光の波長に依存せず、以下の様な一定の値を取る。さらに光吸収は無く屈折率は実部のみとなる[4]。

$$N_{\text{air}} = 1.0, \quad N_{\text{SiO}_2} = 1.46, \quad N_{\text{Si}_3\text{N}_4} = 2.00.$$

ゲート電極の材料である多結晶シリコン[5]及び基板を構成する単結晶シリコン[6]の、入射光の波長に対する複素屈折率を表A.2.1に示す。これらの複素屈折率に基づき光学特性を計算する。

波長 (nm)	多結晶Si n	多結晶Si k	単結晶Si n	単結晶Si k
400.000	5.510	0.452	5.550	0.384
410.000	5.350	0.380	5.350	0.326
420.000	5.190	0.311	5.150	0.273
430.000	5.030	0.248	4.970	0.224
440.000	4.890	0.193	4.810	0.181
450.000	4.760	0.149	4.670	0.146
460.000	4.650	0.120	4.560	0.120
470.000	4.540	0.102	4.470	0.101
480.000	4.460	0.091	4.400	0.887
490.000	4.380	0.085	4.350	0.080
500.000	4.310	0.081	4.300	0.073
510.000	4.250	0.076	4.250	0.067
520.000	4.190	0.071	4.210	0.061
530.000	4.140	0.064	4.170	0.055
540.000	4.100	0.058	4.130	0.050
550.000	4.060	0.052	4.100	0.045
560.000	4.030	0.048	4.060	0.040
570.000	4.000	0.044	4.030	0.036
580.000	3.970	0.041	4.000	0.032
590.000	3.940	0.038	3.970	0.029
600.000	3.920	0.036	3.950	0.026
610.000	3.900	0.034	3.930	0.023
620.000	3.880	0.032	3.900	0.021
630.000	3.850	0.030	3.880	0.019
640.000	3.830	0.028	3.870	0.018
650.000	3.810	0.026	3.850	0.016
660.000	3.790	0.025	3.830	0.016
670.000	3.770	0.024	3.820	0.015
680.000	3.750	0.023	3.810	0.014
690.000	3.740	0.022	3.800	0.013
700.000	3.720	0.021	3.780	0.013

表A.2.1 単結晶シリコン及び多結晶シリコンの複素屈折率

上部構造膜の光学特性は、次式に示した2行2列の行列： $M_i(\lambda)$ の積を計算する事により算出できる[2]。

$$\mathbf{M}(\lambda) = \prod_i^k \mathbf{M}_i(\lambda) \quad (\text{A. 2. 2})$$

ここで式A. 2. 2中の $M_i(\lambda)$ は、次式で定義される2行2列の行列である。

$$\mathbf{M}_i(\lambda) = \begin{pmatrix} \cos\left(\frac{2\pi N_i(\lambda) d_i}{\lambda}\right) & \frac{j}{N_i(\lambda)} \sin\left(\frac{2\pi N_i(\lambda) d_i}{\lambda}\right) \\ j N_i(\lambda) \sin\left(\frac{2\pi N_i(\lambda) d_i}{\lambda}\right) & \cos\left(\frac{2\pi N_i(\lambda) d_i}{\lambda}\right) \end{pmatrix} \quad (\text{A. 2. 3})$$

但し、 $j^2 = -1$ である。式A. 2. 2を用いて計算された $M(\lambda)$ の行列要素を

$$\mathbf{M}(\lambda) = \begin{pmatrix} m_{11}(\lambda) & m_{12}(\lambda) \\ m_{21}(\lambda) & m_{22}(\lambda) \end{pmatrix} \quad (\text{A. 2. 4})$$

とすると、エネルギー透過率： $T(\lambda)$ 、エネルギー反射率： $R(\lambda)$ 、エネルギー吸収率： $A(\lambda)$ は以下の形で計算できる[2]。

$$T(\lambda) = \left| \frac{2 N_0(\lambda) N_{k+1}(\lambda)}{N_0(\lambda) m_{11}(\lambda) + N_0(\lambda) N_{k+1}(\lambda) m_{12}(\lambda) + m_{21}(\lambda) + N_{k+1}(\lambda) m_{22}(\lambda)} \right|^2 \quad (\text{A. 2. 5})$$

$$R(\lambda) = \left| \frac{N_0(\lambda) m_{11}(\lambda) + N_0(\lambda) N_{k+1}(\lambda) m_{12}(\lambda) - m_{21}(\lambda) - N_{k+1}(\lambda) m_{22}(\lambda)}{N_0(\lambda) m_{11}(\lambda) + N_0(\lambda) N_{k+1}(\lambda) m_{12}(\lambda) + m_{21}(\lambda) + N_{k+1}(\lambda) m_{22}(\lambda)} \right|^2 \quad (\text{A. 2. 6})$$

$$A(\lambda) = 1 - T(\lambda) - R(\lambda) \quad (\text{A. 2. 7})$$

上部構造膜を $T(\lambda)$ の割合で通過した入射光が単結晶シリコンに入射し、CMDの光電変換層で吸収される時の割合： $Total(\lambda)$ は、ランバート則[4]に基づき次式で計算できる。

$$Total(\lambda) = T(\lambda) \left\{ 1 - \exp\left(-\frac{4\pi k_{Si}(\lambda) x}{\lambda}\right) \right\} \quad (\text{A. 2. 8})$$

ここで x は、CMDの有効光電変換層の厚さを表す。

A. 2. 3 プログラムの検証

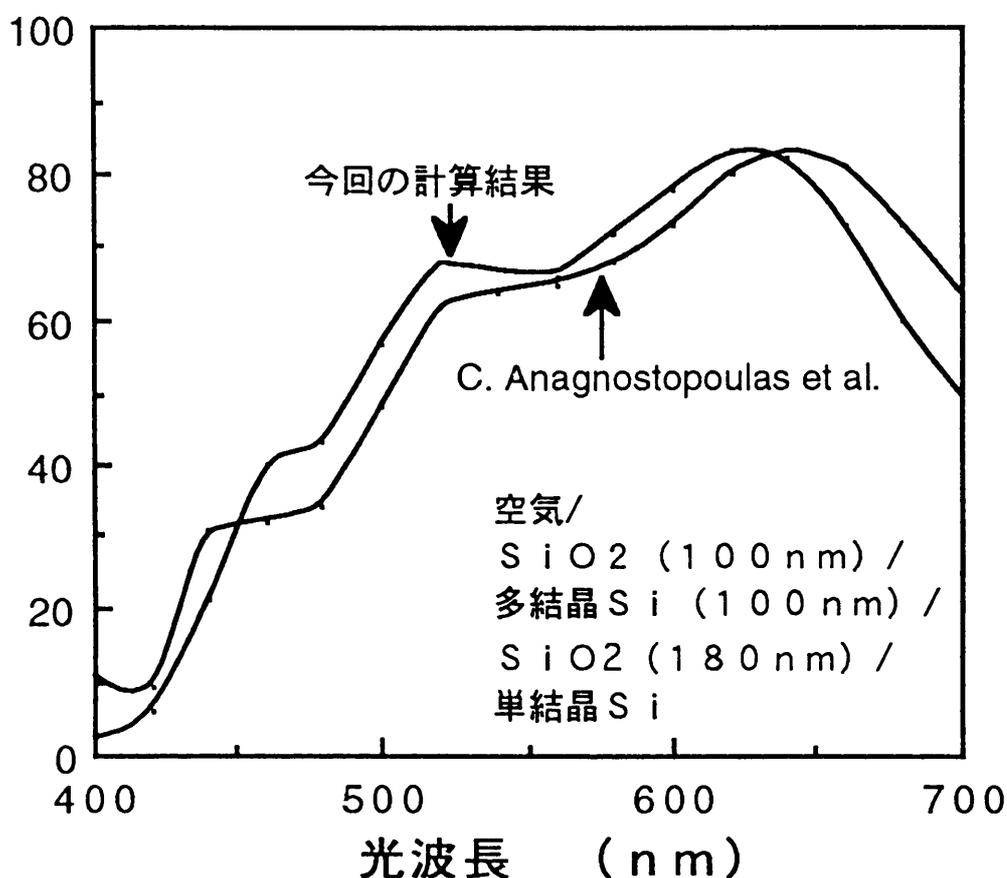
C. Anagnostopoulosらによる計算結果[7]との比較

MOSホトダイオード構造を有するCCDの光学特性の解析結果が、文献[7,8]に報告されている。本節においては、C. Anagnostopoulosらによる計算結果[7]と、今回開発したシミュレータによる計算結果を比較し、今回の計算プログラムの正しさを検証する。

C. AnagnostopoulosらはFrame Transfer CCDの分光感度を検討する為に、

空気/SiO₂(100 nm)/多結晶シリコン(100 nm)/SiO₂(180 nm)/単結晶シリコン

よりなる多層膜構造の光透過率を計算した[7]。そこで、同一の構造を持つ多層膜の光透過率を、今回作成したプログラムを用いて計算した。計算結果を図A. 2. 2に示す。



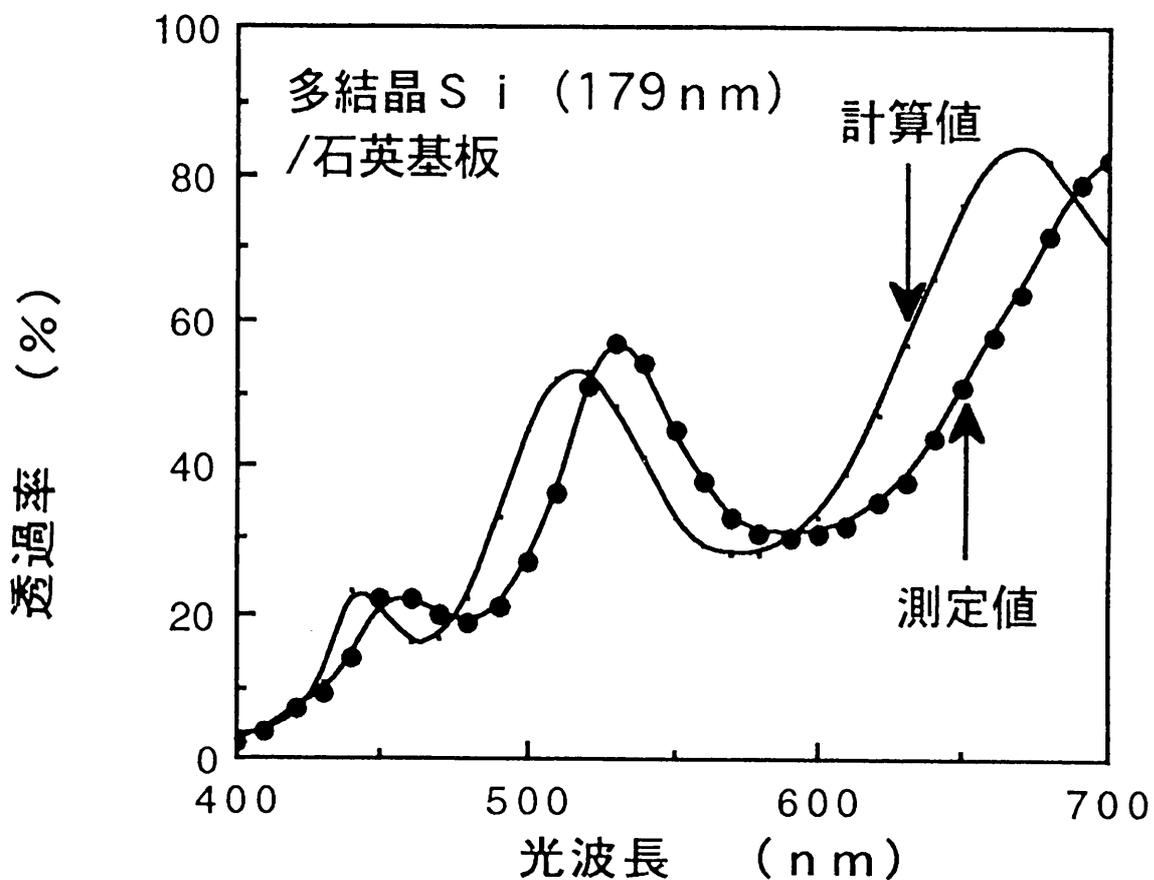
図A. 2. 2 C. Anagnostopoulosらによる透過率の計算結果[7]との比較

400-700 nmの可視光全域にわたり、両者の透過率の計算結果は良く一致している。透過率の微小な差は、計算に使用した複素屈折率が互いにわずかに異なるためと判断している。以上の比較結果より、今回作成した光学特性の計算プログラムが正しい計算結果を与える、すなわち、本プログラムがCMDの光学特性の解析に充分使用可能である事が検証できた。

実験結果との比較

今回作成したプログラムによる光学特性の計算結果を、実際に試作したテストサンプルの測定結果と比較した。500 μm の厚さを有する合成石英基板上に、燐を固溶限まで拡散した多結晶シリコン薄膜を成膜した。この多結晶シリコンの膜厚を探針式の段差測定器（Tencor社製 α -ステップ）により測定した結果、179 nmという値を得た。

更にこのサンプルの分光透過率を、HITACHI 340 分光測定器により測定した。この測定結果、及び、今回作成した光学特性計算プログラムによるテストサンプルの透過率の計算結果を図A. 2. 3に示す。



図A. 2. 3 試作したサンプルの透過率の測定結果及び計算結果

透過率の計算結果は測定結果とよく一致している。透過率の最大値に対応する光波長が実験結果と測定結果で約3%ずれているのは、多結晶シリコン膜の真の膜厚値が段差測定器による膜厚の測定結果より厚い事、あるいは、計算に使用した多結晶シリコンの屈折率が実際の複素屈折率と僅かに異なる事に起因する。

以上の検討結果から、参考文献[5]に記載された多結晶シリコンの複素屈折率を使用して、CMDの透過率等の光学特性の計算が可能である事が分かった。

A. 2.4 CMDの光収集効率の性能限界

本節では、CMDの受光部を構成するMOSホトダイオードにおいて、上部構造膜の構成と膜厚条件を改良し光透過率を増加させる手法と、CMDの光収集効率の性能限界を考察する。

第3章では、CMDの分光感度のピーク波長を人間の比視感度のピーク波長に一致させる為に、多結晶シリコンよりなるゲート電極の厚さを75 nmに設定した。白黒カメラではかかる分光感度分布が理想的であるが、単板カラーカメラの場合は通常は青感度によりカメラ感度が制限される。つまりカラーカメラの感度向上に対しては、CMDにおいても400 nm～500 nmの波長光に対する光感度（透過率）を向上させる必要がある。

第3章で説明したCMDの上部構造膜では、ゲート電極の直上のパッシベーション膜及び直下のゲート絶縁膜はSiO₂により構成した。このため、光の無反射条件に於ける位相条件は満たしていたが、振幅条件は満足していなかった。そこで本節では、振幅条件を満たす絶縁膜をCMDのゲート電極の直上及び直下に追加形成し、CMDの光透過率の向上を図る事を検討した [9]。

先ず振幅条件を満たす膜を追加形成する事が有効か否かを判断する為に、

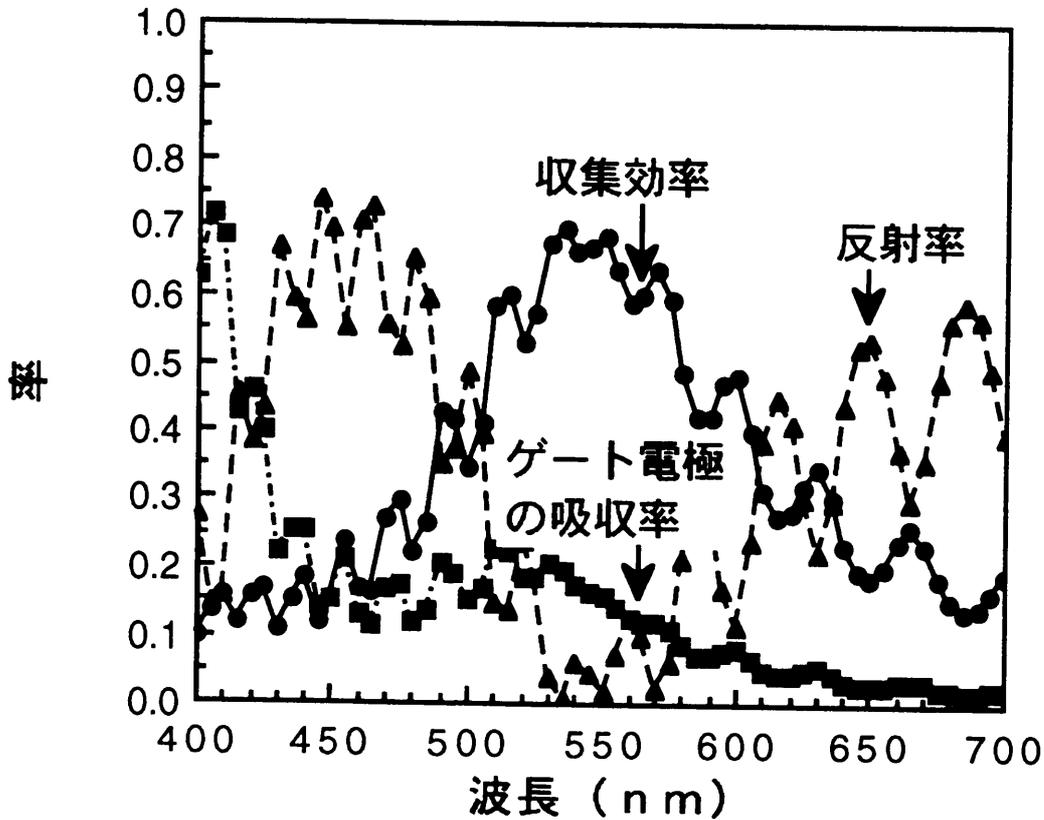
空気/SiO₂ (4 μm)/多結晶シリコン (75 nm)/SiO₂ (35 nm)/Si

より構成した従来のCMDの上部構造膜に於ける、光収集効率とゲート電極での光吸収率及び多層膜構造による光反射率を、今回開発した光学シミュレータを用いて計算した。計算結果を図A.2.4に示す。なお、Si内の有効光電変換層の厚さは1.7 μmとした。

この図より、450 nm付近の青色光の光収集効率の低下は、ゲート電極を構成する多結晶シリコン膜による光吸収ではなく、上部構造膜の多重反射に起因する事が分かった。つまり、CMDの上部構造膜を振幅条件を満たす多層膜に改良する事により、光収集効率の向上が可能になる。

そこで先ず、多結晶シリコンゲート電極より上部に存在する、入射光側の多層膜構成の改良を検討した。この部分の構造が振幅条件を満たす為には、SiO₂よりなるパッシベーション膜(屈折率:n=1.45)と多結晶シリコンゲート電極(n~4)の間に、シリコン窒化膜:Si₃N₄(n=2.00)を介在させればよい[8]。そこでこのSi₃N₄膜の膜厚;xを変化させ、青色光(λ=450 nm)の透過率に対する最適化を検討した。今回開発したシミュレータによる計算の結果、Si₃N₄膜の膜厚としてx=60 nmが最適である事が分かった。この膜厚は解析的には次の位相式で求まる。

$$T_{Si_3N_4} = \lambda \frac{2K-1}{4n_{Si_3N_4}} \quad (A.2.9) \quad [\text{位相条件}]$$



図A. 2. 4 従来のCMDの多層膜構造に於ける光収集効率と光吸収率及び光反射率

ここで $T_{Si_3N_4}$ はシリコン窒化膜の最適膜厚、 λ は入射光の波長、 $n_{Si_3N_4}$ はシリコン窒化膜の屈折率、 K は自然数を表す。例えば $\lambda=450$ nm、 $K=1$ を式A. 2. 9に代入すると、 $T_{Si_3N_4}=56$ nmとなり、シミュレーションにより得られた最適膜厚 (60 nm) と良く一致する。

次に、多結晶シリコンゲート電極より下部の多層膜の構成について検討した。この部分に於いて振幅条件を満足させる為には、上記の手法と同様、ゲート酸化膜と多結晶シリコン膜の間にシリコン窒化膜を介在させれば良い[9]。そこでこの Si_3N_4 膜の膜厚； y を変化させ、青色光の透過率に対する最適化を光学シミュレータを用いて検討した。その結果、本 Si_3N_4 膜の膜厚の最適値として $y=80$ nmが得られた。この膜厚値は解析的には次の位相式で求まる。

$$T_{Si_3N_4} n_{Si_3N_4} + T_{SiO_2} n_{SiO_2} = \frac{\lambda K}{2} \quad (A. 2. 10) \quad [\text{位相条件}]$$

ここで $T_{Si_3N_4}$ はシリコン窒化膜厚、 $n_{Si_3N_4}$ はシリコン窒化膜の屈折率、 T_{SiO_2} はシリコンゲート酸化膜厚、 n_{SiO_2} は酸化シリコンの屈折率、 λ は入射光の波長、 K は自然数を表す。式A. 2. 10に $\lambda=450$ nm、 $K=1$ 、 $T_{SiO_2}=35$ nmを代入すると $T_{Si_3N_4}=87$ nmとなり、シミュレーションにより得られた最適膜厚(80 nm)と良く一致する結果が得られる。

最後に、多結晶シリコンの膜厚の最適化を検討した。光学シミュレーションによる計算の結果、50 nmの多結晶シリコン電極厚さが青色光の透過率の向上にとり最適である事が分かった。この膜厚値は、解析的には次の位相式で求まる。

$$\lambda_{PEAK} = \frac{2 T_{POLY} n_{POLY}}{K} \quad (A. 2. 11) \quad [位相条件]$$

ここで λ_{PEAK} は透過光のピーク波長、 T_{POLY} は多結晶シリコンの膜厚を表す。また、 n_{POLY} は多結晶シリコンの屈折率の実部であり、 K は自然数を表す。例えば $\lambda=450$ nm, $K=1$, $n_{POLY}=4.56$ を式A. 2. 11に代入すると、 $T_{Si_3N_4}=49$ nmが得られる。この値はシミュレーションにより得られた多結晶シリコンの最適膜厚(50 nm)と良く一致する。

今までの考察により、CMDの上部構造膜を構成する多層膜に於ける無反射条件は以下の様にまとめられる事が分かる。

$$n_i^2 = n_U n_D \quad (A. 2. 12) \quad [振幅条件]$$

$$\sum_{i=1}^{i=m} T_i n_i = \frac{\lambda K}{4} \quad (A. 2. 13) \quad \text{あるいは、}$$

$$\int_{t=0}^{t=T} n(t) dt = \frac{\lambda K}{4} \quad (A. 2. 14) \quad [位相条件]$$

ここで K は、 $n_i < n_U, n_D$ あるいは $n_i > n_U, n_D$ の場合偶数を、一方、 $n_D < n_i < n_U$ あるいは $n_D > n_i > n_U$ の場合奇数を表す。(n_U と n_D は、各々、多層膜上方と下方の材料の屈折率。)

次に、従来の上部構造膜を有するCMDに於ける光透過率と、今回の検討の結果得られた

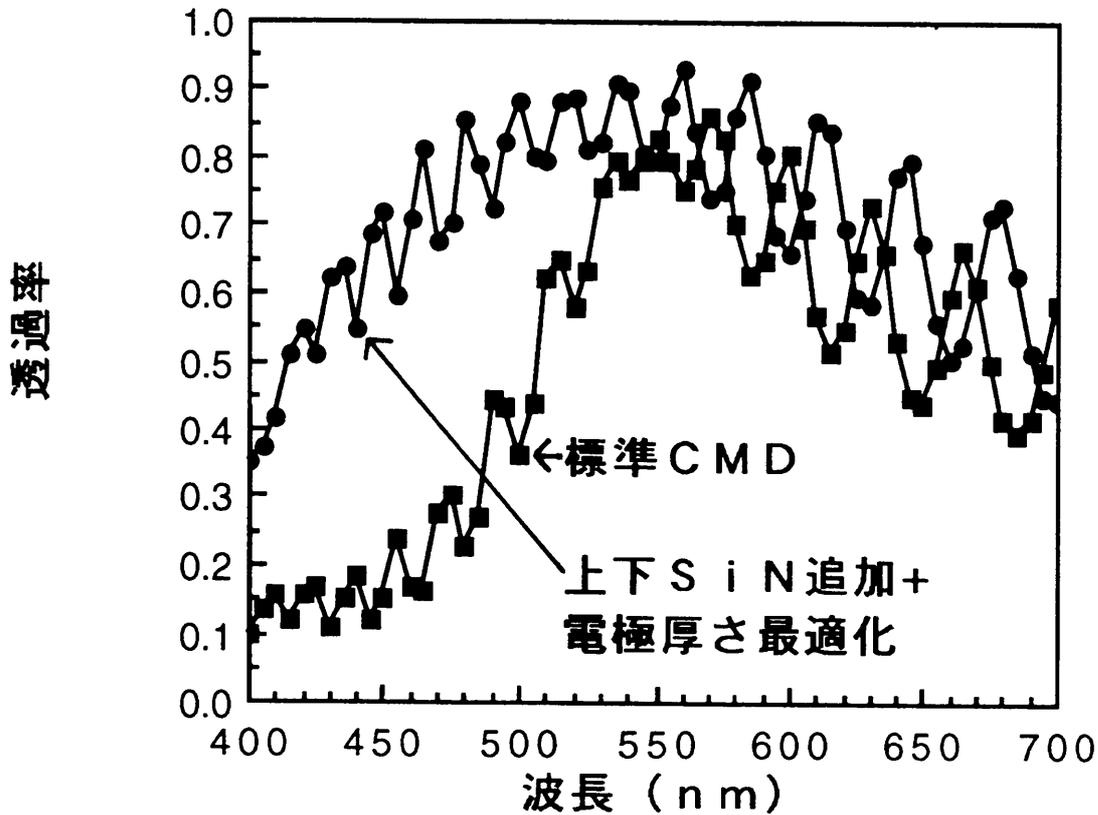
空気/SiO₂(4 μm)/Si₃N₄(60 nm)/多結晶シリコン(50 nm)/Si₃N₄(80 nm)/SiO₂(35 nm)/Si

構成の上部構造膜の光透過率を、計算により比較した。その結果を図A. 2. 5に示す。

従来のCMDの上部構造膜と比較して、

400-500 nmの波長の入射光で3.1倍、
500-600 nmの波長の入射光で1.2倍、
600-700 nmの波長の入射光で1.2倍

の透過率の上昇が得られた。すなわち、可視光領域全体で従来のCMDの上部構造膜の透過率を上回り、特に青色の透過率の上昇は3倍以上となる良好な結果が実現できた。



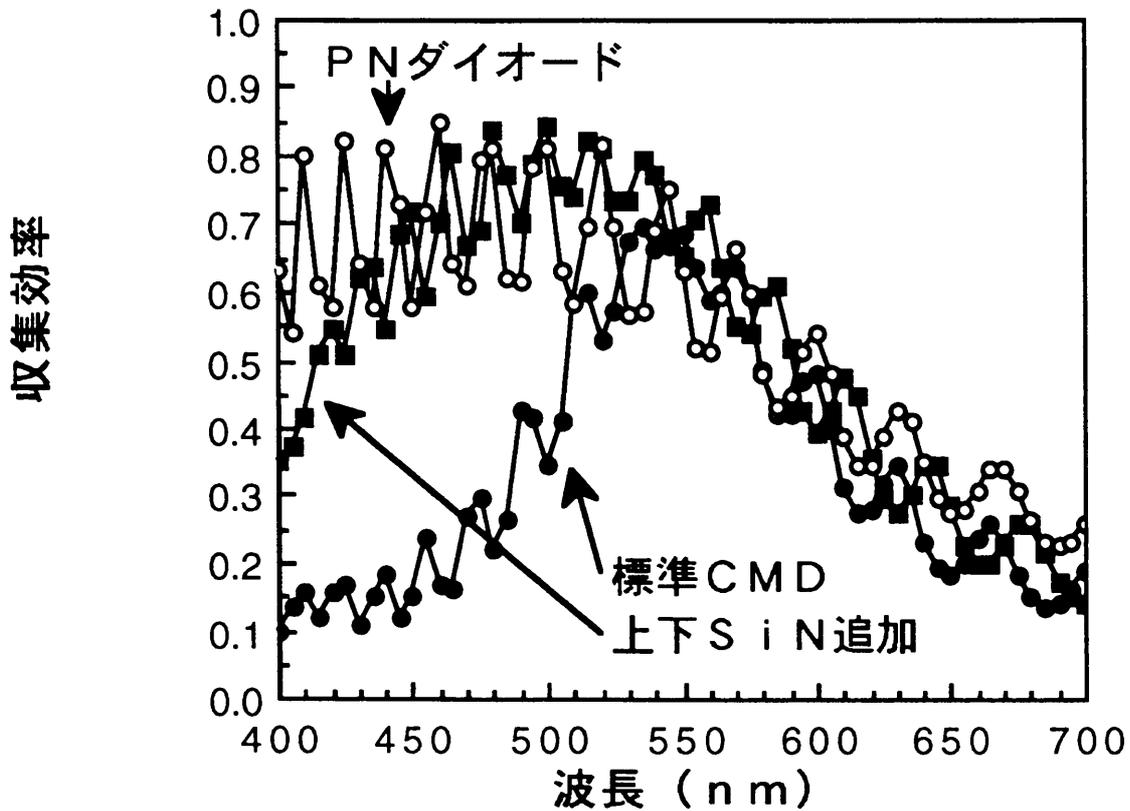
図A. 2. 5 従来及び改良された上部構造膜に於ける光透過率

本節のまとめとして、以下の多層膜構造の光収集効率を計算した。

- ① 空気/SiO₂(4 μm)/多結晶シリコン;poly-Si(75 nm)/SiO₂(35 nm)/Si、
- ② 空気/SiO₂(4 μm)/Si₃N₄(60 nm)/poly-Si(50 nm)/Si₃N₄(80 nm)/SiO₂(35 nm)/Si、
- ③ 空気/SiO₂(4 μm)/Si。

①は通常のコモドの上部構造膜の構成であり、②は今回の考察の結果得られた改良されたコモドの上部構造膜の構成であり、③はCCD等で使用されているp-nホトダイオードの構成である。単結晶シリコンの光吸収層の厚さは、いずれの条件においても1.7 μmとした。計算結果を図A. 2. 6に示す。

図A. 2. 6の計算結果から、コモドにおいても上部構造膜の構成を②の様に改良する事により、p-nホトダイオードの光収集効率と遜色無い効率を得られる事が分かった。



図A. 2. 6 各種上部構造膜に於ける光収集効率

A.2.5 まとめ

CMDの分光感度等の解析や光学特性の改良検討に使用する、多層薄膜の光学特性の計算プログラムを詳述した。続いて本プログラムによる計算結果と従来報告されている計算結果との比較を行い、更に、試作したサンプルの測定結果との比較を行った。これらの比較検討の結果、今回作成した光学特性の計算プログラムはCMDの光学特性の解析に充分使用可能である事が分かった。更に今回開発したシミュレータを使用してCMDの光収集効率の性能限界を考察した。その結果、p-n接合ホトダイオードと同等の光収集効率がCMDに於いても実現可能である事を明らかにした。

参考文献

- [1] 日本学術振興会薄膜第131委員会編：薄膜光学ハンドブック
(オーム社、1968)、第7章、pp. II-296~298
- [2] O. S. Heavens: Optical Properties of Thin Solid Films
(Dover, New York, 1965) pp. 66-80
又は、小柳、小宮、垂井：“多層膜の光学的特性の計算方法”、電総研彙報
40巻、第4、5号、1975
- [3] K. Matsumoto, I. Takayanagi, T. Nakamura and R. Ohta, “The Operation
Mechanism of a Charge Modulation Device (CMD) Image Sensor,” IEEE Trans.
Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991
- [4] E. D. Parik (ed.): Handbook of Optical Constants of Solids
(Academic Press, USA), 1985
- [5] G. Lubberts, B. C. Burkey, F. Moser and E. A. Trabka, “Optical properties
of phosphorus-doped polycrystalline silicon layers,” J. Appl. Phys.,
vol. 52, no. 11, pp. 6870-6878, 1981
- [6] H. R. Philipp and E. A. Taft, “Optical constants of silicon in the region
1 to 10 eV,” Phys. Rev., vol. 120, p. 37, Oct., 1960
- [7] C. Anagnostopoulos and G. Sadasiv, “Transmittance of Air/SiO₂/Poly Si/SiO₂
/Si structures,” IEEE J. Solid-State Circuits, SC-10, pp. 177-179, 1975
- [8] 松本、島田、阿部、安藤、松井、竹下、橋本：“高抵抗MCZ基板を用いたMOS型
センサーCCD撮像素子”、テレビジョン学会技術報告、
TEBS87-5, ED 693, pp. 35-40, 1983
- [9] 松本 一哉：特開昭63-269567号、USP 5,420,634号。

発表論文リスト

- (1) K. Matsumoto, T. Nakamura, A. Yusa and S. Nagai, "A new MOS photo-transistor operating in a non-destructive readout mode," Jpn. J. Appl. Phys. vol. 24, pp. L323-L325, 1985
- (2) 中村 力、松本 一哉、日向 良二、大石 泰広、遊佐 厚 "ゲート蓄積型 MOSフォトランジスタイメージセンサ"、テレビジョン学会誌、Vol. 41、No. 11、pp.1047-1053 (Nov.,1987)
- (3) T. Yamamoto, K. Matsumoto and A. Yusa, "Analysis of SIT I-V characteristics by two-dimensional simulation," Solid-State Electronics vol. 30, No. 5, pp. 549-557, 1987
- (4) K. Matsumoto, I. Takayanagi, T. Nakamura, R. Ohta, "The Operation Mechanism of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 989-998, May 1991
- (5) K. Matsumoto, I. Takayanagi, T. Nakamura, R. Ohta, "Analysis of Operational Speed and Scaling Down the Pixel Size of a Charge Modulation Device (CMD) Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 999-1004, May 1991
- (6) M. Ogata, T. Nakamura, K. Matsumoto, R. Ohta and R. Hyuga, "A Small Pixel CMD Image Sensor," IEEE Trans. Electron Devices, vol. ED-38, no. 5, pp. 1005-1010, May 1991
- (7) T. Nakamura and K. Matsumoto, "Present Status and Future Prospects of CMD Image Sensor," OPTOELECTRONICS, Devices and Technologies, vol. 6, no. 2, pp. 261-277, Dec., 1991
- (8) 中島 慎一、森 健次、日向 良二、松本 一哉、中村 力、"1インチ200万画素CMDイメージセンサ"、テレビジョン学会誌、Vol. 47、No. 2、pp. 219-225、(1993)

- (9) T. Nomoto, K. Matsumoto and T. Nakamura, "Carrier Reset Operation in Charge Modulation Device," Jpn. J. Appl. Phys. Vol. 32, pp. 3754-3759, 1993
- (10) K. Matsumoto et. al, "A Novel Ion Imager for Secondary Ion Mass Spectrometry," IEEE Trans. Electron Devices, vol. ED-40, no. 1, pp. 82-85, Jan. 1993
- (11) 坂本 尚義、松本 一哉, "粒子線検出用二次元固体撮像素子," Bunseki Kagaku, vol.45, No.6, pp.493-500, 1996
- (12) 中村 力、松本 一哉、野本 哲夫 "CMD撮像素子-高解像度化への取り組み-"、テレビジョン学会誌、vol. 50、no. 2、pp. 251-256 (Feb., 1996)

謝辞

本論文をまとめるにあたり、懇切なご指導とご助言を賜りました静岡大学電子工学研究所教授 安藤隆男先生に深く謝意を表します。また論文の審査において有益な御助言を頂きました電子工学研究所教授 畑中義式先生、工学部電気・電子工学科教授 藤安洋先生、工学部電気・電子工学科教授 福家俊郎先生、電子工学研究所教授 田部道晴先生にも、心より感謝の意を表し、厚くお礼申し上げます。また事務的な手続きにお世話になりました、大学院系の江間彦之氏に謝意を表します。

本論文は筆者がオリンパス光学工業株式会社半導体技術センターで行った研究をまとめたものであり、研究の機会を与えて下さいました永井昌平常務取締役と遊佐厚取締役及び洲脇利孝部長に感謝致します。特に遊佐厚取締役には、本論文をまとめる機会を与えて頂きました。また本研究を通してたえまない御援助と激励を頂きました、星野章博氏と今井正晴氏及び青木洋信課長、柳沢一向部長に感謝の意を表します。

本研究の当初よりの共同研究者であり、多くの実験や解析を共に行い、常に有益な討論をしていただきました中村力課長に心から感謝致します。また、CMDイメージセンサの試作にあたりお世話になりました、太田亮課長、太田好紀博士、片白雅浩氏、酒井淳氏、日向良二氏に深く感謝の意を表します。さらに、デバイスの解析にあたり有益な御意見を頂きました、中村淳一課長、高柳功氏、溝口豊和氏、山本敏雄氏に感謝いたします。加えて、本研究を支援して下さったオリンパス光学工業（株）の各氏に、深くお礼申し上げます。最後に、これまで協力してくれた妻と子供達に感謝します。