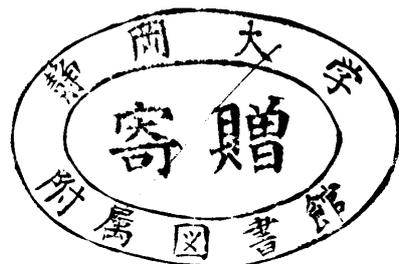


電子科学研究科河

GD
0
9
静岡大学附属図書館

0002515013 R

トンネルMISスイッチング素子
に関する研究



静岡大学図書

1985年 5月

河村和彦

論文概要

トンネル可能な薄い酸化膜をもつMIS接合と、p-n接合を直列にモノリシックに一体化した素子は、電流電圧特性にS字形の負性抵抗特性を示す。本論文は、従来のバイポーラ形あるいはMOSFET形素子の範中不在、この新しい素子に関する研究をまとめたものである。

まず、素子の基本構造であるM-I-n-pSi二端子形素子について構造と特性を述べ、これに制御端子を付加した三端子形素子、素子をアレイ状に近接して形成した集積化素子、そしてプレーナ加工が可能な横形素子と、基本構造を発展させた種々の素子について紹介し、現状の技術レベルを概観した。そして三端子形素子を例にとり、製造プロセスを具体的に説明し、素子が非常に簡単な製作工程で製作できることを示した。

次に、素子の応用を念頭におき、目的に応じた素子設計が可能になるよう、動作機構の理論解析を行った。先ずトンネルMIS接合の位置付けを行い、逆バイアストンネルMIS接合が、キャリアの良好なエミッタになり得ることを明らかにした。そして、素子をp-n接合エミッタ、およびMIS接合エミッタをもつ2つのトランジスタで記述することにより、負性抵抗のメカニズムを従来のトランジスタ理論を用いて説明づけた。ターンオンの条件は、両トランジスタのベース接地電流増幅率の間の関係式 $\alpha_{pn} + \alpha_{MIS} \geq 1$ により表わされ、これら α の、構造パラメータおよび駆動条件への依存性から、種々のターンオン機構が生ずることを明らかにした。また、種々のパラメータをもつ素子を実際に製作し、解析結果を実験により確認した。

次に、素子をスイッチング回路に応用する際重要となる過渡応答特性を、素子内の過剰電荷に注目する電荷制御法により解析し、実験による検証を行った。その結果、ターンオン時に観測される遅れ時間は素子容量の充電時間であるが、その時定数はMIS接合空乏層容量と負荷抵抗の単純な積ではなく、直列接続されているp-n接合による増幅作用により、約 β 倍されるという重要な結果が得られた。また、実際に観測される遅れ時間および立ち上がり時間が、印加電圧としきい値電圧の相対的大きさ関係により大きく影響されることが分かり、素子の性能を十分引き出す上で、適切な駆動条件の必要性が明らかになった。ターンオフ特性については、過渡電流が中性n層中の蓄積電荷、酸化膜容量、および空乏層容量の放電過程に対応することが導かれた。これは過渡応答時のn層電位をモニターすることにより、さらに確かめられた。速い応答速度と高い繰り返し周波数動作のためには、素子面積の縮小、および反転層電荷を減少させる薄い酸化膜が必要であることが明らかになった。

負性抵抗特性がSiに特有な現象でないことを確かめるため、GaAsを母体結晶とする素子を試作し、Siと同じ機構で生ずる負性抵抗特性を初めて確認した。p-n接合形成には液相エピタキシャル成長を利用し、絶縁膜には有機シランの熱分解により堆積したSiO₂膜を用いた。

以上得られた知見をもとに、応用的見地から素子の特長について検討し、評価を行った。機能的にはp-n-p-n四層構造素子に類似しているが、p-n接合の代わりにトンネルMIS接合を用いていることから、種々の特長が生じている。まず、製作プロセスが非常に簡単であり、金属電極が素子の能動部分を担うことも加わって、高集積密度化に有利である。また、トンネル注入を利用していること、およびキャリアが拡散で移動するベース領域が一箇所だけであるため、スイッチング速度が速い。スイッチング特性が、光あるいは温度、特殊な例として仕事関数に敏感であることも大きな特長であると言える。CCDあるいはPCDといった機能素子に類似の、隣接素子間の電流結合作用も本素子の特長である。反面、保持電圧がやや高い点、あるいは高耐圧素子が得られ難い点等から、エネルギー変換あるいは電力制御用素子には不向きであると言える。信号変換あるいは信号処理への応用、またはセンサへの応用に、より適していると結論できる。

素子のもつ特殊な機能を生かした応用例として、単体素子と集積化素子の二種の機能素子を開発した。一つは、水素に対して触媒作用と選択透過性をもつ、Pdを電極金属として利用した、水素検知スイッチ素子であり、数ppmの濃度を検知でき、100℃での動作で、100ppmに対して1分以内にオフ状態が消滅するという実用レベルの応答速度を持つ素子を得た。

いま一つは、近接して並べた隣接素子間の電流結合作用、MIS電極金属による保持電圧の差、そして電極配置の非対称性を組み合わせて二相駆動で方向性シフトを可能にしたレジスタであり、3MHzでの正常動作を確認した。この値は、素子寸法の微細化によりさらに1桁以上の改善が見込まれる。

以上見て来たように、本素子は、従来のバイポーラあるいはMOSトランジスタにない数々の機能や特長をもちっており、これらを十二分に引き出すことにより、従来の素子にない新しい機能素子の実現が期待できると考える。

目 次

第1章 序論	1
1.1 研究の背景	1
1.2 歴史的背景	2
1.3 研究の目的	4
参考文献	5
第2章 トンネルMISスイッチング素子の概要	9
2.1 緒言	9
2.2 素子の基本構造と特性	9
2.2.1 二端子形素子	9
2.2.2 三端子形素子	12
2.2.3 集積化素子	13
2.2.4 横形素子	14
2.3 製作工程	15
2.3.1 簡易プロセス	15
2.3.2 フォトリソグラフィを利用したプロセス	17
2.3.3 薄い酸化膜の形成法	19
2.4 まとめ	21
参考文献	22
第3章 動作機構	24
3.1 緒言	24
3.2 トンネルMIS接合の機能	24
3.2.1 MIS接合の分類	24
3.2.2 接合を流れるトンネル電流	26
3.2.3 トンネルMIS接合エミッタ	29
3.3 2トランジスタ等価回路	29
3.4 電流電圧特性	32
3.4.1 トランジスタの動作状態	32
3.4.2 電流増幅率	32

3.4.3	順方向電流電圧特性	34
3.4.4	種々のターンオン・トリガ機構	37
3.4.5	逆方向電流電圧特性	44
3.5	まとめ	44
	参考文献	46
第4章	過渡応答特性	47
4.1	緒言	47
4.2	矩形波に対する過渡応答波形	47
4.3	ターンオン過渡特性の解析	48
4.3.1	電荷制御法と素子内の電荷	48
4.3.2	電荷制御方程式	50
4.3.3	根の振る舞い	53
4.3.4	駆動条件への依存性	58
4.4	ターンオフ過渡特性の解析	60
4.4.1	素子内蓄積電荷	60
4.4.2	種々の放電過程	63
4.5	実験	65
4.5.1	素子の製作	65
4.5.2	測定方法	66
4.6	結果と検討	68
4.6.1	静特性	68
4.6.2	ターンオン特性	68
4.6.3	ターンオフ特性	77
4.6.4	逆回復特性	81
4.6.5	n層電位の変化	83
4.7	まとめ	85
	参考文献	87
第5章	GaAsを素材とする素子	88
5.1	緒言	88
5.2	素子の製作	88
5.2.1	エピタキシャル成長	88

5. 2. 2	絶縁膜形成	91
5. 2. 3	素子製作プロセス	92
5. 3	特性	93
5. 4	まとめ	94
	参考文献	95
第6章	考察	96
6. 1	緒言	96
6. 2	素子機能に必要な構造上の条件	96
6. 3	素子の特長	97
6. 3. 1	構造上の特長	97
6. 3. 2	機能面からみた特長	98
6. 4	素子の応用と評価	99
6. 4. 1	単体素子としての応用	99
6. 4. 2	集積化素子としての応用	100
6. 5	まとめ	102
	参考文献	103
第7章	素子の応用1： 水素検知スイッチ素子	104
7. 1	緒言	104
7. 2	素子構造と製作プロセス	104
7. 3	測定方法	105
7. 4	素子特性	105
7. 4. 1	水素濃度依存性	105
7. 4. 2	時間応答特性	107
7. 5	考察	111
7. 6	まとめ	113
	参考文献	114
第8章	素子の応用2： 2相駆動シフトレジスタ	115
8. 1	緒言	115
8. 2	素子構造と動作原理	115
8. 3	素子の設計と製作	119

8.4	動作特性	121
8.4.1	静特性	121
8.4.2	転送特性	121
8.5	考察	126
8.6	まとめ	128
	参考文献	129
第9章	結論	130
謝辞		132

第1章 序論

1.1 研究の背景

情報処理システムの中心装置である電子計算機において、電気信号の処理を一手に担うS i集積回路は、最も重要な構成要素であり、本格的な情報化社会を迎えた今、益々その重要性を増しつつある。

S i集積回路を構成する素子は、大きく分けて電子とホール両キャリアが素子機能に関与するバイポーラ素子と、一方のキャリアのみが関与するユニポーラ素子の二つに分けられる。前者はp-n接合を利用したバイポーラトランジスタに代表され、高速動作が可能であるが、素子間分離に逆バイアスしたp-n接合を利用することから、高密度集積が難しく、集積密度より動作速度が重要な回路に主として用いられている。一方、後者はMOSFETに代表され、素子間分離が不要なことから高密度集積に有利であり、低消費電力でもあることから主として大規模メモリとして利用されており、素子寸法の微細化とともに動作速度も向上し、最近では超高速が必要とされる特殊な分野を除いて、論理回路を含めた超高密度集積回路の主流になっている。

これら従来形の素子とは構造および動作機構の異なる、新しいタイプの機能素子も開発され、次第に集積回路素子としての地歩を築きつつある。代表的のとして、構造的にはMOS形素子に分類されるCCD (charge coupled device) があり、[1]バイポーラ素子に属するものとしてはPCD (plasma coupled device) がある。[2] これらはいずれも本質的に高集積化に適した素子構造を持ち、情報転送などの特異な機能を合わせもつことから、共に大規模メモリあるいはソフトレジスタをはじめ、イメージセンサなど新しい機能化集積回路素子として脚光を浴びている。

このようにS iを中心とした情報処理用デバイスも、従来形についてのさらなる高速化、低消費電力化への研究が続けられる一方で、これら素子の能力の限界を打ち破るべく、新しい構造および動作機構に基づく機能素子の開発が鋭意続けられている。本研究の対象となるトンネルMIS接合を利用したスイッチング素子も、このような、従来形素子と異なる新しい形の機能デバイスに分類できる半導体素子である。

素子の長を簡単に述べれば、トンネル可能な薄い酸化膜をもつMIS接合をp-n接合上に形成した、製造工程上ではMOS形素子に近い非常に単純な構造をもち、高集積化に適した素子といえる。一方、機能面からみると、電流電圧特性にS字形の負

性抵抗領域をもち、単体でスイッチ素子として動作する、 $p-n-p-n$ 四層構造素子に類似した、バイポーラ形に分類すべき素子である。しかしながら、トンネルMIS接合を組み合わせたことによる、金属電極の仕事関数の特性への寄与など、従来のバイポーラ素子とは異なった動作機構を含んでおり、集積化素子として、あるいは新たな機能をもつ単体素子として、興味ある応用が期待できる。

1. 2 歴史的背景

本素子の電流電圧特性に見られるS字形の負性抵抗特性は、1970年山本らによる Schottky Barrier Gate FET の研究中に初めて観測された。[3] 当初はトンネルMIS接合は意識的に形成したものではなく、Schottky Barrier を形成する金属蒸着過程でたまたま導入されたSi表面の酸化膜が、薄い絶縁膜として働いたのであった。これらに引き続く $p-n-M$ 形シリコン二端子素子の研究過程において、金属-半導体界面に存在するこの自然酸化膜が、重要な役割を果たしていることが漸次明らかになり、[4] 素子製作の過程で意識的に酸化膜形成を行う事により、本来の $M-I-n-p$ 構造による再現性のよい負性抵抗素子が得られるようになった。[5] その後本素子に関する本格的な研究が始められ、素子特性と構造パラメータとの関連、あるいは光に対する感度、スイッチング特性など、素子の重要な諸特性に関する測定が行なわれ、また、基本構造を発展させた三端子形素子、あるいは素子をアレイ状に形成した走査回路への最初の応用が図られた。[6] 1976年の著者らによる素子の特性とシフトレジスタへの応用を中心とした報告は、これらの研究をまとめたものである。[7] また、この報告の中ではじめてトンネルMIS接合の果たす役割に関して、Shewchunらの研究になるMIS界面でのキャリアの増倍効果[8]の関与が指摘され、以後の動作機構に関する多くの研究の端緒となった。

1973年 Sperry Research Center のKrogerらは、トンネル絶縁膜として Si_3N_4 を用いた $M-I-n-p$ 形Si二端子素子について負性抵抗特性を報告し、[9] 続いて1975年、ポリシリコンを絶縁膜として利用し、 n 層に第三端子を取りつけた三端子形素子について、この端子による素子特性の制御特性について報告した。[10] これらの報告は、Siの熱酸化膜以外の絶縁膜を初めて利用した点で意義が大きい。

以上の二つのグループによる仕事に端を発した本素子に関する研究は、以後、主と

して大学を中心に各地で始められるようになった。

Toronto大学のSimmonsを中心とするグループは、1977年M-I-n-p構造のn層不純物濃度が大きく異なる二種類の素子を製作し、これらの素子におけるoff状態からon状態へ遷移するしきい値電圧が、低不純物濃度素子ではn層のパンチスルー電圧で、また高不純物濃度素子においては、MIS界面におけるAvalanche Breakdown 電圧で決まることを理論的および実験的に明らかにした。[11, 12] また、彼らは本素子の集積回路素子への応用として、MOSFETゲートと組み合わせた16bitのメモリについて報告した。[13] 光照射効果および表面準位の素子特性への寄与についても、一連の報告を通して研究結果を発表している。[14, 15] これに関連して、Habibらの報告、[16-21] また最近ではFaraoneらの、特性の素子面積への依存性を、二次元効果として捉えたユニークな報告がある。[22-24]

この他 Sarabayrouse のグループは、トンネルMIS Schottky Barrier の研究から出発して、二端子形素子についての実験結果と理論的検討について報告しており、[25-27] Millanらは、SiO₂中のトラップの存在をもとにした動作機構の議論を展開している。[28]

一方Zolomyらは、二端子形素子のスイッチング時の過渡応答について、[29] またCalligaroらは三端子形素子について過渡応答特性とメモリ素子への応用における問題点に関して報告している。[30]

Darwish らは、素子の論理回路への応用について初めて報告し、[31] その後 Schottky Barrier 接合とトンネルMIS接合、あるいは二つのトンネルMIS接合を近接して同一基板上に形成した横形素子を提案した。[32, 33] この横形素子については、トンネルMIS接合におけるキャリアの増倍作用について系統だった研究を行った、Shewchunらの1973年の早い時期での関連報告がある。[34] また、M-I-n-p形素子を横形構造で実現したNassibianの報告も、素子のプレーナ化に関する先駆的工作として意義が大きい。[35]

1982年、Malakhovは、M-I-n-p Si負性抵抗素子からの発光現象について初めて報告し、従来直接遷移形化合物半導体でだけ重要視されていた発光を、新しい構造の本素子で観測するという、興味ある報告をおこなった。[36]

一方国内においては、小形らによるM-I-n-p Si構造についての報告、[37] およびTakaseらのp-n-p-I-M構造をもつトンネルカソードサイリスタなどの関連報告がある。[38]

1.3 研究の目的

前節で見たように、本素子に関する研究は、1970年の負性抵抗に関する最初の記述に始まる1976年までの萌芽期の研究、それ以降の多くのグループによる実験あるいは理論に関する本格的な研究を経て、動作機構の本質が徐々に明らかにされ、素子応用に関する研究も進められるようになり、いよいよ開花期を迎えたと言ってよい。しかしながら、トンネルMIS接合とp-n接合という異質の構造を含むことから、動作解析理論は、数値解析を用いるなど難解なものが多く、応用素子の設計にそのまま利用し難いきらいがあった。

本研究では、このような観点から、特に素子の応用を念頭に置き、従来のトランジスタ理論をそのまま利用して、目的に合った素子の設計が可能になるよう、等価回路により素子を記述し、動作機構の解析を行った。また、実験による検証のための種々の構造をもつ素子の製作、特性の詳しい測定と結果の解析を行った。特にスイッチング素子として重要な過渡応答特性については、スイッチングトランジスタの過渡解析に利用される電荷制御法を用いた詳しい理論解析を行い、実験的に確かめた。また、本素子の機能が、動作機構の解析から予想されるように、Siを素材とする素子に限られるものではないことを確認するための、GaAsを素材とする素子での負性抵抗の実現についても述べた。

次に、以上の研究から得られた知見をもとに、素子が機能するために必要な構造上の条件、素子のもつ特長ならびに応用上の問題点を明らかにし、既存の素子との比較を含めて評価を行った。

最後に、実際の応用例として、素子の特長を生かした単体の機能素子として、パラジウム金属の水素に対する特異な性質と、素子のもつスイッチング作用を結びつけた水素検知素子、また集積化機能素子として、隣接素子間の相互作用と、MIS接合に用いる電極金属の仕事関数の、素子特性への効果を利用したモノリシックシフトレジスタの、二つの開発例について述べた。これらはいずれも本素子の本格的な応用に関する最初の開発例である。

参考文献

- 1) W. S. Boyle and G. E. Smith: Bell Syst. Tech. J. 49 (1970) 587.
- 2) T. A. Suzuki and Y. Mizushima: Proc. 3rd CSSD, Suppl. to J. J. A. P. (1972) 187.
- 3) 山本, 高瀬: 電子通信学会論文誌 53-C (1970) 740.
- 4) 山本: 電子通信学会論文誌 53-C (1970) 881.
- 5) T. Yamamoto and M. Morimoto: Appl. Phys. Letters, 20 (1972) 269.
- 6) 山本, 森本: 電気学会電子回路研究会資料, 電子通信学会半導体・トランジスタ研究会資料 ECT-72-14, SSD 71-64 (1972).
- 7) T. Yamamoto, K. Kawamura, and H. Shimizu: Solid State Electronics 19 (1976) 701.
- 8) M. A. Green and J. Shewchun: Solid State Electronics 17 (1974) 349.
- 9) H. Kroger and H. A. R. Wegener: Appl. Phys. Letters, 23 (1973) 397.
- 10) H. Kroger and H. A. R. Wegener: Appl. Phys. Letters, 27 (1975) 303.
- 11) J. G. Simmons and A. EL-Badry: Solid State Electronics, 20 (1977) 955.

- 12) A. EL-Badry and J. G. Simmons: Solid State Electronics, 20 (1977) 963.
- 13) J. G. Simmons and A. EL-Badry: The Radio and Electronic Engineer, 48 (1978) 215.
- 14) A. G. Nassibian, R. B. Calligaro and J. G. Simmons: Solid-State and Electron Devices, 2 (1978) 149.
- 15) A. G. Nassibian, R. B. Calligaro and J. G. Simmons: Solid-State and Electron Devices, 3 (1979) 6.
- 16) S. E-D. Habib and J. G. Simmons: Solid State Electronics, 22 (1979) 181.
- 17) S. E-D. Habib and J. G. Simmons: IEE Proc., 127 Pt. I (1980) 111.
- 18) S. E-D. Habib and J. G. Simmons: Solid State Electronics, 23 (1980) 497.
- 19) S. E-D. Habib and J. G. Simmons: IEE Proc., 127 Pt. I (1980) 176.
- 20) S. E-D. Habib and A. A. Eltoukhy: IEE Proc., 128 Pt. I (1981) 58.
- 21) S. E-D. Habib and A. A. Eltoukhy: J. Appl. Phys., 52 (1981) 3027.

- 22) L. Faraone, J. G. Simmons, F-L. Hsueh and U. K. Mishra: Solid State Electron. 25 (1982) 335.
- 23) J. G. Simmons, Faraone, U. K. Mishra and F-L. Hsueh: IEEE Electron Device Lett. EDL-2 (1981) 109.
- 24) K. A. Duncan and P. D. Tonner, J. G. Simmons and L. Faraone: Solid State Electronics, 24 (1981) 941.
- 25) G. Sarrabayrouse and J. Buxo: Phys. Stat. Sol. (a) 49 (1978) 603.
- 26) G. Sarrabayrouse and J. Buxo, A. E. Owen, A. Munoz Yague and J-P. Sabaa: IEE Proc., 127 Pt. I (1980) 119.
- 27) G. Sarrabayrouse, J. Buxo, J-P. Sebaa and A. Essaid: IEE Proc., 128 Pt. I (1981) 53.
- 28) J. Millan, F. Serra-Mestres and X. Aymerich-Humet: Solid State Electron., 25 (1982) 565.
- 29) I. Zolomy and A. Adan: Solid State Electronics, 24 (1981) 19.
- 30) R. B. Calligaro and A. G. Nassibian: IEE Proc., 128 Pt. I (1981) 211.
- 31) M. Darwish and K. Board: Electronics

- Letters, 14 (1978) 482.
- 32) M. Darwish and K. Board: Electronics Letters, 16 (1980) 577.
- 33) M. Darwish and K. Board: IEE Proc., 127 (1980) 317.
- 34) J. Shewchun and R. A. Clark: Solid State Electronics, 16 (1973) 213.
- 35) A. G. Nassibian: IEEE Electron Device Letters, EDL-1 (1980) 67.
- 36) B. A. Malakhov: Sov. Phys. Semicond. 16 (1982) 1406.
- 37) 小形, 岡田, 岡本: 電気通信大学学報 27卷2号(理工学編) (1977) 197.
- 38) Y. Takase, M. Kitamura and A. Odajima: Japan J. Appl. Phys., 16 (1977) 525.

第2章 トンネルMISスイッチング素子の概要

2.1 緒言

トンネルMISスイッチング素子は、量子力学的トンネル電流が流れ得る薄い絶縁膜をもつMIS接合と、p-n接合を直列に一体化した構造をもつ、従来のバイポーラトランジスタあるいはMOSFETとは異なる、新しい型の能動素子である。[1, 2] 本章では、素子の構造と電気的特性の概要を述べ、典型的な製作プロセスを具体的に説明する。

2.2 素子の基本構造と特性

2.2.1 二端子形素子

トンネルMISスイッチング素子の最も基本的な構造である、二端子形素子の構造をFig. 2-1に示す。p-n接合とMIS接合が直列に一体化されたものであり、絶縁膜は量子力学的トンネル電流が流れ得る、 $18-40\text{\AA}$ 程度の薄い熱酸化 SiO_2 膜が用いられる。p-n接合は通常、低抵抗基板上に高抵抗層を成長したエピタキシャル成長による接合が用いられ、成長層の比抵抗および厚さは、それぞれ $0.1-100\Omega\text{cm}$ 、 $1-20\mu\text{m}$ 程度である。MIS接合に用いられる電極には、接合を逆バイアスしたとき良好な遮断特性を示すような表面障壁を与える金属が利用され、n形エピタキシャル層に対しては、マグネシウム(Mg)など仕事関数の特に小さなものを除いて、ほとんどの金属が利用できる。

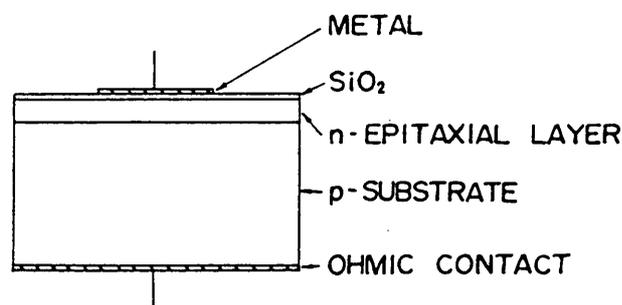


Fig. 2-1 トンネルMISスイッチング素子の構造

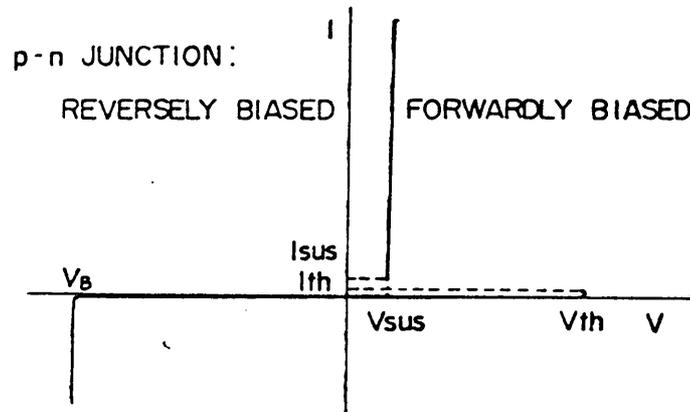


Fig. 2-2 素子の電流電圧特性

Fig. 2-2に素子の電流電圧特性を示す。特性はShockleyダイオードに類似しており、p-n接合が順バイアス、MIS接合が逆バイアスされる向きに電圧を印加したとき、電流制御形の負性抵抗を示す。即ち、印加電圧を大きくしていくと、あるしきい値電圧までは電流がほとんど流れないが、この電圧を越すと電流が流れはじめ、それとともに急激に素子電圧が減少し、負性抵抗を示す。この領域を過ぎると、電流増加に対して電圧が上昇する、正抵抗特性を再び示すようになるが、素子電圧の変化は小さい。このように素子は、電流電圧特性にインピーダンスの大きく異なる二つの安定状態と、それらの間に負性抵抗領域をもつ特異な性質を示す。一方、電圧の向きが逆、即ちp-n接合が逆バイアスされる向きでは、特性は、通常のp-n接合の逆方向特性を示すだけで負性抵抗は現われない。

高抵抗状態をオフ状態、低抵抗状態をオン状態と呼び、これらの状態間の遷移のしきい値電圧および電流を、Fig. 2-2に示すように V_{th} および I_{th} 、オン状態の最小保持電圧および電流を、 V_{sus} および I_{sus} と表わすことにすると、これらの値は、素材Siの不純物濃度あるいは素子構造パラメータの値により変化する。詳しい議論は3章に譲ることとし、ここでは一般的傾向を述べるに留める。

しきい値電圧 V_{th} は、エピタキシャル層の比抵抗と厚さで決まる、パンチスルー電圧で制御することができ、MIS接合のブレイクダウン電圧より小さな電圧範囲で自由に設計できる。[3] 一方、保持電圧 V_{sus} は、MIS接合部の構造パラメータに主として依存し、中でも酸化膜厚により大きく変化し、厚くなるに従って値が大きくなる。[4] $18-25 \text{ \AA}$ では通常 $1.2-2 \text{ V}$ 程度である。 I_{th} および I_{sus} も、 V_{sus} 同様MIS接合部のパラメータに主として依存するが、酸化膜厚が厚く

なるに従って小さくなる傾向を示す。[4,5] MIS接合面積 $10^5 \mu\text{m}^2$ 程度の素子で、 I_{th} は $10-100 \mu\text{A}$ 、 I_{sus} は $0.1-1 \text{mA}$ 程度である。オフ状態における漏れ電流は、逆バイアスの向きとなるMIS接合の特性が反映され、障壁の高さを決める金属の仕事関数と、酸化膜厚に依存して変化するが、 10^{-3}A/cm^2 程度以下のものが容易に得られる。

以上二端子形素子の電流電圧特性の、種々の構造パラメータへの依存性を見て来たが、動作条件によっても素子特性、特にしきい値電圧 V_{th} が、大きく変化する。

Fig. 2-3は、素子に光を照射したときの V_{th} の変化を表わしており、 V_{th} が光強度に応じて減少している。[6] このような性質を利用して、素子を光トリガスイッチとして利用することができる。[7]

一方二端子形素子を発展させた三端子形素子、あるいはMIS接合を同一p-n接合基板の上に近接して形成したアレイ構造においては、素子特性は第三端子に流す電流あるいは隣接素子に流れる電流により変化する。これらについては次節以下に改めて述べることにする。

上に述べた素子特性は、すべて p^+ 形ウエハ上にn層を成長したM-I-n- p^+ 形についてのものであったが、不純物のタイプが逆のM-I-p- n^+ 形素子において

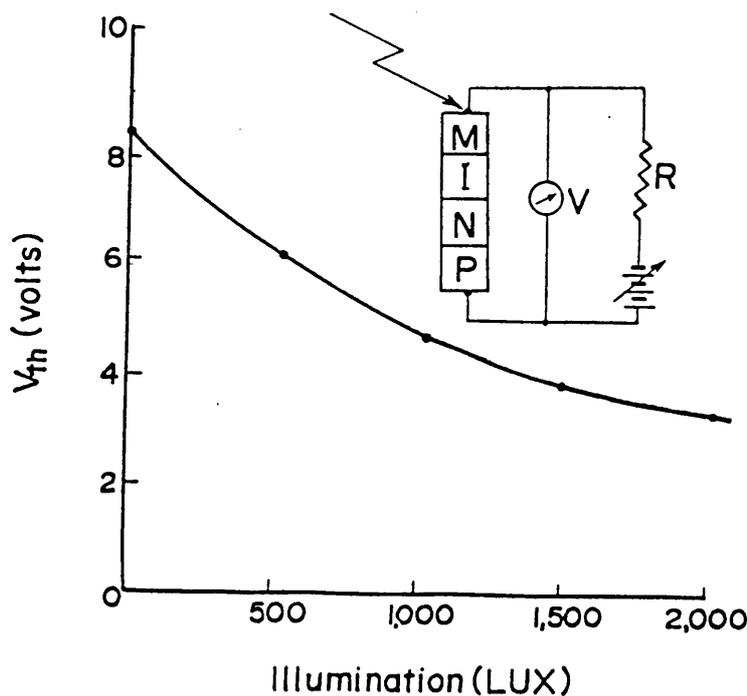


Fig. 2-3 光照射によるしきい値電圧の変化

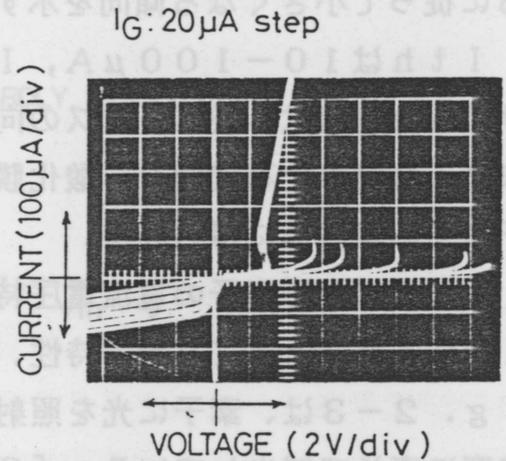
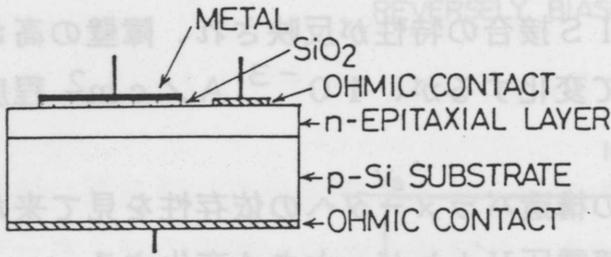


Fig. 2-4 三端子形素子の構造

Fig. 2-5 第三端子電流 I_G による特性の変化

も同じような特性が得られる。この場合にも負性抵抗を生ずる電圧の向きは、 $p-n$ 接合が順バイアス、MIS接合が逆バイアスされる向きである。従ってM-I-n-p⁺形素子に比べて極性は丁度反対となり、金属電極に正電圧を印加したとき負性抵抗を生ずる。MIS接合を形作る半導体がp形になったことにより、多数キャリアバンドが価電子帯になるため、電極金属の仕事関数が大きいほど障壁高さが小さくなる点もM-I-n-p形と反対であり、これらのことを考慮すればM-I-p-n形も同じような取り扱いが可能である。

2.2.2 三端子形素子

Fig. 2-4に示すように、nonp⁺形基板の、n層にオーミックコンタクトを形成した素子が、三端子形素子と呼ばれる素子であり、この端子に流す電流により素子の特性を制御できる。この構造は、丁度p-n-p-n四層構造ダイオードのベース領域から端子を取り出した、サイリスタに相当するものであり、制御特性も非常によく似ている。

Fig. 2-5は、第三端子に流す電流により、素子の電流電圧特性が変化する様子を示している。このように僅かな制御電流により素子特性を大きく変化させることができ、素子のスイッチ動作を制御できる。また素子がオン状態にある場合、この端子から電流を引き出すことにより、素子をオフ状態に遷移させることも可能である。これはp-n-p-n四層構造素子におけるGTO (Gate Turn Off Thyristor) に相当する。

2. 2. 3 集積化素子

MIS接合を形成する金属電極を、同一基板上に多数近接して配置した集積化素子列は、各々の素子を流れる電流が相互に影響し合い、単一素子にはない特異な性質をもつ機能素子を形作る。即ち、隣接素子に流れる電流が、上に述べた三端子形素子の制御端子電流と同じ働きをし、素子のしきい値電圧 V_{th} を低下させる。隣接素子間のこのような作用を電流結合作用と呼ぶことにすると、この結合は、当然のことながら隣接素子間距離に依存し、近接するほど大きくなる。この性質を利用して、シフトレジスタが構成できる。Fig. 2-6はこの例であり、[8]互いに重なり合う三相のクロックパルスにより、オン状態を順次右方向へシフトできる。この電流結合作用は、CCDにおける電荷結合作用、PCD (Plasma Coupled Device) [9]におけるプラズマ結合作用に相当するものであり、図に示したシフトレジスタを始め、メモリ、論理回路等への応用が可能である。シフトレジスタへの応用例については、8章で機能化をさらに進めた構造の素子について詳しく述べる。

単体素子における双安定状態を利用した、スタチックメモリの集積化も可能である。Simmonsらは、負荷素子およびゲート用素子としてMOSFETを組み合わせた16ビットのRAM (Random Access Memory) を試作し、動作を

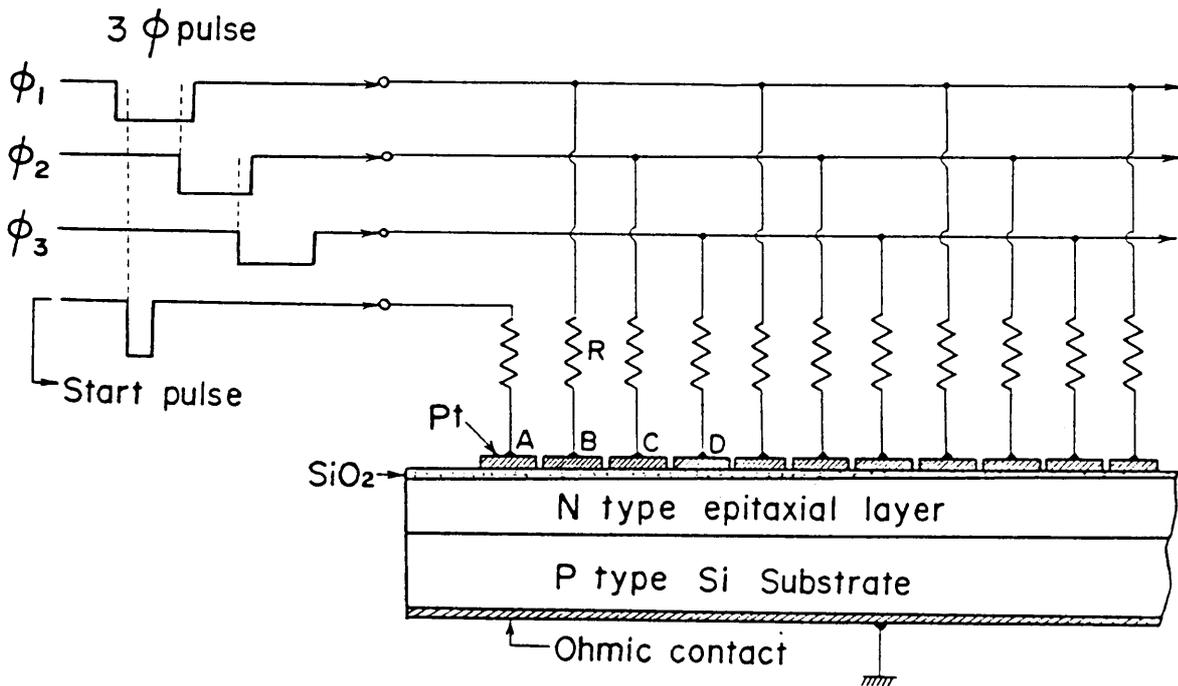


Fig. 2-6 三相駆動シフトレジスタ

確認している。[10] また、集積化素子の実現には至っていないが、論理回路への応用についても提案がなされている。[11]

2.2.4 横形素子

以上述べた素子は、全て電流の通路として基板から上部電極へと縦方向に流れるタイプであったが、電流が基板表面に平行に流れる横形構造の素子も可能である。Fig. 2-7は、Nassibianらによって報告された素子の構造を示しており、[12] n形拡散領域が従来の縦形素子の基板の役割を果たしている。そして、ゲート電圧により特性をコントロールできる。また、Fig. 2-8に示すものは、著者らの開発による素子であり、[13] p-n接合の代わりにトンネルMIS接合を利用しており、電極金属としてn形基板に対しては、仕事関数の小さなMgを用いることにより必要な少数キャリアの注入を得ている。

横形構造においては、素子がウエハの片面に作りつけられるため、プレーナ加工が可能であり、縦形の場合基板が共通であったのに対し、p-n接合を全て独立させることができるので、素子を自由に配置することができ、回路設計の自由度が増す。反面、ウエハ表面の占有面積が大きくなるため集積密度が低下する。また、横形素子方向に電流を流すため、電流密度を大きくとることができず、オン状態の抵抗も大きくなる。

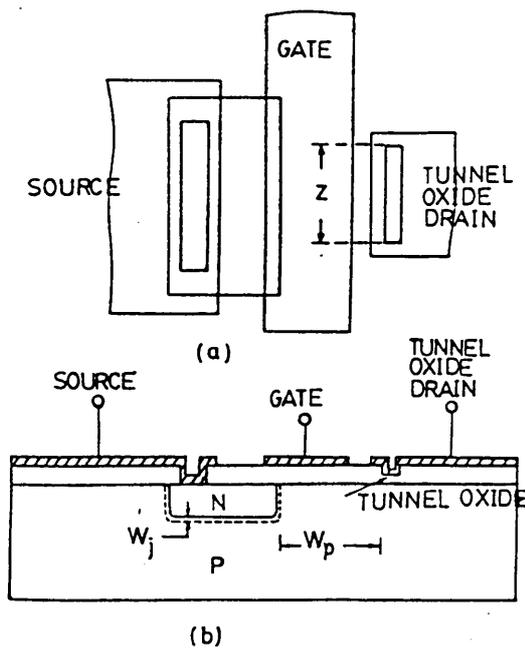


Fig. 2-7 横形素子構造
(a) 上面図
(b) 断面図

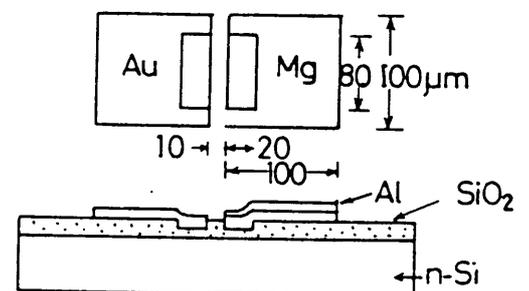


Fig. 2-8 MIS接合だけで構成した横形素子

2.3 製作工程

素子の製作工程は、素子構造が単純なため従来のバイポーラトランジスタ、FET、 $p-n-p-n$ 四層構造素子に比べ非常に簡単である。以下に、三端子形素子を例にとり、製作プロセスを具体的に説明する。

先ず初めに、フォトリソグラフィ技術を利用しない簡易形プロセスについて説明し、次に本研究において主として用いた、フォトリソグラフィ技術を利用したプロセスについて述べる。従来のICプロセスでは用いられていない、薄い酸化膜の形成方法については、章を改めて詳しく説明する。

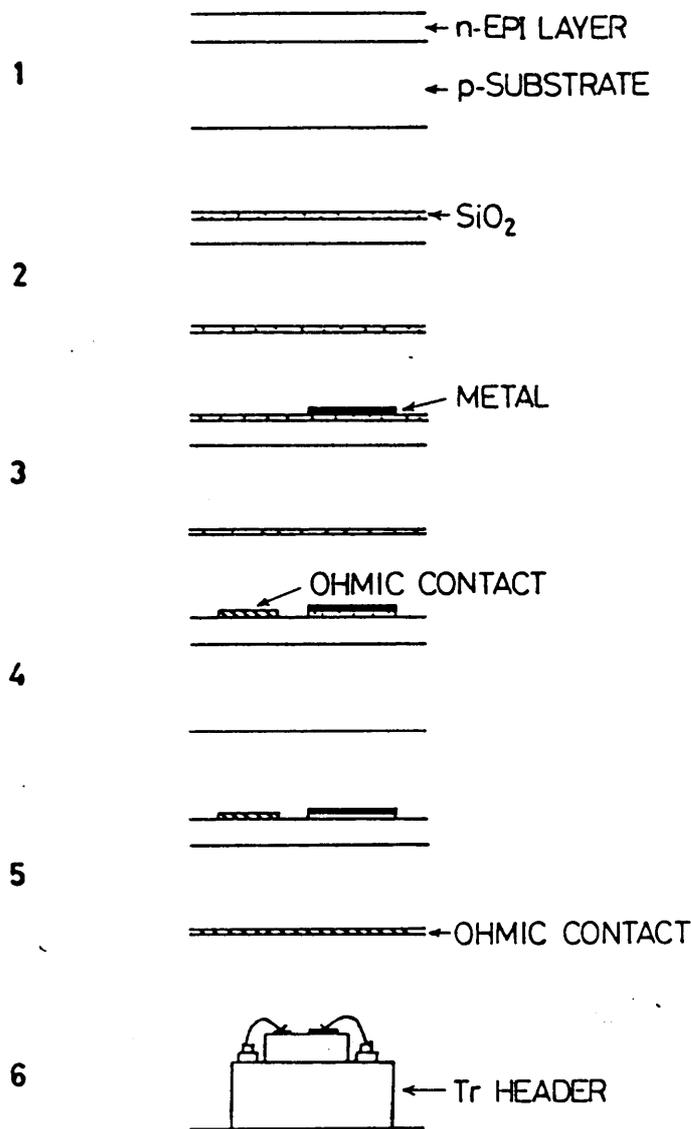


Fig. 2-9 素子製作工程（簡易形プロセス）

2. 3. 1 簡易プロセス

Fig. 2-9に、MIS電極と、オーミック電極をマスク蒸着で形成する、三端子形素子の簡易形プロセスを示す。 適当な厚さと不純物濃度の成長層をもつエピタキシャルウエハを、(1)洗浄し、(2)トンネルMIS接合の絶縁膜となる約20-40Åの薄い酸化膜を、2.2.3節で詳述する乾燥酸素による熱酸化法で形成する。

この工程では、エピタキシャルウエハ表面に既に形成されている自然酸化膜を、そのまま利用することもできる。(3)MIS用電極金属を、適当な形状の蒸着用金属マスクを通して真空蒸着することにより形成する。真空蒸着は主として電子ビーム蒸着を採用し、蒸着時の真空度は 1×10^{-5} Torr以下を用いる。絶縁膜の厚さが薄いので、蒸着時の基板表面温度の上昇のため残留酸素により酸化膜厚が増加したり、蒸着金属と酸化膜が反応したりして、素子特性の再現性を損なう可能性が強いので、基板温度には十分注意を払う必要がある。(4)この電極金属を保護膜として他の表面領域に残る薄い酸化膜を50倍程度の希釈HFで除去し、オーミックコンタクト用電極金属を同様にマスクを通して蒸着する。(5)ウエハ裏面にオーミックコンタクト用金属を真空蒸着する。通常、p形基板にはAlを、またn形基板にはAu(1% Sb)を用いる。(6)最後にダイヤモンドスクライバを用いてウエハ上の各素子を分離し、ケースにマウントしてリード線で電極から端子を取り出す。

以上のプロセスは、薄い酸化膜形成時の700°C程度のプロセスを含むだけであり、不純物拡散やフィールド酸化膜形成時の、1000°C以上の高温プロセスを含まず、簡便に素子を製作できる。しかしながら、金属マスクを利用した選択蒸着法のため、微細加工の精度に限界があり、またp-n接合面積を制御しにくいほか、接合面がパシベートされていないために、特性の再現性が悪くなるという欠点をもっている。このような理由から、この簡易形プロセスは、種々の構造あるいはパラメータを変えて特性との関連を調べたり、新しい型の素子開発用に主に利用した。素子性能の改善や再現性の向上、あるいは集積化素子製作など本研究の多くは、次に示すフォトリソグラフィを利用するプロセスを用いた。

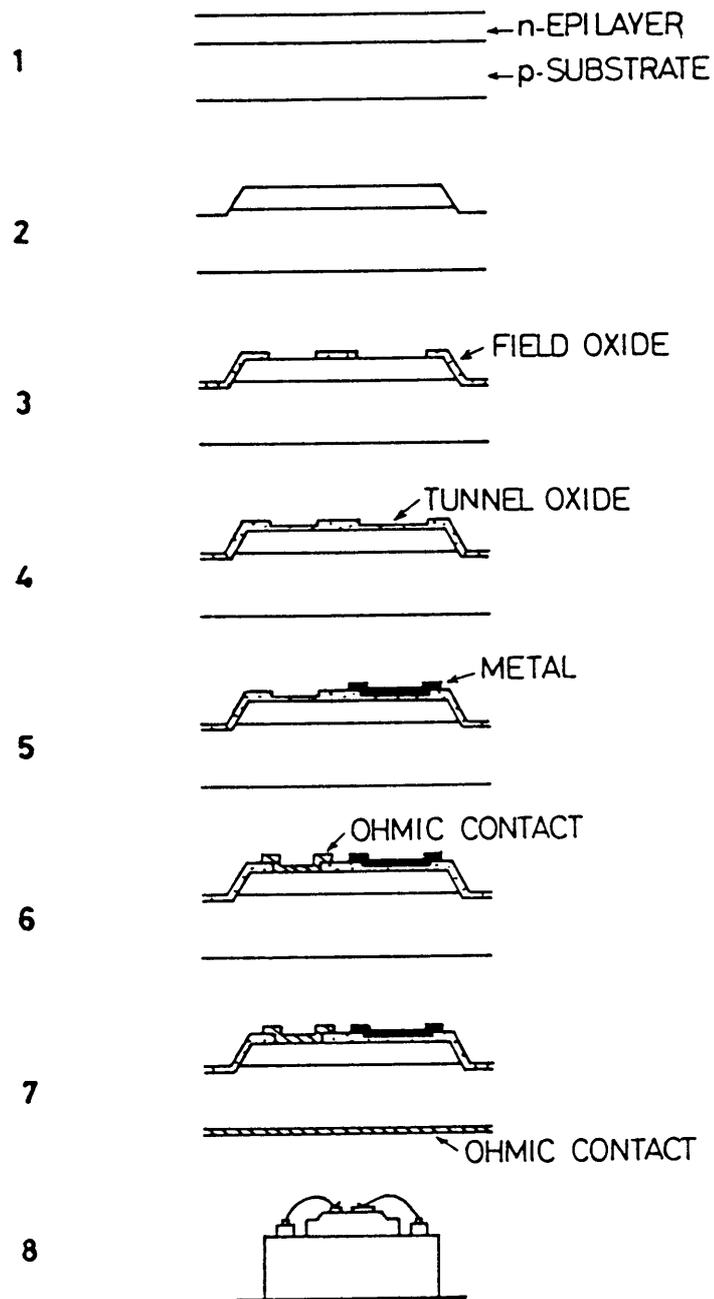


Fig. 2. 10 フォトリソグラフィ技術を利用した製作工程

2. 3. 2 フォトリソグラフィを利用したプロセス

Fig. 2-10に、p-n接合の分離にメサエッチングを用いた、典型的なプロセスを図示する。

(1) ウエハ準備

所定の規格をもつ nonp (または ponn) 形エピタキシャルウエハを、適当な大きさに切断し洗浄する。

(2) メサエッチング

Siエッチング用保護膜として熱酸化膜を形成し、フォトエッチングして必要部分の酸化膜だけを残す。この酸化膜を保護膜として、Siを台地上に残すようエッチングする。

(3) フィールド酸化膜形成と窓開け

メサエッチ時の保護用酸化膜を除去し、新たに熱酸化膜を形成し、MIS接合およびオーミック電極を作る部分にフォトエッチングにより窓を開ける。

(4) トンネル酸化膜形成

乾燥酸化法により薄い酸化膜を窓領域に形成する。

(5) MIS接合形成

MIS接合用金属を全面に蒸着し、フォトエッチして必要部分のみ残す。酸化され易い金属の場合表面保護用にAuを重ね蒸着する。

(6) オーミック電極形成

MIS用電極上のフォトレジストを残したまま、薄い酸化膜を除去し、オーミック電極用金属(n形の場合Au(1% Sb))を全面に蒸着し、フォトエッチングして必要部分を残す。

(7) 裏面電極形成

裏面のSiO₂を除去後、電極金属(P+形の場合Al)を蒸着する。必要に応じて熱処理し、オーミック電極と裏面電極を同時にアロイする。

(8) ベレットへの分離と組み立て

ウエハをスクライブして分離し、ケースにマウントする。

各フォトエッチングプロセスには、使用後のレジスト除去工程があり、熱濃硫酸又は専用ストリッパへの浸漬、酸素プラズマによる灰化を、目的により使い分ける。

以上の工程中、p-n接合の分離に、(2)のメサエッチングの代わりに不純物拡散分離法を用いることもできる。また、(6)の工程を除いたものが二端子形素子のプロセスとなる。その場合さらに(2)の工程を除いた準簡易形プロセスもあり、この場合にはp-n接合は連続したままとなり、チップ面積と同じ大きさとなる。

以上三端子形素子の場合について、製作プロセスを簡単に説明したが、エピタキシャルウエハを用いた場合、不純物拡散工程を含まないので、メサエッチング用保護膜と、フィールド酸化膜形成に高温プロセスを含むだけであり、温度も1000°C以下でよ

い。また、工程数も少なく、本素子の単純な構造が本質的に集積化に適していることが分かる。

2.3.3 薄い酸化膜の形成法

素子構造に不可欠な、厚さ $18 - 40 \text{ \AA}$ の薄い酸化膜の形成は、常圧乾燥酸素ガスによる熱酸化法に依った。

(A) 装置

用いた装置の概略をFig. 2-11に示す。Siを熱酸化する場合、単体酸素に比べて水蒸気による酸化速度が大きいので、[14]再現性のよい酸化を行うためには、酸素ガスあるいは酸化前後に流す置換ガスの窒素中の水分を極力抑え、かつ配管をリークタイトにする必要がある。ソースガスとして、酸素は露点 -70°C 以下の高純度ガスを、また窒素は、普通グレードのガスをガスドライヤを通して(出口での露点 -75°C 以下)、共にドライアイストラップを経由して反応管に導入した。

酸化炉は縦形で、反応管を固定した状態で炉体を上下して、管を高温ゾーンに入れられるようになっている。反応管は石英製で、ウエハ支持台として約 $3\text{cm}\phi$ のシリコンウエハを用いている。酸化膜厚の制御のし易さから、酸化温度は特別の場合を除いて 700°C に限定した。この時の温度変動は、精密級PID調節器により $\pm 0.5^{\circ}\text{C}$ 以下に抑えた。

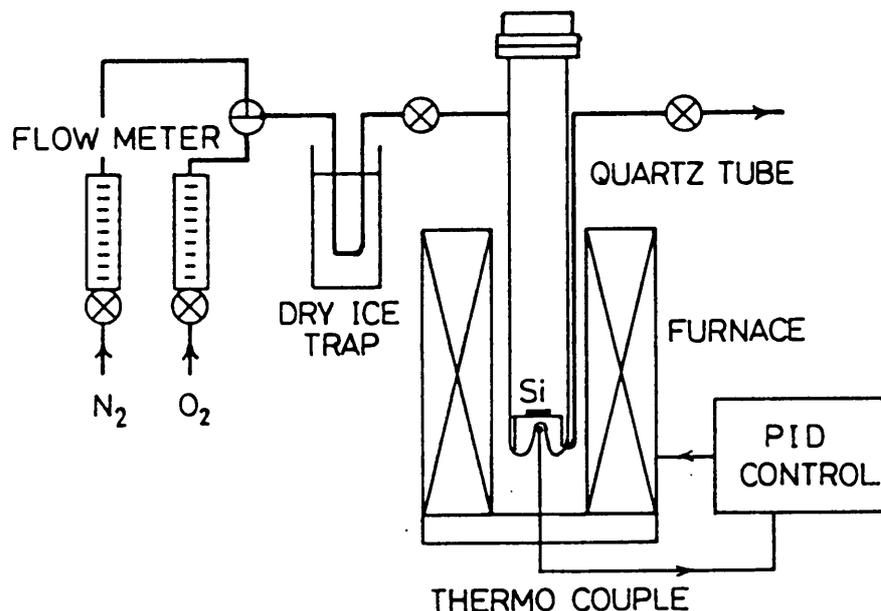


Fig. 2.11 乾燥酸素による酸化装置

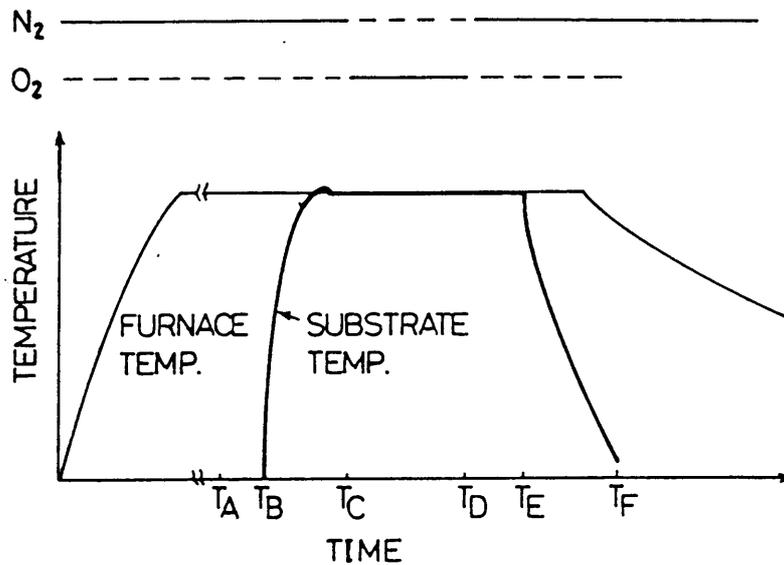


Fig. 2-12 酸化温度サイクル

(B) 酸化プロセス

酸化時の温度サイクルをFig. 2-12に示す。あらかじめ N_2 ガスを流しながら、酸化温度で反応管を空焼きし、配管を十分枯らしておく。試料ウエハ表面に形成されている、いわゆる Native Oxide を50倍希釈HFに30秒浸漬して取り除き、蒸留水置換、メチルアルコール最終置換の後、クリーンベンチ内で乾燥し、直ちに反応管内にセットする(T_A)。置換時間15分後に反応管を炉中に挿入する(T_B)。この操作は、電気炉の温度を急変しないよう注意して徐々におこなう。

炉温の回復時間を含めて15分後、 N_2 ガスから O_2 ガスに切り換え(T_C)、所定時間酸化した後、再び N_2 ガスに切り換える(T_D)。反応管内を N_2 で置換する時間として5分とった後、反応管を炉から取り出し自然冷却させる(T_E)。ウエハは冷却時間15分後に取り出す(T_F)。

(C) 酸化データ

酸化膜厚はエリブソメトリーにより測定した。生データから酸化膜厚を得るためのチャートは、 40 \AA 以下の薄い膜厚範囲が求められるものは報告されていないので、この膜厚範囲で精度よい測定ができるチャートを自作した。

Fig. 2-13に、 700°C と 750°C における酸化時間と酸化膜厚の関係を示す。反応管が十分枯れており、配管にリークがない状態では、図に見られるように膜厚の再現性はよいが、そうでない場合、膜厚は予定値の2倍にも達してしまうこと

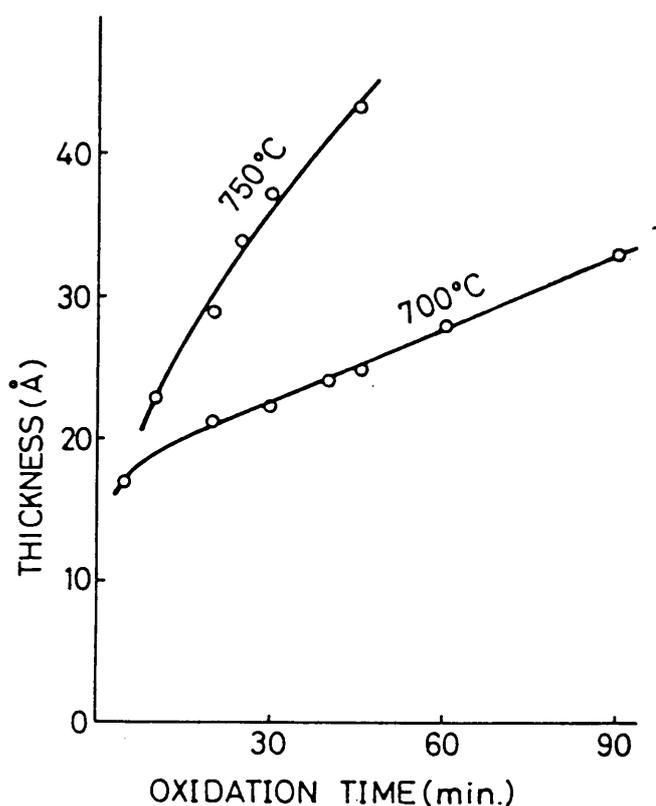


Fig. 2-13 酸化時間と酸化膜厚の関係

があり、注意を要する。このようなとき反応管の出口で露点を測定すると、必ず高くなっており、系に混入した H_2O が原因になっていると考えられる。乾燥酸素により再現性よいトンネル酸化膜を得るためには、露点を $-70^{\circ}C$ 以下、即ち H_2O 濃度で約 2.5 ppm 以下に抑える必要がある。

2.4 まとめ

トンネルMISスイッチング素子の基本構造と、特性の概要について述べた。基本構造を発展させた三端子形素子、集積化素子、横形素子についても、構造と特性、特長を概観した。また三端子形素子を例にとり、素子の製作工程を、簡易形プロセスとフォトリソグラフィ技術を利用したプロセスに分けて具体的に述べた。バイポーラあるいはMOS素子の製作プロセスには通常使われない、本素子に特有の薄い酸化膜形成方法については、装置の構成を含めて詳述した。

参考文献

- 1) T. Yamamoto and M. Morimoto: Appl. Phys. Letters, 20 (1972) 269.
- 2) T. Yamamoto, K. Kawamura, and H. Shimizu: Solid State Electronics, 19 (1976) 701.
山本, 河村, 清水: 静岡大学電子工学研究所報告 1巻1号 (1976) 41.
- 3) 河村, 東, 山本: 電子通信学会講演会予稿 146 (1977. 8).
河村, 東, 山本: 電気関係学会東海支部講演会予稿 211 (1977. 9).
S. E-D. Habib and J. G. Simmons: Solid State Electronics, 22 (1979) 181.
- 4) 河村, 山本: 応用物理学会講演会予稿 14p-K-1 (1977. 10).
- 5) 東, 河村, 山本: 応用物理関係学会講演会予稿 27p-P-2 (1978. 3).
- 6) 河村, 清水, 山本: 応用物理学会講演会予稿 1p-X-11 (1976. 10).
- 7) 河村, 清水, 山本: テレビジョン電子装置研究会資料 ED305号, 画像表示研究会資料 IPD23-8号 (1976).
- 8) 清水, 高村, 山本: テレビジョン学会講演会予稿 5-13 (1973).
山本, 清水, 深谷: 電気学会電子装置研究会資料 EDD-74-46, テレビジョン学会画像表示研究会資料 7-2, 電子通信学会電子装置研究会資料 ED74-2 (1974).
- 9) T. Suzuki and Y. Mizusima: in Proc. 3rd Conf. on Solid State Devices, Tokyo, (1971), Supplement to Oyo Butsuri, 41 (19

72) 40.

10) J. G. Simmons and A. EL-Badry: Radio
Electron. Eng. , 48 (1978) 215.

11) M. M. Darwish and K. Board: Electronics
Letters, 14 (1978) 482.

12) A. G. Nassibian: IEEE Electron Device
Letters, EDL-1 (1980) 67.

13) 松本, 河村, 山本: 応用物理学会講演会予稿3p-T-8 (1978. 11) .

14) B. E. Deal and A. S. Grove: J. Appl. Phys. ,
36 (1965) 3770.

第3章 動作機構

3.1 緒言

前章で素子の構造と特性の概要を述べた。本章ではこのような特性を与える機構について論ずる。

素子の動作機構に関しては、Simmonsを中心とするグループが、トンネルMIS接合を流れる電流と、p-n接合を流れる電流を、電流連続の関係を用いて結びつける方法で導いているが、[1]我々の得た実測値と必ずしも良い一致を見ていない。

ここでは、仮定が多く、かつ難解なトンネル電流の詳細な理論計算には立ち入ることを止め、目的に応じた素子設計を可能にするという点に重点を置いて、できるだけ分かりやすい形で素子動作を明らかにするという方針をとった。

まず始めにトンネルMIS接合を位置付け、接合の果たす機能を明らかにする。そして素子を単体として取り扱うのではなく、二つのトランジスタに分解した等価回路で表わし、そこに現われる電流増巾率を用いて素子特性の構造パラメータあるいは駆動条件への依存性を論ずる。

またこれらから予想される特性を、実験的に確かめる。

3.2 トンネルMIS接合の機能

3.2.1 MIS接合の分類

金属-絶縁体-半導体接合、即ちMIS接合は、絶縁膜の厚さにより通常三つの場合に分けることができる。一つは絶縁膜が厚く、それを通しての量子力学的なトンネル電流が無視でき、直流的には接合を電流が流れないとして取り扱うことができる場合である。これを厚膜MIS接合と呼ぶことにする。MOSキャパシタあるいはMOSFETのゲート部等がこれに相当する。一方絶縁膜が非常に薄い場合、接合の電気的特性は、金属と半導体が直接接触するショットキー接合と同じように取り扱うことができる。これをショットキーMIS接合と呼ぶことにする。絶縁膜の存在は、ショットキーバリアダイオードの電流電圧の関係を表わす式中の、いわゆるn値を僅かに大きくするだけとなる。

絶縁膜の厚さがこれら二つの中間の場合には、絶縁膜中を量子力学的なトンネル電

流が流れ、電流電圧特性もショットキー接合とは著しく異なる特異な性質を表わす。このような接合をトンネルMIS接合と呼ぶことにする。Si-SiO₂系の場合この膜厚範囲は、10-50Å程度と考えられる。[2]本素子に用いられるMIS接合は、丁度この範中に属している。以下ではこのSi-SiO₂系トンネルMIS接合だけについて考えることにする。

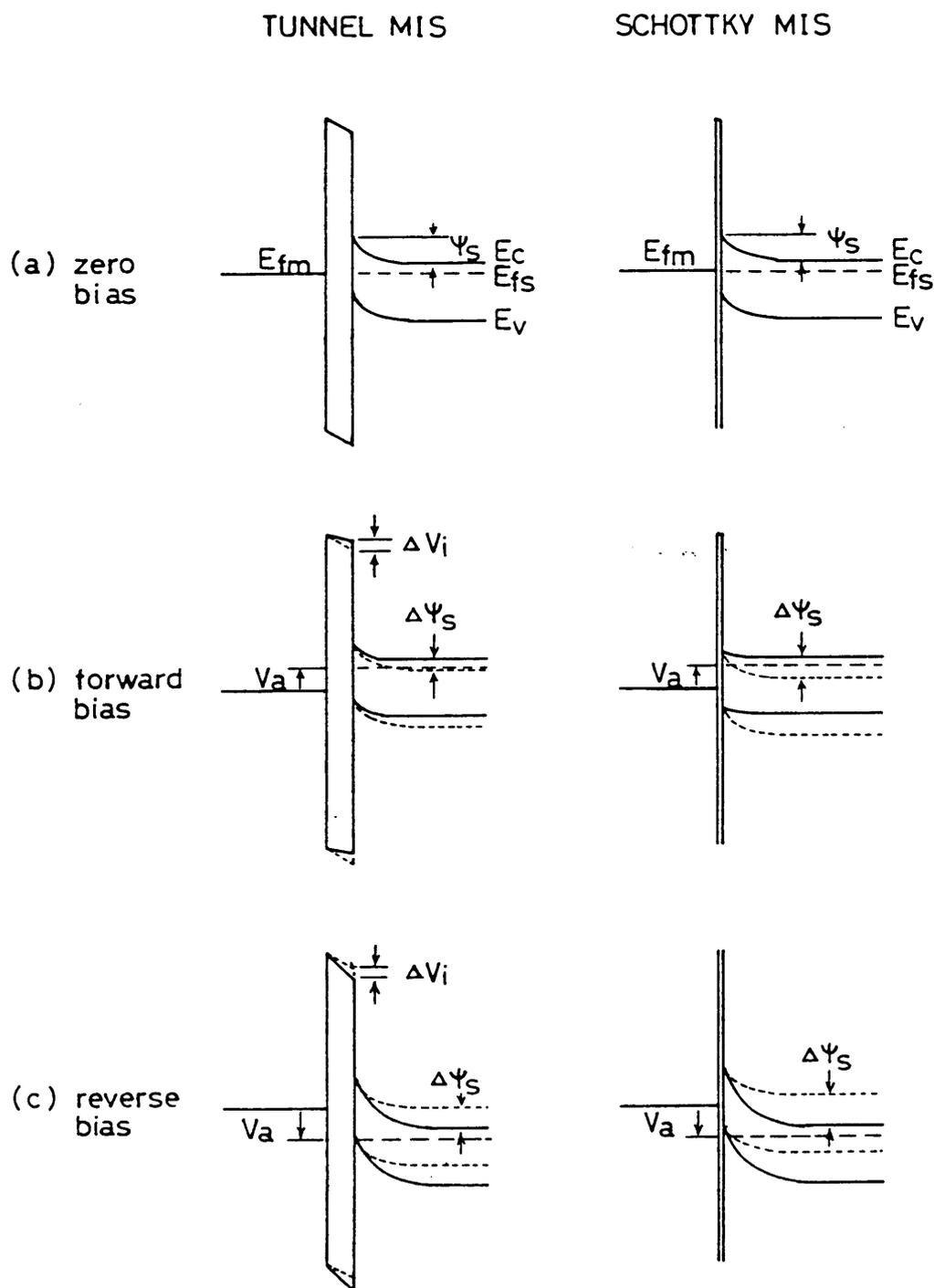
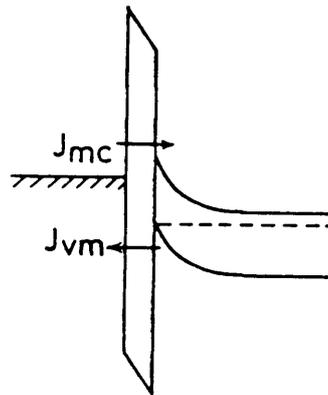


Fig. 3-1 MIS接合のエネルギーバンド



F i g . 3 - 2 M I S 接合を流れるトンネル電流

3. 2. 2 接合を流れるトンネル電流

さてこのように分類されるトンネルMIS接合に、電圧を印加したときに流れる電流について考えてみよう。F i g . 3 - 1 は、n形Siに対するエネルギーバンド図を、ゼロバイアス、順バイアス、逆バイアス時について、ショットキーMIS接合と対比させて示している。ショットキー形の場合、絶縁膜が薄く、膜の存在が電流に対してインピーダンスとしてほとんど働かないので、酸化膜にかかる電圧は無視でき、印加電圧は全てSiの表面ポテンシャル ψ_s の変化として現われる。従って、金属のフェルミレベル E_{Fm} はSi表面のフェルミレベル E_{Fs} にピンされ、Siの伝導帯や価電子帯の端 E_c あるいは E_v との相対的位置は変化しない。一方トンネルMIS接合の場合には、絶縁膜がキャリアの流れを妨げるのでインピーダンスとして働き、印加電圧 V_a は、絶縁膜電圧 V_i と表面ポテンシャル ψ_s に分担される。即ち

$$V_a = \Delta V_i + \Delta \psi_s \quad (3-1)$$

従って、 E_{Fm} の E_c あるいは E_v との相対的位置は ΔV_i だけ変化することになる。

F i g . 3 - 2 は、逆バイアスのトンネルMIS接合を流れるトンネル電流の成分を表わしている。話を簡単にするため、表面準位の関与する電流は無視する。金属からSiに流れるトンネル電子電流 J_{mc} は、Harrisonによれば次式のように

表わされる。 [3]

$$J_{mc} = \frac{q}{2\pi^2 h} \int_{-\infty}^{\infty} (f_m - f_s) \int e^{-\gamma} ds dE \quad (3-2)$$

ここで q は電子電荷、 h はプランク定数である。 f_m と f_s は、それぞれ金属と半導体中のエネルギー E の状態の占有確率であり、次式で表わされる。

$$f_{m, s} = \frac{1}{1 + \exp\left(\frac{E - E_F}{RT}\right)} \quad (3-3)$$

S は波数ベクトル空間における一定エネルギー面の、障壁に平行な面への投影であり、 S に関する積分は、金属と半導体の、波数ベクトル空間の定エネルギー面の投影における重なりに亘って行う。 また γ は次式で表わされる。

$$\gamma = \frac{2}{h} \int_{x_a}^{x_b} (P_{Ti}^2 - P_i^2)^{\frac{1}{2}} dx \quad (3-4)$$

ここに x は障壁に垂直な軸座標であり、 x_a 、 x_b は古典的な引き返し点、即ちこの場合は絶縁膜の両端の座標を表わす。 P_i および P_{Ti} はそれぞれ絶縁膜内におけるトンネル粒子の、結晶運動量およびその x 軸に垂直な方向の成分である。 これらの式の詳しい解析は文献に譲るとして、[4] ここでは簡単に (3-2) 式のもつ意味を考えてみよう。

あるエネルギーレベルにある金属側の電子が、半導体側にトンネル遷移するためには、金属内のそのレベルが電子で占有されており、相当する半導体内のレベルが空いている必要がある。 この条件は $f_m(1 - f_s)$ で表わされる。 一方半導体から金属へのトンネル遷移に対しては、この条件は $(1 - f_m)f_s$ となり、差し引きしたものが金属側から半導体側への正味の遷移量として $(f_m - f_s)$ として式中に表われる。 $e^{-\gamma}$ はトンネル確率であり、(3-4) 式で表わされるように、電子のもつエネルギーのトンネル方向の成分と、絶縁膜のポテンシャルの大きさにより決まる。 これらをエネルギーについて積分したものが全トンネル電流を与えることになるが、ある一定エネルギーに対して、種々の結晶エネルギーをもつ電子が存在するので、まず運動量について積分する必要がある。 このときの積分は、運動量保存則を満たすため、トンネル方向を除いた、それに垂直な面について行う。 これが S に関する積分である。

金属から S_i の伝導帯へのトンネル電流を考える場合、エネルギーについての積分

は E_c から ∞ までとなり、あるトンネル接合が与えられた場合、 E_c より大きなエネルギーをもつ金属内の電子濃度、即ちこれを決める $f_m - f_s$ 、したがって E_{fm} と E_c の相対位置がどのようになるかで大きく変化する。先に調べたように、この相対的位置は、 ΔV_i 即ち印加電圧 V_a のうち酸化膜に担われる電圧により変化するので、電流電圧特性は、ショットキーバリアダイオードのように単純でなく、特異な振る舞いをする。Fig. 3-3 は、印加電圧が酸化膜と Si 表面層にどのように分担されるかを、半導体に十分な少数キャリアの注入がある場合について計算したものである。酸化膜厚 $d = 25 \text{ \AA}$ 、基板のドナー濃度 $N_d = 1 \times 10^{15} / \text{cm}^3$ 、ゼロバイアス時のバリア高さ $\phi_{ms} = 0.68 \text{ eV}$ と仮定した。印加電圧がある特定値のときのエネルギーバンド図も同時に示しておいた。これらの図から、Si 表面が蓄積状態あるいは強い反転状態で、酸化膜に担われる電圧が、酸化膜が薄いにもかかわらず大きく変化し、 E_{fm} と E_c の相対位置も、それに応じて変化することがわかる。

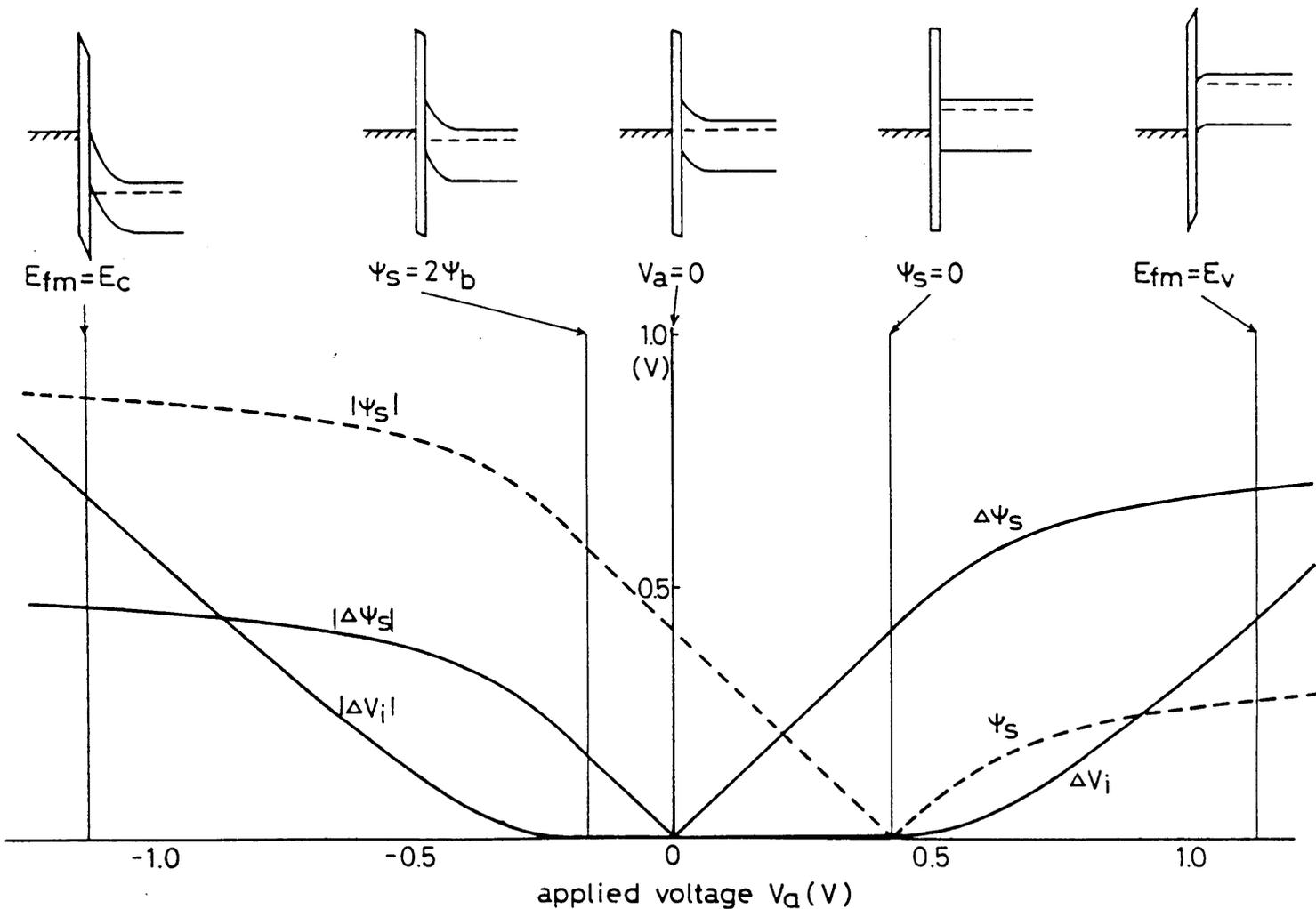


Fig. 3-3 MIS接合に電圧を印加したときの酸化膜と表面ポテンシャルの電圧変化

3. 2. 3 トンネルMIS接合エミッタ

ショットキーバリアダイオードの場合、金属のフェルミレベル E_{Fm} が半導体のフェルミレベル E_{Fs} に界面でピンされて動かないので、電流電圧の関係式は、いわゆるダイオードの式 $J = J_0 \{ \exp(qV/kT) - 1 \}$ で表わされ、飽和電流 J_0 中の電子電流とホール電流の比率は、バイアス電圧によって変化しない。そして順バイアス時、金属から半導体に流れ込む少数キャリア電流は、半導体からの多数キャリアに比べ無視し得る程小さいので、金属はキャリアの有効なエミッタとはなり得ない。

ところがトンネルMIS接合の場合には、先に見たように印加電圧により E_{Fm} の、 E_c あるいは E_v に対する相対的位置が変化するので、電流成分の比率も変化する。従って、ゼロバイアス付近では無視し得る程小さかった金属からの注入電流も、バイアス電圧によっては十分大きくなり、金属はキャリアのエミッタとして十分動作し得るようになる。特にFig. 3-2に示すような、印加電圧の向きが逆バイアスの場合、 $E_{Fm} \geq E_c$ となるような電圧に対して、金属からのキャリアの注入効率 $\gamma = dJ_{mc} / (dJ_{mc} + dJ_{vm})$ は1に十分近くなり得る。即ちトンネルMIS接合は良好なエミッタ接合として動作し得ることになる。

順バイアスの向きにおいても、Fig. 3-3から分かるように、十分大きなバイアスに対しては $E_{Fm} \leq E_v$ となり、金属から顕著なホールの注入が起こり得るが、この場合半導体からの電子の注入も、多数キャリアであり表面も蓄積状態となり、大きいので、注入効率としては、逆バイアスの場合ほど大きくはならないことが予想される。

ここで注目すべきは、金属電極が、バイアス電圧の向きにより、電子およびホール両キャリアのエミッタになり得ることである。

以上述べてきたのは全てn形Siの場合についてであったが、p形Siに対しても同様な考え方が適用できる。即ちこの場合には金属は逆バイアスの向きでホールの注入、順バイアスの向きで電子の注入用エミッタとして動作することになる。これらの事実は、トンネルMIS接合が、従来のp-n接合エミッタにない非常に特異な機能をもつエミッタであることを示している。

3. 3 2トランジスタ等価回路

Fig. 3-4は、M-I-n-p形素子のエネルギーバンド図を示している。(a)はゼロバイアス、(b)は負性抵抗を示す向き、即ち金属側を負にバイアスしたときの図である。(b)図において、印加電圧 V_a は、p-n接合電圧 V_j 、表面ポ

テンシャル ψ_s 、そして酸化膜電圧 V_i に分けて担われる。 Fig. 3-3 で見たよ

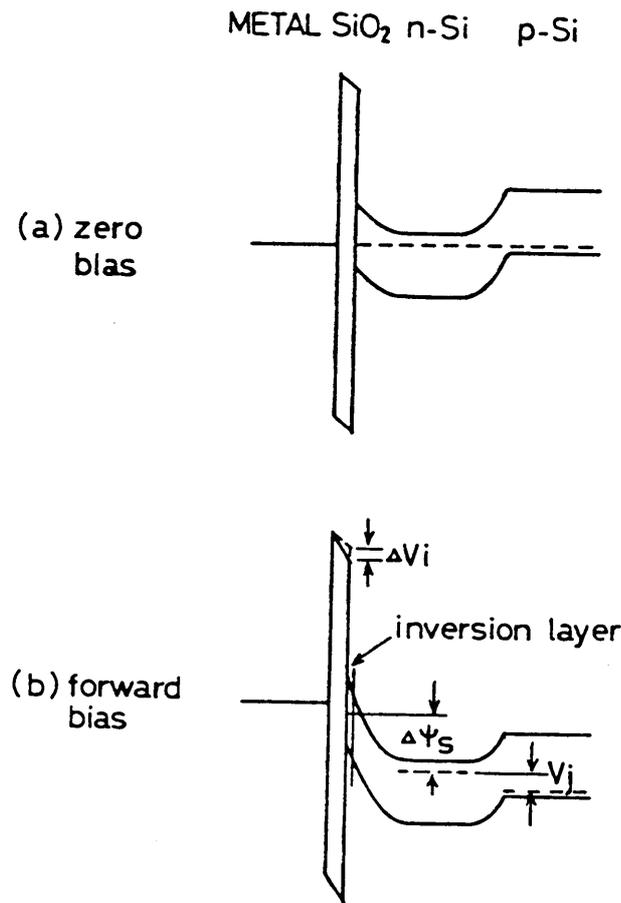


Fig. 3-4 M-I-n-P 素子のエネルギーバンド図

うに、 V_a が増加していくにつれ n 層は空乏化し、ある値以上では表面に反転層を生ずる。さらに電圧が増加し、かつ十分な少数キャリアホールが何らかの機構で供給されると、界面には強い反転が生じ、印加電圧は主として酸化膜に担われるようになる。このような状態では、素子の構造は、ゼロバイアスのときの M-I-n-p 形から、等価的に M-I-p_i-n-p 形 (p_i は p 形反転層を表わす) に移行する。前節で見たように、金属は電子の良好なエミッタとして動作するので、M-I-p_i 部分は、n-p 接合と同等な働きをし、素子は結局 n-p-n-p 形四層構造と等価になる。

このような素子の動作を調べるとき、全体を一つの素子として捉えるよりも、二つのトランジスタ構造に分解して考えたほうが解析し易く、また動作も理解し易い。こ

の手法は、よく知られているように、 $p-n-p-n$ 四層構造素子の解析に使われる常套手段である。[5] Fig. 3-5は、素子の基本構造を2トランジスタモデル化する様子を表わしており、MIS側はMIS接合エミッタをもつ $n-p-n$ 形トランジスタで記述することができる。

一方印加電圧の向きが逆の場合には、MIS接合が順バイアス、 $p-n$ 接合が逆バイアスの向きとなり、エネルギーバンド図はFig. 3-6のようになる。この場合、印加電圧は逆バイアスされる $p-n$ 接合に大部分担われ、表面ポテンシャルおよび酸化膜に担われる $\Delta\psi_s$ 、 ΔV_i は小さく、素子は順バイアストンネルMIS接合をエミッタとする一つのトランジスタで記述される。

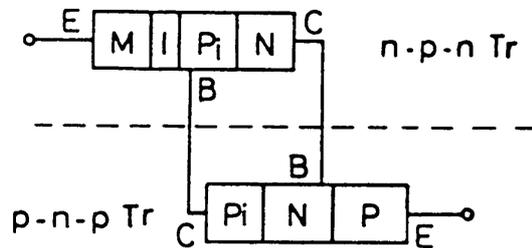


Fig. 3-5 素子の2トランジスタモデル

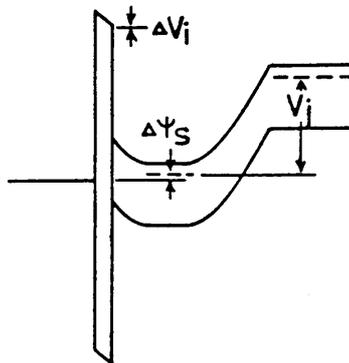


Fig. 3-6 逆バイアス時のエネルギーバンド図

3.4 電流電圧特性

3.4.1 トランジスタの動作状態

一般にトランジスタの動作状態は、エミッタおよびコレクタ接合のバイアス条件により、表3-1のように分類される。増幅には、通常活性領域での動作が利用されスイッチングには、遮断領域と活性または飽和両領域との間の状態間遷移が利用される。活性および飽和領域動作に必要な順バイアス電圧は、接合において意味ある数の少数キャリア注入がなされる大きさが必要であり、バイアス電圧がこの値に達しない場合は、順バイアスされていてもトランジスタは遮断領域動作となる。

表3-1

	エミッタ接合	コレクタ接合
遮断領域	逆	逆
活性領域	順	逆
飽和領域	順	順

本素子の順方向バイアスの場合について考えてみると、p-n接合側トランジスタ（以下 T_{rpn} と表わす）においては、通常のトランジスタと全く同じであるが、MIS側トランジスタ（ T_{rMIS} ）においては、様子は大分異なっている。なぜならば、接合電圧がエミッタとコレクタ、即ち酸化膜と表面空乏層へ分担される割合は、少数キャリアが十分に供給された平衡状態においては先のFig. 3-3のようになるが、実際には反転層電荷は、この領域へのキャリア注入量とトンネル電流で金属側に抜けていくものとのバランスで決まるので、平衡状態から予想されるよりも相当少なく、電圧はほとんど空乏層に担われる場合が多い。何らかの機構で注入キャリアが増大し、強い反転層が形成されて初めて酸化膜電圧、即ちエミッタ電圧が増加し、トランジスタは活性領域動作をおこなう。従ってトランジスタの動作状態は、印加電圧により変化するというより、注入電流量に支配されるようになる。

3.4.2 電流増幅率

活性領域のトランジスタの動作を支配する電流増幅率を、等価回路におけるそれぞれのトランジスタについて考える。

(A) p-n接合エミッタトランジスタ

このトランジスタについては、通常のトランジスタ理論がそのまま適用できる。エミッタにおける注入効率を γ 、ベースでの輸送効率を β とすれば、ベース接地電流増幅率 α_{pn} は、アバランシェ増倍がない場合次式のようになる。[6]

$$\alpha_{pn} = \gamma \cdot \beta \quad (3-5)$$

$$\gamma = \frac{1}{1 + K \left(\frac{N_{DB} W_B D_{nE}}{N_{AE} W_E D_{pB}} + \frac{N_{DB} W_B W_{EB}}{2 n_i D_{pB} \tau_D} e^{-q V_{EB} / 2kT} \right)} \quad (3-6)$$

$$\beta = \frac{1}{\cosh \frac{W_B}{L_{pB}}} \quad (3-7)$$

ここで式中の変数の意味は次のようである。

N_{DB} , N_{AE} : n形ベースおよびp形エミッタ層の不純物濃度

W_B , W_E : ベースおよびエミッタの厚さ

D_{pB} , D_{nE} : ベースおよびエミッタ中の少数キャリアの拡散定数

W_{EB} : エミッタ接合の空乏層巾

L_{pB} : ベース中のホールの拡散長

τ_D : 空乏層における寿命

V_{EB} : エミッタ接合電圧

n_i : 真性キャリア濃度

本素子は構造上、MIS面積の方がp-n接合面積に比べ小さいので、この面積比の注入効率への影響を表わす定数 K (≥ 1)を導入した。(3-6)式中、分母の()内の第一項は、ベースからエミッタへの逆方向注入電流成分の寄与を、また第二項はエミッタ空乏層中の、再結合電流成分の寄与を表わしている。前者は、実際に素子に用いるパラメータの値を代入して計算すると 10^{-5} 程度となり無視できる。 W_B / L_{pB} が小さい場合 $\cosh(W_B / L_{pB})$ を近似式で置き換えれば、 α_{pn} は結局次式のようなになる。

$$\alpha_{pn} = \frac{1 - \frac{1}{2} \left(\frac{W_B}{L_{pB}} \right)^2}{1 + K \frac{N_{DB} W_B W_{EB}}{2 n_i D_{pB} \tau_D} e^{-q V_{EB} / 2kT}} \quad (3-8)$$

式中 W_B は、コレクタ電圧により空乏層巾が変化するので、電圧増加に従って値が減少し、 α_{pn} を増大させる。一方、分母の再結合電流の項は、エミッタ接合電圧とともに

指数関数的に減少し、 α_{pn} を増大させる。このように素子の構造パラメータが与えられた場合でも、 α_{pn} は動作条件により大きく変化することが分かる。

(B) MIS接合エミッタトランジスタ

このトランジスタのベース接地電流増幅率を α_{MIS} とすると、(A)の場合と同様 α_{MIS} は、(3-5)式のように表わされる。しかしながらこの場合、注入キャリアが反転層によって生ずる高いドリフト電界によってベース層を通過するので、ベース内での再結合は無視でき、輸送効率 β は1と置くことができる。従って α_{MIS} は、トンネルMISエミッタにおける注入効率で決まることになる。金属から伝導帯および表面準位への電子のトンネル電流をそれぞれ J_{mc} 、 J_{ms} 、価電子帯から金属へのホールのトンネル電流を J_{vm} とすると、 α_{MIS} は次式のように表わされる。

$$\alpha_{MIS} = \gamma = \frac{dJ_{mc}}{dJ_{mc} + dJ_{ms} + dJ_{vm}} \quad (3-9)$$

この式に表われる種々のトンネル電流成分の計算は、Greenらがいくつかの仮定のもとに求め、金属のフェルミレベル E_{Fm} が伝導帯端 E_c に近くにつれ、即ち等価回路においてエミッタ電圧がMIS接合の障壁高さに近づくと増大し、1に近づき得ることを示している。[3] 3.3.2節で述べたように、ここではこれらの詳しい計算には立ち入ることはしないで、定性的な解釈に留める。即ちMIS接合へのホールの供給により、反転層が強い反転状態になり、これによってエミッタ電圧が障壁高さに比肩し得るようになり、 α_{MIS} が増大すると考える。 α_{MIS} の増大により生ずる注入電子電流の大きさが、供給ホール電流より大きい場合、電流は増幅されたと考えることができる。Greenらはこの面からこの効果を電流増倍(Current Multiplication)と呼んだのであろうが、[3]現象としてはトランジスタのエミッタ接合におけるベース電流の効果と全く同じであると考えられる。

先に無視した表面準位を介してのトンネル電流成分 J_{ms} は、(3-9)式から分かるように、 α_{MIS} を小さくするように働く。従って大きな α_{MIS} を得ようとする場合、表面準位密度は小さいほうが望ましいことになる。

3.4.3 順方向電流電圧特性

負性抵抗を生ずる向きに電圧を印加したときの電流電圧特性を、Fig. 3-7の等価回路を利用して考えてみる。三端子形素子の制御端子をサイリスタにならいゲー

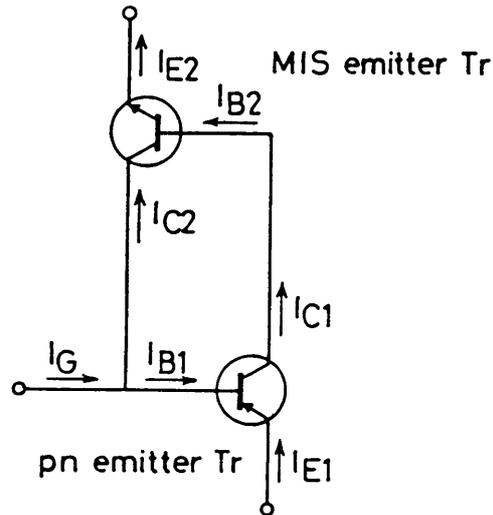


Fig. 3-7 三端子形素子の等価回路

トと呼ぶことにする。簡単化のため p-n 接合側トランジスタに添字 1 を、また MIS 側には 2 を付け、図のように各電流を表わすことにする。p-n 接合側トランジスタにおいて、

$$I_{C1} = \alpha_{pn} I_{E1} + I_{C01} \quad (3-10)$$

また MIS 側トランジスタにおいて、

$$I_{B2} = (1 - \alpha_{MIS}) I_{E2} - I_{C02} \quad (3-11)$$

$I_{C1} = I_{B2}$ より

$$\alpha_{pn} I_{E1} + I_{C01} = (1 - \alpha_{MIS}) I_{E2} - I_{C02} \quad (3-12)$$

$I_{E1} = I_{E2} - I_G$ の関係と、(3-12) 式より I_{E2} を求めると、

$$I_{E2} = \frac{\alpha_{pn} I_G + (I_{CO1} + I_{CO2})}{1 - (\alpha_{pn} + \alpha_{MIS})} \quad (3-13)$$

この式の意味を考えてみる。 $I_{CO1} + I_{CO2}$ は等価回路においては別々に取り扱われるが、実際には一つの共通コレクタ、具体的には逆バイアスされたMIS接合の表面空乏層を流れるリーク電流を表わす。 I_{CO1} は空乏層での発生ホール電流を表わし、 I_{CO2} は同じく電子電流を表わすが、後者は金属からのトンネル電流を含んでおり、障壁高さにもよるが、こちらの方が支配的になる場合が多い。発生電流が空乏層巾の増加即ち逆バイアス電圧に従って大きくなるのに対し、トンネル電流は酸化膜電圧の増加に応じて増大する。素子電流 I_{E2} は α_{pn} と α_{MIS} の大きさにより、(3-13)式に従って変化する。従って素子の電流電圧特性は、 α_{pn} と α_{MIS} が、印加電圧によりどのように変化するかによって決まる。以下 $I_G = 0$ 即ち二端子形素子について考えることにする。

(A) オフ状態

I_{CO1} と I_{CO2} が小さい場合、 α_{pn} と α_{MIS} はともに1に比べて小さく、電圧によってもほとんど変化しないので、電流は(3-13)式で $I_G = 0$ と置いた式で表わされ、電圧による変化は I_{CO1} , I_{CO2} の変化がそのまま反映される。これがオフ状態に対応すると考えられる。

(B) 負性抵抗領域

何らかの理由で α_{pn} または α_{MIS} の値が増加し、 $\alpha_{pn} + \alpha_{MIS} = 1$ が達成されると、(3-13)式の分母が0となり電流は急激に増大し、負荷抵抗における電圧降下により素子電圧は減少する。この電圧減少は、トランジスタのコレクタ電圧を減少させるだけで、 α_{pn} , α_{MIS} の値に直接的には影響しないので、さらに電流は増加を続け、素子は負性抵抗をしめす。より具体的に説明すれば、p-n接合を流れる電流が何らかの原因で増加したとすると、これによりMIS接合界面へのホールの注入電流が増加し、反転層電荷が増加する。これによりMIS接合電圧が増加して電子の注入電流が増え、p-n接合の順バイアス電圧をより深くし、電流をさらに増加させる。この繰り返しのより正帰還ループが形成され、トランジスタが活性領域から飽和領域動作に移行するまで電流は増加し続けることになる。

(C) オン状態

電流増加と電圧減少がさらに続くと、流入するキャリアをコレクタ空乏層の減少だけでは賄いきれなくなり、キャリアの蓄積がはじまり、トランジスタは活性領域動作か

ら飽和領域動作に移行する。この場合、素子電圧は概ね両トランジスタのエミッタ電圧の和で表わされる一定電圧となり、電流電圧特性は、順バイアスされたダイオードの特性に類似したものとなる。これがオン状態に対応する。

三端子形素子の場合、ゲート電流を流すことにより、(3-13)式のように I_{E2} が増加し、それが α_{pn} と α_{MIS} の増大をもたらし、 $\alpha_{pn} + \alpha_{MIS} = 1$ の条件を、より低い電圧で達成させる。以下ではこのゲート電流の降下をはじめとして、素子をオフ状態からオン状態に遷移させる種々の機構について考察する。

3.4.4 種々のターンオントリガ機構

(A) 印加電圧増加により生ずる機構

(a) バンチスルー

印加電圧が増加し、MIS接合空乏層が広がって、基板側のp-n接合空乏層にまで達すると、印加電圧の一部はp-n接合に担われるようになり、ここの障壁高さを減ずる結果、急激に電流が増加する。これにより α_{pn} 、 α_{MIS} ともに増加し、 $\alpha_{pn} + \alpha_{MIS} = 1$ の条件が達成される。このバンチスルー電圧は次式のように表わされる。
[7]

$$V_{PT} = \frac{qN_D}{2\epsilon_S} (W_n - W_j)^2 - V_d \quad (3-14)$$

ここに N_D はn層中のドナ濃度、 W_n はn層厚さ、 W_j はp-n接合空乏層厚さ、 V_d はMIS接合の拡散電位を表わす。 q は電子電荷、 ϵ_S は誘電率である。

Fig. 3-8は、バンチスルー機構によりターンオンする素子の、ターンオン直前までの電流電圧特性の、n層厚さ依存性を調べた典型的な測定結果である。各々の素子は、同一ウエハから出発して、エッチングにより種々のn層厚さをもつ基板を用意し、同時に製作したものである。

電流は、電圧が0.3V程度までは急激に増大し、以後飽和傾向を示したのち、n層厚さが薄いものから順に急激に立ち上がる。そしてある電流に達したところでターンオンする。この電流の急激な立ち上がりはn層のバンチスルーに対応しており、電流が飽和傾向を示す領域は、印加電圧が逆バイアスMIS接合の空乏層に担われることを示すと考えられ、流れる電流は、電圧依存性が小さいことから空乏層内の発生電流ではなく、MIS接合を流れるトンネル注入電流と考えられる。電圧が小さな領域における急激な電流増加は、このトンネル電流を流し得るようになるまで、p-n接合が順

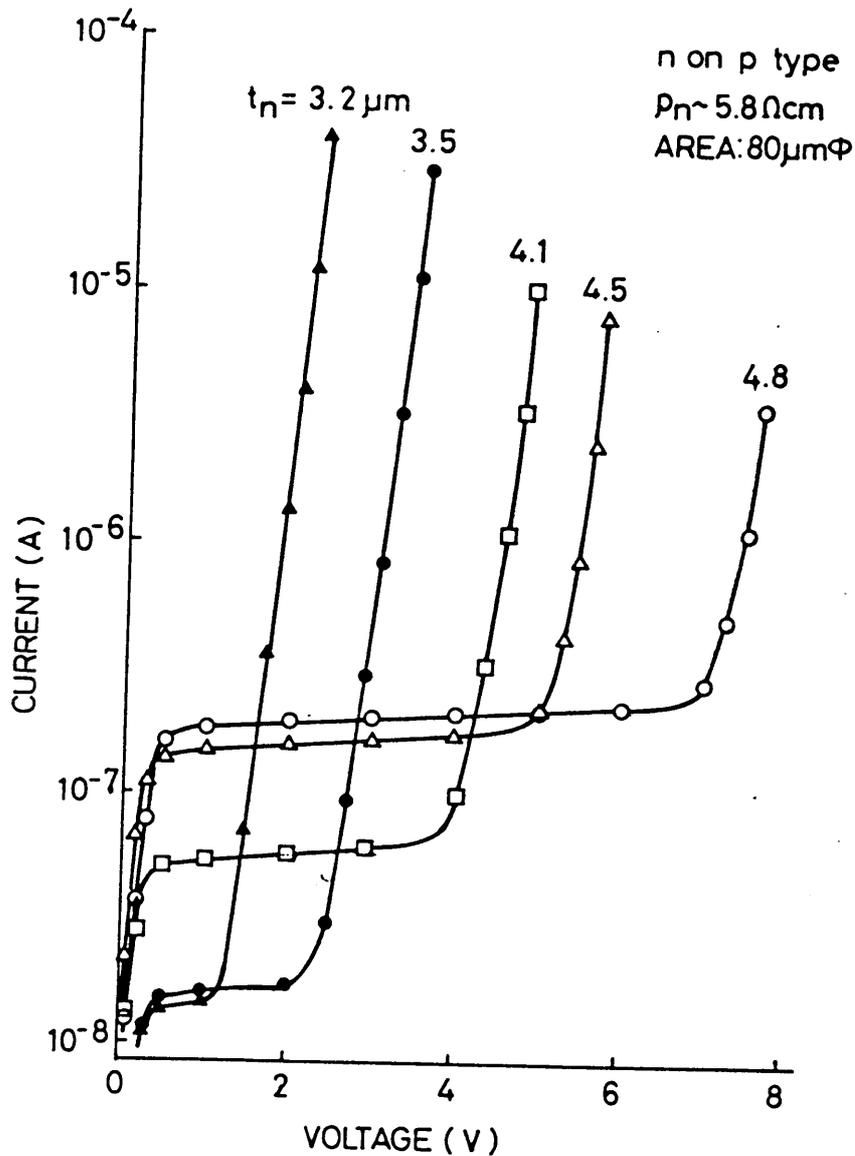


Fig. 3-8 異なるn層厚をもつ素子のオフ状態の電流電圧特性

バイアスされることを表わしていると解釈できる。

Fig. 3-9は、前図と同じ実験例において、(3-14)式の右辺のn層厚依存性を表わす $(W_n - W_j)^2$ を横軸にとり、しきい値電圧 V_{th} をプロットしたもので、それぞれの点は、8個以上の素子の平均値を表わしている。p-n接合の空乏層厚を表わす W_j は、接合の順バイアス電圧に依存して変化する量であるが、ここでは接合電圧を0.3V一定と仮定し、そのときの計算値 $0.89 \mu\text{m}$ を用いた。実線は、MIS接合の拡散電位を0.5Vとして(3-14)式から計算したパンチスルー電圧

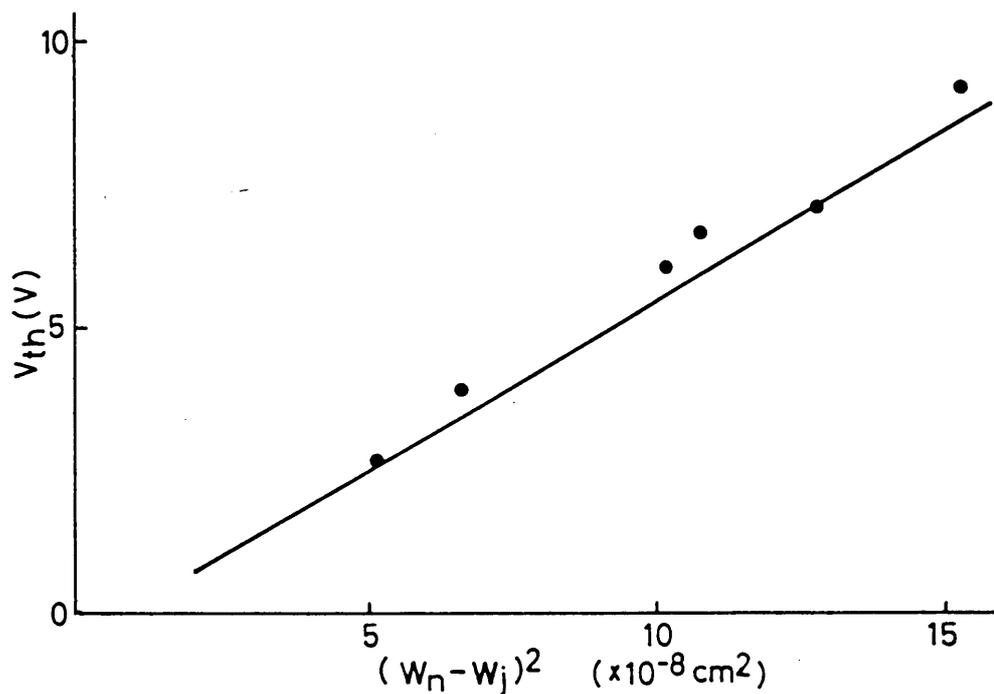


Fig. 3-9 V_{th} の $(W_n - W_j)^2$ 依存性.

実線は(3-14)式から計算したパンチスルー電圧

の理論値を表わしており、実測値はこの直線より僅かに高く、傾向はよく一致している。前図で見たように、電流が立ち上がったのちある値に達して初めてオンするのであるから、しきい値電圧はパンチスルー電圧より高くても当然である。

このようにパンチスルー機構でターンオンする素子は、パンチスルー後の電流増加が急激なため、立ち上がり後の電圧変化は小さく、ターンオンのしきい値電圧を所望の値に揃え易いという大きな利点をもっている。

(b) アバランシェ電圧

印加電圧増加により素子内で最も電界の高くなる表面空乏層端で、アバランシェブレークダウンが生じ、これによる発生キャリア電流により α_{pn} が増大し、続いて α_{MIS} が増大して条件が達成される。ショットキー接合や、非対称階段接合の場合、この電圧は S_i に対して次式のように表わされる。[8]

$$V_B = 5.34 \times 10^{13} \cdot N^{-\frac{3}{4}} \quad (3-15)$$

ここに N は不純物濃度を表わす。本素子の場合も、印加電圧はオフ状態ではほとんど空乏層に掛かるので、この式が当てはまると考えられる。しかしながらアバランシェ電圧は、電極周辺部への電界集中、あるいは局部的な結晶欠陥でのマイクロプラズマの発生等、現実には (3-15) 式より低電圧で生ずることが多い。従ってターンオン電圧がこの機構で決まる素子は、しきい値電圧の均一性は悪くならざるを得ない。

(c) 酸化膜電圧の増加
半導体の不純物

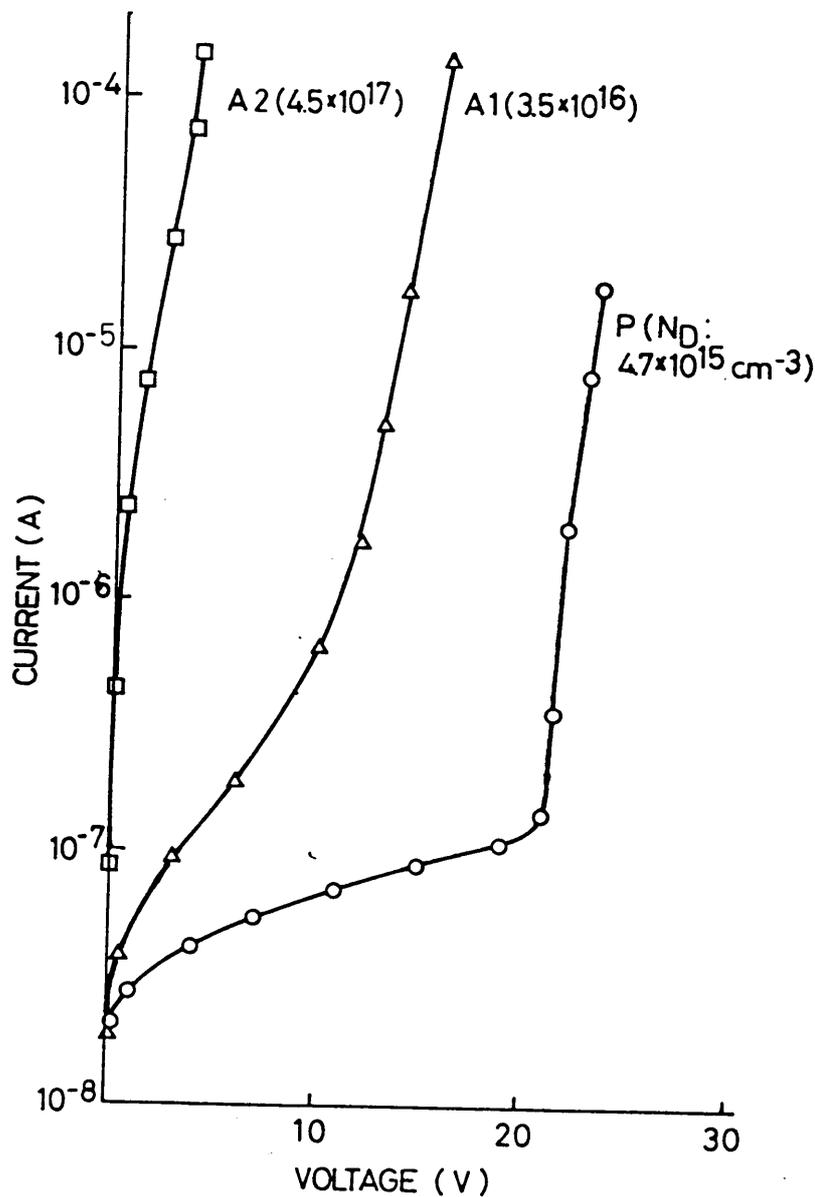


Fig. 3. 10 n層不純物濃度の異なる素子のオフ状態電流電圧特性

濃度が高い場合、表面空乏層の空間電荷量が大きいので、MIS接合を逆バイアスしたとき、表面に強い反転層が生じなくても、表面電界、従って酸化膜電界が大きくなり、その結果酸化膜電圧も大きくなり得る。これにより金属からのトンネル注入電子電流が増加し、 α_{MIS} を増加させるとともに α_{pn} も増大する。

Fig. 3-10は、n層の厚さが $3.0\mu\text{m}$ 一定で、不純物濃度の異なる三種のウエハを用いたM-I-n-p形素子の、ターンオン直前までの電流電圧特性の測定例であり、不純物濃度が高い素子程オフ状態の電流が飽和傾向を示さず、電圧増加に従って増大する傾向を示すことがよくわかる。不純物濃度の低いPの素子だけがパンチスルー電圧でしきい値電圧が決まっており、先に示したこの形独特の電流電圧特性を示している。A-1とA-2の素子は、印加電圧によるオフ状態電流の増加傾向が著しいので、ターンオンの機構が、酸化膜電圧の増加によるものか、アバランシェブ레이크ダウンによるものかが区別が付け難い。ちなみにA-1およびA-2のブ레이크ダウン電圧の計算値は、それぞれ 20.9V および 3.1V であり、両者とも実測値に近い値である。

図から分かるように、エピタキシャル層の不純物濃度が高い場合、オフ状態におけるリーク電流が大きいため、特性上好ましくなく、この意味でも不純物濃度が低い、パンチスルー形素子の方が優れていると言える。

(d) 中性n層厚さの減少

印加電圧によりMIS接合空乏層が広がり、その分中性n層巾 W_n が減少するので、(3-8)式の分子が大きくなり、 α_{pn} が増加する。これに伴い、 α_{MIS} も増加して $\alpha_{pn} + \alpha_{MIS} = 1$ の条件が達成される。しかしながら、この変化は、式の分母の指数関数を含む項に比べて α_{pn} への寄与が小さいので、実際にはこの機構だけで遷移が起こることは少ないと考えられる。

印加電圧の増加によりターンオンが起こる機構は以上のものであり、これらは素子の構造パラメータを適当に選ぶことにより設計が可能であり、素子の基本的特性といえる。

(B) 電流増加により生ずる機構

次に素子電流の増加に起因する機構について考える。これらは主として動作条件によって誘起されるものである。

(a) ゲート電流

三端子形素子において、ゲート電流を増加させることによりp-n接合の電流を増加し、 α_{pn} を増加させると共に α_{MIS} を増加させ、 $\alpha_{MIS} + \alpha_{pn} = 1$ をより低い電圧で

達成させる。即ちしきい値電圧を下げる。

(b) 隣接素子電流

同一基板上に近接して素子を形成したとき、隣接素子を流れる電流は、三端子形素子のゲート電流と同じ働きをするので、しきい値電圧を低下させる。

(c) 光電流

式(3-13)において、 I_{C01} と I_{C02} は素子電流 I_{E2} に対し I_G と同じような効果を果たす。従って光励起によりこれらの電流を増加させれば両 α とも増大し、しきい値電圧を下げる。Fig. 3-11は、三端子形素子に光を照射しながら、ゲート電流を変化させしきい値電圧の変化を調べた結果を示しており、光の照射強度をパラメータに採っている。図から分かるように、光照射の効果はゲート電流と全く同じであり、照射強度の増加は、曲線を、形を変えずにゲート電流軸にそって一定値だけ、負の側に移動するだけとなる。見方を変えれば、光照射によって低下したしきい値電圧は、ゲートからその分電流を引き出すことにより元の値に戻し得ることになり、光に対する感度をこの端子によって調節できることを示している。この効果は、式(3-

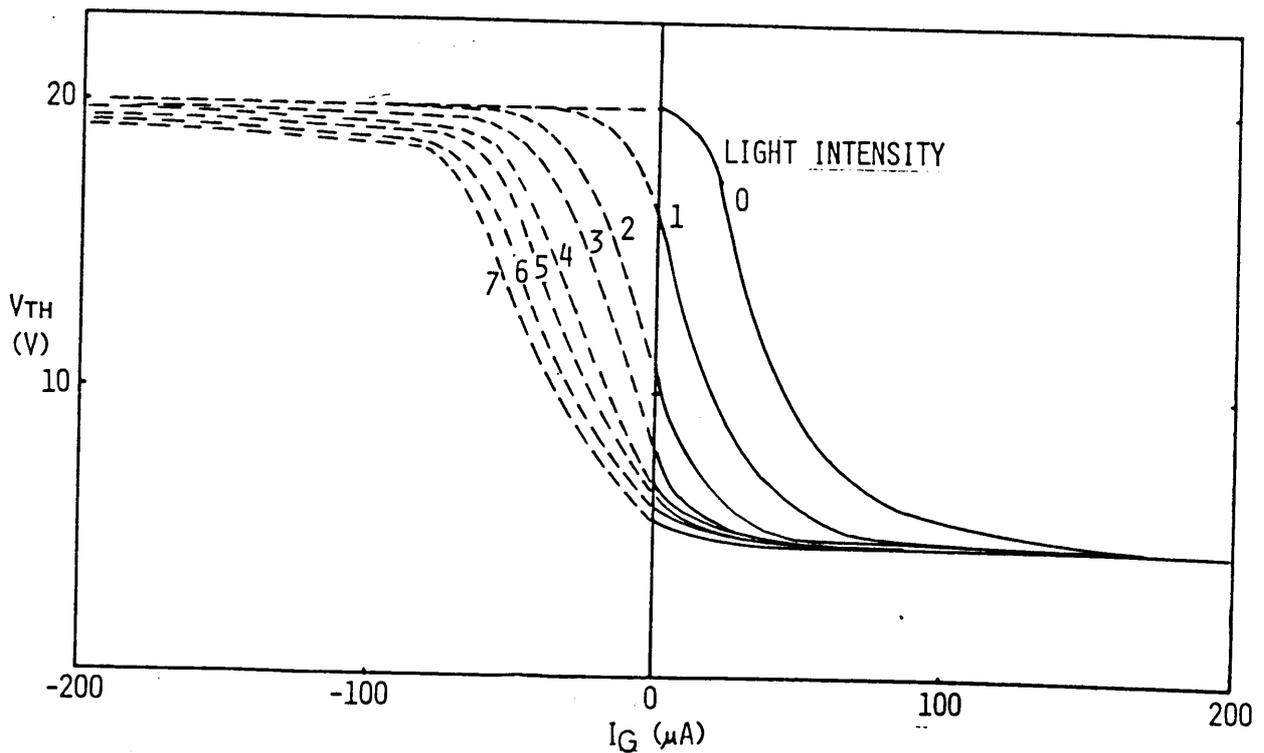


Fig. 3-11 光照射強度をパラメータとしたゲート電流による V_{TH} の制御特性

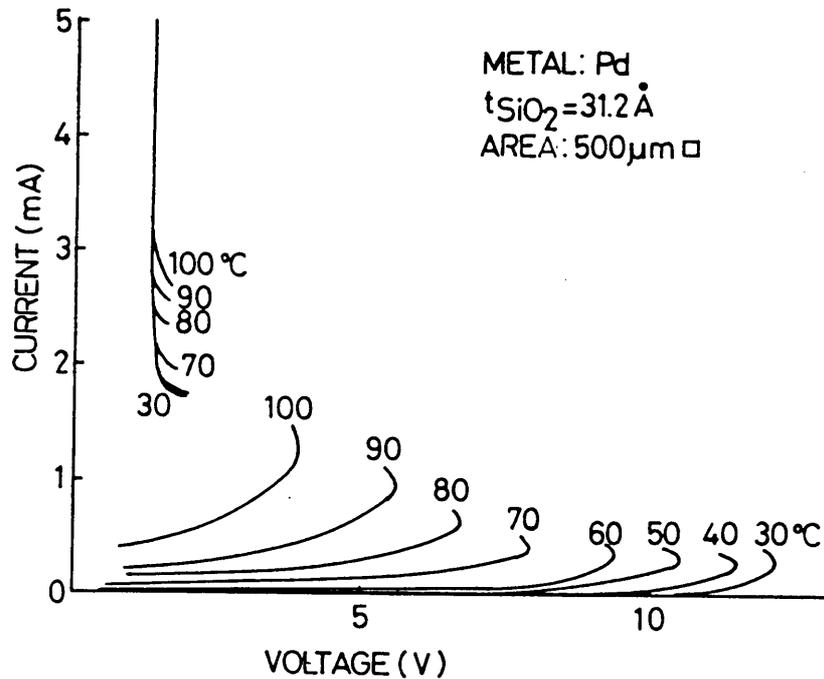


Fig. 3-12 温度を変えた時の電流電圧特性の変化

13) において分子の I_{CO1} および I_{CO2} の変化分を、反対符号をもつゲート電流 I_G で補償して元の値に戻すことに相当していると考えられる。

(d) 温度による電流変化

光照射と同様に熱励起によって I_{CO1} と I_{CO2} を増加させ、しきい値電圧を下げるができる。 Fig. 3-12 は、温度を変えたときの電流電圧特性の変化の一例を示しており、温度上昇がゲート電流あるいは光照射と全く同じ効果をもつことが分かる。従って素子を温度センサとして利用することも可能である。しかしながら通常は、特性が温度変化に対して鈍感なほど使い易い場合が多いと思われる。そのためには、オフ状態における電流 I_{CO1} と I_{CO2} を小さく抑え、温度上昇によりこれら電流が増加しても $\alpha_{MIS} + \alpha_{pn} < 1$ を保つような素子設計をすればよい。そうすれば、ある温度までは温度変化によりオフ状態のリーク電流は増加しても、しきい値電圧はほとんど温度に依存せず元の値を保つことができると思われる。

以上電流増加によりオン状態への遷移が起こる場合について考察したが、これらは式(3-13)の分子における変化に起因しており、形態は異なっても本質的には同じであり、いずれも $1 / \{1 - (\alpha_{MIS} + \alpha_{pn})\}$ 倍されて電流増加に寄与するので効果としては大きい。これが素子特性が、光などに高感度である理由にもなっている。

(C) その他の機構

(a) MIS接合の障壁高さの変化により α_{MIS} が変化し、注入電流変化により α_{pn} も変化して、 $\alpha_{MIS} + \alpha_{pn} = 1$ が達成される。従って、素子設計において、MIS接合用金属を適当に選ぶことにより、特性を大きく変えることができる。また、動作時には金属の仕事関数を変化させる現象に敏感に反応し、センサとして利用できる。この例については7章で詳しくのべる。

(b) p-n接合とMIS接合の面積比を変えることにより、トランジスタの輸送効率を変え、 α_{pn} を変化させてターンオンの条件を変えることが可能である。これは(3-8)式中のKの値を変えることに相当する。

(c) 横形素子においては、MIS接合とp-n接合との距離を、他のMISゲートによるチャネル形成や消滅により変えることができ、しきい値電圧を制御できる。このような素子はNassibianにより報告されている。

以上、素子の種々のターンオン機構、およびしきい値電圧を変化させる機構について述べた。これらを、目的に応じて使い分けることにより、所望するしきい値電圧をもつ素子の設計や、ある特定の変化量に感応するセンサの設計が可能になると考えられる。

3.4.5 逆方向電流電圧特性

逆方向に電圧を印加した場合、Fig. 3-5に示したようなエネルギーバンド図となり、素子はMIS接合をエミッタとする一つのトランジスタで表わされる。二端子形の場合、電圧は逆バイアスのp-n接合に大部分が担われ、MIS接合にはほとんど分担されないため、酸化膜電圧も低く、エミッタの注入効率はゼロとみなすことができ、電流電圧特性は逆方向のp-n接合特性が、そのまま表われると考えられる。

3.5 まとめ

素子の動作機構について論じた。まず始めに、MIS接合を絶縁膜厚により分類し、トンネルMIS接合の位置付けを行った。次に、接合を流れるトンネル電流成分について考察し、トンネルMIS接合が逆バイアスされる向きにおいて、キャリアの良好なエミッタになり得ることを明かにした。これらの知見をもとにして、素子をトランジスタ等価回路を用いて記述し、負性抵抗特性が、二つのトランジスタの結合特性から生ずることを導いた。そして、個々のトランジスタの電流増幅率の、構造パラメータおよび駆動条件への依存性から、種々のターンオン機構が生ずることを明かにし、実

験的にも確かめた。一方逆方向特性は、素子が一つのトランジスタで記述できる結果、逆バイアスの p-n 接合特性がそのまま表われることを導いた。

参考文献

- 1) S. E-D. Habib and J. G. Simmons: Solid State Electronics, 22 (1979) 181.
- 2) M. A. Green and J. Shewchun: Solid State Electronics, 17 (1974) 349.
- 3) W. A. Harrison: Phys. Rev., 123 (1961) 85.
- 4) M. A. Green, F. D. King and J. Shewchun: Solid State Electronics, 17 (1974) 551.
- 5) サイリスタ・エレクトロニクス編集委員会編: サイリスタ素子, 丸善.
- 6) A. S. Grove: Physics and Technology of Semiconductor Devices, John Wiley and Sons.
- 7) S. M. Sze, D. J. Coleman, Jr. and A. Loya: Solid State Electronics, 14 (1971) 1209.
- 8) S. M. Sze: Physics of Semiconductor Devices, Wiley Interscience.

第4章 過渡応答特性

4.1 緒言

素子をスイッチング素子として利用する場合、ターンオンおよびターンオフ時の過渡応答特性について調べることは、動作速度および使用周波数限界、あるいはまた消費電力を見積る等、素子の性能を評価し最適設計をする上で極めて重要である。しかしながら、素子の過渡応答特性についての詳しい研究は、現在までのところほとんどなされていない。このような観点から、本研究では素子に矩形波を印加したときの応答特性を、素子内に蓄積される電荷に注目する電荷制御法を用いて解析し、^(1,2)実験結果との対比を行う。得られた解析結果は実験結果を説明付けている。〔2, 3〕

4.2 矩形波に対する過渡応答波形

二端子形素子に、しきい値電圧以上の振幅をもつ矩形波を印加したときの、典型的な電流応答波形を Fig. 4.1 に示す。オン状態への遷移に際しては、遷移が電圧印加と同時に起こるのではなく、電流は素子容量の充電期間と思われるある遅れ時間の

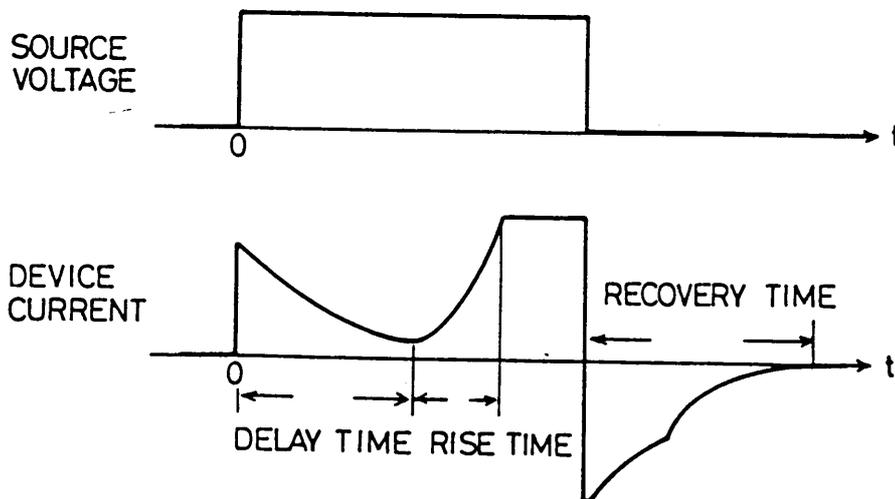


Fig. 4-1 矩形波に対する典型的な電流応答波形

後立ち上がり、ほぼ指数関数的に増大して定常的なオン状態の電流値に落ち着く。電流が減衰して最小値に達するまでの期間を遅れ時間、増加し始めてから定常値に達するまでの期間を立ち上がり時間と呼ぶことにすると、これらは酸化膜厚や素子面積、エピタキシャル層の不純物濃度や厚さに依存し、駆動回路の負荷抵抗や印加電圧の大きさによっても変化する。

一方、矩形波の終端側におけるオン状態からオフ状態への遷移に対しても、電流は直ちにゼロになるのではなく、素子内の蓄積電荷の放電によると思われる逆方向の電流が流れ、徐々に減衰してゼロに収斂する。収斂の時定数は多くの場合二つに区別でき、これらはオン状態への遷移と同様、構造パラメータや駆動条件に依存して変化する。また後続の矩形波が近接して加えられた場合、素子内の残留電荷に起因すると思われるしきい値電圧の低下が見られる。

このように、矩形波電圧印加に対して、素子には時間遅れと有限の立ち上がり速度、およびターンオフ時には蓄積電荷による逆回復期間が存在し、これらは素子を高周波で動作させる場合に周波数限界を与え、スイッチング電力損失の増大による効率低下、あるいはそれに伴う温度上昇から、最大許容電力に制限をもたらす。また逆方向の過渡電流成分は、目的によっては素子の応用を制限することになる。以下の節では、矩形波に対する応答を、ターンオン時とターンオフ時に分け、素子内の電荷に注目して解析を行う。

4.3 ターンオン過渡特性の解析

4.3.1 電荷制御法と素子内の電荷

M-I-n-p形素子について考える。第三章で調べたように、素子は二つのトランジスタの結合したものと考えることができ、ターンオン特性は、Fig. 4-2に示すような等価回路に、振幅 V_a のステップ電圧を印加した場合と考えることができる。説明上、p-n接合側トランジスタを T_{r1} 、MIS側のそれを T_{r2} と表わし、それぞれに関するパラメータを添字1, 2で区別することにする。

電荷制御法では、トランジスタに蓄積された電荷量に着目して動作を解析する。Fig. 4-3は、素子内の関係する電荷を、固定電荷 Q （大文字）と可動電荷 q （小文字）に分けて表わしている。後者で正符号はホール、負符号は電子電荷を表わしている。固定電荷としては、 T_{r1} のp-n接合エミッタの空乏層電荷 Q_{E1} 、および共通コレクタ即ちMIS接合空乏層電荷 Q_c がある。一方可動電荷としては、 T_{r1}

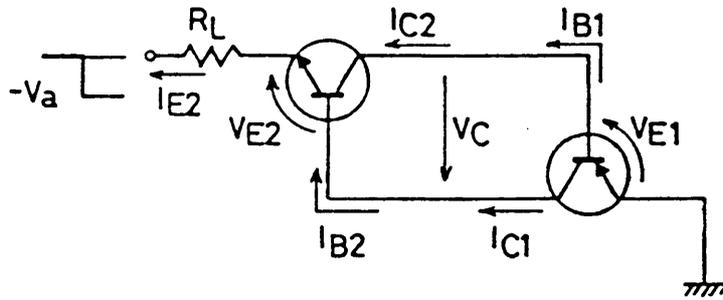


Fig. 4-2 解析に用いた等価回路

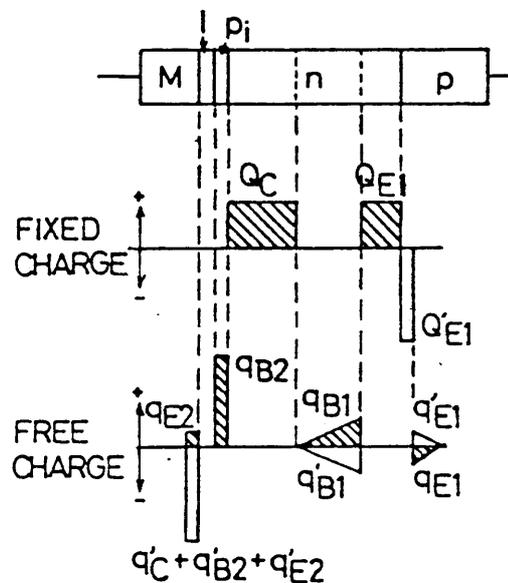


Fig. 4-3 素子内の過剰電荷

のエミッタ、即ち基板への注入電子電荷 q_{E1} およびベースへの注入ホール電荷 q_{B1} 、 Tr_2 においては、金属電極への注入ホール電荷 q_{E2} および反転層を形成するホール電荷 q_{B2} がある。これら電荷のうち、 q_{E1} 、 q_{B1} そして q_{E2} は、その場で反対符号の多数キャリア電荷 q'_{E1} 、 q'_{B1} そして q'_{E2} でそれぞれ中和されており、素子電圧には何ら寄与しない。一方、 Q_{E1} はエミッタ内の空間電荷 Q'_{E1} と、また Q_c および q_{B2} は、金属電極内に誘起される電子電荷 q'_c および q'_{B2} と電気的二重層を形成し、素子電圧の担い手となる。図の斜線を施した電荷は、これらの全ての対電荷の一方の電荷を表わしており、これら電荷と、電流および電圧の関係を求めればよい

ことになる。

4. 3. 2 電荷制御方程式

電荷制御方程式を導くにあたり、次の仮定および取り扱いを行う。

(1) p形反転層は厚さを無視してシート状と考え、金属電極へのトンネルホール電流は反転層電荷量に比例するとする。

(2) 両トランジスタは活性領域で動作するとし、電流増幅率は一定値をもつパラメータとして取り扱い、電流その他への依存性は別に考える。

(3) 共通コレクタ容量の電圧依存性は無視し、一定な平均値を用いる。

(4) 両エミッタへの逆注入電荷 q_{E1} および q_{E2} は、他の電荷量に比べ小さいとして無視する。

(5) コレクタ空乏層電荷の酸化膜電圧への寄与は小さく無視する。

(6) p-n接合エミッタ電圧変化は、電流変化に対して小さく無視する。

このような仮定および取り扱いにより、以下に示すように電荷制御方程式は線形となり、数値解析に頼ることなく過渡応答波形の各種パラメータへの依存性を、非常に理解し易い形で得ることが可能になる。

まず $T r 1$ において、電流と電荷の関係式は

$$I_{B1} = \frac{q_{B1}}{\tau_{B1}} + \frac{dq_{B1}}{dt} - \frac{dq_{E1}}{dt} - \frac{dq_c}{dt} \quad (4-1)$$

$$I_{C1} = \frac{q_{B1}}{\tau_{C1}} \quad (4-2)$$

(4-1) 式において、右辺第一項はベース中での再結合電流を、また第二項はベースへの蓄積、第三および第四項はそれぞれエミッタ、コレクタ空乏層の中和のための電流成分を表わしている。 τ_{B1} はベース中でのホールの寿命である。(4-2) 式は、ベースを拡散してコレクタに達する電流成分を表わしており、 τ_{C1} はベース走行時間で、ベース巾即ち中性n層の厚さを W_n 、ホールの拡散定数を D_p とすれば、 $\tau_{C1} = W_n^2 / 2 D_p$ で表わされる。

一方 $T r 2$ においては、ベース電流 I_{B2} はトンネルホール電流として金属電極へ抜ける分と、反転p層への蓄積分からなり、トンネル時定数を τ_{TH} とすれば、

$$I_{B2} = \frac{q_{B2}}{\tau_{TH}} + \frac{dq_{B2}}{dt} \quad (4-3)$$

また、 I_{C2} はトンネルホール電流とエミッタ接地電流増幅率 β_2 で結びつけられ、

$$I_{C2} = \beta_2 \frac{q_{B2}}{\tau_{TH}}$$

Fig. 4-2から分かるように両トランジスタ間、および駆動回路との関係から、

$$I_{C1} = I_{B2} \quad (4-5)$$

$$I_{C2} = I_{B1} \quad (4-6)$$

$$\begin{aligned} I_{E1} &= I_{C1} + I_{C2} + \frac{dQ_c}{dt} \\ &= \frac{1}{R_L} (V_a - V_{E1} - V_c - V_{E2}) \end{aligned} \quad (4-7)$$

(4-7)式において dQ_c/dt は、空乏層容量を流れる変位電流を表わしている。また V_{E1} 、 V_c 、 V_{E2} は次式で表わされる。

$$\begin{aligned} V_{E1} &= -\frac{Q_{E1} - Q_{E10}}{C_{E1}}, \quad V_c = \frac{Q_c - Q_{c0}}{C_c}, \\ V_{E2} &= \frac{q_{B2}}{C_i} \end{aligned} \quad (4-8)$$

ここに C_{E1} 、 C_c はそれぞれ Tr_1 のエミッタおよびコレクタ空乏層の平均容量であり、 C_i はトンネル酸化膜容量である。また電荷における添字0は、電圧を印加しないときの値を表わしている。

活性領域にある Tr_1 の V_{E1} が、素子電流によってほとんど変化しないことを考慮して、これらの式から電流および電圧を消去して整理すると、次式のようなベース内蓄積電荷、および共通コレクタ空乏層空間電荷に関する方程式が得られる。

$$\begin{aligned} \frac{dq_{B1}}{dt} &= -\left(\frac{1}{\tau_{C1}} + \frac{1}{\tau_{B1}}\right) q_{B1} - \frac{q_{B2}}{C_i R_L} - \frac{Q_c - Q_{c0}}{C_c R_L} \\ &\quad + \frac{1}{R_L} (V_a - V_{E10}) \end{aligned} \quad (4-9)$$

$$\frac{dq_{B2}}{dt} = \frac{q_{B1}}{\tau_{C1}} - \frac{q_{B2}}{\tau_{TH}} \quad (4-10)$$

$$\frac{dQ_c}{dt} = -\frac{q_{B1}}{\tau_{c1}} - \left(\frac{1}{\frac{\tau_{TH}}{\beta_2}} + \frac{1}{C_i R_L} \right) q_{B2} - \frac{Q_c - Q_{c0}}{C_c R_L} - \frac{1}{R_L} (V_a - V_{E10}) \quad (4-11)$$

これらは定係数の連立一階線形微分方程式であり、解析的に解くことが可能である。

$$Q'_c = Q_c - Q_{c0} + C_c (V_a - V_{E10})$$

とおき、 q_{B1} 、 q_{B2} 、 Q'_c に $e^{\lambda t}$ なる指数関数形の解を仮定して(4-9)、(4-10)、(4-11)式に代入すると、解の存在条件から指数 λ に関する次の三次方程式が得られる。

$$\begin{aligned} \lambda^3 + \left(\frac{1}{\tau_{c1}} + \frac{1}{\beta_1 \tau_{c1}} + \frac{1}{\tau_{TH}} + \frac{1}{\tau_c} \right) \lambda^2 \\ + \left\{ \left(\frac{1}{\tau_{c1}} + \frac{1}{\beta_1 \tau_{c1}} \right) \frac{1}{\tau_{TH}} + \frac{1}{\tau_{TH} \tau_c} + \frac{1}{\beta_1 \tau_{c1} \tau_c} + \frac{1}{\tau_{c1} \tau_i} \right\} \lambda \\ + \frac{1 - \beta_1 \beta_2}{\beta_1 \tau_{c1} \tau_{TH} \tau_c} = 0 \end{aligned} \quad (4-12)$$

ここで $\beta_1 = \tau_{B1} / \tau_{c1}$ 、 $\tau_c = C_c R_L$ 、 $\tau_i = C_i R_L$ の置き換えを行った。

(4-12)式の三根を λ_1 、 λ_2 、 λ_3 とすると、これらは時間の逆数の次元をもち、各電荷量に対する一般解は、これらを指数とする指数関数の一次結合で表わされ、それぞれの項の係数は境界条件により定まる。根のうち符号が負のものは減衰項を表わし、その絶対値が大きな項は減衰が速く、短時間のうちに無視できる大きさになる。従って重要なものは、正根あるいは負根の中では絶対値の小さな根であり、通常これらの根だけを考えればよい。

電荷量が求められれば、素子電流および素子電圧は、(4-2)、(4-4)、(4-7)、(4-8)式から計算でき、時間依存性は、電荷量と同じように正根、あるいは絶対値の小さな負根に支配されることになり、この根を λ_1 とすれば、次式のように表わされる。

$$I_{E1} = I_0 e^{\lambda_1 t}$$

λ_1 が正の場合は増大する電流を、また負の場合は減衰電流を表わす。根が複素数になる場合は振動電流を表わすが、後で見るように減衰が速く無視してよい。

4.3.3 根の振る舞い

いま根の大小関係を $\lambda_1 \geq \lambda_2 \geq \lambda_3$ と決め（複素根を含む時は実数部を比較）、これらが(4-12)式で表わされる方程式の係数を形作る種々の時定数および電流増幅率 β_1, β_2 に、どのように依存するかを調べる。

ここでもう一度、各々の時定数のもつ意味をはっきりさせておく。

τ_{c1} : n形ベース中のホールの走行時間

τ_{TH} : 反転p層から金属電極へのホールのトンネル時定数

τ_c : 共通コレクタ空乏層容量と負荷抵抗で決まる時定数 $C_c \cdot R_L$

τ_i : トンネル酸化膜容量と負荷抵抗で決まる時定数 $C_i \cdot R_L$

方程式(4-12)は、簡単な考察により定数項の符号即ち $(1 - \beta_1 \cdot \beta_2)$ の符号により解が分類できることが分かる。以下それぞれの場合について、根が時定数や電流増幅率にどのように依存するかを計算機を利用して調べる。

(A) $1 - \beta_1 \cdot \beta_2 > 0$ の場合

この場合、根は負の三根または一負根と実数部が負の共役複素根をもつ。Fig. 4-4(a)は、 $1 - \beta_1 \cdot \beta_2 \cong 1$ 即ち $\beta_1 \cdot \beta_2$ の値が1に比べて無視できる大きさのときの三根の τ_c 依存性を、 τ_{TH} をパラメータとして表わしている。 β_1 と τ_i は、通常用いられる素子構造パラメータから計算される典型的な値、 $\beta_1 = 100$, $\tau_i = 200 \tau_c$ を用いた。

時定数の基本単位として、トランジスタの α 遮断領域周波数を与える、ベース走行時間 τ_{c1} を選び、他は全てこの値で規格化することにする。根 λ も同様に規格化し、 $\lambda / (1 / \tau_{c1}) = \tau_{c1} \cdot \lambda$ で表わす。従って、例えば $\tau_{c1} \cdot \lambda = -1$ は、解の時間依存性が、時定数 τ_{c1} で減衰することを表わす。

Fig. 4-4(a)から分かるように、 τ_c の全領域で三根とも負の実根となる。絶対値の大きな λ_2, λ_3 のうち λ_3 は τ_{TH} にはほとんど依存せず、常に λ_1 に比べて大きく、すぐに減衰してしまい考慮する必要がないことを示している。 λ_2 については、 τ_{TH} が大きい場合 λ_1 に比べて必ずしも無視できないが、減衰の時定数に対して支配的なものは、やはり λ_1 と言える。 λ_1 は τ_c の大きな領域でほぼ $1 / (\beta_1 \tau_c)$ で近似される。比較のために $\lambda = -1 / \tau_c$ のグラフを示しておいたが、ターンオン時の遅れ時間における電流の減衰時定数が、単純に素子容量 C_c の負荷抵抗 R_L を

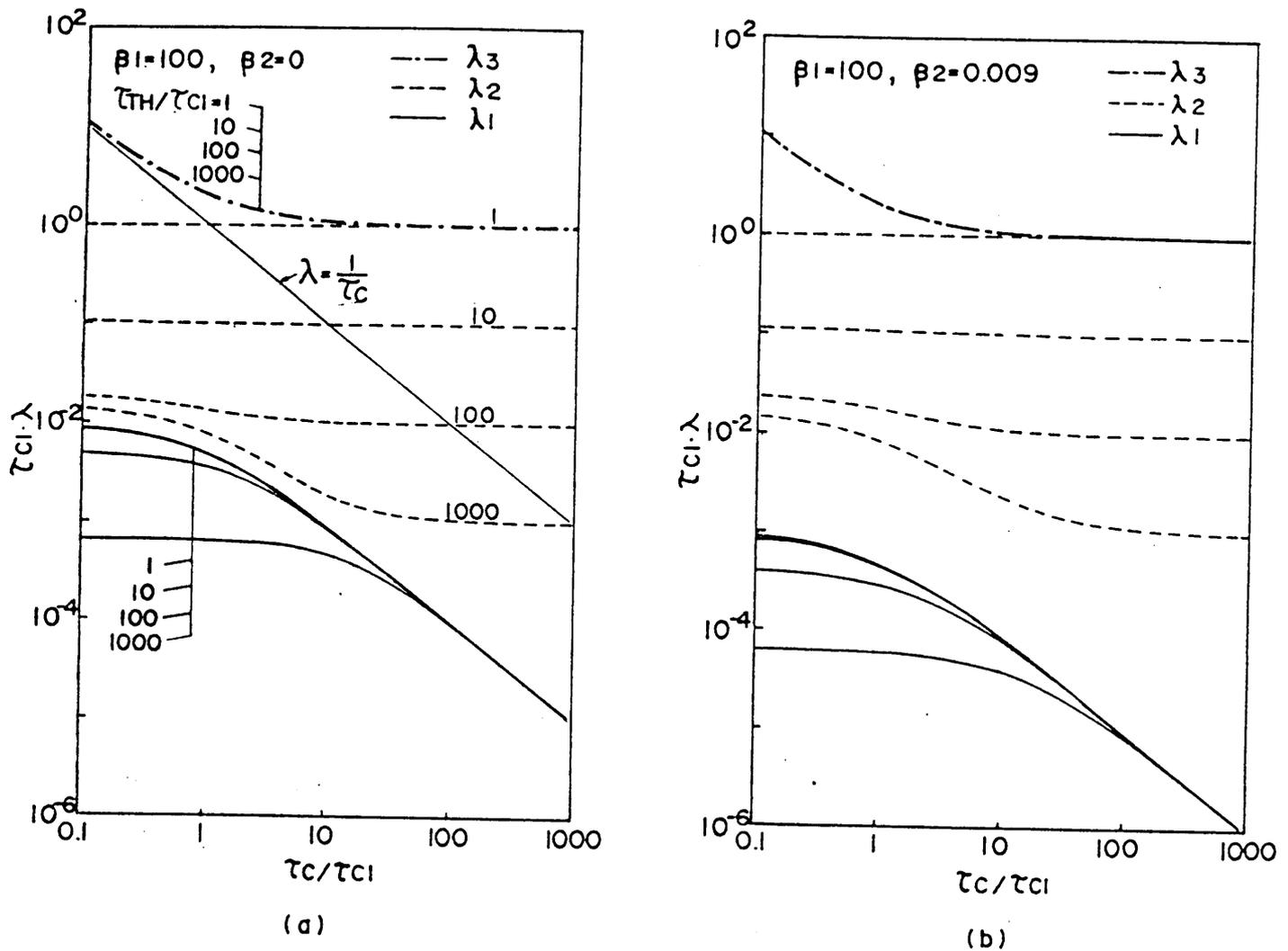


Fig. 4-4 根の τ_c 依存性 (a) $\beta = 0$, (b) $\beta = 0.009$
 時定数はベース走行時間 τ_c で規格化されている。

通しての充電の時定数 $\tau_c = C_c R_L$ ではないことが分かる。

$\beta_1 \cdot \beta_2$ の値が増加して1に近づくにつれ、 λ_1 はほぼ $(1 - \beta_1 \cdot \beta_2)$ に比例して絶対値が小さくなり、極限の $\beta_1 \cdot \beta_2 = 1$ で0となる。この間 λ_2, λ_3 は値がほとんど変化しない。Fig. 4-4 (b) は $\beta_2 = 0.009$ 即ち $(1 - \beta_1 \beta_2)$ が0.1に減少したときの根の様子を示している。 λ_1 だけが約1オーダー小さくなっており、 λ_2, λ_3 に比べこの根だけが重要になることが分かる。

λ_1 に関するこのような振る舞いは、次の近似式を用いると理解しやすい。

$$\lambda_1 \cong - \frac{1 - \beta_1 \cdot \beta_2}{\beta \tau_c + \tau_c + \beta_1 \tau_{c1} + \tau_{TH} + \beta_1 \tau_{TH} \cdot \tau_c / \tau_i} \quad (4-13)$$

この式は、(4-12)式において根の絶対値が小さいとして、 λ^3 および λ^2 の項を無視して求めたものであり、検証の結果 $\tau_{TH} \leq 10$ に対しては、10%以下の誤差しか与えない。

λ_1 で表わされる減衰定数は、具体的には素子に電圧が印加されたときの、中性n層の空乏化、言い換えればMIS容量の充電の時定数に関連している。先にも述べたように、単純に考えた場合予想される、MIS容量 C_c (C_i は C_c に比べ2オーダー大きいので直列接続の場合無視できる) と、負荷抵抗 R_L の積 τ_c でなく、他の種々のパラメータが関与していることが、(4-13)式から知られる。 τ_c が τ_{c1} および τ_{TH} に比べて大きい場合を考えると、 $\lambda_1 \cong 1 / (1 + \beta_1) \tau_c$ となり、 τ_c が $(1 + \beta_1)$ 倍されており、これはp-n接合によって形作られる、フックコレクタによるn層空乏化電流の増倍効果に他ならない。即ち、空乏化に要した電子電流の β_1 倍のホール電流がp側から流れ込み、これは空乏化に何ら寄与しないことによる。

(4-13)式中の分母に表われる $\beta_1 \cdot \tau_{c1}$ は、n層中の蓄積電荷の中和分を、また τ_{TH} と τ_i を含む項は、反転層電荷による酸化膜容量 C_i の充電電圧の寄与分を表わしていると解釈でき、分子の $(1 - \beta_1 \cdot \beta_2)$ は、両トランジスタの帰還ループの効果を表わしていると考えられる。Fig. 4-4に戻って、 λ_1 の τ_c あるいは τ_{TH} への依存性は、これらの効果の寄与によると考えると理解しやすい。

以上 $1 - \beta_1 \beta_2 > 0$ の場合について検討したが、支配的な根 λ_1 が負であることから、先に述べたように、電流応答波形上ではFig. 4-1の遅れ期間に対応する。この期間を短くするためには、(4-13)式の分母を小さくするような素子設計をすればよい。具体的には、 τ_c の減少には素子面積の縮小、 τ_{c1} の減少には中性層の厚さを薄くすること、そして τ_{TH} の減少のためには、トンネル酸化膜の薄膜化を図ればよいと考えられる。薄膜化により τ_i は増加するが、この時定数の寄与は他に比べて小さい。 β_1 の値も小さい程遅れ時間は短い。

(B) $1 - \beta_1 \cdot \beta_2 = 0$ の場合

この場合、最大根 $\lambda_1 = 0$ となり、他の二根は共に負根、または実数部が負の複素根となる。これら二根は絶対値が大きいので無視できる。従って電荷量および電流は時間に依存せず、定常値をとる。これは、電流応答波形が減衰状態から増大状態に移行する点に対応する。この条件は、パンチスルー形の素子の場合、直流的には素子電

圧がほぼパンチスルー電圧に達し、多量のホールが注入され始めて β_1 と β_2 がともに急激に大きくなることにより達成されると考えられるが、過渡応答の場合、変位電流が流れ、必ずしもパンチスルーを必要とせず、空乏層の広がりに応じて中性層が薄くなり、ホールの伝達効率が增大して β_1 を大きくすることによっても実現され得る。従って、直流におけるしきい値電圧以下で、オン状態への遷移が起こり得ると考えられる。

(C) $1 - \beta_1 \cdot \beta_2 < 0$ の場合

λ_2 と λ_3 が負根または実数部が負の複素根であるのに対し、 λ_1 は正根となり、電荷量および電流はこの λ_1 を指数として時間とともに指数関数的に増大する。これは Fig. 4-1 の電流応答波形の、電流立ち上がり期間に対応する。従って、根が大きいほど電流の立ち上がり速度が速いことを表わす。正根 λ_1 の大きさは、 $|1 - \beta_1 \beta_2|$

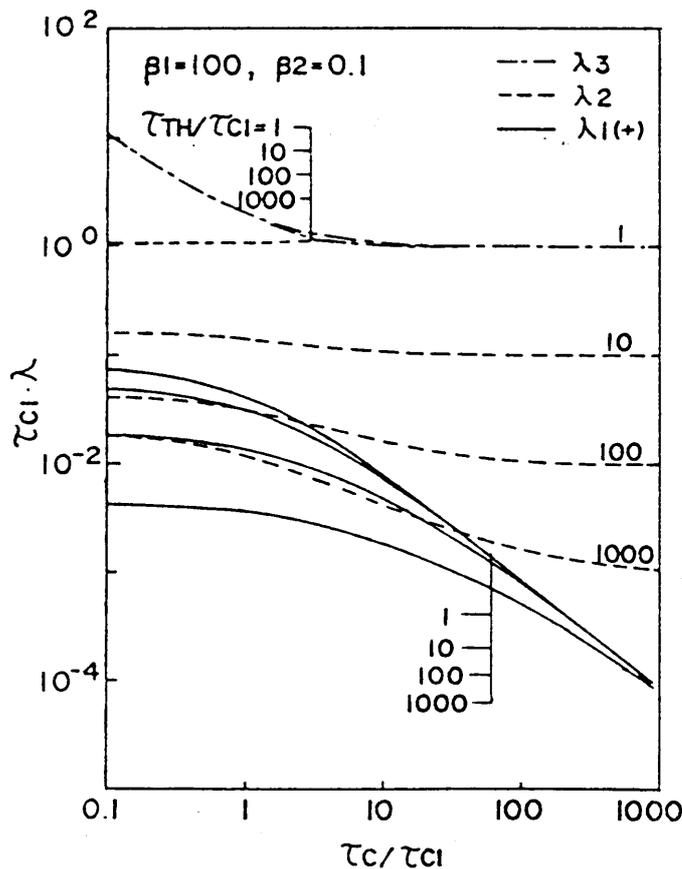


Fig. 4-5 根の τ_c 依存性 $|1 - \beta_1 \cdot \beta_2| = 9$ の場合

の大きさにほぼ比例して変化するので、 $\beta_1 \cdot \beta_2$ が1に比べて大きいほど立ち上がり速度は速い。

Fig. 4-5は、 $\beta_1 = 100$, $\beta_2 = 0.1$ 即ち $|1 - \beta_1 \cdot \beta_2| = 9$ のときの根の τ_c 依存性をしめしており、実線で示されている λ_1 だけが正根であることに注意してほしい。符号が正になっただけでなく、大きさがFig. 4-4(a)に比べて、1オーダ近く大きくなっており、 τ_{TH} 依存性が增大している。一方、 λ_2 , λ_3 は、前図と比べて大きな変化はない。($\tau_{TH} / \tau_{c1} = 1$ のとき、 λ_1, λ_2 は $\tau_c / \tau_{c1} \geq 3$ の領域で共役複素根となり、図は実数部のみを示している。)

$\beta_1 \cdot \beta_2$ が1に比べてあまり大きくない場合には、正根の大きさも小さく、例えば $\beta_1 = 100$, $\beta_2 = 0.011$ 即ち $1 - \beta_1 \cdot \beta_2 = -0.1$ のとき、根の τ_c , τ_{TH} 依存性は、 λ_1 の符号が正に変わるだけで、Fig. 4-4(b)の $1 - \beta_1 \cdot \beta_2 = 1$ のグラフと、ほとんど同じである。先に述べたように λ_1 の値はFig. 4-4(a)に比べて減少しており、 $\beta_1 \cdot \beta_2$ の値が1に近い場合、立ち上がり速度は非常に遅くなることが分かる。

$\beta_1 \cdot \beta_2$ の値が変化するときの、 λ_1 の変化に対する β_1 および β_2 の寄与のし方は、必ずしも同じではない。Fig. 4-6(a)は、 β_2 が0, 0.1, 1.0

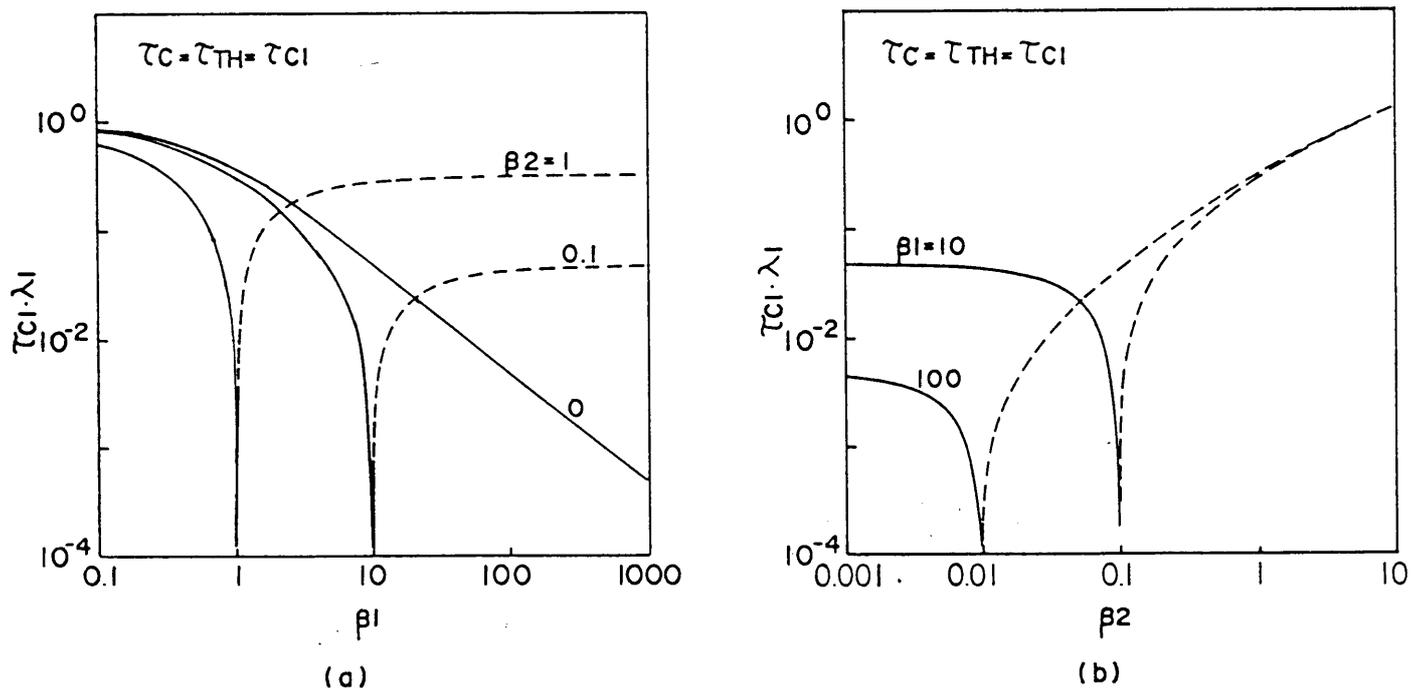


Fig. 4-6 根の β 依存性 (a) β_2 がパラメータ, (b) β_1 がパラメータ

のときの λ_1 の β_1 依存性を、また、(b)は、 β_1 が10および100のときの λ_1 の、 β_2 依存性を示している。 τ_c と τ_{TH} は、ともに τ_{c1} に等しいとして計算している。両グラフとも、 $\beta_1 \cdot \beta_2 = 1$ なる点を境にして、根が負根から正根に変化しており、 $\beta_1 \cdot \beta_2$ が増大するに従って正根も大きくなるが、その増加傾向は(a)では飽和するのに対し、(b)ではそれが見られない。これは数式の上では、方程式(4-12)における定数項が、分母に β_1 を含んでいることに起因しており、素子設計の上で大きな意味をもっている。即ち、立ち上がり時間の短縮を図る場合、 β_1 を大きくするよりも、 β_2 を大きくする方がその効果が大きいことを示している。先に検討したように、遅れ時間を小さくする上で、 β_1 は小さい程よいことを考え合わせると、 β_1 を小さく抑えて、その分 β_2 を大きくすることが、スイッチング時間の短縮に、より適することになる。

4.3.4 駆動条件への依存性

これまでに、素子を2トランジスタモデルで近似し、電荷制御方程式を解いてその根の種々のパラメータ依存性について調べてきた。しかしながら、それらはいくまで指数関数的に変化する電荷量、および電流の変化を支配する時定数であり、素子にステップ電圧を印加したときに実際得られる、遅れ時間ないしは立ち上がり時間ではない。ここでは、実際に観測されるこれらの時間と、先の時定数との関係を、駆動電圧への依存性も含めて検討する。

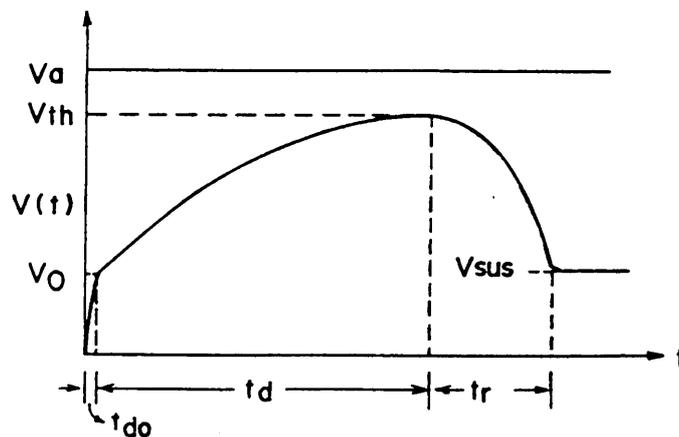


Fig. 4-7 ステップ電圧を印加したときの素子の電圧波形

Fig. 4-7は、しきい値電圧以上のステップ電圧 V_a を印加したときの、素子の電圧波形を示している。 V_a からこの電圧をひいたものが負荷抵抗端の電圧であり、電流波形を表わす。先の解析では触れなかったが、p-n接合側トランジスタが活性領域動作をするためには、p-n接合が、ホールのエミッタとなるために必要な電圧まで、接合を充電することが先ず必要である。この充電のための電荷は、共通コレクタの空乏化のために移動した電荷で賄われる。この時の時定数は、トランジスタが遮断領域領域にあるため増幅効果がないので、コレクタおよびエミッタ接合容量の直列結合容量と R_L の積で決まり、通常先に調べた減衰の時定数に比べて小さく、充電時間 t_{d0} は無視できる。従って、遅れ時間 t_d を計算する際の素子電圧は、充電後の値 V_o を初期値として用いればよい。遅れ時間を与える充電の時定数を τ_d とすれば、 $\tau_d = -(1/\lambda_1)$ であり、素子電圧および電流はFig. 4-7を参考にして、次式のように表わされる。

$$V(t) = -(V_a - V_o) e^{-\frac{t}{\tau_d}} \quad (4-14)$$

$$I(t) = \frac{1}{R_L} (V_a - V_o) e^{-\frac{t}{\tau_d}} \quad (4-15)$$

遅れ時間は、電流が減少から増加に転ずる変化点までの時間であり、しきい値電圧を V_{th} とすれば、素子電圧がこの値に達するときである。従って、

$$t_d = \tau_d \ln \left(\frac{V_a - V_o}{V_a - V_{th}} \right) \quad (4-16)$$

となり、印加電圧 V_a に強く依存する。 V_o はp-n接合の活性化電圧の2-3倍の大きさであり、保持電圧と同程度の大きさである。

一方、立ち上がり時間 t_r についても同様にして、立ち上がり時定数 τ_r との関係を求めると、素子電圧の始点および終点が、それぞれ V_{th} および V_{sus} であることから、

$$t_r = \tau_r \ln \left(\frac{V_a - V_{sus}}{V_a - V_{th}} \right) \quad (4-17)$$

となり、 V_o が V_{sus} に変わった点を除いて、(4-16)式と全く同じ式で表わされる。ここに $\tau_r = 1/\lambda_1$ である。

Fig. 4-8は、 $V_{th} = 3V_o$ の場合の、 t_d / τ_d の印加電圧 V_a への依

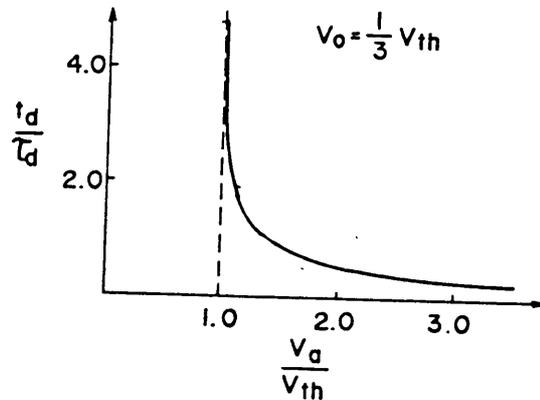


Fig. 4-8 印加電圧による遅れ時間の変化

存性を表わしており、 V_0 を V_{sus} に置き換えれば、そのまま t_r/τ_r の依存性となる。図から分かるように、 $V_a \geq 1.4 V_{th}$ にとれば、 t_d 、 t_r は時定数 τ_d 、 τ_r 以下となるが、 V_{th} に近づくとつれ急激に増大して、遅れ時間および立ち上がり時間を長くする。

電圧印加時から電流が定常的なオン状態電流に達するまでの時間を、スイッチング時間 t_s とすれば、 t_s は t_d と t_r の和に等しく、

$$t_s = \ln \left\{ \left(\frac{V_a - V_0}{V_a - V_{th}} \right)^{\tau_d} \cdot \left(\frac{V_a - V_{sus}}{V_a - V_{th}} \right)^{\tau_r} \right\} \quad (4-18)$$

で表わされる。時定数が与えられた場合、速いスイッチング時間を得るためには、 V_{th} に比べ高い駆動電圧を与える必要があることが分かる。また、素子設計においては、できるだけ低いしきい値電圧となるように構造パラメータを選ぶ必要があることが分かる。

4.4 ターンオフ過渡特性の解析

4.4.1 素子内蓄積電荷

ターンオン時の解析と同様に、素子を二つのトランジスタの結合したものとみなす。ターンオフの場合は、オン状態にある素子に印加電圧と同じ大きさの逆電圧を印加した場合に相当するので、Fig. 4-9に示すように、p形反転層とn形エピタキシャル

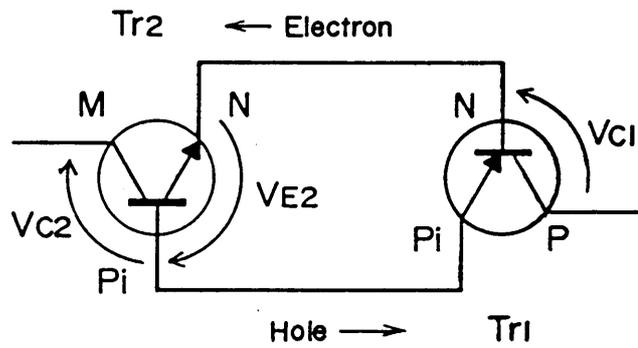


Fig. 4-9 ターンオフ過渡応答特性の解析に用いた等価回路

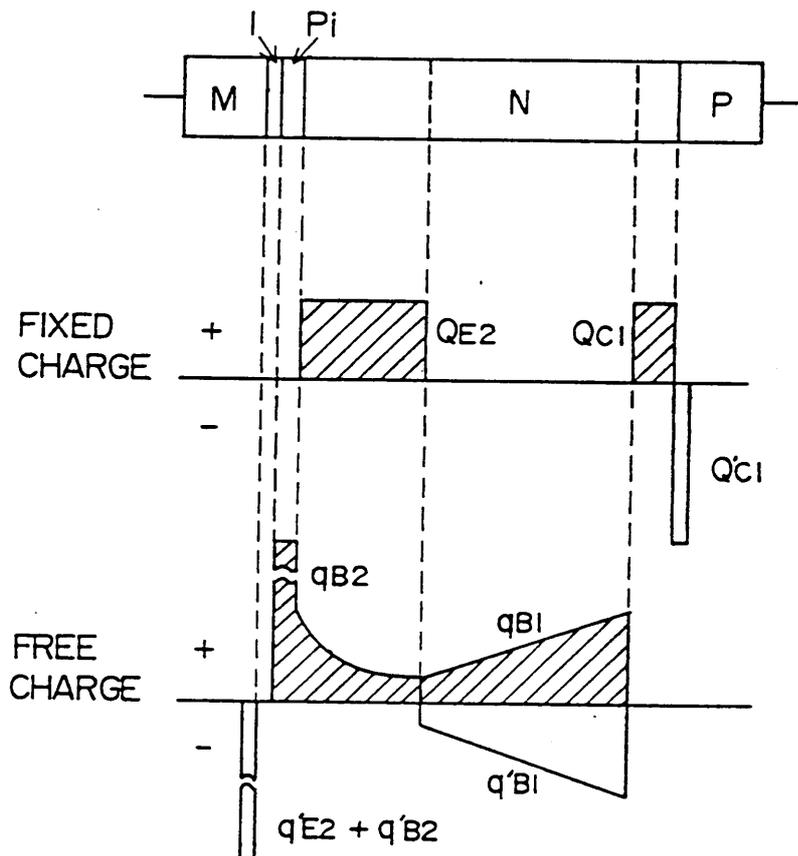


Fig. 4-10 オン状態の素子内蓄積電荷

層からなる $p-i-n$ 接合をエミッタとし、 $M-I-pi$ および $n-p$ 接合をコレクタ接合とする等価回路を用いるのが都合がよい。ターンオン時の解析に用いた等価回路と比較して、一方のトランジスタのエミッタが、他方のそのベースに接続されている点が大きく異なり、（前者においてはコレクタがベースに接続）従って、正帰還が生じない。

Fig. 4-10 は、オン状態にある素子内に蓄積されている過剰電荷を、固定電荷と可動電荷に分けて、模式的に示している。 $p-n$ 接合側トランジスタ Tr_1 は、オン状態にある $p-n-p-n$ 四層構造素子の場合と同様、オン時には飽和領域にあると考えられる。従って、エミッタ、コレクタ接合とも順バイアスされており、多量のベース蓄積ホール q_{B1} が存在し、その場で同量の多数キャリア電子 q'_{B1} によって中和されている。コレクタ空乏層電荷は、順バイアスのために減少しており、その減少量を ΔQ_{c1} とすれば、空乏層容量 C_{c1} は、電圧を印加しない場合に比べ、 $V_{c1} = \Delta Q_{c1} / C_{c1}$ だけ電子により充電された状態にある。

一方、MIS接合側トランジスタ Tr_2 においては、反転層電荷による強い表面電界のため、ベース中の少数キャリア電子の蓄積は無視できると考えられ、蓄積電荷の主なものは、反転層を形成している多数キャリアのホールである。この電荷 q_{B2} が、酸化膜を介して金属電極との間に形成しているコレクタ容量 $C_{c2} = C_i$ は、 $V_{c2} = V_i = q_{B2} / C_i$ だけ充電された状態にある。エミッタ接合は、オン状態における素子電圧の値および V_{c1} 、 V_i の大きさから、逆バイアス状態にあると考えられ、従って空乏層巾は、平衡時に比べ厚く、空乏層容量 C_{E2} は、 $V_{E2} = \Delta Q_{E2} / C_{E2}$ だけ放電した状態にある。同じ接合が Tr_1 に対しては順バイアスであり、 Tr_2 に対しては逆バイアスになっているのは、反転層電荷を中和する電子が、強い表面電界により存在しないことによる。

オン状態においては、素子電圧 V_{sus} は、これら容量の充放電電圧の和 $V_{c1} + V_{E2} + V_{c2}$ であり、ターンオフ時の過渡特性は、それぞれの容量の、ホールはトランジスタ Tr_1 を通しての、また、電子は Tr_2 を通しての放電過程と考えることができる。素子電圧および電流は、その放電過程に対応した時定数でゼロに向かって減衰していく。蓄積キャリアとしては、上記以外に、 p 形基板中あるいは MIS 接合の電極金属中の注入少数キャリアと、それらを中和している多数キャリアが存在するが、いずれも絶対量が小さいと考えられるので、ターンオン時の解析と同様、以下の解析では無視する。また、素子内のキャリアの再結合による減衰も、寿命が放電の時定数に比べ長いとして無視する。

4. 4. 2 種々の放電過程

Phase 1: n形ベース中の蓄積電荷の放電

ターンオフ開始直後においては、 $T_r 1$ は飽和領域にあり、ベース中には多量の蓄積ホールが存在するので、先ずこのホールが $T_r 1$ のコレクタ側に放電する。素子内部には電流を制限する機構は存在せず、従って素子には負荷抵抗とオン電圧によって決まる電流 V_{sus}/R_L が流れる。蓄積ホールの流出に伴い、それを中和していた電子も $T_r 2$ を通して放電しなければならないが、 $T_r 2$ は、先に説明したように、エミッタ接合が逆バイアスされていて、遮断領域にあるので、直流的には電流は流れ得ないで、エミッタ空乏層の固定電荷を一部中和して、接合の逆バイアスを減少させると同時に、 $T_r 1$ に対してはエミッタの順バイアスをさらに増加させる。この結果、ベースへのホールの注入量が増大し、結局、電子電荷はこの新たな注入ホール（反転層電荷の一部が放電したことによる。）を中和するのに大部分が費やされると考えられる。従って、実際の電荷分布の変化は、Fig. 4-11のようになると予想される。この期間における素子電圧の変化は、 $T_r 1$ のコレクタ空乏層端のホール濃度の減少分に相当するコレクタ接合電圧の僅かな減少と、エミッタ接合の同程度の電圧減少、および $T_r 2$ のコレクタ容量の放電によるこれも僅かな電圧減少の和であり、通常無視できる。従って電流はほぼ一定値となり、この期間に流れる電荷量は、Fig. 4-11

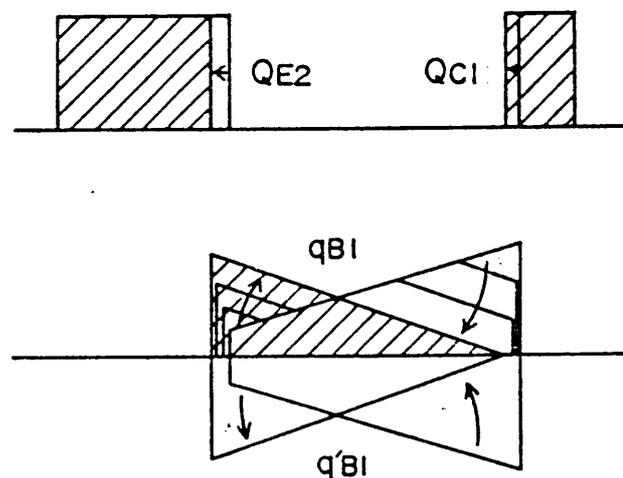


Fig. 4-11 Phase 1における電荷分布の変化

から、近似的にベース中の蓄積ホールの1/2程度と考えられる。

Phase 2: 反転層電荷の放電

n形ベース内の蓄積ホールの放電により、 q_{B1} のコレクタ側の濃度がゼロに近づくと、 $T r 2$ は飽和領域から活性領域動作に移り、 $T r 2$ のベース内の蓄積ホール即ちMIS界面の反転層電荷の、 $T r 1$ を通しての本格的な放電が始まる。本素子におけるように、反転層電荷の総量が隣接する空乏層の空間電荷の総量に比べて大きい、非常に強い反転の状態では、素子容量は酸化膜容量で近似できるので、この期間は、酸化膜容量の負荷抵抗を通しての放電と等価となり、反転層電荷量の初期値を q_{B2} とすれば、流れる電流は次式で表わされる。

$$I = \frac{q_{B2}}{C_i R_L} \exp\left(-\frac{t-t_1}{C_i R_L}\right) \quad (4-19)$$

電流減衰の時定数は $C_i \cdot R_L$ であり、この期間に流れる総電荷量は q_{B2} に近い値となる。

Phase 3: 空乏層容量の充放電

反転層電荷の放電が進み、電荷量が空乏層の空間電荷と同オーダまで減少すると、今度はこの空乏層容量の充電が始まる。この充電は、 $T r 1$ のベース中の電子による中和によってなされるが、ベースはコレクタ接合のために外部回路から遮断されているので、直流的には電子の供給路がなく、結局変位電流、即ち $T r 1$ のコレクタ空乏層の放電電流によって賄われる。従ってこの期間は、 $T r 2$ のエミッタ容量 C_{E2} と、 $T r 1$ のコレクタ容量 C_{C1} 、そして酸化膜容量 C_i の直列接続容量の、負荷抵抗 R_L を通しての充放電期間と見ることができ、流れる電流は次式のようになる。

$$I = \frac{V_{C1}(t_2) + V_{E2}(t_2) + V_i(t_2)}{R_L} \exp\left[-\frac{t-t_2}{\left(\frac{1}{C_{C1}} + \frac{1}{C_{E2}} + \frac{1}{C_i}\right)R_L}\right] \quad (4-20)$$

ここで t_2 は期間3の開始時刻である。 $V_i(t_2)$ は、先のPhase 2での放電

により、ゼロに近い値と考えられるが、 $V_{C1}(t_2)$ および $V_{E2}(t_2)$ は、これらの電圧がそれまでの放電過程では僅かしか変化せず、初期値に近い値を保持しており、この期間に本格的な変化が起こると考えられる。電流減衰の時定数は、 C_i が他の容量に比べて大きいことを考慮すると、 $(1/C_{C1} + 1/C_{E2})R_L$ となり、変位電流として外部に流れる電荷量は、 $V_{C1}(t_2)C_{C1} = V_{E2}(t_2)C_{E2}$ となる。実際には、 T_{r1} を通しての反転層電荷の直流的な放電が続いており、この電流を担うベース中のホール電荷 q_{B1} を中和するに必要な電子電荷 q'_{B1} の、ベース電位への寄与が考えられるので、時定数、電荷量とも大きくなることが予想される。Fig. 4-12はこの期間における電荷分布の変化を表わしている。

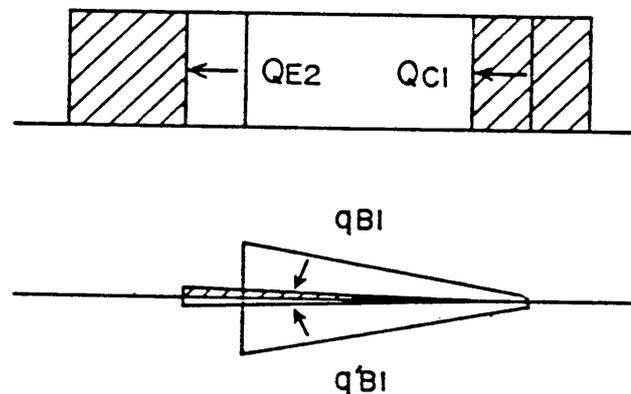


Fig. 4-12 Phase 3における電荷分布の変化

4.5 実験

4.5.1 素子の製作

Fig. 4-13に実験に用いた素子構造を断面図で示す。用いたエピタキシャルウエハは、 n 層比抵抗 $5.8\ \Omega\text{cm}$ 、厚さ $4.0\text{--}4.5\ \mu\text{m}$ をもち、面方位は (111) 面である。素子の大きさは、MIS接合面積が $20, 40, 80, 160, 320\ \mu\text{m}\phi$ の5種類を、面積約 $1\ \text{cm}^2$ のウエハ上に各々13個以上製作した。 p - n 接合面積はMIS電極に比べ、直径でそれぞれ $30\ \mu\text{m}$ だけ大きくなっている。酸化膜厚は $18\text{--}32\ \text{\AA}$ の素子を製作し、膜厚依存性を調べた。フィールド酸化膜厚は約 $2000\ \text{\AA}$ である。図に示した二端子形素子の他、新たな設計による、 n エピタキ

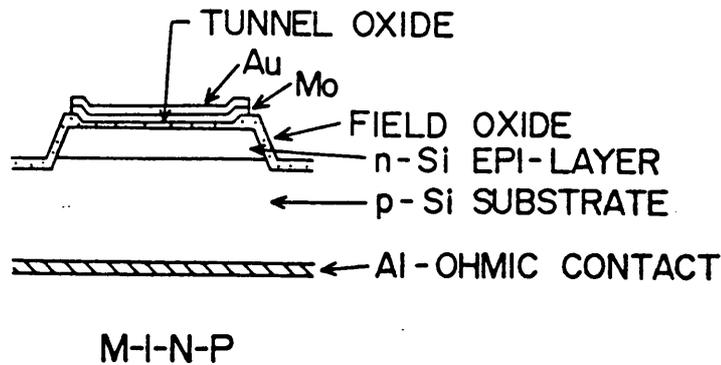


Fig. 4-13 実験に用いた素子の構造

シャル層にオーミックコンタクトを施した、三端子形素子も製作し、 n 層電位変化の測定に用いた。ターンオフ時の特性測定には主としてこの形の素子を用いた。

製作プロセスは、第2章2.3.2節で詳述した、フォトリソグラフィ利用プロセスと同じであるので、ここでは省略する。

4.5.2 測定方法

Fig. 4-14に、測定に用いた回路のブロック図をしめす。マイクロマニピュレータ上にシールドボックスを設け、ウエハ状のまま金線で各ドットにコンタクトをとり、各ドット毎にケースにマウントしないでも測定できるようにした。立ち上がり速度 6 ns 以下のパルス発生器からの矩形波出力を、 $50\ \Omega$ 同軸ケーブルでシールドボックスに導き、ボックス内で $50\ \Omega$ 負荷で終端し、そこから種々の値をもつ負荷抵抗を介して素子に加え、終端抵抗および負荷抵抗端の電圧を、二現象シンクロスコープで観測し、目視あるいは写真撮影により、波形の、素子構造、回路パラメータ、あるいは駆動パルスへの依存性を調べた。シンクロスコープは、 3.5 ns 以下の立ち上がり速度をもち、プローブは、入力容量 2.5 pF の低容量形を用いた。これにより測定系の入力時定数は、印加電圧波形観測に対して 0.125 ns 、電流応答波形に対しては $1\text{ k}\Omega$ 負荷で 2.5 ns と、かなり速い応答速度が保証される。

負荷抵抗は、 $50\ \Omega - 100\text{ k}\Omega$ までを、その都度シールドボックス内に、リード線長さを極力短くしてハンダ付けして用い、測定用プローブの接続もシールドを確実にするなど、寄生効果を極力避けるようにした。

矩形波の繰り返し周波数は、前段パルスにおける動作の、後段への影響を小さく抑えるため、1000 Hz以下を用いた。照射光の素子動作への影響を除くため、測定は全て暗黒状態で行った。

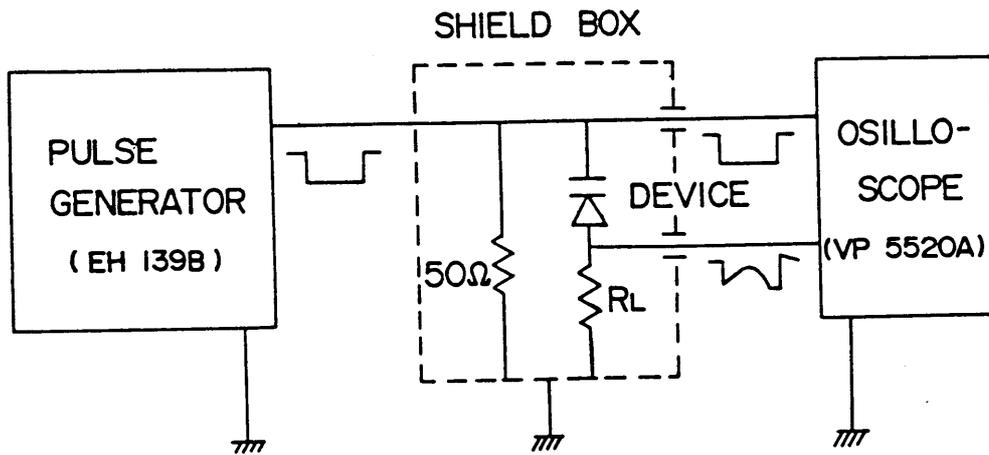


Fig. 4-14 測定回路

4.6 結果と検討

4.6.1 静特性

Fig. 4-15に、スイッチング特性測定に用いた素子の、静特性の典型的な例を示す。しきい値電圧は、n形エピタキシャル層の厚さによって変化するが、4-10V程度のもを製作した。この電圧は、スイッチング特性に影響が大きいので、特性の、各種パラメータへの依存性を調べる場合、出来るだけしきい値電圧の等しいものについて測定を行った。

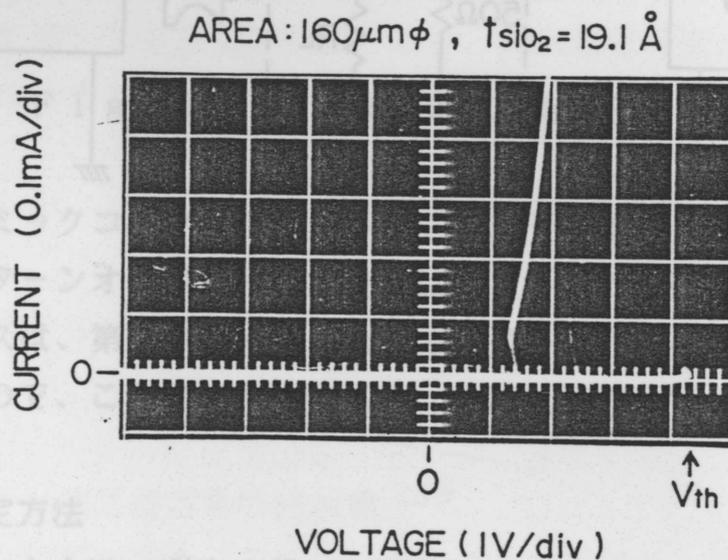


Fig. 4-15 測定に用いた素子の静特性の一例

4.6.2 ターンオン特性

Fig. 4-16は、素子にしきい値電圧以上の矩形波を印加したときの応答波形を示しており、遅れ期間および立ち上がり期間、また逆方向の過渡電流を含む過渡応答の典型的な例である。図から分かるように、電圧印加後、素子が定常的オン状態になるまでに遅れ時間と立ち上がり時間を要し、前者は後者に比べて長く、その間に流れる電荷量も大きい。このことから実験当初はこの遅れ時間を与える機構の解明に重点を置いた。

Fig. 4-15の静特性において、素子電圧がV_{th}まで上昇するまでは、直流的には電流は極く小さく、素子は近似的にコンデンサと考えることができる。従って遅れ時間はこのコンデンサを負荷抵抗Rを通してV_{th}まで充電する期間と考えるの

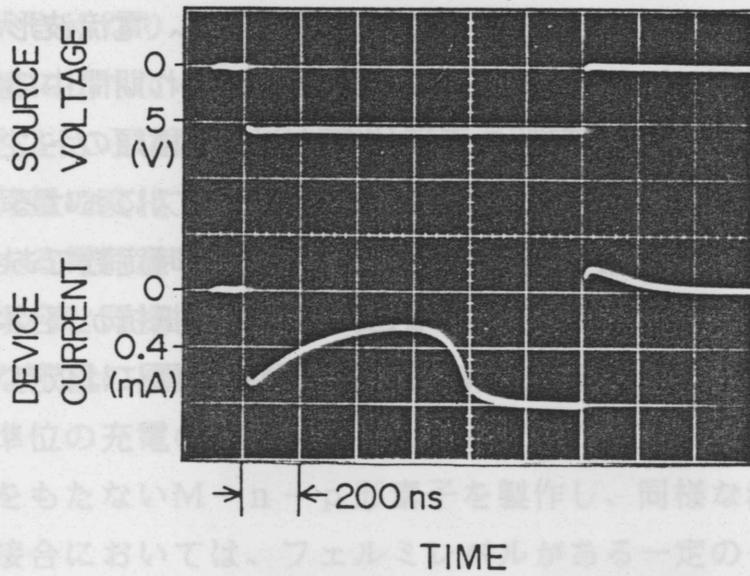


Fig. 4-16 矩形波に対する素子の典型的な電流応答波形

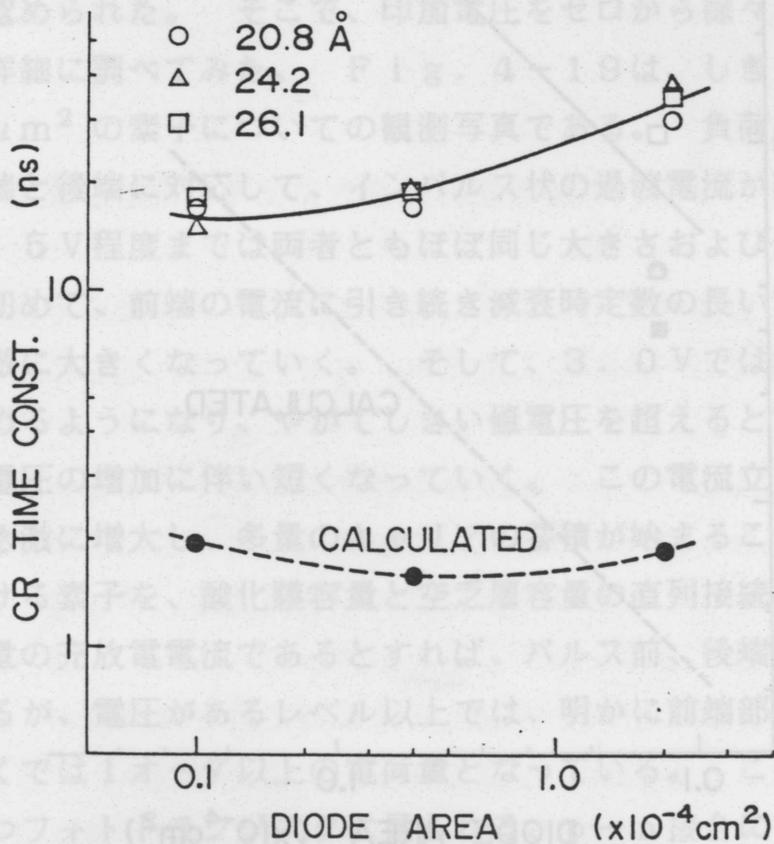


Fig. 4-17 遅れ時間の減衰波形の時定数の素子面積依存性

が妥当である。こう考えると、この期間に流れる電荷量と、電流波形に表われる時定数は面積に比例するはずである。Fig. 4-17は、遅れ期間中の電流減衰を指数関数的とみなして波形から求めた時定数の面積依存性を、三種類のトンネル酸化膜厚に対してプロットしたものである。一方破線は、ゼロバイアスにおける素子容量とプローブ容量、および負荷抵抗と素子のオン抵抗から計算したCR時定数である。計算値が素子面積に比例していないのは、面積の小さなところでオン抵抗が高くなり、この寄与が大きいためである。この図から、減衰の時定数が酸化膜厚には依存せず、素子面積の

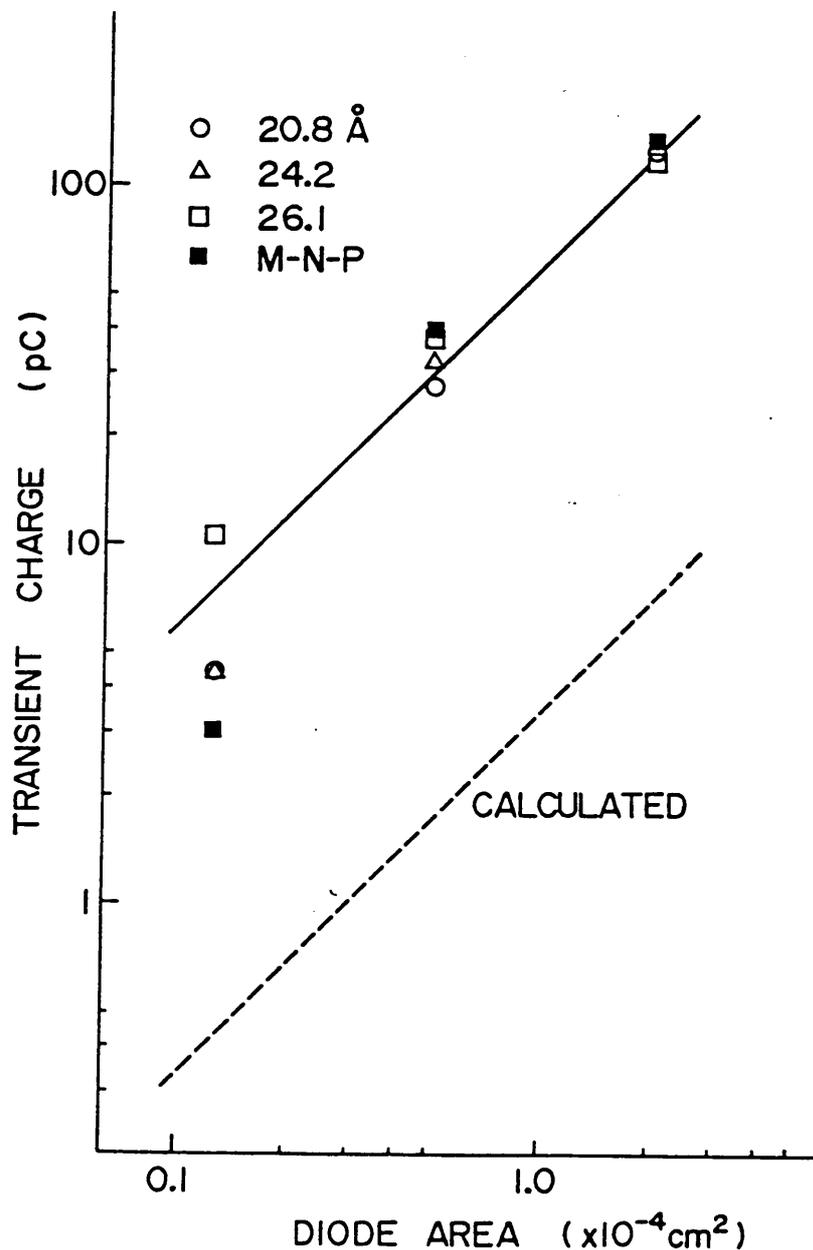


Fig. 4-18 遅れ時間中に流れる電荷量の素子面積依存性

増加につれて大きくなり、素子容量の充電であるとする考えと傾向としては一致するが、その値が計算値に比べて一桁以上大きいことが分かる。素子抵抗の影響を除き、素子面積への依存性をさらにはっきり示すのが、次のFig. 4-18に示す遅れ期間中に流れる、総電荷量の変化である。破線は、 n 層のドナー密度から計算した、 V_{th} までの充電に要する電荷量である。測定結果は、予想通り面積に比例しているが、絶対値は時定数の場合と同様、計算値に比べ一桁以上大きくなっている。

このような矛盾の原因として、表面反転層の形成による酸化膜容量と、酸化膜-Si界面の表面準位の充電の寄与が考えられる。これらの影響について調べるため、トンネル酸化膜をもたないM-n-p形素子を製作し、同様な測定を行なってみた。ショットキー形接合においては、フェルミレベルがある一定のレベルに固定されるので、反転層電荷および表面準位中の電荷の、バイアス電圧による移動は起こり得ない。Fig. 4-18の■印は、このような素子についての測定結果であり、M-I-n-p形とほとんど同じ値をとっている。従って、時定数と電荷量が予想値より大きくなる原因は、他の機構に求めなければならない。

これらの実験を通して、電流応答波形が印加電圧の大きさに依存して、微妙に変化していることが認められた。そこで、印加電圧をゼロから徐々に大きくして、過渡電流波形の変化を詳細に調べてみた。Fig. 4-19は、しきい値電圧4.1Vをもつ、面積 $160\mu\text{m}^2$ の素子についての観測写真である。負荷抵抗は 200Ω である。

印加電圧の前端と後端に対応して、インパルス状の過渡電流が認められ、これらの電流は、電圧が1.5V程度までは両者ともほぼ同じ大きさおよび形である。電圧がそれ以上になって初めて、前端の電流に引き続き減衰時定数の長い電流成分が生じ、電圧増加とともに急激に大きくなっていく。そして、3.0Vでは流れる電荷量の大部分をこの成分が占めるようになり、やがてしきい値電圧を超えると電流は立ち上がり、遅れ時間は、印加電圧の増加に伴い短くなっていく。この電流立ち上がりと同時に、後端の過渡電流は急激に増大し、多量のキャリアの蓄積が始まることを示している。

オフ状態における素子を、酸化膜容量と空乏層容量の直列接続と考え、単純に過渡電流がこれらの容量の充放電電流であるとするれば、パルス前、後端部とも同量の電荷量が流れるはずであるが、電圧があるレベル以上では、明かに前端部だけ急激な増加が見られ、オン電圧近くでは1オーダ以上の電荷量となっている。このような振る舞いは、類似の構造をもつフォトランジスタに見られる、p-n接合による増倍作用を強く示唆する。なぜならば、本素子において、 n 層を空乏化するために n 層から引き出される電子は、全て順方向バイアスの向きにあるp-n接合を流れる必要があり、 n 層の不純物濃度は通常p形基板に比べ3オーダ程度小さいので、基板からのホールの注入効率

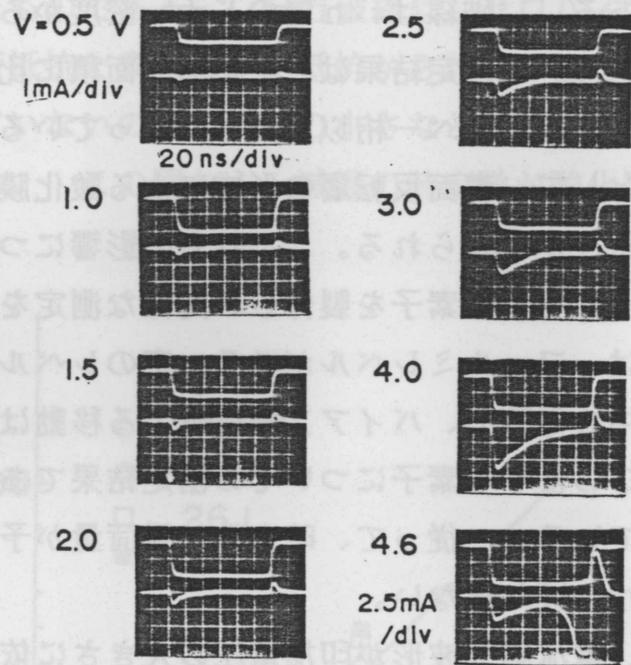


Fig. 4-19 印加電圧の大きさによる電流応答波形の変化

は1に非常に近く、一部は空乏化のための電子電流とp-n接合で再結合するとしても、電子電流に比べて大きなホールの注入電流が、素子内に流れ込むことが予想されるからである。

このことを確かめるため、p-n接合を含まないM-I-n-n⁺形素子を製作し、同様な観測を行なってみた。その結果、印加電圧の大きさにかかわらず、前端と後端の過渡電流がほとんど等しく、このときに流れる電荷量は、印加電圧に応じてn層を空乏化に必要な電荷量にほぼ一致することが確かめられた。即ち、M-I-n-p形素子に見られる、計算値に比べ1桁以上大きな時定数と電荷量が、p-n接合による増幅作用に依っていることが判明したのである。印加電圧が1.5V程度までこの作用が表われないのは、ホールの注入が顕著になる、即ちp-n接合が能動領域に達するためには、接合が0.5V程度順バイアスされる必要があり、これに要する電荷は、逆バイアスされるMIS接合の空乏化のために移動する電子により賄われるので、素子電圧としては空乏化電圧を加え、1.5V程度が必要になるためと考えられる。

前節までに展開した素子の過渡応答特性の理論解析は、以上の実験結果と考察から始められたものであり、解析結果は、これらの実験データをよく説明付けることができる。次に、理論の有効性を確かめるためにさらに行った実験結果を、遅れ期間と立ち上がり期間について述べる。

Fig. 4-17で指摘したように、素子面積が変化すると、素子容量だけでなく素子抵抗も変化してしまい、過渡応答特性の面積依存性が分かりにくくなる。これを避けるため、同一素子で測定回路の負荷抵抗を変化させて、遅れ時間と立ち上がり時間に関する測定を行った。Fig. 4-20は、しきい値電圧が約4Vの、酸化膜厚の異なる三種の素子について、負荷抵抗を200Ωから100kΩまで変化させたときの、

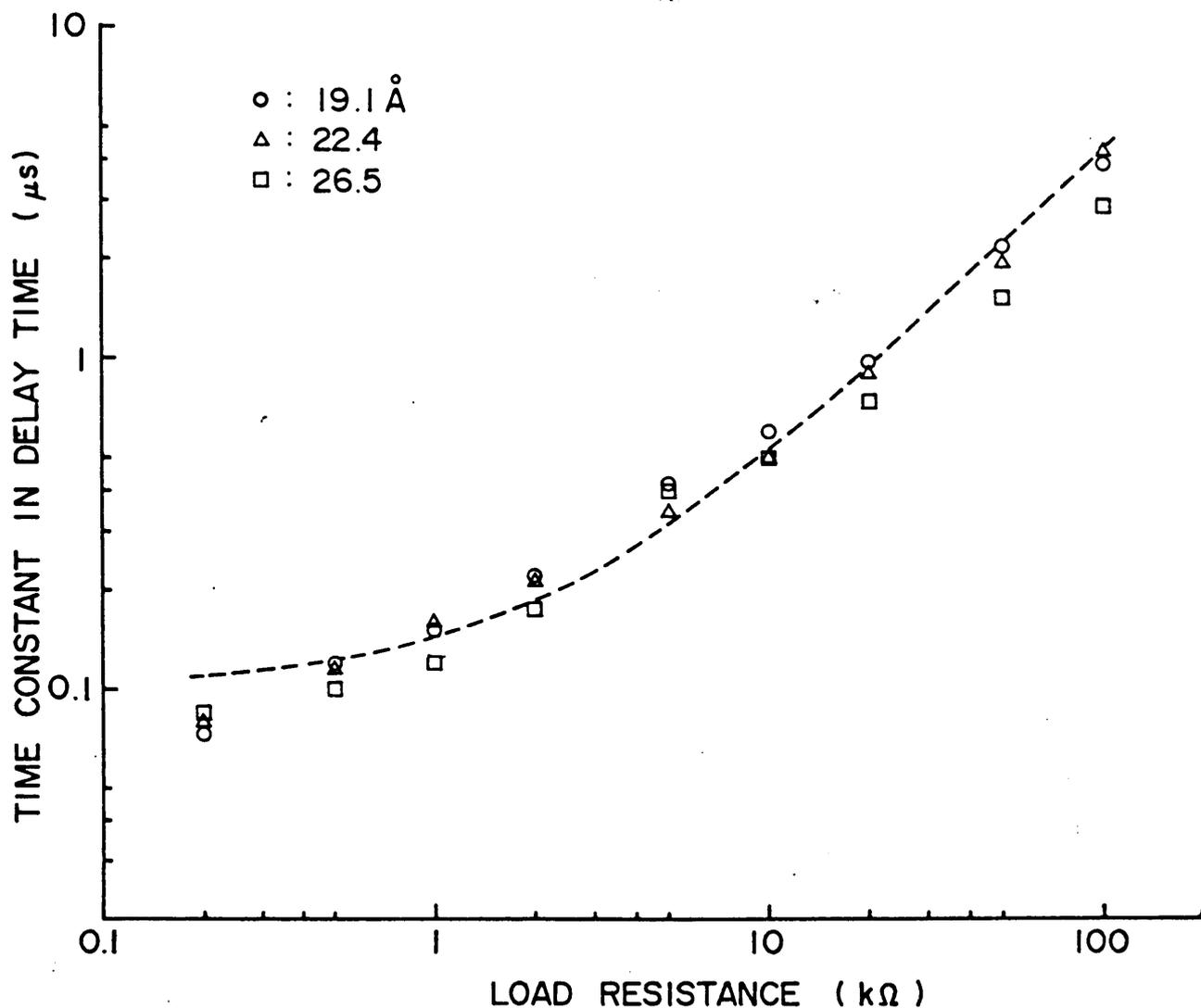


Fig. 4-20 遅れ時間中の減衰時定数の負性抵抗依存性

遅れ時間中の時定数の変化を示している。時定数は、Fig. 4-17の場合と同様に、減衰波形のピーク値から $1/e$ に減衰するまでの時間として求めた。印加電圧は、各素子ともしきい値電圧の 1.1 倍に統一した。図から明らかなように、酸化膜厚依存性はほとんどなく、負荷抵抗の小さな領域を除いては負荷抵抗にほぼ比例しており、その絶対値は、単純に素子容量と負荷抵抗の積から求めた CR 値に比べ約一桁大きい。

図中の破線は、理論解析において導かれた、下記の近似式を用いて計算した理論曲線である。

$$CR = \frac{1}{|\lambda|} = \left| \frac{\tau_c(1+\beta_1) + \beta_1\tau_{c1} + \tau_{TH}(1+\beta_1\tau_c/\tau_{c1})}{1-\beta_1\beta_2} \right| \quad (4-21)$$

ここで τ_c は、単純に計算した素子容量の充電時定数を表わし、素子抵抗とパルス発生器の出力抵抗それぞれ $100\ \Omega$ および $50\ \Omega$ 、素子の平均容量としてバイアス電圧 $2\ V$ のときの値 $1.5\ pF$ を用いて、 $\tau_c = 1.5 \times 10^{-12} (150 + R_L)$ から計算した。また、ベース走行時間 τ_{c1} は、 n 層比抵抗から計算した $2\ V$ バイアス時の中性 n 層巾 $W_n = 1.8\ \mu m$ 、ホールの拡散定数 $D_p = 13\ cm^2/(V \cdot s)$ として $\tau_{c1} = W_n^2 / (2 \cdot D_p)$ から得られた値 $1.2\ ns$ を用いた。酸化膜容量充電時定数 τ_i は、酸化膜厚および誘電率から計算して、 $200\ \tau_c$ とした。ホールのトンネル時定数 τ_{TH} は、 $20\ ns$ と仮定した。電流増幅率 β_1 および β_2 を、計算値が測定値によくフィットするように $\beta_1 = 8.0$ 、 $\beta_2 = 0.085$ に選んで描いたのが、図の破線である。 β_1 の値を予想より小さな値にとったときによくフィットしているのは、空乏層容量が素子電圧上昇とともに減少して、減衰波形が三角波に近くなるため、ピーク値の $1/e$ になる時間として求めた時定数が、実際より小さく測られることが関係していると考えられる。また、電流増幅率 β_1 、 β_2 も電流の大きさにより変化する量であり、これらの値を一定値と仮定していることも影響しているとおもわれる。しかしながら、実測値の負荷抵抗依存性の傾向は、酸化膜厚依存性が無視できる点を含めて、よく一致している。

Fig. 4-21 は、立ち上がり時間についての測定結果であり、電流が最小値から 2 倍に増加するまでの時間を測定することにより求めた。(本来は、 e 倍に増加するまでの時間で求めるべきであるが、負荷抵抗の大きな領域ではオン時の定常電流がその値以下になり測定できない) 先の減衰の時定数とは異なり、酸化膜厚依存性が認められ、 $26.5\ A$ の素子は、他の素子に比べ明かに立ち上がり時間が長くなっている。

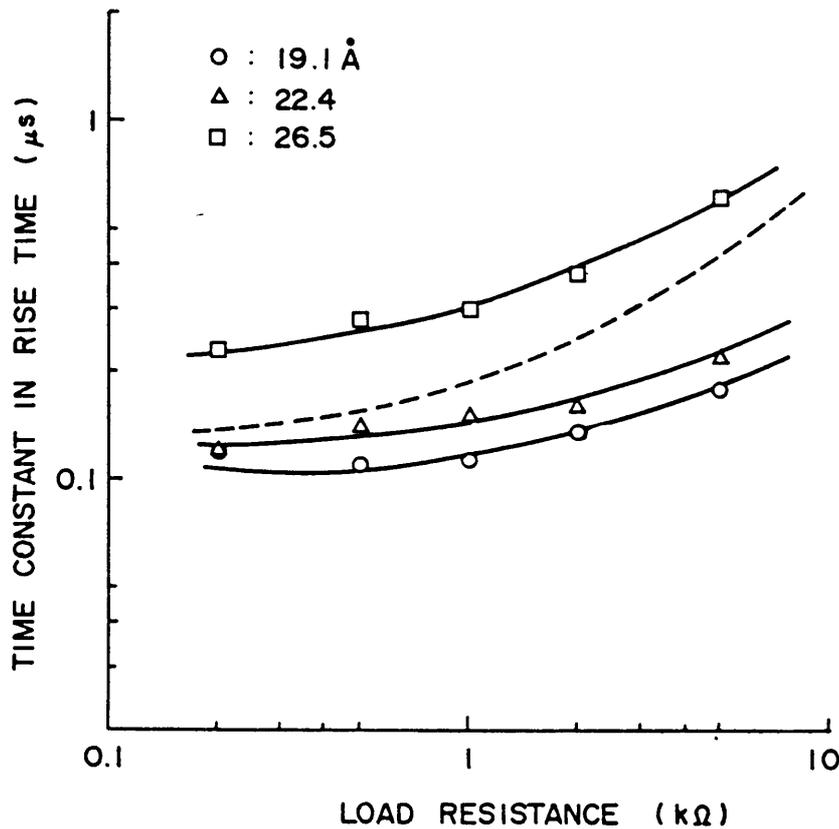


Fig. 4-21 立ち上がり時間における時定数の負荷抵抗依存性

破線は、(4-21)式により計算した立ち上がり時定数の理論曲線であり、 β_2 の値は、先と同じ値0.085にとり、 β_1 の値を16にとって実測値にフィットさせた。前図の場合からの β_1 の増加は、素子電圧の増加に伴う中性ベース巾の減少による、伝達効率の増加によると解釈できる。実測値との一致は前図ほどよくないが、電流立ち上がり時は、 β_1 、 β_2 とも変化が大きく、一定とみなすことによる誤差が、さらに大きくなるのが原因と考えられる。理論解析により、 $\beta_1 \cdot \beta_2$ が1より大きな場合、近似式を用いないで計算した結果は、Fig. 4-5に見られるように、 τ_{TH} 依存性が増大し、負荷抵抗依存性が小さくなっており、実測値はこれらの傾向に定性的に一致している。

以上のように、スイッチング時間を与える遅れ時間、および立ち上がり時間における時定数は、ともに概ね(4-21)式に従って変化しており、理論解析が素子の過渡応答をよく表わしていることが明かになった。

次にターンオン時の過渡応答特性の、駆動条件への依存性に関する測定について述

べる。 Fig. 4-22は、遅れ時間 t_d と立ち上がり時間 t_r の、印加電圧依存性の典型的な例であり、両者とも印加電圧により大きく変化し、素子のしきい値電圧4.5Vに近づくとつれ急激に増大している。 Fig. 4-23は、それぞれの時定数との関係を調べるために、測定結果を横軸は V_{th} で、また縦軸は別に測定した時定数 τ_d と τ_r で規格化して、プロットしなおしたものである。破線は理論解析で得られた(4-16)式に、図に示した測定値 τ_d および V_o の値を代入して求めた理論曲線であり、 t_r / τ_r についてもほとんど同じ曲線になる。測定点は理論曲線によく乗っている。

これらの図から、印加電圧 V_a を V_{th} に近い値にとった場合、スイッチング時間は、素子のもつ時定数に比べ極端に長くなってしまおうという解析結果が証明された。素子の特性を十分引き出す上で、駆動電圧の選び方が非常に重要であることが分かる。

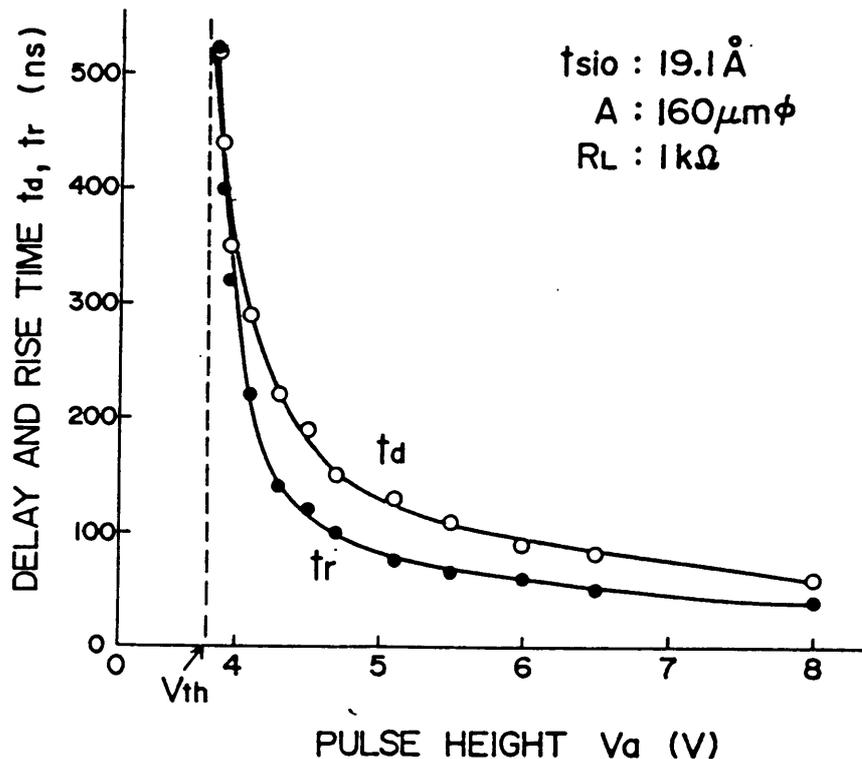


Fig. 4-22 遅れ時間 t_d と立ち上がり時間 t_r の印加電圧依存性

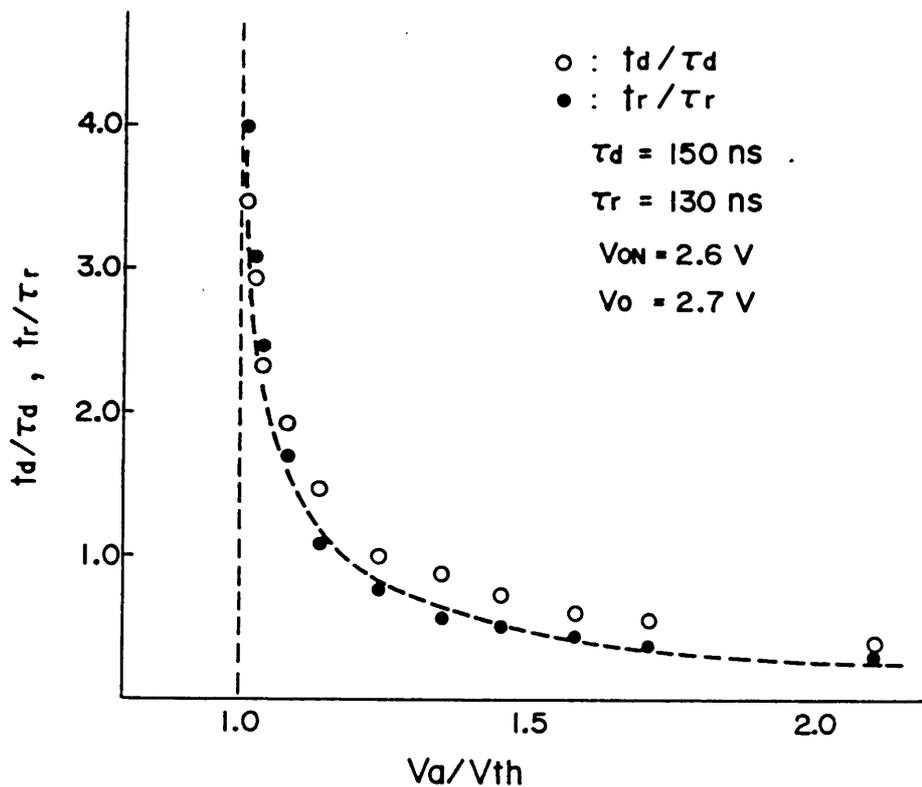


Fig. 4-23 各時定数で規格化した t_d と t_r の印加電圧依存性

4.6.3 ターンオフ特性

Fig. 4-24 は、負荷抵抗を通して矩形波を加えたときの、ターンオフ時の素子電圧と、電流応答波形の典型的な例を示している。オン状態から印加電圧をゼロに変化させると、素子電圧はすぐにはゼロに戻れないので、負荷抵抗端の電圧の向きは反転し、素子にはオン電圧と負荷抵抗できまる反対方向の電流が流れ、素子電圧の減少とともに徐々に減衰していく。この電流波形は、極く短い一定電流期間に続く、明かに異なる時定数をもつ二つの電流減衰期間からなっている。

初めの一定電流期間は、理論解析より n 層中の蓄積ホールの放電と考えられるが、実験に用いる電流範囲においては、蓄積ホールの量は、 n 層中のドナによる空間電荷の総量を大きく超えることはなく、同程度と考えても、 $300 \mu\text{m}$ 口の素子で数 pC のオーダーであり、放電期間も、 10 mA の電流に対して数 ns と計算され、後に続く二つの減衰期間に比べ無視できるほどに短い。従って、以下ではこれら減衰期間だけについて話を進めることにする。

4.4 節の解析から予想されるように、これら減衰の時定数および電荷量は、負荷抵抗などの駆動条件、および素子容量などの構造パラメータに依存して変化する。

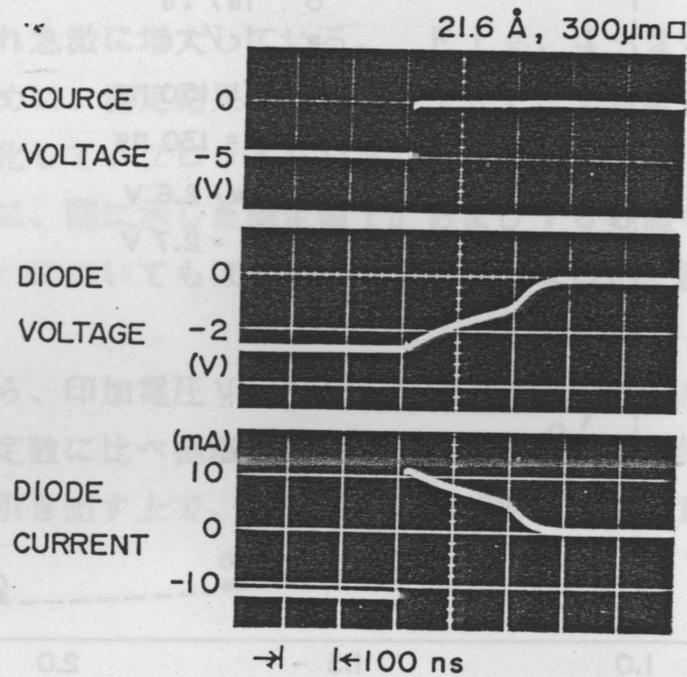
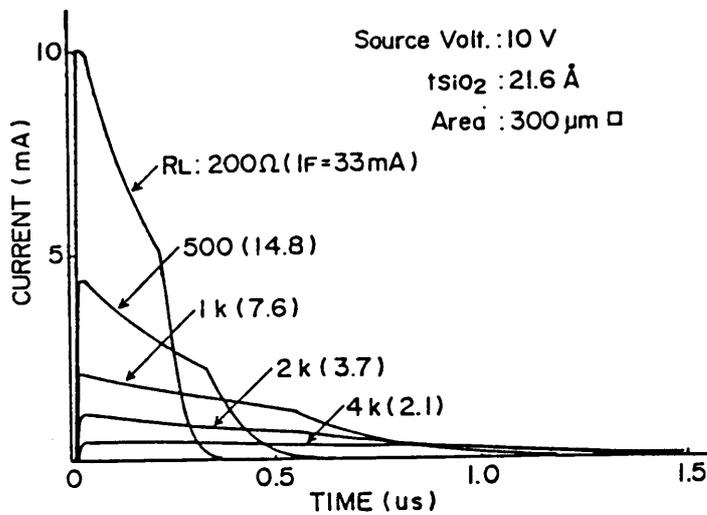


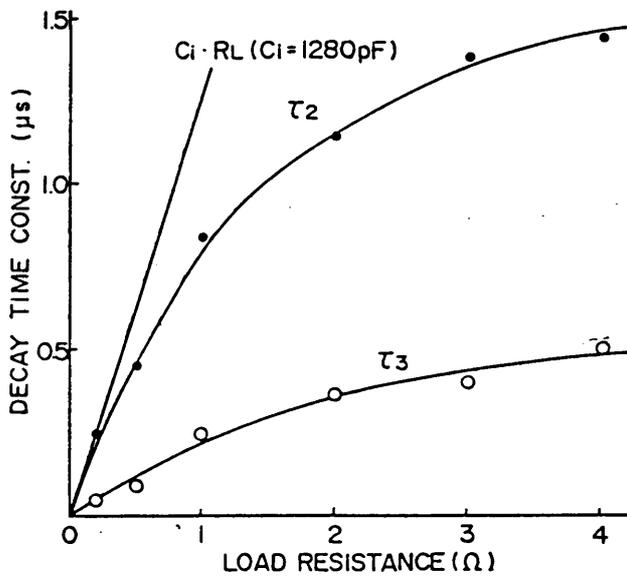
Fig. 4-24 ターンオフ時の素子電圧と電流の典型的な波形

Fig. 4-25 (a) は、印加電圧を一定に保ち、負荷抵抗を変えたときの電流応答波形の変化の様子を示している。オン状態に流れる順方向電流 I_F も () 内に示しておいた。負荷抵抗が大きくなるに従って I_F が減少し、それとともに逆方向の過渡電流も小さくなるが、減衰の時定数は大きくなり、逆回復期間は長くなる。(b) 図は、波形から求めた二つの時定数 τ_2 および τ_3 の負荷抵抗依存性であり、解析における Phase 2 および Phase 3 の時定数に対応していると考えられる。素子の面積と酸化膜厚から計算した酸化膜容量 C_i は 1280 pF であり、この値を用いた CR 時定数の計算値は図の直線で表わされる。 τ_2 は R_L の小さな領域でこの直線に近い値をとっており、Phase 2 は酸化膜容量を充電している反転層電荷の放電による解析結果に合っている。 R_L が大きくなるに従って時定数が計算値から離れてくるのは、簡単化のために解析で無視した酸化膜を通してのトンネル電流による放電が無視できなくなるためと推定される。

τ_3 は、解析結果からは主として素子の MIS および p-n 接合空乏層容量の充放電により決まり、それに反転層電荷の放電が影響するとされたが、空乏層容量は 10 pF 以下であり、この時定数に比べ実測値は 1 オーダ以上も大きい。このことは P h a



(a)



(b)

Fig. 4-25 (a) 電流応答波形 (b) 時定数の負荷抵抗依存性

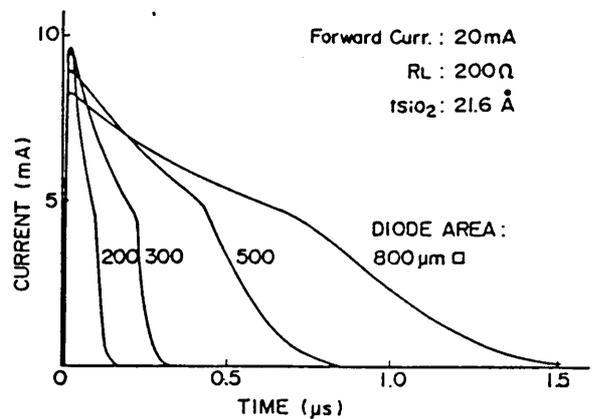
se 3においても反転層電荷が相当量残っており、依然としてこの電荷の放電が支配的になっていることを示唆している。しかしながら、この期間に空乏層容量が充放電されることは、後で調べるn層電位の変化からも分かるように、確かな事実である。

Fig. 4-26 (a) は、電流応答波形の素子面積による変化を示しており、順方向オン電流は20mAに統一している。(b), (c) はそれぞれ減衰の時定数お

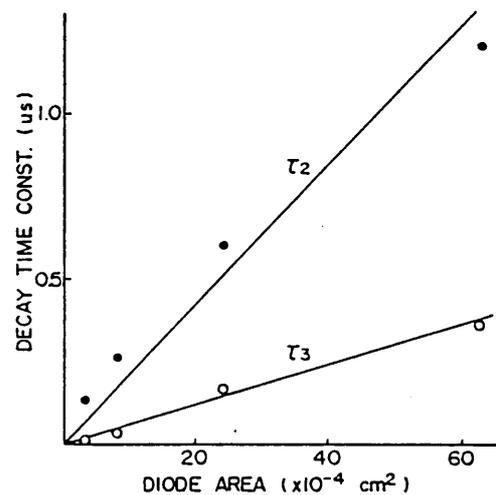
よび総電荷量の面積依存性を示している。ピーク電流には大きな差はないが、減衰の時定数、総電荷量とも面積が増加するに従い大きくなっている。従って、一定のオン電流に対して、素子面積はできるだけ小さい方が、繰り返し周波数および消費電力の上からも有利であると言える。

Fig. 4-27は、トンネル酸化膜厚に対する応答波形の依存性を示している。製造プロセスによる素子特性の差が影響するのを防ぐため、酸化膜形成を除いて同時に製作を進めた素子についての測定結果である。減衰の時定数には大きな差は見られないが、総電荷量は膜厚が18.5から22.7Åと僅か4Å程度増加するだけで、約3倍にも増えており、反転層電荷量がトンネル酸化膜によって大きく変化することが分かる。膜厚が厚いところでこの増加傾向がなくなるのは、同じ電荷量でも酸化膜厚が厚い場合、酸化膜に担われる電圧が増加し、金属のフェルミレベルが、それだけエネルギー的に高くなるため、電子の注入効率が高くなり、電子電流の割合が高くなるためと考えられる。

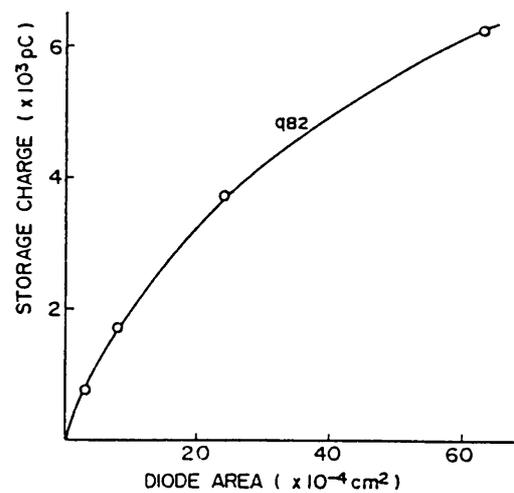
また、酸化膜が厚くなるに従い、素子特性の再現性が悪くなる傾向が見られ、膜厚の不均一性により生ずる電流集中のため実効面積が小さくなり、電荷量を減少させていること



(a)



(b)



(c)

Fig. 4-26 素子面積依存性

(a) 電流応答波形, (b) 減衰時定数, (c) 総電荷量

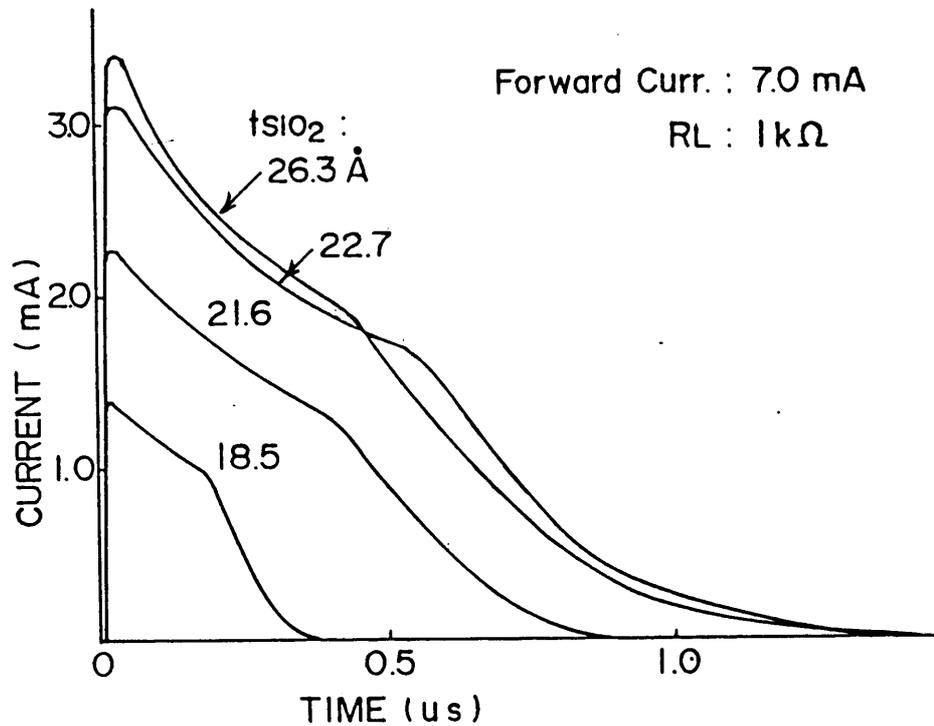


Fig. 4-27 応答波形の酸化膜厚依存性

も考えられる。ターンオン時の電流立ち上がり時間も、酸化膜が薄くてトンネル時定数が小さい方が短いという理論および実験結果が得られており、素子の高速動作には、トンネル酸化膜は薄い必要があると考えられる。

4.6.4 逆回復特性

素子内の蓄積電荷が、完全に取り払われていない間に電圧が印加されたときのターンオン特性について、近接した二つの矩形波を素子に加えて調べた。Fig. 4-28は、矩形波パルスの間隔を徐々に狭くしたときの応答特性の変化を、素子電圧の変化として測定した結果を示している。駆動パルス巾は第1、第2パルスとも500 nsである。

パルス間隔が、逆方向電流が減衰し終わる期間より大きな500 nsおよび400 nsでは、しきい値電圧は両パルスに対しほとんど同じであるが、Phase 3にかかる300 nsでは、第2パルスの方が明かに低くなり、250, 210 nsと狭くなるに従いさらに低下し、Phase 2にかかる170 nsでは、オフ状態が消滅して直ちにオン状態に移行していることが分かる。

このように、素子電圧がゼロに戻っていない、即ち素子内に過剰電荷が残っている間は、素子は本来の特性を失っており、この期間を短くすることの重要性が改めて知ら

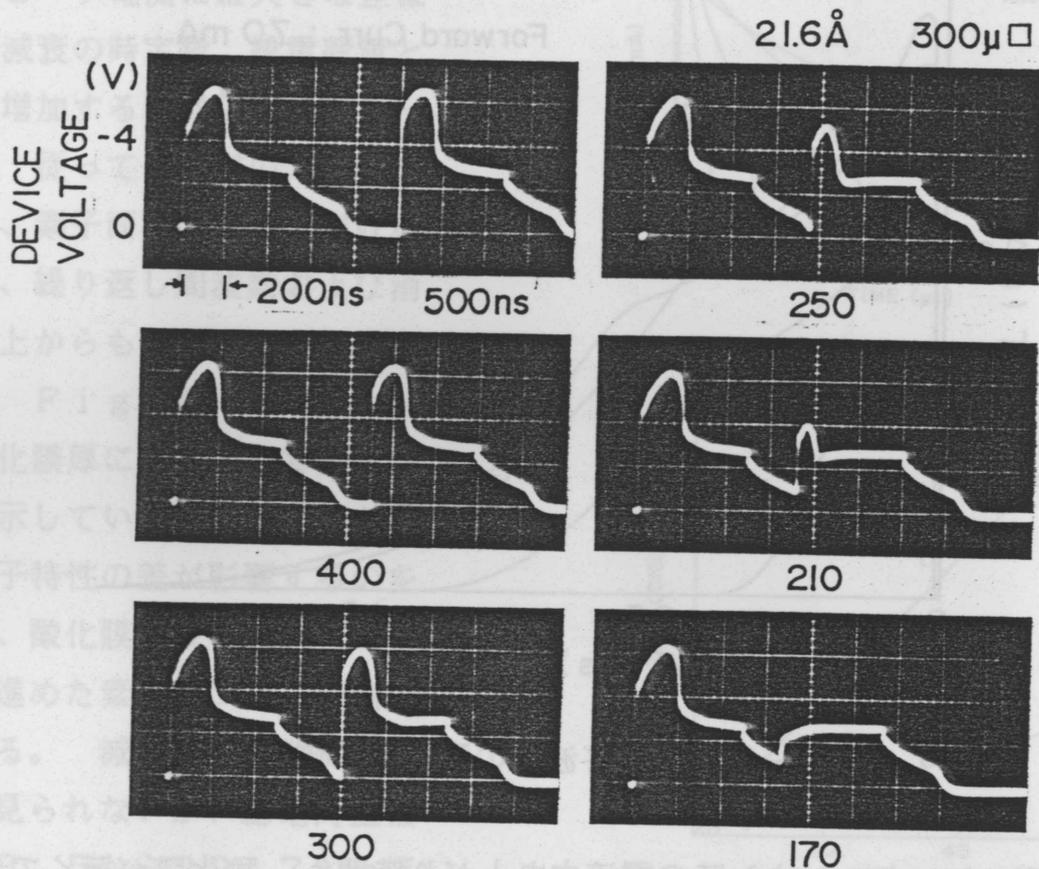


Fig. 4-28 近接パルスに対する応答特性 (素子電圧波形)

れる。Phase 2においては、素子内には多量の反転層電荷が存在しているばかりでなく、2トランジスタ近似した場合のTr1 (p-n接合側Tr)もコレクタ接合が順バイアスに近い状態にあるので、電圧印加と同時にこの接合がエミッタ接合として働き、多量のホールを注入できるのでオフ状態を呈しない。一方、Phase 3においては、MIS界面にはまだ相当量のホールが残ってはいるが、Tr1のコレクタ即ちp-n接合の空乏化が進み、新に電圧が印加された際に、この接合がエミッタとして顕著なホール注入を始めるまでには、空乏層の充電が必要となり、空乏化の程度に応じたしきい値電圧の低下となって表われると考えられ、ターンオフ時の解析結果によく合っている。

ここで注目すべきは、p-n-p-n四層構造からなるサイリスタにおいては、逆回復時間は、外部回路に流れ出す電流が消滅する時間よりずっと長く、中間ベース中に

残留している少数キャリアおよび、それを中和している多数キャリアが、再結合により消滅して初めて本来の順方向阻止能力が回復されるのに対し、[4]本阻止においては、外部に観測される電流がゼロになると同時に順阻止能力が回復される点である。この理由については、次の4.6.5節で改めて検討する。

4.6.5 n層電位の変化

素子内電荷の、平衡状態からのずれに関するさらに詳しい情報を得るために、n形ベース層にオーミック端子を取りつけた三端子形素子について、過渡応答期間中のn層電位の変化を観測する実験を行った。

Fig. 4-29は結果の一例であり、上が素子電圧を、下がp形基板を基準としたn層電位を表わしている。時間にそって変化を順次辿ってみる。素子にパルス電圧を印加すると、素子容量の充電が始まり、2トランジスタモデルにおける、エミッタ接合の活性化に対応してn層電位が上昇する。この変化は、p-n接合による増倍作用がないため速い。接合が活性化するとともに充電の時定数は長くなり、電流減少とともにn層電位も僅かではあるが減少する。素子電圧がしきい値電圧 V_{th} に達すると、電圧は一転して減少に向かい、それに対応して電流が増加し、n層電位はその電流を担うに必要なバイアス電圧にまで上昇し、以後一定値を保つ。

ターンオフと同時に、n層電位はある値だけ急激に減少し、一定電位を保った後、減衰波形がPhase 2からPhase 3へ移行するとともに低下し始め、ゼロレベル

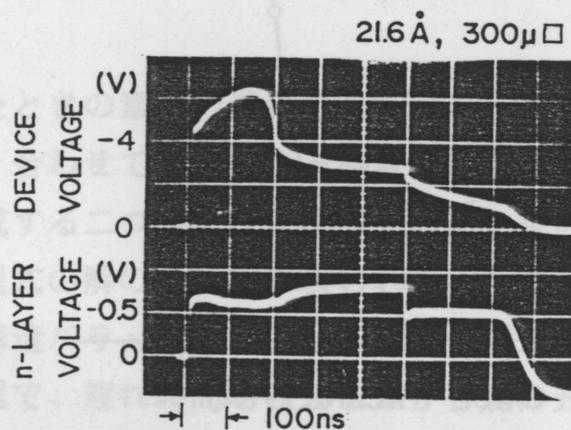


Fig. 4-29 n層電位の変化

を越して正電圧に向かう。最初の急激な減少は、Phase 1のn形ベース中のホールの放電に対応していると考えられ、コレクタ空乏層端のホール濃度の変化に応じて、p-n接合電圧が変化していると考えられる。Phase 2において、n層電位がほとんど変化しないのは、この期間は酸化膜容量の放電期間であり、p-n接合の電圧変化は生じないので予想される通りである。Phase 3で、電位がゼロレベルを越して反対符号まで変化するのは、次のように説明できる。

ターンオフ時には、電子に対しては二つのトランジスタとも遮断領域にあり、n形ベース中の多数キャリア電子は、直流的には外部回路から切り離された状態にある。従って、オン状態におけるベース中の電子の総量が、ターンオフ時にもそのまま保たれる。オン状態における電流密度があまり大きくなく、蓄積ホールの量が小さい場合には、それを中和するための電子も少なく、オン状態におけるn層中の電子の総量は、n層巾が減少した効果が大きく、電圧を印加しない場合に比べて減少している。従って、ターンオフした後のn層電位は、電子の枯渇状態のためp-n接合が逆バイアスの状態で平衡となる。

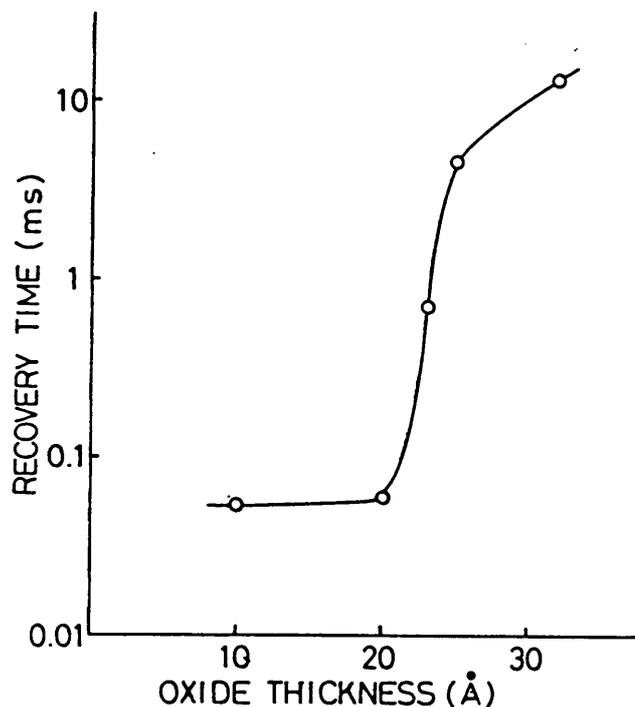


Fig. 4-30 n層電位回復時間の酸化膜厚依存性

この準平衡ともいえる状態は、MIS接合およびp-n接合における漏れ電流、あるいは空乏層における発生電流により、本来の平衡状態に徐々にむかう。図には示していないが、実際にn層電位は数10 μ sから数10msの時定数で、正電圧からゼロレベルに収れんする。このときの時定数は、酸化膜厚に依存して変化する。Fig. 4-30は、この様子を示している。図中10 \AA のデータは、負性抵抗特性を示さないM-n-p形素子についての測定例である。(パルス印加によりオン状態は呈しないが、n層中の電子の枯渇は同じように生ずる) 図より、膜厚が30 \AA 程度以下では、平衡化のための電子はMIS接合からのトンネル電流により供給され、それ以上では、空乏層における発生電流あるいは接合のリーク電流によることが分かる。20 \AA 以下の場合、ショットキーバリアに比べて、トンネル酸化膜が少数キャリア電子の注入をほとんど妨げていないことが分かる。

Phase 3におけるこのような電位変化は、この期間が空乏層容量の充放電期間であるとする解析結果を支持している。

先に問題となった逆回復期間における特性の、サイリスタとの違いは、このn層中の電子の量に起因しており、Phase 1でホールは短時間のうちに放電してしまうので、(平衡状態に比べて枯渇状態にある場合) しきい値電圧はむしろ上昇する傾向にあり、この兆候はFig. 4-27の最初の写真に僅かであるが認められる。本素子におけるこのような特性は、逆回復期間が短いという点で、高い繰り返し周波数での動作に対し、p-n-p-n四層構造形素子に比べて有利であると言える。

4.7 まとめ

矩形波を印加したときの素子の過渡応答特性を、素子内の過剰電荷に注目する電荷制御法により解析し、合わせて実験による検証を行った。まず、ターンオン特性について、等価回路を構成する二つのトランジスタ内の、電荷の時間変化を支配する微分方程式を導き、この方程式の解の指数項に表われる、時定数を与える三次方程式の根が、電流増幅率あるいは構造パラメータで決まる種々の時定数にどのように依存するかを明かにした。この過程で、遅れ時間を与える素子容量の充電時定数が、素子容量と負荷抵抗の単純な積ではなく、p-n接合の増幅作用により約 β 倍されるという重要な結果が得られた。また、実際に観測される遅れ時間および立ち上がり時間が、素子の駆動電圧の大きさにより、大きく変化することが明かになった。

ターンオフ特性については、接合の機能がターンオン時と逆の2トランジスタ等価

回路を用いて解析を行い、過渡電流の機構が、中性 n 層中の蓄積電荷、酸化膜および空乏層容量の放電過程であることを明かにした。

以上の理論解析を、種々の面積および酸化膜厚をもつ素子を製作し、駆動条件を変化させて実験的に確かめ、よい一致を見た。速い応答速度と、高い繰り返し周波数での動作のためには、素子面積の縮小と薄いトンネル酸化膜が必要であることが明らかになった。

参考文献

- 1) 河村, 山本: 静岡大学電子工学研究所報告 17巻1号(1982)35.
- 2) 河村, 山本: 静岡大学電子工学研究所報告 18巻1号(1983)43.
- 3) 河村, 山本: 静岡大学電子工学研究所報告 17巻2号(1982)89.
- 4) サイリスタ・エレクトロニクス編集委員会編: サイリスタ素子, 丸善.

第5章 GaAsを素材とする素子

5.1 緒言

3章動作機構で明らかにしたように、トンネルMISスイッチング素子は、素子を2トランジスタ等価回路で記述したとき、両トランジスタの電流増幅率の和が1を越す条件さえ満足されれば実現できる。従って、母体結晶あるいは絶縁膜は、Si-SiO₂系に限られるわけではないはずである。絶縁膜として窒化シリコン、[1]あるいは多結晶Si[2]等を利用した素子が報告されている。しかしながら母体結晶としては、一貫して単結晶Siが用いられており、それ以外の素材を利用した報告は、著者らのグループによる仕事を除いては[3]著者の知る限りでは報告されていない。本章では、この素子特性が、Siだけに限られたものでないことを実証する、GaAsを素材とした素子の実現について述べる。

Siの場合、所望の規格をもつエピタキシャルウエハを、メーカーから購入することができたが、GaAsの場合、このようなウエハは市販されていないので自作した。所定のタイプとキャリア濃度をもつエピタキシャル層は、Gaを溶媒とする液相成長法により堆積した。

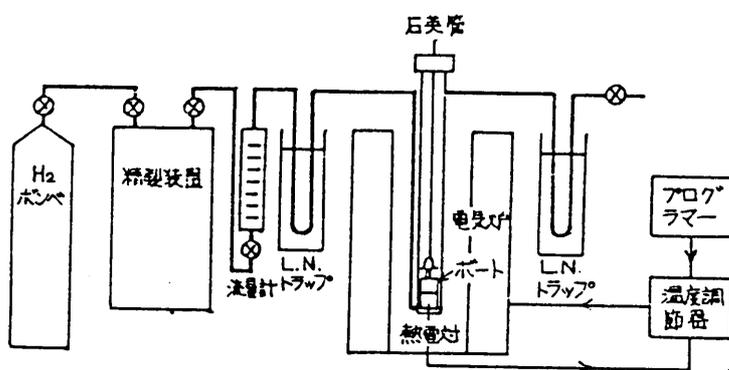
絶縁膜については、SiにおけるSiO₂のように、簡便な方法で得られる素材自身の酸化膜を利用できないので、有機シランの熱分解によるSiO₂堆積膜を用いた。次節5.2でこれらの技術を含めた素子製作について述べ、5.3節で得られた負性抵抗特性について述べる。

5.2 素子の製作

5.2.1 エピタキシャル成長

p-n接合形成のための、基板と逆の形をもつ薄層の成長方法として、著者らの開発した回転スライドポートによる、Ga溶液からの液相成長法を用いた。[4-6]この方法は、多重層の成長が容易で、レーザーダイオード等のデバイス製作のために開発された。今回は特に、バックグラウンドの不純物を小さな値に抑えるため、溶液の水素雰囲気中熱処理工程を結晶成長前に採り入れた。

Fig. 5-1に、成長装置の構成を示す。雰囲気ガスの水素は、パラジウム隔



F i g . 5 - 1 液相エピタキシャル成長装置の構成

膜を利用した精製器を通し、反応管の前後にさらに液体窒素トラップを設けて不純物ガスの混入を防いだ。石英反応管は縦形で、グラファイト製の回転型スライドボートが底部に置かれており、上部のウィルソンシール部から石英棒によりボートを操作できるようになっている。炉温は、PID型精密温度調節器と、それに信号を送るパターン発生器により昇、降温のパターンがコントロールされる。

F i g . 5 - 2 に、用いたボートの構造を断面図で示す。ボート主要部は基底部と回転部から成り、基底部に基板が設置される。回転部は溶液室と成長室を含み、両者は小穴をもつ隔壁で隔てられており、成長直前にGaAsを溶解したGa溶液がピストンにより成長室に押し出され、(図(b))基板に接触されて成長が起こるようになっている。成長前にボート内部の置換が十分に、またスピーディにできるよう、回転部を持ち上げた状態に置くスペーサがあり、成長前に回転部を僅か回転することにより基底部の穴に落ちて、ボートが密着するように工夫されている。成長終了後は、回転部を再び移動させて溶液を基板から切り離し、余分な成長を防ぐ。

成長に先立ち、ボートは真空中で950℃5時間、水素雰囲気中900℃で5時間空焼きを行う。さらに所定量のGaと、成長温度で溶液を飽和するに十分な量のGaAs結晶、必要量の不純物元素を溶液室にチャージし、水素雰囲気中900℃で5~10時間熱処理する。この後はじめて基板をセットし、成長プロセスに入る。

F i g . 5 - 3 に、典型的な温度サイクルを示す。十分な置換時間の後時刻で反応管を炉中に挿入し、一定時間その状態を保って溶液を平衡させる。次に炉温を所定温度勾配で下げ、所定の成長開始温度に達した時刻 t_G で溶液を成長室に押し出し、基板に接触させて成長を開始させ、所定成長時間後 t_S でボートを回転して溶液を基板

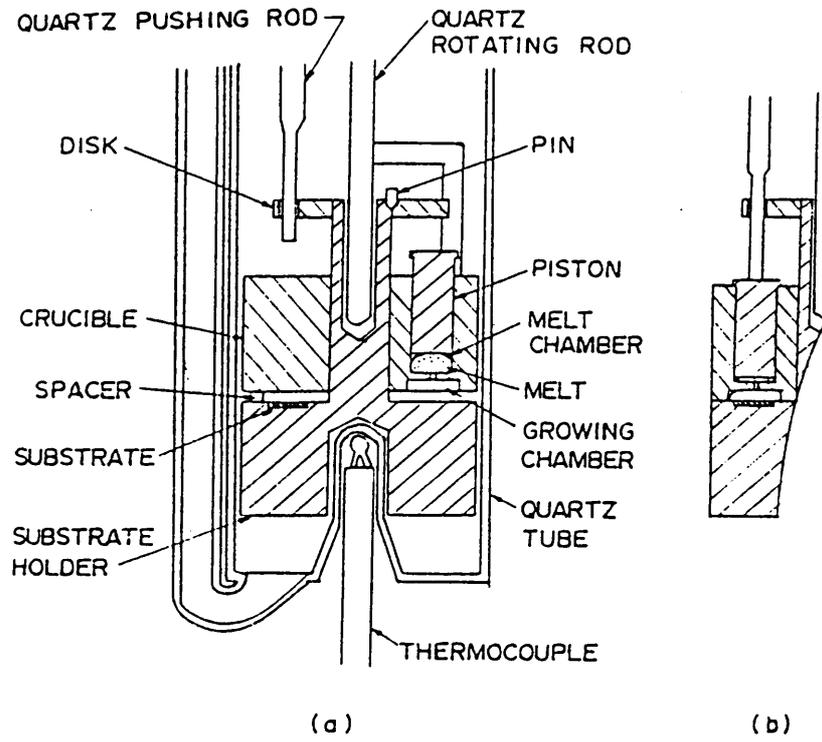


Fig. 5-2 成長用ボートの構造

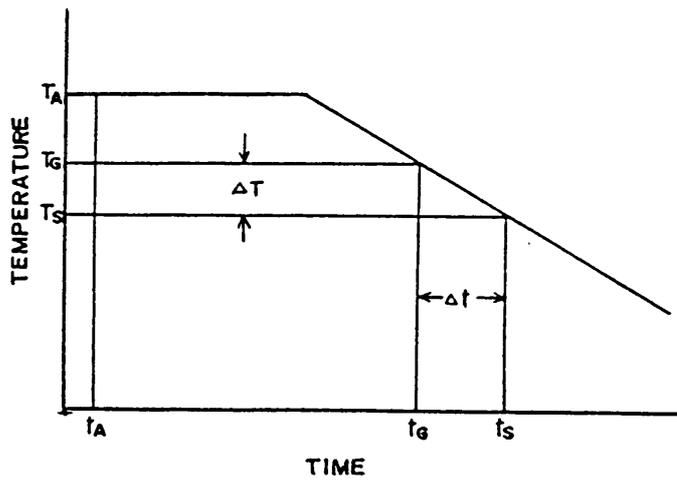


Fig. 5-3 成長温度サイクル

から切り離し、成長を終了する。降温の温度勾配は、通常 $0.1 - 0.2^{\circ}\text{C}/\text{min}$ を用い、成長開始温度は 800 または 825°C 、成長の温度差 ΔT は $1 - 5^{\circ}\text{C}$ である。

このような条件により、成長後の基板へのGa溶液の付着がない場合、 $1 - 2\mu\text{m}$ の成長層が得られる。不純物元素として通常p形層にはGe、n形層にはSnを用いるが、不純物を添加しない場合高抵抗のn形層が得られるので、この層をそのまま利用することも可能である。キャリア濃度は、C-V法により測定した。

5.2.2 絶縁膜形成

トンネルMIS接合用の薄い絶縁膜として、有機シランの熱分解で得られる SiO_2 膜を利用した。この方法は、Geへの不純物の選択拡散用保護膜としてJordanが報告した方法である。[7] 有機シランとしてここでは正珪酸エチルを用いた。

Fig. 5-4に装置の概略を示す。典型的な形成プロセスは次のようである。

- (1) N_2 を正珪酸エチル側に流し、フラスコ内部を置換する。
- (2) N_2 をバイパス側に切り換え、石英管内を N_2 置換し20分後に基板を挿入する。
- (3) 電気炉をオンし、昇温を開始する。
- (4) 炉温が安定したところで N_2 を正珪酸エチル側に切り換え、熱分解により所定時間 SiO_2 を形成した後、再び N_2 をバイパス側に切り換える。

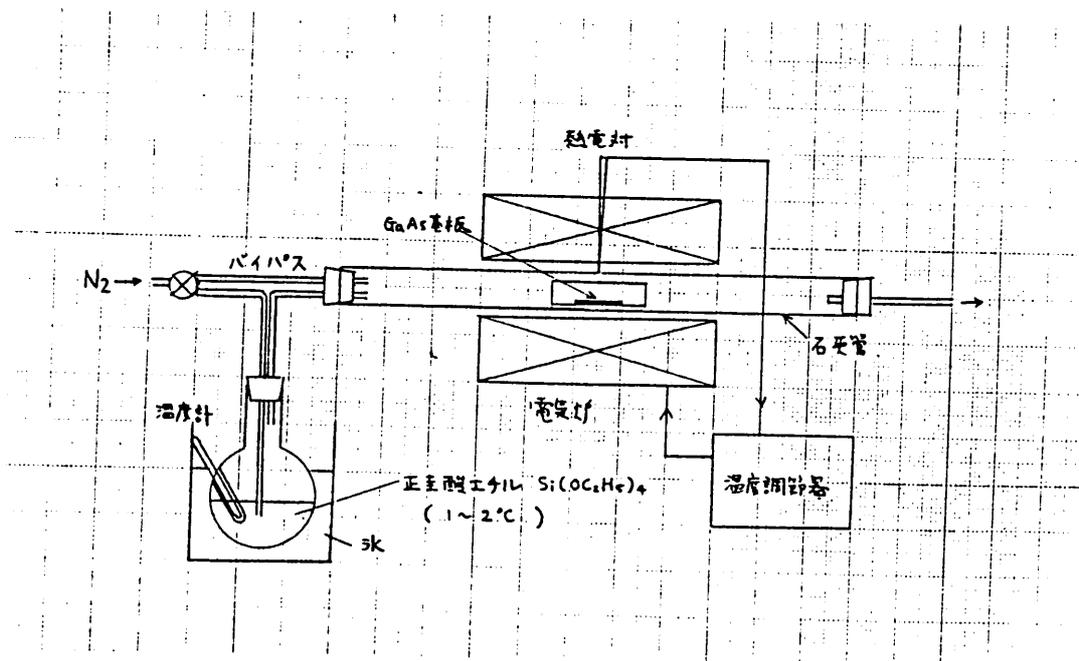


Fig. 5-4 酸化膜形成装置

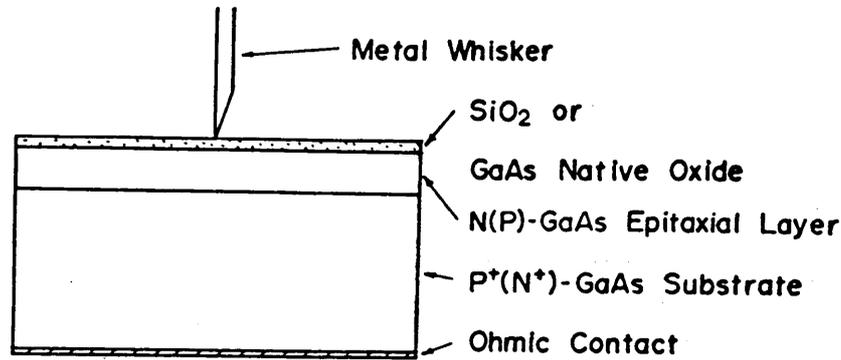


Fig. 5-5 素子構造

(5) 5分後に炉温を下げ始め、200℃程度に下がったところで基板を取り出す。

正圭酸エチルバブラの温度は、氷冷却により1~2℃とし、分解温度は650℃を用いた。成長膜厚は分解時間15分で50Å程度であるが、再現性は余りよくない。

5.2.3 素子製作プロセス

先に述べた液相成長により、GaAs基板にp-n接合を形成し、この成長層表面に正圭酸エチルの熱分解により薄いSiO₂膜を形成する。裏面をラッピングしてSiO₂を除去し、オーミックコンタクトとしてp形基板にはIn+Ag(1;3)を、n形基板にはSn+Ag(1;3)を蒸着し、真空中500℃5分アロイングする。MIS接合形成用金属には、Al, Ni, Au, Wを用いた。

Fig. 5-5に素子構造を断面図で示す。GaAsという新しい素材を用いて、負性抵抗特性を得ることを主目的としたため、金属の種類あるいは酸化膜厚等を広い範囲に変えて特性を調べる必要があり、それが簡便にできることから、一部を除いて図に示した点接触形を採用した。SiO₂膜についても、種々の膜厚についての測定ができるよう、40-80Åの膜を形成しておき、膜を少しずつ化学エッチしてその都度種々の金属ウイスカを接触させて特性を調べた。エッチング液にはHF+H₂O(1:10)を用いた。

基板のGaAs単結晶は $n \sim 2 \times 10^{18} / \text{cm}^3$ と $p \sim 2 \times 10^{17} / \text{cm}^3$ の二種で、エピタキシャル層として前者には $0.2 \sim 2 \times 10^{16} / \text{cm}^3$ のp形層を、また後者には $10^{14} / \text{cm}^3$ オーダの層をそれぞれ成長させた。絶縁膜として、上述のSiO₂膜のほか、H₂O₂中煮沸によるGaAsの化学的酸化膜を利用した素子についても実験を行った。

1) H. Kroger and R. W. ...

p on n GaAs
Ni whisker

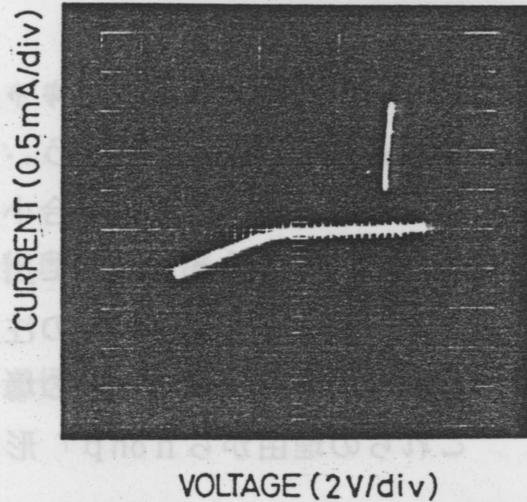


Fig. 5-6 電流電圧特性

5.3 特性

点接触形であるため、特性の再現性および同一ウエハ内での均一性はよくないが、予想される印加電圧の向き、即ち p-n 接合が順バイアスされる向きに、負性抵抗が観測された。Fig. 5-6 に、特性の一例を示す。ponn⁺ 形ウエハに Ni ウィスカを接触させた構造で、しきい値電圧約 6 V、保持電圧約 4.2 V を示している。絶縁膜厚は 30 Å 程度と推察される。nonp⁺ 形構造においても、ponn⁺ 形とは逆の電圧印加方向に負性抵抗が観測された。しかしながら、その確率は小さく、得られる特性も ponn⁺ 形に比べて保持電圧が高く、しきい値電圧とあまり差がないものが多かった。

点接触形構造であるという以外に、均一なエピタキシャル層の成長の難しさ、熱分解による SiO₂ 膜成長時の GaAs 表面の変質等、再現性のよい特性が得難い要因が多くあり、系統だった研究ができなかったが、得られた特性の一般的傾向を以下にまとめてみた。

- (1) ponn 形の方が、nonp 形に比べて負性抵抗特性が得られ易く、また特性も保持電圧が小さく、オン状態の抵抗が低いものが多かった。
- (2) SiO₂ 膜を形成しないものは、負性抵抗を示さない。一方、膜厚が 65 Å

以上の場合も負性抵抗特性が観測されない。

- (3) $pnnp^+$ 形素子の場合、仕事関数の小さなAlとNiウイスカで負性抵抗が観測され易い。
- (4) 電圧印加直後はきれいな負性抵抗特性を示しても、時間とともに劣化し、オフ状態が消失するものが多い。

GaAsは直接遷移形半導体であり、Siに比べてキャリアの寿命が短い。そのため注入キャリアは、短時間に再結合して消滅してしまう。従って、2トランジスタモデルにおける電流増幅率は、構造パラメータが同じ場合小さいことが予想される。易動度に関しては、電子は $8500\text{ cm}^2/\text{V}\cdot\text{s}$ とSiに比べ大きいですが、ホールは約 $400\text{ cm}^2/\text{V}\cdot\text{s}$ とむしろ小さい。p-n接合からの注入キャリアは、拡散によってベース層を移動しコレクタに達するので、 $nonp^+$ 形の場合、ホールの拡散長が短いことから α_{pn} が小さくなる。これらの理由から $nonp^+$ 形では特に負性抵抗が得られ難いものと考えられる。

GaAsの場合、絶縁膜としてSiにおける SiO_2 のような、簡便に得られてしかも非常に安定で優れた特性をもつ素材自身の酸化膜を持たないので、再現性のある特性を得るのは難しい。しかしながら、熱分解 SiO_2 を形成した素子にだけ、 $pnnp^+$ 形、 $nonp^+$ 形素子ともp-n接合が順バイアスされる向きに、Si素子と同じような特性の負性抵抗が得られたことから、同一の機構による負性抵抗特性が生じていることは確実であると言えよう。

直接遷移形半導体を素材として用いた場合、オン状態での効率よい発光が期待できるので、スイッチング特性の光に対する高い感度と組み合わせて、光情報処理あるいは光通信分野への応用も期待できると思われる。

5.4 まとめ

液相エピタキシャル成長法により形成した $pnnp^+$ および $nonp^+$ 接合と、正圭酸エチルの熱分解により堆積した SiO_2 薄膜を用いて、GaAsトンネルMIS素子を製作し、Siにおけると同様な機構で生ずる負性抵抗特性を確認することができた。これは、Si以外の母体結晶を用いた素子では初めての例であり、その点で意義が大きいと考える。今回は実験するまでに至らなかったが、直接遷移形半導体は、光を媒体とする回路あるいは通信に適しており、この分野への素子応用が期待される。

参考文献

- 1) H. Kroger and H. A. R. Wegener: Appl. Phys. Lett., 23 (1973) 397.
- 2) H. Kroger and H. A. R. Wegener: Appl. Phys. Lett., 27 (1975) 303.
- 3) 河村, 山本: 応用物理学会講演会予稿, 23a-B-7 (1975. 11).
- 4) 河村, 山本: 電子通信学会電子回路部品・材料研究会資料CPM72-76 (1973).
- 5) 河村, 山本: 静岡大学電子工学研究所報告10巻1号 (1975) 25.
- 6) K. Kawamura and T. Yamamoto: J. Crystal Growth, 32 (1976) 157.

第6章 考察

6.1 緒言

前章までにトンネルMISスイッチング素子の概要、動作機構、そして過渡応答特性について詳しく調べ、GaAsを素材とする素子の実現についても述べた。本章では、これらの知見をもとに素子が機能するために必要な構造上の条件をまとめて整理し、続いて素子のもつ特長を構造面から、そして機能面から明らかにする。最後に素子応用の見地から、特性の類似するp-n-p-n四層構造素子との比較を含め、素子の評価をおこなう。

6.2 素子機能に必要な構造上の条件

素子がスイッチング素子として機能するために必要な構造上の条件を、3章の動作機構で述べた2トランジスタモデルを利用して明らかにする。

先ず素子構造の本質は、トンネルMIS接合とp-n接合のモノリシックな直列接続構造であり、前者を逆バイアス、後者を順バイアスしたときに、MIS接合とp-n接合が共に良好なエミッタとして動作し、素子は二つのトランジスタとみなされる。そして各トランジスタが活性領域動作してそれらの結合から負性抵抗特性が生ずる。このために要請される構造上の条件は次のように要約される。

(1) p-n接合が良好なエミッタとして動作するために必要な、キャリアの注入比が得られるようなP層およびn層の不純物濃度の組み合わせ。

(2) p-n接合側トランジスタのベース層として働く、表面n層(又はP層)の厚さは小数キャリアの拡散長より薄くする。

(3) MIS接合を逆バイアスしたとき、通常は遮断特性を示すが、適当なバイアス条件あるいは反転条件下では、良好なエミッタ動作をするような、表面障壁を与える仕事関数をもつ金属をMIS電極に選ぶ。

(4) 必要なトンネル電流を流し得るような絶縁膜を選び、厚さを調節する。

以上のような条件が満足されれば、素材はSiにかぎられるわけではなく、絶縁膜もSiO₂である必要はない。条件(1)および(2)は、通常のバイポーラトランジスタのエミッタ接合とベースに要請される条件と同じであるが、(3),(4)はこの

素子特有のものである。具体的にはSi-SiO₂系の場合、絶縁膜の厚さは18-40Å程度が適しており、電極金属としては、室温動作の場合M-I-n-p形素子に対しては、仕事関数が4、1eV程度以上であればよいと考えられ、AlやMoをはじめとして多くの金属が利用できる。一方M-I-p-n形に対しては、障壁が低くなる高い仕事関数をもつPtを電極とする素子において負性抵抗が観測されており、ほとんど全ての金属が利用できると考えられる。又金属電極の代わりに半導体を用いることも可能であり、一例としてIn₂O₃を電極とした素子も動作が報告されている。[1]

素子特性のうちの重要なものの一つであるしきい値電圧V_{th}は、2トランジスタモデルにおけるベース接地電流増幅率の和が1を越える条件で決まるが、最も設計し易く、再現性にも優れた方法は、表面半導体層のバンチスルー電圧を利用する方法である。また、同様に重要なオフ状態における漏れ電流は、障壁を越えて金属からSi側にトンネルする電流により決まる場合が多く、これを小さくするためには、M-i-n-p形の場合、PtやAuのように高い障壁を与える金属を選ぶ必要がある。こうしてはじめて表面空乏層における発生電流が漏れ電流に対して支配的であるとする従来からの考え方が適用できる。

6.3 素子の特長

6.3.1 構造上の特長

構造面から見た素子の特長は、いうまでもなくトンネルMIS接合が利用されていることから生じている。以下に主なものを列記し、考察する。

(1) 構造がシンプルなため製作プロセス上有利である。p-n接合を1つしかもたないのも、エピタキシャルウエハを利用した場合、トンネル酸化膜上への金属の真空蒸着とフォトリソグラフィだけで素子が製作できるので、p-n接合形成のための不純物拡散やそのためのマスク用酸化膜の形成が不必要となり、高温プロセスを含めて工程が少なくよい。又微細加工の精度が高くできる。

(2) 金属電極そのものが素子の能動的部分を担う、即ち半導体層のp層あるいはn層の役割を果たすので、バイポーラ素子のように配線のためのコンタクトホールが不必要であり、製作工程が少ない。

(3) 金属電極を逆バイアスして用いるので、電極は空乏層により分離され、集積化の際特別な素子分離をしなくてよい場合が多い。

これらの特長はいずれも素子が高密度集積化に有利であることを示している。

(4) 半導体材料としてSiだけに制限されるものではなく、他の素材でも同様に作ることができる。2章2.4横形素子の中で示したように、特別な例としてp-n接合の代わりにMIS接合だけで素子を構成できるので、p-n接合の形成が困難な素材にも適用できる可能性がある。

一方マイナス面と考えられるものとして、

(5) 非常に薄い均一な絶縁膜(SiO₂の場合40Å以下)を必要とするので、形成法が難しく、形成後のプロセスの影響を受け易い。従って従来のIC製造プロセスへの組み入れに多少の問題がある。

(6) トンネルMIS接合の特性が、電極金属の仕事関数により大きく変化するが、金属の種類を変えるだけで、従来の不純物拡散やイオン注入のように濃度を自由に变えて特性を制御出来ないのも、素子設計の自由度が少ない。

(7) 半導体表面を能動領域に利用するので、表面準位など制御の難しい表面特有の現象が特性に関与する。

以上が構造面から見た素子の特長といえるものであり、従来の素子の中では、CCDあるいはMOSデバイスに共通点が多いと考えられる。

6.3.2 機能面から見た特長

素子の特性は、サイリスタに代表されるp-n-p-n四層構造素子に類似しており、機能面から見た特長も共通するものが多い。

- (1) 異なるインピーダンスをもつ双安定状態素子であり、1素子でメモリが構成できる。
- (2) インピーダンスがオン状態では低く、オフ状態では十分高くできるので、スイッチング素子として適する。また、制御端子によりスイッチング動作を制御でき、制御利得が大きい。
- (3) スwitching特性が光あるいは温度で変化し、センサとして利用できる。また、MIS接合の障壁高さにも敏感であり、仕事関数の変化に対しても感度をもつ。この場合、フォトランジスタにおけると同様、増幅機能があるので感度が高い。
- (4) 素子を近接して形成した構造においては、隣接素子間に電流結合作用がある。
- (5) トンネル注入を利用しており、キャリアが拡散で移動するベース領域が一箇所だけであるためスイッチング速度が速い。
- (6) オン状態における蓄積キャリアの消滅過程に、キャリアの再結合が関与しない

ので、回復時間が短い。

以上は長所と考えられるものであるが、短所としては、

(7) オン状態の保持電圧がやや高い。(1.2V以上)

(8) 負性抵抗領域の特性が必ずしも安定でないため、増幅素子としての利用が難しい。等が考えられる。

6.4 素子の応用と評価

6.4.1 単体素子としての応用

素子のスイッチング作用を利用して、電気回路のコントロールへの応用がまず考えられる。この場合、制御対象として、エネルギーを取り扱うものと、信号を取り扱うものに大別される。前者の例として、 $p-n-p-n$ 四層構造素子であるSCRが、電力調整に広く用いられていることはよく知られている。しかしながら本素子は、以下に述べる理由から、電力制御用には必ずしも適していないと考えられる。

(1) 薄いトンネル絶縁膜を必要とするが、大面積の均一な膜形成が難しい。

(2) 耐圧の高い素子が得られ難い。これは、高電圧印加により空乏層が広がると、そこでのキャリアの発生電流により、MIS接合界面に反転層が生ずることによる。

(3) オン状態の保持電圧が $p-n-p-n$ 四層構造素子に比べて高い。

その他、高い電流密度で使用した場合、絶縁薄膜の安定性の問題も考えられる等、トンネルMIS接合を利用するデメリットが大きく、構造がシンプルであるという製作上のメリットも、単体素子の場合あまり有利に働かない。したがって、この分野では、 $p-n-p-n$ 四層構造素子の方が優れていると考えられる。

信号変換あるいは信号処理への応用としては、光や温度に対してスイッチング特性が大きく変化する性質を利用して、センサへの応用が考えられる。この場合、しきい値電圧がこれらの信号強度に従って低下するので、一定レベルに対して回路をスイッチする、しきい値検知に特に適している。

光信号に対しては、素子における感応領域が表面空乏層であり、高いドリフト電界が表面から存在しているので、金属電極を薄くすとか、透明電極を採用することにより、高い感度の素子が期待される。一方、 $p-n-p-n$ 素子の場合、同じような光トリガスイッチが可能であり実用化もされているが、感応領域となる空乏層は内部の逆バイアス接合にあり、表面半導体層中にはドリフト電界がなく、発生したフォトキャリア

アを有効に利用できないので、感度の低下は免れ得ない。

素材としてGaAsのような直接遷移形半導体を用いることにより、オン状態で効率のよい発光が期待できる。従って、光入出力の増幅あるいは演算回路などの機能素子の実現でき、光信号回路素子としての応用が可能と思われる。一例として、最近脚光を浴びている光ファイバ通信への応用例として、中継器を考えてみよう。通常は、光のディテクタ、電気信号の増幅器、波形の整形器、しきい値検出器、駆動回路、そして元の光信号に直す発光素子が必要とされる。ところが、本素子は、これら全ての機能を単一素子で行う可能性を秘めている。勿論このためには、スイッチング動作と高効率の発光という二つの条件を満足させる素子設計が必要とされるが、期待の大きい応用分野であると言えよう。

p-n-p-n素子を温度センサとして利用する感熱サイリスタが報告されている。本素子においても、温度によるスイッチング特性を利用して、同様な応用が可能である。本素子の場合、しきい値電圧は、通常パンチスルー電圧で決まり、温度依存性は小さい。

しかしながら、熱発生キャリアが、素子のスイッチング特性に支配的に寄与するような、素子設計が可能である。具体的には、MIS接合用金属として、大きな漏れ電流を与える仕事関数の金属を用い、p-n接合側の電流利得を大きくする設計を行えばよい。

トンネルMIS接合の性質が、仕事関数を通して電極金属に依存することを利用して、素子を表面電位センサとして応用できる。電極金属として、雰囲気により仕事関数が増える金属、例えばPdやPtを用いれば、雰囲気中の微量ガス成分の高感度センサが実現する。この機能は、p-n-p-n素子にはない本素子特有のものであり、これを応用した水素検知スイッチが、著者らにより初めて開発された。〔2〕詳しくは、単体素子の応用例として7章で述べる。

以上、素子の、種々のセンサへの応用について述べたが、いずれの場合も、三端子形構造を用いることにより、制御端子に流す電流で感度の調節が可能になる。

この他、素子を通常の電氣的スイッチとして利用することも勿論可能であり、このような例として、素子を容量充電回路に組み入れた弛緩発振回路が開発されている。

〔3, 4〕

6.4.2 集積化素子としての応用

6.3節素子の特長の中で考察したように、本素子は本質的に高密度集積回路に適した構造をもっている。集積回路への応用の一つに、このような双安定状態素子のもつラッチ機能を生かしたスタチックRAM(Random Access Memory)

y)がある。MOSFETを利用した通常のスタチックRAMには、フリップ・フロップ回路が用いられ、1ビットあたり6個の素子が必要とされる。双安定素子を用いれば、記憶のためには1ビットあたり1素子でよく、負荷用トランジスタおよび書き込み読み出し用ゲートを含め、3個の素子でメモリが構成できる。従って、ビットあたりの占有面積は単純計算で半分で済む。また、本素子の場合、機能的にはバイポーラ素子の範ちゅうに入り、縦型素子でもあることから電流密度が高くとれ、読み出しの高速化と、センスアンプの簡単化が期待できる。また、状態間のインピーダンス比が大きく、オフ電流が小さいので、スタンバイ時の消費電力を小さくできる。

p-n-p-n素子と比べた場合、本素子はp-n接合を一つしか持たない上に、MIS接合用電極金属が配線も兼ねることができるので、コンタクトホール穴の穴開け工程が不要となり、集積密度が高くできる他、製作工程数も少なくなる。また、同一ウエハ上に相補形の素子を形成する場合、通常はエミッタあるいはソース、ドレイン用に、n層とp層をそれぞれ別に形成する必要があるが、本素子の場合、電極金属がn層とp層の両方の機能を果たし得るので、製作工程が簡略化できる。寄生抵抗が小さくできるので動作速度の点からも有利である。

RAMとしての応用の他、しきい値電圧がバンチスルー電圧、あるいはアバランシェブレークダウン電圧を通して半導体の不純物濃度を変えることにより自由に設計できるので、マスクROM(Read Only Memory)への応用も期待できる。

素子の集積回路への今一つの応用として、隣接素子間の電流結合特性を利用した論理回路、あるいはシフトレジスタがある。前者に関してはアイデアの段階であり、[5] まだ本格的集積化素子の実現までには至っていないが、後者に関しては、この電流結合作用に、電極金属への素子特性の依存性を加えてさらに機能化を進めた二相駆動シフトレジスタが著者らにより開発されている。[6] これについては8章で詳しく述べるが、非常に簡単なプロセスで製作されており、7章で述べる単体素子の水素検知スイッチとともに本素子の応用の典型的な例とあってよいと思われる。

一般に機能素子とは、従来複数の素子の組み合わせ、あるいは複雑な回路構成により初めて達成される機能を、単一素子で具現したものと考えることができる。そして素子が、特別な技術や困難なプロセスを含まない既存の技術で製作できるとき、さらには、より簡単なプロセスで製作できるとき特にその意義が大きい。CCDやPCD等はそのよい例と思われる。本素子は、薄い絶縁膜形成という新しいプロセス技術を必要とし、必ずしも従来の製造技術がそのまま応用できるとは言えないが、簡単な工程で製作でき、上に述べた種々のユニークな機能を供えている点で、CCDやPCDに劣らない機能素子であると言ってよいと思われる。

6.5 まとめ

前章までに得られた知見をもとに、素子がスイッチング素子として機能するために必要な構造上の条件を明かにした。そして素子の特長を構造面および機能面に分けて考察し、既存の素子との比較を行った。又、素子の応用に関して、単体素子と集積化素子に分けて考察し、構造および特性の類似した $p-n-p-n$ 素子との比較を中心に、応用的見地からの素子評価を行った。

参考文献

- 1) 大古田, 藤中, 町, 五島, 六倉: 電子通信学会講演会予稿314 (1979).
- 2) K. Kawamura and T. Yamamoto: IEEE Electron Device Lett., EDL-4 (1983) 88.
K. Kawamura and T. Yamamoto: Proc. of the International Meeting on Chemical Sensors, Japan (1983) 459.
- 3) T. Yamamoto, K. Kawamura, and H. Shimizu: Solid State Electronics, 19 (1976) 701.
- 4) J. G. Simmons and A. EL-Badry: The Radio and Electronic Engineer, 48 (1978) 215.
- 5) M. M. Darwish and K. Board: Electronics Letters, 14 (1978) 482.
- 6) K. Kawamura and T. Yamamoto: IEEE Trans. Electron Devices, ED-28 (1981) 1078.

第7章 素子の応用1： 水素検知スイッチ素子

7.1 緒言

素子応用の第1の例として、単体の素子ではあるが、素子のもつスイッチ作用に、特異な性質をもつ金属を組み合わせた機能化素子の開発について述べる。

金属パラジウム (Pd) は、水素に対して触媒作用と選択透過性をもち、水素の吸着により実効的な仕事関数を変化させる。[1] この性質を利用して、このPdをゲート金属に用いたMOSFET、[2]あるいはSchottky barrier金属として用いたダイオードが、[3]高感度の水素センサとして開発され報告されている。雰囲気中の水素濃度は、前者においてはしきい値電圧の変化として、また、後者においては素子電流あるいは素子電圧の変化として検出される。

ここに述べる素子は、トンネルMISスイッチ素子にこのPd膜を組み合わせた、水素濃度に応じてスイッチ特性が変化する素子である。単体の中に、水素を検知するセンサ機能と、水素濃度に応じて電気回路を開閉する、情報処理とアクチュエータ機能を合わせもっており、いわゆる機能化素子と呼んでよい素子であると考えられる。[4,5]

7.2 素子構造と製作プロセス

Fig. 7-1に、素子の断面図を示す。従来形のトンネルMIS素子の電極金属として、薄いPd膜を用いたもので、エピタキシャルウエハとしてnonp⁺形と、p on n⁺形のどちらを使うかにより特性の水素濃度依存性が正反対となる。実験に用いたウエハは、M-I-n-p形の場合、n層の比抵抗と厚さがそれぞれ2.9Ωcm, 5.1μmであり、M-I-p-n形の場合、p層比抵抗と厚さがそれぞれ5.4Ωcm, 5.0μmである。

製作手順も従来の素子とほとんど同じである。フォトリソグラフィ技術により、まずSiをメサ形にエッチしてp-n接合を所定の大きさに残し、台地上のフィールド酸化膜にMIS接合用の窓を開ける。次に、20-40Åのトンネル酸化膜を、乾燥酸素による熱酸化で形成し、Pdを抵抗線加熱あるいは電子ビーム加熱により真空蒸着し、フォトリソグラフィでエッチングする。最後に裏面にオーミック電極を形成する。約1cm²の大きさをもつウエハ上に、100μmから800μmまでの5種類の面積をもつ素子

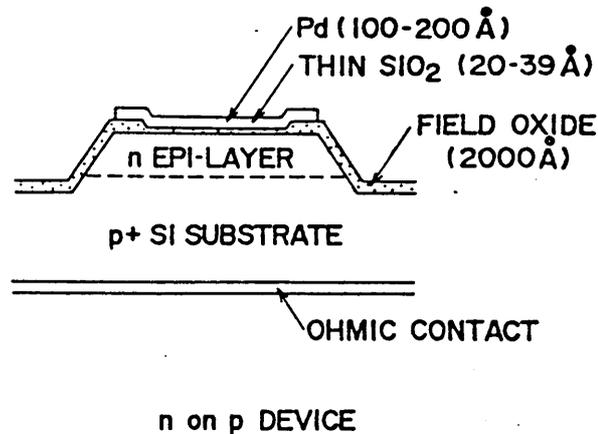


Fig. 7-1 素子の断面図

を50個以上形成した。Pd電極の厚さは、今まで述べた素子に比べ薄く、100-200 Åである。これは、応答速度が遅くならないための配慮である。

7.3 測定方法

種々の水素濃度をもつ雰囲気を作るため、Fig. 7-2に示すような、ガス調製装置を用いた。この装置により、純窒素、空気、1 ppm - 100%までの任意の濃度の水素を含む窒素あるいは空気を、測定チャンバへ導入できる。素子はウエハ状のまま、マニピュレータ上に作られた容積約90 cm³の測定チャンバ内に置かれ、プローブでコンタクトをとって電流電圧特性を測定した。素子温度は、基板加熱装置により、室温から150℃までの範囲で任意にコントロールできる。測定は、原則として暗黒状態で行った。

7.4 素子特性

7.4.1 水素濃度依存性

Fig. 7-3に、Pd-I-n-p形素子のスイッチング特性の、水素濃度依存性の典型的な例を示す。MIS接合面積500 μm²、トンネル酸化膜厚28.6 Å

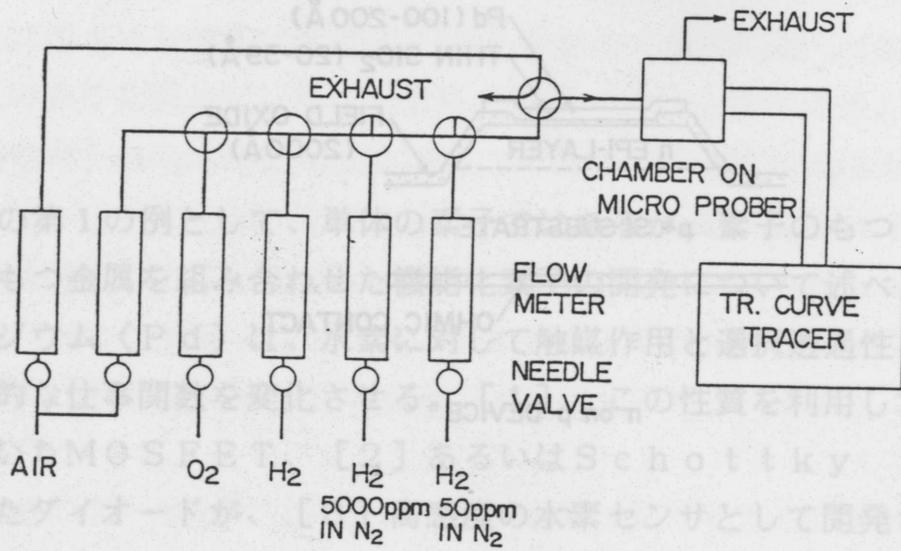
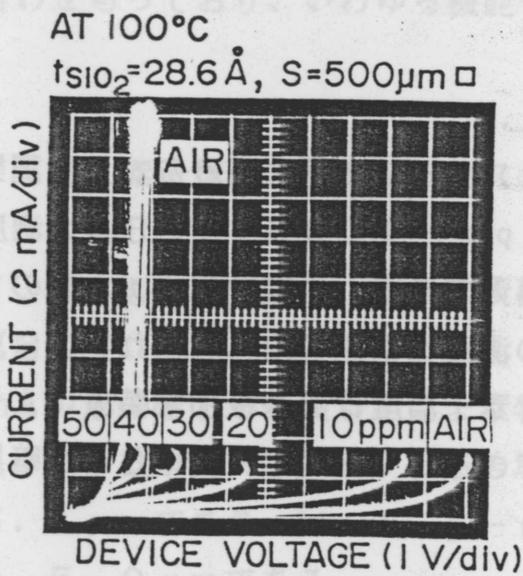
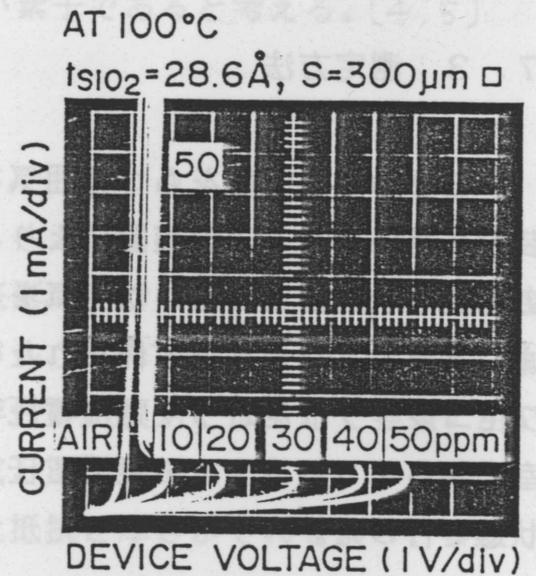


Fig. 7-2 測定装置の概要



n on p DEVICE



p on n DEVICE

Fig. 7-3 nonp形素子特性の水素濃度依存性

Fig. 7-4 pon形素子特性の水素濃度依存性

の素子についての100℃における測定例である。測定チャンバ内を、空気からそれぞれの水素濃度を含む空気に切り換え、10分の安定化時間後の特性を、トランジスタカーブトレーサで測定したものである。水素濃度が増加するに従い、オフ状態からオン状態への遷移のしきい値電圧が減少し、ある濃度、この素子の場合50 ppm 以上では、オフ状態が消滅し、素子は通常のダイオード特性を示すようになる。オン状態の保持電圧も、変化量は小さいが水素濃度とともに減少している。チャンバ内を元の純粋な空気に戻すと、素子特性は再び元の特性を取り戻す。即ち変化は可逆的である。

一方、Pd-I-p-n形素子の場合、この水素濃度依存性は逆向きになる。Fig. 7-4は、この例である。空気中で通常のダイオード特性を示していたものが、水素濃度の増加とともに、5 ppm 程度でまずオフ状態が現われ、以後濃度とともにしきい値電圧が上昇し、50 ppm では8 Vにも達する。オン状態の保持電圧も、Pd-I-n-p形素子とは逆に、水素濃度とともに増加する。

以上の特性から分かるように、素子に加える電圧を適当に選ぶことにより、雰囲気中の水素濃度がある一定レベルに達したときに回路を開閉できる。例えば、Fig. 7-3の場合、印加電圧を5 Vにセットすれば、水素濃度が約20 ppm に達したところで、素子はオフ状態からオン状態に遷移し、警報回路に接続しておけば、ベルを鳴らすことができる。

Fig. 7-5は、Pd-I-n-p, Pd-I-p-n両素子のしきい値電圧 V_{th} と保持電圧 V_{sus} の、水素濃度依存性をまとめて示している。 V_{th} の変化は両素子とも大きく、10 ppm の水素濃度変化に対し1-2 Vある。従って、数ppm の濃度を十分検知できる高感度スイッチが可能である。一方、 V_{sus} の変化は V_{th} に比べて小さいが、従来のPd電極を用いたMOSFETや、ショットキーバリアダイオードで得られる電圧変化よりも大きく、この電圧変化をそのまま利用する高感度センサも可能である。

水素に対するこのような感度は、素子の構造パラメータに依存して変化するが、特にトンネル酸化膜厚と、Pd電極形成プロセスに依存する。これらについては、さらに詳しい研究が必要であろう。ちなみに図に示した高感度素子は、酸化膜厚28.6 Å、Pdはタンゲステン線フィラメントによる抵抗線加熱により蒸着したものである。

7.4.2 時間応答特性

次に、素子の時間応答特性について、Pd-I-p-n形素子における測定結果を述べる。逆タイプのPd-I-p-n形素子についても傾向は同じである。Fig. 7-6は、種々の水素濃度をもつ空気に素子を晒した後、再び純粋な空気に戻したとき

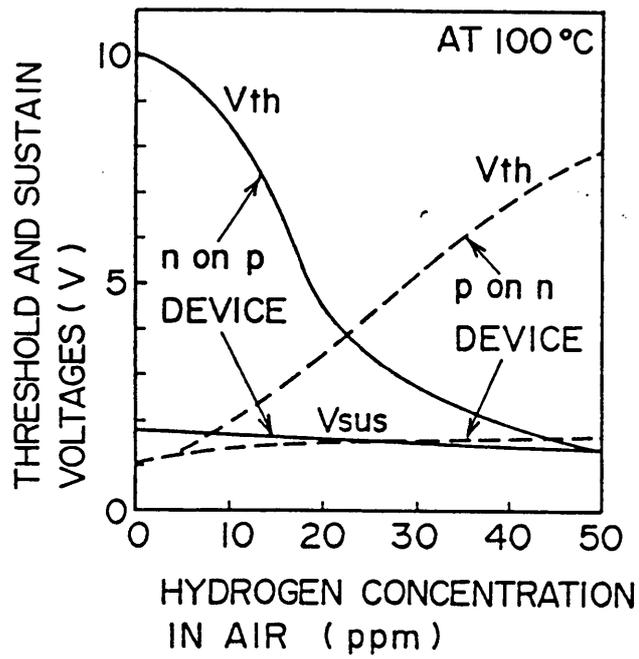


Fig. 7.5 しきい値電圧 V_{th} と保持電圧 V_{sus} の水素濃度に対する変化

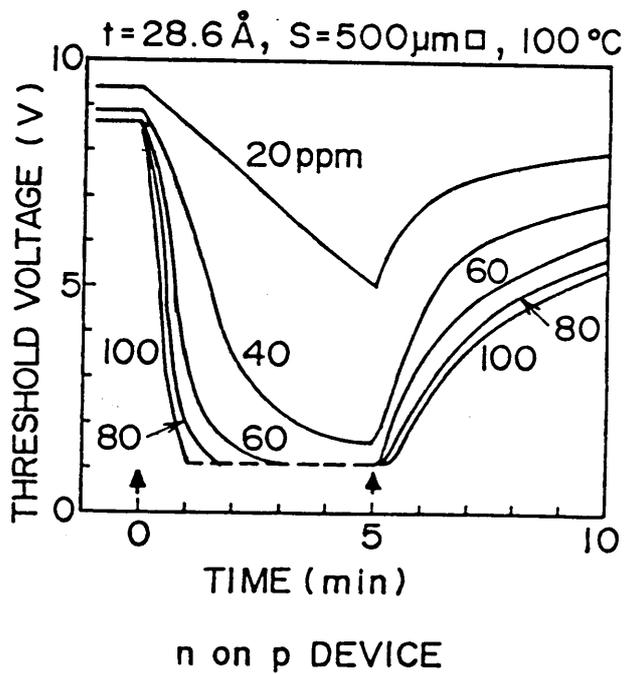


Fig. 7-6 しきい値電圧の時間応答特性

の、しきい値電圧 V_{th} の変化を示している。動作温度は 100°C である。 V_{th} の減少する速さは、水素濃度の増加とともに大きくなり、オフ状態消滅に要する時間は短くなる。例えば、 60 ppm の場合 3.1 分を要したものが、 80 ppm に対しては 1.8 分になり、 100 ppm の場合約 1 分でオフ状態が消滅してしまう。水素濃度が低い場合、変化の速度は遅くなり、 40 ppm の場合定常状態に達するのに約 5 分を要し、 20 ppm では 10 分以上必要である。先の Fig. 7-3 と 7-4 は、このような応答速度を考慮して、それぞれの雰囲気への切り換え 10 分後の特性を順次写真撮影したものである。

水素を含む雰囲気から、元の純粋な空気に戻したときの初期特性への回復時の変化は、前の場合と逆になり、水素濃度の低い雰囲気に晒した場合ほど、回復時間が短い。しかしながら、初期特性の完全な回復には長時間を要し、 100°C の場合、 100 ppm 位かの水素濃度範囲に対し、通常 $1\sim 2$ 時間を必要とする。

以上は、空気中での回復特性であるが、純粋な窒素中では回復は極端に遅くなる。

これは、Pd に吸着された水素は脱着過程で酸素と結合して H_2O として表面を離れるので、 O_2 を必要とするからである。[6]

回復途中にある素子を再び水素雰囲気に晒した場合、 V_{th} の変化速度は通常の場合に比べ速い。逆に、長時間保存状態にあった素子を初めて動作させた場合、応答速度が遅くなる傾向がある。これらのことは、Pd 電極の表面状態の違いと考えられ、実用化の際には究明が必要と思われる。

予想されるように、素子の応答速度は、温度に強く依存する。Fig. 7-7 は、雰囲気を空気から 100 ppm の水素を含む空気に切り替えたときの、 V_{th} の時間変化を、温度をパラメータとして示している。動作温度が低くなるに従って応答が遅くなり、 100°C の場合に 1 分以下であったオフ状態消滅時間は、 75°C では 2.5 分に、また 50°C では 20 分に増加する。室温の 25°C の場合、 2 時間後にもオフ状態が存在し、 V_{th} は 2 V 程度まで下がっているものの未だ減少を続けている。

室温の場合であっても、水素濃度が大きい領域では応答速度は速くなる。Fig. 7-8 は、室温における、高い水素濃度領域での時間応答特性を表わしている。濃度とともに応答が速くなり、 1000 ppm の場合約 40 秒でオフ状態が消滅している。水素ガスの爆発範囲は $4\sim 75\%$ 程度であり、[5] 1000 ppm に比べて下限で 40 倍あり、素子は、室温でも十分実用になる応答速度をもっていると考えられる。

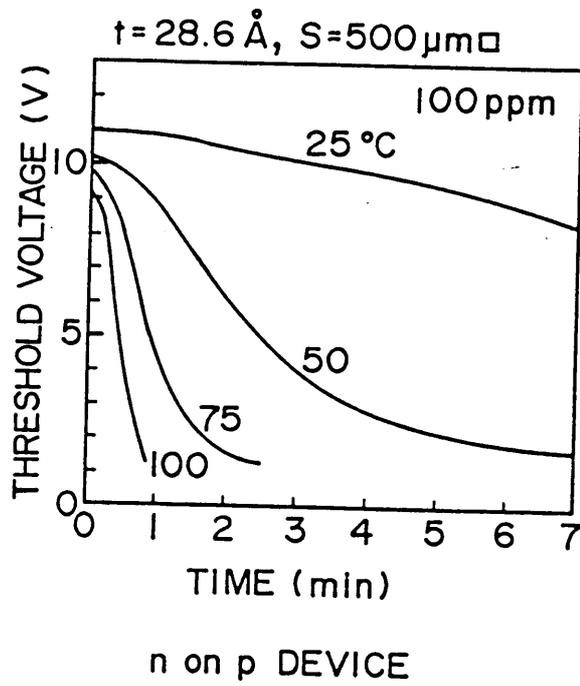


Fig. 7-7 温度をパラメータとした、しきい値電圧 V_{th} の時間応答特性

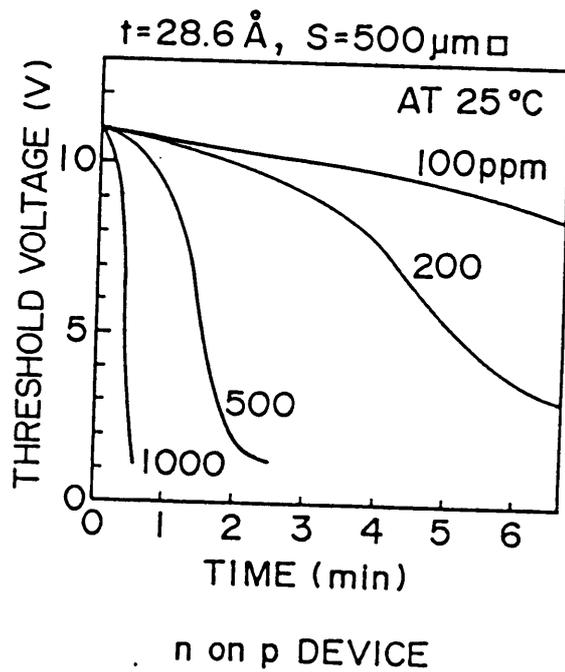


Fig. 7-8 室温における V_{th} の時間応答特性

7.5 考察

スイッチング特性の水素濃度に対する変化は、第3章動作機構で展開した考え方を応用して説明できる。Fig. 7-9は、Pd-I-n-p形素子の2トランジスタ等価回路を表わしており、MIS側およびp-n接合側トランジスタのベース接地電流増幅率をそれぞれ α_{MIS} および α_{pn} とすれば、ターンオンの条件は次式で表わされる。

$$\alpha_{MIS} + \alpha_{pn} \geq 1 \quad (7-1)$$

この条件は、パンチスルー形素子の場合、n層の完全な空乏化によりp-n接合側トランジスタのコレクタ空乏層が、エミッタ空乏層にまで達し、ホールの注入が急激に大きくなることにより達成される。また、アバランシェ形素子の場合、MIS接合界面における電界の最も強い点で起こる、ブレイクダウンにより発生したキャリアによる電流増加により達成される。

Pdを電極にした素子の場合、水素吸着によるMIS接合障壁の、実効的高さの減少により達成されると考えられる。Fig. 7-10は、バイアス電圧が印加されオフ状態にある素子のエネルギーバンド図を示している。p-n接合に一部電圧が分

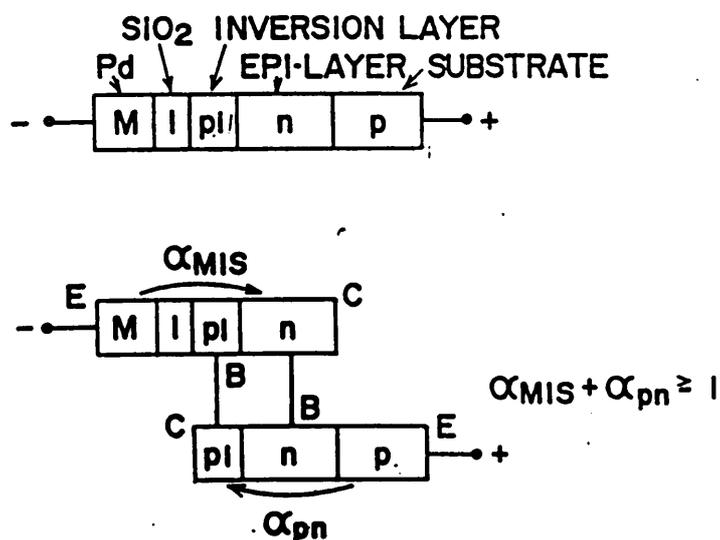


Fig. 7-9 素子の2トランジスタモデル

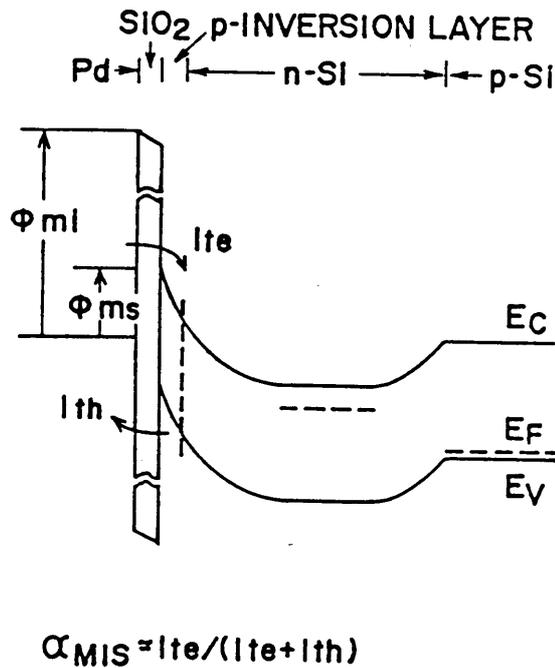


Fig. 7-10 素子のエネルギーバンド図

担されてはいるものの、ホールの注入は小さく、電流はトンネルMIS接合からの電子の注入電流 I_{te} が支配的になっていると考えられる。ここで水素吸着によりPdの実効の仕事関数が減少したとすると、MIS接合における金属側からみた酸化膜およびSiに対するエネルギーバリア ϕ_{mi} と ϕ_{ms} が共に減少し、トンネル電子電流 I_{te} は、バリアの低下に応じて指数関数的に増加する。この電流は、Fig. 7-9のp-n接合側トランジスタのベース電流であり、 α_{pn} は電流の大きくない領域では、ベース電流の増加に従って大きくなるので、水素濃度に応じて増加する。

一方、MIS接合側トランジスタの α_{MIS} は、反転層および空乏層での再結合を無視すれば、トンネル電子電流 I_{te} とトンネルホール電流 I_{th} の大きさにより、次式で表わされる。

$$\alpha_{MIS} \approx \frac{I_{te}}{I_{te} + I_{th}} \quad (7-2)$$

ϕ_{mi} と ϕ_{ms} の減少により I_{te} は指数関数的に増大するのに対し、 I_{th} の増加は、Si側からみたホールに対する酸化膜障壁の、形の変化による僅かな増加だけと考えられ、

α_{MIS} も水素濃度に応じて増加する。このように、水素吸着により α がともに増加し、(7-1) 式がより低い電圧で満足されるため、しきい値電圧が低下すると考えられる。オフ状態が消滅するのは、この極端な場合であり、バイアス電圧印加初期から (7-1) 式が満足されていると考えられる。

Pd-I-p-n 形素子における逆向きの水素濃度依存性も、Pd の実効的な仕事関数の減少が、ホールに対してはバリアを高くする向きに働くことを考えれば、矛盾なく説明できる。

α_{MIS} の値は、トンネル絶縁膜の種類と厚さ、また α_{pn} は、p 層と n 層の比抵抗および厚さに主として依存し、ともに素子の幾何学的構造によって変化する。従って、これらを適当にデザインすることにより、所望の水素検知特性をもつスイッチ素子が実現できると考えられる。

7.6 まとめ

単体素子としての応用の一例として、水素に対して触媒作用と選択透過性をもつ Pd を電極金属として利用した水素検知スイッチ素子について述べた。素子は、数 ppm の濃度を検知できる高い感度をもち、100℃での動作では、実用レベルの応答速度をもっている。また、素子構造が単純であり、大量生産が可能なため安価な水素検知素子の実現が期待できる。特定のガスあるいは基質に接したとき、仕事関数が増加する金属あるいは感応膜を利用することにより、ここに述べた水素ガス以外の検知スイッチも可能と思われる。

参考文献

- 1) M. C. Steele and B. A. MacIver: Appl. Phys. Lett., 28 (1976) 687.
- 2) I. Lundstrom, M. S. Shvaraman, C. Svenson and L. Lundkuist: Appl. Phys. Lett.; 26 (1975) 55.
- 3) N. Yamamoto, S. Tonomura, T. Matsuoka, and H. Tsubomura: Surface Sci., 92 (1980) 400.
- 4) K. Kawamura and T. Yamamoto: IEEE Electron Device Lett., EDL-4 (1983) 88.
- 5) K. Kawamura and T. Yamamoto: Proc. of the International Meeting on Chemical Sensors, Japan, (1983) 459.
- 6) M. Armgarth, D. Soderberg and I. Lundstrom: Appl. Phys. Lett., 47 (1982) 654.

第8章 素子の応用2： 2相駆動シフトレジスタ

8.1 緒言

第6章6.2節素子の特長で触れたように、トンネルMISスイッチング素子は、シンプルな構造をもつ、製造工程が簡単で高温プロセスが少ない、コンタクトホールが少ない、電極金属の種類を変えることで特性を大きく変えることができる等、本質的に集積回路素子に適した性質をもっている。しかしながら今までのところ、素子を集積回路に応用した例は、2章で説明した著者らのシフトレジスタ、[1]およびSimmonsらによるMOSFETと組み合わせた16ビットのメモリの試作例[2]をおいてない。ここでは、前者の構造をさらに機能化した、2相駆動で方向性シフトを可能にしたシフトレジスタについて述べる。[3, 4]

まず8.2節で素子の構造と動作原理について説明し、8.3節で製作プロセスを具体的に述べる。8.4節で素子の動作特性を、設計パラメータと関連づけながら述べ、8.5節で素子の特長を中心に考察を試みる。

8.2 素子構造と動作原理

Fig. 8-1は、シフトレジスタを構成する一つのエレメントの構造を断面図で示している。エレメントは、Au電極とMo電極が一部重ね合わされた状態で、non

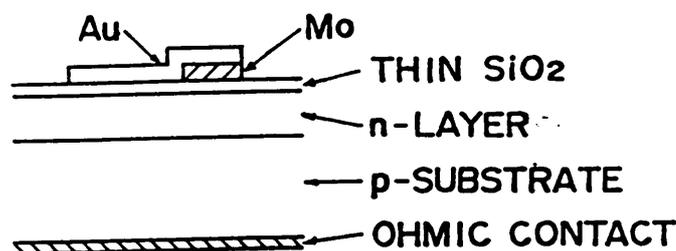


Fig. 8-1 レジスタエレメントの構造

p形エピタキシャルウエハ上に、薄いトンネル酸化膜を介して形成されている。この構造は、種類の異なる電極金属をもつ二つのトンネルMISスイッチングダイオードを、並列に接続したものとみなすことができる。Fig. 8-2は、この並列接続構造を、切り離して測定したときの静特性を示している。オン状態の保持電圧 V_{sus} は、主としてトンネル酸化膜厚と、用いる電極金属の仕事関数に依存する。Fig. 8-3は、AuとMoに対する V_{sus} の酸化膜厚依存性を表わしており、Auの方がMoに比べて大きい。この結果、Fig. 8-2に示すような特性が得られることになる。

ところが、実際にはAu電極とMo電極は電氣的にショートしているので、重ね合わせ構造においては、Au電極によるオン状態は存続せず、Mo電極のオン状態のみが安定状態として残る。従って、オン状態にあるエレメントに流れる電流は、Mo電極に集中して流れることになる。

一方しきい値電圧 V_{th} は、パンチスルー形素子の場合、n層の比抵抗と厚さで決まり、電極金属にはほとんど依存しない。従って、この重ね合わせ構造においても、オフ状態からオン状態への遷移に関しては、二つの金属は、一つの電極と等価であり分けて考える必要がない。

2章で説明したように、MIS接合用電極を同一基板上に近接して形成したトンネルMISスイッチング素子対においては、素子間の電流結合作用により相互が影響し合い、 V_{th} が変化する。この変化は電極間の距離が小さい程大きい。Fig. 8-

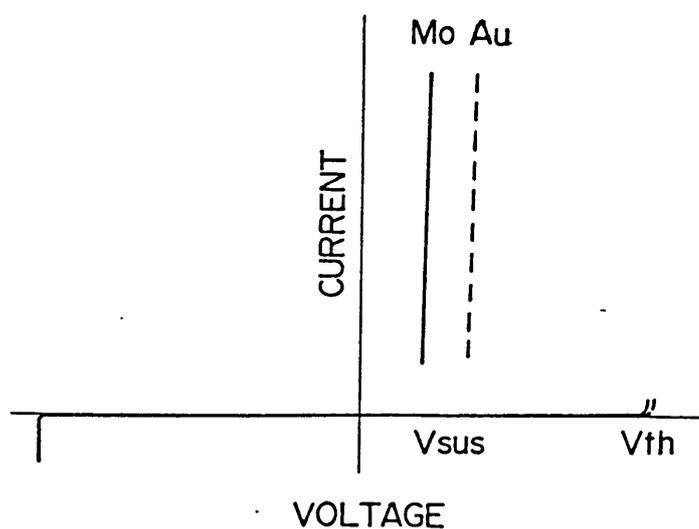


Fig. 8-2 レジスタエレメントの静特性

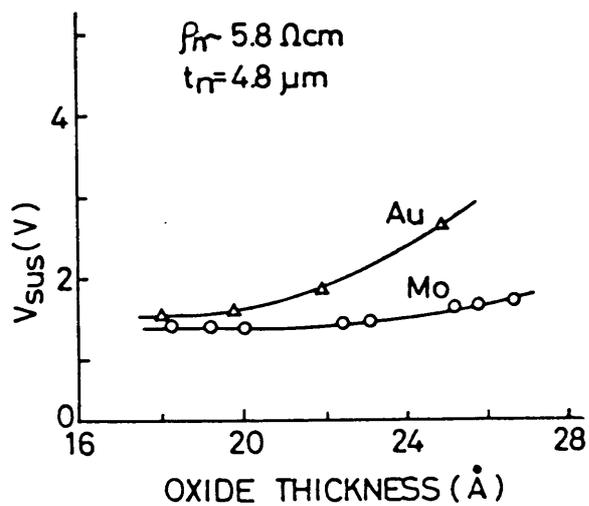


Fig. 8-3 MoとAuに対する V_{sus} の酸化膜厚依存性

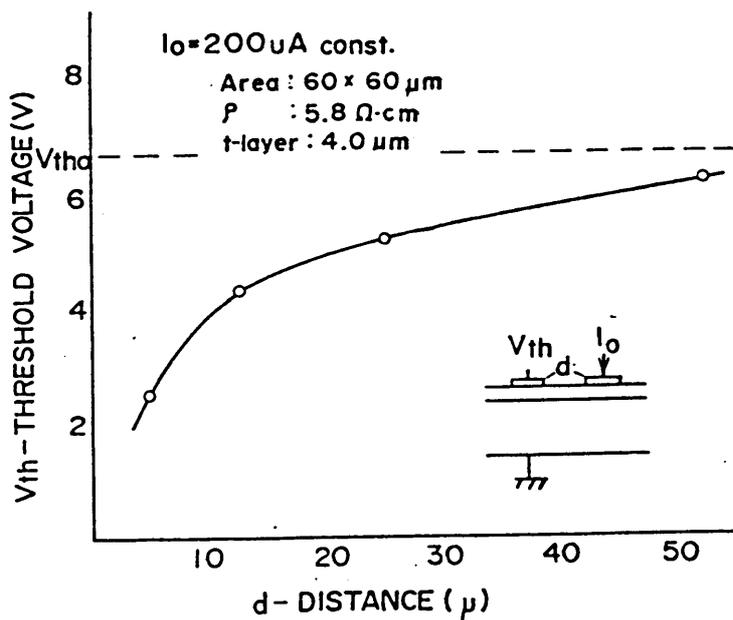


Fig. 8-4 隣接素子電流による V_{th} の低下の素子間距離依存性

4は、隣接素子に電流が流れているときの素子の V_{th} の低下を、隣接素子間距離を横軸にプロットした典型的な例を示している。距離が近づくにつれ結合作用が強くなり、 $5\mu\text{m}$ では V_{th} は元の値の約 $1/3$ に低下する。この結合作用を利用して、シフトレジスタを構成することができる。[5] 方向性をもったシフトのためには、通常三相のクロックパルスが必要である。ここに開発した素子は、Fig. 8-4に示す結合特性の距離依存性と、Fig. 8-2に示す電極金属による V_{sus} の違い、そしてエレメント中の非対称な重ね合わせ電極構成を組み合わせ、二相駆動で方向性シフトを可能にした集積化レジスタである。

Fig. 8-5は、集積化レジスタアレイにおける二相駆動による方向性シフトの原理を示している。(a)図において、クロック ϕ_1 と ϕ_2 は 180° 位相が異なり、

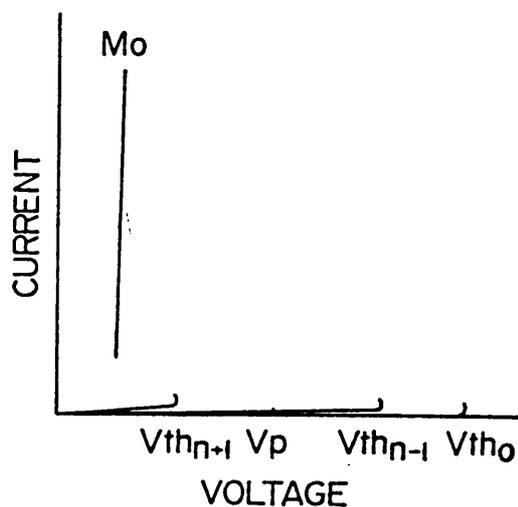
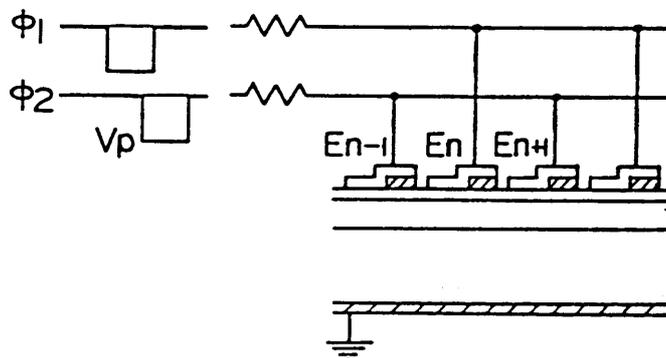


Fig. 8-5 二相駆動による方向性シフトの原理

それぞれ50%を越すデューティをもつので互いに一部重なっている。この二つのクロックが、抵抗を通して奇数番号と偶数番号の元素に、それぞれの配線を通して加えられる。いま、仮に元素 E_n がクロック ϕ_1 によりオン状態にあり、電流がこの元素だけに流れているとしよう。隣接する元素における V_{th} は、この電流の影響を受けて低下する。ところがこの低下のし方は、 E_n の右側の E_{n+1} の方が、左側の E_{n-1} に比べて大きい。なぜなら、オン状態にある E_n を流れる電流は、先に述べたようにMo電極直下に集中しているため、この電流フィラメントから見た両側の電極までの距離に差が生じ、 E_{n+1} がより近くなっているからである。即ち、(b)図で、両側の素子の V_{th} は、 E_n に電流が流れることにより、 E_{n+1} においては元の値 V_{th0} から $V_{th_{n+1}}$ まで低下するのに対し、 E_{n-1} においては $V_{th_{n-1}}$ までしか低下しない。従って、印加クロック ϕ_1 、 ϕ_2 のパルス電圧 V_p を、(b)図のように $V_{th_{n+1}}$ と $V_{th_{n-1}}$ の間にとっておけば、 ϕ_1 クロックによる E_n のオン状態は、 ϕ_2 が加えられる元素群のうち一つ右側の E_{n+1} だけをオン状態に遷移させる。 E_n におけるオン状態は、クロックパルスの終端で消滅するので、結果としてクロック半サイクルで、オン状態が E_n から E_{n+1} に1ビットだけ方向性シフトをしたことになる。この動作が安定して行われるためには、(b)図で $V_{th_{n+1}}$ と $V_{th_{n-1}}$ の差が大きい事が必要であり、電極間距離とAuおよびMo電極形状で決まる電流フィラメントから見た、隣接素子への距離の非対称性が大きい程よいことになる。

8.3 素子の設計と製作

n層の厚さおよび比抵抗それぞれ $3.5 - 4.7 \mu\text{m}$, $5.8 \Omega\text{cm}$ をもつnonp Siエピタキシャルウエハを、素材ウエハとして設計を行った。Fig. 8-6に、モノリシック集積化したシフトレジスタのプロトタイプ素子の平面図および詳細図を示す。素子は、10ビットのレジスタ元素と、入力および出力用元素から構成されており、レジスタは交互に配線で結ばれている。各々の元素でオン電流を担うMo電極は、 $20 \times 40 \mu\text{m}^2$ の大きさをもち全体がAu電極で覆われている。

Au電極は、厚いフィールド酸化膜中に帯状に開けられた窓を覆って、二本の楕形が向かい合って形成されており、窓部の薄い酸化膜の領域がトンネルMIS接合を、またフィールド酸化膜上の部分は、元素を交互に接続するリード線の役を果たしてい

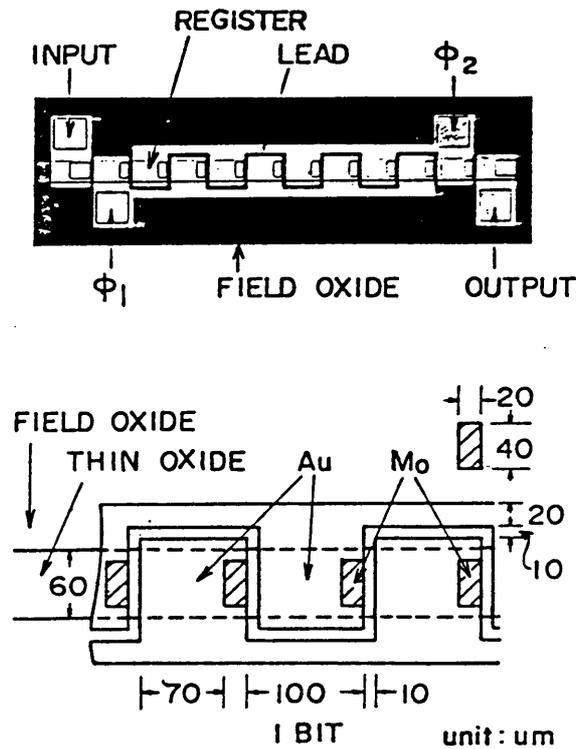


Fig. 8-6 シフトレジスタの構造と寸法

る。MIS接合部の大きさは、Mo電極を覆っている部分を含めて、 $60 \times 90 \mu\text{m}^2$ である。図からも分かるように、エレメント間の間隙は $10 \mu\text{m}$ で、ピッチは $100 \mu\text{m}$ あるので、Mo電極の端から見た隣接エレメントまでの距離は、右側が $10 \mu\text{m}$ 、左側は $80 \mu\text{m}$ となる。従って、素子の設計パラメータのうち、最も重要なものの一つである左右の隣接素子間距離比は、この素子の場合 $1:8$ となる。

図に示した素子以外に、プロトタイプとして、Au電極の長さを $40 \mu\text{m}$ に縮小した、隣接素子間距離比が $1:3$ の素子も製作した。この形の素子は、エレメント数 10 のものだけでなく、倍の 20 エレメントの素子も製作した。

製作プロセスは、nonp形エピタキシャルウエハから出発して、次のようである。

- (1) 水蒸気酸化によりフィールド酸化膜を形成し、活性領域となる帯状部分に窓を開ける。
- (2) トンネル酸化膜を乾燥酸素による熱酸化により形成する。
- (3) 裏面の酸化膜を除去し、Alを蒸着して合金化する。
- (4) Moを蒸着し、フォトエッチして島状電極を形成する。

(5) Auを蒸着してフォトエッチし、MIS接合部とリード線部を同時に形成する。Moの蒸着には電子ビーム加熱を用いた。トンネル酸化膜厚は $25 - 26 \text{ \AA}$ である。

8.4 動作特性

8.4.1 静特性

シフトレジスタ動作測定の前に、入力端子、レジスタエレメント、出力端子、そしてモニタ素子について、電流電圧特性を測定した。モニタ素子は、レジスタエレメントと同じ面積で、MoとAu電極の特性を別々に測定できるように、レジスタに近接して形成した素子である。

しきい値電圧 V_{th} は $3.5 - 8.7 \text{ V}$ で、この値はエピタキシャル層の厚さ $3.5 - 4.7 \mu\text{m}$ に対応しており、n層のパンチスルー電圧にほぼ一致している。一方、保持電圧 V_{sus} は、モニタ素子で測定して、Moの場合 $1.5 - 1.9 \text{ V}$ 、Auの場合は少し高く $3.0 - 3.5 \text{ V}$ である。 V_{sus} は、入出力端子、レジスタエレメントともほぼ同じ値で、いずれもモニタ素子のMo電極と一致しており、オン状態がMo電極に担われていることが裏付けられる。しきい値電流 I_{th} 、保持電流 I_{sus} も、各測定点でほぼ等しい値が観測され、それぞれ $50, 200 \mu\text{A}$ 程度である。

8.4.2 転送特性

シフトレジスタとしての動作特性は、Fig. 8-7に示す回路を用いて測定した。駆動用クロックパルス ϕ_1, ϕ_2 は、特別の場合を除いてデューティ比 0.6 を用いた。この結果、両パルス間の位相の重なりは、 0.1 クロック周期となる。この ϕ_1, ϕ_2 が、奇数番目と偶数番目のレジスタエレメントに接続しているレジスタ端子にそれぞれ負荷抵抗を通して加えられる。パルス振幅はFig. 8-5(b)の V_p のように選ぶ。入力端子にはスタートパルスが加えられ、このパルス振幅は、単体素子のしきい値電圧、(b)図の V_{th0} 以上に選び、入力レジスタを、任意の時刻に単独にオン状態にすることができるようになっている。出力端子には ϕ_1 クロックが、レジスタ端子とは別の負荷抵抗を通して加えられる。スタートパルスにより発生した入力レジスタにおけるオン状態は、クロック ϕ_1, ϕ_2 によりレジスタエレメントを次々に転送され、出力レジスタに到達する。

Fig. 8-7中のタイムチャートは、素子が設計通り正常に動作したときに、4

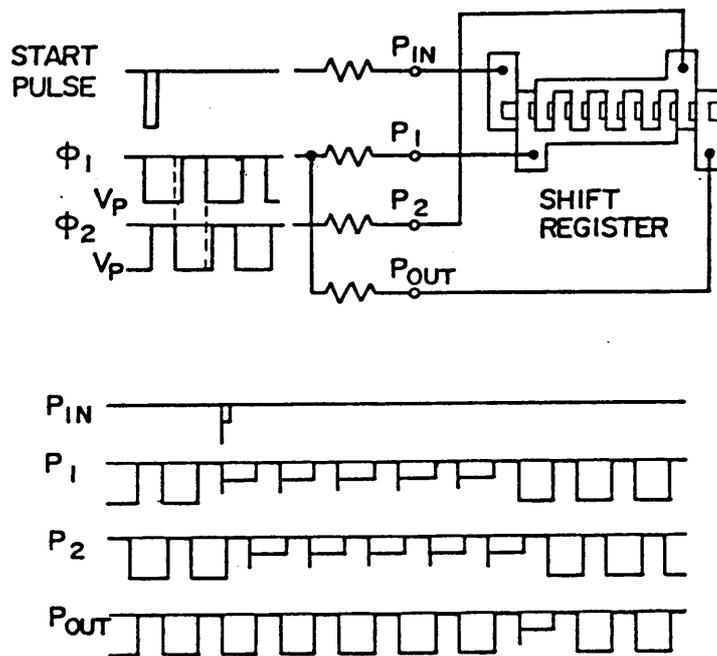


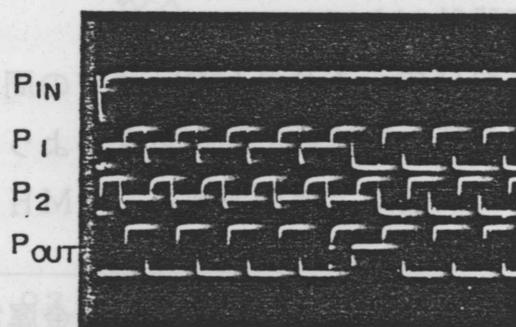
Fig. 8-7 動作特性測定回路と正常に動作したとき得られる波形

つの測定端 P_{in} , P_1 , P_2 , P_{out} に観測されるべき波形を示している。M-I-n-p 形素子であるから、p 形基板を接地電位にとり、用いるパルスはすべて負電圧パルスである。図中、振幅の大きな波形は印加パルス V_p そのままで、素子がオフ状態にあることを示し、小さな波形は、保持電圧 V_{sus} に対応し、素子がオン状態にあることを示している。 P_{in} におけるスタートパルスにより発生した、 P_1 , P_2 におけるそれぞれ 5 つのオン状態、それに続く P_{out} における一つのオン状態が、10 ビットシフトレジスタが正常に動作していることを証明する。 P_1 と P_2 における合計 10 のオン状態は、それぞれ別のレジスタエレメントのオン状態を表わしていることに注意してほしい。

ここに示したような波形が得られない場合は、素子が誤動作していることになり、その波形からどのような動作が起こっているかが推察できる。例えば、 P_1 あるいは P_2 のオン状態が途中で途切れて、後にオン状態が出ない場合は、そのオン状態に対応するレジスタエレメントまで正常に動作したが、そこで転送が止まったことを表わし、

逆に、必要個数以上のオン状態が観測され、出力端にオン状態が続いて表われる場合は、転送が両方向に起こっていることを示している。なお測定回路は、このような測定がクロック周波数100kHzまで出来るようになっている。

Fig. 8-8は、正常動作しているときに得られる典型的な波形の実測例を示している。隣接素子間距離比が、1:8の素子（以後[1:8]素子と呼ぶ）について得られたものである。測定した100kHzまでの全てのクロック周波数で、10ビット素子、20ビット素子とも正常動作が確認された。（后者は[1:3]素子しか作られていない）[1:3]素子は、[1:8]素子に比べて正常動作する素子の数が少なく、何らかの誤動作をする素子が多数あった。誤動作の例は大きく分けて2つの型がある。その1つは、オン状態があるレジスタで止まってしまい、クロックパルス振幅を調整してもこのレジスタ以後の素子をオン状態にできず、出力端子までオン状態が到達しないものである。この型は、[1:8]、[1:3]両素子で見られたが、その絶対数はともに少なく、レジスタエレメントが何らかの原因で、スイッチング素子として機能しなかったことによると思われる。いまひとつの型は、正常動作する駆動条件が見つからないものである。即ち、低いパルス電圧あるいは電流ではオン状態が途中で途切れてしまい、電圧あるいは電流を大きくすると、必要以上のオン状態が観測され、どこかのエレメントでシフトが両方向に起こってしまうものである。[1:3]素子で見られる誤動作は、ほとんどこの型に属しており、原因は動作マージンが小さいことによると考えられる。



CLOCK FREQUENCY : 20 kHz
PULSE HEIGHT : 5 V

Fig. 8-8 正常に動作したときに
得られる波形の例

Fig. 8-4から分かるように、隣接素子電流による V_{th} の低下は、素子間距離の減少とともに大きくなる。従って、Fig. 8-5において、 $V_{th\ n+1}$ だけでなく $V_{th\ n-1}$ も、集積化素子のエレメント間のピッチが小さくなるとともに減少が大きくなり、 V_p のとり得る範囲（マージン）が小さくなる。[1:3]素子では、Mo電極から見た逆方向素子への距離は、[1:8]素子の $80\ \mu\text{m}$ に比べて $30\ \mu\text{m}$ しかなく、 V_p のマージンがその分小さくなる。

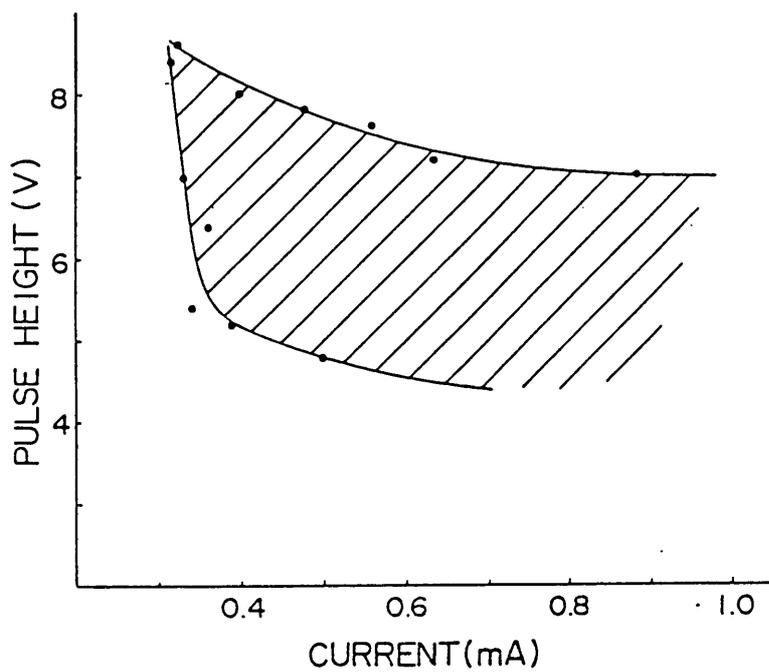
Fig. 8-9は、負荷抵抗を変えることにより素子電流を変化させ、正常動作が得られる駆動電圧電流条件を調べた結果を表わしており、クロック周波数は $100\ \text{kHz}$ である。(a)図は、[1:8]素子の測定例であり、黒点が正、および誤動作の境界点を表わし、これらに囲まれた領域に駆動条件を選べば素子は正常に動作する。一方、(b)図は、同一ウエハ上に形成されている[1:3]素子についての結果であり、濃くハッチした領域は20エレメント全部が、またそれを含む薄くハッチした領域は、20エレメントのうち前半分の10エレメントがともかく正常に動作した領域を表わしている。[1:8]素子が広い動作マージンをもつのに対し、[1:3]素子ではこれが非常に狭く、素子数が多くなるに従いさらに小さくなることが分かる。

隣接素子間の電流結合作用は、 n 層比抵抗および厚さ、さらに電極配置に依存する。これは、 n 層を横方向に流れる電流が結合作用を支配しているからである。この実験で用いたエピタキシャルウエハの場合、($\rho: 5.8\ \Omega\ \text{cm}$, $t_n: 3.5-4.7\ \mu\text{m}$) [1:8]素子については常に広い動作マージンが得られ、素子も正常に動作したが、[1:3]素子の場合、 n 層厚さが $4.7\ \mu\text{m}$ の厚いウエハだけについて正常動作が得られた。素子の高密度化を目指すとき、素子間距離を含めた微細化が不可欠であり、そのような素子で広い動作マージンを得る為には、電流結合作用の詳しい解析と、その結果を利用した素子の最適設計が必要となろう。

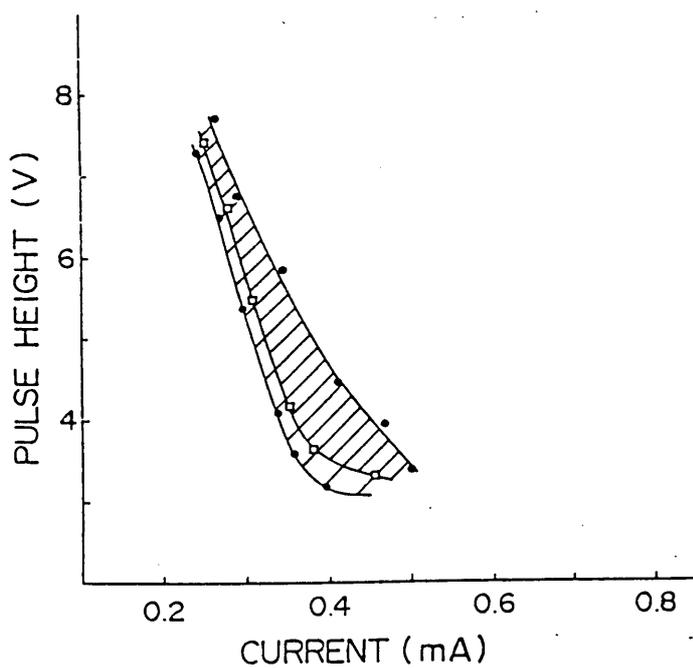
以上プロトタイプ素子について、 $100\ \text{kHz}$ までの周波数を用いた測定結果について述べた。以下では、より高い周波数で動作できるように素子設計を新に行い、測定回路も、従来の $100\ \text{kHz}$ の測定上限周波数を、 $5\ \text{MHz}$ まで高めた実験結果について述べる。

新設計においては、 $8\ \mu\text{m}$ のデザインルールを用い、金属電極寸法を全て縮小した。そして、隣接素子間距離比は、プロトタイプの[1:3]素子の測定結果を考慮して、1:8および1:4とした。Fig. 8-10に、Mo電極面積 $16 \times 32\ \mu\text{m}^2$ をもつ素子の写真と、設計寸法の詳細を示す。新設計で最も小形のものは、Mo面積 $16 \times 16\ \mu\text{m}^2$ をもつ素子である。

この新に設計した素子を用いて、動作周波数の限界を調べた。クロックパルスの



(a)



(b)

Fig. 8-9 正常動作が得られる動作領域
 (a) [1:8] 形素子, (b) [1:3] 形素子

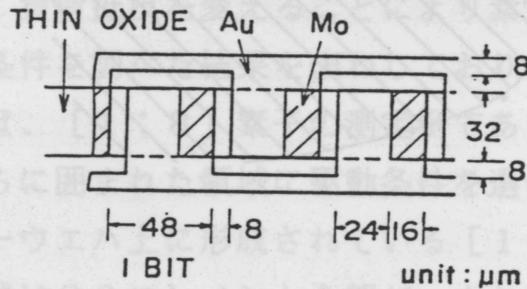
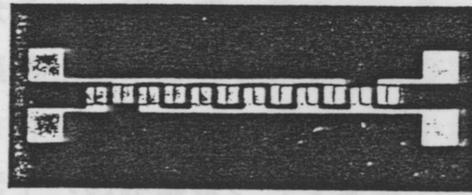


Fig. 8-10 寸法の微細化を図った素子の写真と寸法

重なりが、従来と同じである周期の0.1を与えるデューティ比0.6の場合、上述のMo電極面積 $16 \times 16 \mu\text{m}^2$ の素子で、1.8MHzでの動作が確認できた。デューティ比を0.7即ちパルス重なりを周期の0.2にとると、この上限周波数は3MHzに上昇した。この結果から、動作周波数は、素子容量の充電時間で制限されていると考えられる。この素子の容量は、レジスタ端子で測定して、ゼロバイアスで約7pFであり、負荷抵抗5k Ω のときCR時定数は35nsと計算される。一方、3MHzのときデューティ比0.7のパルス間の重なり時間は67nsとなり、先の計算値の約2倍となっている。素子容量は、MIS接合容量とリード線や端子部の容量の和からなっており、前者は、第4章の解析より寄与が約 β 倍になること、また印加電圧によりしきい値電圧に達する時間が変化すること等が複雑に影響して、見掛け上のCR時定数の2倍の重なり時間を必要とする結果がでていていると考えられる。

8.5 考察

トンネルMIS素子をレジスタエレメントとするこのモノリシックシフトレジスタは、横形p-n-p-n構造を集積化したプラズマ結合シフトレジスタとほとんど同じ機能をもっており、構造が単純なためさらに簡単な工程で製造できる。CCDに似た、

個々の電極金属がそのまま1ビットのセルを構成する素子構造は、素子間分離を必要とせず、非常に高い集積密度を可能にする。例えば、Fig. 8-10の[1:4]素子の場合、素子の占有巾 $100\mu\text{m}$ を仮定すると、 $208\text{ビット}/\text{mm}$ の密度となるが、この巾と長さ方向の寸法はさらに縮小が可能であり、さらに2-3倍の高集積化は容易に実現可能と考えられる。

レジスタエレメントの数は、最小素子寸法が決められた場合、動作周波数と必要な動作マージンで制限されると考えられる。このレジスタ構成では、各レジスタエレメントが2つのグループにまとめられ、容量は各エレメントの和となるため、素子数に応じて増加する。通常この容量の充電時間が動作周波数の上限を決めると考えられるからである。この問題の1つの解決策として、素子数が多くなる場合、素子をいくつかのグループに分け、そのグループ毎に負荷抵抗を割り当て、充電の時定数が許容範囲に入るようにすることが考えられる。この場合には、負荷抵抗の集積化も当然のことながら考えなければならない。

一方、動作マージンによる素子数の制限は、各素子の特性、特に結合特性のバラつきにより、素子数の増加に従って全体の動作マージンが小さくなることによる。この問題の解決は、個々の素子特性の均一化にかかっており、歩留まりとともにプロセス技術が可能な素子数を決めると考えられる。

このレジスタにおいては、オン状態は、パルスの重なり部分を除けば、ただ1つのエレメントに限られる。従って、オン電流による消費電力は小さく、素子数に依存しない。従って消費電力は、パルスの前端部で流れる過渡電流成分が支配的になると考えられる。

単体素子におけるターンオン時間は、第4章での解析より、概ね素子容量と負荷抵抗で決まる時定数の β 倍のオーダーである。面積の縮小と負荷抵抗を小さく選ぶことにより短くでき、 50Ω 負荷で数 ns の遷移速度も得られている。[6] しかしながら集積化素子の場合、電流密度の制限から負荷抵抗は $\text{k}\Omega$ オーダーを使う必要があると考えられ、この実験で得られた上限周波数 3MHz から考えて、容量を1オーダー小さくできたとして、 30MHz 程度が使用可能周波数の限界ではないかと思積られる。素子容量が十分低下した場合には、エピタキシャル層の厚さと、キャリアの拡散定数で決まる走行時間、およびトンネル時定数が支配的になる可能性もある。また、ターンオフ時の蓄積キャリアの効果が、繰り返し周波数を制限することも考えられる。動作周波数の高いレジスタの実現には、これらを考慮した素子の最適設計が必要になろう。

このソフトレジスタを種々のアクセス回路に応用する場合には、オン状態を何らかの方法で他の回路に結合する必要がある。前述のPCDソフトレジスタの場合、横形

p-n-p-n構造のベースの1つは、オン状態とオフ状態の間で非常に大きな電位変化を生じ、この変化が通常配線を通じて他の回路の駆動に利用される。〔7〕本素子の場合には、このようなベース領域は反転層であり、配線で他の回路に接続することはできない。従って、レジスタの転送に利用されている電流結合作用を他の回路の駆動にも応用するのがよいと考えられる。即ち、もう1つのMIS素子列をレジスタエレメントの横に並べて配列し、レジスタエレメントのオン状態に応じて、この素子をターンオンさせ、他の回路を駆動する。他の回路との電位の整合を取り易くするため、p層は基板を利用するのではなく、n形基板中の埋め込み層とした方がよい。こうすることにより、同時に集積化する素子の設計の自由度も大きくなると考えられる。

8.6 まとめ

集積回路への応用例として、トンネルMISスイッチング素子を構成要素とする2相駆動シフトレジスタを開発し、構造、動作原理、特性について述べた。方向性をもったシフトのためには、通常3相のクロックが必要とされるが、近接して並べた隣接素子間の電流結合作用、MIS電極金属による保持電圧の差、そして電極構造における非対称性を組み合わせることにより2相クロックで方向性シフトを可能にした。得られた限界動作周波数は、3MHzであったが、素子寸法の微細化によりさらに1桁以上の改善が見込まれる。シンプルな構造と製作プロセスが簡単であるという集積化に有利な特長を生かして、ここに述べたシフトレジスタ以外に、カウンタ、メモリ、そして論理回路等への応用も期待される。

参考文献

- 1) T. Yamamoto, K. Kawamura, and H. Shimizu: Solid State Electronics, 19 (1976) 701.
- 2) J. G. Simmons and A. EL-Badry: The Radio and Electronic Engineer, 48 (1978) 215.
- 3) 河村, 山本, 松村: 電気関係学会東海支部連合講演会予稿, 249 (1978. 10).
河村, 堀, 山本: 応用物理関係連合講演会予稿, 29a-Q-8 (1979. 3).
河村, 奥田, 山本: 応用物理関係連合講演会予稿, 3a-E-2 (1980. 4).
- 4) K. Kawamura and T. Yamamoto: Proc. of The 5th European Solid State Circuits Conference, Southampton, UK, (1979) 17.
- 5) 山本, 清水, 深谷: 電気学会電子装置研究会資料, EDD-74-46 (1974).
- 6) 押川: 静岡大学大学院修士論文 (1980).
- 7) 坂上, 玉真, 水島: テレビジョン学会技術報告, ED-368 (1978).

第9章 結論

以上素子の応用を念頭において進めて来た研究結果について述べた。ここでは、それらのまとめを試みる。

先ず、素子の基本構造である二端子形素子について構造と特性を述べ、これを発展させた三端子形素子、集積化素子、そして横形素子についても紹介した。そして三端子形素子を例にとり、製造プロセスを具体的に述べ、素子が非常に簡単な製作工程によられることを明らかにした。

次に素子の動作機構について、先ずトンネルMIS接合の位置付けを行い、逆バイアストンネルMIS接合が、キャリアの良好なエミッタになり得ることを明らかにした。そして、素子をp-n接合エミッタおよびMIS接合エミッタをもつ2つのトランジスタで記述することにより、負性抵抗のメカニズムを、従来のトランジスタ理論を用いて説明づけた。ターンオンの条件は、両トランジスタのベース接地電流増幅率の間の関係式 $\alpha_{pn} + \alpha_{MIS} \geq 1$ により表わされ、これら α の、構造パラメータおよび駆動条件への依存性から、種々のターンオン機構が生ずることを明らかにし、実験的にも確かめた。

素子をスイッチング回路に応用する際重要となる過渡応答特性を、素子内の過剰電荷に注目する電荷制御法により解析し、実験による検証を行った。その結果、ターンオン時においては、観測される遅れ時間は、素子容量の充電時間であるが、その時定数は、MIS接合空乏層容量と負荷抵抗の単純な積ではなく、直列接続されているp-n接合による増幅作用により、約 β 倍されるという重要な結果が得られた。又実際に観測される遅れ時間および立ち上がり時間が、印加電圧としきい値電圧の相対的大きさ関係により大きく影響されることが分かり、素子の性能を十分引き出す上で、適切な駆動条件の必要性が明らかにされた。

ターンオフ特性については、過渡電流が、中性n層中の蓄積電荷、酸化膜容量および空乏層容量の放電過程に対応することが導かれ、過渡応答時のn層電位をモニターすることにより、これがさらに確かめられた。速い応答速度と高い繰り返し周波数動作のためには、素子面積の縮小と、反転層電荷の減少のために薄い酸化膜が必要であることが明らかになった。

負性抵抗特性が、Siに特有な現象でないことを確かめるため、GaAsを母体結晶とし、有機シランの熱分解により堆積したSiO₂膜を絶縁膜として用いた素子を試作し、Siと同じ機構で生ずる負性抵抗特性を確認することができた。

考察においては、応用的見地から素子の特長について検討を行った。機能的には $p-n-p-n$ 四層構造素子に類似しているが、 $p-n$ 接合の代わりにトンネルMIS接合が用いられていることにより、種々の特長が生じている。最も特長的といえることは、製作プロセスが簡単であることであり、金属電極が素子の能動部分を担うことも加わって、高集積密度化に特に有利である。また、トンネル注入を利用していること、およびキャリアが拡散で移動するベース領域が一箇所だけであるため、スイッチング速度が速い。これは、4章の解析において、素子面積を縮小していったとき、極限では、時定数の規格化にもちいたエピタキシャル層の走行時間が支配的な時定数になることから明らかである。

また、スイッチング特性が、光あるいは温度、特殊な例として仕事関数に敏感であることも大きな特長であると言えよう。CCDあるいはPCDといった機能素子に類似の、隣接素子間の電流結合作用も本素子のもつ大きな特長である。反面、保持電圧がやや高い点、あるいは高耐圧素子が得られ難い点等は、素子がエネルギー変換あるいは制御素子には不向きであり、信号変換あるいは信号処理への応用、またはセンサへの応用に、より適していると結論できる。

素子のもつ特殊な機能を生かした単体素子としての応用例として、水素に対して触媒作用と選択透過性をもつ、Pdを電極金属として利用した、水素検知スイッチ素子を開発し、数ppmの濃度を検知でき、 100°C での動作で、 100ppm に対して一分以内にオフ状態が消滅するという実用レベルの応答速度を持つ素子を得ることができた。

又、集積化素子としての応用例として、近接して並べた隣接素子間の電流結合作用、MIS電極金属による保持電圧の差、そして電極配置の非対称性を組み合わせて二相駆動で方向性シフトを可能にしたレジスタを試作し、 3MHz での正常動作を確認することができた。この値は、素子寸法の微細化によりさらに一桁以上の改善が見込まれる。

以上、見て来たように、本素子は従来のバイポーラあるいはMOSトランジスタにない数々の機能や特長をもっており、これらを十二分に引き出すことにより、従来の素子では難しい新しい機能素子の実現、あるいは低コストでの製品化等、既存の技術では打ち破れなかった壁をブレイクスルーできるのではないかと期待している。本研究がその一助になれば幸いである。

謝 辞

本研究を進めるにあたり、終始御指導御鞭達を戴いた静岡大学電子工学研究所山本達夫教授に深く感謝いたします。また、本論文をまとめるにあたり御指導御助言を戴いた同研究所島岡五朗所長、山田祥二教授、助川徳三教授、同工学部宇野正美教授、藤安洋教授に心からお礼申し上げます。

本研究は、静岡大学電子工学研究所回路研究室在籍中になされたものであり、渡辺健蔵助教授をはじめ、終始御指導御協力を賜った清水洋美助手、実験に直接の御協力を戴いた鈴木康利、東剛紀、松村謙二、松本康彦、堀雅和、押川圭宏、奥田能充、小倉裕二、白尾彰浩、河口博継の諸氏にお礼申し上げます。研究の発表にあたり水品静夫教授には適切な御助言を賜わり、また、中西洋一郎、萩田正巳両氏には終始一方ならぬお世話になりました。厚くお礼申し上げます。研究を進めて行くうえで回路研究室の方々、電子工学研究所の多くの方々にお世話になりました。深く感謝いたします。