

電子科学研究科名

GD

0

0002515062

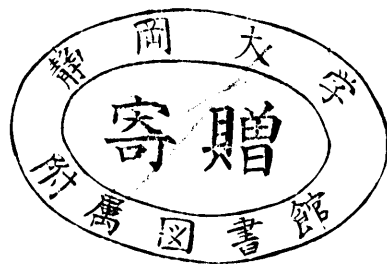
R

14

静岡大学附属図書館

高周波スパッタリングによる薄膜形成と MOS素子への応用に関する研究

静岡大学
図書館



昭和61年7月

谷内利明

内容梗概

本論文は、シリコンMOS素子の大規模化，高密度化を狙いにして、高周波スパッタリングによる薄膜形成と、その薄膜のシリコンMOS素子への応用に関して行った研究をまとめたものである。得られた主な結果は、以下である。

(1) 高周波スパッタリングでは、組成制御が容易でかつ低温度で各種材料の薄膜形成ができる。本研究では、 SiO_2 膜， Ti-Si 膜， Al 膜および積層薄膜の形成を行った。 SiO_2 膜の形成については、膜特性が膜形成条件，特にスパッタリングガス圧に著しく依存することを示した。また、 Ti-Si 膜， Al 膜の形成については、膜特性と膜形成条件との関係を示した。積層薄膜の形成については、高周波スパッタリングにより周期3nmの積層薄膜の形成が可能であることを示した。

(2) 高周波スパッタリングでは、低温度での膜形成が可能のため、リフトオフを用いてセルフアライメント加工が行える。 SiO_2 膜の加工については、下部パタン側壁と平坦部との選択エッチング性を利用した新たなリフトオフ加工，LOPAS (Lift-Off Patterning of Sputtered SiO_2 Films) 技術を明らかにした。同技術を Si_3N_4 膜の加工に用いた新たな選択酸化技術も示した。また、 Ti-Si 膜の酸化特性を利用したシリサイド膜の選択形成技術を明らかにした。

(3) 上記高周波スパッタリングによる薄膜形成を用いた、シリコンMOS素子形成技術を示した。素子間分離にLOPAS技術を、セルフアライメントゲート電極・ソース/ドレイン形成にシリサイド膜の選択形成技術を、セルフアライメントコンタクト形成に窒化シリコン膜による選択酸化技術を用いて、シリコンMOS素子高密度化への効果を明らかにした。また、 Al 配線形成については、高周波スパッタリングによる損傷を明らかにし、この損傷は、スパッタリングガス中に H_2 を混合することにより改善できることを示した。

目次

第1章 序論	1
1-1 研究の目的と意義	1
1-2 研究の背景	1
1-2-1 シリコンMOS素子の概略と製作上の問題点	1
1-2-2 高周波スパッタリングによる薄膜形成の概略と特徴	5
1-2-3 本研究の位置と要求条件	8
1-3 本論文の概要と構成	9
参考文献	10
第2章 高周波スパッタリングによる薄膜の形成と特性	12
2-1 緒言	12
2-2 高周波スパッタリングによるSiO ₂ 膜の形成と特性	13
2-2-1 実験方法	13
2-2-2 Ar中スパッタリングによるSiO ₂ 膜の特性	16
2-2-3 H ₂ -Ar混合ガス中スパッタリングによるSiO ₂ 膜の特性	29
2-3 高周波スパッタリングによるTi-Si膜の形成と特性	36
2-3-1 実験方法	36
2-3-2 結果と考察	38
2-4 高周波スパッタリングによるAl膜の形成と特性	47
2-4-1 実験方法	47
2-4-2 結果と考察	48
2-5 高周波スパッタリングによる積層薄膜の形成と特性	52
2-5-1 実験方法	52
2-5-2 結果と考察	54
2-6 結言	64
参考文献	66
第3章 高周波スパッタリングによる薄膜を用いたセルフアライメント加工	69
3-1 緒言	69

3-2	SiO ₂ 膜のリフトオフ加工	70
3-2-1	LOPAS (lift-off patterning of sputtered SiO ₂ films)	70
3-2-2	埋込み形LOPAS	77
3-3	選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS)	83
3-3-1	SALTS (Si ₃ N ₄ film self-alignment liftoff technique for selective oxidation) の概略と実験方法	83
3-3-2	結果と考察	85
3-4	シリサイド膜の選択形成	87
3-4-1	シリサイド膜選択形成の概略と実験方法	87
3-4-2	結果と考察	89
3-5	結言	93
	参考文献	95
第4章	高周波スパッタリングによる薄膜のシリコンMOS素子への応用	96
4-1	緒言	96
4-2	素子間分離	97
4-2-1	LOPASによる素子間分離	97
4-2-2	埋込み形LOPASによる素子間分離	104
4-3	セルフアライメントシリサイドゲート電極・ソース/ドレイン形成	109
4-3-1	実験方法	109
4-3-2	結果と考察	109
4-4	セルフアライメントコンタクト形成	114
4-4-1	実験方法	114
4-4-2	結果と考察	114
4-5	Al配線の形成とスパッタリング損傷の改善	119
4-5-1	実験方法	119
4-5-2	結果と考察	119
4-6	結言	131
	参考文献	133

第5章 結論	134
謝辞	136
本研究に関する発表	137

第 1 章 序 論

1 - 1 研究の目的と意義

近年、シリコンMOS素子を中心に半導体集積回路の技術進展は目覚しく、2年で4倍の大規模化，高密度化が達成されている。その原動力の主要な一つに素子微細化技術がある。素子微細化は、薄膜形成・加工技術の進展によるバタン寸法の微細化と、セルフアライメント技術に代表される素子構造の工夫とに主に因っている。

本論文では、シリコンMOS素子の一層の大規模化，高密度化を達成するために、組成制御が容易でかつ低温度で膜形成が可能な、高周波スパッタリングによる薄膜形成技術を確立することを目的とし、 SiO_2 膜，Ti-Si膜，Al膜，および積層薄膜の形成と、その薄膜形成を用いた新しいセルフアライメント技術の実現およびバタン寸法の微細化に伴う問題点の解決とに関して行った研究の結果を述べる。

本研究の意義は、高周波スパッタリングによる薄膜形成技術を確立することにより、シリコンMOS素子技術の一層の発展に寄与し、将来における半導体素子の開発に新たな進展と指針を与えることにある。

1 - 2 研究の背景

1 - 2 - 1 シリコンMOS素子の概略と製作上の問題点

シリコンMOS素子の構成要素であるMOSFETは、1960年ベル研究所の Kahngと Atalla によって発表された[1]。製品化は、1962年のRCAから始まり、1972年にはインテルから4kビットMOSLSIが発表されるに至った。初期のMOSFETには、ゲート酸化膜・シリコン基板界面が比較的安定なAlをゲート電極としたpチャネル構造が広く用いられた。MOSFETには、微細化すればする程性能が向上するという特徴があり、その後バタン寸法の微細化，素子構造の工夫が、製造プロセスの安定化と共に大いに研究された。多結晶シリコンゲート電極をマスクとしたソース/ドレイン形成のセルフアライン化，nチャネル構造でのゲート酸化膜-シリコン基板界面の安定化等が果たされるに至って、移動度の大きいnチャネルMOSFETが用いられ、1978年には通研から64kビットMOSLSIが発表されるに至った[2]。現在では、バタン寸法の微細化，素子構造の工夫がますます進展し、1MビットMOSVLSIが発表されるに至っ

ている[3]。

一般的なnチャネルMOSFETは、図1-1に示した構造を有している。ソース/ドレインは、AsあるいはPのイオン注入層により構成される。ゲート電極には、低抵抗の多結晶シリコンが用いられる。FET間の接続には、Al配線が用いられる。また、FET間の素子間分離は、厚いSiO₂膜とそのSiO₂膜下のB注入層からなるp⁺領域とにより行われる。電極-配線間の層間分離には、SiO₂膜が用いられる。MOSFET動作は、ソース、ドレイン間に形成されるチャネル（反転層）を流れる電流を、ゲート電極の電位によって、ゲート酸化膜を介し、制御することによって行われる。このようにMOSFETは、構造や動作原理が簡単でかつプレーナ構造を成す特徴を持っている。

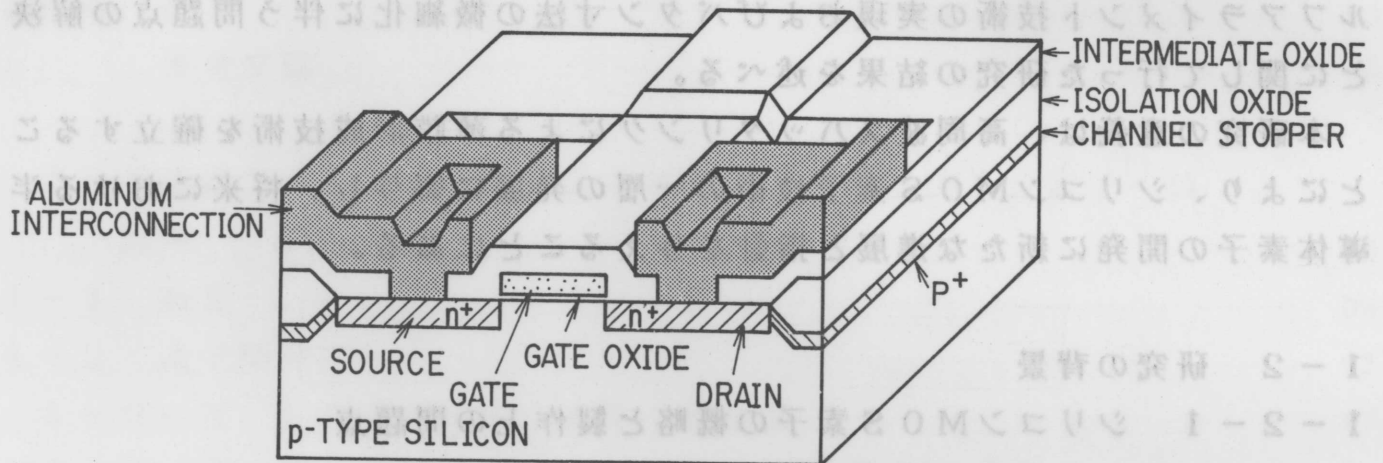


図1-1 nチャネルMOSFET

MOS素子の製作は、図1-2に示す工程により行われる。以下、図1-2の工程に従って要点を述べる。

工程(1),(2)：最初に素子分離形成を行う。素子分離形成には、Si₃N₄膜による選択酸化技術を用いたLOCOS法が用いられる[4]。p型シリコン基板を洗浄した後、Si₃N₄膜を堆積する。Si₃N₄膜をパタン加工し、それをマスクとしてチャネルストッパ用のB注入を行う。続けてSi₃N₄膜をマスクとして、1000℃、水蒸気中で数時間選択酸化し、素子分離部に厚いSiO₂を形成する。

工程(3)：ゲート酸化膜の形成は、Si₃N₄膜を除去した後、1000℃数十分の熱酸化により行われる。

工程(4)：ゲート電極は、多結晶シリコン膜を堆積、パタン加工し形成する。続けてゲート電極パタンをマスクとしてイオン注入法によりセルフアライメントにソース/ドレインを形成する。

工程(5)：シリコン基板全面に SiO_2 膜を堆積し、層間絶縁膜を形成する。

工程(6)：層間絶縁膜にスルーホールを形成した後、Al配線を形成し、素子間の接続を行う。

前述したように、最近の半導体集積回路技術の進展は目覚ましく、その高密度化、微細化は著しい。このためシリコンMOS素子においても、従来からの製作技術では限界が見えてきた。その主要な問題点と現状は以下の通りである。

(1) 素子間分離；シリコンMOS素子の素子間分離は、前述したように

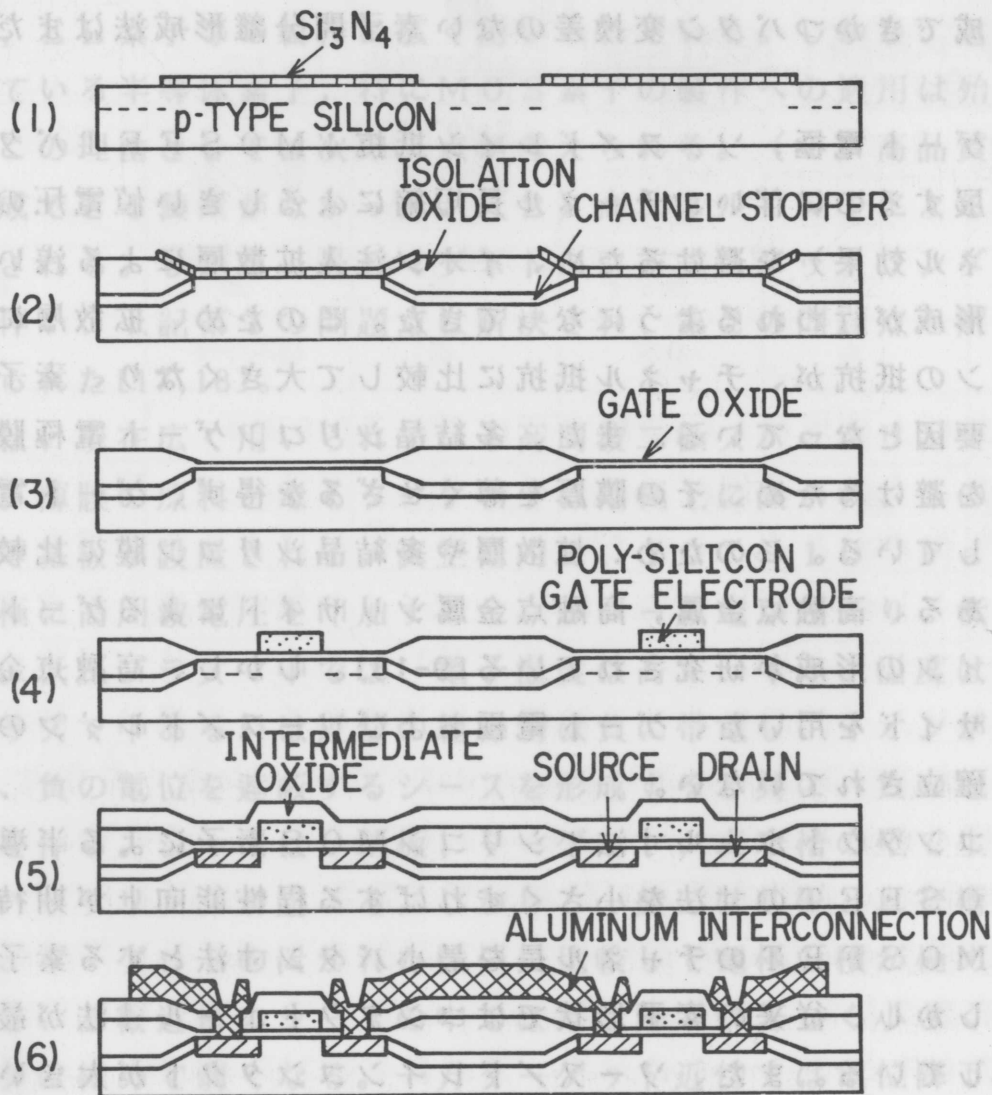


図1-2 MOS素子製作工程

S i₃ N₄ 膜による選択酸化，いわゆるLOCOS法で形成されている。素子分離部の熱酸化膜厚を0.8 μm程度とする場合、選択酸化は通常1000℃で数時間の処理が必要である。このため、チャネルカットのためにイオン注入された不純物原子（nチャネルではB）が、この熱処理中素子形成領域に拡散し、素子形成領域の不純物濃度を不均一に増大させる。この素子形成領域の不純物濃度の増大は、MOS素子のチャネル幅の大きさによって異なる。このため、チャネル幅の大きさに伴いしきい値電圧が変動し（ナロウチャネル効果）、シリコンMOS素子の動作が損なわれる問題が生じている。また、LOCOS法では、図1-2に示されたように、選択酸化が酸素の等方的な拡散で律則されるため、ボタン変換差（バズビーク）を生じる。このため、素子形成領域の減少が起こり、最小ボタン寸法が数μm以下の微細な素子では問題となっている。このLOCOS法による素子間分離における問題を解決するため、種々の素子間分離法が提案されている[5-8]。しかし、低温度で形成できかつボタン変換差のない素子間分離形成法はまだ明らかでない。

（2）ゲート電極，ソース/ドレイン抵抗；MOSFETボタン寸法の微細化が進展するのに伴い、チャネル長短縮によるしきい値電圧の変動（ショートチャネル効果）を避けるため、イオン注入拡散層による浅いソース/ドレインの形成が行われるようになってきた。このため、拡散層によるソース/ドレインの抵抗が、チャネル抵抗に比較して大きくなり、素子の動作速度を抑える要因となっている。また、多結晶シリコンゲート電極膜も、上層配線の断線を避けるため、その膜厚を薄くせざるを得ず、ゲート電極の抵抗増大をきたしている。このため、拡散層や多結晶シリコン膜に比較して著しく低抵抗である、高融点金属，高融点金属シリサイドによるゲート電極やソース/ドレインの形成が研究されている[9-13]。しかし、高融点金属や高融点金属シリサイドを用いた、ゲート電極およびソース/ドレインの安定な製作法はまだ確立されていない。

（3）コンタクトホール寸法；シリコンMOS素子による半導体集積回路では、MOSFETの寸法を小さくすればする程性能向上が期待できる。このため、MOSFETのチャネル長を最小ボタン寸法とする素子構造が期待される。しかし、従来の素子形状ではコンタクトホール寸法が最小ボタン寸法を決定している。また、ソース/ドレインコンタクトが大きい場合、その寄生容量による素子動作の遅延が問題となってくる。このため、ソース/ド

レイン面積を小さくでき、かつチャンネル長を最小パターン寸法にできる、コンタクトホールセルフアライメント形成法が期待される[14]。しかし、現在まだセルフアライメントコンタクト形成法は確立されていない。

上記問題点の外に、シリコンMOS素子の一層の大規模化・高密度化をはかるためには、さらに製作工程の低温化・自動化を初めとする、従来までは問題とされなかった多くの事柄を解決することが必要である。

1-2-2 高周波スパッタリングによる薄膜形成の概略と特徴

高周波放電管の硝子管壁上に付いた汚れが、放電中にきれいになること、またそれがスパッタリング現象によることは、1930年代には知られていた[15]。これらの研究を基に、Davides と Maissel は 1966 年に高周波スパッタリングによる絶縁体薄膜の形成を実現した[16]。現在、高周波スパッタリングによる薄膜形成は、低温度で行え、かつ膜質も良好なことから、磁気ディスク、EL素子等の製作に広く用いられている。しかし、近年著しい発展を遂げている半導体素子、特にMOS素子の製作への適用は殆ど行われていない。この理由としては次の二点が考えられる。(1) 高品質な薄膜を高速度で形成できる装置がなかった。(2) 高エネルギー粒子による素子への損傷が懸念される。しかし、最近マグネトロン方式スパッタリング法が開発されたのに伴い、上記第1の問題点は解決され、第2の問題点も解決できる見通しが得られた[17,18]。

図1-3は、現在広く用いられている高周波二極スパッタリング装置の概略図である。薄膜の原料となるターゲットは陰極上に置かれ、このターゲットに対向して基板が設置される。真空槽内に、 $10^{-1} \sim 10^{-2}$ Pa のガスを導入し、陰極に高周波電圧を印加すると、グロー放電が起こり、低圧プラズマを生じる。低圧プラズマ中では、電子温度は高く、イオン温度は低い。このため、プラズマ中あるいは近傍の絶縁物は負に帯電し、イオンが負電荷周辺に集まり、負の電位を遮蔽するシースを形成すると共に、負の電位の近傍にだけ電場を作る。シースは、基板、ターゲット、真空槽の壁で生じ、この3箇所ではスパッタリングが起こる。しかし、一般には基板と真空槽とは同電位におかれ、ターゲットの置かれた陰極に比較して電極面積が極めて大きくなる。そこで、基板近傍のシースの中では電位降下が著しく小さくなり、スパッタリングは極めて弱くなる。一方ターゲット近傍では電位降下が大きく、スパッタリングによりターゲット原子が叩きだされる。このため、ターゲッ

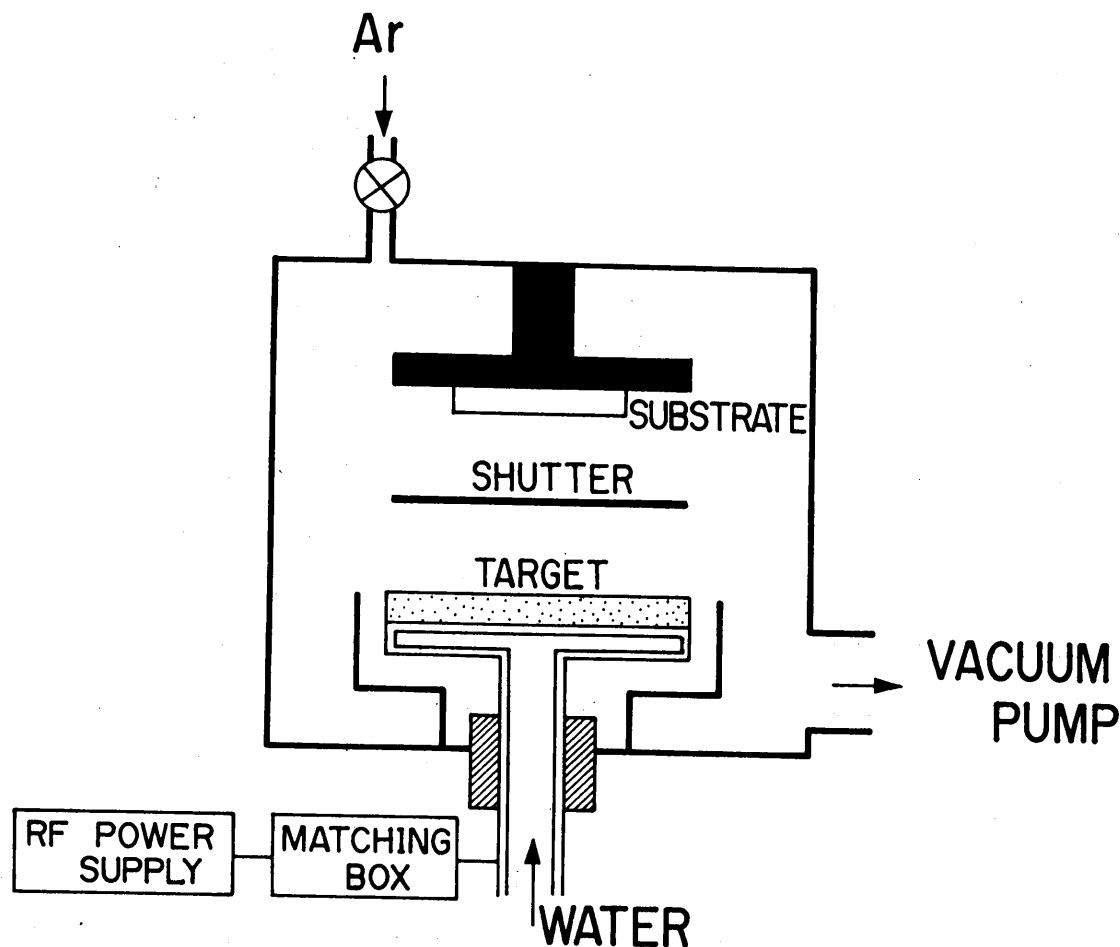


図1-3 高周波二極スパッタリング装置

ト原子が基板の上に堆積し、薄膜が形成される[19]。

前述したように、高周波二極スパッタリング法では、膜形成速度が比較的遅いという欠点がある。このため、不均一磁場により放電プラズマを陰極（ターゲット）近傍に拘束し、陰極へのイオン電流密度を増大させる試みがなされた（マグネトロンスパッタリング）。図1-4は、プレナマグネトロンスパッタリング装置における陰極の構造である。磁場は、陰極上で、図1-4に示したようにトロイダル（troidal）型のトンネルを作り、放電プラズマはほぼこの磁場のトンネル近傍に拘束される。このため、イオン電流密度の増大が図れ、高速な膜形成速度を得ることができる[19]。

半導体素子製作には、一般には真空蒸着法や気相成長法等の薄膜形成法が用いられてきている。高周波スパッタリング法と上記方法とによる薄膜形成の特徴を比較して表1-1に示す。真空蒸着法は、低温で膜形成が行えるため、主に配線形成に用いられている。しかし、半導体素子の高密度化，微細

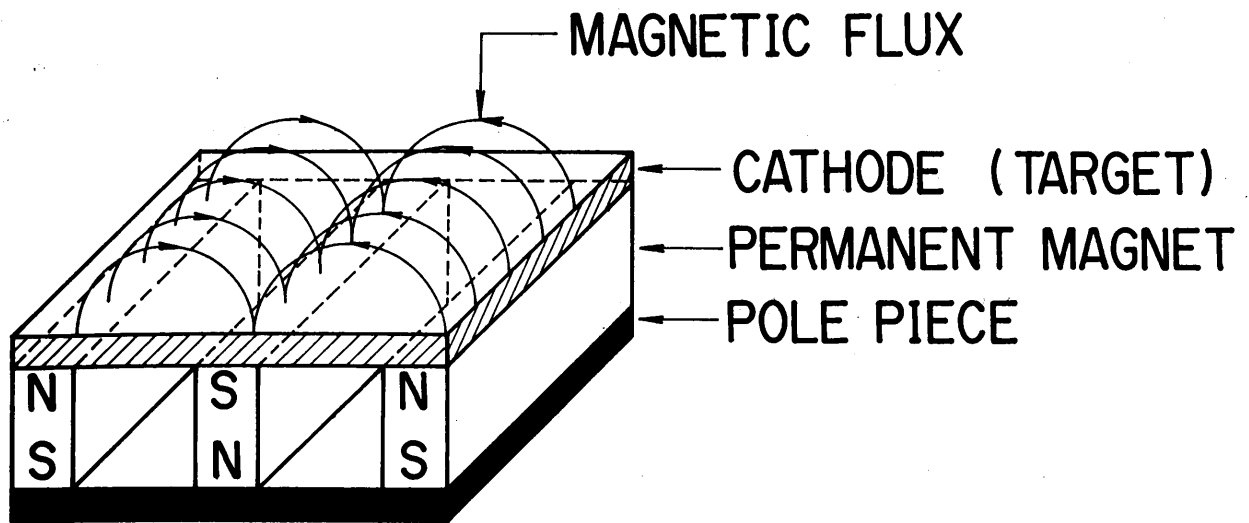


図1-4 プレナマグネトロンスパッタリング装置の陰極構造

表1-1 各種形成法による薄膜の特徴

項目 \ 形成法	真空蒸着	気相成長 (CVD)	プラズマ CVD	スパッタリング	
				直流	高周波
形成温度	低	高	やや高	低	低
膜質	やや不良	良	不良	良	良
カバレッジ	不良	良	やや不良	良	良
膜材料	主に金属	半導体、絶縁物	半導体、絶縁物	金属	金属、半導体、絶縁物
形成速度	速い	速い	速い	速い	やや遅い

化が進むにつれて、カバレッジの不良から配線が断線する問題を生じている。気相成長法 (CVD) は、膜形成速度が速く膜質が良好なため、シリコンゲート電極膜やゲート電極-配線間層間絶縁膜の形成に用いられているが、膜形成温度が600~800℃と高温で、かつ膜形成の制御も比較的困難である。プラズマCVD法は、膜形成温度を400℃程度に低温化できるため、バッシベーション膜の形成に用いられている。しかし、このプラズマCVD法による膜では、膜質が脆弱になる欠点がある。

一方、スパッタリング法では、低温度で、膜質が良くカバレッジも良好な薄膜を形成できる。さらに、高周波スパッタリングは、金属から絶縁物までの幅広い材料の膜形成が可能であり、半導体素子における配線，ゲート電極，層間絶縁膜等の薄膜形成法として非常に期待できる。

1-2-3 本研究の位置と要求条件

本研究では、前述した高周波スパッタリングによる薄膜形成の特徴を生かし、シリコンMOS素子の製作上の問題点を解決する。

本研究で取り上げた薄膜とシリコンMOS素子製作における適用工程および本論文での関連章をまとめて表1-2に示す。

高周波スパッタリング法による薄膜を、シリコンMOS素子製作に適用する際の要求条件としては、次の点が挙げられる。

- (1) ステップカバレッジが良好なこと，制御性に優れていること等、高密度化・微細化に適した膜特性である。
- (2) シリコンMOS素子特性にプラズマ損傷を与えないか、あるいはその損傷が容易に除去できる。
- (3) 純粋な薄膜で、かつ清浄なプロセスであり、シリコンMOS素子を汚染しない。

表1-2 膜種 適用工程および関連章・節

膜種	適用した素子製作工程	関連章・節
SiO ₂ 膜	素子間分離形成	第2章第2節 第3章第2節 第4章第2節
Ti-Si膜	ゲート電極 ソース/ド レイン形成	第2章第3節 第3章第4節 第4章第3節
Al膜	配線形成	第2章第4節 第4章第5節
窒化シリコン膜	セルフアラインコンタクト 形成	第3章第3節 第4章第4節
積層薄膜	—————	第2章第5節

1-3 本論文の概要と構成

本論文は、高周波スパッタリングによる SiO_2 膜、 Ti-Si 膜、 Al 膜、および積層薄膜の形成と、その薄膜形成を用いた新しいセルフアライメント技術の実現およびパタン寸法の微細化に伴う問題点の解決とについて述べ、本章を含めて5章から構成されている。

第2章では、 SiO_2 膜、 Ti-Si 膜、 Al 膜および積層薄膜の形成および特性を述べる。 SiO_2 膜では、膜特性がスパッタリングガス圧に著しく依存することを示し、さらにスパッタリングガス中に水素を混合することにより、 SiO_2 膜が緻密になることを明らかにする[20-22]。 Ti-Si 膜、 Al 膜では、低抵抗で均一となる膜形成条件を求めた[23]。さらに、積層薄膜の形成については、高周波スパッタリングにより周期3nmの積層薄膜の形成が可能なことを示した[24]。

第3章では、高周波スパッタリングによる薄膜形成を利用した新しいセルフアライメント技術を述べる。 SiO_2 膜の加工においては、下部パタン側壁と平坦部との選択エッチング性を利用して新たなリフトオフ加工LOP AS (Lift-Off Patterning of Sputtered SiO_2 Films) 技術を明らかにする[25]。さらに、同技術を Si_3N_4 膜の加工に用いた新たな選択酸化技術も示す[26]。また、 Ti-Si 膜の酸化特性を利用したシリサイド膜の選択形成技術を明らかにする[27]。

第4章では、上記高周波スパッタリングによる薄膜形成を用いた、シリコンMOS素子形成技術について述べる。素子間分離にはLOPAS技術[28, 29]を、セルフアライメントゲート電極・ソース/ドレイン形成にはシリサイド膜の選択形成技術[30]を、セルフアライメントコンタクト形成には Si_3N_4 膜による選択酸化技術[26]を用いて、シリコンMOS素子高密度化への効果を示す。また、 Al 配線形成については、高周波スパッタリングによる損傷を明らかにし、この損傷は、スパッタリングガス中に水素を混合することにより、改善できることを明らかにする[31, 32]。

第5章では、以上の各章で得た結果を総括する。

第 1 章 参考文献

- [1] D.Kahng and M.M.Atalla; IRE, SSDRC(1960).
- [2] E.Arai and N.Ieda; IEEE J. Solid-State Circuits, SC-13, 333 (1978).
- [3] 例えば, in ISSCC Tech. Dig. session VIII A(1984).
- [4] E.Kooi, J.G.van Lierop, and J.A.Appels; J. Electrochem. Soc., 123, 1117(1976).
- [5] K.Kurosawa, T.Shibata, and H.Iizuka; in IEDM Tech. Dig., 384 (1981).
- [6] N.Matsukawa, H.Nozawa, J.Matsunaga, and S.Kohyama; IEEE Trans. Electron Devices, ED-29, 561(1982).
- [7] K.Y.Chiu, R.Fang, J.Lin, and J.L.Moll; in Proc. 1982 Symp. VLSI Technol.(Oiso, Japan), 28(1982).
- [8] J.Y.Chen, R.C.Henderson, J.T.Hall, and E.W.Yee; in IEDM Tech. Dig., 223(1982).
- [9] P.L.Shah; IEEE Trans. Electron Devices, ED-26, 631(1979).
- [10] S.P.Murarka; J. Vac. Sci. Technol., 17, 775(1980).
- [11] T.Mochizuki, T.Tsujimaru, M.Kashiwagi, and Y.Nishi; IEEE Trans. Electron Devices, ED-27, 1431(1980).
- [12] K.L.Wang, T.C.Holloway, R.F.Pinizzotto, Z.P.Sobczak, W.R.Hunter, and A.F.Tasch,Jr.; IEEE Trans. Electron Devices, ED-29, 547 (1982).
- [13] C.K.Lau, Y.C.See, D.B.Scott, J.M.Bridges, S.M.Perna, and R.D.Davies; in IEDM Tech. Dig., 714(1982).
- [14] H.Sunami and M.Koyanagi; Jpn. J. Appl. Phys., suppl.18-1, 255 (1979)
- [15] J.K.Robertson and C.W.Clapp; Nature, 132, 479(1933).
- [16] P.D.Davides and L.I.Maissel; J. Appl. Phys., 37, 574(1966).
- [17] J.S.Chapin; IBM J. Res. Dev., 18, 37(1974).
- [18] R.A.Larsen; IBM J. Res. Dev., 24,268(1980).
- [19] 金原; スパタリング現象 (東京大学出版会, 1984) 5章.
- [20] T.Yachi and T.Serikawa; J. Electrochem. Soc., 131, 2720(1984).

- [21] T.Serikawa and T.Yachi; Jpn. J. Appl. Phys., 20, L111(1981).
- [22] T.Serikawa and T.Yachi; J. Electrochem. Soc., 131, 2105(1984).
- [23] T.Yachi; IEEE Electron Device Letters, EDL-5, 217(1984).
- [24] T.Yachi; J. Vc. Sci. Technol., A3, 1955(1985).
- [25] T.Serikawa and T.Yachi; J. Electrochem. Soc., 128, 918(1981).
- [26] T.Yachi and N.Yamauchi; IEEE Trans. Electron Devices, ED-29, 243(1982).
- [27] T.Yachi and S.Suyama; IEEE Electron Device Letters, EDL-4, 277 (1983).
- [28] T.Yachi, T.Serikawa, and T.Wada; IEEE Trans. Electron Devices, ED-31, 1748(1984).
- [29] T.Yachi and T.Serikawa; J. Electrochem. Soc., 132, 2775(1985).
- [30] T.Yachi and S.Suyama; J. Vac. Sci. Technol., B3, 992(1985).
- [31] T.Serikawa and T.Yachi; IEEE Trans. Electron Devices, ED-28, 882(1981).
- [32] T.Serikawa and T.Yachi; IEEE Trans. Electron Devices, ED-28, 1187(1981).

第2章 高周波スパッタリングによる 薄膜の形成と特性

2-1 緒言

高周波スパッタリングでは、低温度で良質な薄膜が形成できるため、その薄膜は、薄膜抵抗器、弾性表面波素子、表示素子等の電子部品の製作に使用されてきた。一方、シリコンMOS素子等の半導体集積回路製作への適用は、スパッタリング膜形成時の高エネルギー粒子による素子特性への損傷を懸念し、あまり活発に取り組みられてきてはいない。しかし、半導体集積回路における高密度化・微細化の進展が著しくなるのに伴い、スパッタリング法でのステップカバレジの良好さや高融点金属膜、Al合金膜等の形成の容易さ等が注目され、スパッタリングによるSiO₂膜、高融点金属シリサイド膜、Al合金膜等を半導体集積回路製作へ適用することが検討されるようになってきた。

高周波スパッタリングによるSiO₂膜は、その形成温度が低いこと、ステップカバレジの良好なこと等から、半導体素子の層間絶縁膜への適用が期待され、いくつかの報告がなされている[1-3]。しかし、膜形成速度の高速化が図られたプラズママグネトロンスパッタリング法によるSiO₂膜の形成は、提案されて日が浅く、その膜特性に関する報告はまだ少ない[4,5]。

高融点金属シリサイド膜、特にTiSi₂膜は、比抵抗が小さく、シリコンMOS素子製作工程との整合性も良いことから、シリコンMOS素子の電極膜として有望であり、いくつかの研究報告がなされている[6-8]。

TiSi₂膜の製作には、膜組成制御の容易さ、ステップカバレジの良好さ等から、高周波コスパッタリング(cosputtering)が主に用いられている[6]。また、スパッタリングAl合金膜は、ステップカバレジの良好さ、合金組成制御の容易さ等から、半導体集積回路の配線として用いられている[9]。しかし、これらTiSi₂膜、Al合金膜の膜特性と膜形成スパッタリング条件との関係は、まだ十分には明らかではない。

さらに、高周波コスパッタリングでは、新しい物性が期待できる人工周期構造の積層薄膜の形成が可能であり、いくつかの研究が始められている[10, 11]。だが現在、積層薄膜の特性とスパッタリング条件との関係は、ほとんど不明である。

本研究では、高周波スパッタリングによる薄膜をシリコンMOS素子製作へ適用することを目的とする。本研究の目的を達成するための第一段階とし

て、本章では、 SiO_2 膜， Ti-Si 膜， Al 合金膜および積層薄膜の特性とスパッタリング条件との関係を明らかにする。 SiO_2 膜に関しては、ブレナマグネトロンスパッタリング法による SiO_2 膜の膜特性とスパッタリング条件、特にスパッタリングガス圧との関係を明らかにする。また、スパッタリングガスとして Ar と H_2 の混合ガスを用いた場合の SiO_2 膜膜特性についても明らかにする。 Ti-Si 膜に関しては、高周波コスパッタリングによる Ti-Si 膜の形成と加熱処理による TiSi_2 形成について明らかにする。 Al 膜に関しては、高周波二極スパッタリングによる Al 合金の形成について述べる。さらに、高周波コスパッタリングによる積層薄膜の形成とその特性について明らかにする。

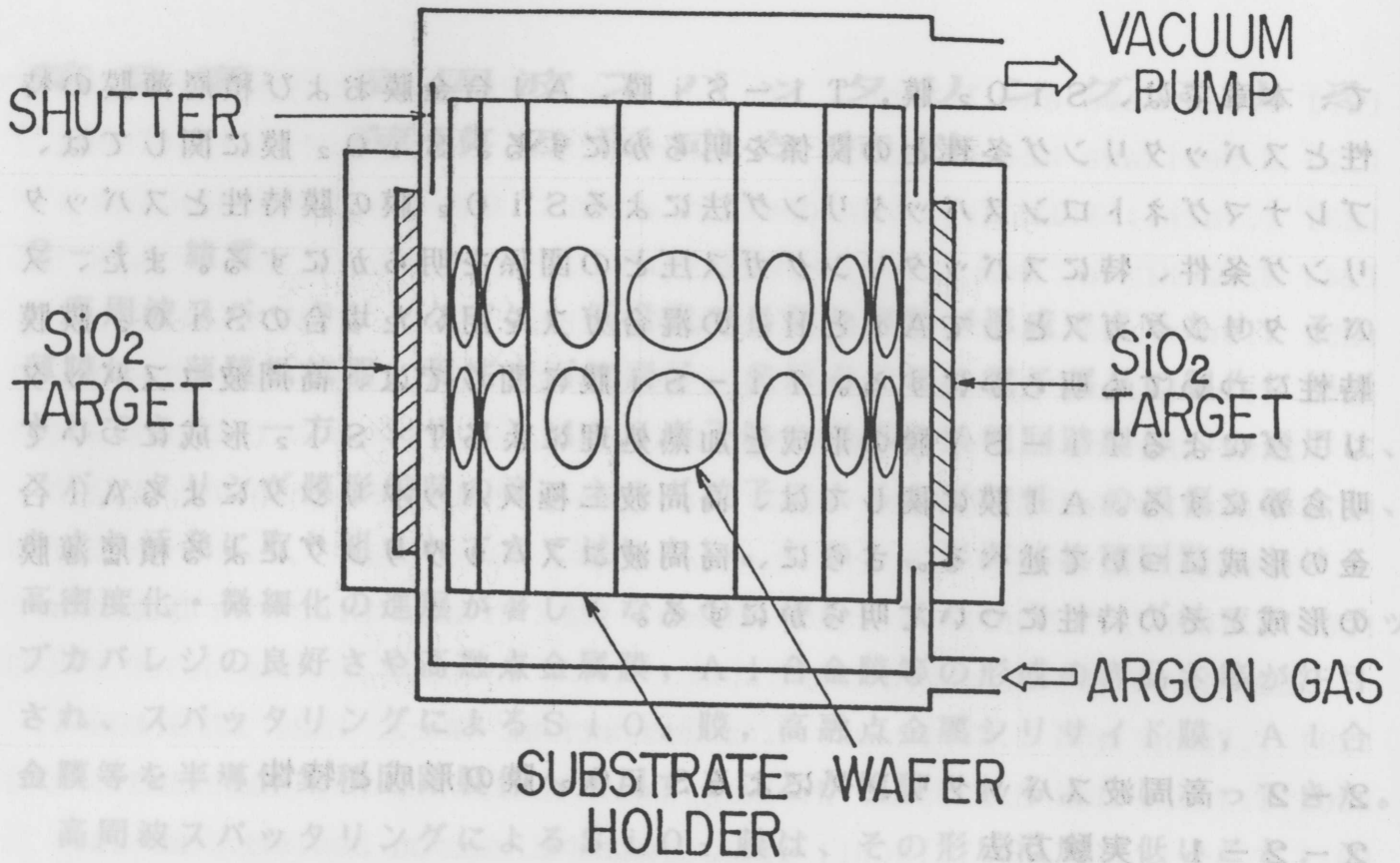
2-2 高周波スパッタリングによる SiO_2 膜の形成と特性

2-2-1 実験方法

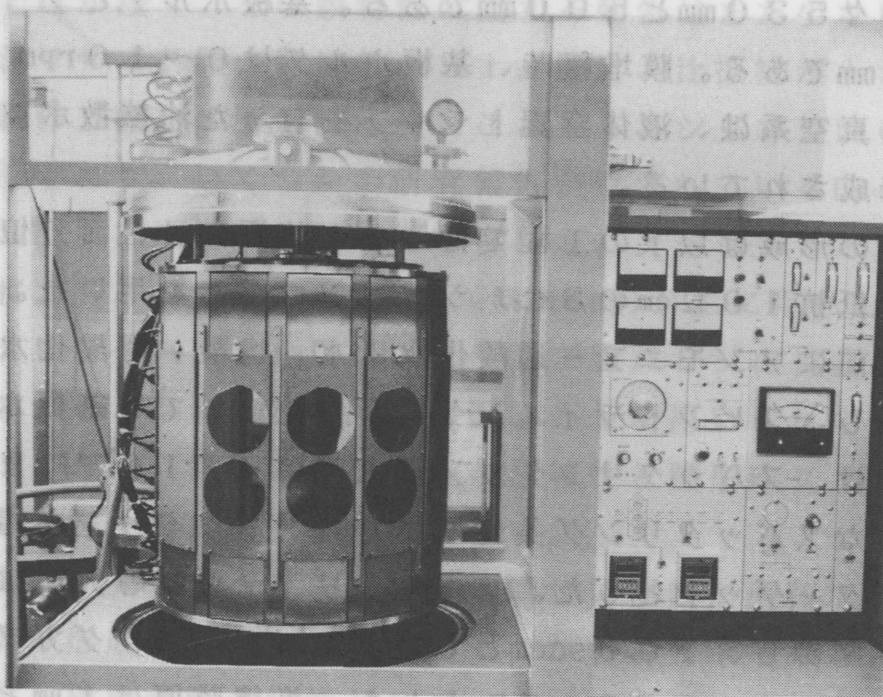
SiO_2 膜形成に用いたブレナマグネatron高周波スパッタリング装置の概略図(a)と写真(b)を図2-1に示す。本装置では、5インチ x 15インチの SiO_2 ターゲットを2個装着できる。基板ホルダは円筒で、高さおよび直径は各々530mmと500mmである。基板ホルダとターゲットとの最小間隔は50mmである。膜堆積時、基板ホルダは0~10rpmの回転速度で回転できる。真空系は、液体窒素トラップを有した油拡散ポンプと油回転ポンプにより構成されている。

SiO_2 膜の形成は以下の工程で行った。基板には、面方位(100)，pタイプ，比抵抗 $10\ \Omega\ \text{cm}$ の3インチシリコンウェハを用いた。シリコンウェハは、膜堆積前にアンモニア-過酸化水素水，塩酸-過酸化水素水およびフッ酸により洗浄し、スピンドライニングにより乾燥して、基板ホルダに装着した。システムは、スパッタリングガス導入前に $3 \times 10^{-4}\ \text{Pa}$ まで排気した。表2-1に主なスパッタリング条件を示す。スパッタリング電力は、1.5~2.3kW/ターゲットとした。スパッタリングガス導入量は、マスフローメータにより制御し、100sccmとした。スパッタリングガス圧は、オリフィスにより制御し、0.3~2.7Paとした。堆積膜厚は1 μm とした。一部の試料には、堆積後800℃，20分間の熱処理を施した。

SiO_2 膜の形成・特性の評価は、(i)堆積速度，(ii)エッチング速度，(iii)膜表面の電顕観察(TEM)，(iv)応力，(v)赤外吸収特性，(vi)密度，



(a) 概略図



(b) 写真

図2-1 プレナマグネトロン高周波スパッタリング装置, (a) 概略図, (b) 写真

表2-1 主なスパッタリング条件

項目		条件
ターゲット	純度 スパッタリング電力 サイズ	99.99%溶融石英 1.5~2.3kW/ターゲット 5 μ m x 15 μ m x 1/8 μ m
スパッタリングガス	Ar純度 H ₂ 純度 混合比 圧力 流量	99.999% 99.999% 0~30%H ₂ - 100~70%Ar 0.3~2.7 Pa 100 sccm
基板ホルダ	基板温度 基板回転速度 基板-ターゲット最小間隔	室温~200 $^{\circ}$ C 0~10 rpm 50mm

(vii) オージェ電子分光特性等により行った。

堆積速度は、表面粗さ計により膜厚を測定し、堆積時間で除して求めた。エッチング速度は、15:10:1 (H₂O:NH₄F:HF) 緩衝フッ酸による膜厚減少量よりもとめた。液温は、30 $^{\circ}$ Cとした。膜表面の観察は、レプリカ法を用い、堆積直後および表面をわずかにエッチングした後行った。

応力は、ニュートンリング法を用い、SiO₂膜堆積前後のウェハ曲率を測定して算出した。応力 σ_r は、次式で表される[12]。

$$\sigma_r = \frac{E_s}{6(1-\nu_s)} \cdot \frac{d_s^2}{d_f} \cdot \frac{1}{R_s} \quad \text{..... (式2-1)}$$

ここで、 E_s 、 ν_s 、 d_s は、シリコンウェハのヤング率、ポアソン比、ウェハの厚さを示し、 d_f はSiO₂膜の膜厚、 R_s はウェハの曲率半径を示す。面方位(100)を有するシリコンウェハでは、 $E_s / (1-\nu_s)$ は、 1.805×10^{12} dyn/cm²となる[13]。また、本試料の d_s は0.38mmである。

真性応力 σ_i は次式で求められる。

$$\sigma_i = \sigma_r - \sigma_{th} \quad \text{..... (式2-2)}$$

σ_{th} は、試料の製作時と測定時の温度差 ΔT にもとづき発生した応力であり、次式で表される[14]。

$$\sigma_{th} = \frac{E_f}{1-\nu_f} \cdot (\alpha_s - \alpha_f) \cdot \Delta T \text{ ----- (式2-3)}$$

ここで、 E_f 、 ν_f は SiO_2 膜のヤング率およびポアソン比を示し、各々 6×10^{11} dyn/cm² [15]、0.17 [16] である。また、 α_s 、 α_f は、シリコンウエハおよび SiO_2 膜の熱膨張係数であり、各々 2.5×10^{-6} /deg、 0.35×10^{-6} /deg である [17]。

赤外吸収特性は、透過法により求めた。密度は、 SiO_2 膜堆積前後の重量をマイクロ天秤で測定し算出した。

2-2-2 Ar 中スパッタリングによる SiO_2 膜の特性

(A) 結果

スパッタリングによる膜堆積速度は、スパッタリング電力やスパッタリングガス圧に依存することは良く知られている [18,19]。スパッタリング電力に対しては、 SiO_2 膜の堆積速度は比例して増大し、本装置では、Ar 圧 0.4 Pa で 5.5 nm/kW·min·ターゲットを示す。また、スパッタリングガス圧に対しては、 SiO_2 膜堆積速度は図 2-2 に示すように極大値を持つ変化を示す。この時のスパッタリング電力、基板温度、基板回転速度は、各々 4 kW、200℃、10 rpm である。Ar 圧 0.4 Pa で、堆積速度は最大値をとる。Ar 圧 0.4 Pa 以上では、堆積速度は Ar 圧の増加に伴い単調に減少し、2.0 Pa で最大値の約 60% となる。この Ar 圧増加に伴う堆積速度の減少は、後述するようにスパッタリングされた原子がアルゴンによって散乱されることによる。また、図 2-3 に、基板回転を停止して膜を堆積した時の堆積速度分布を示す。図には、ターゲットと基板との相対的位置関係も示す。図から、次の 2 点が明らかである。(i) 堆積速度分布は、いずれの Ar 圧においても単調な凸状となり、その最大値は基板を回転した時の速度に比べ約 10 倍である。(ii) Ar 圧が上昇するのに伴い、まず周辺ウエハ a、c 上での速度が減少しはじめ、その後中央ウエハ b 上での値が小さくなる。Ar 圧 ρ (Pa) における SiO_2 の平均自由行程 λ (cm) は、次式で示される [20]。

$$\lambda^{-1} = 1.35 \rho \text{ ----- (式2-4)}$$

Ar 圧 0.4 Pa, 1.05 Pa, 2.7 Pa での SiO₂ の平均自由行程は、(式 2-4) から各々 1.9 cm, 0.7 cm および 0.3 cm であるので、堆積速度が減少しはじめる Ar 圧 0.4 Pa での平均自由行程は、ターゲット-基板間隔の約数分の 1 になっている。

図 2-4 に、SiO₂ 膜の緩衝フッ酸によるエッチング速度の Ar 圧依存性を示す。エッチング速度は、Ar 圧に伴い著しく変化する。Ar 圧 0.33 Pa におけるエッチング速度は、熱酸化膜のエッチング速度 (70 nm/min) と同程度である。Ar 圧 1.05 Pa におけるエッチング速度は、0.33 Pa における値の実に 1.2 倍である。図 2-5 に、基板回転を停止して形成した膜のエッチング速度分布を、規格化した SiO₂ 膜の膜厚分布と併せて示す。Ar 圧は 0.4 Pa である。エッチング速度は、中央ウエハ b 上に比較して、周辺ウエハ a, c 上で著しく大きくなっている。中央ウエハ b

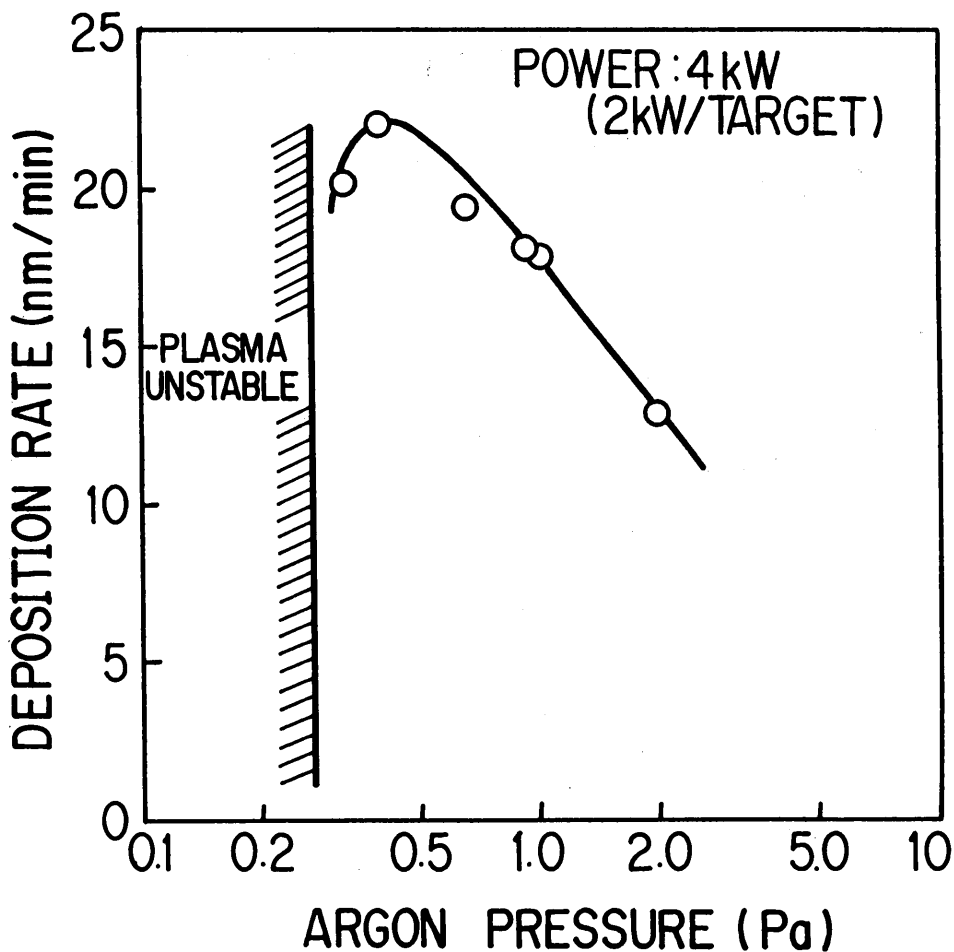


図 2-2 SiO₂ 膜堆積速度のスパッタリングガス圧依存性

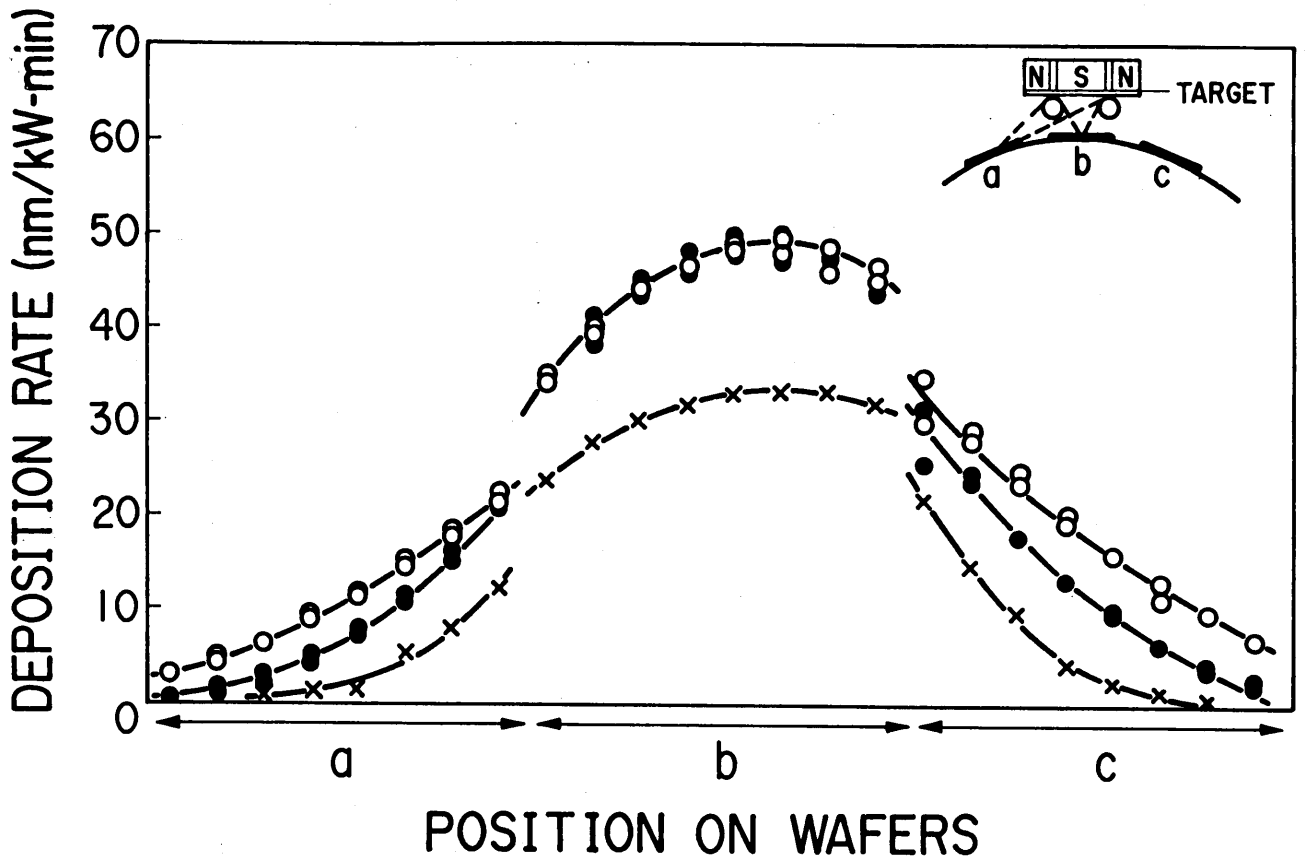


図2-3 SiO₂ 膜堆積速度の基板ホルダ上分布, ○: Ar 圧 0.4 Pa, ●: Ar 圧 1.05 Pa, ×: Ar 圧 2.7 Pa,

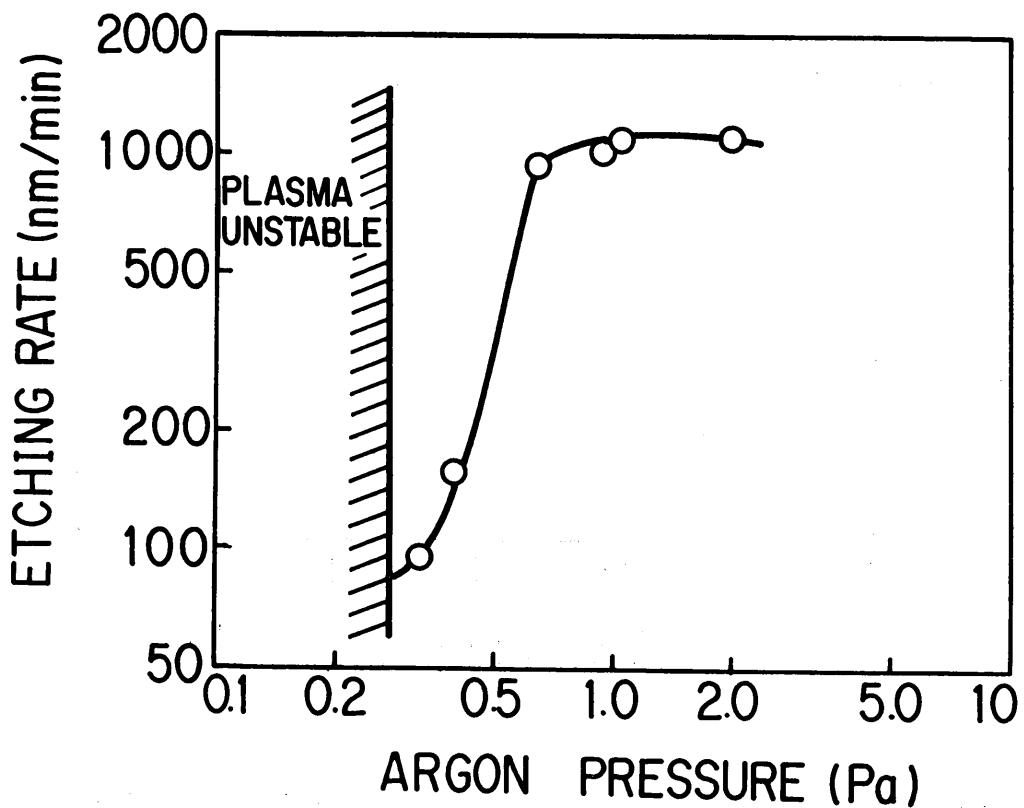


図2-4 SiO₂ 膜エッチング速度の Ar 圧依存性

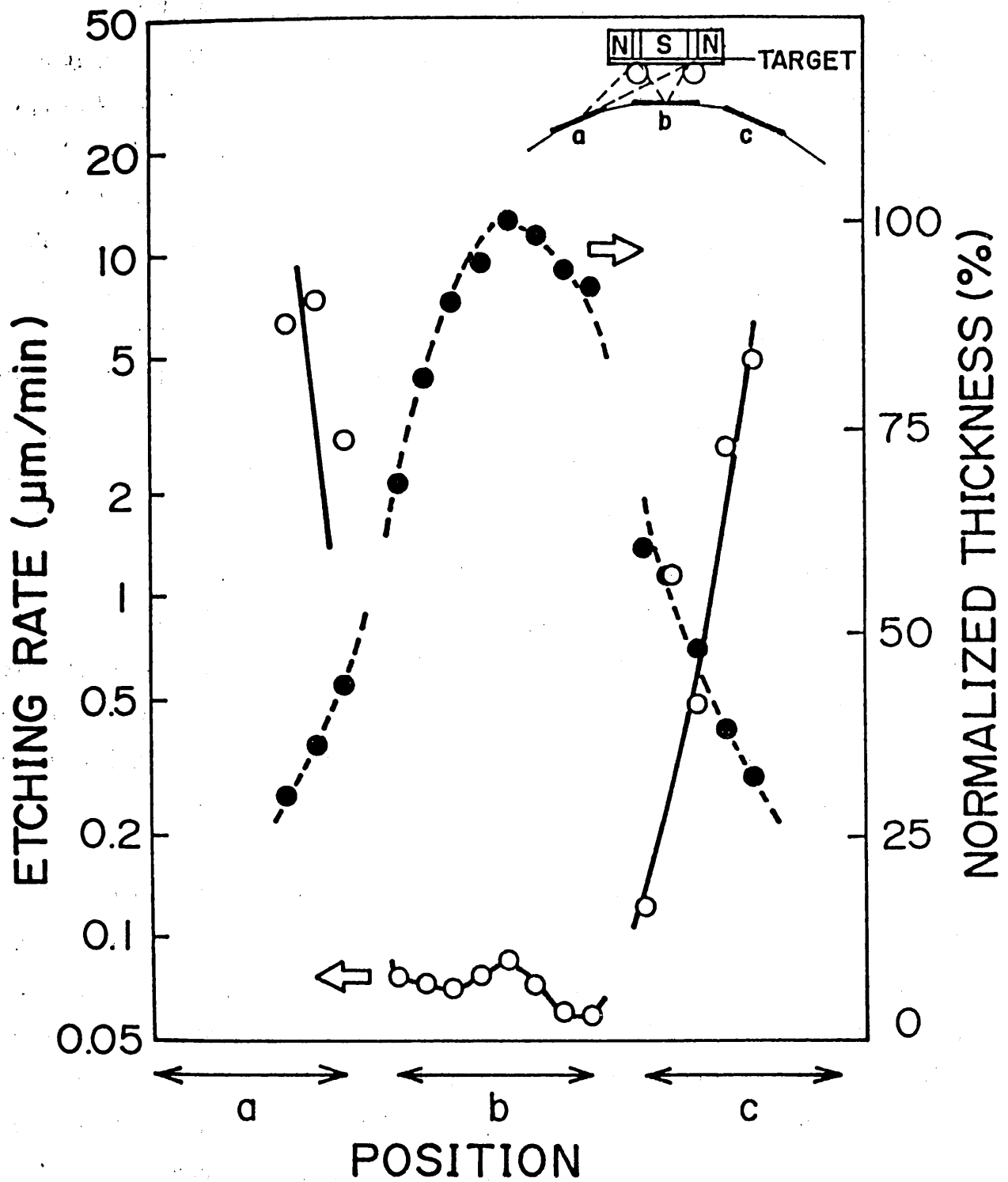


図2-5 SiO_2 膜エッチング速度の基板ホルダ上分布, Ar圧0.4Pa

での値は、熱酸化 SiO_2 膜と同程度である。なお、エッチング速度は、スパッタリング電力、基板温度、基板回転速度には殆ど依存しない。

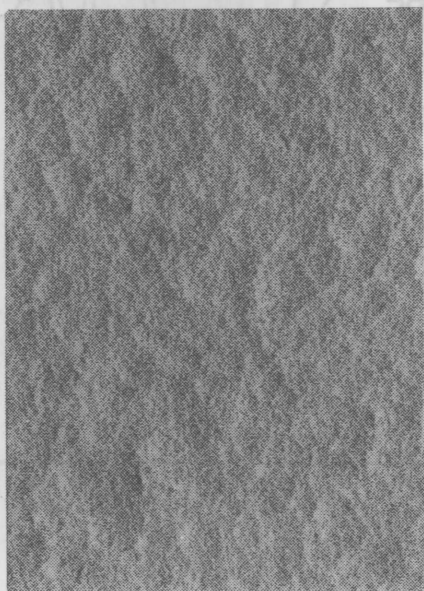
図 2-6 に、上記 Ar 圧 0.33 Pa および 1.05 Pa で形成した SiO_2 膜の堆積直後および表面をわずかにエッチング ($0.2 \mu\text{m}$ 厚) した後の、レプリカ法透過電子顕微鏡による膜表面写真を示す。両 Ar 圧共堆積直後の膜表面はなだらかな起伏を有している。一方、エッチング後の膜表面は、Ar 圧 0.33 Pa と 1.05 Pa では極めて異なった様相を示す。Ar 圧 0.33 Pa では、直径 $0.1 \mu\text{m}$ 程度の球状の面を呈するが、1.05 Pa では、約 $0.5 \mu\text{m}$ 周期の凹凸の激しい木の葉状の模様を呈する。この結果は、Ar 圧 1.05 Pa の膜では、局所的にエッチング速度が極めて速い部分 (空孔: POROSITY) を有することを示す。なお、基板回転を停止して堆積した時の周辺ウエハ上の SiO_2 膜も、Ar 圧 1.05 Pa の膜と同様の木の葉状の模様を示す。また、 SiO_2 膜の密度は、Ar 圧 0.33 Pa および 2.0 Pa で、各々 2.26 g/cm^3 および 2.10 g/cm^3 である。Ar 圧 0.33 Pa における膜の密度は、熱酸化膜の密度 2.2 g/cm^3 にほぼ一致する [21]。

スパッタリング SiO_2 膜の (式 2-2) から求めた真性応力の Ar 圧依存性を図 2-7 に示す。膜形成は、基板温度 200°C で行い、膜厚は $1 \mu\text{m}$ である。温度差に伴う応力 σ_{th} は、(式 2-3) から $0.3 \times 10^9 \text{ dyn/cm}^2$ とした。応力は、全試料共圧縮応力を示す。応力もエッチング速度と同様の Ar 圧依存性を示し、Ar 圧の増大に伴い増大する。Ar 圧 1.05 Pa での応力は、Ar 圧 0.33 Pa での応力の約 2.5 倍である。

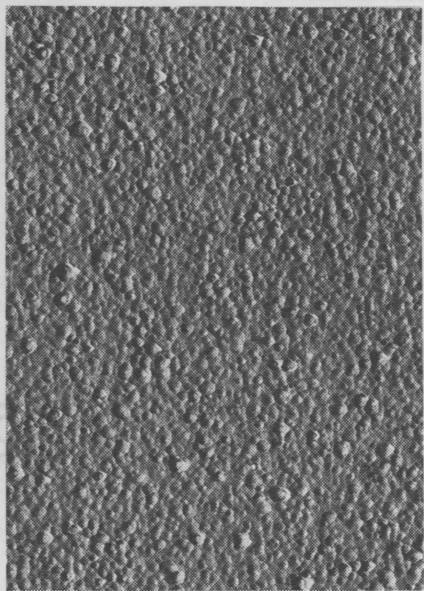
図 2-8 に、 SiO_2 膜の赤外吸収特性を示す。赤外吸収特性は、Ar 圧 0.33 Pa および 0.95 Pa 間ではあまり差異はみられず、ほぼ同一の形状となっている。これは、Si と O との原子結合状態が、スパッタリング時の Ar 圧に依存していないことを示す。また、オージェ電子分光スペクトルにも、赤外吸収特性と同様に、Ar 圧に伴う差異はない。Si によるオージェ電子分光スペクトルは、 SiO_2 の Si で観測される 78 eV [22] に位置する。

次に、上記マグネトロンスパッタリング SiO_2 膜の熱処理による特性の変化を示す。図 2-9 に、エッチング特性の Ar 圧依存性を、熱処理前後の値を比較して示す。熱処理により、全 Ar 圧領域でエッチング速度は小さく

BEFORE SLIGHT
ETCHING
(THICKNESS: 1 μm)



AFTER SLIGHT
ETCHING
(THICKNESS: 0.8 μm)

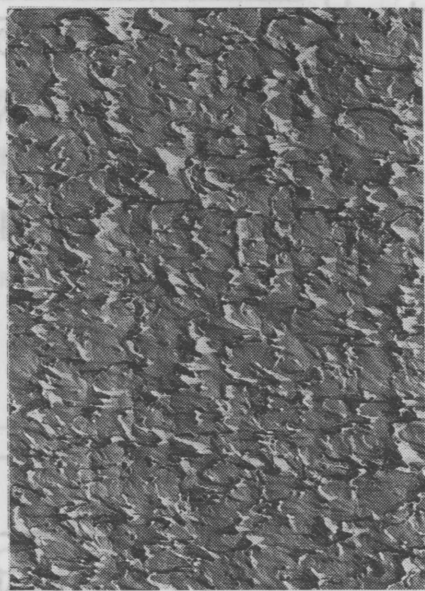
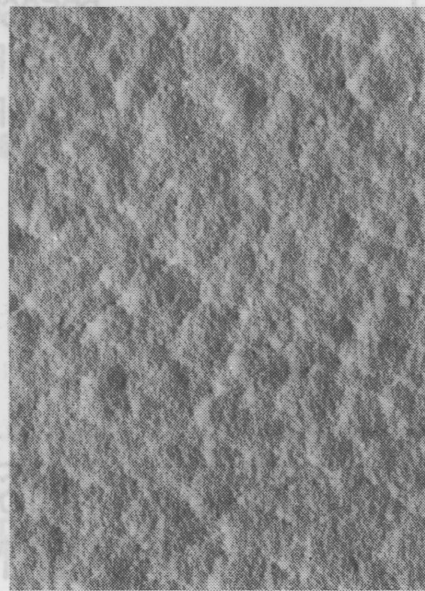


ARGON PRESSURE

(Pa)

0.33

1.05



0.5 μm

0.5 μm

図2-6 SiO₂ 膜表面の透過電子顕微鏡写真

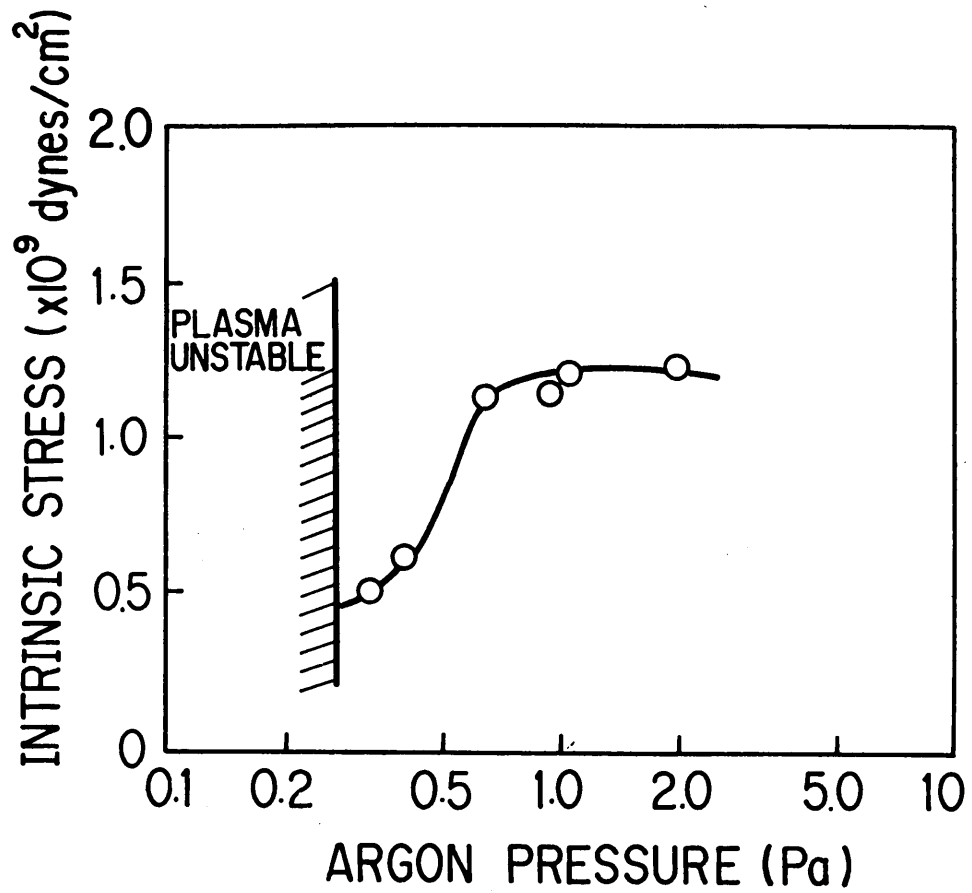


図2-7 SiO₂ 膜真性応力のAr圧依存性

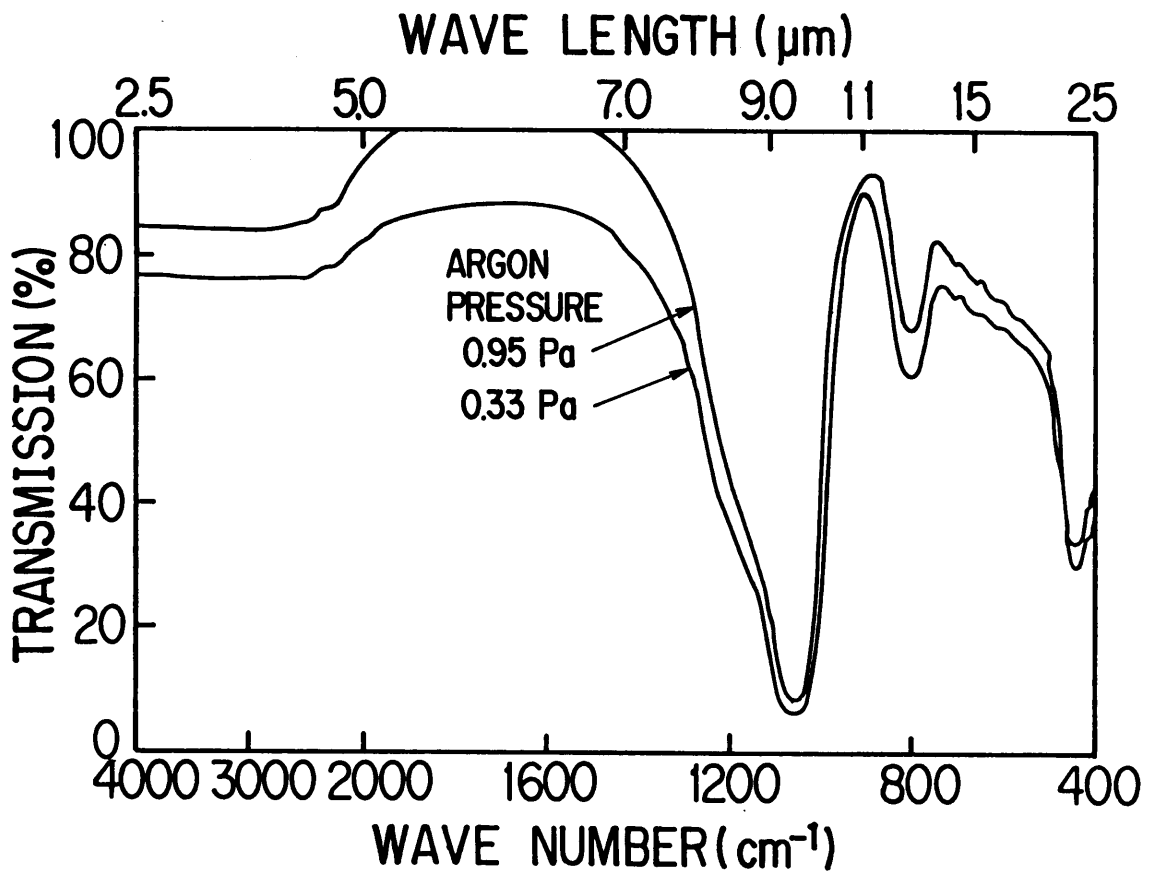


図2-8 SiO₂ 膜の赤外吸収特性

なる。しかし、堆積直後の値と同様に、顕著なAr圧依存性はまだ見られる。

図2-10に、900℃、20分間のN₂中アニール後のSiO₂膜表面TEM写真を示す。エッチング前の膜表面は、Ar圧0.4Paおよび2.0Pa共、約0.1μm周期の鱗状の模様を呈する。これは、図2-6における堆積直後の膜表面のなだらかな起伏に対応している。一方、エッチング後の膜表面は、Ar圧0.4Paでは、直径0.1μm程度の球状を呈し、2.0Paの膜では、堆積直後の膜と同様に、マイクロボイドに沿ってエッチングが進み、凹凸の激しい表面になる。

図2-11に、Ar圧0.95Paにおける膜の、熱処理前後の赤外吸収特性を比較して示す。赤外吸収特性の形状は、熱処理前後で同じである。しかしながら、9μm(1100cm⁻¹)帯のSi-Oの伸縮振動エネルギーに対応する吸収線は、熱処理によって短波長側にシフトする。図2-12に、この9μm帯吸収線位置のAr圧依存性を、熱処理前後の値を比較して示す。吸収線位置は、Ar圧にほとんど依存せず、熱処理によって一様に9.5μm(1053cm⁻¹)から9.37μm(1067cm⁻¹)にシフトする。熱処理後の値は、熱酸化膜における値1080cm⁻¹[23]に近くなる。

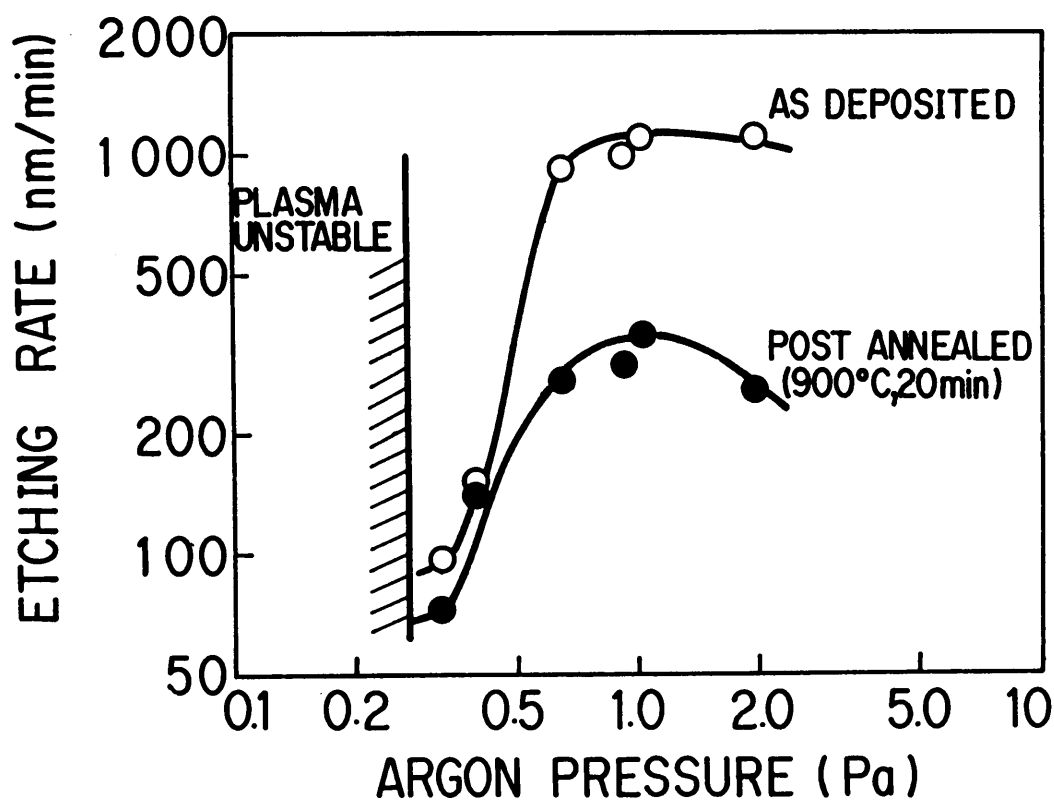
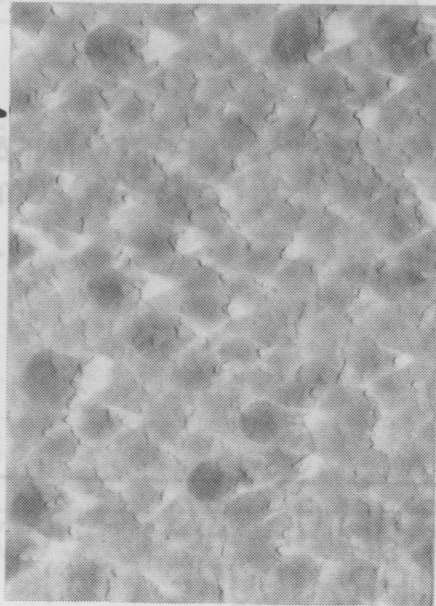


図2-9 熱処理前後におけるSiO₂膜エッチング速度のAr圧依存性

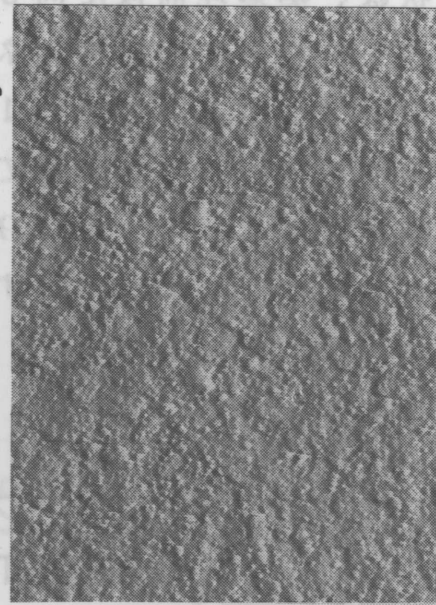
BEFORE SLIGHT
ETCHING

(THICKNESS: 1 μm)



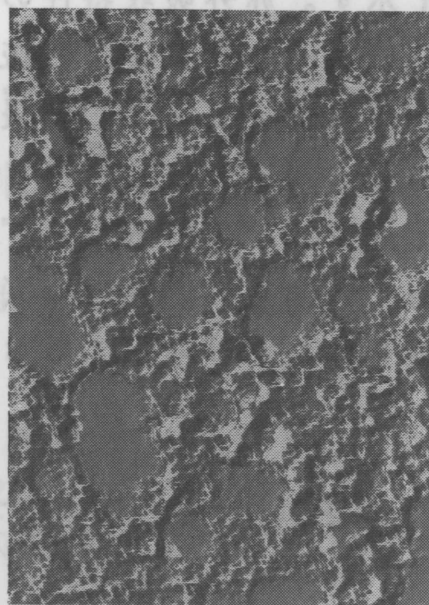
AFTER SLIGHT
ETCHING

(THICKNESS: 0.5 μm)



ARGON PRESSURE

0.40



2.00

0.5 μm

0.5 μm

図2-10 熱処理後のSiO₂膜表面透過電子顕微鏡写真

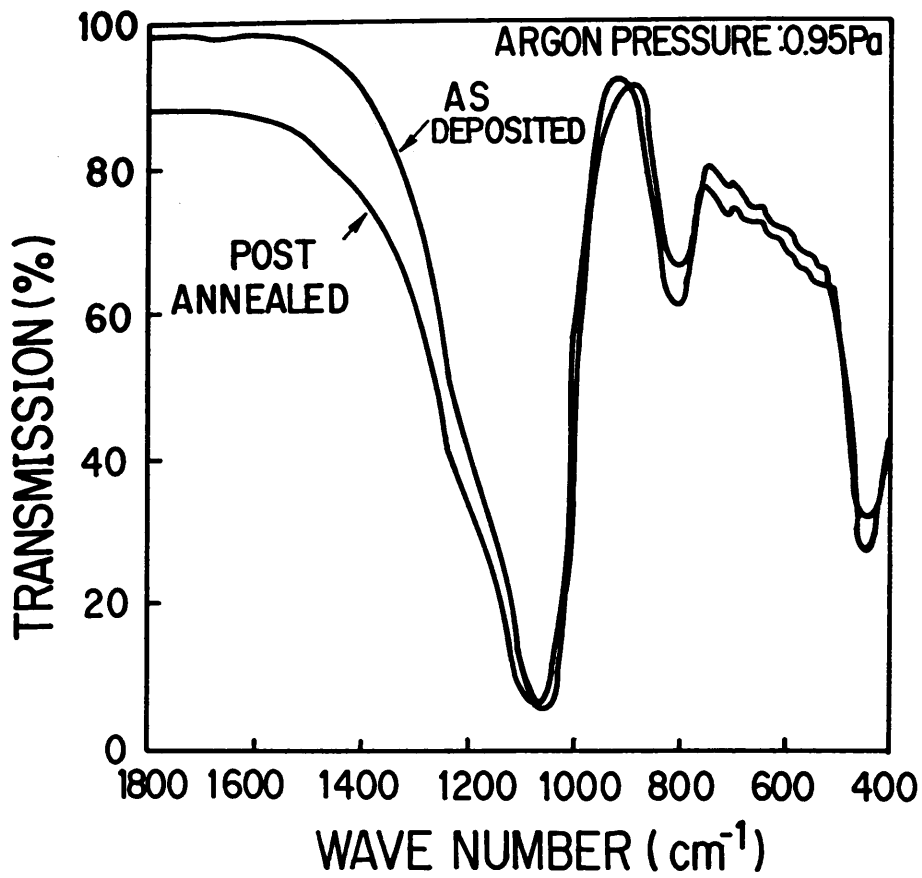


図2-11 熱処理前後のSiO₂膜赤外吸収特性

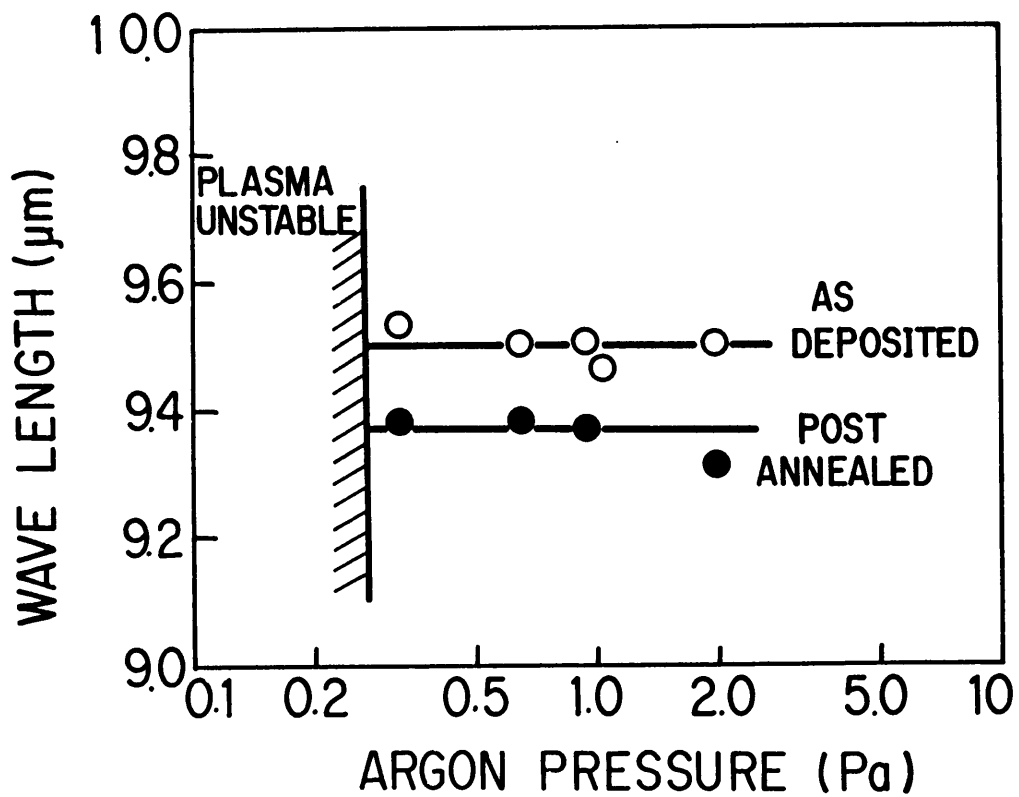


図2-12 熱処理前後における9 μm帯吸収線位置のAr圧依存性

(B) 考察

スパッタリング SiO_2 膜の膜特性，特にエッチング速度が、 Ar 圧に強く依存するのは、スパッタリングによる薄膜の形成過程に関係している。スパッタリングによる薄膜形成では、膜組織が柱状構造をなすことが指摘されている[24]。柱状構造発生の要素としては、以下の項目が揚げられる。

(i) 吸着エネルギーの大きな吸着サイトにできた核を中心に成長すること (Volmer-Weber型)。通常、吸着サイトの数は表面原子数に比較して極めて少ない。

(ii) 基板に飛来した原子の方向が、スパッタリングガスにより散乱されてランダムになり、セルフシャドウイング効果が生じること。

(iii) 飛来した原子の基板上での移動が小さいこと。

本研究のスパッタリング SiO_2 膜膜特性の Ar 圧依存性を、上記要素 (ii) および (iii) を中心に以下考察する。

スパッタリング法においては、スパッタリングされた粒子は、0 ~ 数百 eV の範囲 (数 eV に最大値を持つ) に分布したエネルギーを有して、方向性の鋭い cosine 分布をなしてターゲットから叩き出されるとされる[25]。そして、 Ar との衝突によって、そのエネルギーを失い、方向を変えて基板に堆積する。この様にして、ターゲットから叩き出された粒子のエネルギーは、最終的には、ガスの熱エネルギーと等しくなり、かつ粒子の方向は一様な方向性を持つ球状分布になる。熱エネルギーに等しく、かつ球状分布になるまでの、スパッタリングされた粒子と Ar との衝突回数は、次式で与えられる[20]。

$$\eta^1 = \ln(\nu_0 / \nu) / \ln(\nu^1 / \nu) \quad \text{----- (式2-5)}$$

ここで、 ν_0 、 ν は初期速度および熱エネルギーでの速度を示す。また、 ν^1 / ν は衝突前後の速度比を示し、 SiO_2 では 0.54 になる[20]。衝突回数 η^1 と平均自由行程 λ とを用いて、W.D. Westwood は、ターゲットから叩き出された粒子のエネルギーがガスの熱エネルギーと等しくなり、かつ粒子の方向が球状分布になるまでの飛距離を次式で示した[20]。

$$D = 1.25 \eta^1 \cdot \lambda \quad \text{----- (式2-6)}$$

本スパッタリングシステムにおける SiO_2 膜の形成では、図 2-11 で明らかのように、 SiO あるいは Si_2O_3 等の赤外吸収ピークが観測されないことから、スパッタリングされた粒子は殆ど SiO_2 になっていると考

えられる。そこで、(式2-6)に(式2-4)，(式2-5)を代入して、スパッタリングされた SiO_2 が、ガスの熱エネルギーと等しくなり、かつ方向が球状分布になるまでの飛距離 D の Ar 圧依存性を求めた。結果を SiO_2 の初期エネルギー E_0 をパラメーターとして、図2-13に示す。なお、スパッタリングされた粒子を SiO (質量44)と仮定しても、飛距離 D の減少は15%程度と、 SiO_2 (質量60)における値と大差はない。 SiO_2 における飛距離 D は、0.73 Paで本スパッタ装置の最小ターゲット・基板間隔に等しい5 cmになる。この結果、0.73 Pa以下の Ar 圧では、基板に到達した SiO_2 のエネルギーは、まだ熱エネルギーよりも大きく、 SiO_2 分子は基板表面上を移動できる。また、 SiO_2 の入射方向は、

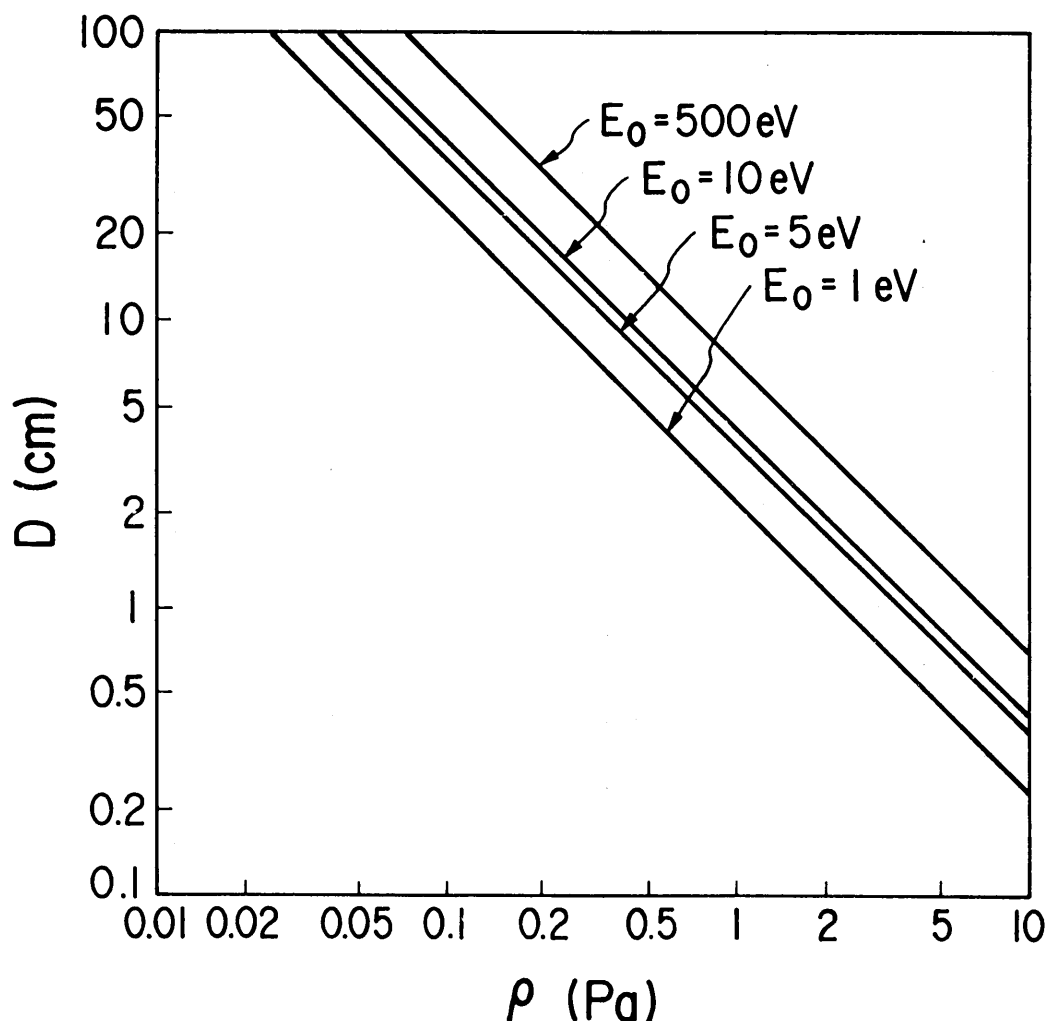


図2-13 ガスの熱エネルギーに等しくなるまでの飛距離 D の Ar 圧 ρ 依存性

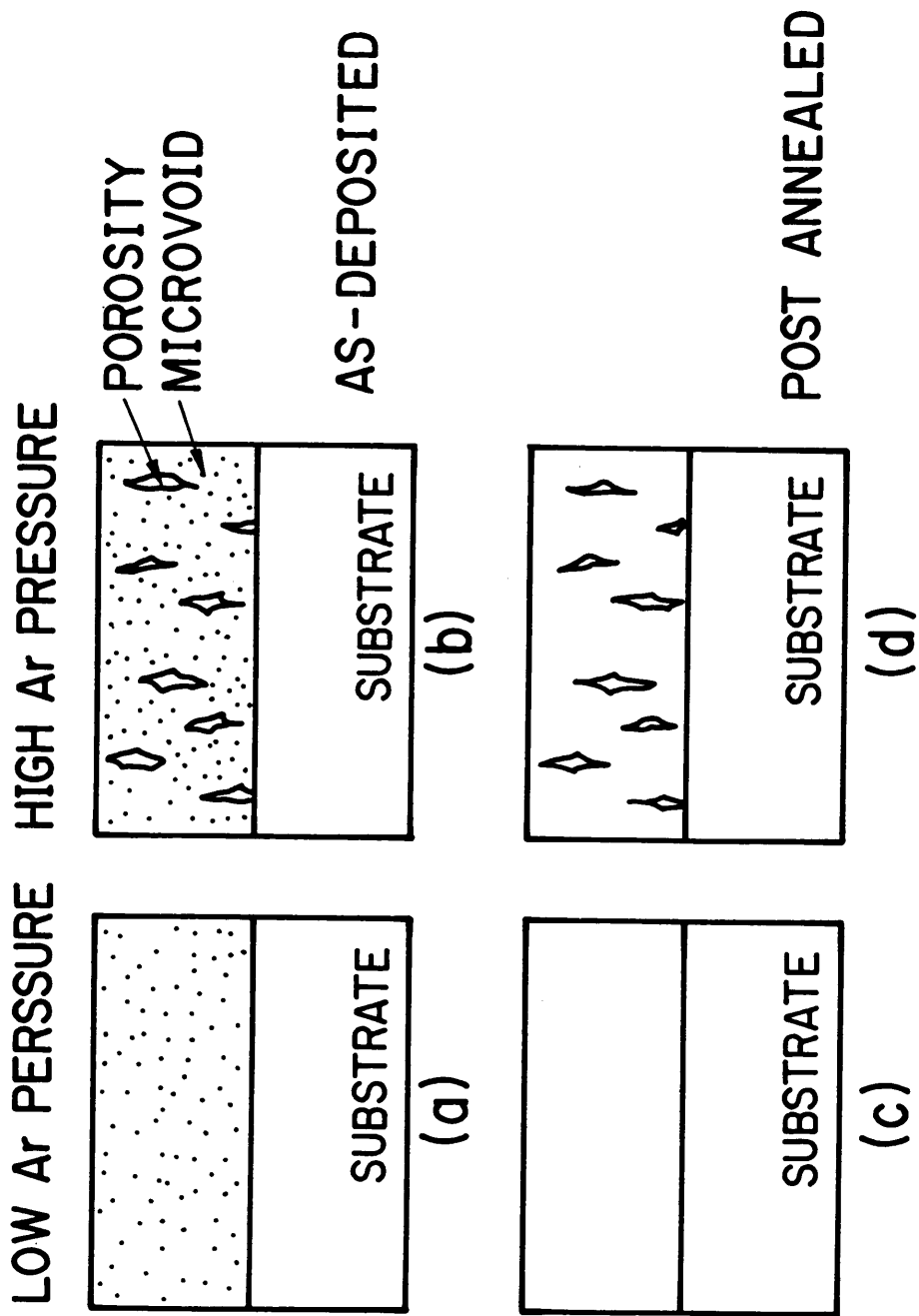


図2-14 高周波スパッタリングによるSiO₂膜の膜組織の様式図

cosineに近い分布を持ち、 SiO_2 が基板にほぼ垂直に到達する。このため、密度の大きい膜が形成されると考えられる。一方、 0.73 Pa 以上の Ar 圧では、基板に到達した SiO_2 のエネルギーは小さく、かつ入射方向も一様な方向性を持つ球状分布をなす。この入射方向の広い球状分布は、セルフシャドウ効果を起こし、空孔を形成する[26]。さらに、入射 SiO_2 のエネルギーが小さいため、この空孔を膜内に残したまま膜堆積が行われる。このため、 0.73 Pa 以上では、空孔に沿ってエッチングが進み、著しく大きいエッチング速度になると考えられる。さらに、高 Ar 圧領域の空孔を含んだ膜では、膜内の組織が不均一であるため、原子の結合に歪み(BOND STRAIN)を生じ、真性応力の増大も起こると考えられる。

また、本研究の実験では、基板温度は最大 200°C と比較的低い。このため、低 Ar 圧領域においても、 SiO_2 の移動は比較的小さく、膜内全体にマイクロボイドが形成されていると考えられる。このマイクロボイドは、熱処理によって消滅する。マイクロボイドの消滅は、 Si-O 結合エネルギーの増大をもたらし、エッチング速度の低減を図る。以上の考察を基に、高周波スパッタリングによる SiO_2 膜の膜組織を模式的に図2-14に示す。空孔の形成は主にセルフシャドウ効果により、マイクロボイドの形成は基板表面でのエネルギーが小さいことに因っていると考えられる。

高周波スパッタリングにおける SiO_2 膜の顕著な Ar 圧依存性は、スパッタリングされた粒子がスパッタリングガス原子との衝突により、主に初期の方向性を失うことによる。低 Ar 圧領域では、良質な膜が形成され、一方高 Ar 圧領域では、多孔質の膜が形成される。このことは、 SiO_2 以外の膜形成においても、 Ar 圧と膜特性との関係を考える上で多くの示唆を与える。

2-2-3 H_2 - Ar 混合ガス中スパッタリングによる SiO_2 膜の特性 (A) 結果

$30\% \text{H}_2$ - $70\% \text{Ar}$ 中スパッタリングによる SiO_2 膜エッチング速度のスパッタリングガス圧依存性を、 $100\% \text{Ar}$ 中における値と比較して、図2-15に示す。 H_2 を 30% 加えてスパッタリングすることにより、 $100\% \text{Ar}$ 試料で見られる、エッチング速度における顕著なスパッタリングガス圧依存性は消滅し、かつエッチング速度は小さくなる。また、図2-16に、 0.4 Pa で堆積した SiO_2 膜のエッチング速度のウエハ内均一性を示す。 $100\% \text{Ar}$ による試料では、膜厚が均一であるにもかかわらず、エッチング速度は極めて不均一である。一方、 H_2 を 30% 混合した試料で

は、膜厚，エッチング速度共極めて均一になる。これらエッチング速度における顕著なスパッタリングガス圧依存性の消滅およびウエハ内での良好な均一性は、後述するように（図2-18参照）、 H_2 混合により、 SiO_2 膜中の空孔が消滅するためである。

図2-17に、 SiO_2 膜エッチング速度の H_2 分圧依存性を示す。エッチング速度は、2.0 Paおよび0.47 Paの両スパッタガス圧とも、 H_2 分圧の増加に伴って一様な減少を示す。図2-18に、スパッタリングガス圧0.47 Paにおける、 H_2 -Ar混合スパッタリング SiO_2 膜の表面をわずかにエッチングした後のTEM写真を示す。膜表面は、 H_2 混合量の増加に伴い平滑になる。5% H_2 混合試料の膜表面は、熱酸化膜の膜表面と同程度であり、30% H_2 混合試料の膜表面は極めて平滑である。これは、 SiO_2 膜中の空孔が、 H_2 混合量の増加に伴って減少・消滅しているため

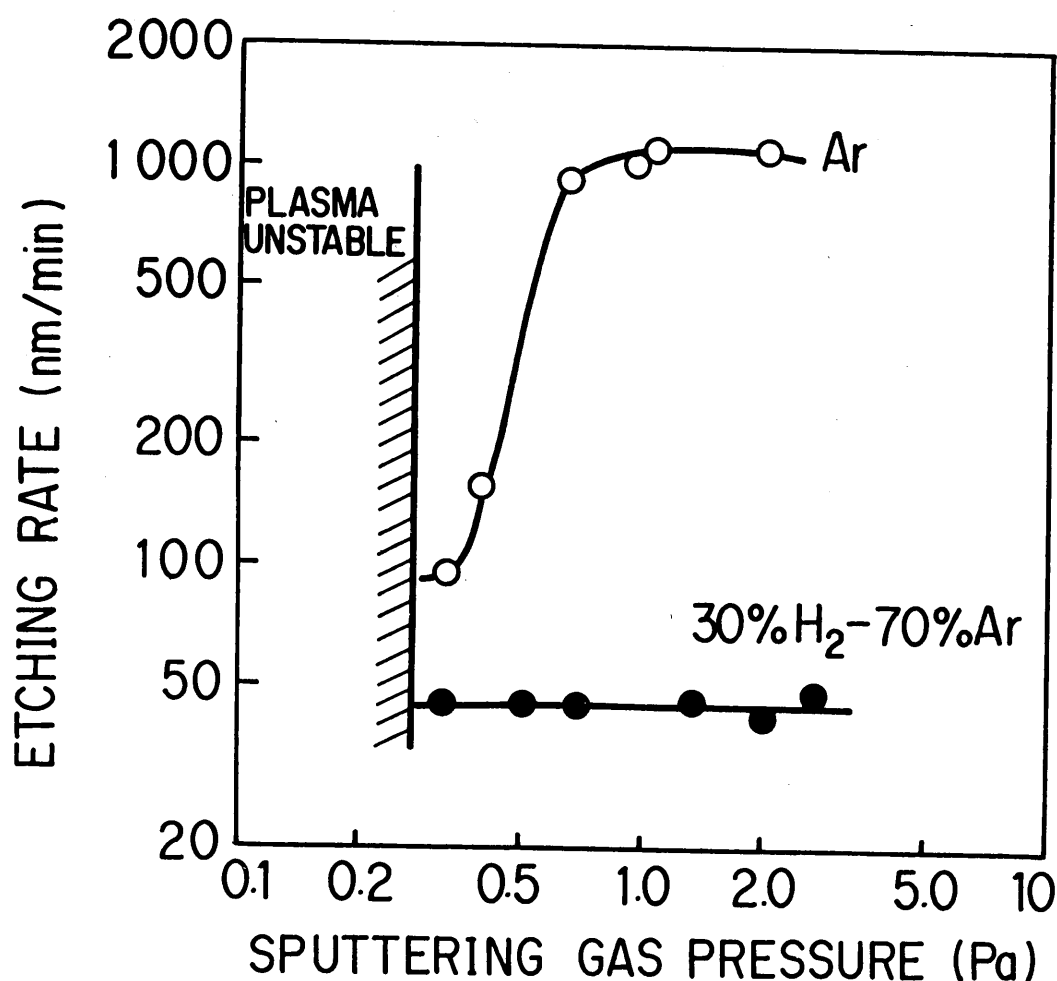


図2-15 H_2 -Ar混合スパッタリングによる SiO_2 膜のエッチング速度のスパッタリングガス圧依存性

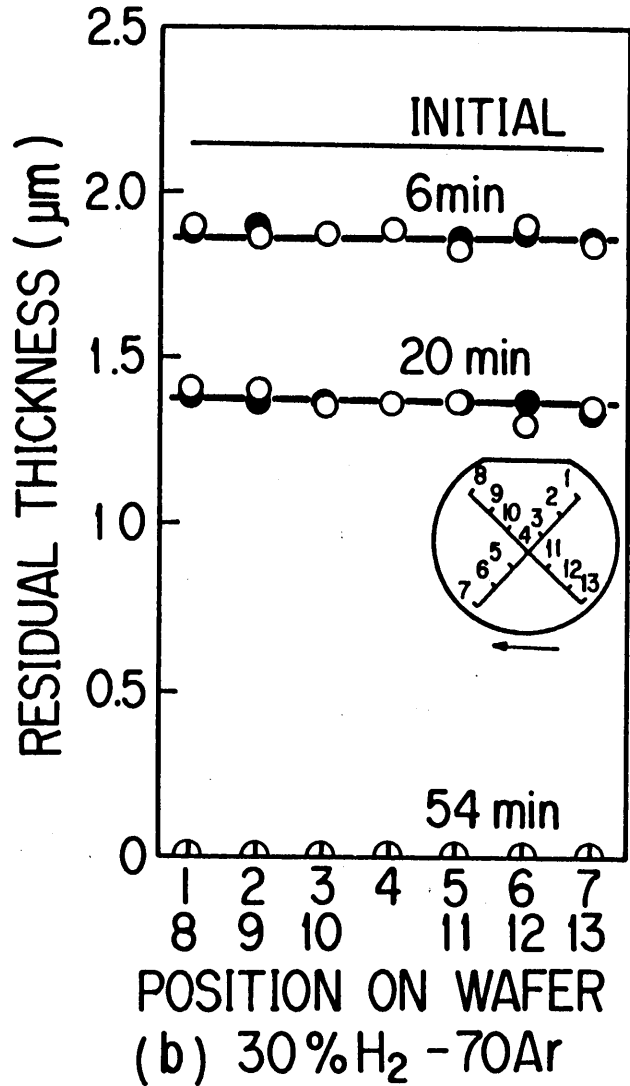
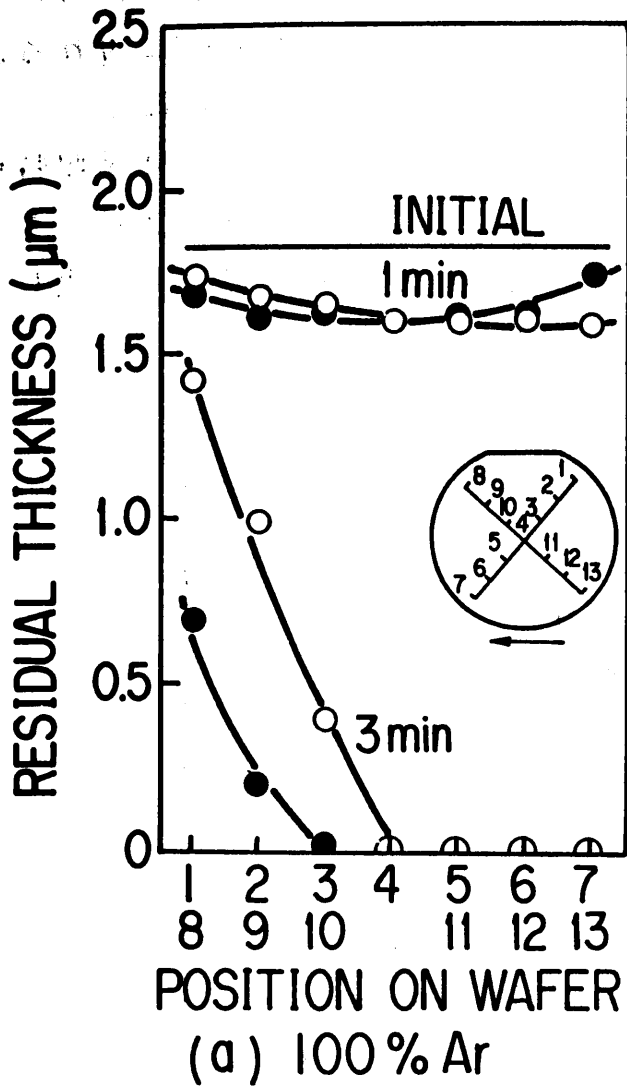


図2-16 SiO_2 膜エッチング速度のウエハ内分布, (a) 100% Ar, (b) 30% H_2 - 70% Ar

である。また、密度も、 H_2 混合によって増大する。 $30\% H_2$ 混合試料の密度は、 $2.33 g/cm^3$ と熱酸化膜の $2.2 g/cm^3$ より大きい値を示す。

図 2-19 に、 H_2 混合ガス中スパッタリング SiO_2 膜のオージェ電子スペクトルを、熱酸化 SiO_2 膜と比較して示す。データは、膜表面を極わずかにイオンエッチングした後のスペクトルである。両スペクトルとも、 SiO_2 による Si および O のピークが、 $78 eV$ および $500 eV$ に現れる。 Si ピークと O ピークの強度比 I_{Si}/I_O も、 H_2 混合 SiO_2 膜で 0.22 ，熱酸化 SiO_2 膜で 0.25 と大差がない。また、赤外吸収特性も、 $Ar 100\%$ による試料の特性と同一である。これらから、スパッタリング SiO_2 膜中の Si と O との原子結合状態が、 H_2 混合により変化しな

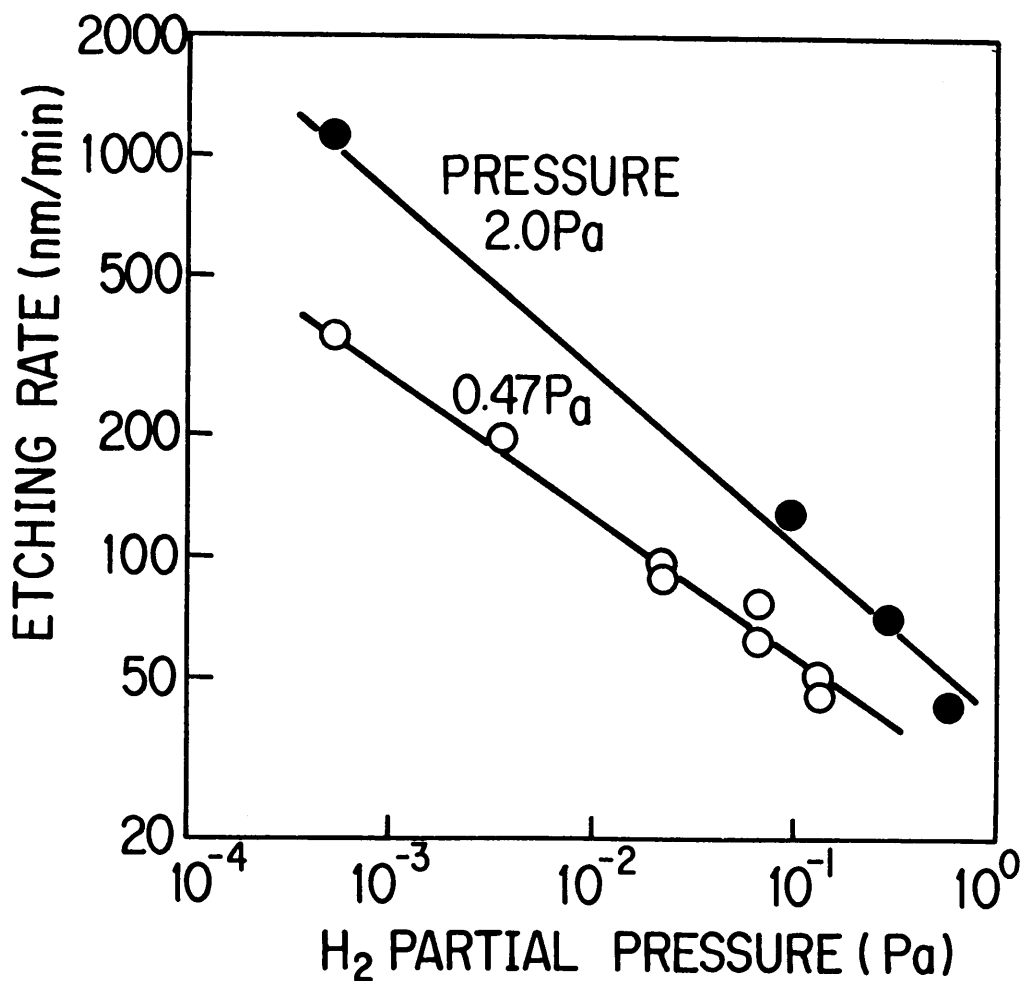
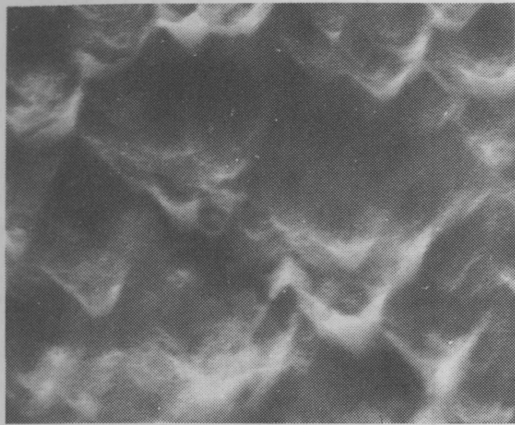


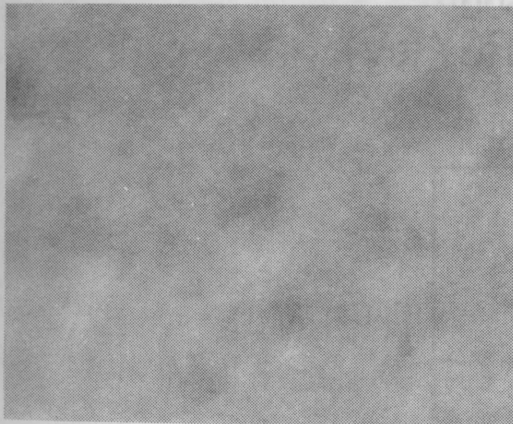
図 2-17 SiO_2 膜エッチング速度の H_2 分圧依存性



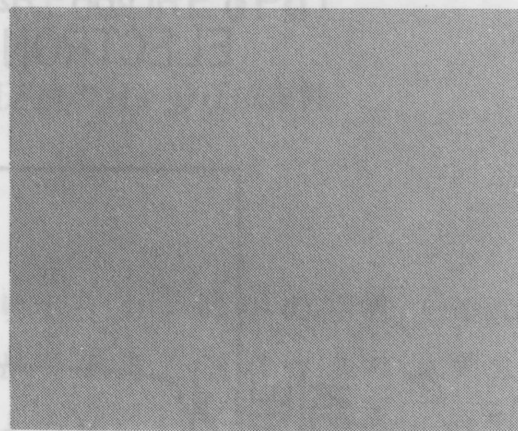
100%Ar



0.8% H₂-99.2% Ar



5% H₂-95% Ar



30% H₂-70% Ar
0.5 μm

図2-18 H₂-Ar混合スパッタリングによるSiO₂膜の膜表面透過電子顕微鏡写真

いことが示唆される。

なお、スパッタリングガスへの H_2 混合は、スパッタリングイオンの原子量を低下させるため、堆積速度の低下を来すことは良く知られている[27]。本スパッタリングシステムにおける、 H_2 分圧に伴う堆積速度の変化を図2-20に示す。堆積速度は、 H_2 分圧に伴い単調な減少を示す。

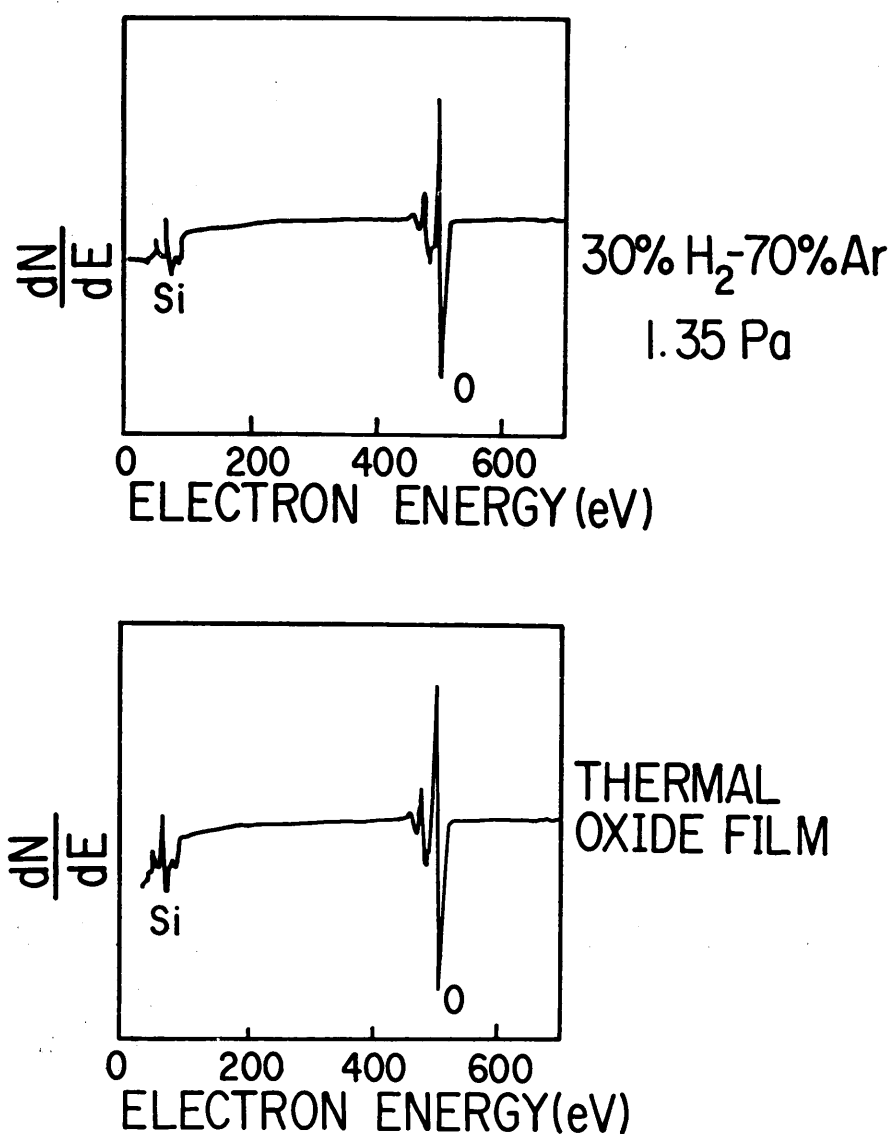


図2-19 SiO_2 膜のオージェ電子スペクトル

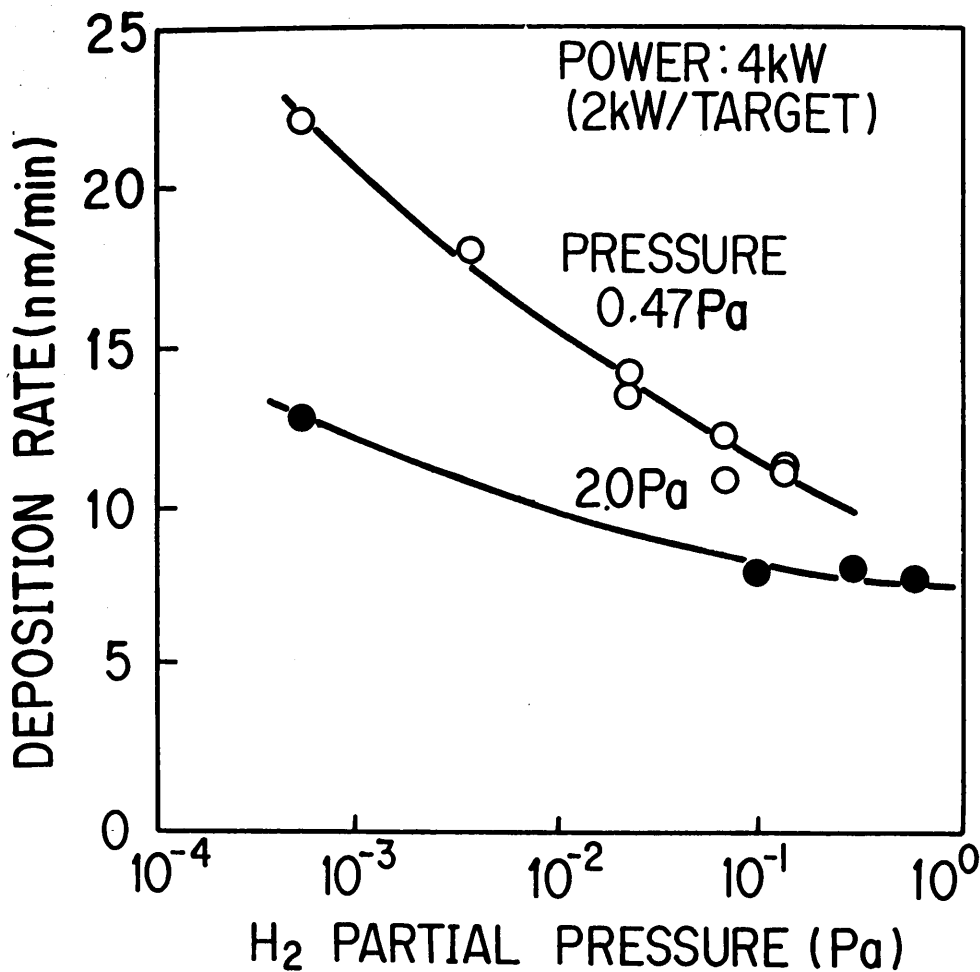


図2-20 SiO₂ 膜堆積速度のH₂ 分圧依存性

(B) 考察

スパッタリングガスへのH₂ 混合によりSiO₂ 膜中の空孔 (POROSITY) が消滅することは、図2-18より明らかである。スパッタリングSiO₂ 膜中に空孔が生じるのは、前節で述べたように、(i) Volmer-Weber型の薄膜形成が行われ、(ii) 基板に飛来する原子の方向がスパッタリングガス原子により散乱されてランダムになるためセルフシャドウ効果が生じ、かつ (iii) 基板に飛来した原子の基板上での移動が小さいことによる。したがって、スパッタリングガスへのH₂ 混合は、上記(i), (ii)あるいは (iii)の項目に関係し、SiO₂ 膜中の空孔を消滅する作用をしていると考えられる。

上記(ii), (iii)の項目に関係した、スパッタリングガスへのH₂ 混合による、基板に飛来する原子の散乱に与える影響を前節に習いまず考える。図2-15に示されるように、H₂ を混合し作成したSiO₂ 膜のエッチング速度は、スパッタリングガス圧依存性を示さない。例えば、スパッタリングガ

ス圧 2.0 Pa では、Ar の分圧は約 1.5 Pa であり、この時の分子の平均自由行程は、0.5 cm となり、前節の考察から、十分に散乱されていることが推察される。また、基板に飛来した分子のエネルギーも殆ど熱エネルギーに近い値と考えられる。しかしながら、エッチング速度がスパッタリングガス圧 2.0 Pa においても著しい増大を示さないことから、H₂ 混合による SiO₂ 膜の緻密化は、上記(i),(ii)項に関係した作用とは考えにくい。

水素は極めて吸着しやすく、その吸着した表面の原子と容易に水素結合をなすことは良く知られている[27]。本研究における H₂ 混合スパッタリングでの SiO₂ 膜緻密化は、上記水素による膜表面での水素結合が上記(i)の項目に関係し起こっていると推察される。スパッタリング法で優勢な Volmer-Weber 型の薄膜形成では、膜表面上の吸着サイトを核とした成長が起こっている。このとき、水素が表面上の吸着サイト数を高める作用をしていると考えられる。このため、基板表面上で多数の核が発生し、その核を中心に一様な成長が起こり、セルフシャドウイング効果が抑制され膜の緻密化が果たされる。このことは、図 2-19 において少量の H₂ 混合で表面凹凸の周期が減少する(成長核が多い)こと、および H₂ 混合量の増加に伴って空孔が減少すること等より推測できる。

以上のように、SiO₂ 膜の緻密化は水素吸着による成長核増加に基づく機構によって起こると考えられる。

2-3 高周波スパッタリングによる Ti-Si 膜の形成と特性

2-3-1 実験方法

Ti-Si 膜の形成は、コスパッタリング法により行った。装置は、前節 SiO₂ 膜形成に用いたのと同じプレナマグネトロン高周波スパッタリング装置を用いた。本装置では、基板ホルダの回転に伴い、Ti および Si ターゲット各々から叩き出された Ti および Si 原子が交互に堆積される。表 2-2 に主なスパッタリング条件を示す。スパッタリング電力については、Ti ターゲットでは 0.75~1 kW とし、Si ターゲットでは 1.1~2.5 kW とした。ターゲットのスパッタリング電力比を変えることによって、Ti/Si 組成比(堆積比)を変化させた。

基板には 100 mm 径の熱酸化を施したシリコンウエハを用いた。試料は、

表2-2 Ti-Si膜形成スパッタリング条件

項目		条件
ターゲット	Ti	純度 スパッタリング電力 サイズ 99.9% 0.75~1kW/ターゲット 5 μ m x 15 μ m x 1/8 μ m
	Si	純度 スパッタリング電力 サイズ 99.999% 1.1~2.5kW/ターゲット 5 μ m x 15 μ m x 1/4 μ m
スパッタリングガス		Ar純度 圧力 流量 99.999% 0.47Pa 100sccm
基板ホルダ		基板温度 基板回転速度 基板-ターゲット最小間隔 室温 10rpm, 2rpm 50mm

熱酸化膜上に直接Ti-Si膜を堆積したものと、熱酸化膜上にポリシリコン膜を堆積した後Ti-Si膜を堆積したもの（ポリサイド膜）とした。Ti-Si膜、ポリシリコン膜の膜厚は各々0.1~0.3 μ mおよび0.3 μ mとした。Ti-Si膜の熱処理には、電気炉加熱およびランプ加熱を用いた。電気炉加熱は、Ar雰囲気中で行い、熱処理時間20分、熱処理温度600~1000℃とした。ランプ加熱には、タングステンハロゲンランプを用いた。加熱処理は、N₂雰囲気中で行い、加熱時間10秒、加熱温度600~1100℃とした。

Ti-Si膜の形成・特性の評価は、(i)堆積速度、(ii)シート抵抗、(iii)X線回折特性、(iv)グレインサイズ、(v)走査電顕観察(SEM)等により行った。グレインサイズは、X線回折ピークの半値幅から次に示すScherrerの式を用いて算出した[28]。

$$B = \frac{K \cdot \lambda}{d_0 \cdot \cos(\theta)} \quad \text{(式2-7)}$$

ここで、Bは測定したX線回折ピークの半値幅を、KはScherrer定数を、 θ は回折角を、 d_0 は結晶のグレインサイズを各々示す。また、シート抵抗の測定には、4端子法を用いた。

2-3-2 結果と考察

(A) TiSi₂の形成

スパッタリングによる膜堆積速度は、前節で示したようにスパッタリング電力に比例する。したがって、TiターゲットとSiターゲットのスパッタリング電力比を変えることによって、Ti/Si堆積比（組成比）を変えることができる。図2-21に、Ti-Si膜堆積速度のSiターゲットスパッタリング電力依存性を示す。Tiターゲットスパッタリング電力は1kWとし、また基板回転速度は10rpmにした。Ti-Si膜堆積速度は、Siターゲットのスパッタリング電力に比例して増大する。この直線の傾きからSiの堆積速度が5.6nm/min·kW、およびy軸との切片からTiの堆積速度がスパッタリング電力1kWにおいて1.6nm/minと求まる。本Ti-Si膜におけるTiとSi各一層の平均的な膜厚は、基板回転速度を10rpmとしたので、例えばSiターゲットのスパッタリング電力を1kWとした時、各々0.16nm、0.56nmと算出できる。なお、オージェ電子分光特性から、Siターゲットのスパッタリング電力を P_{Si} とすると、Ti/Si組成比は $0.8/P_{Si}$ で表せることが示された。

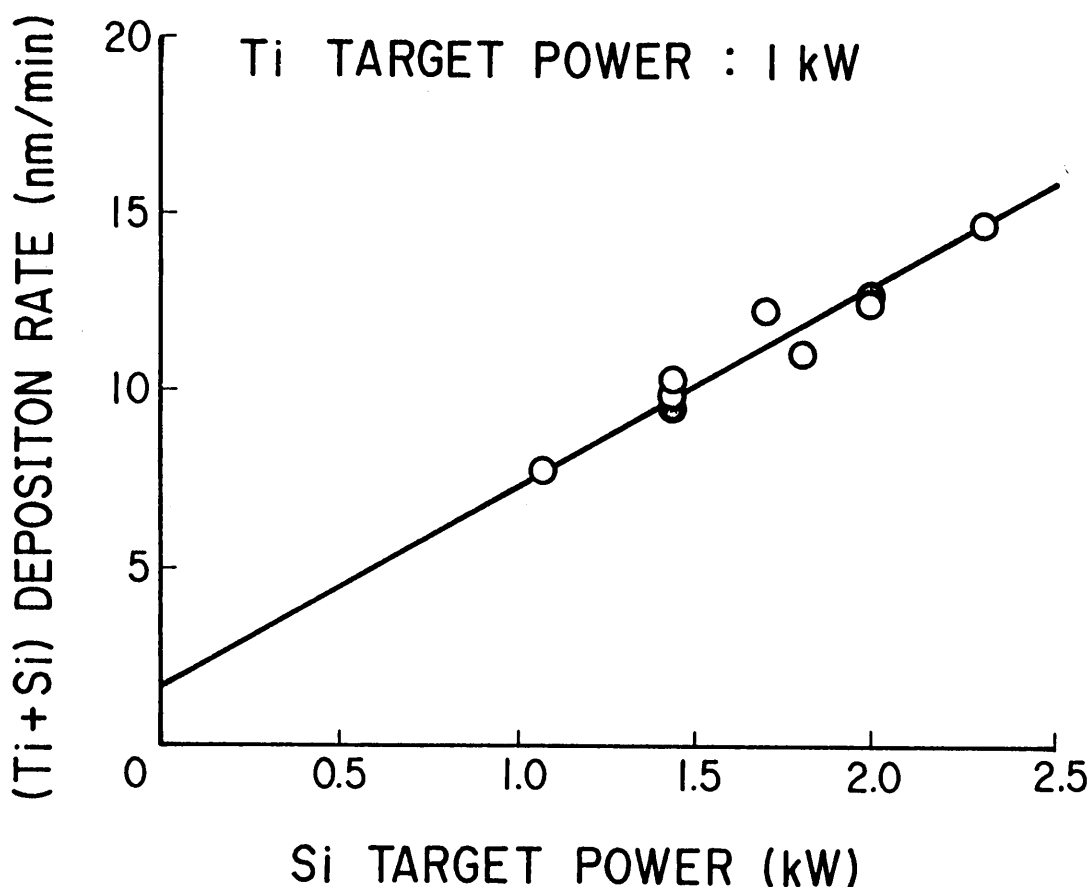


図2-21 Ti-Si膜堆積速度のSiターゲットスパッタリング電力依存性

一般に堆積直後のTi-Si膜は未反応状態であり、チタンシリサイドの形成には熱処理が施される。また、熱処理法、熱処理温度に依存し、種々のチタンシリサイド相が形成されることも知られている[29,30]。図2-22に、Ti-Si膜(膜厚0.1 μ m)に電気炉加熱を施した試料のX線回折特性を示す。Ti/Si組成比は1/2である。(a)は熱酸化膜上にTi-Si膜を直接形成した試料の、(b)は熱酸化膜の上にポリシリコンを堆積してその上にTi-Si膜を形成した試料(ポリサイド膜)の特性である。(a)からTi-Si膜は、堆積直後には結晶性を示さずアモルファス状態であるが、600 $^{\circ}$ Cで斜方晶TiSiとなり、800 $^{\circ}$ C, 1000 $^{\circ}$ Cでは斜方晶TiSiと斜方晶TiSi₂との混晶になることが分かる。一方、(b)に示したポリサイドでは、低温では結晶相が見られず800 $^{\circ}$ C以上の加熱によって斜方晶TiSi₂と立方晶シリコン相が示された。立方晶シリコン相は、主にTi-Si膜下のポリシリコンによると考えられる。

図2-23, 図2-24に、Ti-Si膜(Ti/Si組成比1/9, 膜厚0.3 μ m)およびポリサイド膜(Ti/Si組成比1/1, Ti-Si膜厚0.1 μ m)にランプ加熱を施した試料のX線回折特性を示す。図2-23から、ランプ加熱法によるTi-Si膜では、500 $^{\circ}$ Cで未確認の結晶相(多分準安定TiSi₂) [30]が形成され、800 $^{\circ}$ C以上では図2-22(a)に示した電気炉加熱の試料と同様に斜方晶TiSi₂が極めて優勢になることが分かる。また、立方晶シリコン相の回折ピークが550 $^{\circ}$ C以上で見られ、熱処理温度の増大と共に強くなる。このシリコンの結晶化は、組成比がSi過剰であることによっていると考えられる。一方、ポリサイド膜では、図2-22(b)に示した電気炉加熱の試料と同様に、600 $^{\circ}$ C以下ではいかなる結晶相も示さずアモルファス状態を示し、800 $^{\circ}$ C以上でTiSi₂結晶相のみを示す。なお、本スパッタリング装置によるTi単独の薄膜では、堆積直後においても六方晶Tiの回折ピークが見られる。

先に述べたように、(Ti+Si)膜が熱処理法、熱処理温度に依存し種々の結晶相を持つことは知られている。S.P.Murarka 達は、SiO₂上にポリシリコン膜とTi膜を順に堆積した試料において、熱処理温度の増加と共に、Ti, TiSi, そして最終相のTiSi₂と結晶相が変化することを報告している[29]。また、R.Bayers達は電子線回折パターンから低温での熱処理では準安定TiSi₂が形成されることを報告している[30]。本Ti-Si膜における、熱処理温度の増加に伴うTiSiからTiSi₂への変化、

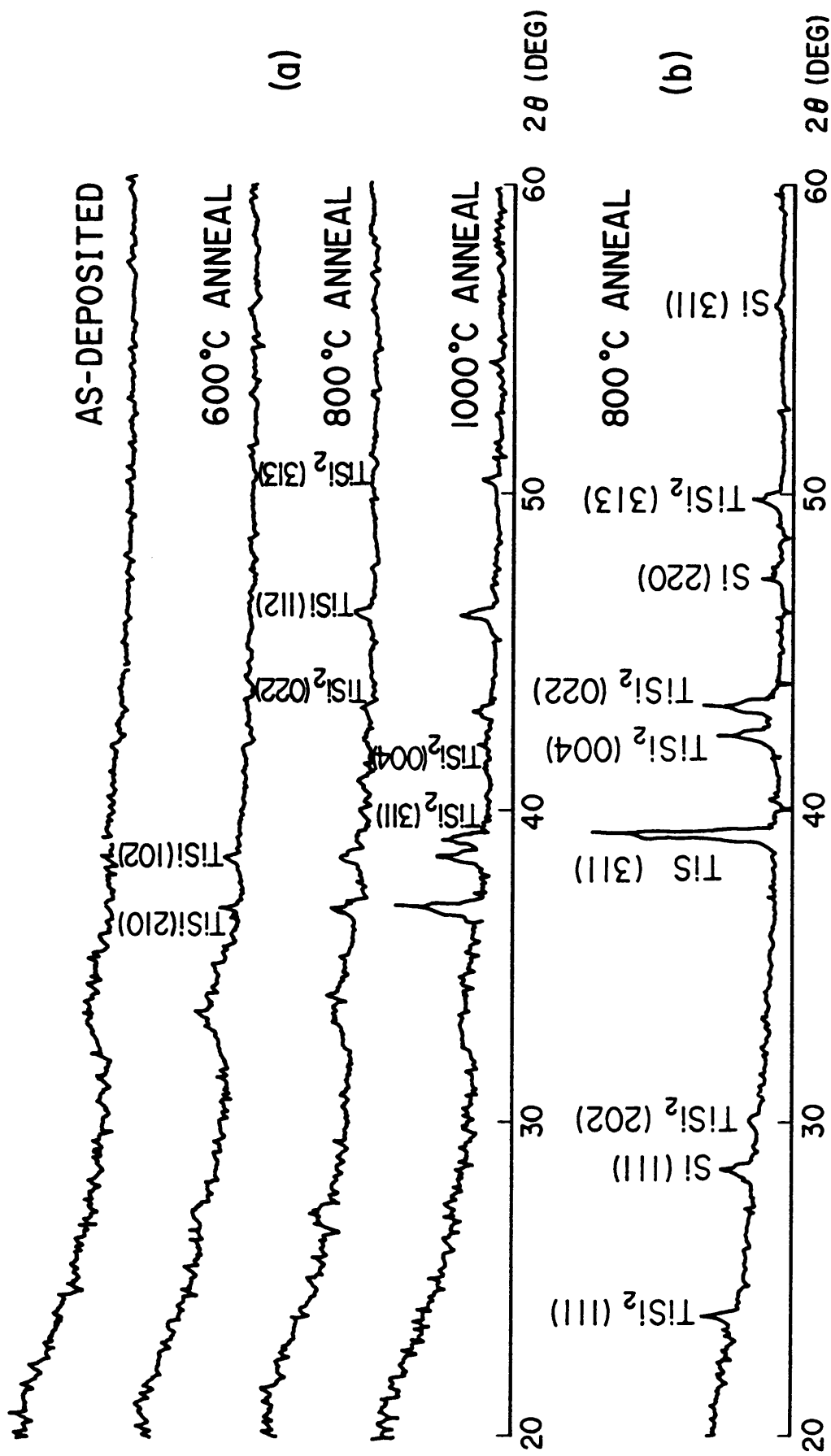


図2-22 電気炉加熱によるTi-Si膜X線回折特性、(a)熱酸化膜上、(b)ポリシリコン上(ポリサイド)

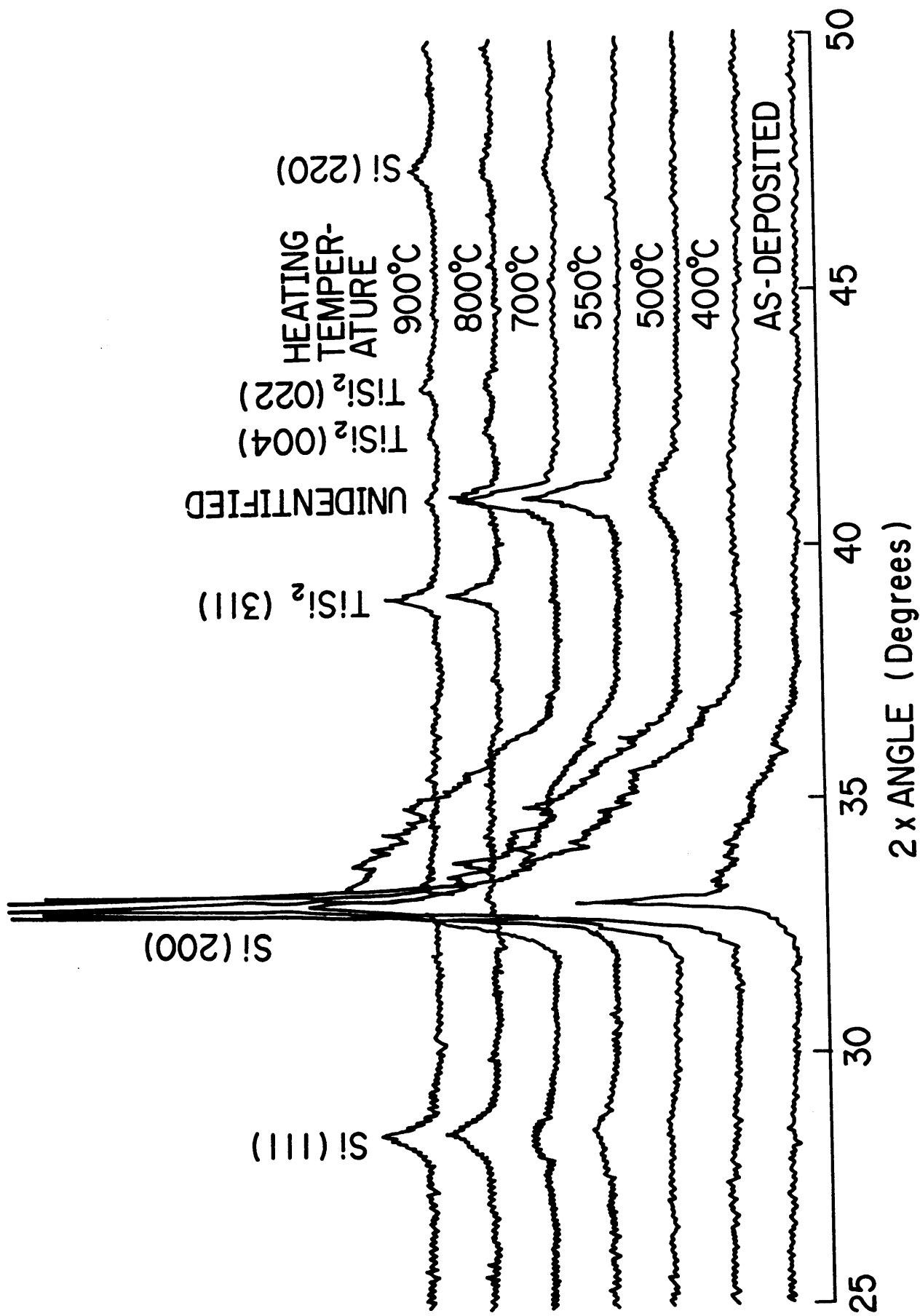


図2-23 ランプ加熱によるTi-Si膜X線回折特性

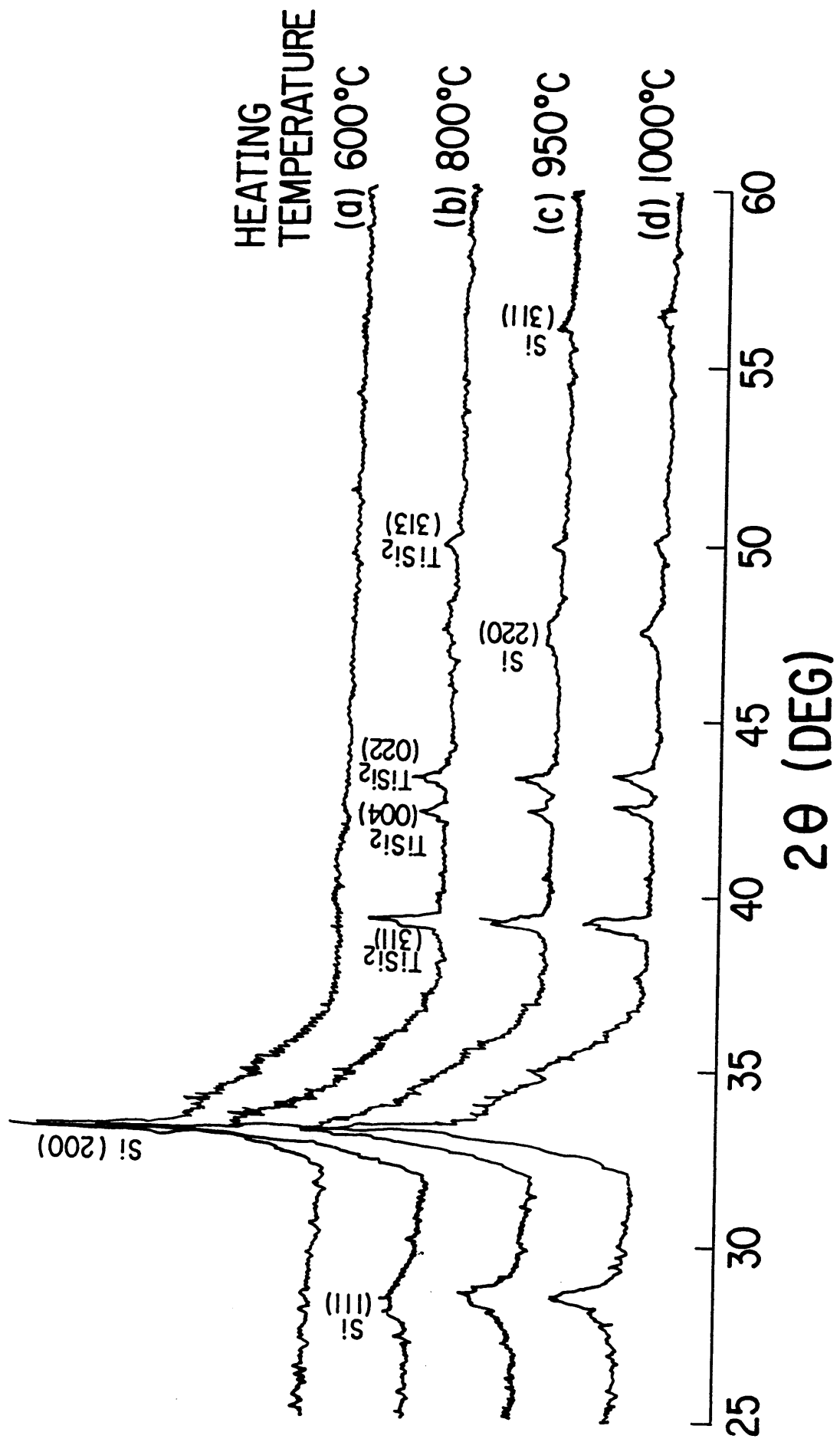


図2-24 ランプ加熱によるTi-Si/poly-Si (ポリサイド) 膜X線回折特性

ランプ加熱による、未確認の結晶相（準安定 $TiSi_2$ ）から $TiSi_2$ への変化は上記報告等と同様の結果と考えられる。なお、堆積直後に Ti 相が観測されないのは、本 $Ti-Si$ 膜の Ti 単層の厚さが λ オーダーと極めて薄いことによると考えられる。

一方、ポリサイド膜では、加熱法に因らず、 $800^\circ C$ 未満の温度ではチタンシリサイドの形成は見られず、 $800^\circ C$ 以上で最終相の $TiSi_2$ 相のみを示す。この要因は明らかではないが、ポリシリコン膜にドーブされた燐原子の作用とも考えられる。ポリサイド構成とすることにより、シリコンMOS素子の電極膜として有効な $TiSi_2$ を一意的に形成できる。

（B）シート抵抗

図2-25に、ポリサイド膜の比抵抗 Si/Ti 堆積比依存性を示す。加熱には電気炉を用いた。堆積直後のポリサイド膜比抵抗は、 Si/Ti 堆積比に比例して増大する。切片から求まる Ti 膜の比抵抗 $55\mu\Omega cm$ は、 Ti バルクの値 $42\mu\Omega cm$ [31]に近い。加熱処理後の比抵抗は、温度の増加と共に著しい減少を示し、 Si/Ti 堆積比によらず一定値を示す。図2-26にポリサイド膜シート抵抗の加熱温度依存性を示す。ポリサイド膜のシート抵抗は、電気炉加熱、ランプ加熱共、 $800^\circ C$ で最小値を取り、 $800^\circ C$ 以上でわずかな増大を示す。 $800^\circ C$ 以上でのシート抵抗増大の度合いは、電気炉加熱の試料でより大きくなる。

図2-25に示したポリサイド膜試料のX線回折特性から求めた結晶グレインサイズを図2-27に示す。計算には $TiSi_2$ （311）および Si （111）ピークを用いた。 $TiSi_2$ のグレインサイズは、温度、加熱法にあまり依存せず、ほぼ $40nm$ を示す。一方、 Si のグレインサイズは温度と共に増大し、電気炉加熱の試料ではランプ加熱の試料に比べて約2倍の値を示す。また、ポリサイド膜に $1000^\circ C$ でランプ加熱および電気炉加熱を施した時のSEM写真を図2-28に示す。電気炉加熱の試料では膜表面が著しい凹凸を示し、膜内にボイドの形成も見られる。一方、ランプ加熱の試料では膜表面の凹凸は比較的小さい。

また図2-29に、シリコン基板の p^+ および n^+ 拡散層上に $Ti-Si$ 膜を堆積した試料の、シリコンウエハ上でのシート抵抗分布を示す。 $Ti-Si$ 膜厚は $0.1\mu m$ 、 Ti/Si 組成比は $1/1$ である。試料には $800^\circ C$ のランプ加熱を施した。 $TiSi_2$ を堆積した拡散層のシート抵抗は、 p^+

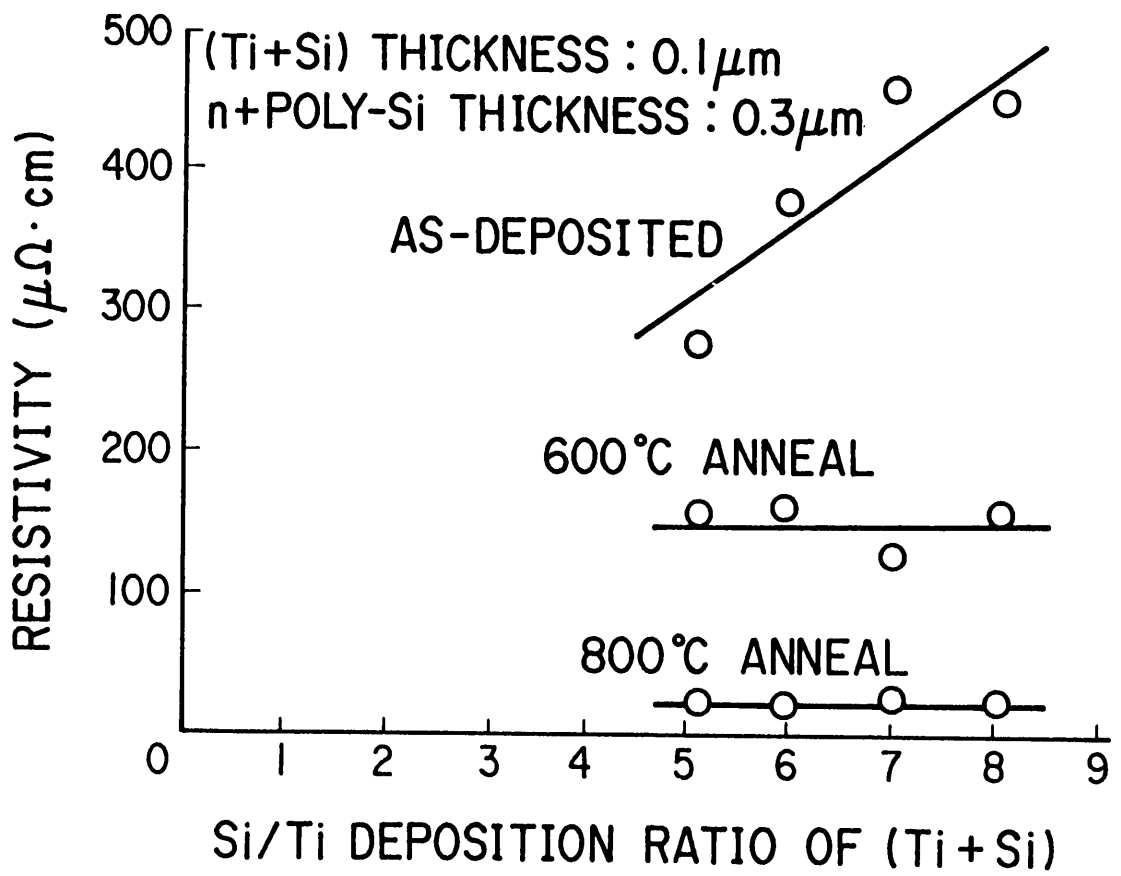


図2-25 ポリサイド膜比抵抗のTi/Si堆積比依存性

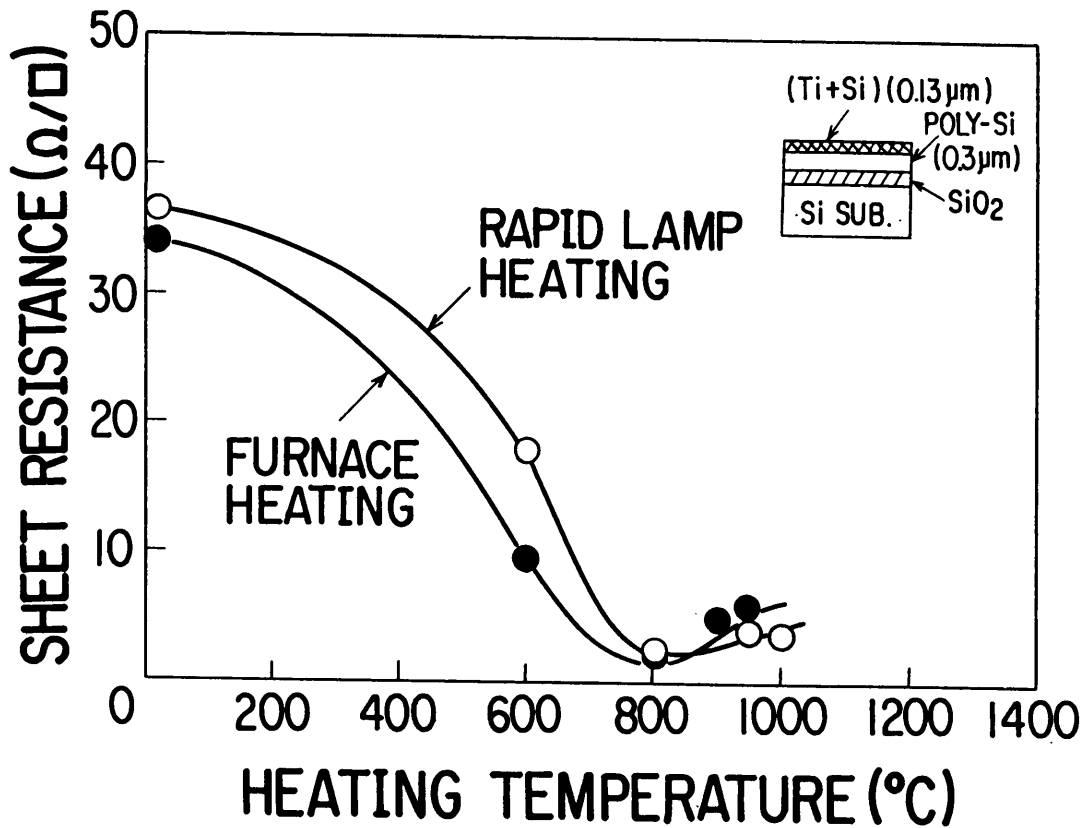


図2-26 ポリサイド膜シート抵抗の熱処理温度依存性

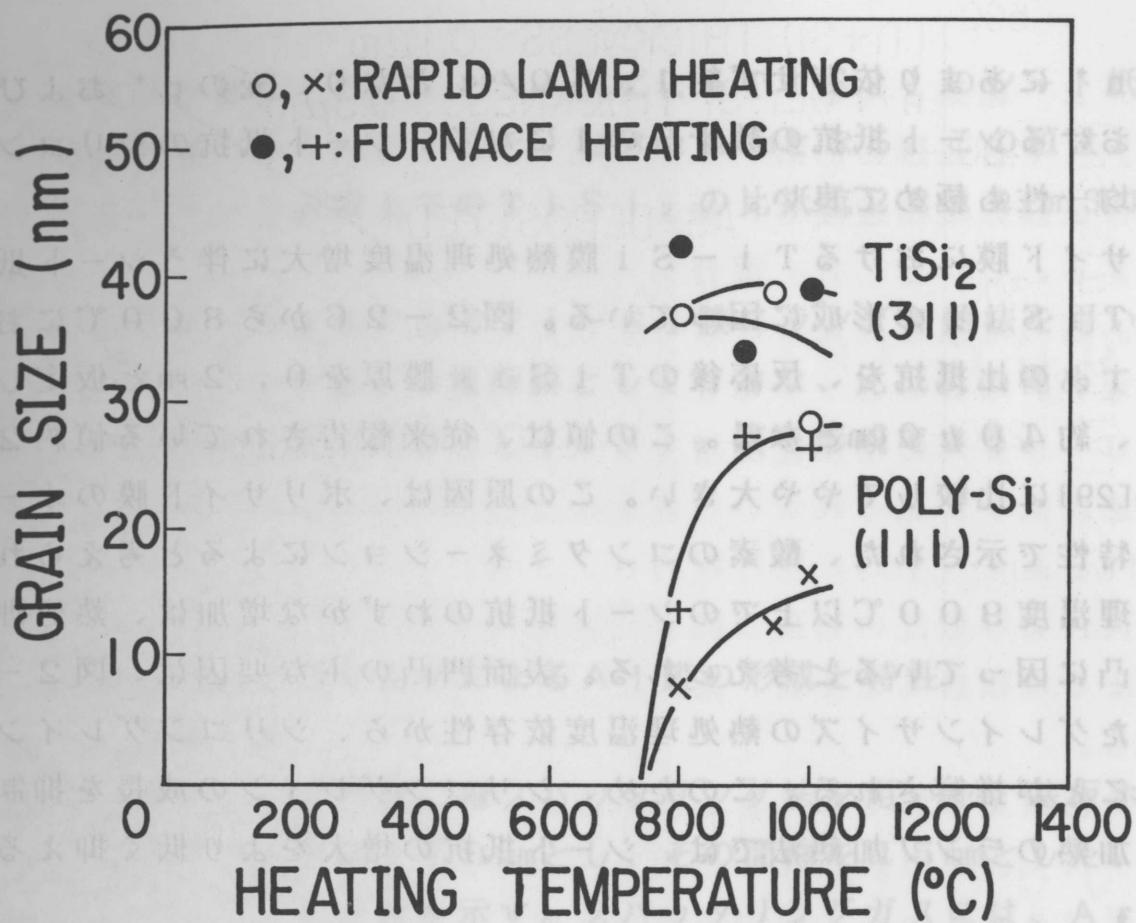
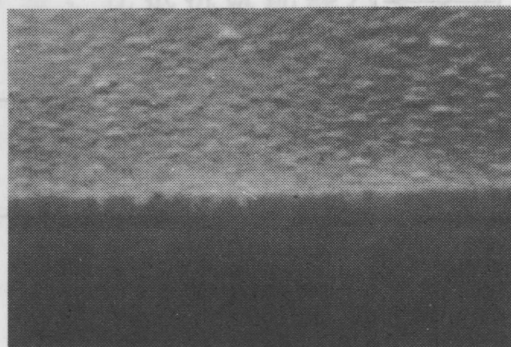


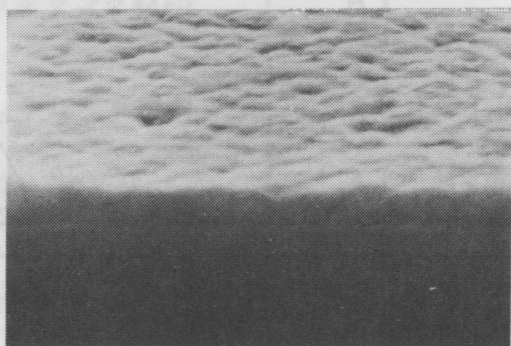
図2-27 結晶グレインサイズの熱処理温度依存性

(a) ランプ加熱



← TiSi₂/POLY-Si
← Si SUB.

(b) 電気炉加熱



← TiSi₂/POLY-Si
← Si SUB.

1 μm

図2-28 1000°Cで熱処理したポリサイド膜の走査電子顕微鏡写真
(a) ランプ加熱, (b) 電気炉加熱

および n^+ にあまり依存せず約 $1.5 \Omega/\text{sq.}$ となり、元の p^+ および n^+ 拡散層におけるシート抵抗の数十分の1になる。シート抵抗のシリコンウエハ上での均一性も極めて良い。

ポリサイド膜における Ti-Si 膜熱処理温度増大に伴うシート抵抗の減少は、 TiSi_2 の形成に因っている。図2-26から 800°C における TiSi_2 の比抵抗を、反応後の TiSi_2 膜厚を $0.2 \mu\text{m}$ と仮定して算出すると、約 $40 \mu\Omega\text{cm}$ となる。この値は、従来報告されている値約 $20 \mu\Omega\text{cm}$ [29] に比較してやや大きい。この原因は、ポリサイド膜のオージェ電子分光特性で示された、酸素のコンタミネーションによると考えられる。

熱処理温度 900°C 以上でのシート抵抗のわずかな増加は、熱処理に伴う表面凹凸に因っていると考えられる。表面凹凸の主な要因は、図2-27に示されたグレインサイズの熱処理温度依存性から、シリコングレインの成長に因ることが推察される。このため、シリコングレインの成長を抑制できる単時間加熱のランプ加熱法では、シート抵抗の増大をより低く抑えることができる。

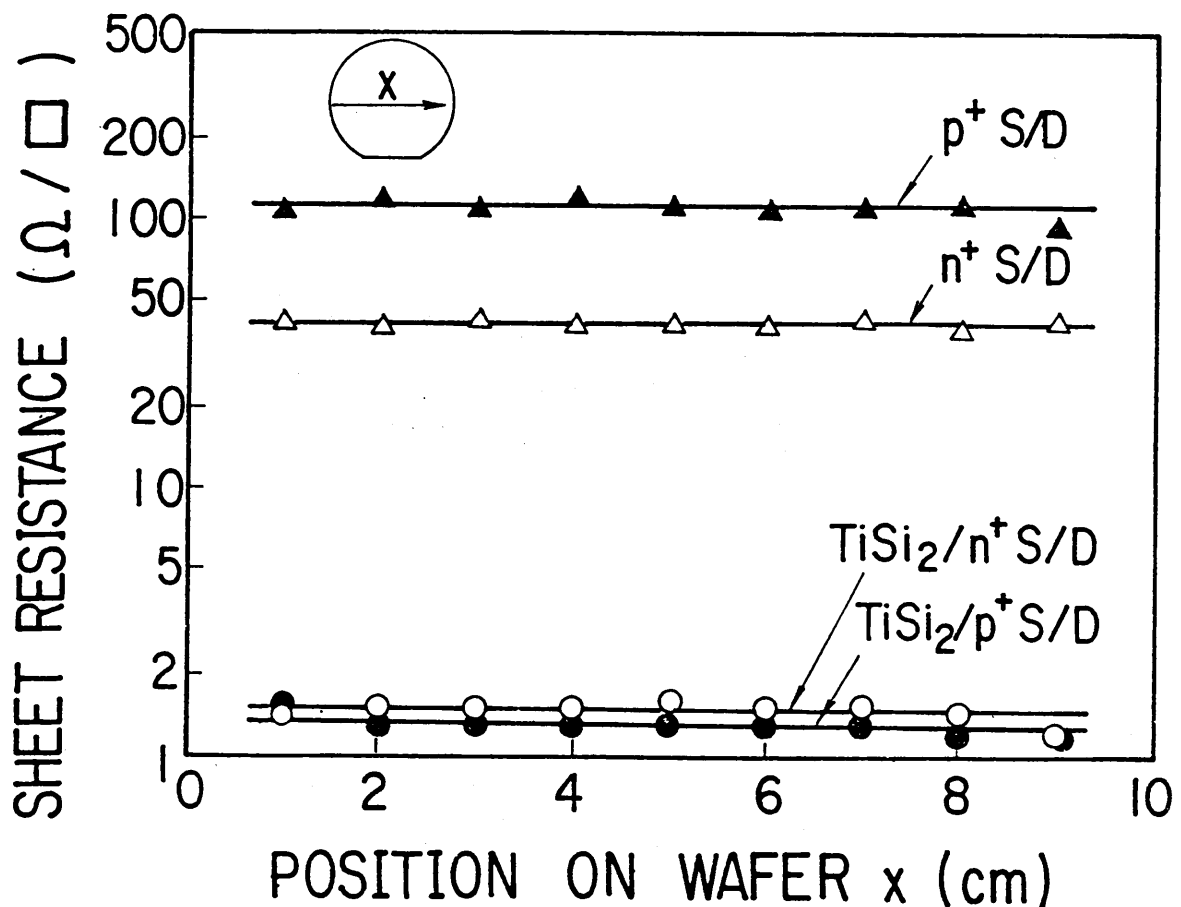


図2-29 p^+ および n^+ 拡散層上 Ti-Si 膜のシート抵抗

また、シリコン基板上的のTi-Si膜によるTiSi₂のシート抵抗は、反応後の膜厚を0.15μmとすると、23μΩcmとなる。この値は、従来報告されているシリコン基板上的でのTiSi₂の比抵抗22μΩcm[32]に極めて近い。

以上、スパッタリング法によるTi-Si膜にランプ加熱法を用いることにより、シリコンMOS素子の電極膜として有効な、比抵抗の極めて小さい(ポリシリコン電極の数十分の一)TiSi₂膜を形成できる。

2-4 高周波スパッタリングによるAl膜の形成と特性

2-4-1 実験方法

Al膜の形成には、高周波二極スパッタリング法を用いた。基板ホルダとターゲットの直径は、共に170mmとし、その間隔を45mmとした。表2-3に主なスパッタリング条件を示す。スパッタリングガスには、ArおよびAr-H₂混合ガスを用いた。

Al膜の形成・特性の評価は、(i)堆積速度、(ii)走査電顕観察(SEM)、(iii)グレインサイズ、(iv)比抵抗等により行った。グレインサイズは、SEM写真より求めた。また、比抵抗は配線ボタンから求めた。

表2-3 Al膜形成スパッタリング条件

項目		条件
ターゲット	スパッタリング材料	Al Al-Si Al-Si-Cu
	スパッタリング電力	200~700W/ターゲット
スパッタリングガス	ガス種 圧力	Ar-H ₂ 混合 2.7Pa
基板ホルダ	基板温度 基板-ターゲット間隔	200~300℃ 45mm

2-4-2 結果と考察

(A) Al合金膜の形成

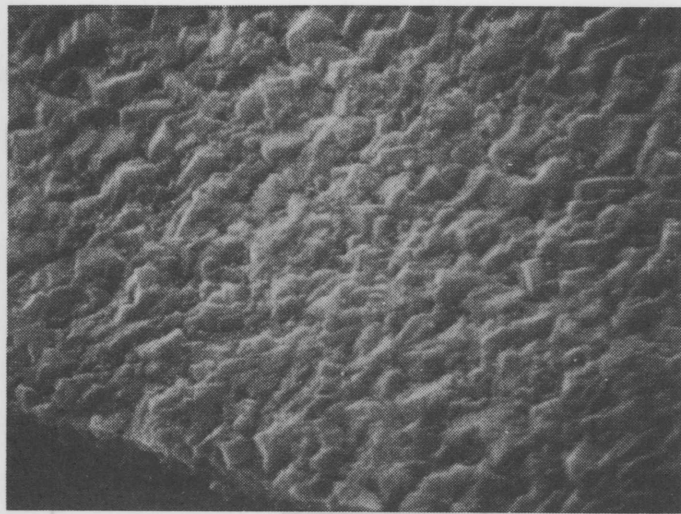
Al合金膜の堆積速度も、他の材料と同様にスパッタリング電力に比例して増大する。しかし、 H_2 混合スパッタリングにおいては、2-2節の SiO_2 膜の堆積と異なり、30%程度の混合においても堆積速度の低下は示されない。なお、SiやCuを添加したAl合金膜では、純Al膜に比較して30~90%の堆積速度増大を示した。 H_2 混合スパッタリングにおいて堆積速度低下が見られないのは、本二極スパッタリングではガス圧が2.7Paと高く（平均自由行程約0.3cm）、スパッタリング原子のターゲットへの再付着等散乱の効果が顕著なためと考えられる。また、SiやCuの添加による堆積速度増加は、添加によりスパッタリング率が増大するためと思われる。

Alは低融点金属であるため膜堆積時グレインの成長を伴い、一般にスパッタリングAl膜では表面に凹凸が見られる。図2-30に、スパッタリング電力の異なるAl-Si膜の表面SEM写真を示す。Al-Si膜表面の凹凸は、スパッタリング電力の増加に依存して顕著になる。また、膜表面の凹凸はターゲット材料に依存した変化も示し、Al-Si-Cu膜では小さく抑えられる。SEM写真から求めたグレインサイズのスパッタリング電力依存性を図2-31に示す。グレインサイズは、スパッタリング電力に比例した変化を示し、かつAl-Si-Cu膜では小さな値となっている。また、450℃の熱処理後において、Al膜およびAl-Si膜ではヒルロックの発生が見られるが、Al-Si-Cu膜では顕著な変化は見られない。

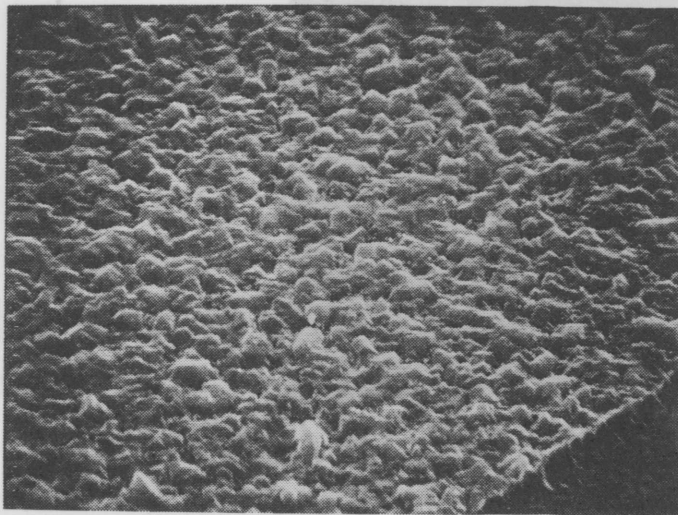
Al膜表面の凹凸は、主にはグレイン成長に依存している。スパッタリング電力に伴うグレインの成長は、スパッタリング電力増加によって基板温度が上昇するためである。また、Al膜にCuを添加することによって、Al配線のエレクトロマイグレーションが抑えられることが知られている[33]。Al-Si-Cu膜におけるグレイン成長の抑制は同様の機構に因っていると考えられる。Al-Si-Cu膜は、表面凹凸を抑制できるためシリコンMOS素子の配線材として有効である。

(B) Al合金配線の特性

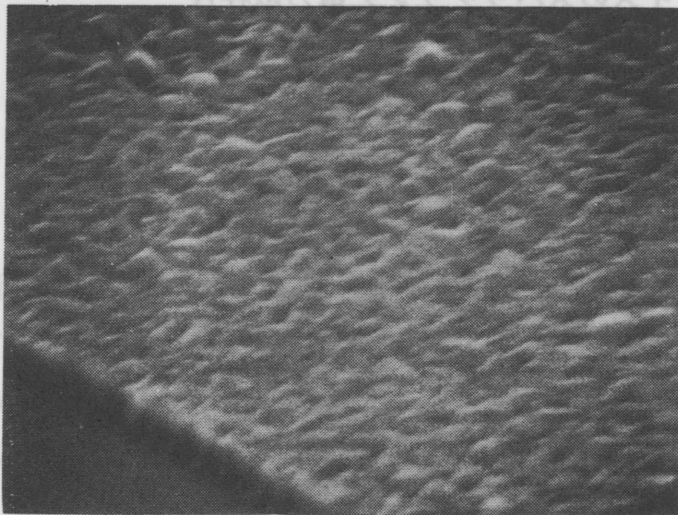
本スパッタリング法によるAl配線の抵抗率は、スパッタリング電力、配線材料の種類に因らず4~5 $\mu\Omega$ cmになった。この値は、バルクの値2.7



(a) 500 W



(b) 360 W



(c) 220 W

図2-30 Al-Si表面の走査電子顕微鏡写真, (a) 500 W, (b) 360 W, (c) 220 W

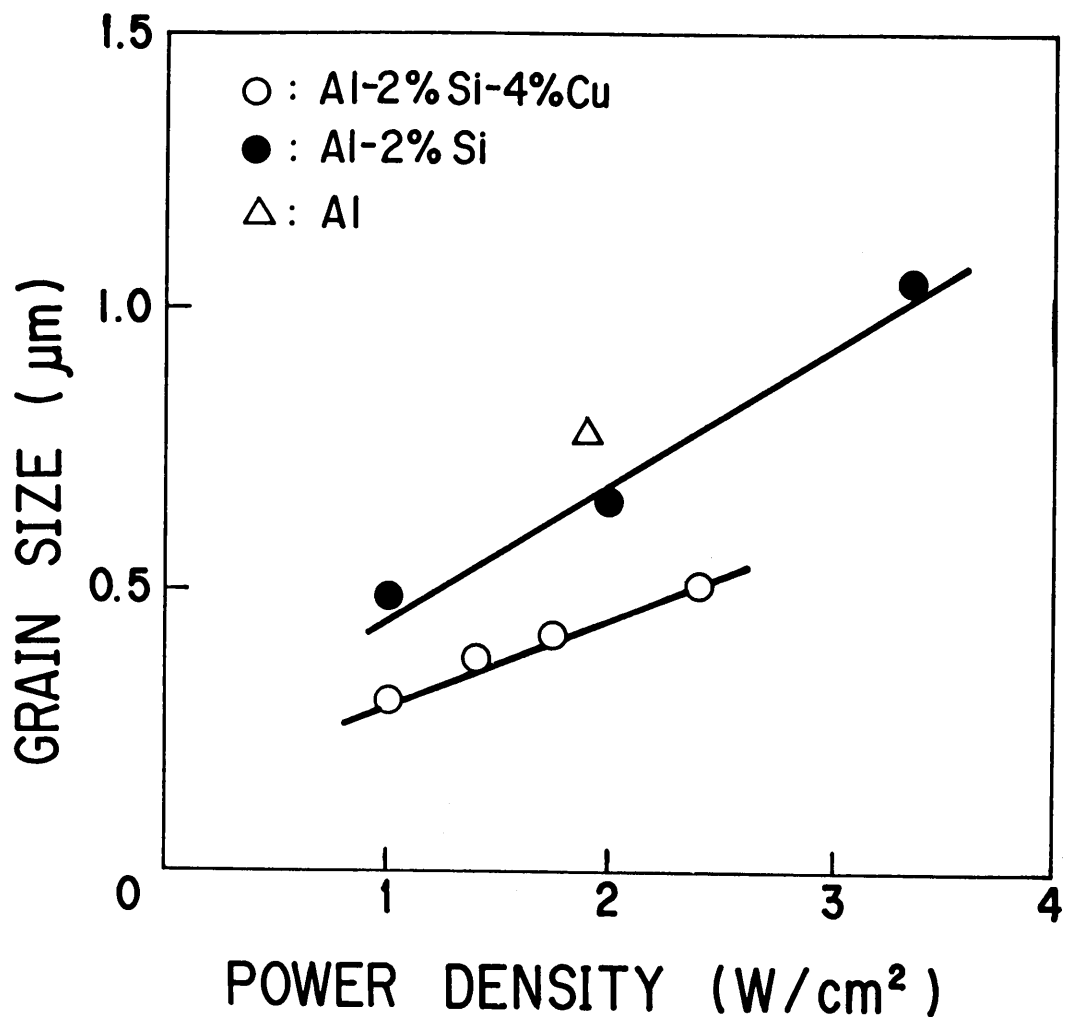


図2-31 グレインサイズのスパッタリング電力依存性

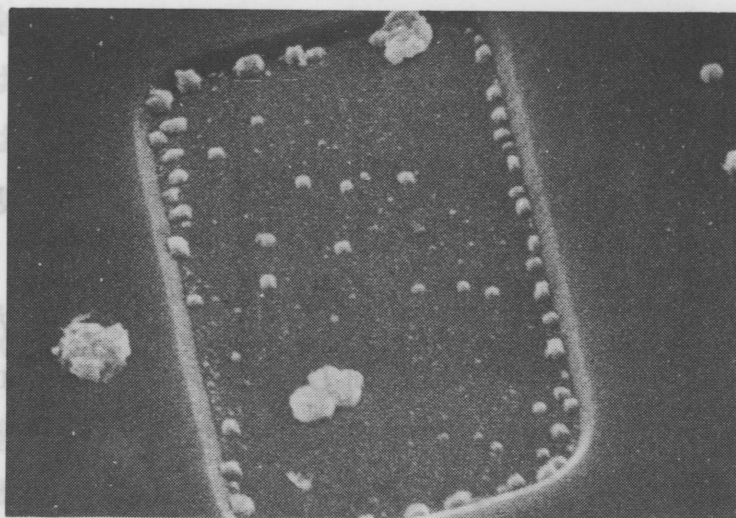
$\mu\Omega\text{cm}$ に比較してやや大きい。本実験の装置では、到達真空度が 10^{-3}Pa 台とやや悪く、残留ガスの影響を受けたものと思われる。

スパッタリング法による配線ではステップカバレジは良好で、段差部の膜厚は配線平坦部の80以上%を示した。また、段差を越える配線の通電試験($1 \times 10^6 \text{ A/cm}^2$, 200°C)においても、スパッタリングAl膜の抵抗変化は小さく、電子ビーム蒸着法によるAl膜に比較して、断線までの時間が2倍以上の150時間を示した。さらに、Al-Si-Cu膜では、300時間の通電試験においてもほとんど抵抗の変化は示さない。

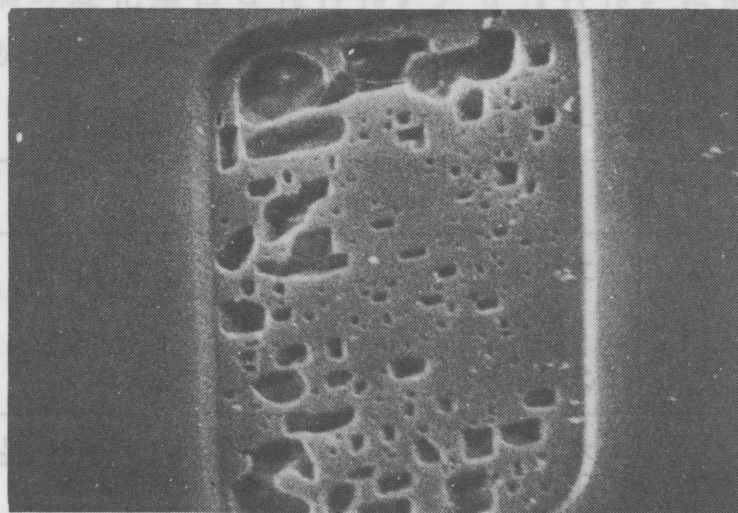
スパッタリング膜での、通電試験における断線までの時間の伸びは、ステップカバレジの良好さと膜組織の緻密さおよびグレイン径の均一性によると考えられる。Cu添加による配線寿命の飛躍的伸びは、すでに報告されているが[33]、Cuの添加によりグレインの成長が抑えられ、一様性に優れた膜組

織を形成できるためと考えられる。

450℃熱処理後のシリコン基板とのコンタクト部のAl合金膜除去後のSEM写真を図2-32に示す。(a)はAl-Si-Cu膜、(b)はAl膜の結果である。Al-Si-Cu膜の試料では、偏析したSi粒が見られる。一方、Al膜ではシリコン基板に多数の窪みを生じる。



(a) Al-Si-Cu膜



(b) 純Al膜

5 μm

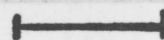


図2-32 Al合金膜除去後のシリコン基板表面走査電子顕微鏡写真
(a) Al-Si-Cu膜, (b) 純Al膜

数百℃におけるAlへのSiの固溶限は約2%であることは良く知られている[34]。このためAl膜では、熱処理中にシリコン基板中のSi原子がAl膜中へ固溶されシリコン基板に窪みを生じる。一方、Al-Si-Cu膜では固溶限近くのSiを前もって添加しているため、シリコン基板からAl膜へのSi原子の固溶が阻止できる。

以上、スパッタリングAl-Si-Cu膜は、シリコンMOS素子の配線材として良好な特性を供えている。

2-5 高周波スパッタリングによる積層薄膜の形成と特性

2-5-1 実験方法

積層薄膜の製作は、ユスパッタリング法により行った。装置は、2-2節のSiO₂膜の形成に用いたのと同じブレナマグネトロン高周波スパッタリング装置を用いた。基板ホルダの回転に伴い、2種のターゲットから各々叩き出された2種のスパッタリング粒子が交互に基板に堆積される。各層の膜厚は、スパッタリング電力と基板回転速度によって制御できる。表2-4に主なスパッタリング条件を示す。

表2-4 積層薄膜形成スパッタリング条件

項目		条件
ターゲット	スパッタリング材料	Si (99.999%) SiO ₂ (99.99%) Ti (99.94%)
	スパッタリング電力	2 kW
スパッタリングガス	ガス種 圧力 流量	Ar-H ₂ 混合 0.4~2.7 Pa 50~100 sccm
基板ホルダ	基板温度 基板回転速度	室温 0.5~11 rpm

試料には、Ti/SiO₂ および Si/SiO₂ の2種類の積層薄膜を製作した。Ti/SiO₂ 積層薄膜の形成においては、スパッタリング時間を一定にし、基板回転速度を0.5~11rpmの範囲で変化させ、周期数10~222, 周期長d(=膜厚/周期数)1.5~38.0nmの試料を作成した。また、Si/SiO₂ 積層薄膜の形成においては、積層薄膜の周期数を約40と一定にし、基板回転速度を1~5.5rpmの範囲で変化させ、周期長d(=膜厚/周期数)3.2~14.8nmの試料を作製した。なお、一部の試料には熱処理を施した。

積層構造の評価には、X線回折法およびオージェ電子分光法を用いた。X線回折の小角領域では、超格子の周期長dに対応したブラッグピークを生じ、周期長dは回折角2θを測定することにより次式から求まる[35]。

$$d = \frac{n\lambda}{2 \cdot \sin(\theta)} \dots\dots\dots (式2-8)$$

ここで、λはX線の波長、nは正の整数を表す。

また、オージェ電子分光法では、イオン銃を併用することにより深さ方向分布を求めることができるので、Ti, Si, O各スペクトル強度の深さ方向特性を調べ、この値からも周期長dを評価した。

薄膜Tiの結晶性評価も、Ti結晶の回折線およびそれから求めたグレインサイズd_G, 面間隔の変化量Δd_{lattice}/d_{lattice}により行った。d_Gは(式2-7)から、Δd_{lattice}/d_{lattice}は次式から求めた[36]。

$$\frac{\Delta d_{lattice}}{d_{lattice}} = \frac{-\Delta(2\theta)}{2 \cdot \tan(\theta)} \dots\dots\dots (式2-9)$$

ここで、Δ(2θ)は回折角の変化量を示す。

2-5-2 結果と考察

(A) Ti/SiO₂ 積層薄膜

小角領域 X 線回折特性は、1 ~ 20 nm 厚の積層薄膜の評価手段として有効である。図 2-33 に、小角領域 X 線回折特性の周期長依存性を示す。表記 P1 ~ P5 は、各々 1 ~ 5 次の回折ピークを示す。周期長 3.0 nm, 9.5 nm および 21.1 nm の試料では、積層構造であることが示される。一方、周期長 1.5 nm の試料では積層構造にはなっていない。積層構造であることが示された周期長 3.0 nm の試料では、堆積速度比から Ti, SiO₂ 各々の膜厚が 1.8 nm および 1.2 nm であると推察される。すなわち、スパッタリング法によって Ti (1.8 nm) / SiO₂ (1.2 nm) の積層薄膜の形成が可能であることが示される。また、周期長 38.0 nm の試料で回折ピークが見られないのは、オージェ電子分光の深さ方向特性では周期性が見られることから、周期長が長いいため高次の回折ピークを観測しなければならず、回折信号強度が低下することによると考えられる。

図 2-34 に、周期長 21.1 nm の試料におけるオージェ電子分光深さ方向特性を示す。積層薄膜において期待されるように、Ti ピークと Si, O ピークとは位相が 180 度異なっている。また、周期長 9.5 nm および 38.0 nm の試料においても同様の周期性が確認できた。一方、周期長 3.0 nm の試料では明瞭な周期性は示されない。これは、オージェ電子分光測定における深さ方向の分解能が 2 ~ 3 nm であるためと考えられる。

図 2-35 に、小角領域 X 線回折特性のスパッタリングガス種による依存性を示す。(a) は純 Ar 中でスパッタリングした試料の、(b) は 50% Ar - 50% H₂ 中でスパッタリングした試料の結果を示す。表記 P2 ~ P6, P2' ~ P6' は各々 400 °C, 10 分の熱処理前後の回折ピークを示す。両試料共強い回折ピークを示し、熱処理後におけるピーク P2' ~ P6' の方が熱処理前におけるピーク P2 ~ P6 に比較して強い。50% Ar - 50% H₂ 中でスパッタリングした試料ではこの傾向が顕著である。

また、回折ピーク位置は熱処理によって高角度側に移動する。回折ピーク位置とそれから算出した周期長を表 2-5 に示す。周期長は熱処理によって減少する。50% Ar - 50% H₂ 中でスパッタリングした試料では減少量が大きく、熱処理後における値は熱処理前の値に比較して 20% の減少になる。また、各々のピーク位置から算出した周期長のばらつきは熱処理によって減少を示す。

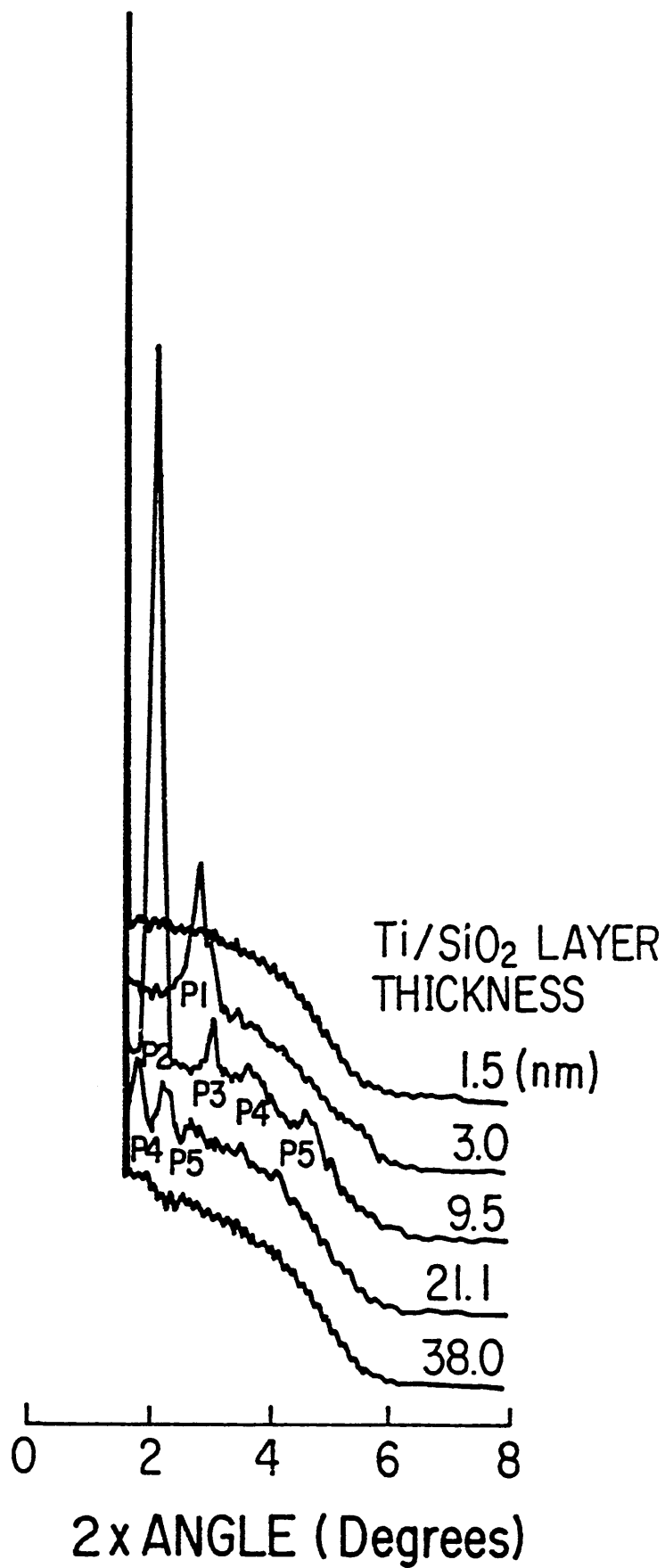


図2-33 Ti/SiO₂ 積層薄膜小角領域X線回折特性の周期長依存性

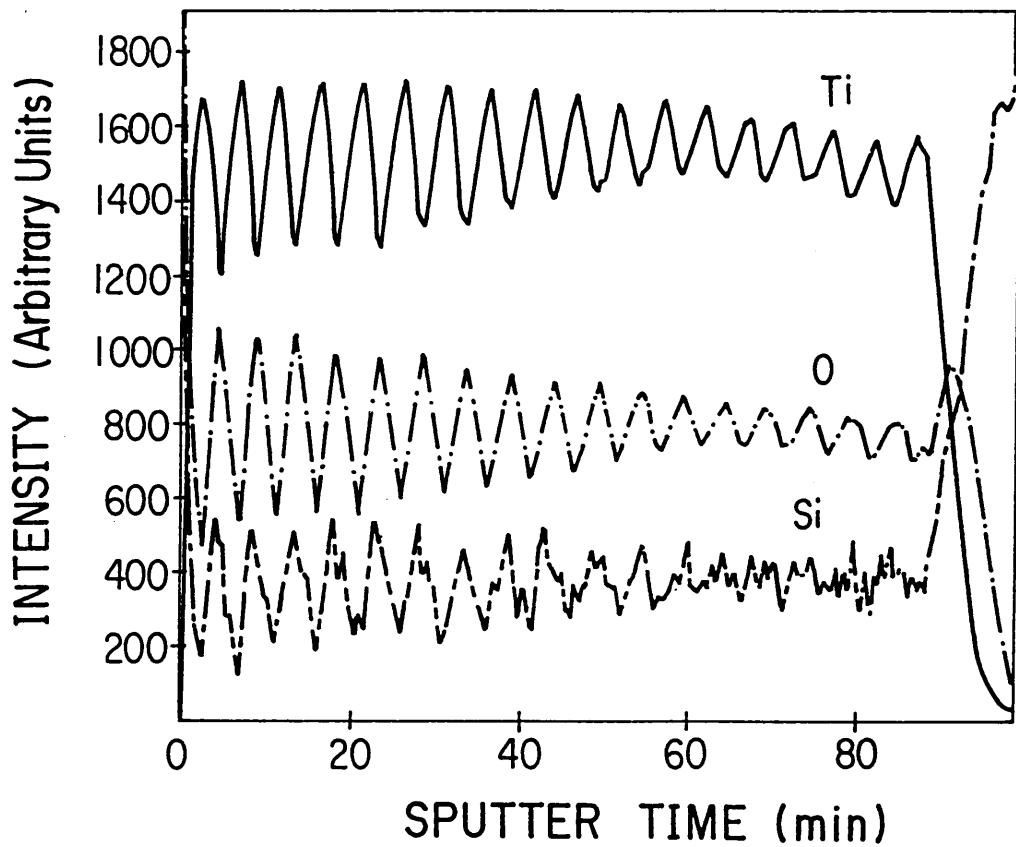


図2-34 Ti/SiO₂ 積層薄膜のオージェ電子分光深さ方向特性,
周期長: 21.1 nm

表2-5 回折ピーク位置と周期長

項目	熱処理前					熱処理後				
	P2	P3	P4	P5	P6	P2'	P3'	P4'	P5'	P6'
100%Ar										
2θ (deg.)	2.23	3.26	4.34	5.47	6.63	2.39	3.51	4.64	5.82	6.97
d/n (nm)	3.96	2.71	2.03	1.61	1.33	3.69	2.52	1.90	1.52	1.27
d (nm)	7.9	8.1	8.1	8.1	8.0	7.4	7.5	7.6	7.6	7.6
50%Ar-50%H ₂										
2θ (deg.)	2.19	3.29	4.00	5.00	—	2.73	4.05	5.39	6.74	—
d/n (nm)	4.03	2.68	2.21	1.77	—	3.23	2.18	1.64	1.31	—
d (nm)	8.1	8.0	8.8	8.8	—	6.5	6.5	6.6	6.5	—

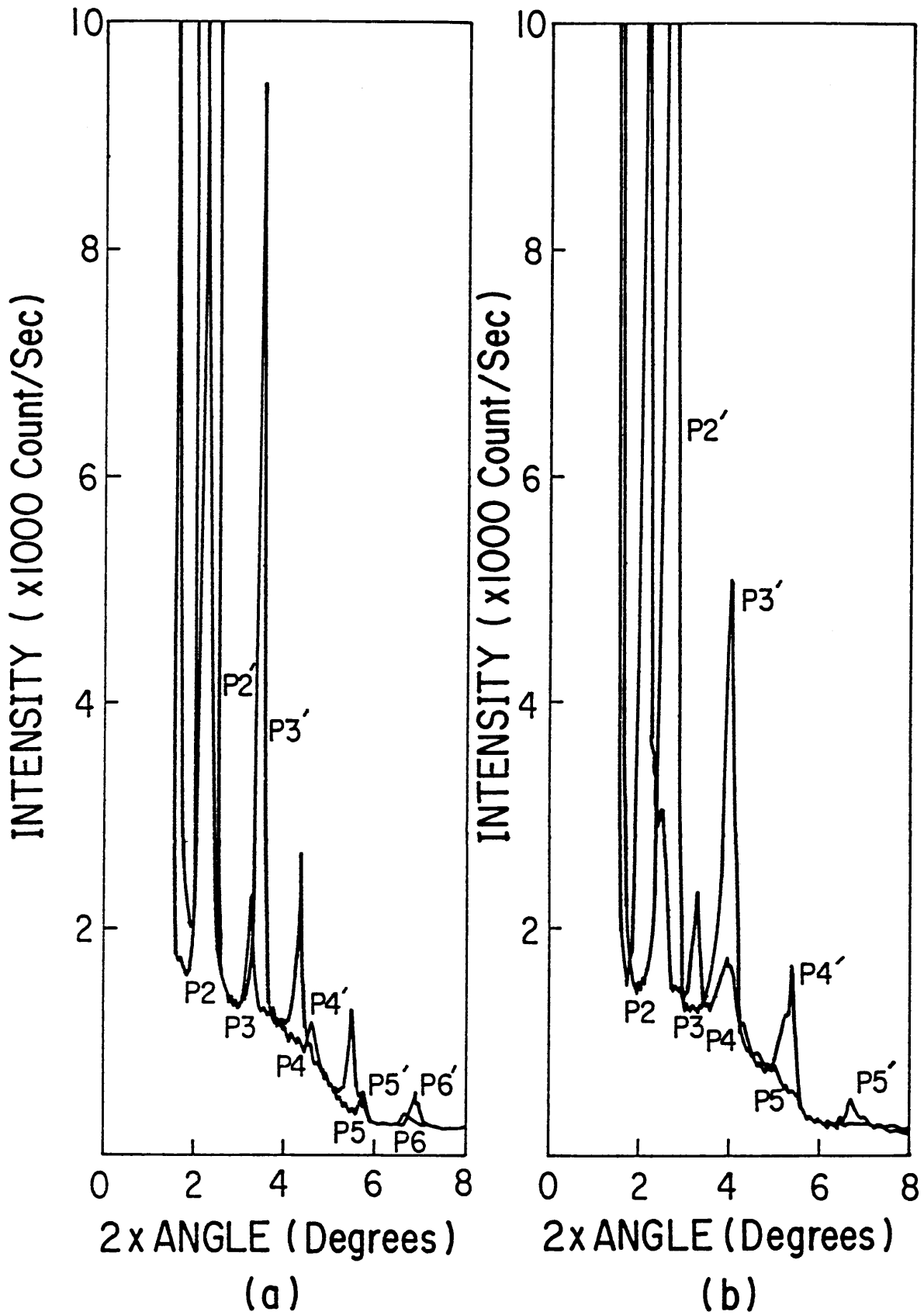


図2-35 Ti/SiO₂ 積層薄膜小角領域X線回折特性のスパッタリングガス種依存性, (a) 純Ar, (b) 50%Ar-50%H₂

Ti/SiO₂ 積層薄膜のX線回折特性を図3-36に示す。(a)はTi膜(膜厚270nm)の、(b)、(c)、(d)、(e)は周期長38.0, 21.1, 9.5, 3.0nmのTi/SiO₂ 積層薄膜の結果を示す。Ti膜および周期長9.5nm以上のTi/SiO₂ 積層薄膜では、六方晶Tiの回折ピークが見られる。なお、立方晶Siの回折ピークはシリコン基板による。Ti/SiO₂ 積層薄膜では、Ti(010)ピーク強度が最も強く、ASTMカードに比較して相対強度比が著しく異なり、強い配向性を示すことが分かる。周期長が小さくなるのに伴い、Ti(010)のピーク強度は減少し、ピーク位置は低角度側にシフトする。

X線回折ピークの半値幅から求めたTiグレインサイズは、周期長の減少と共に減少する。しかし、TiグレインサイズとTi単層の膜厚との比は、周期長の減少に伴い増加し、周期長38.0nm, 21.1nm, 9.5nmで各々51%, 60%, 67%となる。また、X線回折ピーク位置の移動は、格子歪みによって起こることは知られている[37]。回折ピーク位置の移動量から求めた面間隔の変化量 $\Delta d_{\text{lattice}} / d_{\text{lattice}}$ を図2-37に示す。面間隔の変化量は、周期長の減少に伴い急激な増大を示す。

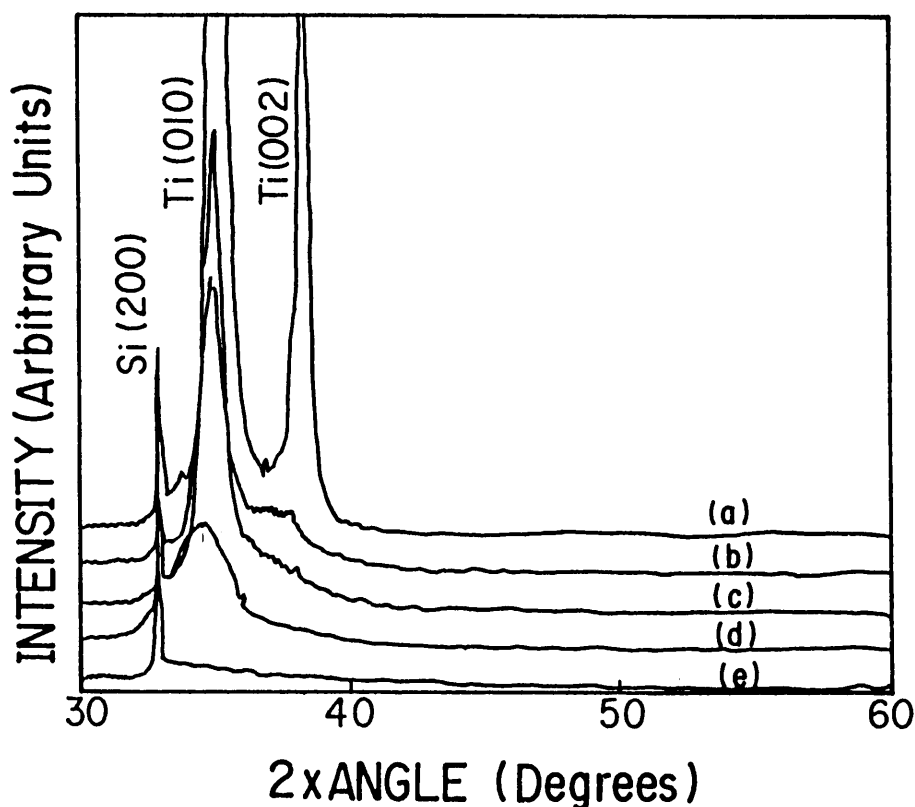


図2-36 Ti/SiO₂ 積層薄膜のX線回折特性, (a) Ti膜(270nm厚), (b) 周期長38.0nm, (c) 周期長21.1nm, (d) 周期長9.5nm, (e) 周期長3.0nm

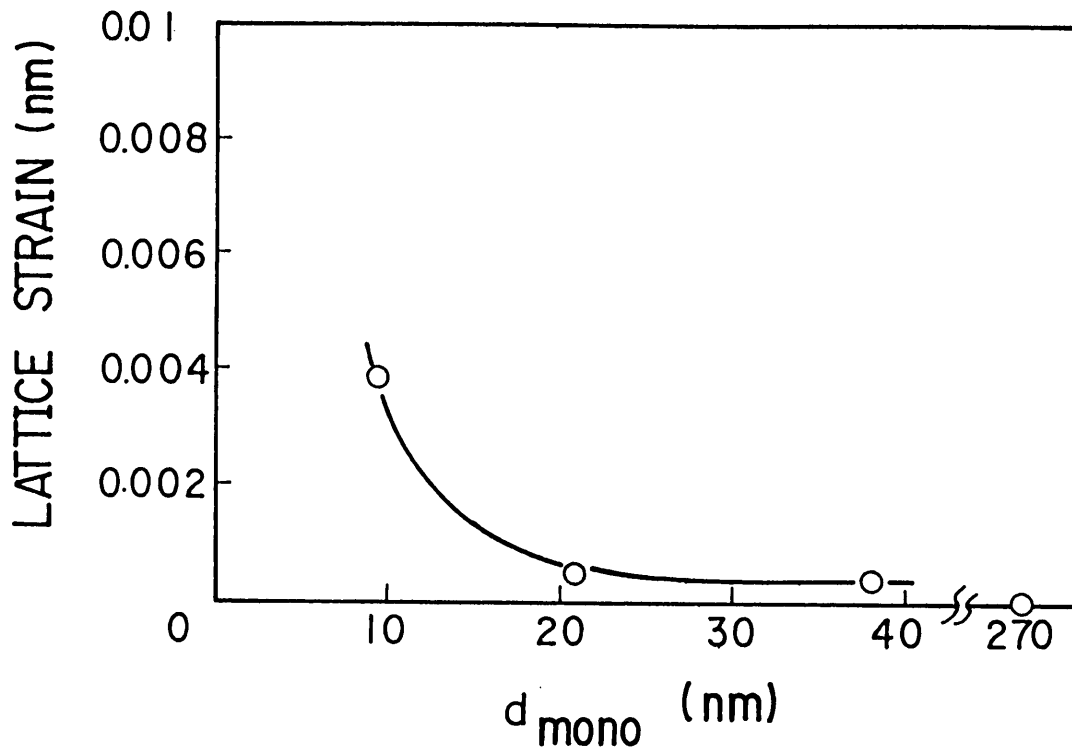


図2-37 Ti/SiO₂ 積層薄膜におけるTi結晶の面間隔変化量

X線回折特性のH₂混合量に伴う変化を図2-38に示す。熱処理前(A)においては、H₂を混合した試料ではTi(010)、純Arの試料ではTi(002)が最強ピークになる。一方、熱処理後(B)には、H₂を混合した試料でもTi(002)ピークが見られる。純Arの試料では熱処理による変化は小さい。これらの結果は、Ti/SiO₂積層薄膜中のTi薄膜は、スパッタリングガスへのH₂混合や熱処理によって結晶の配向を変えることを示している。

図2-39に、面間隔の変化量 $\Delta d_{\text{lattice}} / d_{\text{lattice}}$ のスパッタリングガスにおけるH₂混合割合依存性を示す。熱処理前の試料では面間隔変化量はH₂混合割合に依存せず一定になる。一方、熱処理後では面間隔変化量はH₂混合割合の増加に伴い減少を示す。

Ar-H₂混合スパッタリングで形成したTi/SiO₂積層薄膜のTi薄膜は、純Arによる試料と異なる配向性を示す。そして、H₂混合による試料に熱処理を施すとその配向性が純Arによる試料の結果に近づく。また、H₂混合による試料の面間隔の変化量も熱処理によって減少を示す。これら

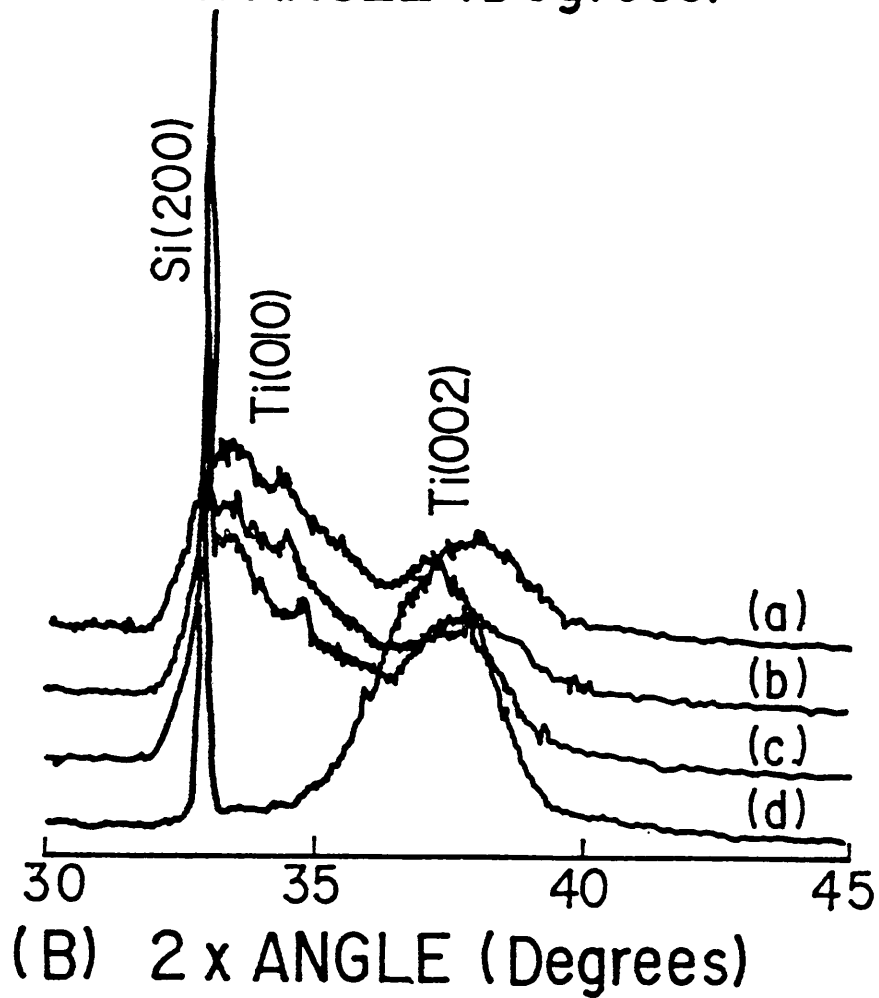
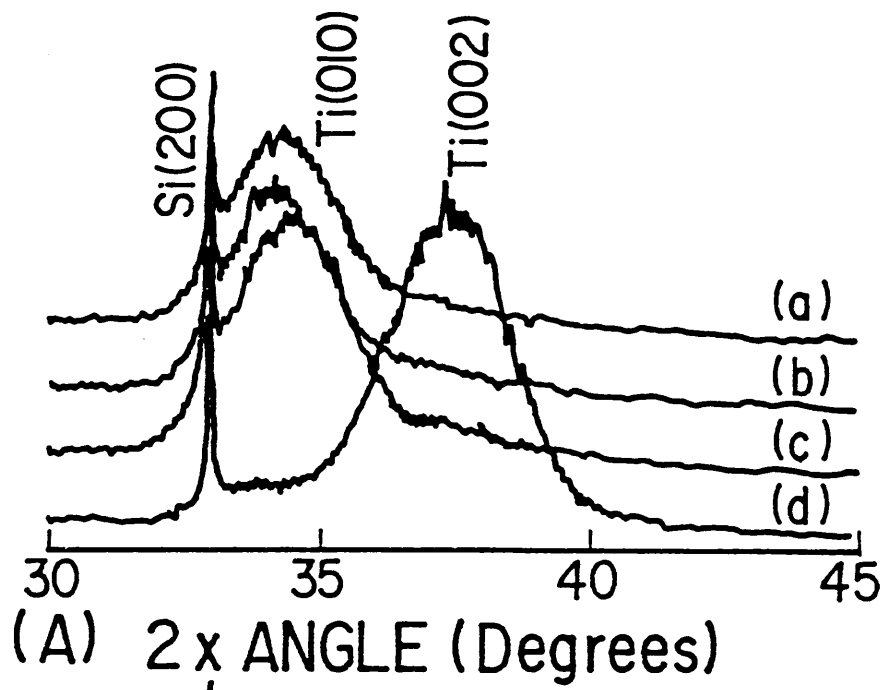


図2-38 Ti/SiO₂ 積層薄膜X線回折特性のH₂ 混合量依存性, (A) 堆積直後 (B) 熱処理後

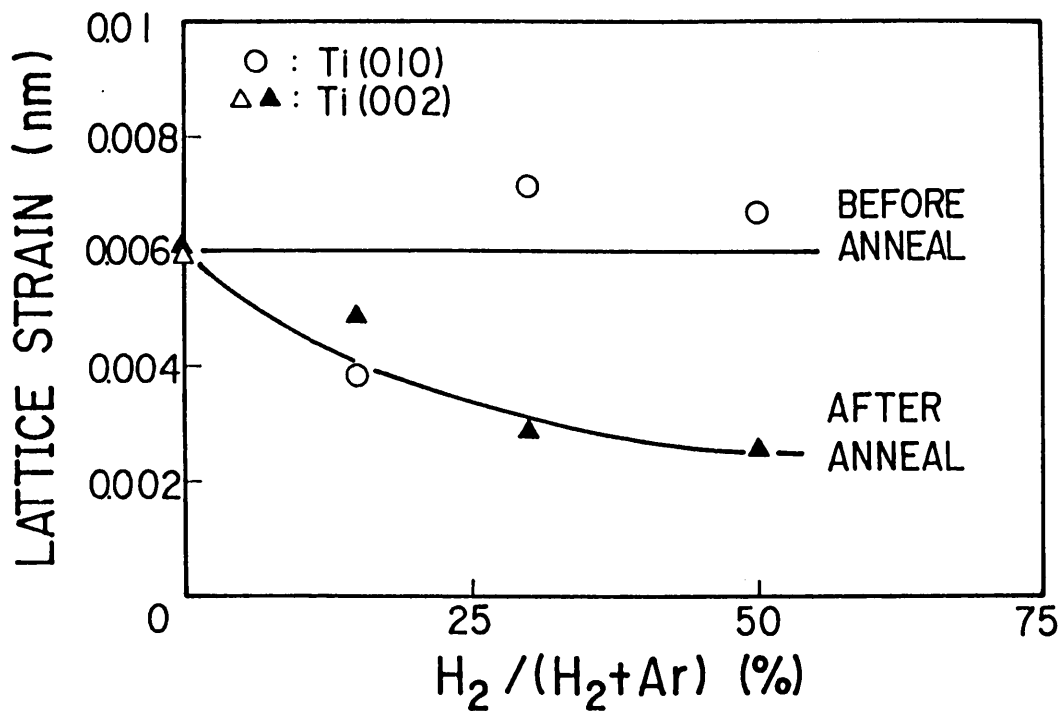


図2-39 Ti/SiO₂ 積層薄膜におけるTi結晶面間隔変化量のH₂ 混合量依存性

の結果から、H₂ 混合による試料では上記結晶配向の変化が周期長を減少させ、Ti/SiO₂ 積層薄膜の周期性を高めていると考えられる。

(B) Si/SiO₂ 積層薄膜

Si/SiO₂ 積層薄膜における小角領域X線回折特性の基板回転速度依存性を図2-40に示す。各回折ピークから求めた周期長は、膜厚/周期数による値と良い一致を示す。基板回転速度5.5rpmの試料では、周期長約3.0nmの人工周期構造積層薄膜が実現されている。

また、図2-41に小角X線回折特性のスputteringガスAr/H₂ 混合比依存性を示す。回折特性は、sputteringガスAr/H₂ 混合比に依存して顕著な変化を示す。回折ピーク強度は、H₂ 混合量の多い領域で大きくなる。回折ピーク強度は、一般に周期長のばらつきが小さく、Si-SiO₂ 界面がスムーズであるとき大きくなる。2-2節で示したように、sputtering SiO₂ 膜では、sputteringガスとしてArにH₂ を混合することにより、高密度で且つ極めてスムーズな膜表面になる。上記のSi/SiO₂ 積層薄膜における回折強度の変化は、このAr-H₂ 混合sputtering SiO₂ 膜の特性によると考えられる。

Si/SiO₂ 積層薄膜周期構造の評価は、オージェ電子分光スペクトル

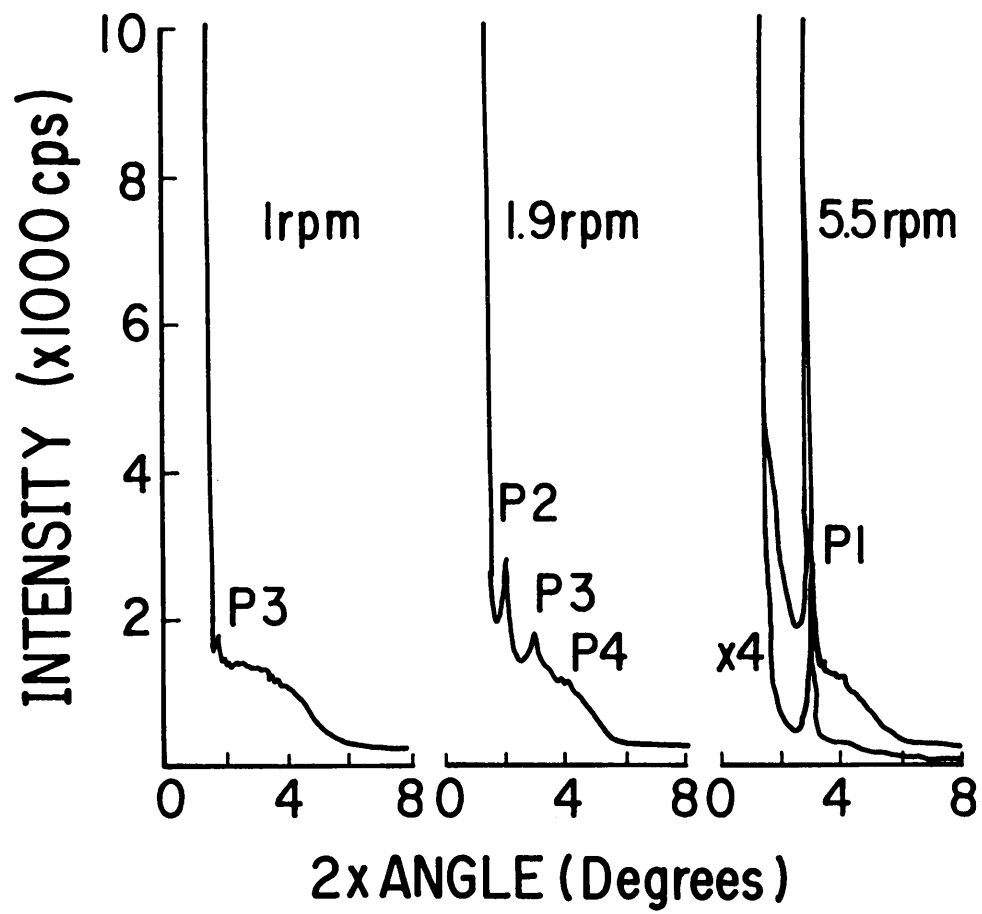


図2-40 Si/SiO₂ 積層薄膜小角領域X線回折特性の基板回転速度依存性

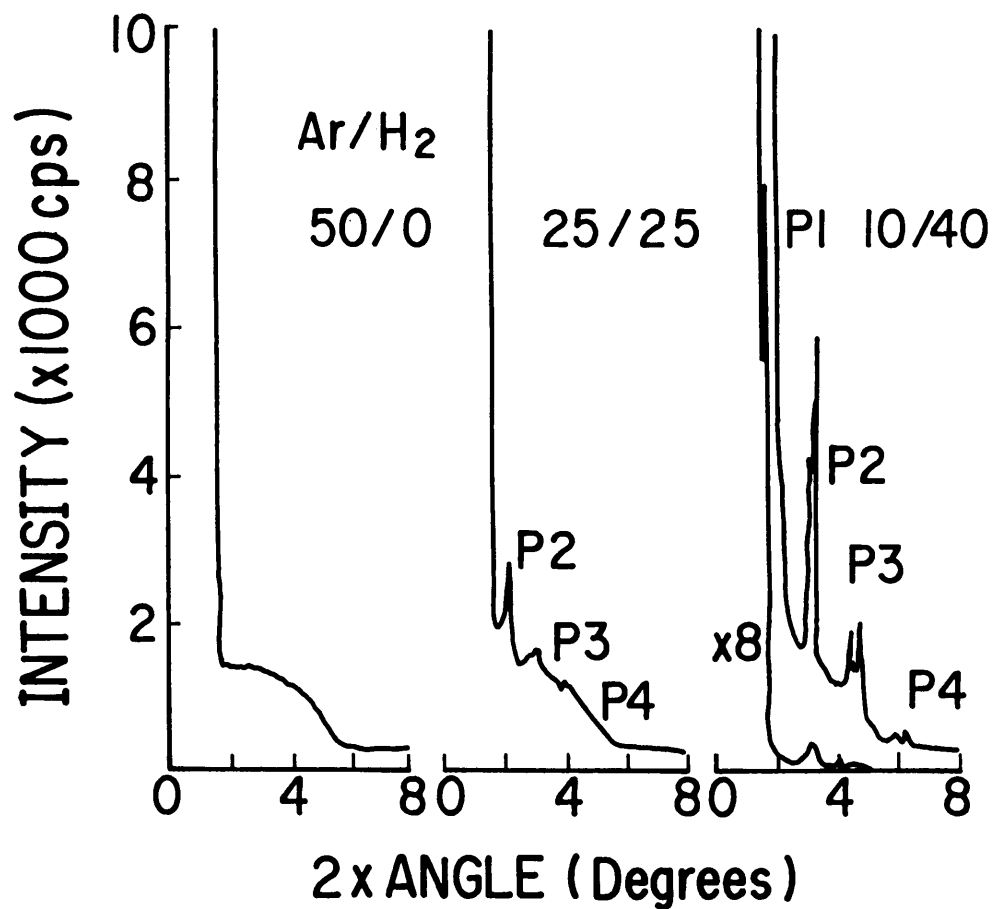


図2-41 Si/SiO₂ 積層薄膜小角領域X線回折特性のH₂ 混合量依存性

による深さ方向分布特性によって併せて行った。図2-42に、Si/SiO₂ 積層薄膜のSiO₂ 層およびSi層のオージェ電子分光スペクトルを示す。SiO₂ 層ではSi (oxide) ピークが見られ、Oピークも大きい。一方、Si層ではSi (metal)ピークが著しく増大し、Oピークが減少する。図2-43に深さ方向特性を示す。この試料の周期長は約10.5nmである。SiピークとOピークは極めて良い周期性を示し、高周波スパッタリングによって周期性の良いSi/SiO₂ 積層薄膜が形成されることが推察される。

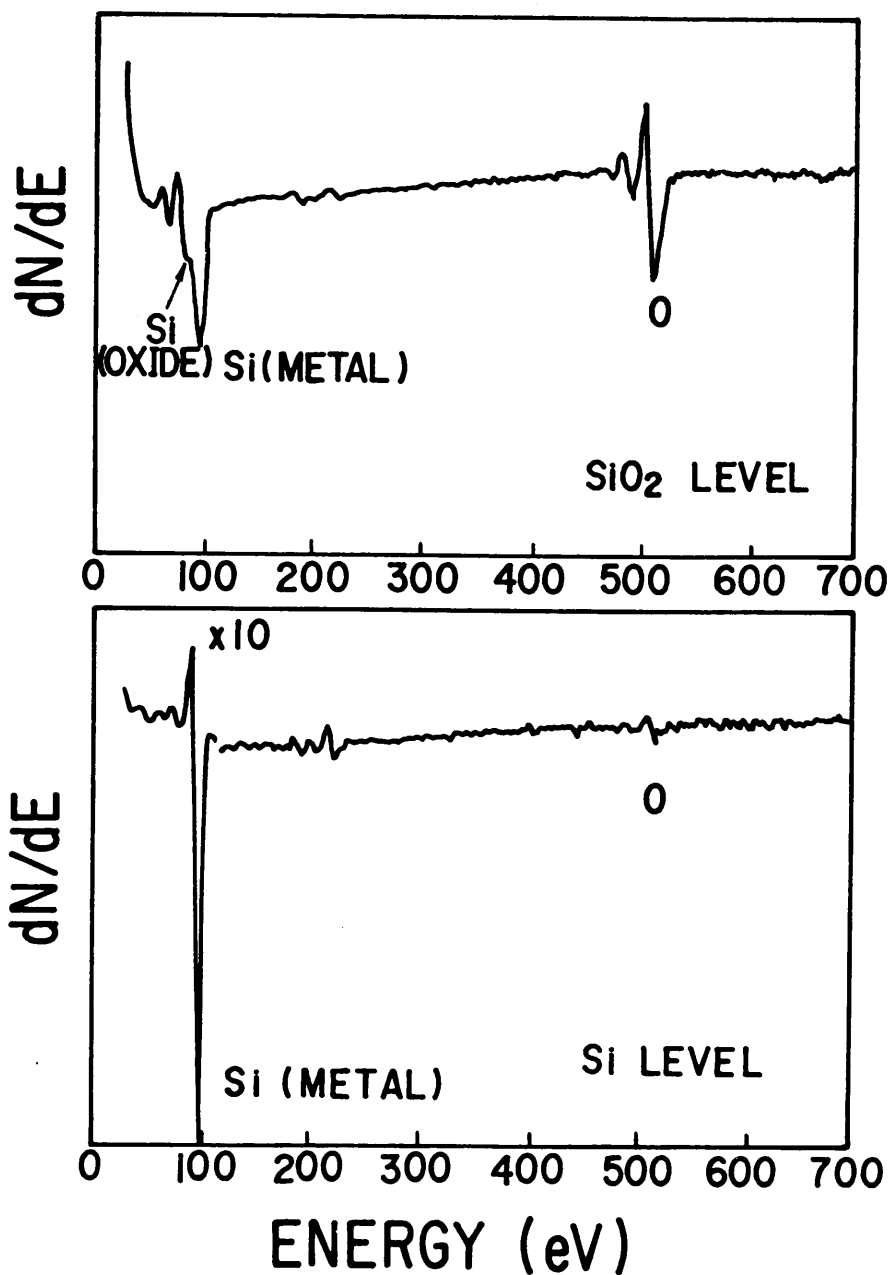


図2-42 Si/SiO₂ 積層薄膜のオージェ電子分光スペクトル

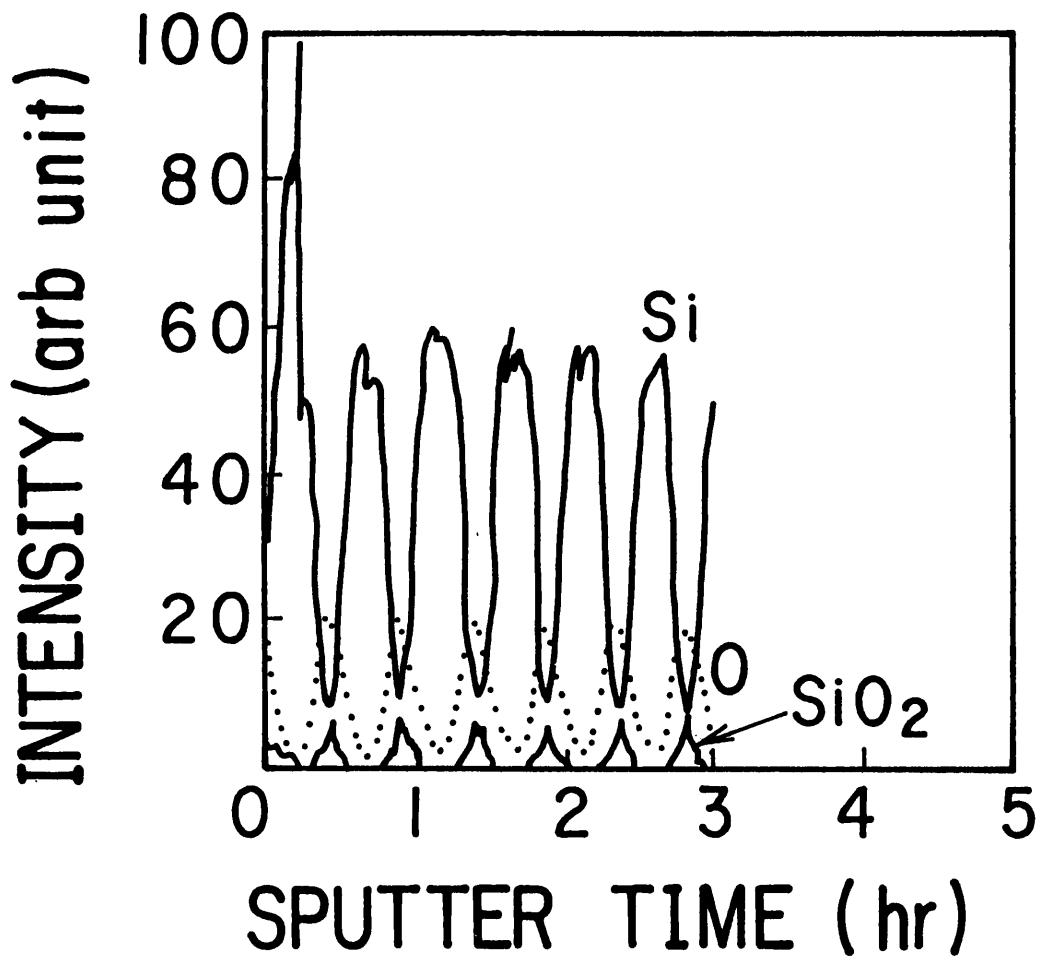


図2-43 Si/SiO₂ 積層薄膜のオージェ電子分光深さ方向特性,
周期長: 10.5 nm

2-6 結言

シリコンMOS素子製作に適用するための、高周波スパッタリングによる薄膜形成の研究を行った。結言として、SiO₂膜、Ti-Si膜、Al膜および積層薄膜の形成に関して得られた結果を各々分けてまとめる。

(A) SiO₂膜

(1) Ar中スパッタリングによるSiO₂膜は、臨界Ar圧を境として顕著な圧力依存性を示す。低Ar圧領域では、エッチング速度の小さい、熱酸化膜に匹敵する緻密なSiO₂膜が得られる。一方、高Ar圧領域では、エッチング速度が異常に大きい、空孔(POROSITY)を多量に含む、密度の小さい膜となる。後者の現象は、膜形成途中におけるセルフシャドウ効果に起因している。

(2) SiとOとの原子結合状態には、Ar圧依存性は見られず、この結合は熱処理により強まる。

(3) スパッタリングガス中に5%以上のH₂を混合することにより、上記(1)の顕著な圧力依存性を除去でき、さらに熱酸化膜よりも緻密な膜に改善できる。また、H₂混合によるSiとOとの原子結合状態および膜組織への影響は小さい。H₂混合によるSiO₂膜の緻密化は、H₂が結晶核となる吸着サイト数を高める作用をするためと考えられる。

(B) Ti-Si膜

(1) SiO₂上のTi-Si膜では、500℃以上でシリサイド形成が起こる。800℃未満ではTiSi(電気炉加熱)、未確認結晶相(ランプ加熱)が形成される。また、800℃以上では両加熱法とも最終相のTiSi₂が支配的である。

(2) ポリシリコン上のTi-Si膜(ポリサイド膜)では、800℃以上からシリサイド化が起こり、最終相のTiSi₂のみが形成される。

(3) ポリサイド膜のシート抵抗は、熱処理温度と共に漸減し、800℃近傍で急激に減少し最小値をとる。このシート抵抗の急激な減少は、TiSi₂の形成による。800℃以上では、シート抵抗はわずかに増大し、その増大量はランプ加熱法で小さい。この800℃以上でのシート抵抗増大は、主にシリコン結晶のグレインが増大し膜の均一性を損なうことに因っている。

(4) シリコン基板上のTi-Si膜も、800℃ランプ加熱でシート抵抗の急激な減少を示し、元の拡散層のシート抵抗の数十分の一になる。シート抵抗のシリコンウエハ上での均一性も極めて良い。

(C) Al膜

(1) Al-Si-Cu膜では、グレイン成長を抑制できるため、表面凹凸の小さい膜を形成できる。また、熱処理に伴うヒルロックの発生も阻止できる。

(2) 高周波スパッタリングによる膜では、ステップカバレジが良好で膜組織の緻密性・均一性に優れているため、配線寿命が長くなる。さらに、Al-Si-Cu膜ではグレイン成長が抑制されるため、配線寿命が飛躍的に伸びる。

(3) Siを添加したAl合金膜では、熱処理に伴うAl膜へのSi原子の固溶を防げ、異常なシリコン基板の窪み発生を阻止できる。

(D) 積層薄膜

(1) 高周波スパッタリングにより最小周期長3.0nmまでの人工周期構造積層薄膜を実現できる。

(2) Ti/SiO₂積層薄膜では、400℃熱処理によって周期性が向上する。(3) Ti/SiO₂積層薄膜中のTi薄膜は格子歪みを有し、その歪み量は周期長の減少と共に増大する。また、熱処理後にはスパッタリングガスへのH₂混合量の増加に伴い歪み量は減少する。

(3) Si/SiO₂積層薄膜では、スパッタリングガス中のH₂混合量を増加することによって周期性を向上できる。

以上のように、高周波スパッタリングによる薄膜をシリコンMOS素子等、半導体集積回路に適用する第一段階として、その形成条件・特性を明らかにした。

第2章参考文献

- [1] J.L.Vossen; J. Vac. Sci. Technol., 8, S12(1971).
- [2] V.Orlinov, B.Goranchev, D.Hristov, G.Dimitrov, and Zh.Choubriev; Thin Solid Films, 36, 411(1976).
- [3] J.E.Curran; J. Vac. Sci. Technol., 14, 108(1977).
- [4] K.Urbanek; Solid State Technol., 20, 87(1977).
- [5] K.Hara, Y.Suzuki, and Y.Tagata; Jpn. J. Appl. Phys., 18, 2027 (1979).
- [6] S.P.Murarka, D.B.Fraser, A.K.Sinha, and H.J.Levinstein; IEEE Trans. Electron Devices, ED-27, 1409(1980).
- [7] K.L.Wang, T.C.Holloway, R.F.Pinizzotto, Z.P.Sobczak, W.R.Hunter, and A.F.Tasch, Jr.; IEEE Trans. Electron Devices, ED-29, 547 (1982).
- [8] H.Norstrom, F.Runovc, R.Buchta, and P.Wiklund; J. Vac. Sci. Technol., A1, 463(1983).
- [9] R.W.Wilson and L.E.Terry; J. Vac. Sci. Technol., 13, 57(1976).
- [10] I.K.Schuller; Phys. Rev. Lett., 44, 1597(1980).
- [11] I.K.Schuller and C.M.Falco; Surf. Sci., 113, 443(1982).
- [12] R.Holmwood, R.Glang, and R.Rosenberg; Rev. Sci. Inst., 36, 7 (1965).
- [13] W.A.Brantley; J. Appl. Phys., 44, 534(1973).
- [14] A.K.Sinha and T.T.Sheng; Thin Solid Films, 48, 117(1978).
- [15] 菅野, 小野, 垂井; M O S 電界効果トランジスタ (日刊工業新聞社, 1969) p201.
- [16] 飯田他; 物理定数表 (朝倉書店, 1969) p77.
- [17] 飯田他; 物理定数表 (朝倉書店, 1969) p93.
- [18] G.K.Weiner; Phys. Rev., 102, 690(1965).
- [19] S.Schiller, U.Heisig, and K.Goedicke; Thin Solid Films, 40, 327 (1977).
- [20] W.D.Westwood; J. Vac. Sci. Technol., 15, 1(1978).
- [21] A.S.Grove; Physics and Technology of Semiconductor Devices (John Wiley and Sons, Inc., New York, 1967) Chap.2.

- [22] 菅野, 御子柴, 平木; 表面電子工学 (コロナ社, 1979) p71.
- [23] W.A.Pliskin and H.S.Lehman; J. Electrochem. Soc., 112, 1013 (1965).
- [24] 金原; スパタリング現象 (東京大学出版会, 1984) 6章.
- [25] R.E.Jones, Jr.; IBM J. Res. Develop., 16, 27(1972).
- [26] L.A.Goodman, J.T.McGinn, C.H.Anderson, and F.Digeronimo; IEEE Trans. Electron Devices, ED-24, 795(1977).
- [27] 菊池, 田中; アモルファス半導体の基礎 (オーム社, 1982) 7章.
- [28] H.S.Peiser, H.P.Rooksby, and A.J.Wilson; X-ray diffraction by polycrystalline materials (The Institute of Physics, Chapman & Hall Limited, London 1960) Ch.17.
- [29] S.P.Murarka and D.B.Fraser; J. Appl. Phys., 51, 342(1980).
- [30] R.Beyers and R.Sinclair; J. Appl. Phys., 57, 5240(1985).
- [31] 飯田他; 物理定数表 (朝倉書店, 1969) p134.
- [32] R.A.Powell, R.Chow, C.Thridandam, R.T.Fulks, I.A.Blech, and J.D.T.Pan; IEEE Electron Device Letters, EDL-4, 380(1984).
- [33] M.C.Shine and F.M.d'Heurle; IBM J. Res. Develop., 15, 378 (1971).
- [34] M.Hansen; Constitution of Binary Alloys (McGROW-HILL BOOK COMPANY, INC., NEW YORK, 1958) p.133.
- [35] H.S.Peiser, H.P.Rooksby, and A.J.Wilson; X-ray diffraction by polycrystalline materials (The Institute of Physics, Chapman & Hall Limited, London 1960) Ch.3.
- [36] 村松源太郎; カリティ X線回折要論 (アグネ, 1972) 9章.
- [37] H.S.Peiser, H.P.Rooksby, and A.J.Wilson; X-ray diffraction by polycrystalline materials (The Institute of Physics, Chapman & Hall Limited, London 1960) Ch.30.

第3章 高周波スパッタリングによる薄膜を用いたセルフアライメント加工

3-1 緒言

最近の半導体集積回路の高密度化，微細化は目覚ましく、その進展は主に回路構成の改良や素子製作技術の向上によって果たされてきた。素子製作技術の面では、スケールダウン則[1]に従うパターン寸法の微細化と並び、セルフアライメント（自己整合）加工で代表される素子製作工程の工夫が、この半導体集積回路高密度化，微細化に大きく寄与してきた。セルフアライメント加工を用いると、フォトリソが省略できるため、マスク合わせの際の寸法余裕が不要となる。このため、パターン寸法を縮小することなく素子面積を低減することができる。一方、高周波スパッタリングでは、前章で述べたように、低温度で、膜質が良くカバレッジも良好な、金属から絶縁物まで幅広い材料の薄膜形成が可能であり、この特徴を生かした新しいセルフアライメント加工が期待できる。

SiO_2 膜は、シリコンMOS素子を構成する主要な材料で、素子分離膜、ゲート酸化膜、層間絶縁膜等に用いられている。素子分離形成は、 SiO_2 膜とチャネルカット領域とをセルフアライメントに形成することが必要であり、従来窒化シリコン膜の選択酸化を用いたいわゆるLOCOS法[2]で行われてきた。しかし、第1章で述べたようにシリコンMOS素子のパターンが微細化されるのに伴い、LOCOS法ではナロウチャネル効果，バーズビーク等の問題を生じてきたため、新しい素子分離 SiO_2 膜のセルフアライメント形成法が必要とされている。

窒化シリコン膜は、シリコンの選択酸化用マスク材として用いられる。窒化シリコン膜の形成には、従来CVD法が用いられてきた。しかし、CVD法ではその膜形成に高温度を必要とするため、その用途はLOCOS法に限られてきた。一方、高周波スパッタリングでは窒化シリコン膜を低温度で形成できるため、その窒化シリコン膜を用いて選択酸化技術の幅広い用途が期待できる。

また、高融点金属シリサイドは、シリコンMOS素子の微細化に伴い、電極，配線材料として用いられはじめている[3,4]。しかし、そのセルフアライメント加工は、ほとんど提案されてはいない[5]。

本章では、前章で示された高周波スパッタリングによる薄膜の基本的な特

性を基に、高周波スパッタリングを用いた膜による新たなセルフアライメント加工を明らかにする。SiO₂膜においては、リフトオフ加工による素子分離部のセルフアライメント形成法を示す。窒化シリコン膜においては、そのリフトオフ加工とそれによる選択酸化を併用したセルフアライメントコンタクト形成法を示す。さらに、Ti-Si膜においては、シリサイドの選択形成を用いたソース・ドレイン領域のセルフアライメントメタライゼーションを示す。

3-2 SiO₂膜のリフトオフ加工

3-2-1 LOPAS (lift-off patterning of sputtered SiO₂ films)

(A) LOPAS工程

素子分離をセルフアライメントに形成するための、本研究で提案する高周波スパッタリングSiO₂膜のリフトオフ加工(LOPAS)工程の概略を図3-1に示す。以下、図3-1の工程に従って要点を述べる。

工程(1)：基板に薄い熱酸化を施した後、フォトレジストパターンを形成し、そのフォトレジストパターンをマスクとしてイオン注入法によりチャンネルカット領域を形成する。

工程(2)：高周波スパッタリングによりSiO₂膜を堆積する。高周波スパッタリングでは低温度(<150℃)で薄膜の堆積が可能のため、フォトレジストパターンの形状を損なうことなくSiO₂膜を堆積できる。

工程(3)：後述する高周波スパッタリングによるSiO₂膜の特性(パターン側壁上では脆弱な膜が、平坦部では緻密な膜が形成される)を利用し、レジストパターン側壁部のSiO₂のみを選択的に除去(スライトエッチング)する。

工程(4)：フォトレジストの除去と共にフォトレジスト上のSiO₂を除去(リフトオフ加工)する。

以上、高周波スパッタリングSiO₂膜のリフトオフ加工LOPASによって、パターン変換差がなく(バースピークフリー)、かつナ로우チャンネル効果のない(低温でSiO₂膜を堆積できる)素子分離のセルフアライメント形成が期待できる。

(B) 実験方法

基板には、面方位(100)、p型、比抵抗 $4\ \Omega\text{cm}$ のシリコンウエハを用いた。熱酸化膜厚は、 45nm とした。フォトリソにはAZ1370を用い、そのパタン形成は通常の紫外線露光法で行った。現像後の熱処理(ポストバーク)温度は、 $120\sim 180^\circ\text{C}$ とした。レジスト膜厚は $1\ \mu\text{m}$ 、レジストパタン側壁の傾斜角度はポストバーク温度に依存し $50\sim 75$ 度の範囲で変化した。

高周波スパッタリングによる SiO_2 膜堆積条件は、2-2節の結果に基づき以下とした。ターゲットは1枚とし、そのスパッタリング電力は $1\sim 2.5\text{kW}$ とした。スパッタリングガスは $95\%\text{Ar}-5\%\text{H}_2$ とし、ガス圧

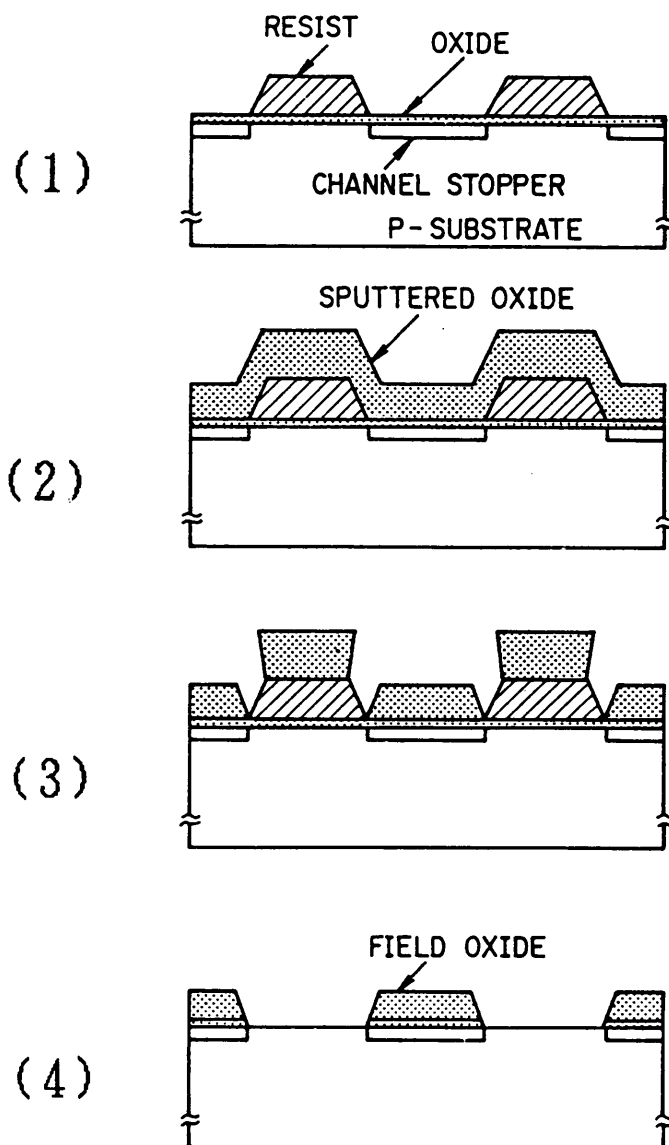


図3-1 高周波スパッタリング SiO_2 膜のリフトオフ加工(LOPAS)工程の概略

を0.3~0.4 Paとした。また、基板加熱は施さず、基板回転速度は10 rpmとした。SiO₂膜厚は約1 μmとした。

フォトレジストボタン側壁上のSiO₂除去（スライトエッチング）には、緩衝フッ酸溶液を用いた。エッチング温度は30℃、エッチング時間は30~60秒とした。フォトレジストおよびその上のSiO₂膜の除去には、レジスト剝離液（J100）を用いた。活性領域の薄い酸化膜の除去には、緩衝フッ酸溶液を用いた。

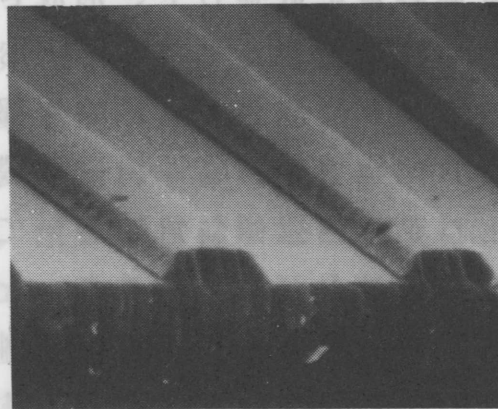
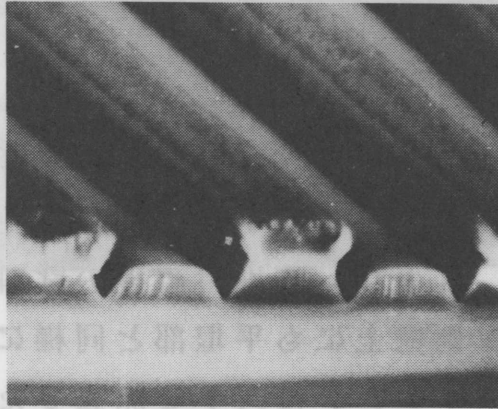
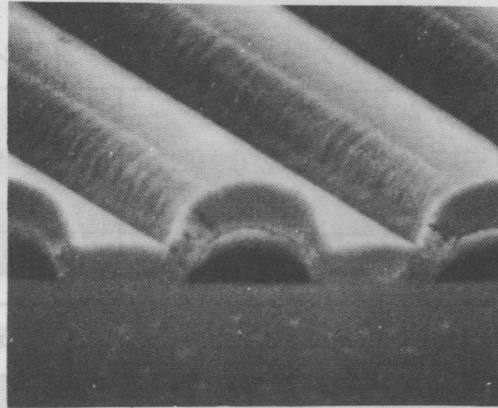
加工性の評価は、走査電子顕微鏡（SEM）による断面観察と光学顕微鏡による平面観察とにより行った。

（C）結果と考察

高周波スパッタリングによるSiO₂膜のリフトオフ加工（LOPAS）工程を示すSEM写真を図3-2に示す。スパッタリング電力は1.5 kW、ポストベーク温度は140℃（レジストボタン側壁傾斜角度：60度）である。図3-2(1),(2)および(3)は、各々SiO₂膜堆積後、スライトエッチング後およびリフトオフ後を示す。堆積直後には、レジストボタン側壁上にも膜厚の60%程度のSiO₂膜堆積が見られる。しかし、スライトエッチング後には、レジストボタン側壁上のSiO₂のみ選択的に除去され、SiO₂膜ボタンとレジストボタンとの境界がV字形の溝を呈する。この時、SiO₂膜ボタン端下部とレジストボタン端下部とが接し、ボタン変換差はほとんど生じていない。また、スライトエッチングに伴う平坦部のSiO₂膜膜厚減少量は、数十nmと極めて小さい。

リフトオフ加工可否のプロセス条件依存性を表3-1に示す。リフトオフ加工は、スパッタリング電力およびポストベーク温度の上昇に伴い困難になる。ポストベーク温度の上昇によるリフトオフ加工の困難性は、主にレジストボタン側壁傾斜角の減少が、レジストボタン側壁上での脆弱なSiO₂膜の形成をさまたげるためである。レジストボタン側壁上で脆弱なSiO₂膜が形成されない場合、選択的なSiO₂膜の除去ができず、リフトオフ加工が不可能になる。また、スパッタリング電力の増加は、基板温度の上昇をもたらし、レジストボタン側壁傾斜角の低下を起こす。例えば、ポストベーク温度140℃で処理した試料（側壁傾斜角度：65度）にスパッタリング電力2.5 kWでSiO₂膜を堆積した場合、SiO₂膜堆積後のレジストボタン側壁傾斜角は50度になった。このため、レジストボタン側壁上での脆弱

(1)	
081 (1)	
可	
否	
—	
—	



1μm

図3-2 高周波スパッタリングSiO₂膜リフトオフ加工 (LOPAS) 工程における試料断面のSEM写真

な SiO_2 膜の形成が同様にさまたげられ、リフトオフ加工が不可能になる。レジストボタン側壁傾斜角のリフトオフ可否の臨界角は約 60 度である。

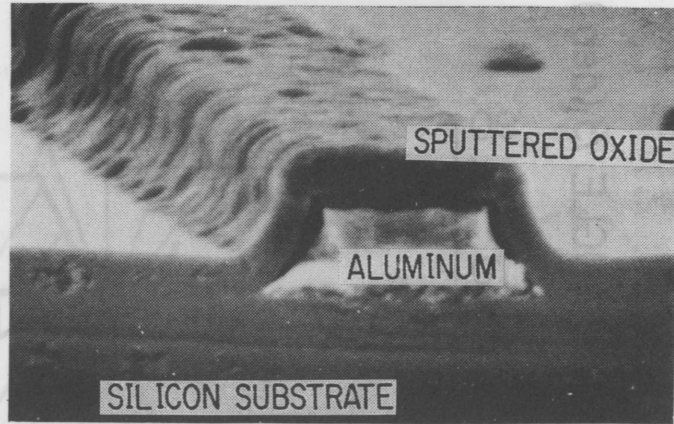
表3-1 リフトオフ加工可否のスputタリング条件依存性

ポストバーク 温度 スパッタリング電力	120 (°C)	140	180
1.0 (kW)	可	可	可
1.5	可	可	否
2.0	—	可	—
2.5	—	否	—

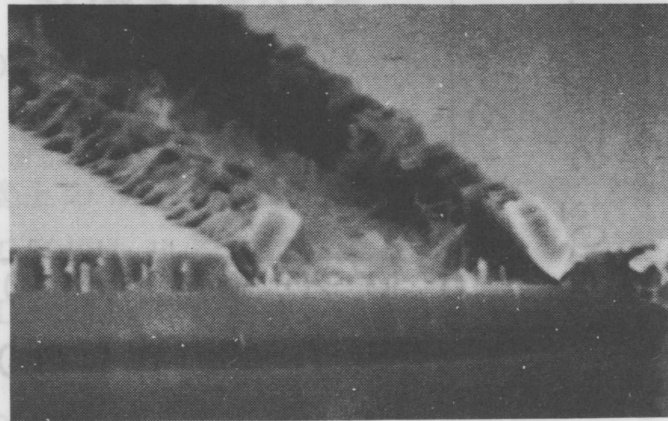
図3-3に円筒状の傾斜面（側壁傾斜角が0度から90度まで変わる）を持つ Al-Si 膜ボタンをリフトオフ材とした、LOPAS工程のSEM写真を示す。(1)は、 SiO_2 膜堆積直後の試料断面である。 SiO_2 膜が、 Al-Si 膜ボタン側壁上にも平坦部と同様に十分厚く一様に堆積している。(2)は、スライトエッチング後 Al を除去した後の試料断面である。 SiO_2 膜ボタンは、ボタン端に「縁」をもって形成される。これは、 Al-Si 膜ボタン側壁傾斜角に依存して、形成された SiO_2 膜の膜質が異なっていることを示している。すなわち、 Al-Si 膜ボタン側壁の傾斜角が緩やかな部分では緻密な膜が形成され、急峻な部分では脆弱な膜が形成されることに因る。このSEM写真からも、緻密な膜の形成から脆弱な膜の形成への変化が、レジストボタン側壁傾斜角において臨界角を持って起こり、その臨界角が約60度であることが示される。

また、図3-4に SiO_2 膜ボタン側壁傾斜角 β のレジストボタン側壁傾斜角 α 依存性を示す。スパッタリング電力は1kWである。ポストバーク温度は120~180°Cとし、レジストボタン側壁傾斜角 α を50~75度の範囲で変化させた。 SiO_2 膜ボタン側壁傾斜角 β は、レジストボタン側壁傾斜角 α の増大に伴って減少を示す。なお、スパッタリング電力1kWにおける試料では、表3-1に示したように180°Cポストバークでもリフトオフが可能である。

(1)



(2)



1μm

図3-3 円筒状の傾斜面を持つ下地パターンをリフトオフ材としたLOPAS工程における試料のSEM写真

ブレナマグネトロン高周波スパッタリングによる SiO_2 膜の形成では、 SiO_2 膜の膜質は、2-2節で述べたようにスパッタリング条件（スパッタリングガス圧、スパッタリングガス種あるいは基板-ターゲット配置等）に依存する。例えば2-2節、図2-5に示したように、基板回転を停止して SiO_2 膜を形成した時、エッチング速度は、中央ウエハbに比較して、周辺ウエハa, c上で十倍以上の著しく大きな値になる。この原因は、基板に到達した SiO_2 の入射方向分布と入射エネルギーとに因ることを2-2節で考察した。周辺ウエハ上では、 SiO_2 の入射角度が大きくなり入射エネルギーが小さいためセルフシャドウ効果が起こり、膜内に空孔を生じて脆弱な膜質になる。

図3-5に、レジストパターの形成された基板に、基板ホルダを回転しながら高周波スパッタリングにより SiO_2 膜を堆積した時の、 SiO_2 粒子

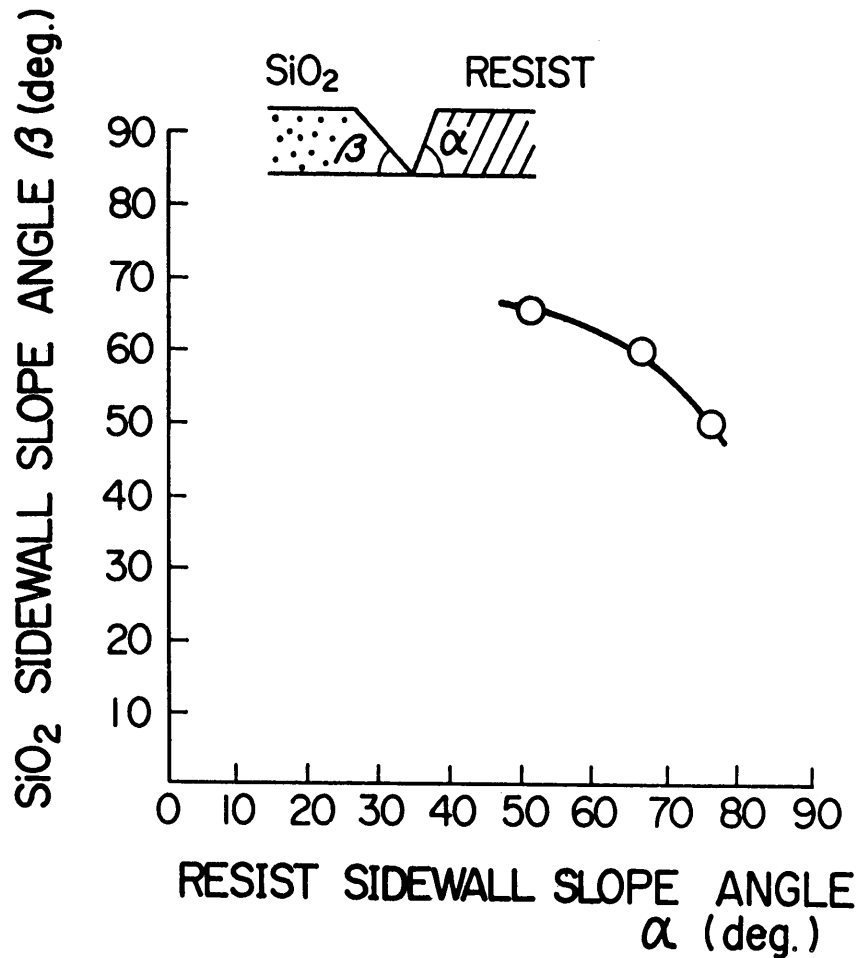


図3-4 SiO₂膜パタン側壁傾斜角 β のレジストパタン側壁傾斜角 α 依存性

の入射方向分布のシミュレーション結果を示す。算出に当たっては、SiO₂粒子がターゲットからcosine分布を持って放出され[6]、スパッタリングガスと衝突することなく基板に到達すると仮定した。スパッタリングガス圧が0.3~0.4 Paと比較的低く、平均自由行程が約2 cm (衝突回数3回程度)と大きいため、上記仮定はおおむね妥当と考える。レジストパタン側壁上には、SiO₂粒子は、膜堆積時基板を回転しているにもかかわらず、大きな入射角を持って到達する。このため、レジストパタン側壁上ではセルフシャドウ効果によって空孔を含む膜が形成され[7]、エッチング速度が著しく大きくなり、スライトエッチングで選択的にSiO₂膜を除去できると推察される。

以上、プレナマグネトロン高周波スパッタリングSiO₂膜では、臨界角以上のパタン側壁上では脆弱な膜が、臨界角以下の平坦部では緻密な膜が形

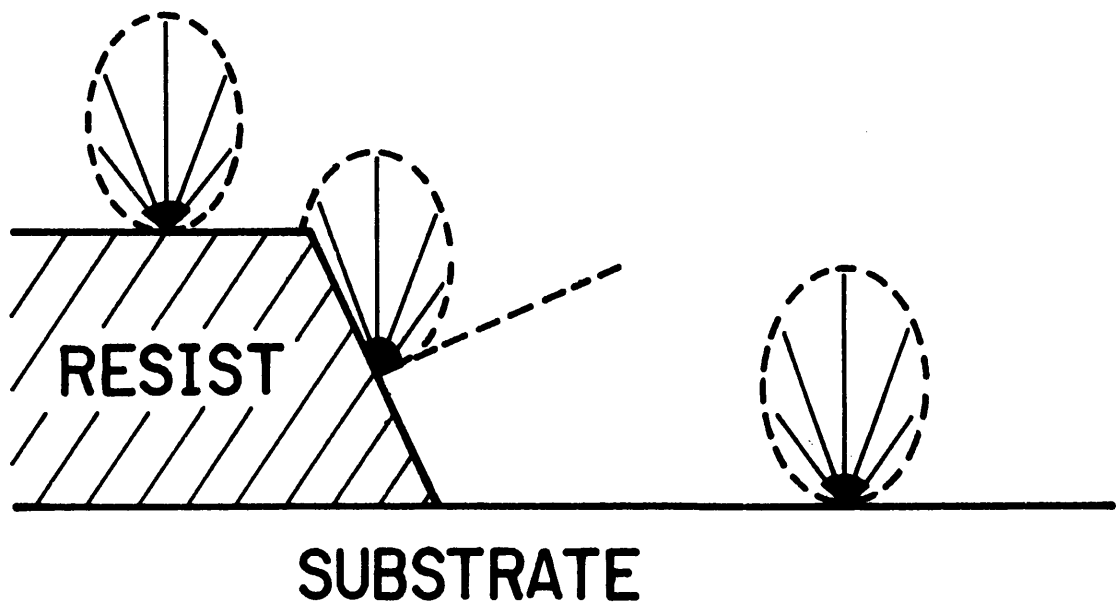


図3-5 SiO_2 粒子の入射分布のシミュレーション結果

成されるため、ボタン側壁上の SiO_2 のみを選択的に除去でき、ボタン変換差のないリフトオフ加工が果たせる。これによって、MOS素子素子分離のセルフアライメント加工が期待できる。

3-2-2 埋込み形LOPAS

(A) 埋込み形LOPAS工程

前節で明らかにしたように、高周波スパッタリングによる SiO_2 膜では、レジストボタン側壁上の SiO_2 は、そのレジストボタン側壁傾斜角度が臨界角を越えた時、スライトエッチングにより容易に除去できる。このため、側壁が臨界角以下および以上の2段階の傾斜を持つようシリコンに溝を形成し、その上に SiO_2 膜を堆積することによって、埋込みボタンの形成が可能になる。図3-6に、本研究で提案する埋込み形LOPAS工程の概略を示す。以下、図3-6の工程に従って要点を述べる。

工程(1)：シリコン基板上にレジストボタンを形成する。レジストボタンの側壁傾斜角は急峻にする。

工程(2)：イオンビームエッチングを用いてシリコン基板をエッチングする。斜めエッチングにより溝ボタン側壁が緩い傾斜になるように加工する。

工程(3)：高周波スパッタリングにより SiO_2 膜を堆積する。

工程(4)：緩衝フッ酸によりスライトエッチングを行い、急峻な傾斜角を持つレジストボタン側壁上の SiO_2 のみを選択的に除去する。

工程(5)：レジストと共にレジスト上の不要な SiO_2 を除去し、所望の

ボタンを得る。

以上により SiO_2 膜ボタンの平坦化が行える。

(B) 実験方法

レジストボタンは、AZ1350Jを用いて形成した。ポストバークは、 120°C で20分間行った。この時のレジスト膜厚は $1.3\mu\text{m}$ 、側壁傾斜角は 70° であった。

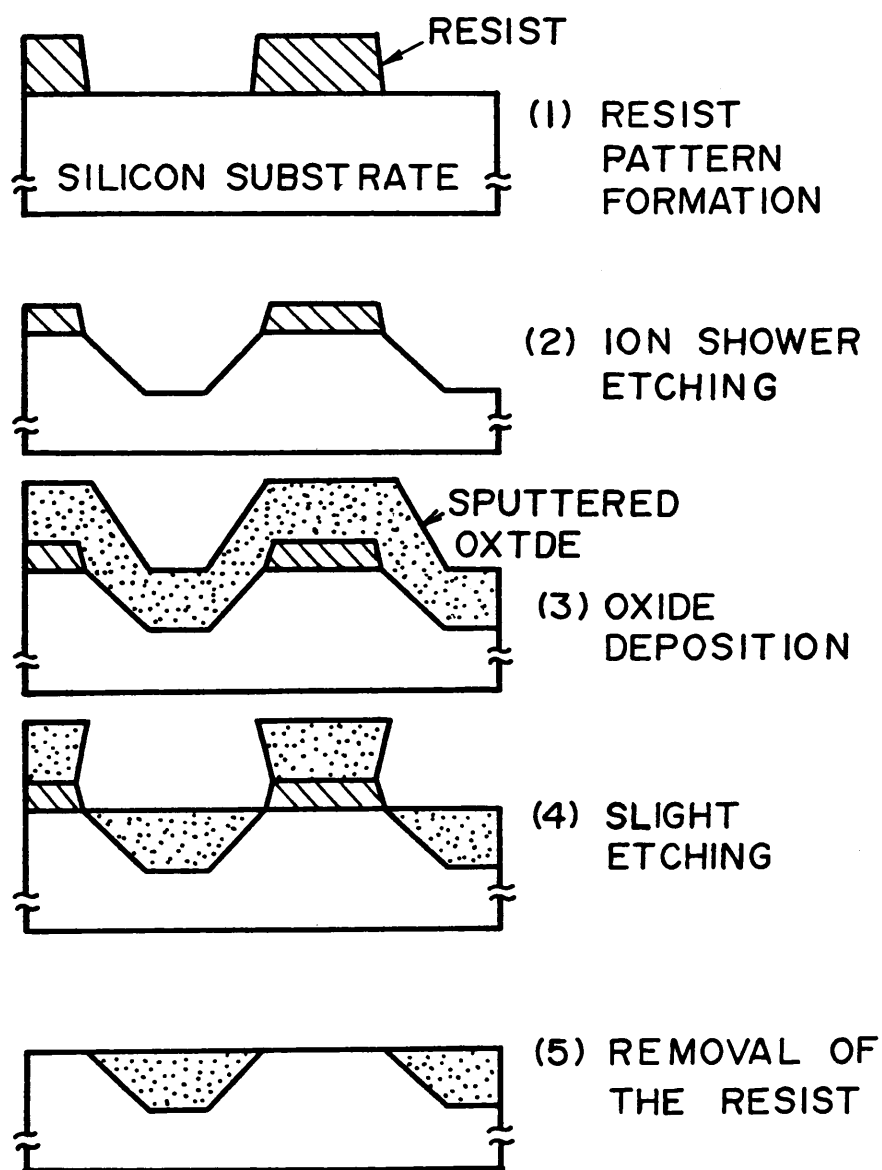


図3-6 埋込み形LOPAS工程の概略

基板のエッチングにはカウフマン型イオン銃を持つ、イオンビームエッチング装置を用いた。イオンビーム入射角は、基板ホルダを傾斜することによって変化させ、0度、20度、40度、60度とした。基板回転速度、イオン加速電圧、イオン電流密度は、各々1rpm、600V、0.5mA/cm²とした。また、エッチング時のAr圧は9 x 10⁻³Paとした。この時のエッチング速度は、イオンビーム入射角0度、20度、40度、60度に対応して、それぞれ9 nm/分、11 nm/分、17 nm/分、19 nm/分であった。なお、レジストとのエッチング選択比は約1である。

高周波スパッタリングSiO₂膜の堆積は、スパッタリング電力1.5kW、スパッタリングガス圧0.47Paで行った。スライトエッチングは、30℃緩衝フッ酸液を用いて、30秒間行った。また、レジストの除去にはJ100を用いた。加工性の評価は、走査電子顕微鏡(SEM)による断面観察により行った。

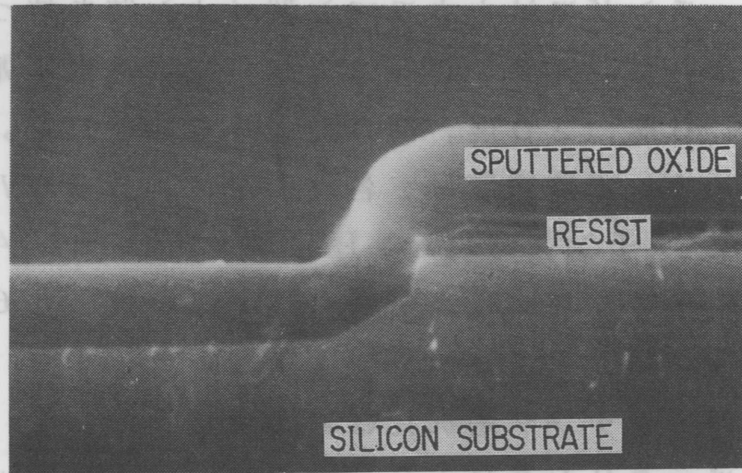
(C) 結果と考察

埋込み形LOPAS工程のSEM写真を図3-7に示す。イオンビームエッチングにおける基板ホルダの傾斜(イオンビーム入射角)は40度とした。図3-7(1)は、シリコン基板の溝ボタン上にSiO₂膜を堆積した試料の断面を示す。シリコン基板の溝ボタン端傾斜角は、30度および80度になっている。図3-7(2)は、スライトエッチング、レジスト除去をした後の試料断面である。80度の傾斜を有する斜面上のSiO₂のみが選択的に除去されるため、SiO₂ボタンがシリコン基板に埋込まれて形成され、平坦化が果たされる。

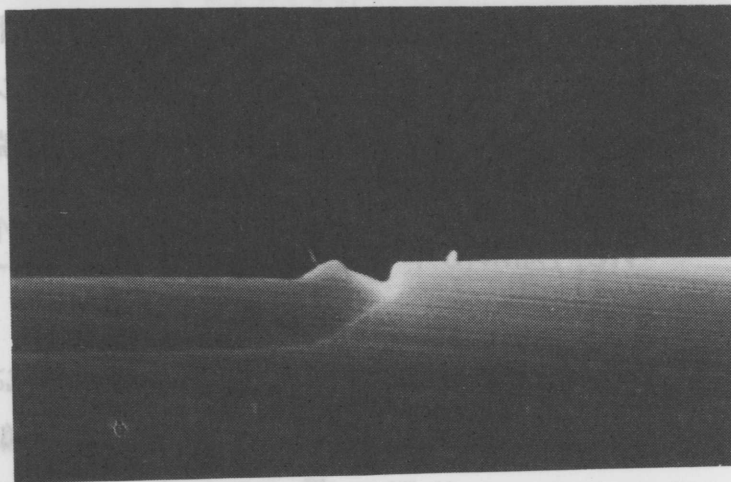
シリコン基板溝ボタン端の傾斜角はイオンビームエッチングにおけるイオンビーム入射角に依存する[8]。イオンビーム入射角0度、20度、40度、60度でエッチングした試料のSEM写真を図3-8に示す。イオンビーム入射角40度および60度の試料では、溝ボタン端は2段の傾斜を有し、SiO₂の埋込みボタンが形成されている。一方、入射角0度および20度の試料では、溝ボタン端は2段傾斜を持たず、ボタン端に深い溝が形成される。なお、イオンビーム入射角0度の試料で見られるボタン端における突起は、イオンビームエッチング中の再堆積効果[9]に因る。

図3-9に、規格化したくぼみ量(s/d)のイオンビーム入射角依存性を示す。s/dは、イオンビーム入射角の増加に伴い著しい減少を示す。イ

(1)



(2)



1μm

図3-7 埋込み形LOPAS工程における試料断面のSEM写真

オンビーム入射角40度および60度の試料では、 s/d は約30%になる。シリコン溝ボタン端での2段傾斜の形成は、 s/d の減少に寄与している。

図3-10に、規格化したサイドエッチング量(x/d)のイオンビーム入射角依存性を示す。 x/d も、イオンビーム入射角の増加に伴い減少する。入射角40度および60度の試料では、 x/d は約20%になる。この入射角40度、60度の試料での小さなサイドエッチング量は、主にイオンビームエッチング速度の角度依存性に因る[8]。

以上、LOPAS技術とイオンビームエッチング技術とを併せて(埋込み形LOPAS技術)用いて、 SiO_2 の埋込みボタンの形成が図れる。イオンビームエッチングにおけるビーム入射角を40度にすることによって、くぼみ量およびサイドエッチング量は小さくできる。

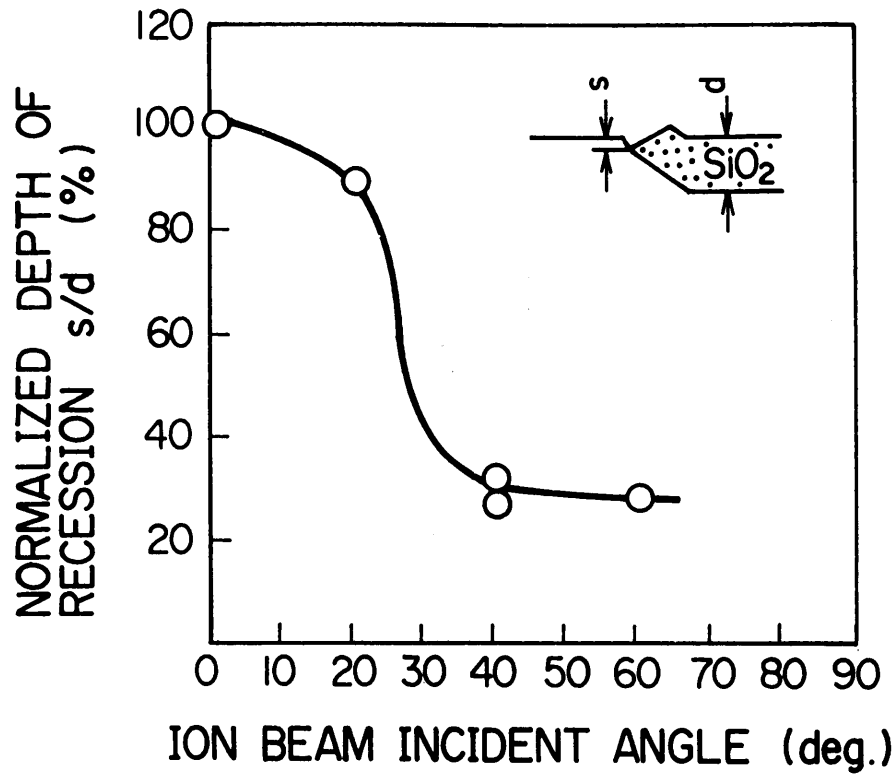


図3-9 規格化したくぼみ量 (s/d) のイオンビーム入射角依存性

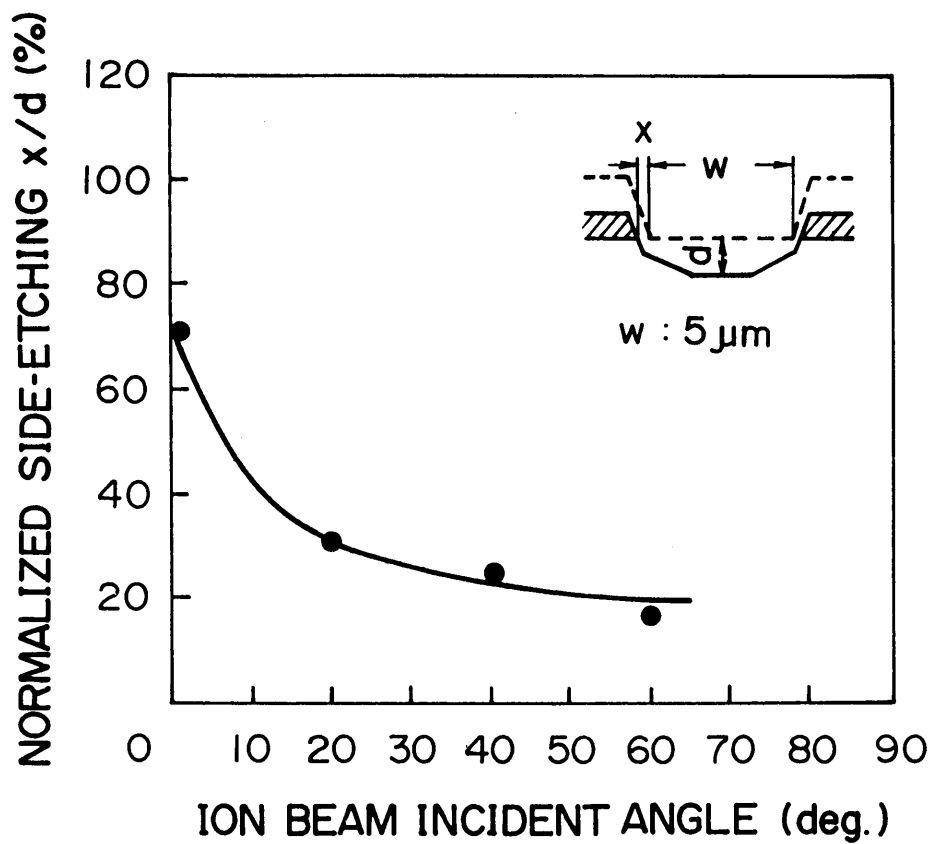


図3-10 規格化したサイドエッチ量 (x/d) のイオンビーム入射角依存性

3-3 選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS)

3-3-1 SALTS (Si_3N_4 film self-alignment liftoff

technique for selective oxidation) の概略と実験方法

(A) SALTS の概略

セルフアライメントコンタクトを形成するための、本研究で提案する選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) の概略を図 3-11 に示す。以下、図 3-11 の工程に従って要点を述べる。

工程(1) : フィールド膜, ゲート膜を形成した基板の上にポリシリコン膜を堆積する。レジストボタンを形成し、エッチングによりゲート電極を形成する。続けて、ソース・ドレイン領域上の酸化膜を除去する。

工程(2) : 高周波スパッタリングにより窒化シリコン膜を 100 nm 厚程度堆積する。高周波スパッタリングでは低温度 ($< 150^\circ\text{C}$) で窒化シリコン膜を堆積できるため、レジスト形状が損なわれることはない。

工程(3) : フォトレジストと共にフォトレジスト上の窒化シリコン膜を除去する。必要ならば、スライトエッチングによりレジスト側壁上の窒化シリコン膜を除去する。例えば後述するように、 170°C 熱燐酸で 2 分間エッチングすることによってレジスト側壁上の窒化シリコン膜を除去できる。この時平坦部の窒化シリコン膜の膜厚減少量は約 20 nm と小さい。

工程(4) : 熱酸化によりポリシリコンゲート電極上に選択的に酸化膜を形成する。窒化シリコン膜で覆われているソース・ドレイン領域上には酸化膜は形成されない。

工程(5) : 窒化シリコン膜を除去する。これによって、ソース・ドレインコンタクトをセルフアライメントに形成できる。

工程(6) : イオン注入によりソース・ドレインを形成し、その後配線を形成する。

以上、選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) によって、フォトリソグラフィを経ることなくソース・ドレインコンタクトをセルフアライメント形成できる。本 SALTS によるプロセスでは、従来プロセスにおいて必要とされたマスク合わせ余裕やエッチング加工の余裕が不必要になり、素子ボタンの微細化が図れる。

(B) 実験方法

基板には、面方位 (100), p 型, 比抵抗 $10 \Omega\text{cm}$ のシリコンウエハを

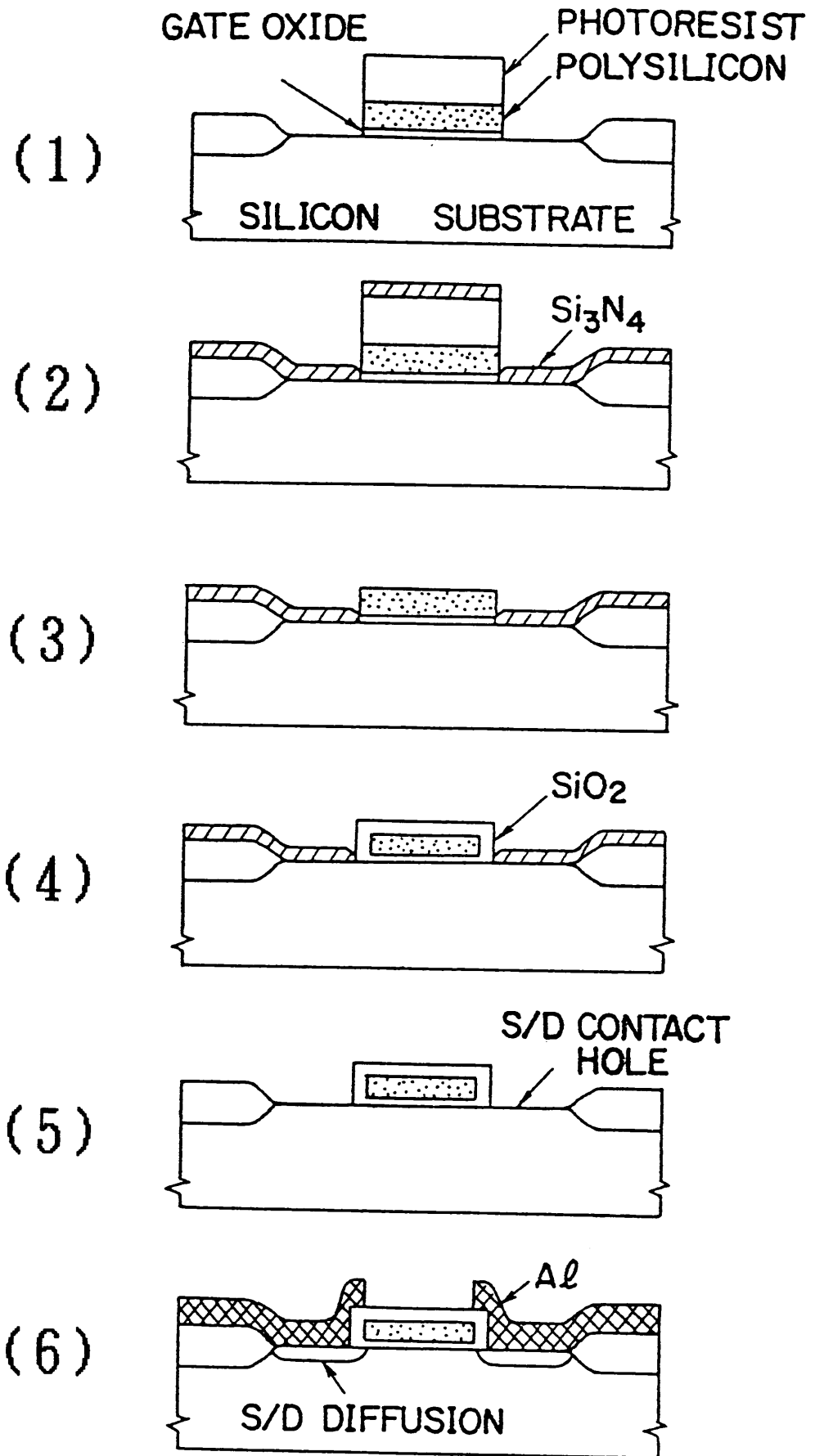


図3-11 選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) 工程の概略

用いた。ゲート酸化膜厚は50nmとした。ゲート電極は、CVD法によるPドーピングポリシリコン膜をプラズマエッチング法で加工して形成した。

窒化シリコン膜の堆積は、第2章SiO₂膜形成で用いたプレナマグネトロン高周波スパッタリング装置を用い、反応性スパッタリングにより行った[10]。ターゲットには、純度99.999%のシリコンを用いた。スパッタリングガスには、50%N₂-50%Arを用い、ガス圧は0.5Paとした。窒化シリコン膜膜厚は、20~120nmとした。

スライトエッチングは170℃熱燐酸溶液で行った。スライトエッチング時間は0~2分とした。レジストおよびレジスト上の窒化シリコン膜の除去(窒化シリコン膜リフトオフ加工)には、硝酸系レジスト剝離液を用いた。酸化膜の形成は、870℃、35分間のウェット酸化で行った。ポリシリコンゲート電極上の酸化膜厚は250nmであった。酸化後の窒化シリコン膜除去は熱燐酸溶液で行った。ソース・ドレインの形成は、Asイオン注入により行った。ソース・ドレインからの配線引き出しにはCVD法によるポリシリコンを用いた。

SALTSの評価は、ソース・ドレインとゲート電極間の絶縁耐圧およびソース・ドレインと配線とのコンタクト抵抗により行った。コンタクト抵抗の測定は、10x100μm²ボタンを用いて4点法で求めた。また、走査電子顕微鏡(SEM)により試料断面の観察も行った。

3-3-2 結果と考察

SALTSプロセスでは、窒化シリコン膜厚は、ソース・ドレイン領域が酸化するのを防げる十分な厚さが必要である。ソース・ドレインと配線とのコンタクト抵抗と、窒化シリコン膜の膜厚との関係を図3-12に示す。膜厚は堆積時の値である。窒化シリコン膜厚50nm以下では、コンタクト抵抗は著しく大きな値となり、窒化シリコン膜がソース・ドレイン上での酸化を防止できないことを示している。一方、60nm以上の膜厚では、コンタクト抵抗はMOSFETの動作上十分に小さな値になり、ソース・ドレイン上の酸化防止膜として十分な厚さであることを示している。

SALTSプロセスでは、図3-11の工程から明らかなように、ゲート電極ボタン側壁に窒化シリコン膜が付着した状態で酸化すると、ゲート電極ボタン側壁上での酸化膜の形成が損なわれ、ソース・ドレインとゲート電極との絶縁が不良となる。しかし、前節で示されたように高周波スパッタリン

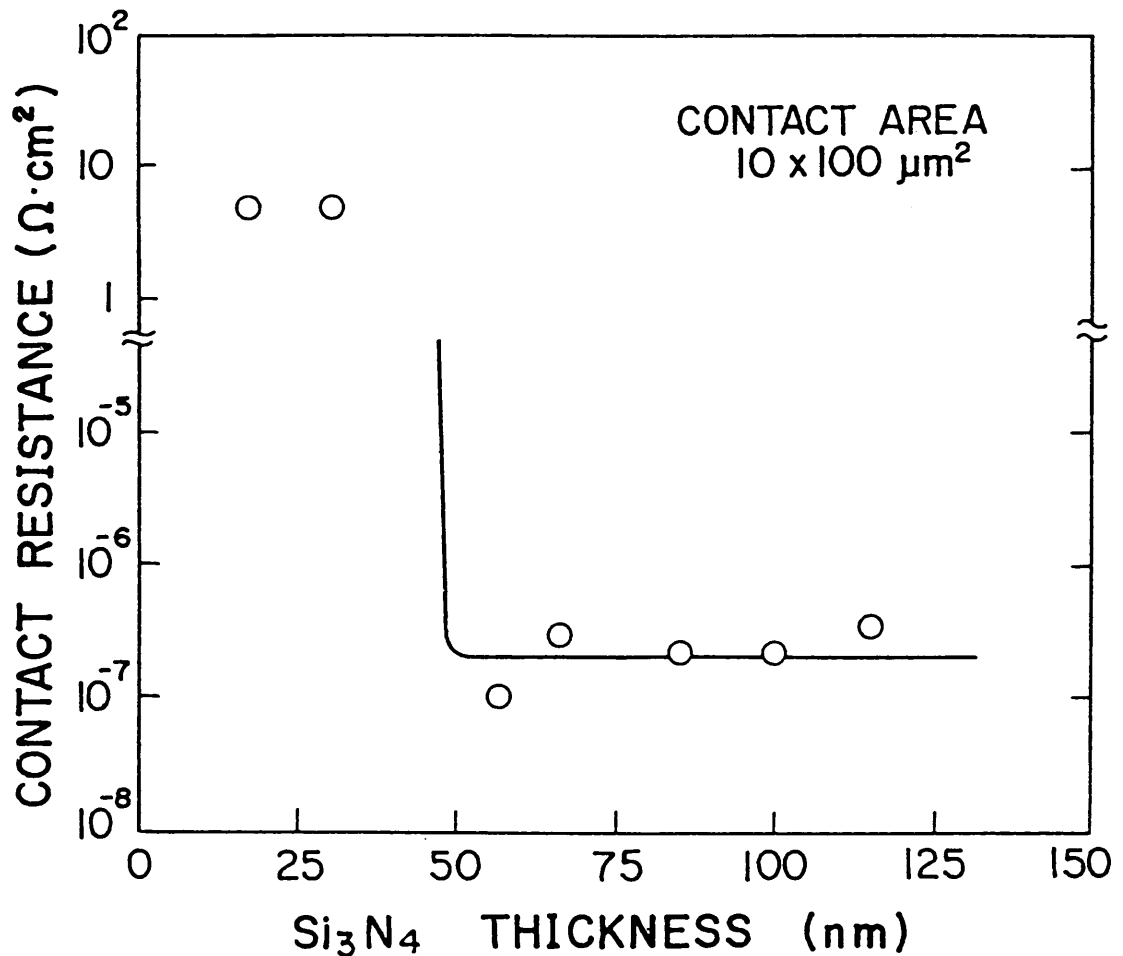


図3-12 ソース・ドレインと配線とのコンタクト抵抗の窒化シリコン膜厚依存性

グによる絶縁膜では、セルフシャドウ効果によってボタン側壁上の膜では脆弱になることが期待される。このため、極めて短時間のスライトエッチングによってボタン側壁上の窒化シリコン膜は除去できると考えられる。図3-13に、ゲート電極とソース・ドレインとの絶縁耐圧とスライトエッチングの関係を示す。スライトエッチング時間は2分間である。スライトエッチングのない試料では、絶縁耐圧が0～10V程度にばらつき、ポリシリコン電極側壁において十分な酸化膜の形成が図られていないことが示される。一方、スライトエッチングを施した試料では、絶縁耐圧が45～50V程度とゲート酸化膜の耐圧とほぼ等しくなり、十分な耐圧を有している。

以上、SALTSプロセスにおいて、窒化シリコン膜厚を60nm以上とし、170℃熱燐酸によるスライトエッチング時間を2分とすることにより、セルフアライメントコンタクトの形成が図れることを明らかにした。

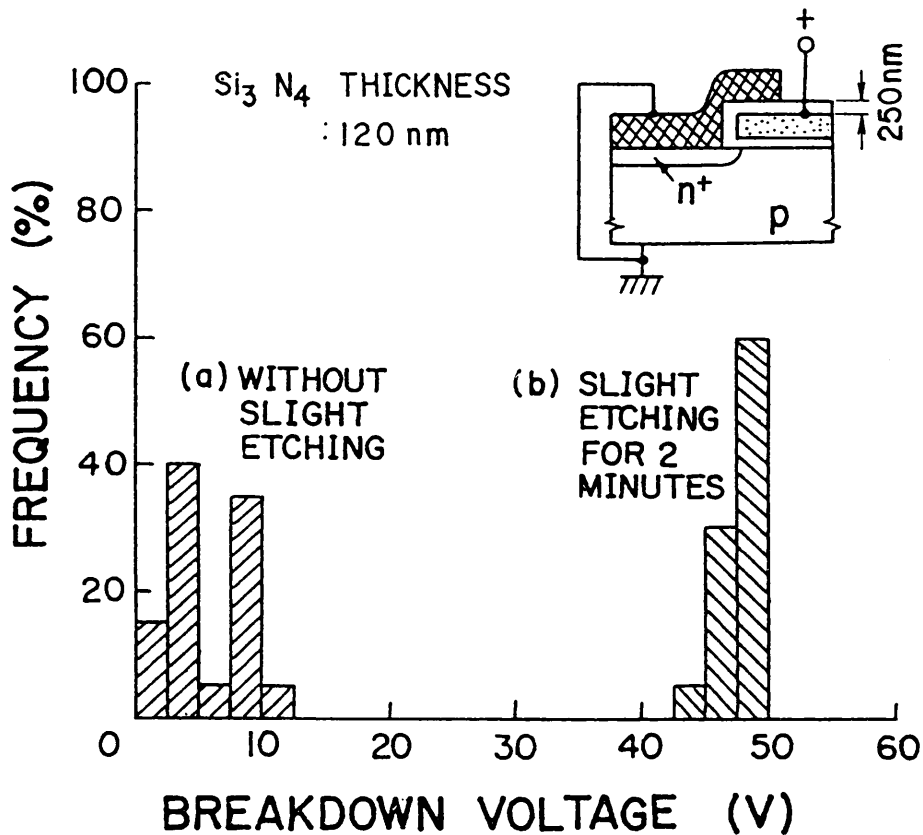


図3-13 ゲート電極とソース・ドレインとの絶縁耐圧のスライトエッチング依存性

3-4 シリサイド膜の選択形成

3-4-1 シリサイド膜選択形成の概略と実験方法

(A) シリサイド膜選択形成の概略

MOSFETソース・ドレインのセルフアライメントメタライゼーションのための、本研究で提案するTiSi₂選択形成の概略を図3-14に示す。以下、図3-14の工程に従って要点を述べる。

工程(1)：一般的なMOSFET製作工程に従いゲート酸化膜およびポリシリコンゲート電極を形成し、イオン注入によりソース・ドレインを形成する。続けてソース・ドレイン領域上の酸化膜を除去する。

工程(2)：高周波スパッタリングによりTi-Si膜を堆積する。加熱処理によりTi-Si膜をTiSi₂とする。

工程(3)：熱酸化を施す。これにより、ゲート電極およびソース・ドレイン領域上ではTiSi₂が残されたままその上にSiO₂膜が形成される。一方、フィールド酸化膜上ではTiSi₂が酸化されチタン酸化物と

SiO_2 が形成される[3]。以上から、互いに絶縁されてソース・ドレインおよびゲート電極上に TiSi_2 がセルフアライメントに形成される。

工程(4) : コンタクト穴を形成し、配線を形成する。

以上、 TiSi_2 膜の選択形成によってソース・ドレイン領域およびゲート電極上にセルフアライメントメタライゼーションが果たせる。

(B) 実験方法

基板には、面方位(100), n型, 比抵抗 $1 \sim 2 \Omega \text{cm}$ のシリコンウェハ

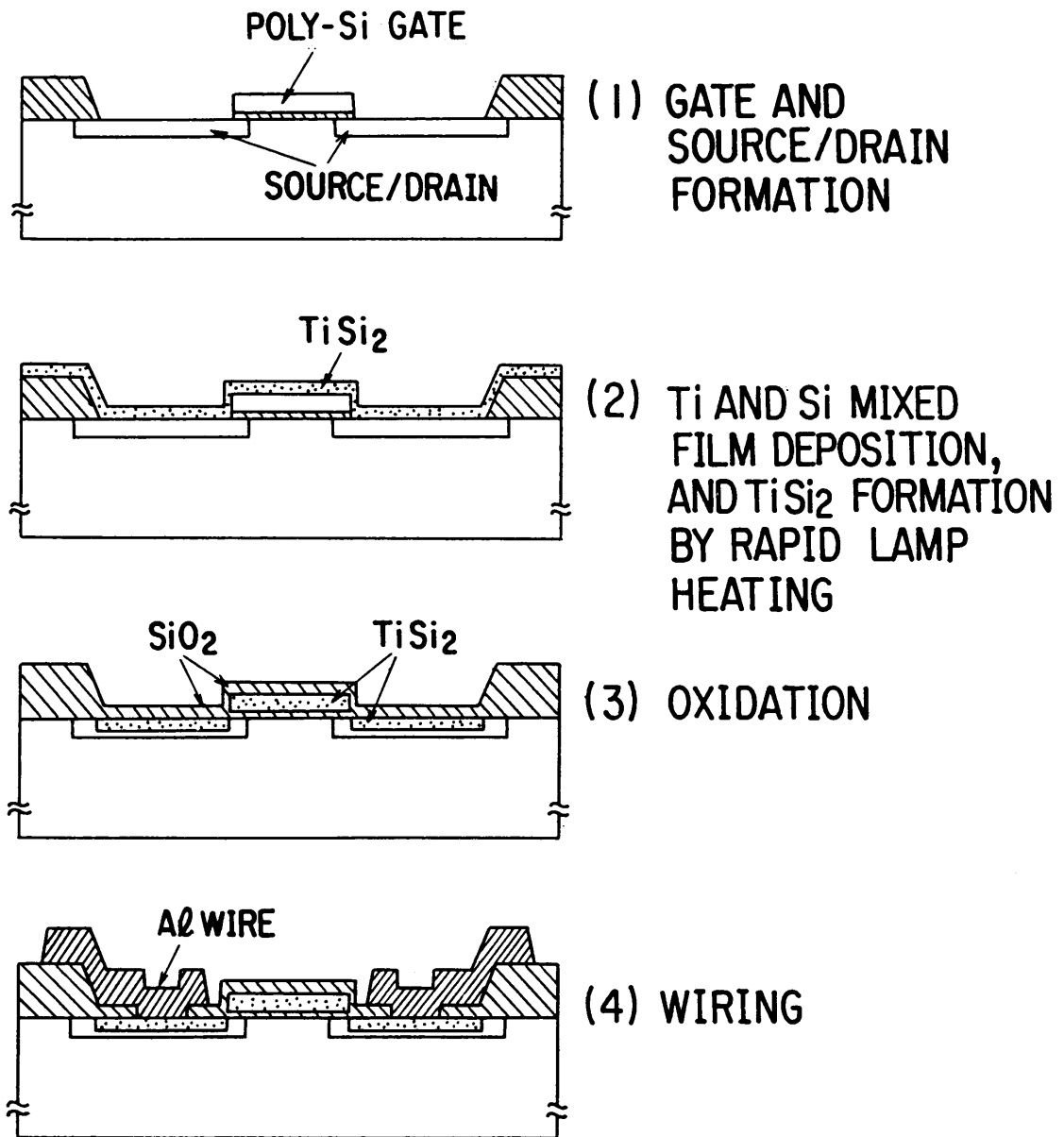


図3-14 TiSi_2 選択形成工程の概略

を用いた。ゲート酸化膜厚は50nmとし、ポリシリコンゲート電極は0.3 μ m厚とした。

高周波スパッタリングによるTi-Si膜形成は、Tiターゲット電力0.8kW, Siターゲット電力1kW, スパッタリングガス圧0.4Paで行った。Ti-Si膜厚は0.1 μ m, Ti/Si組成比は50%/50%にした。TiSi₂の形成は、ランプ加熱および電気炉加熱により行った。

熱酸化はウェット酸化法により行った。酸化温度は800℃および900℃, 酸化時間は20~180分とした。

シリサイド選択酸化の評価は、ソース・ドレインとゲート電極との絶縁耐圧およびソース・ドレインのシート抵抗により行った。絶縁耐圧の測定は、ソース・ドレインおよび基板を0Vとし、ゲート電極にバイアスを印加して行った。TiSi₂酸化の定性的な解析には、オージェ電子分光分析を用いた。また、走査電子顕微鏡(SEM)により試料断面の観察を行った。

3-4-2 結果と考察

TiSi₂酸化工程は、互いに絶縁された状態で、ソース・ドレインおよびゲート電極上にセルフアライメントにTiSi₂の形成をもたらす。

TiSi₂上に形成される酸化膜厚は、ポリシリコンゲート電極バタンの上面と側面とでほぼ同様になる。また、ソース・ドレイン上でも同程度の膜厚を示した。図3-15にTiSi₂上の酸化膜厚の酸化時間依存性を示す。TiSi₂酸化の酸化速度は、シリコン基板よりやや大きい。図3-16に800℃, 3時間の酸化を施した試料の断面SEM写真を示す。ゲート電極から完全に分離されて、TiSi₂でメタライゼーションされたソース・ドレインが示される。TiSi₂上の酸化膜厚は約0.2 μ mである。

ソース・ドレイン領域およびフィールド上の酸化膜の5nm深さにおける、オージェ電子分光スペクトルを図3-17に示す。ソース・ドレイン領域上(b)では、Tiピークは見られず、シリコン酸化物のみが形成されることが示される。一方、フィールド上(a)では、Ti, Si, Oピークが見られ、チタン酸化物とシリコン酸化物が混合して形成されていることが示される。

nチャンネルMOSFETのソース・ドレインとゲート電極との絶縁耐圧分布を図3-18に示す。酸化時間の増大に伴い絶縁耐圧は改善され、180分ではゲート酸化膜の絶縁耐圧に近い値をしめす。また、pチャンネルMOSFETにおいても十分な絶縁耐圧を有することが示された。なお、ソース・ド

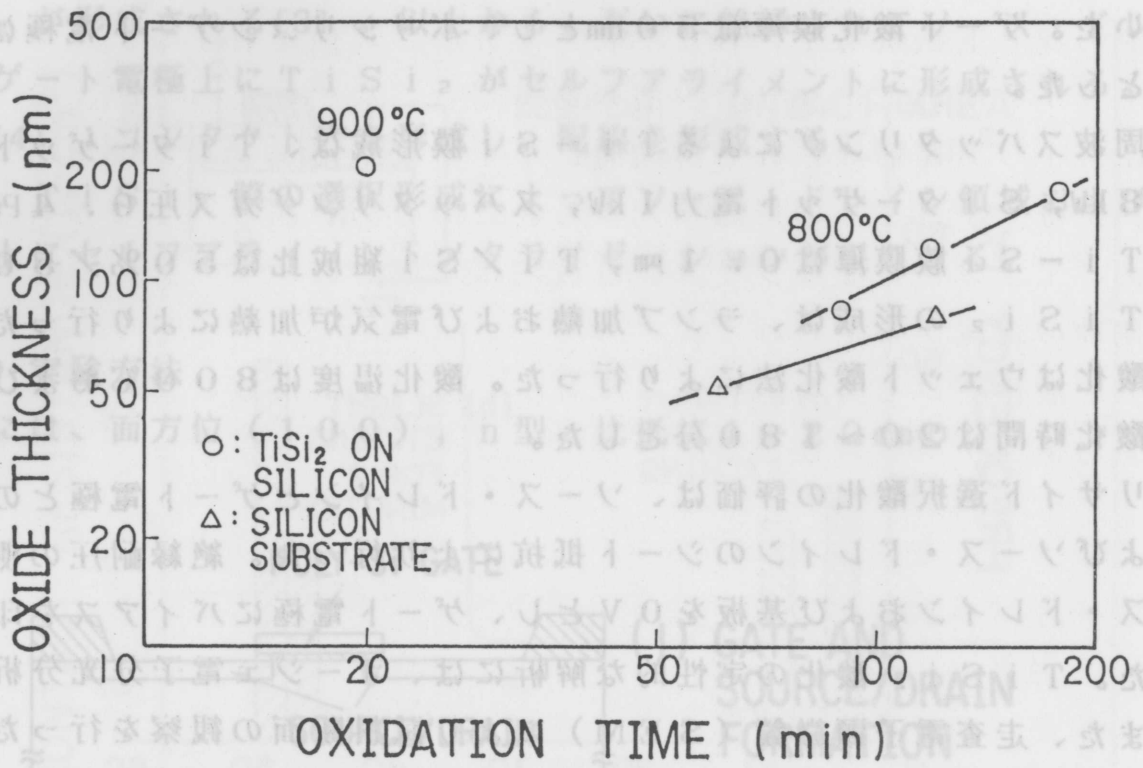


図3-15 TiSi_2 上の酸化膜厚の酸化時間依存性

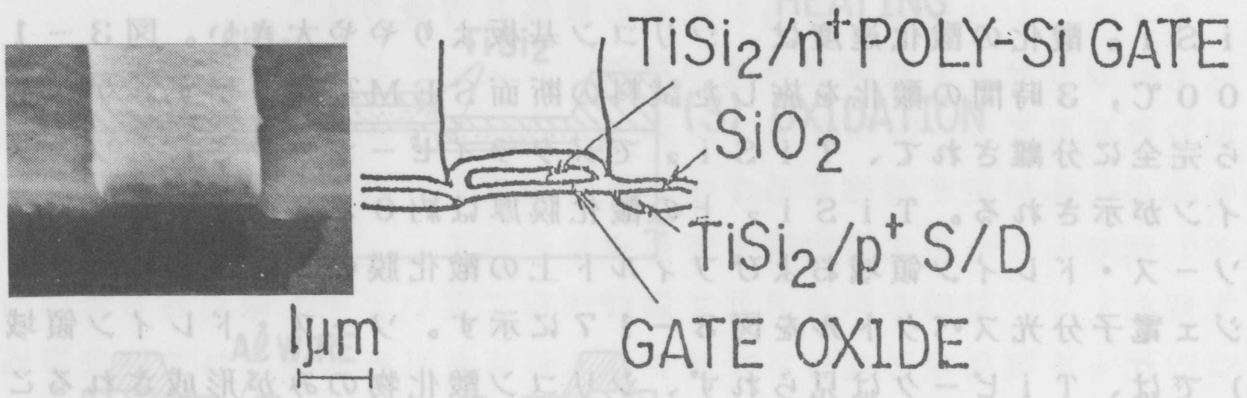


図3-16 TiSi_2 酸化後の試料断面SEM写真

レインのシート抵抗も $1.5 \Omega/\text{sq.}$ と十分小さい値を有する。

TiSi_2 層の下にシリコン層がある場合、酸化によって TiSi_2 層の表面に SiO_2 が形成される。同時に TiSi_2 層とシリコン層の界面において新たな TiSi_2 の形成が起こる。このため、図3-16から明らかなように、 TiSi_2 層はシリコン基板内に形成され、ソース・ドレインとゲート電極の絶縁が果たされる。

以上、酸化プロセスを用いた TiSi_2 膜の選択形成により、ソース・ドレインおよびゲート電極のメタライゼーションがセルフアライメントに果たされる。

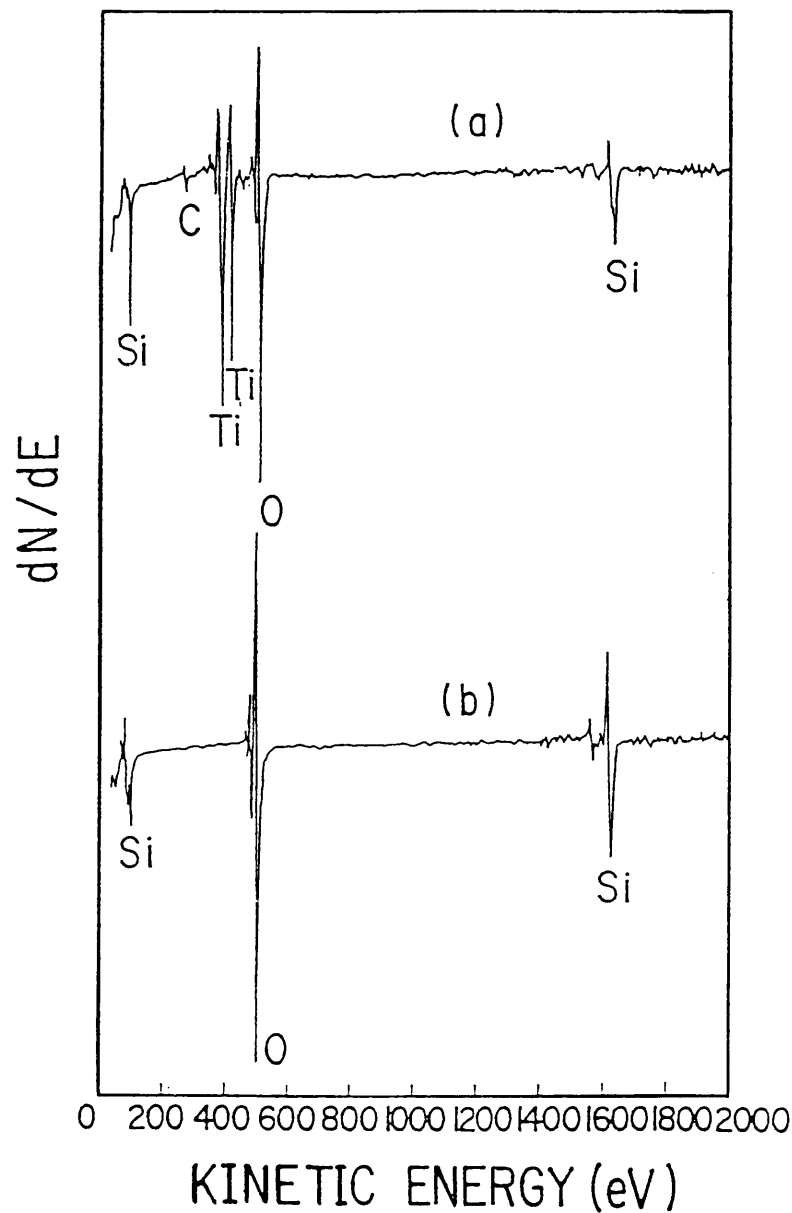
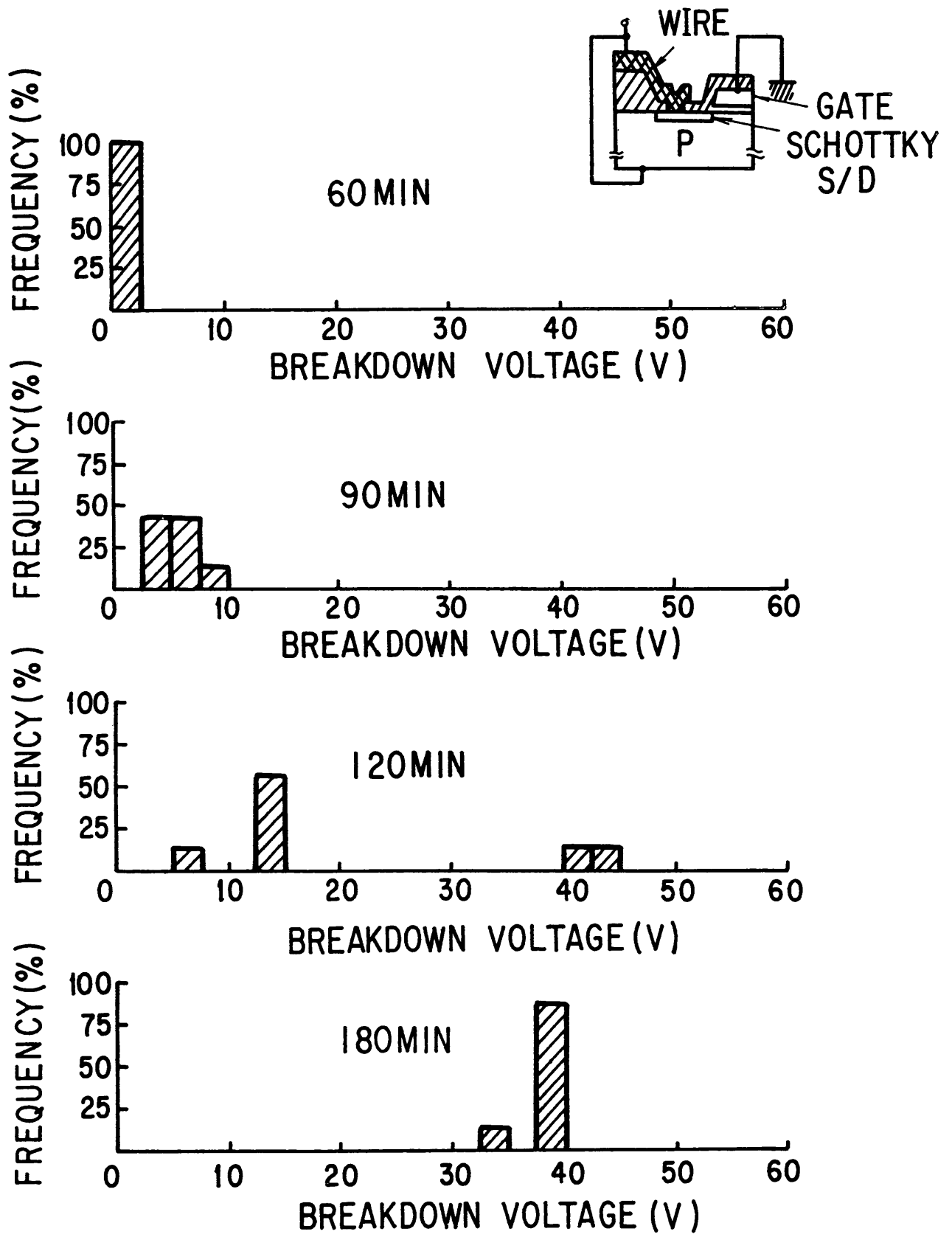


図3-17 TiSi_2 酸化後の試料表面におけるオージェ電子分光スペクトル



Breakdown voltage distribution

図3-18 ソース・ドレインとゲート電極との絶縁耐圧分布の酸化時間依存性

3-5 結言

高周波スパッタリングを用いた膜による新たなセルフアライメント加工を研究した。結言として、素子分離部のセルフアライメント形成，セルフアライメントコンタクト形成，ソース・ドレインおよびゲート電極のセルフアライメントメタライゼーションに関して得られた結果を各々分けてまとめる。

(A) 素子分離部のセルフアライメント形成

- (1) SiO_2 膜のリフトオフ加工 (LOPAS) を用いたバタン形成は、下層バタンの側壁角に依存する。スパッタリングガスとして 95% Ar - 5% H_2 を用いた場合、臨界角は約 60 度である。
- (2) 埋込みバタン形成は、斜めイオンビームエッチング法で下地バタン側壁角を、上記臨界角以下と以上の 2 段傾斜とすることで容易に果たせる。イオンビームエッチングにおけるイオンビーム入射角を 40 度にするることによって、くぼみ量およびサイドエッチング量を小さくできる。
- (3) LOPAS 法を用いた素子分離部は、バタン変換差がなく (バースピークフリー)、かつチャネルカット領域とセルフアライメントに形成される。

(B) セルフアライメントコンタクト形成

- (1) 選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) によって、フォトリソプロセスを経ることなくソース・ドレインコンタクトをセルフアライメントに形成できる。
- (2) ポリシリコン電極バタン側壁上の窒化シリコン膜除去のため、170℃熱燐酸溶液で 2 分のスライトエッチングが必要である。
- (3) 選択酸化時の酸化防止のため、窒化シリコン膜膜厚は 60 nm 以上が必要である。

(C) セルフアライメントメタライゼーション

- (1) TiSi_2 膜の選択形成によって、フォトリソプロセスを経ることなくソース・ドレイン領域およびゲート電極上にセルフアライメントにメタライゼーションできる。
- (2) TiSi_2 酸化の酸化時間は、シリコン基板に比較してやや大きい。 TiSi_2 膜膜厚約 0.1 μm の場合、800℃, 3 時間の熱酸化でソース・ドレインとゲート電極との絶縁が果たせる。

以上のように、高周波スパッタリングによる薄膜を用いた、新しいセルフアライメント加工法を提案し、そのプロセス条件を明らかにした。

第3章参考文献

- [1] R.H.Dennard, F.H.Gaensslen, H.N.Yu, V.L.Rideout, E.Bassous, and A.R.LebLANC; IEEE J. Solid-State Circuits, SC-9, 256(1974).
- [2] E.Kooi, J.G.van Lierop, and J.A.Appels; J. Electrochem. Soc., 123, 1117(1976).
- [3] S.P.Murarka; J. Vac. Sci. Technol., 17, 775(1980).
- [4] T.Mochizuki, T.Tujimaru, M.Kashiwagi, and Y.Nishi; IEEE Trans. Electron Devices, ED-27, 1431(1980).
- [5] C.K.Lau, Y.C.See, D.B.Scott, J.M.Bridges, S.M.Perna, and R.D.Davies; in 1982 IEDM Tech. Dig., 714(1982).
- [6] R.E.Jones,Jr.; IBM Res. Develop., 16, 27(1972).
- [7] L.A.Goodman, J.T.McginN, C.H.Anderson, and F.Digeronimo; IEEE Trans. Electron Devices, ED-24, 795(1977).
- [8] N.Yamauchi, T.Yachi, and T.Wada; J. Vac. Sci. Technol., A2, 1552 (1984).
- [9] R.E.Lee; J. Vac. Sci. Technol., 16, 164(1979).
- [10] T.Serikawa and A.Okamoto; Thin Solid Films, 101, 1(1983).

第4章 高周波スパッタリングによる 薄膜のシリコンMOS素子への応用

4-1 緒言

高周波スパッタリングによる薄膜形成は、真空蒸着や気相成長(CVD)による薄膜形成に比較して、低基板温度での形成が可能なことや、良質な薄膜が形成できること、金属から絶縁物まで幅広い材料の薄膜形成ができること等の多くの特長を有している。これらの特長を鑑がみ、高周波スパッタリングによる SiO_2 膜、 Ti-Si 膜、 Al 膜および積層薄膜形成の研究を行い、その形成条件を明らかにし、優れた特長が得られることを第2章で述べた。さらに、高周波スパッタリングの低温度で良質な薄膜形成が可能な特長を生かして、新しいセルフアライメント加工技術を提案し、その有効性を第3章で述べた。

一方、スパッタリング工程ではグロー放電を用いるため、高エネルギーイオン、電子および光子が基板表面を衝撃し、特にMOS素子では損傷を受ける。高エネルギーイオン、電子および光子によるMOS素子への損傷については、いくつかの報告がある[1-5]。これらの研究では、 Si-SiO_2 界面近くに固定電荷および界面準位が生成されることが指摘されている[1-8]。界面準位は、シリコンバンドギャップ内のエネルギーレベルを持ち、ホールや電子を捕獲する。また、固定電荷は酸化膜内に存在し、電界によって変化することはない。スパッタリング工程をMOS素子製作に適用するには、この固定電荷および界面準位を消滅させることが必要となる。

本章では、第2, 3章の結果および上記スパッタリング損傷に関する報告に基づき、高周波スパッタリングによる薄膜のシリコンMOS素子製作への適用について述べる。素子間分離工程には、高周波スパッタリング SiO_2 膜のリフトオフ加工(LOPAS)を適用する。ソース・ドレインおよびゲート電極のメタライゼーションには、シリサイドのセルフアライメント形成を用いる。また、セルフアライメントコンタクト形成には、選択酸化のための窒化シリコン膜リフトオフ加工(SALTS)を用いる。さらに、高周波スパッタリングによる Al 膜を、その後の工程で高温熱処理を施せないMOS素子配線形成工程に適用したときの、スパッタリング損傷について明らかにする。

4-2 素子間分離

4-2-1 LOPASによる素子間分離

(A) 実験方法

LOPASによる素子間分離を用いて、MOSFET, MOSキャパシタ, フィールドMOSFETを作製した。プロセス工程を表4-1に示す。

基板には、面方位(100), 比抵抗 $4\ \Omega\text{cm}$, p形シリコンウエハを用いた。LOPAS工程は、前章2節の結果に基づき以下のようにした。膜厚45nmの薄い酸化膜を形成し、フォトレジスト(AZ1370)ボタンを基板上に形成した。ポストベーキングは、 $140\text{ }^\circ\text{C}$ で20分間行った。チャネルカット用のボロンイオン注入ドーズ量は、 $0.5\sim 20 \times 10^{12}\text{ cm}^{-2}$ の範囲とした。高周波スパッタリングによるフィールド SiO_2 膜は、膜厚 $1\ \mu\text{m}$ とした。フォトレジストボタン側壁上の SiO_2 除去およびフォトレジスト上の不要 SiO_2 除去には、各々緩衝フッ酸およびレジスト剝離液(J100)を用いた。

ゲート酸化膜は、トリクレンをHClソースとして用いた熱酸化(トリクレン酸化法)により60nm厚形成した。ゲート電極には、CVD法による燐ドーブポリシリコンを用いた。ソース・ドレインは、燐イオン注入により形成した。 $1000\text{ }^\circ\text{C}$, 20分のアニールの後、コンタクトを形成しAl配線を形成した。最後に、 $450\text{ }^\circ\text{C}$, 20分の H_2 中アニールを施した。

比較のためにLOCOS法で製作した試料では、フィールド SiO_2 膜の形成を $1000\text{ }^\circ\text{C}$, 6時間の熱酸化により行った。バースピーク長は約 $0.5\ \mu\text{m}$ になった。

MOSFETのチャネル長およびチャネル幅は、各々 $10\sim 30\ \mu\text{m}$, $2\sim 50\ \mu\text{m}$ とした。また、フィールドMOSFETのチャネル長, チャネル幅は、各々 $4\sim 30\ \mu\text{m}$, $15\ \mu\text{m}$ とした。MOSキャパシタの電極サイズは、 $500\ \mu\text{m}$ 角とした。拡散層のブレイクダウン電圧は、 $150\ \mu\text{m} \times 200\ \mu\text{m}$ のボタンを用いて測定した。MOSFETのしきい値電圧は、飽和領域での相互コンダクタンス・ゲート電圧特性の立ち上がり電圧とした。

(B) 結果と考察

(1) 素子間分離特性

素子間分離特性の評価は、フィールドMOSFETのフィールド反転電圧および拡散層と基板とのブレイクダウン電圧を測定し評価した。

表4-1 LOPAS素子間分離を用いたMOS素子製作工程

工 程	プ ロ セ ス 条 件	
	L O P A S	L O C O S
1. 熱酸化膜形成	1000℃, 40分	1000℃, 40分
2. 窒化膜堆積	—————	反応性スパッタリング
3. レジストパタン形成	レジスト; AZ1370, ポストバーク; 140℃, 20分	
4. イオン注入 (B ⁺)	25 keV, 0.5 ~ 20 x 10 ¹² cm ⁻²	130 keV, 20 x 10 ¹² cm ⁻²
5. 窒化膜加工	—————	プラズマエッチング
6. フィールド膜堆積	スパッタリング; <150℃, 3 hr	—————
7. スライトエッチング	緩衝弗酸	—————
8. レジスト除去	レジスト剝離液 (J100)	プラズマ灰化
9. フィールド膜形成	—————	熱酸化; 1000℃, 6 hr
10. 窒化膜除去	—————	プラズマエッチング
11. ゲート酸化膜形成	1000℃, 60分	
12. ゲート電極形成	気相成長 (CVD), プラズマエッチング	
13. ソースドレイン形成 (P ⁺)	110 keV, 5 x 10 ¹⁵ cm ⁻²	
14. 層間絶縁膜形成	気相成長 (CVD)	
15. アニール	1000℃, 20分	
16. エタクトホール形成	緩衝弗酸	
17. Al堆積	スパッタリング	
18. Alエッチング	磷酸系エッチング	
19. 水素アニール	450℃, 20分	

フィールド反転電圧のチャンネルカット用ボロンドーズ量依存性を図4-1に示す。 \log (フィールド反転電圧 $V_{th,F}$) は、 $1/2 \cdot \log$ (ボロンドーズ量) に比例した変化を示す。すなわちフィールド反転電圧はボロンドーズ量の $1/2$ 乗で変化する。また、LOPAS素子間分離では、LOCOS法に比較して少ないボロンドーズ量で大きいフィールド反転電圧が得られ、ドーズ量 $1/20$ で、同一のフィールド反転電圧になる。

フィールド反転電圧 $V_{th,F}$ は、基板濃度 N_A (多数キャリア) により次式で与えられる[9]。

$$V_{th,F} = \frac{t_{ox,F}}{\epsilon_{ox}} \left[2q \epsilon_{si} N_A (\phi_s + V_{SUB}) \right]^{1/2} + \phi_s + V_{FB} \quad \text{----- (式4-1)}$$

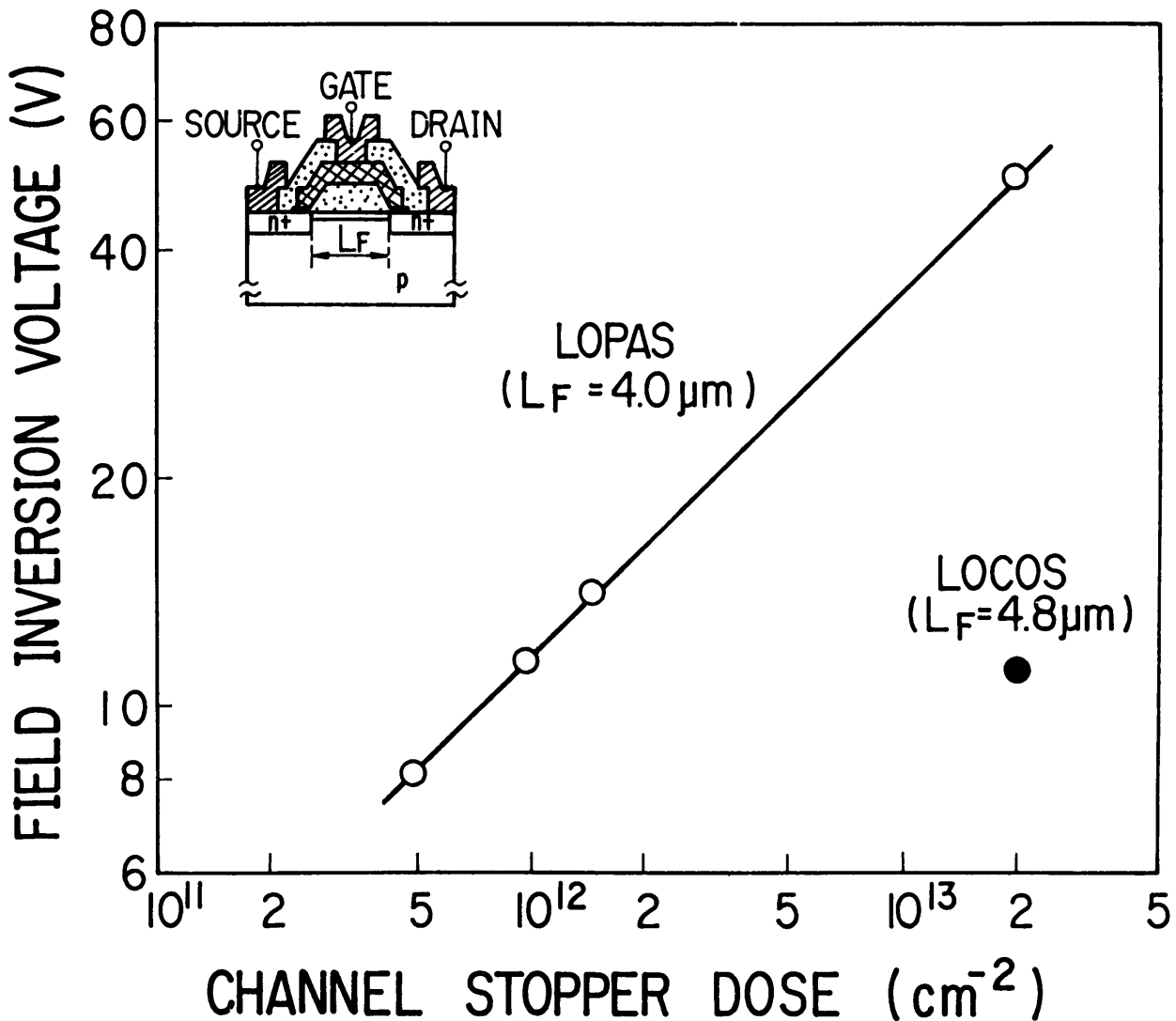


図4-1 フィールド反転電圧のチャンネルカット用ボロンドーズ量依存性

ここで、 $t_{ox \cdot F}$ はフィールド酸化膜厚、 ϵ_{ox} は酸化膜の誘電率、 q は素電荷、 ϵ_{si} はシリコンの誘電率、 ϕ_s は表面ポテンシャル、 V_{SUB} は基板電圧、 V_{FB} はフラットバンド電圧を各々示す。図4-1におけるフィールド反転電圧のボロンドーズ量の $1/2$ 乗に比例した変化は、チャンネルカットドーズ量が(式4-1)の基板濃度 N_a を実効的に決めているためである。

また、図4-2にフィールド反転電圧の基板電圧 V_{SUB} 依存性を示す。 $V_{SUB} > \phi_s$ (表面ポテンシャル)の領域では、フィールド反転電圧は基板電圧の $1/2$ 乗で変化している。LOCOS素子間分離におけるその傾きは、LOCOS法におけるより緩やかで、(式4-1)において基板の不純物濃度 $3 \times 10^{15} \text{cm}^{-3}$ を多数キャリアとして計算した傾きに一致する。

LOCOS法による素子間分離膜は、ボロンイオン注入の後、数時間の高温熱酸化で形成されることはよく知られている[10]。この熱酸化工程は、チャンネルカット用ボロンのシリコン基板中での拡散を導く。また、一部のチャネ

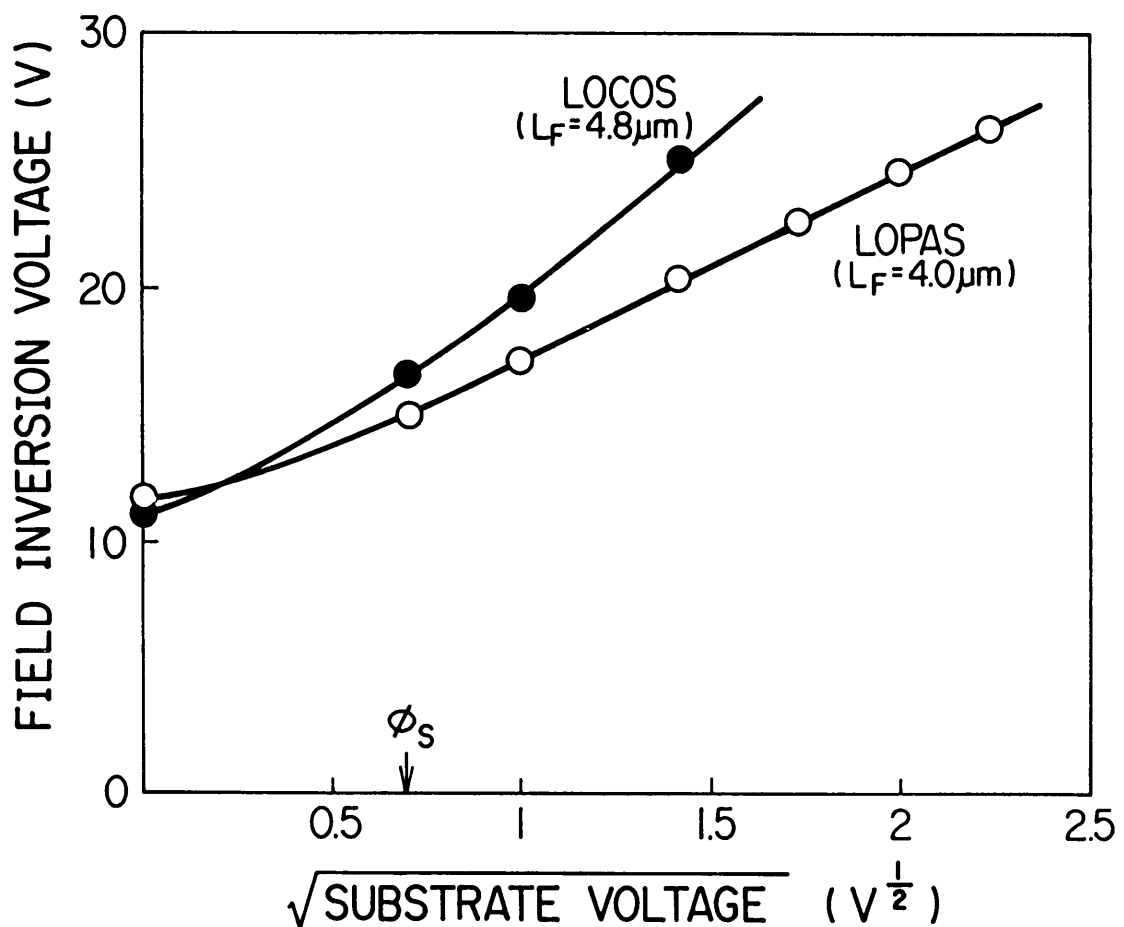


図4-2 フィールド反転電圧の基板電圧依存性

ルカット用ボロンはフィールド酸化膜中にも拡散する。一方、LOPAS素子間分離は3-2節で示したように低温プロセスであるので、ボロンの拡散は著しく抑制される。それゆえ、LOPAS法では、LOCOS法の1/20のチャンネルドーズ量で同一の反転電圧が得られる。さらに、基板電圧 V_{SUB} によって空乏層が基板中に広げられた時の多数キャリア濃度($Si-SiO_2$ 界面から離れた領域での基板濃度)がチャンネルカット用ボロンの拡散によって増大することがないため、図4-2における直線の傾きがより緩やかとなる。

ブレイクダウン電圧とチャンネルカットドーズ量の関係を図4-3に示す。ブレイクダウン電圧は、チャンネルカットドーズ量に依存する。チャンネルカットドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$ の試料では、約30Vのブレイクダウン電圧が得られる。

以上、LOPAS法を用いて製作した素子では十分有効な素子間分離特性が得られる。

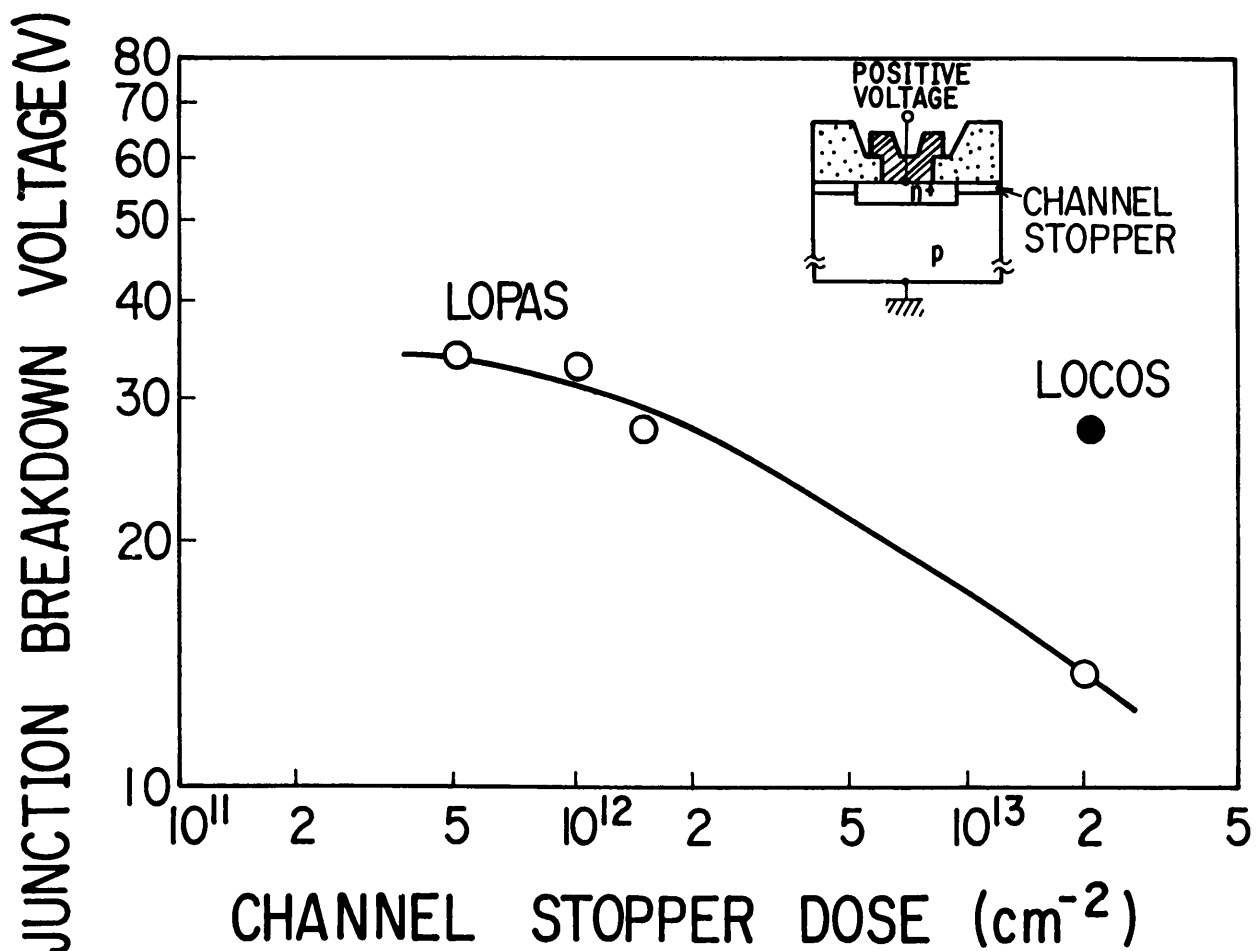


図4-3 ブレイクダウン電圧のチャンネルカットドーズ量依存性

(2) MOSFET特性

図4-4に、MOSFETしきい値電圧のチャンネル幅依存性を示す。チャンネルカットドーズ量は、LOPAS法では $1 \times 10^{12} \text{cm}^{-2}$ 、LOCOS法では図4-1から同一のフィールド反転電圧が得られる $2 \times 10^{13} \text{cm}^{-2}$ とした。LOCOS法による試料では、チャンネル幅 $5 \mu\text{m}$ 以下でしきい値電圧の著しい増加いわゆるナロウチャンネル効果が見られる。一方、LOPAS法による試料では、チャンネル幅 $2 \mu\text{m}$ 以下でもほとんどナロウチャンネル効果は見られない。

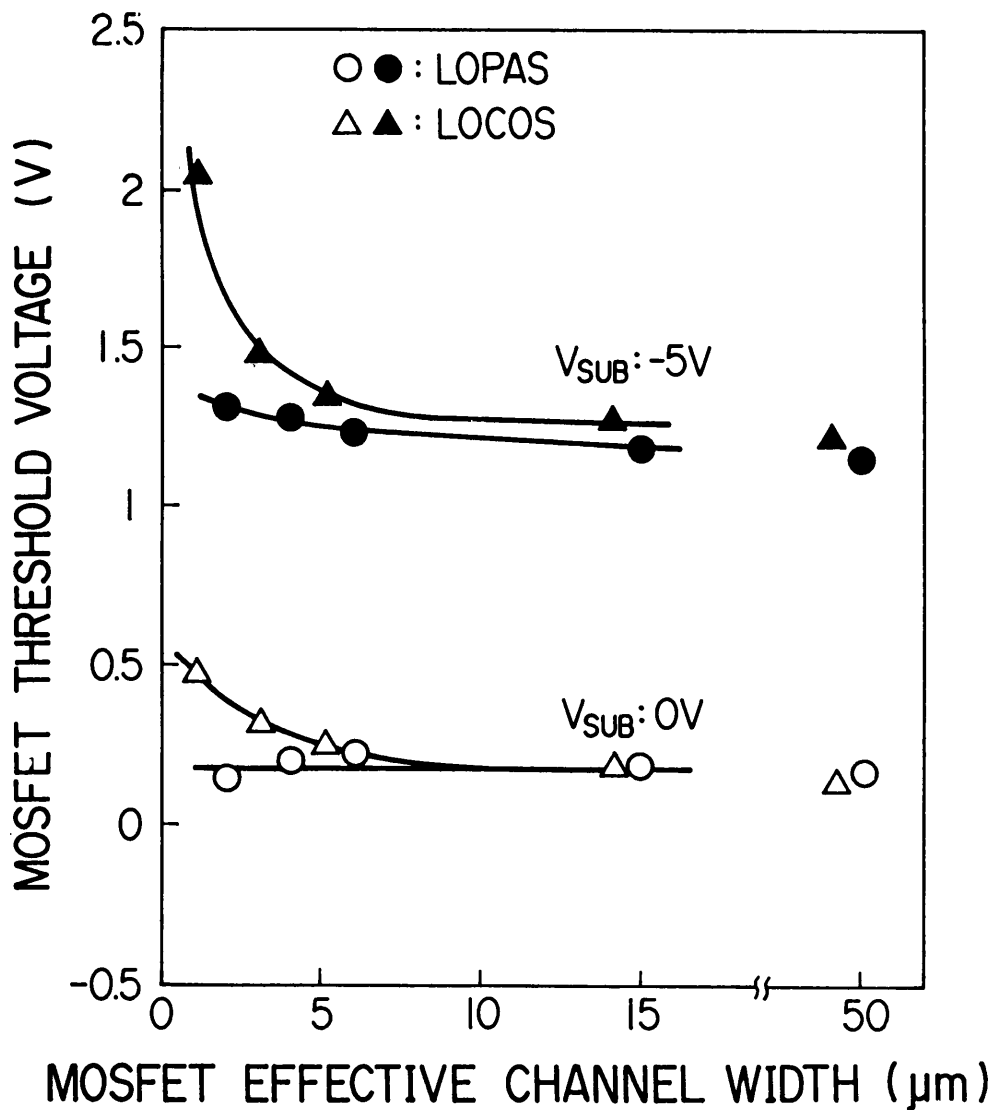


図4-4 MOSFETしきい値電圧のチャンネル幅依存性

上記ナロウチャネル効果は、主にチャネルカット用ボロンの横方向拡散に因っている。ボロンの横方向拡散は、デバイス活性領域の不純物濃度を増大させ、その結果としてMOSFETしきい値電圧を増大させる。このボロンの横方向拡散の影響は、チャネル幅の減少と共により強くなる。横方向拡散は、チャネルカットイオン注入に続く、フィールド酸化、ゲート酸化、アニール等の高温熱処理工程によって起こる。それゆえ、LOCOS法では高温・長時間（1000℃，6時間）のフィールド酸化を行うため、顕著なナロウチャネル効果が生じる。一方、LOPAS法ではフィールド形成を低温（200℃以下）で行えるため、ナロウチャネル効果の抑制が図れる。

スパッタリングSiO₂膜堆積工程では、高エネルギー粒子の基板への衝突によってSi-SiO₂界面に放射線損傷が生じることが知られている[4, 5]。もし、活性領域近くのフィールド酸化膜端の損傷がフィールド酸化膜形

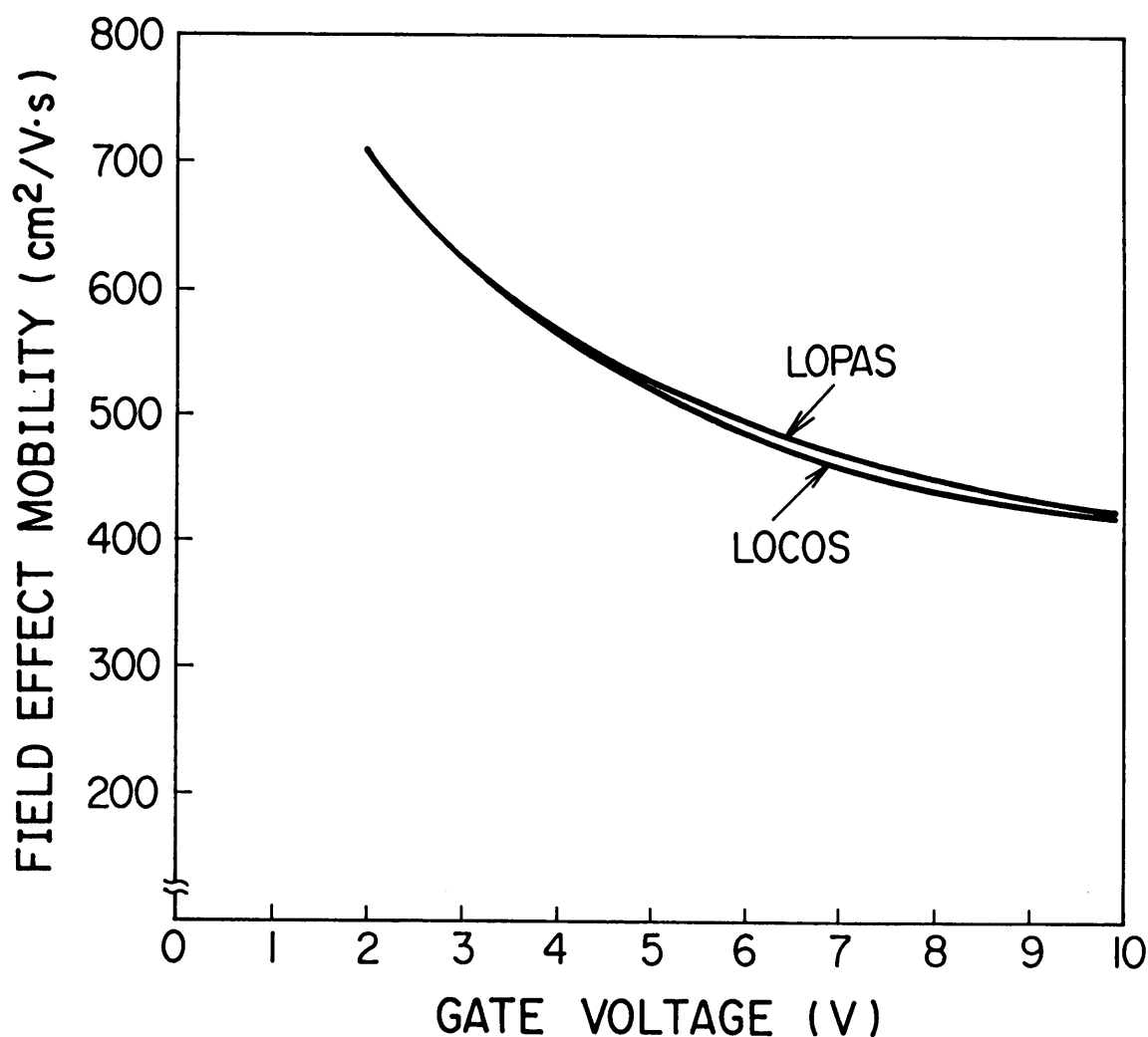


図4-5 電界効果移動度のゲート電圧依存性

成後のアニールによっても回復しない時には、MOSFET特性が損なわれることになる。MOSFET電界効果移動度のゲート電圧依存性を図4-5に示す。電界効果移動度は、LOPAS素子間分離、LOCOS法でほとんど差異がない。また、MOSキャパシタの高周波(1MHz)C-V特性でも、LOPAS素子間分離とLOCOS法において差異が見られない。従って、LOPAS素子間分離では、損傷を回復するための余分のプロセスを付加することなく、損傷回復が図られることが分かる。

以上、LOPAS素子間分離では、しきい値電圧のナロウチャネル効果を抑制でき、かつバースピークを生じないため、素子の微細パタン化、高密度化を果たせる。また、LOCOS法に比較して、窒化シリコン膜の堆積、エッチング、除去工程が不要のため、素子製作工程の短縮が図れる。スパッタリングによる損傷も、続くその後のプロセスで回復でき、MOSFET特性が損なわれることもない。

4-2-2 埋込み形LOPASによる素子間分離

(A) 実験方法

埋込み形LOPASによる素子間分離を用いて、ポリシリコン2層エンハンスメント/デプレッション(E/D)MOSデバイスを作製した。プロセス工程を表4-2に示す。基板には、面方位(100)、比抵抗 $4\Omega\text{cm}$ 、p形シリコンウエハを用いた。埋込み形LOPAS工程は、前章2節の結果に基づき以下のようにした。シリコンウエハ上にフォトレジスト(AZ1350J)パタンを形成し、イオンビームエッチングにより溝を形成した。フォトレジスト膜厚は $1.3\mu\text{m}$ 、イオンビーム入射角は 40° とした。チャンネルカットボロンイオン注入は、注入量 $7 \times 10^{12}\text{cm}^{-2}$ 、注入エネルギー 130keV とした。比較のため作製したLOCOS法による試料では、フィールド膜形成時ボロンが酸化膜中に拡散するため、ドーズ量を約3倍とした。フィールド膜形成は、スパッタリング電力 1.5kW 、スパッタリング圧力 0.33Pa で行った。一方、LOCOS法では、 1000°C 、3時間のウエット O_2 酸化により行った。

ゲート形成、ソース・ドレイン形成、配線形成は、埋込み形LOPAS素子間分離、LOCOS法共同一工程とした。ゲート酸化膜の形成には、トリクレン酸化法およびウエット O_2 酸化法を用いた。ゲート酸化膜厚はいずれも 50nm とした。EMOSおよびDMOSチャンネルドーピングは、各々ボロンお

よび燐イオン注入により行った。ゲート電極には、燐ドーパポリシリコンを用いた。ソース・ドレイン形成は、ヒ素イオン注入によった。ヒ素の活性化には、 1000°C 、20分の熱アニールを用いた。層間絶縁膜，配線の形成には、CVD法およびスパッタリング法を用いた。

MOS素子特性は、MOSFETのしきい値電圧，MOSキャパシタのC-V特性で評価した。また、ROM (Read Only Memory) 特性を、メモリの読みだし特性により評価した。

(B) 結果と考察

埋込み形LOPAS素子間分離を用いて製作したROMの表面SEM写真を図4-6に示す。最小ボタン寸法は $2.5\mu\text{m}$ である。A1配線のステップカバレジは、ポリシリコンボタン(膜厚 $0.54\mu\text{m}$)端に比較して、素子間分離ボタン(膜厚 $0.7\mu\text{m}$)端では段差が小さいため極めて良好となっている。

MOSFETしきい値電圧のチャネル幅依存性を図4-7に示す。LOCOS法では、顕著なチャネル幅依存性が見られる。一方、埋込み形LOPAS素子間分離では、チャネル幅依存性はほとんど見られず一定になる。

MOSキャパシタのC-V特性を図4-8に示す。埋込み形LOPAS素子間分離とLOCOS法とにおいて、C-V特性はほぼ同一になっている。フラットバンド電圧も、 -0.9V となり、基板濃度，電極材料等から算出される値に一致する[11]。また、MOSFETのフィールド移動度も、埋込み形LOPAS素子間分離，LOCOS法で同様の値を示した。

製作した1MbROMのチップ写真を図4-9に示す。 $2.5\mu\text{m}$ ボタンルールによりレイアウトされている。メモリセルには、ポリシリコン2層マルチゲートを用いている[12]。メモリセル総数は2Mbであり、2重化冗長構成を用い1Mbの漢字メモリセルの読みだしが行える。アクセスタイムは約 $6\mu\text{s}$ である。

以上、埋込み形LOPAS素子間分離では、しきい値電圧のナロウチャネル効果を抑制でき、かつフィールド膜ボタンの平坦化が図れるため、素子の微細ボタン化，高密度化をLOPAS素子間分離における以上に果たせる。また、製作工程での損傷によるMOS素子特性の劣化も見られない。埋込み形LOPAS素子間分離を適用した1MbROMの正常な動作も確認できた。

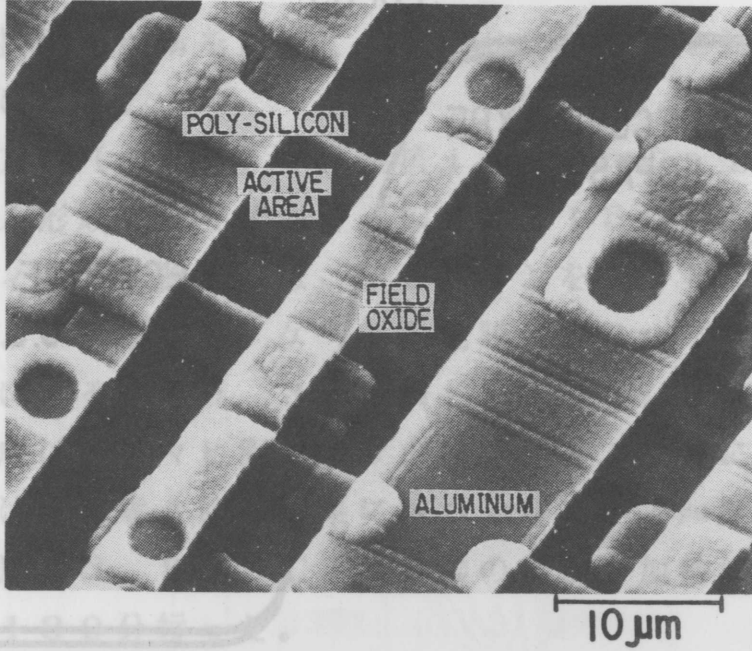
表4-2 埋込み形LOPAS素子間分離を用いたMOS素子製作工程

工 程	プ ロ セ ス 条 件	
	埋込み形LOPAS	L O C O S
1. 熱酸化膜形成	—————	1000℃, 40分
2. 窒化膜堆積	—————	反応性スパッタリング
3. レジストパタン形成	レジスト; AZ1350J	レジスト; AZ1370
4. 溝パタン形成	イオンビームエッチ; 入射角40度	—————
5. 窒化膜加工	—————	プラズマエッチング
6. イオン注入 (B ⁺)	130 keV, $7 \times 10^{12} \text{ cm}^{-2}$	130 keV, $20 \times 10^{12} \text{ cm}^{-2}$
7. フィールド膜堆積	スパッタリング; <150℃, 2.5hr	—————
8. スライトエッチング	緩衝弗酸	—————
9. レジスト除去	レジスト剝離液 (J100)	プラズマ灰化
10. フィールド膜形成	—————	熱酸化; 1000℃, 6hr
11. 窒化膜除去	—————	プラズマエッチング
12. ゲート酸化膜形成	ドライO ₂ 酸化法; 1000℃, 35分	
14. EMOS打ち込み	B ⁺ , 35 keV, $4.5 \times 10^{11} \text{ cm}^{-2}$	
15. DMOS打ち込み	P ⁺ , 130 keV, $1.5 \times 10^{12} \text{ cm}^{-2}$	
16. ゲート電極形成	気相成長 (CVD), プラズマエッチング	
17. ゲート酸化膜形成	ウェットO ₂ 酸化法; 870℃, 33分	
18. ゲート電極形成	気相成長 (CVD), プラズマエッチング	
19. ソースドレイン形成	As ⁺ , 110 keV, $5 \times 10^{15} \text{ cm}^{-2}$	
20. アニール	1000℃, 20分	
21. 層間絶縁膜形成	気相成長 (CVD)	
22. コンタクトホール形成	緩衝弗酸	
23. Al堆積	スパッタリング	
24. Alエッチング	磷酸系エッチング	
25. 水素アニール	450℃, 20分	

4-3 セルフアライメントシリサイドゲート電極・ソース/ドレイン形成

4-3-1 実験方法

シリサイド過
工程を表4-3
基板には、面
用いた。pウエ
施し行った。AREA
LOPAS法
には、CVD法
p⁺拡散層の形
Ti-Si膜
TiSi₂膜の
は、800°Cで



した。プロセス
コンウェハを
時間の熱処理を
材と前部の
ート電極
用いた。n⁺
より行った。
した。酸化
行た。酸化

図4-6 埋込み形LOPAS素子間分離を用いて製作したROMの表面SEM写真

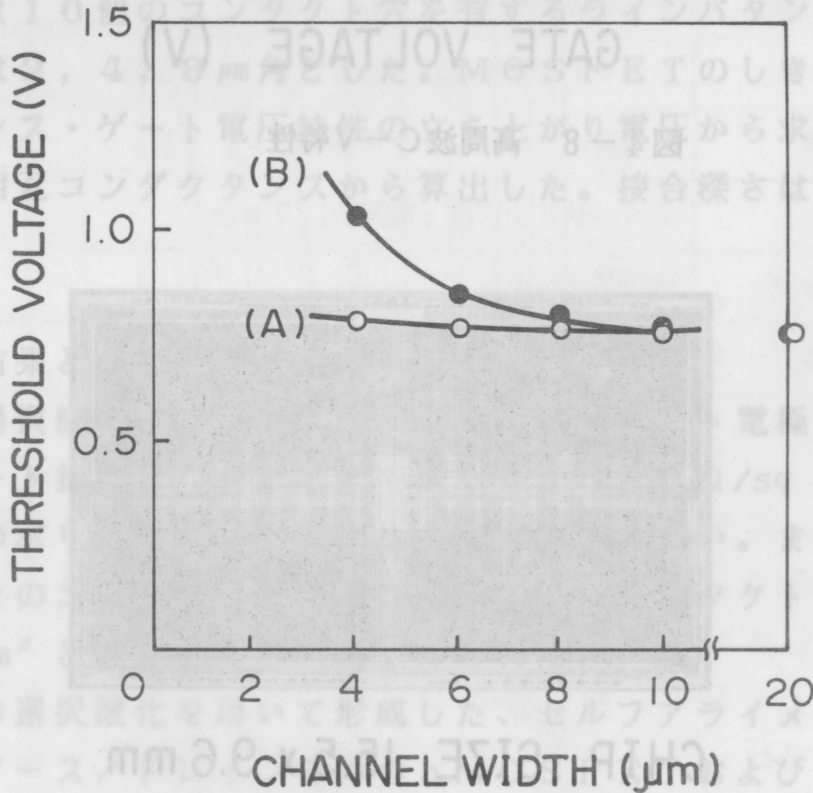


図4-7 MOSFETしきい値電圧のチャンネル幅依存性
(A) 埋込み形LOPAS, (B) LOCOS

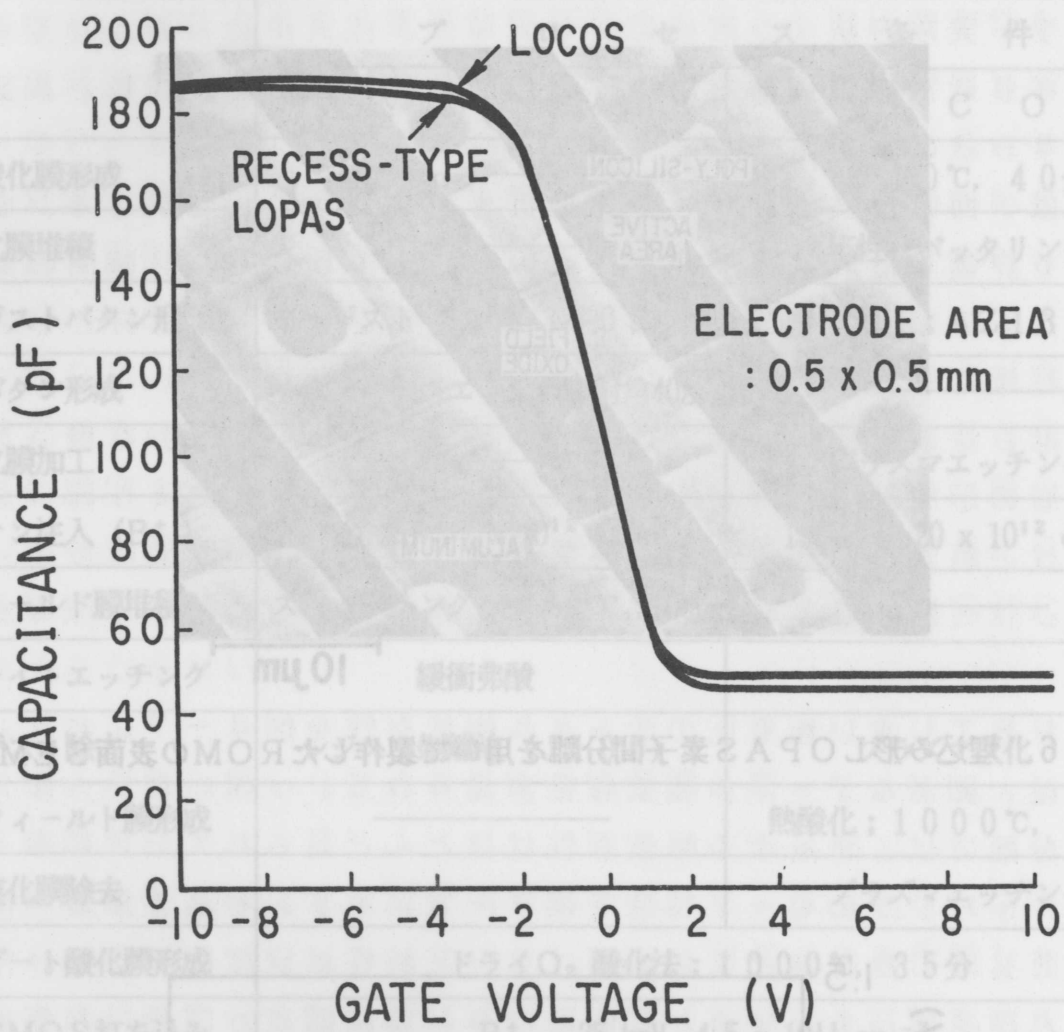
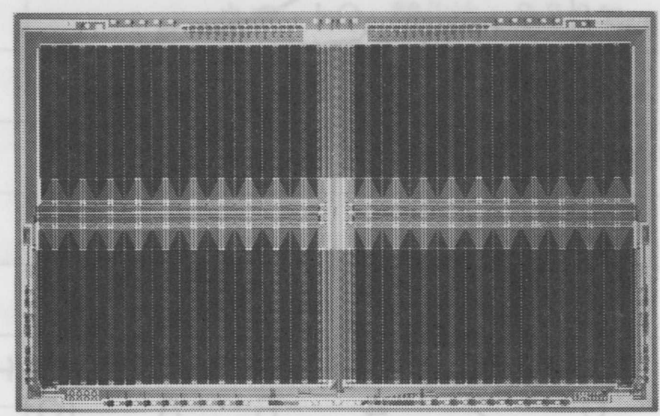


図4-8 高周波C-V特性



CHIP SIZE 15.5 x 9.6 mm

図4-9 埋込み形LOPAS素子間分離を用いて製作した1MbROMのチップ写真

4-3 セルフアライメントシリサイドゲート電極・ソース/ドレイン形成

4-3-1 実験方法

シリサイド選択酸化技術を用いて、CMOSFETを製作した。プロセス工程を表4-3に示す。

基板には、面方位(100)、比抵抗 $1\sim 2\ \Omega\text{cm}$ のn型シリコンウエハを用いた。pウェル形成は、イオン注入の後、 1150°C 、2時間の熱処理を施し行った。フィールド酸化膜は、Moボタンをリフトオフ材とし、前節のLOPAS法により形成した。ゲート酸化膜は 50nm 厚とした。ゲート電極には、CVD法による膜厚 $0.3\ \mu\text{m}$ の燐ドーブポリシリコンを用いた。 n^+ 、 p^+ 拡散層の形成は、各々ヒ素およびボロンイオン注入により行った。

Ti-Si膜は、前章4節の結果に基づき $0.13\ \mu\text{m}$ 厚堆積した。

TiSi₂膜の形成は、 800°C 、10秒のランプ加熱により行った。酸化は、 800°C で180分行った。

比較のために形成したTiSi₂層を持たない試料では、ヒ素およびボロンイオン注入による n^+ 、 p^+ 拡散層形成の後、 1000°C 、20分の活性化熱処理を行い、層間絶縁膜を堆積した。

CMOSFETのチャネル長は $1\sim 20\ \mu\text{m}$ 、チャネル幅は $3\ \mu\text{m}$ とした。コンタクト抵抗は10個のコンタクト穴を有するラインボタンで測定した。コンタクト穴径は2, 4, $8\ \mu\text{m}$ 角とした。MOSFETのしきい値電圧は、相互コンダクタンス・ゲート電圧特性の立ち上がり電圧から求めた。また、キャリア移動度は相互コンダクタンスから算出した。接合深さは、試料を斜め研磨し求めた。

4-3-2 結果と考察

TiSi₂選択酸化によるセルフアライメントゲート電極およびソース・ドレインのシート抵抗は、前章4節で述べたように $4\ \Omega/\text{sq}$ および $1.5\ \Omega/\text{sq}$ と従来のポリシリコン電極に比べて極めて小さい。また、TiSi₂層とAl配線とのコンタクト抵抗も、配線抵抗とコンタクト径の依存性から $0.08\ \mu\Omega\text{cm}^2$ と極めて小さい値が得られた。

TiSi₂の選択酸化を用いて形成した、セルフアライメントシリサイドゲート電極・ソース/ドレインを持つnMOSFETおよびpMOSFETにおける、ドレイン電流-ドレイン電圧特性を図4-10に示す。チャネル長およびチャネル幅は共に $3\ \mu\text{m}$ である。両MOSFET共、直線的な立ち上

表4-3 シリサイドの選択酸化を用いたMOS素子製作工程

工 程	プ ロ セ ス 条 件
1. pウエル形成	イオン注入; B^+ ($1.5 \times 10^{13} \text{cm}^{-2}$), As^+ ($2.5 \times 10^{12} \text{cm}^{-2}$) 不純物拡散; 1150°C , 2時間
2. Moパタン形成	スパッタリング法; 膜厚 $0.5 \mu\text{m}$
3. チャリカット 注入	イオン注入; B^+ ($2 \times 10^{12} \text{cm}^{-2}$)
4. フィールド膜堆積	スパッタリング法; 膜厚 $0.8 \mu\text{m}$
5. スライトエッチング	ウェットエッチング法; 30°C 緩衝弗酸, 30秒
6. Mo除去	ウェットエッチング法; H_2SO_4 , H_2O_2
7. ゲート酸化膜形成	トリクレン酸化法; 1000°C , 45分, 膜厚; 50nm
8. ゲート電極形成	気相成長 (CVD); 膜厚 $0.3 \mu\text{m}$
9. nMOSノード形成	As^+ , $5 \times 10^{15} \text{cm}^{-2}$
10. pMOSノード形成	B^+ , $1 \times 10^{15} \text{cm}^{-2}$
11. Ti-Si膜堆積	スパッタリング法; 膜厚 $0.13 \mu\text{m}$
12. $TiSi_2$ 形成	ランプ加熱法; 800°C , 10秒
13. 酸化	ウェット O_2 酸化法; 800°C , 180分
14. エタノール形成	反応性イオンエッチング法; CF_4-H_2
15. Al堆積	スパッタリング法; 膜厚 $0.7 \mu\text{m}$
16. Alエッチング	磷酸系エッチング
17. 水素アニール	450°C , 20分

がり特性を示す。この結果は、 $TiSi_2/n^+$ および p^+ 拡散層が、ショットキー接触ではなく、PN接合を示すことを示唆している。

MOSFETしきい値電圧のチャネル長依存性を図4-11に示す。図には比較のため、 $TiSi_2$ 層を持たないMOSFETのしきい値電圧も示す。nMOSFETでは、 $TiSi_2$ 層の有無に因らずしきい値電圧はほぼ同様の値を示す。一方、pMOSFETでは、 $TiSi_2$ 層を有する素子の値が約 0.5V 小さい。MOSキャパシタのC-V特性を図4-12に示す。

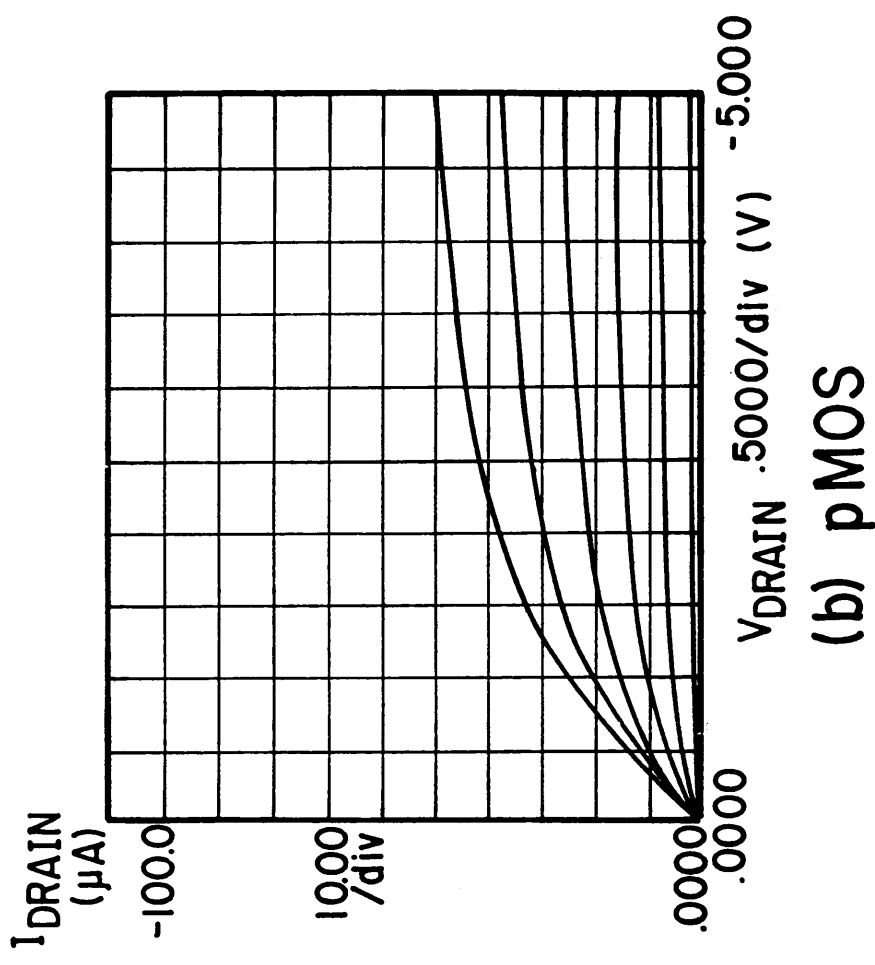
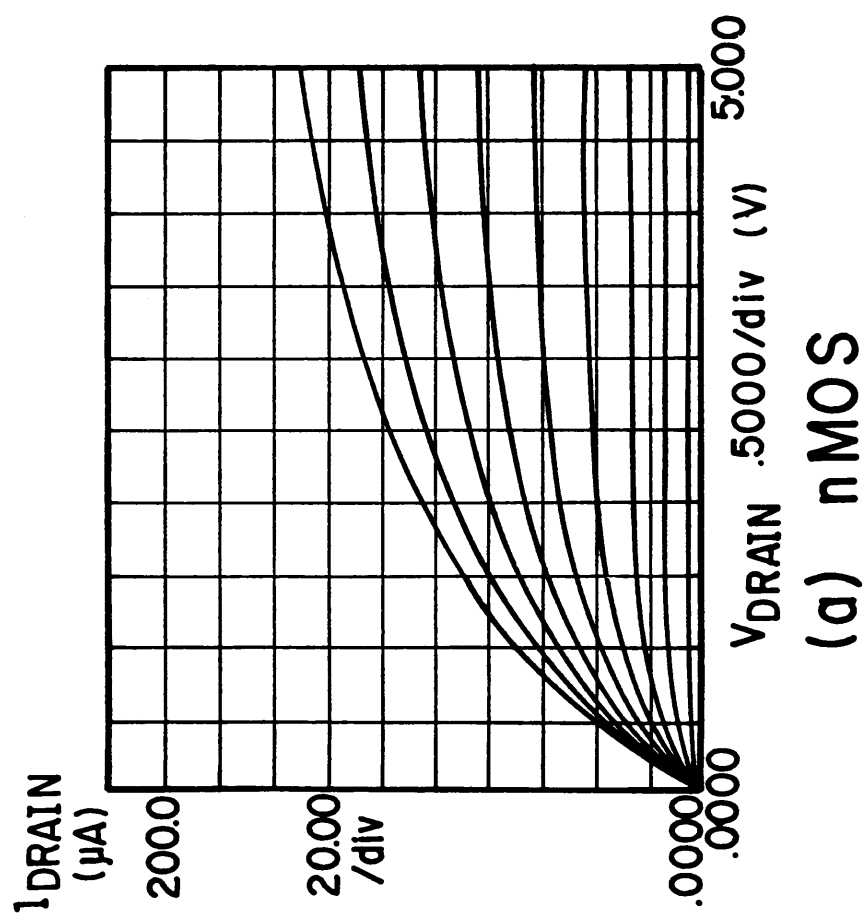


図4-10 セルファアライメントシリサイドゲート電極・ソース/ドレインMOSFETのドレイン電流-ドレイン電圧特性

pMOSキャパシタのC-V特性では、 $TiSi_2$ 層の有無に因って差異が見られる。図4-11で見られたpMOSFETのしきい値電圧の減少は、このC-V特性の差異に関係していると考えられる。

表4-4に、その他MOSFETの特性を示す。ソース・ドレインの拡散層深さは、 $TiSi_2$ 層を有するMOSFETで浅くなっている。この浅い拡散層は、 $TiSi_2$ 層を有するMOSFETでは、短時間処理のランプ加熱法を用いているためである。キャリア移動度は、 $TiSi_2$ 層の有無に因

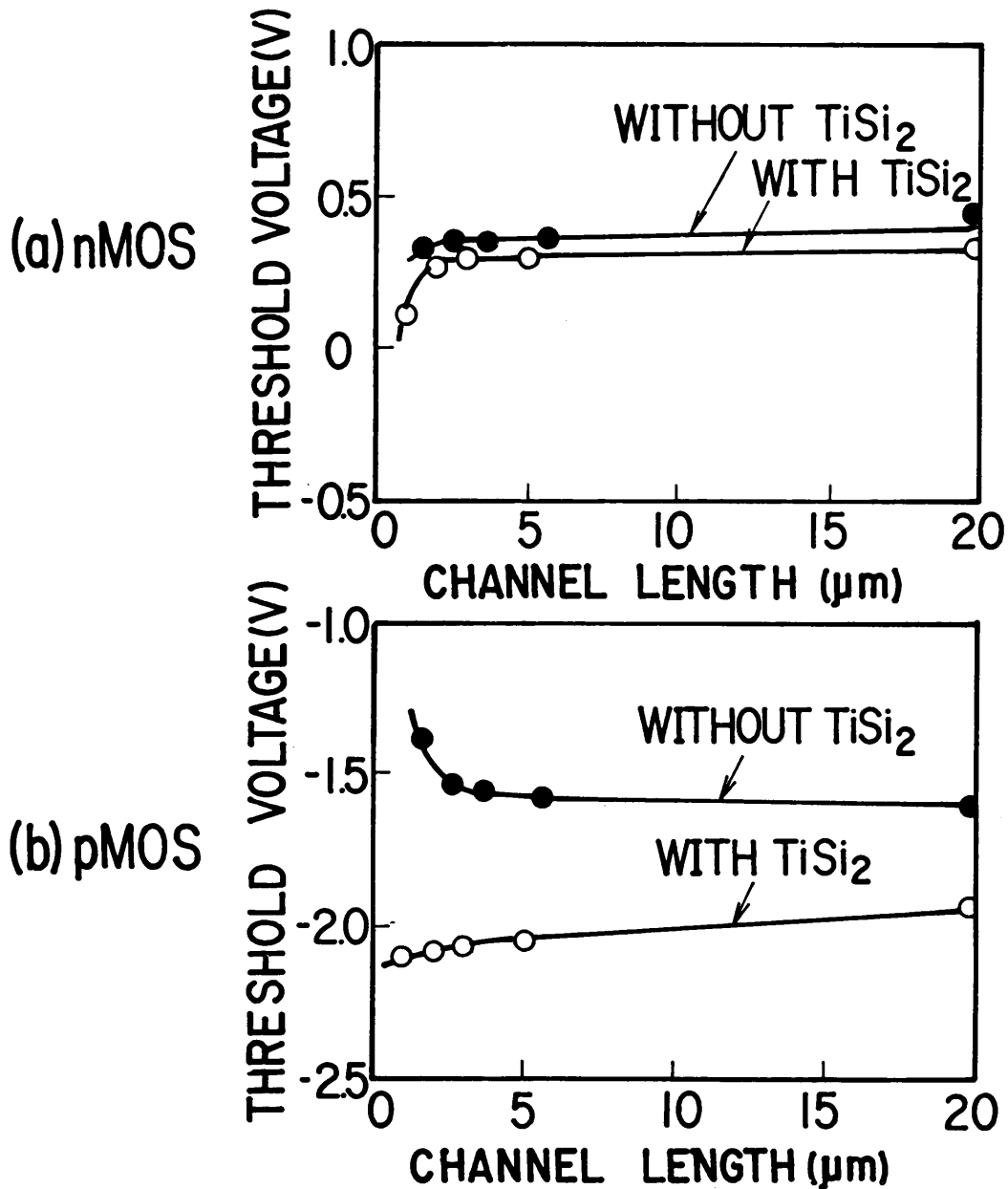


図4-11 セルフアライメントシリサイドゲート電極・ソース/ドレインMOSFETしきい値電圧のチャンネル長依存性

らずほぼ同等である。以上、セルフアライメント $TiSi_2$ ゲート電極・ソース/ドレイン MOS 素子では、配線抵抗，コンタクト抵抗を極めて小さくできる。また、MOSFET 特性は、従来のポリシリコンゲート素子とほぼ同等の値を示す。

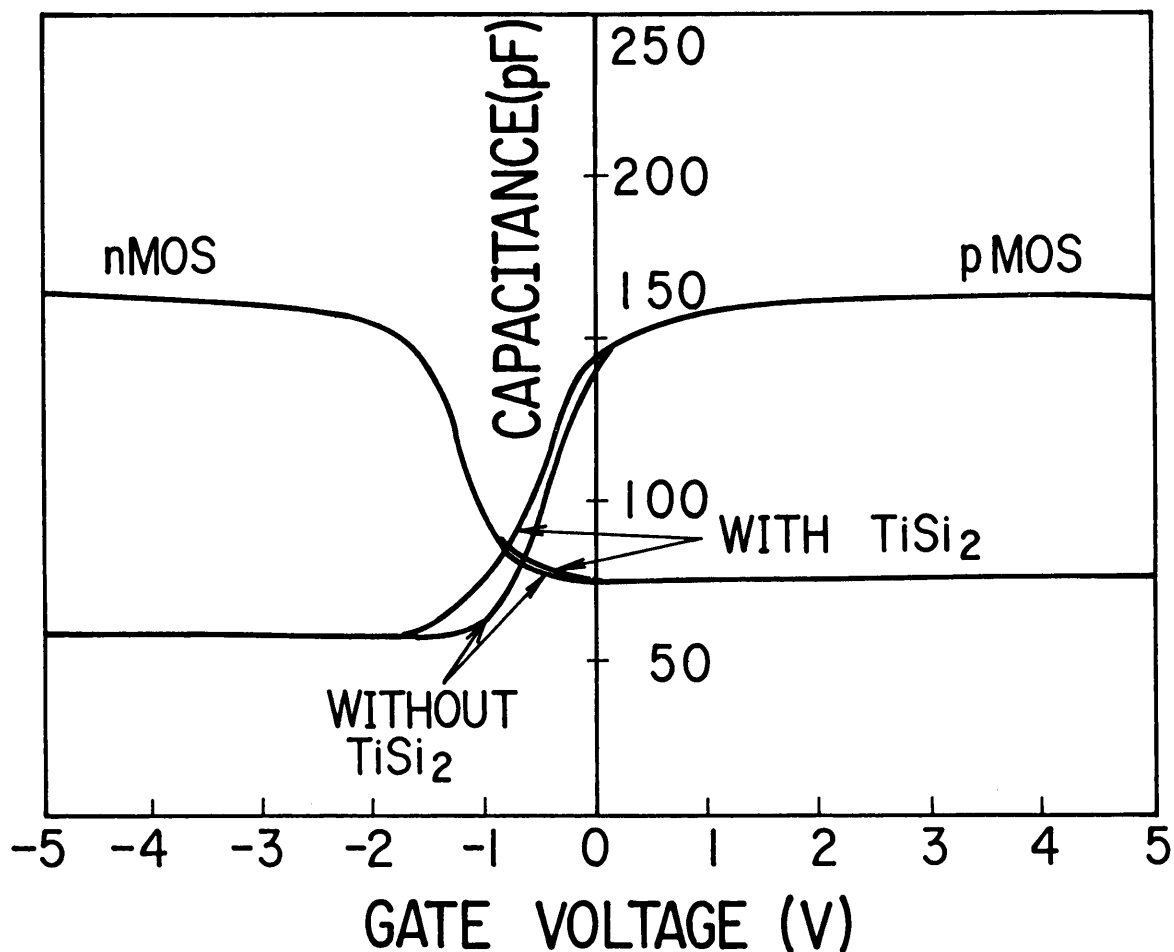


図4-12 高周波C-V特性

表4-4 MOSFETの特性

項目	$TiSi_2$ 層有り	$TiSi_2$ 層無し
拡散層深さ (μm)		
n^+	0.2	0.3
p^+	0.3	0.4
キャリア移動度 (cm^2/Vs)		
nチャネル	630	650
pチャネル	350	320

4-4 セルフアライメントコンタクト形成

4-4-1 実験方法

選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) を用いて、MOSFET, MOSキャパシタ, リングオシレータを製作した。プロセス工程を表4-5に示す。

基板には、面方位(100), 比抵抗 $10\ \Omega\text{cm}$ のp型シリコンウエハを用いた。フィールド酸化膜はLOCOS法によって形成した。ゲート酸化膜は、 $1000\text{ }^\circ\text{C}$ での熱酸化により 50 nm 厚形成した。チャンネルドーブ量は $3.9 \times 10^{11}\text{ cm}^{-2}$ とした。比較のために形成した従来法の試料では、拡散層とポリシリコンゲート電極との結線のためコンタクト穴を形成した。ゲート電極は、気相成長法およびプラズマエッチング法により形成した。

SALTS工程は、前章3節の結果に基づき行った。窒化シリコン膜は、反応性スパッタリングにより 120 nm 厚堆積した。スライトエッチングによるゲート電極側壁の窒化シリコン膜の除去は、 $170\text{ }^\circ\text{C}$ 熱燐酸により2分間行った。窒化シリコン膜のリフトオフには、発煙硝酸を用いた。層間絶縁膜の形成は、 $870\text{ }^\circ\text{C}$, 35分の熱酸化により行った。さらに、SALTS法ではコンタクト用に2層目ポリシリコン膜を堆積した。

気相成長法による層間絶縁膜形成の後、 $1000\text{ }^\circ\text{C}$, 20分のアニールを施した。配線には、スパッタリング法によるAlを用いた。最後に、 $450\text{ }^\circ\text{C}$, 20分の H_2 中アニールを施した。

リングオシレータは、エンハンスメント/エンハンスメント (E/E) タイプのインバータで構成した。段数は41段とした。駆動トランジスタと負荷トランジスタのW/L比は、各々10および1とした。

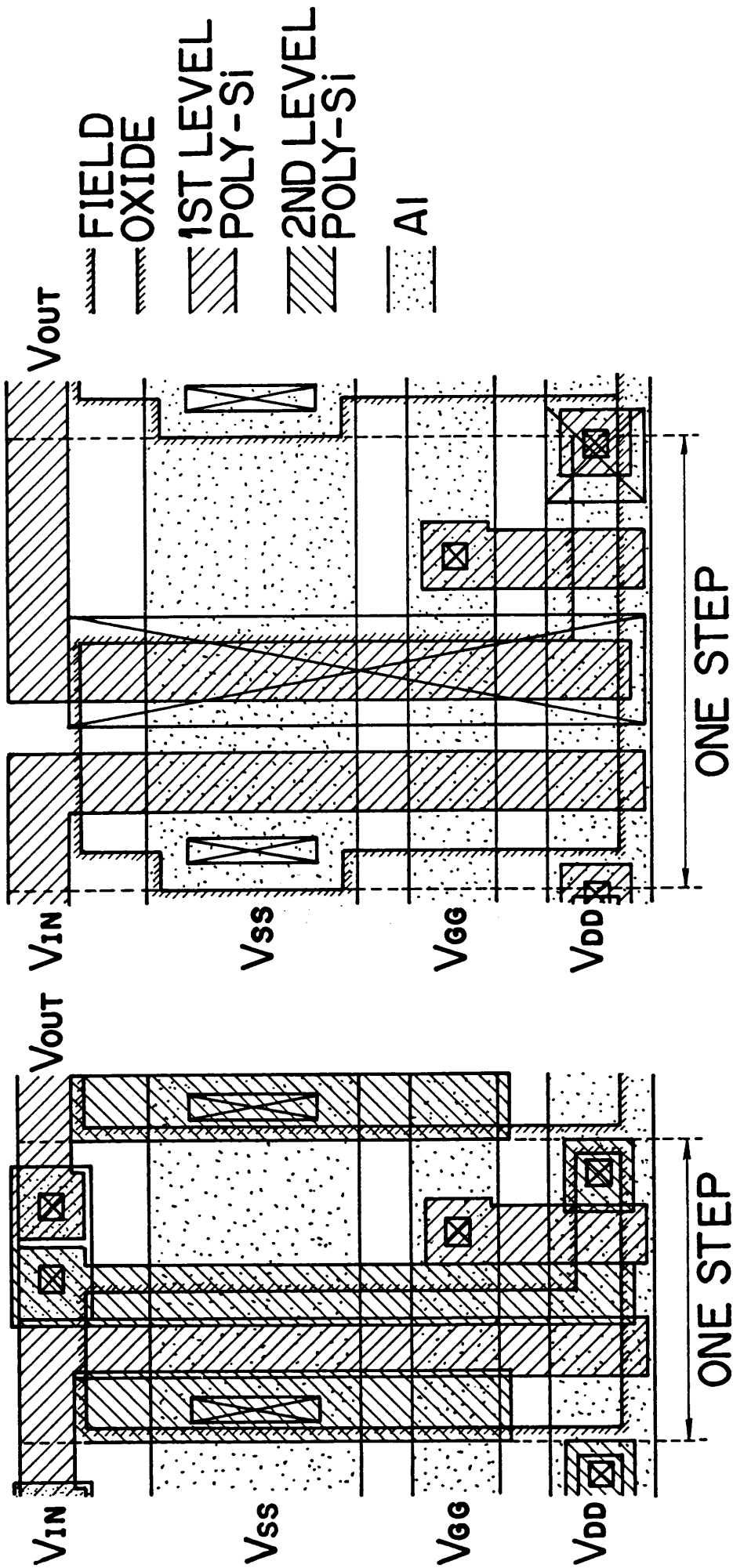
4-4-2 結果と考察

選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) を用いたインバータおよび従来法によるインバータのレイアウトパターンを図4-13に示す。両レイアウトパターンでは、ソース・ドレインコンタクト面積およびチャンネル長は同一とした。また、最小加工寸法は $2\ \mu\text{m}$ とした。図4-13から明らかのように、SALTSを用いたインバータでは、ソース・ドレインの面積を従来の素子と比較して60%低減できる。このため、インバータの面積を30%以上減少でき、素子の高密度化が図れる。図4-13では、SALTSを用いた素子のソース・ドレインコンタクト面積を従来の素子と同

表4-5 選択酸化のための窒化シリコン膜リフトオフ加工 (SALTS) を用いたMOS素子製作工程

工 程	プ ロ セ ス 条 件	
	SALTSプロセス	従来プロセス
1. 窒化膜堆積	反応性スパッタリング; 150nm厚	
2. イオン注入 (B ⁺)	130 keV, $1 \times 10^{13} \text{ cm}^{-2}$	
3. フィールド膜形成	熱酸化; 1000℃, 700nm厚	
4. 窒化膜除去	プラズマエッチング	
5. ゲート酸化膜形成	ドライO ₂ 酸化法; 1000℃, 50nm厚	
6. チャンネルドーブ	B ⁺ , 35 keV, $3.9 \times 10^{11} \text{ cm}^{-2}$	
7. 酸化膜除去	—————	ウエットエッチング; 緩衝弗酸
8. ゲート電極形成	気相成長 (CVD), プラズマエッチング	
9. 窒化膜堆積	反応性スパッタリング; 150nm厚	—————
10. 窒化膜加工	熱磷酸; 170℃	—————
11. 酸化	ウエット酸化; 870℃, 250nm厚	—————
12. 窒化膜除去	ウエットエッチング; 熱磷酸	—————
13. ソース・ドレイン形成	As ⁺ , $5 \times 10^{15} \text{ cm}^{-2}$	
14. シリコン配線形成	気相成長 (CVD)	—————
15. 層間絶縁膜形成	気相成長 (CVD)	
17. エタクトホール形成	緩衝弗酸	
18. Al堆積	スパッタリング	
19. Alエッチング	磷酸系エッチング	
20. 水素アニール	450℃, 20分	

一とした。しかし、SALTSを用いた素子のソース・ドレインコンタクト面積は、本来フィールド膜ボタンとゲート電極ボタンとのマスク合わせ余裕およびコンタクト抵抗で決められる。したがって、ソース・ドレインボタン面積のより以上の縮小が期待できる。



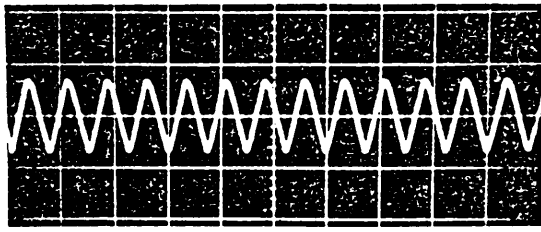
(a) SALTS (b) CONVENTIONAL TYPE

図4-13 インバータ回路のレイアウトパターン

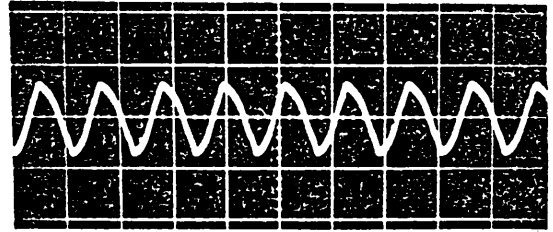
SALTSおよび従来法によるリングオシレータの発信波形を図4-14に示す。ドレイン電圧、基板電圧は、各々5Vおよび0Vである。MOSFETのしきい値電圧は、0.6Vである。発信波形からインバータ1段当たりの遅延時間は、SALTSでは0.5ns、従来法では0.7nsと求まる。SALTSでは30%以上の遅延時間の低減が図られている。遅延時間は、近似的にはゲート容量とソース・ドレインの拡散層容量の和に比例する[13]。駆動トランジスタのゲート容量は、ゲート電極面積とゲート酸化膜厚がSALTS法と従来法とで同一であり、両素子共約0.013pFと算出される。接合容量は、接合深さ、基板不純物濃度、および接合面積から求まり、SALTSプロセスでは0.010pF、従来プロセスでは0.023pFになる。したがって、ゲート容量と接合容量との和は、SALTSプロセスでは従来プロセスの約30%低減される。リングオシレータにおける遅延時間の低減は、この接合容量の低減に因っている。

スパッタリングにおける高エネルギー粒子は、MOSFETのSi-SiO₂界面に放射線損傷を与える[1-5]。アニールによって損傷が取り除かれない場合には、MOSFET特性が損なわれる。SALTSプロセスと従来プロセスによるMOSキャパシタの高周波(1MHz)C-V特性を図4-15に示す。MOSキャパシタのフラットバンド電圧には、両プロセスにおいて差異が見られない。フラットバンド電圧は、-0.9Vとシリコン基板とポリシリコンゲート電極との仕事関数差に一致する[11]。さらに、BT(Bias-Temperature Stress)処理(+10V, 200℃, 1hr)によるフラットバンド電圧の変化も見られない。電界効果移動度も770cm²/V·sと従来プロセスによる素子と違いはない。これらの結果から、放射線損傷は層間絶縁膜形成後のアニール工程によって取り除かれ、SALTSプロセスを用いた素子では、MOS素子特性への悪影響がないことが示される。

以上、選択酸化のための窒化シリコン膜リフトオフ加工(SALTS)を用いれば、従来プロセスに比較して30%以上の素子の高密度化および高速化を果たせる。



(a) SALTS



(b) CONVENTIONAL
TYPE

50 ns/div.

$V_{DD}=5V, V_{SUB}=0V, V_{TH}=0.6V$

図4-14 リングオシレータの発信波形

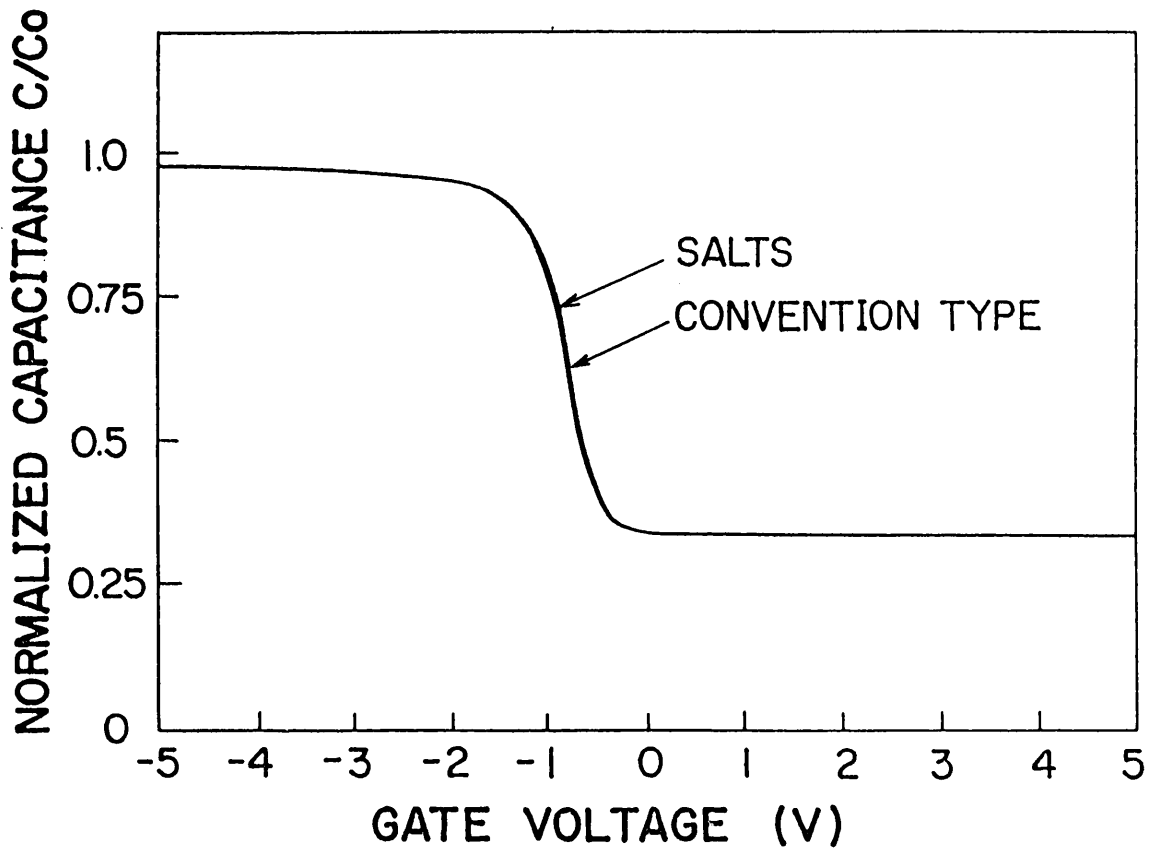


図4-15 高周波C-V特性

4-5 Al配線の形成とスパッタリング損傷の改善

4-5-1 実験方法

スパッタリングAl配線膜を用いて、MOSキャパシタ、nチャネルMOSFETを作製した。基板には、p型、面方位(100)、比抵抗 $10\ \Omega\text{cm}$ のシリコンウエハを用いた。ゲート酸化膜厚は 108nm 、ポリシリコンゲート電極膜厚は 500nm とした。ソース・ドレインは、燐イオン注入により形成した。その後、注入イオンの活性化のため、 1000°C 、20分間の窒素雰囲気中熱処理を施した。CVD法により、層間絶縁膜を 500nm 厚堆積し、コンタクト穴を形成した。Al配線膜の形成は、第2章4節の結果に基づき高周波2極スパッタリングにより行った。Al堆積前に、前工程で生じた損傷を取りのぞくため、 600°C 、20分間の $25\%\text{H}_2 - 75\%\text{N}_2$ 雰囲気中熱処理を施した。ターゲットには、 $\text{Al} - 2\%\text{Si} - 4\%\text{Cu}$ を用いた。スパッタリングガスには、 $100\%\text{Ar}$ および $10\%\text{H}_2 - 90\%\text{Ar}$ を用いた。スパッタリングガス圧は、 2.7Pa とした。Al膜厚は約 500nm とした。Al配線パタンの加工には、ウェットエッチングを用いた。なお、Al配線とポリシリコンゲート電極とのコンタクトは、フィールド膜上で行った。Al配線パタン形成の後、一部の試料には $25\%\text{H}_2 - 75\%\text{N}_2$ 混合ガス雰囲気中熱処理を施した。

MOSキャパシタの電極面積は $1\ \mu\text{m}$ 角とした。MOSFETのチャンネル長、チャンネル幅は、 $50\ \mu\text{m}$ 、 $120\ \mu\text{m}$ とした。スパッタリング損傷の評価は、MOSキャパシタを用いて、ゲート酸化膜中の固定電荷 Q_{ox} と界面準位密度 N_{ss} を求め行った。また、MOSFETのしきい値電圧 V_{th} 、相互コンダクタンス g_m を求め評価した。 Q_{ox} は、C-V(容量-電圧)特性におけるフラットバンド電圧の、シリコン基板とゲート電極の仕事関数差 -0.9V からのシフト量から算出した[8,14]。 N_{ss} は、掃引速度 20mV/s を用いた準静的C-V特性から算出した[15]。 V_{th} は、飽和領域での $g_m - V_G$ (相互コンダクタンス・ゲート電圧)特性の立ち上がり電圧から求めた。

4-5-2 結果と考察

(A) スパッタリング損傷と熱処理による回復

MOSキャパシタの H_2 雰囲気中熱処理有無によるC-V特性の差異を図4-16に示す。 H_2 雰囲気中熱処理を施していない試料では、フラットバンド電圧 V_{FB} が、ゲート電極とシリコン基板の仕事関数差 -0.9V [11]よ

り負電圧側にシフトする。この試料の V_{FB} は、B-T (バイアス-温度) 処理によってもほとんど変化を示さない。この事は、Si-SiO₂ 界面に固定電荷 Q_{ox} が生じていることを示している[16]。 Q_{ox} は、スパッタリング電力が 1.6W/cm^2 から 2.0W/cm^2 に増加するのに伴い、 $2.0 \times 10^{11}\text{cm}^{-2}$ から $3.0 \times 10^{11}\text{cm}^{-2}$ へと増大する。しかし、 450°C 、20分間の H_2 雰囲気中熱処理を施すと、 V_{FB} は Q_{ox} がいない場合の -0.9V に一致する。なお、A1堆積前にプローブで測定したフラットバンド電圧 V_{FB} は、ほぼ -0.9V を示した。

図4-17は、界面準位密度 N_{ss} のバンドギャップ内の分布を示す。スパッタリングによるA1膜の堆積は、バンドギャップ中央の N_{ss} を $3 \times 10^{11}\text{eV}^{-1}\text{cm}^{-2}$ 程度まで増加させる。 N_{ss} は、スパッタリング電力が増大するのに伴い増加を示す。しかし、 H_2 雰囲気中熱処理を施すと、 N_{ss} は減少し、シリコン基板の面方位から求められる $1 \times 10^{10}\text{eV}^{-1}\text{cm}^{-2}$ 程度[6]になる。

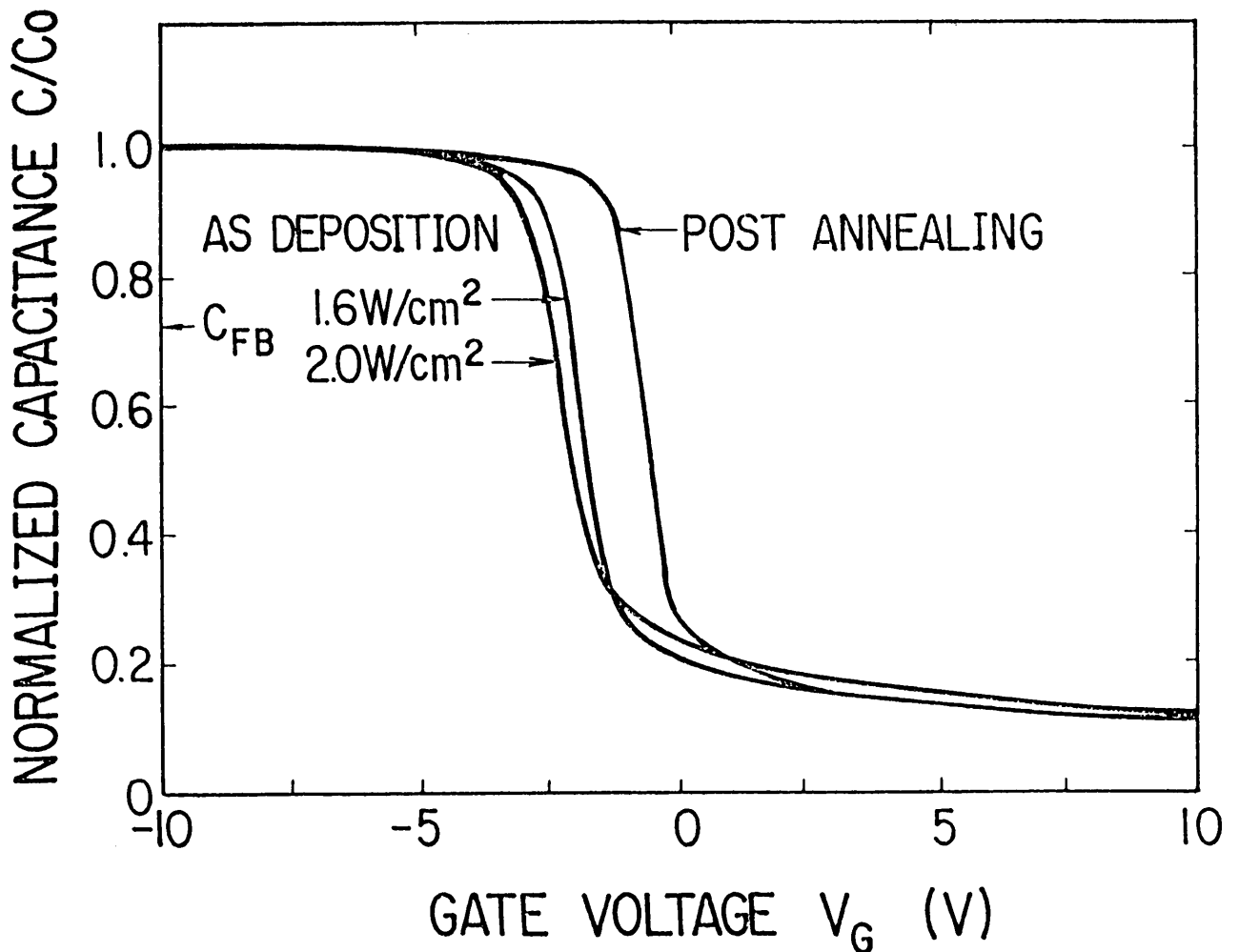


図4-16 高周波C-V特性

基板電圧 V_{BG} をパラメータとした $g_m - V_G$ (相互コンダクタンス・ゲート電圧) 特性を図 4-18 に示す。スパッタリングによる Al 膜堆積直後の試料では、 g_m は小さく、その立ち上がりも緩やかである。 g_m は、チャンネル内のキャリアの電界効果移動度に依存し、キャリアの電界効果移動度は Q_{ox} 、 N_{ss} による散乱に依存する。すなわち、 g_m の低下は、キャリアの電界効果移動度の Q_{ox} 、 N_{ss} による散乱に囚われている。しかし、 H_2 雰囲気中熱処理によって、 g_m は通常の値に回復し、その立ち上がりも急峻となる。

図 4-19 に、基板電圧 V_{BG} に伴うしきい値電圧 V_{th} の変化量を示す。実験結果から次の点が明らかである。(1) スパッタリングにより V_{th} は、正電圧側にシフトし、そのシフト量はスパッタリング電力の増大に依存する。(2) V_{th} の V_{BG} に伴う変化の傾きは、スパッタリングにより増大する。(3) 上記(1)、(2) のスパッタリング損傷は、 H_2 雰囲気中熱処理によりほとんど消滅する。このことは、 H_2 雰囲気中熱処理後の特性が、不純物濃度を基板濃度 ($1 \times 10^{15} \text{cm}^{-3}$) とし、フラットバンド電圧を -0.9V と仮定して算出した [17] カーブに一致することで示される。スパッタリング損傷の回復は、 Q_{ox} 、 N_{ss} の消滅に囚われている。

MOS トランジスタのしきい値電圧 V_{th} は、基板不純物濃度だけでなく、固定電荷 Q_{ox} や界面準位密度 N_{ss} に依存する。 Q_{ox} は、正の電荷を有し、キャリアと相互に関係することはない。一方、 N_{ss} は、電子あるいはホールと関係し、負または正に荷電する。このため、 V_{th} は、 Q_{ox} と N_{ss} の和の電荷の符号に従い、負または正の電圧方向にシフトする。スパッタリング直後の試料では、図 4-19 に示すように、しきい値電圧 V_{th} が正電圧側にシフトするので、 Q_{ox} と N_{ss} の和の電荷の符号は負になる。すなわち、図 4-17 における N_{ss} は、負に帯電するアクセプタ型の界面準位と考えられる。アクセプタ型の界面準位密度はスパッタリング電力に依存して増大し、 V_{th} の大きいシフトをもたらす。

V_{th} は、また基板電圧 V_{BG} に依存する [9]。 V_{th} の V_{BG} 依存度は、キャリア濃度 (基板不純物濃度) に影響される。すなわち、(式 4-1) に示されるように、キャリア濃度の増加は、 V_{th} の V_{BG} 依存度を大きくする (グラフ上で傾きが急峻になる)。図 4-19 に示された堆積直後における試料の、より大きな V_{th} の V_{BG} 依存度は、スパッタリングによってシリコン基板にアクセプタ形の界面準位が生成され、実効的なキャリア濃度を増大させているためと推察される。

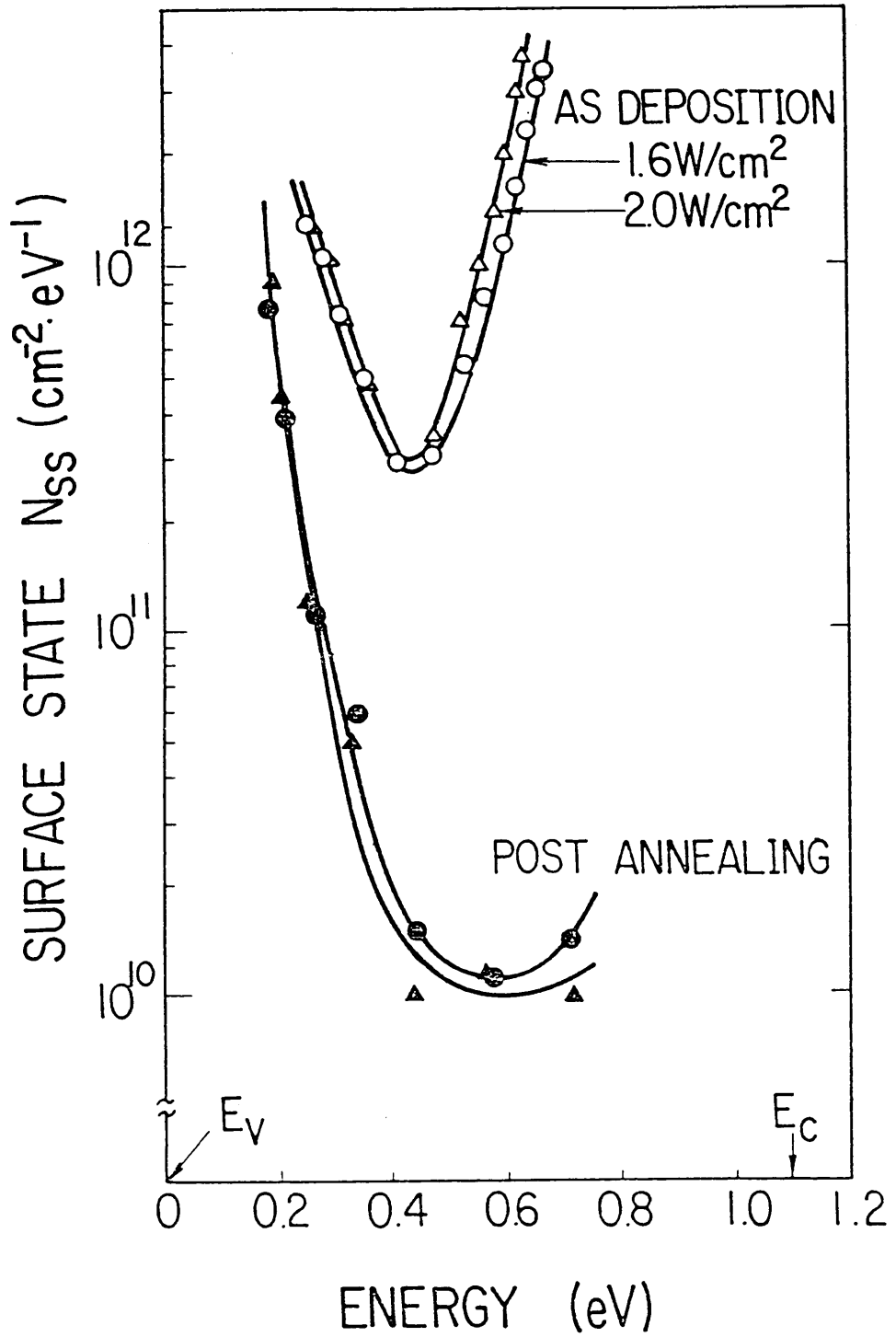


図4-17 界面準位密度のエネルギーレベル依存性

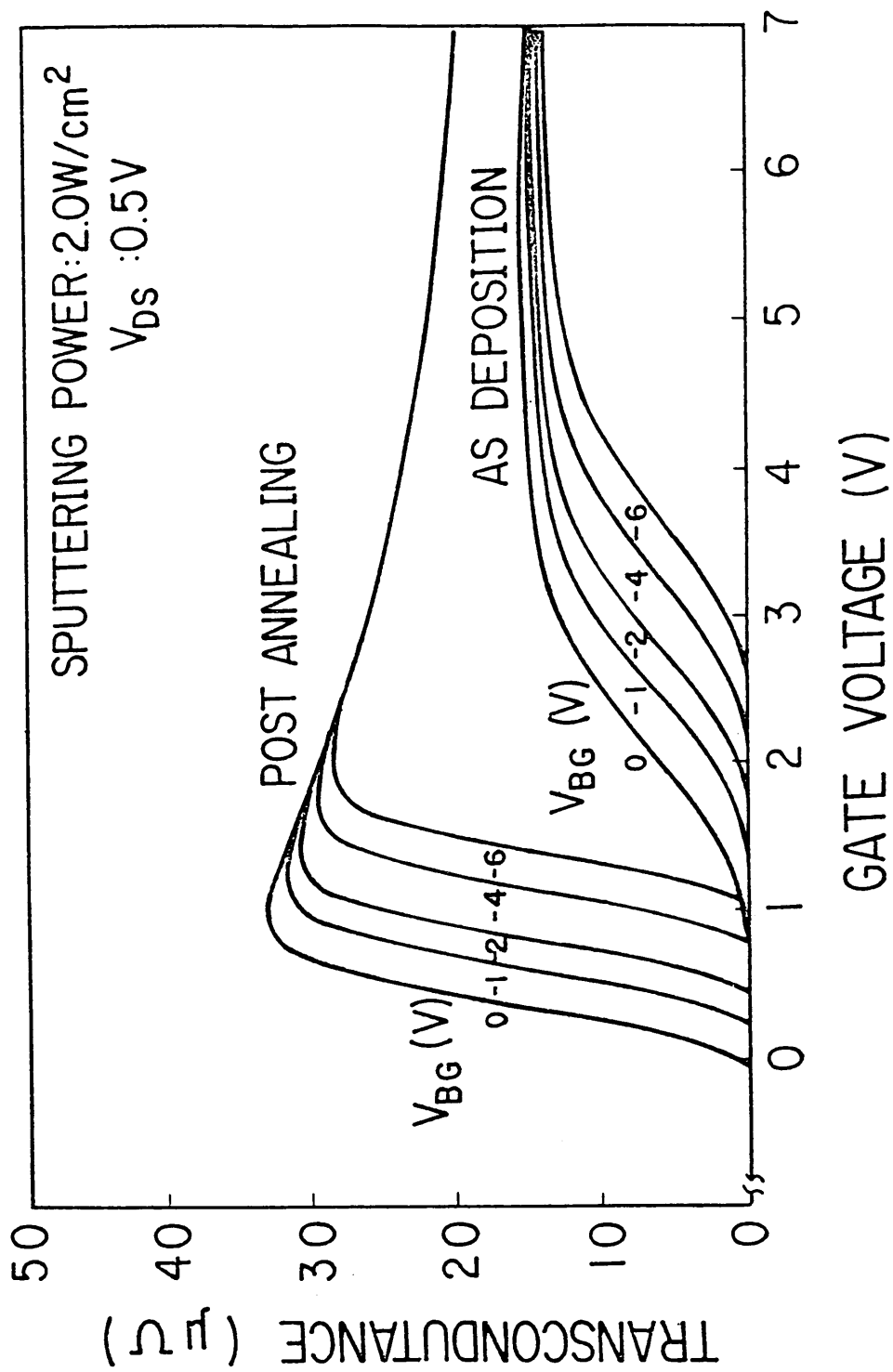


図4-18 相互コンダクタンスのゲート電圧依存性

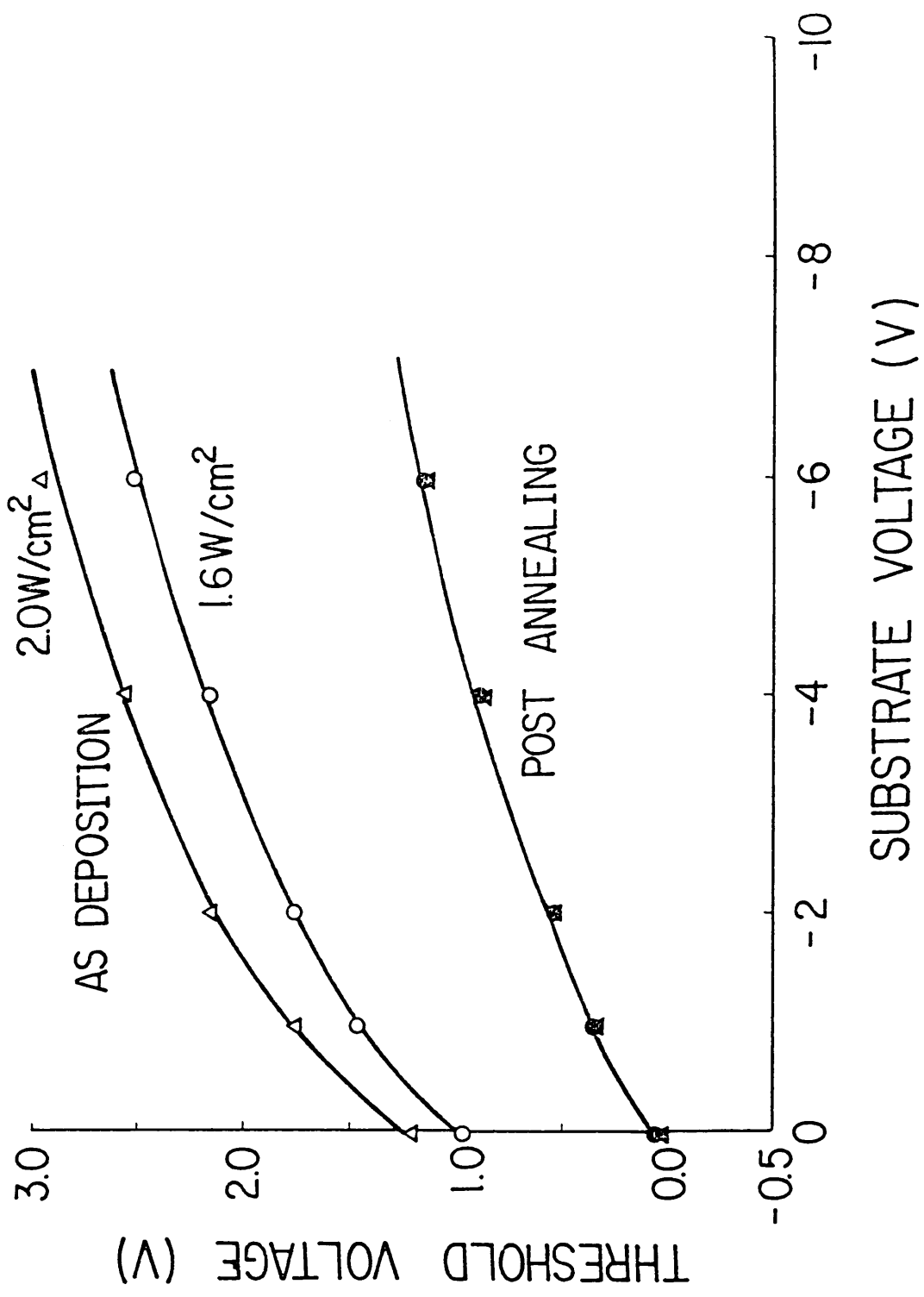


図4-19 MOSFETしきい値電圧の基板電圧依存性

SiO₂ 膜、特に SiO₂ 膜とバルクシリコンの界面には、多くの欠陥やルーズな結合が存在する[8]。高エネルギーを持った粒子の基板表面への衝突は、(≡Si-O-Si≡) 結合を破壊し、固定電荷や界面準位のもととなる(≡Si-O-) や(≡Si-) の形を有したダングリングボンドを形成する[8]。スパッタリング Al 膜堆積中、基板表面は前述したように高エネルギーイオン、電子、X線の衝突を受ける。そのエネルギーは 1 keV にまでなる[4]。このため、スパッタリング Al 膜の堆積においては、SiO₂ 膜とバルクシリコンの界面に固定電荷や界面準位が容易に形成され、MOS デバイスへの電氣的な損傷が起こる。しかし、この固定電荷や界面準位は、450℃、20分の熱処理によって効果的に減少し、電氣的な損傷は回復する。水素は、熱処理中 Si-SiO₂ 界面へ拡散し、(≡Si-O-H) および(≡Si-H) 結合を形成する。このため、ダングリングボンドが消滅するとされている。

以上、高周波スパッタリングによる Al 膜形成では、高エネルギー粒子の衝突によって固定電荷や界面準位が生成され、MOS デバイスの電氣的特性が損なわれる。しかし、損傷は、450℃、20分程度の水素雰囲気中熱処理によって容易に回復する。

(B) H₂ 混合スパッタリングによる損傷の回復

10% H₂ - 90% Ar 混合ガス中および純 Ar 中スパッタリングで Al 膜を堆積した直後の MOS キャパシタの C-V 特性を、熱処理後の特性と比較して図 4-20 に示す。高周波スパッタリングによる Al 膜の堆積によって、C-V 特性は、熱処理後の特性(そのフラットバンド電圧がゲート電極とシリコン基板の仕事関数差 -0.9V に一致する)に対して負電圧方向にシフトする。この事実は、10% H₂ - 90% Ar 混合ガス中でも純 Ar 中と同様に、上で示したように正の固定電荷 Q_{ox} が Si-SiO₂ 界面近くに生成されることを示している。しかし、H₂ 混合ガス中スパッタリングでは、生成される Q_{ox} が、純 Ar 中スパッタリングにおけるより小となるため、そのシフト量は小さくなる。図 4-21 に、界面準位密度 N_{ss} のバンドギャップ内の分布を示す。10% H₂ - 90% Ar 混合ガス中スパッタリングにおいても、N_{ss} は熱処理後の値に比較して大きくなるが、上記 Q_{ox} 同様に純 Ar 中スパッタリングにおける値に比較して数分の 1 に低減される。

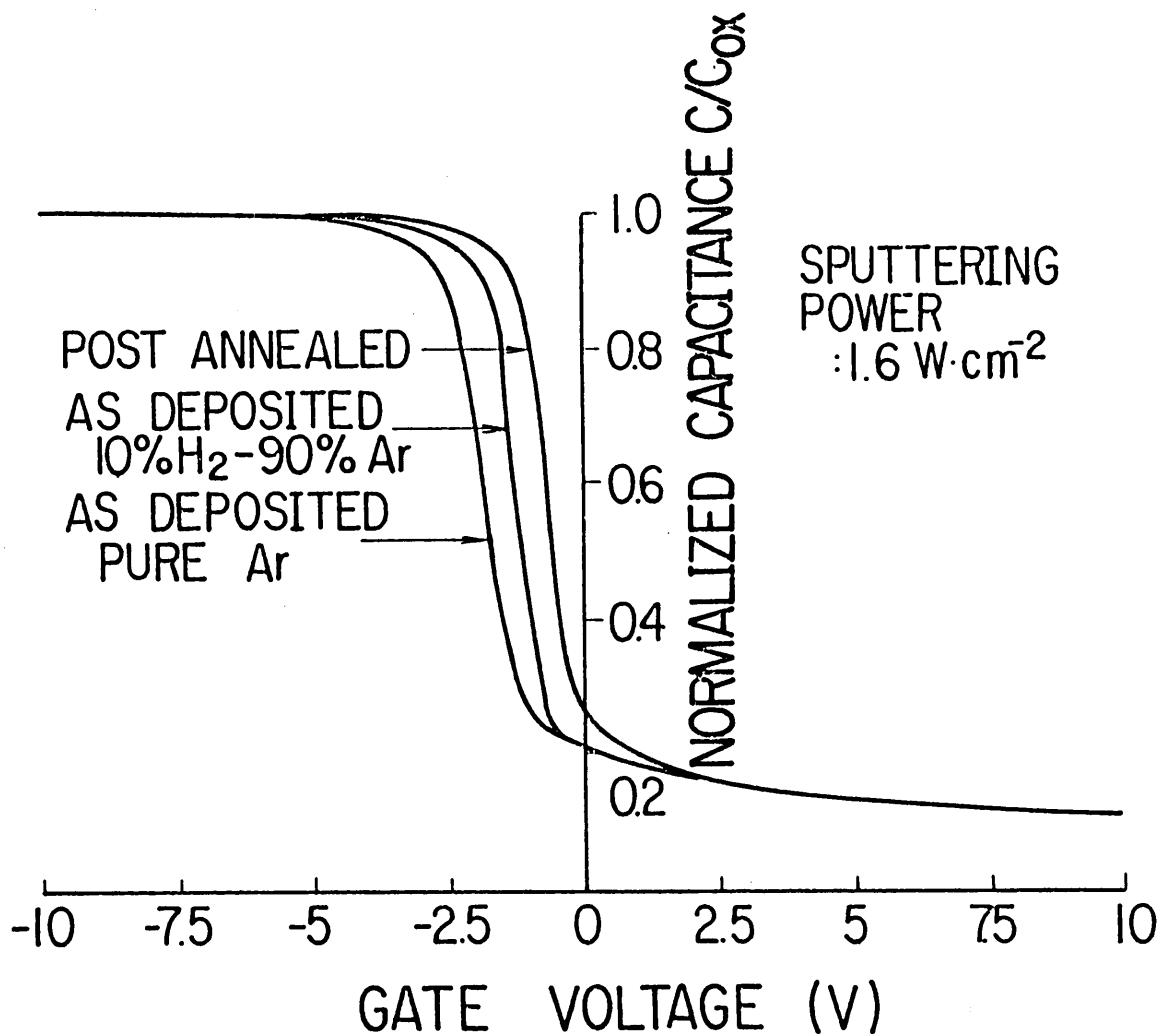


図4-20 高周波C-V特性

図4-22に、MOSFETしきい値電圧の基板電圧依存性を示す。純Ar中でスパッタリングされた試料では、熱処理後の値に比較してしきい値電圧は1V以上正電圧側にシフトし、その基板電圧に対する傾きも大きい。一方、H₂混合スパッタリングによる試料では、しきい値電圧は負電圧側に0.2Vシフトし、そのしきい値電圧の基板電圧に対する傾きは熱処理後の値にほぼ等しい。純Ar中でスパッタリングされた試料の結果は、上記(A)で述べたように図4-21で示された界面準位密度 N_{ss} がアクセプタ型の不純物準位のように振る舞い、酸化膜中に形成された正の固定電荷の効果を上回って、しきい値電圧を正電圧側にシフトさせることを示している。一方、H₂混合スパッタリングによる試料では、図4-21に示されたように N_{ss} の生成が著しく抑制され、 Q_{ox} が N_{ss} の効果を上回るため、しきい値電圧が負電圧側にシフトすると考えられる。また、 Q_{ox} および N_{ss} の生成がH₂の

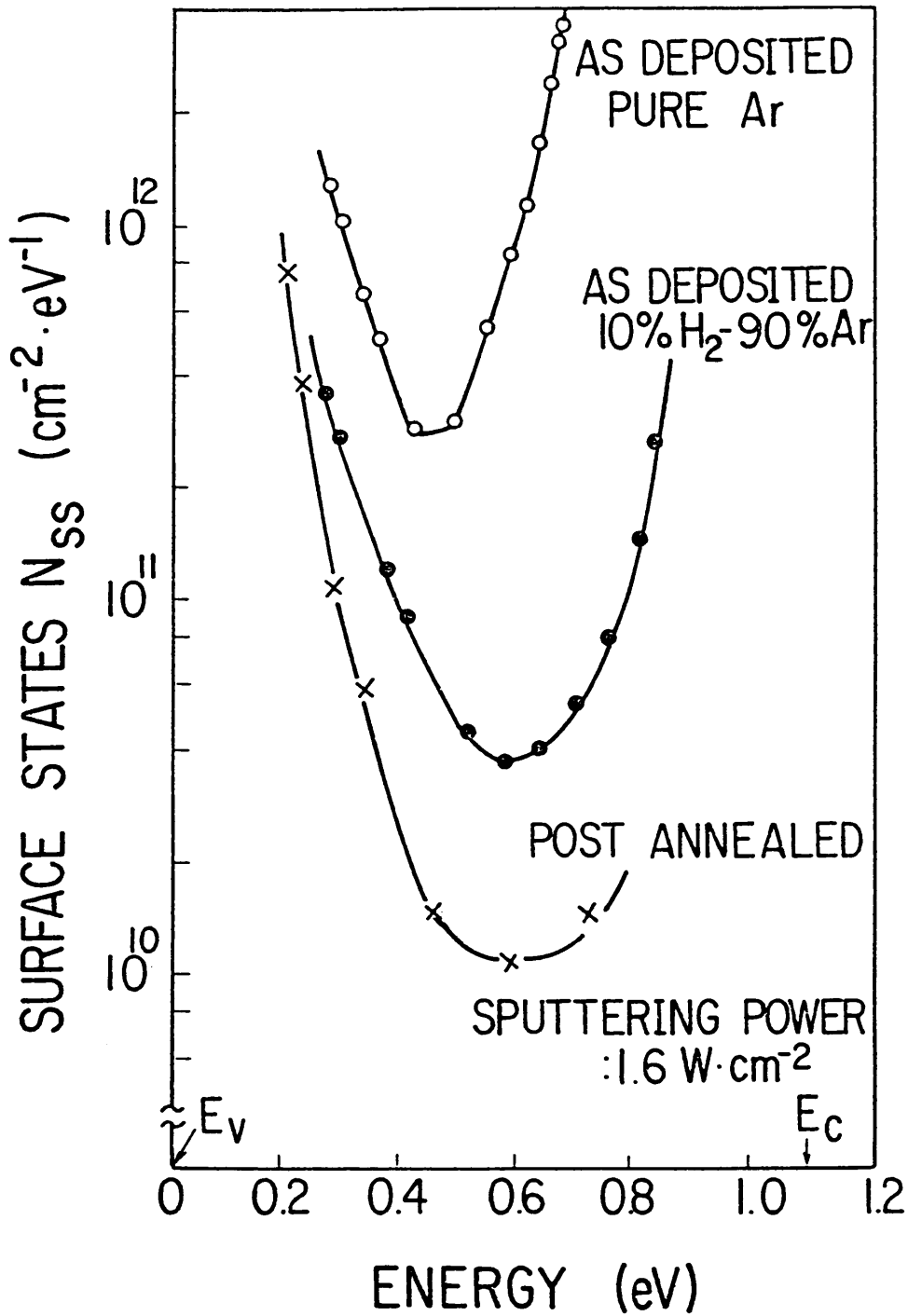


図4-21 界面単位密度のエネルギーレベル依存性

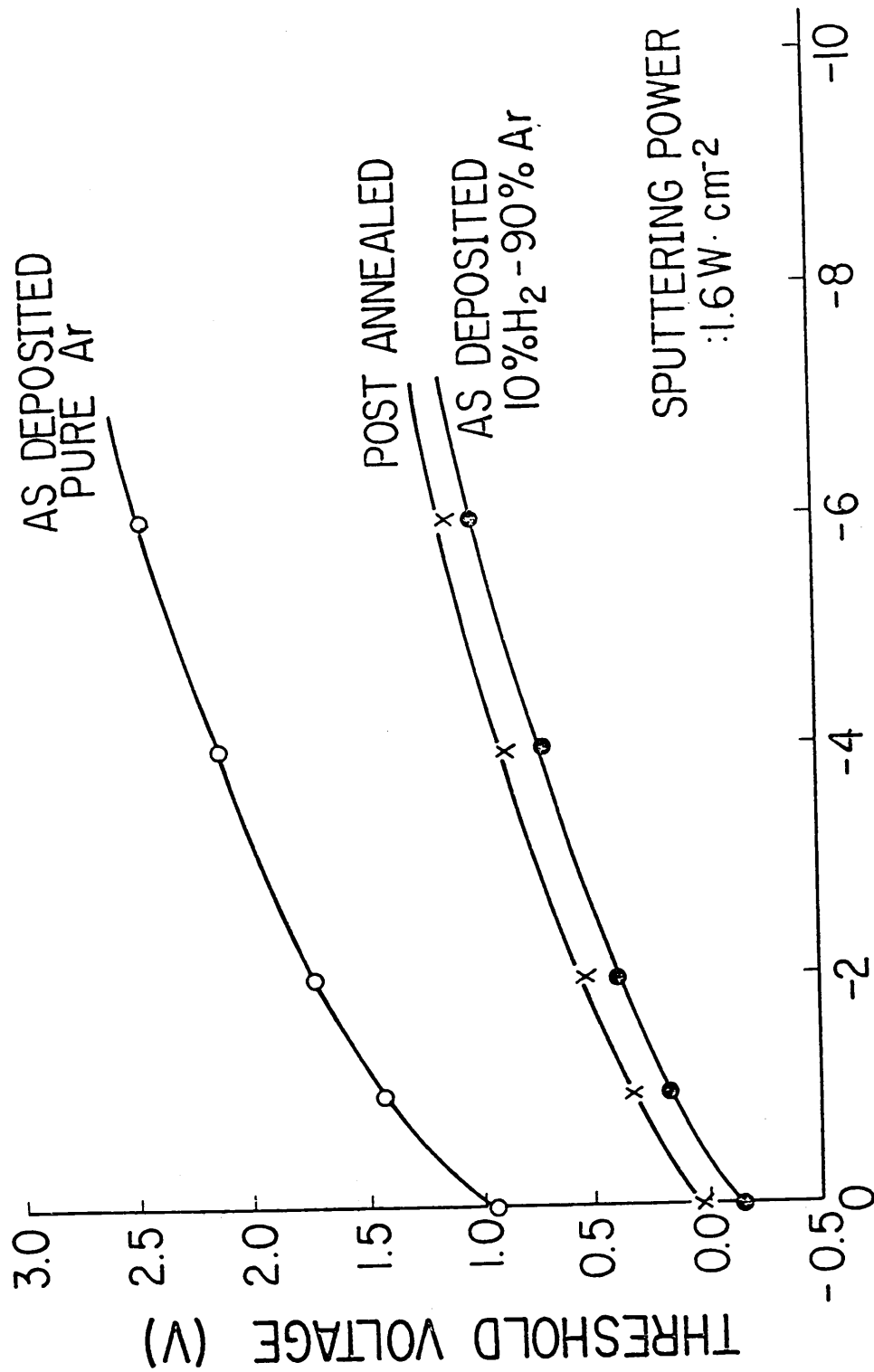


図4-22 MOSFETしきい値電圧の基板電圧依存性

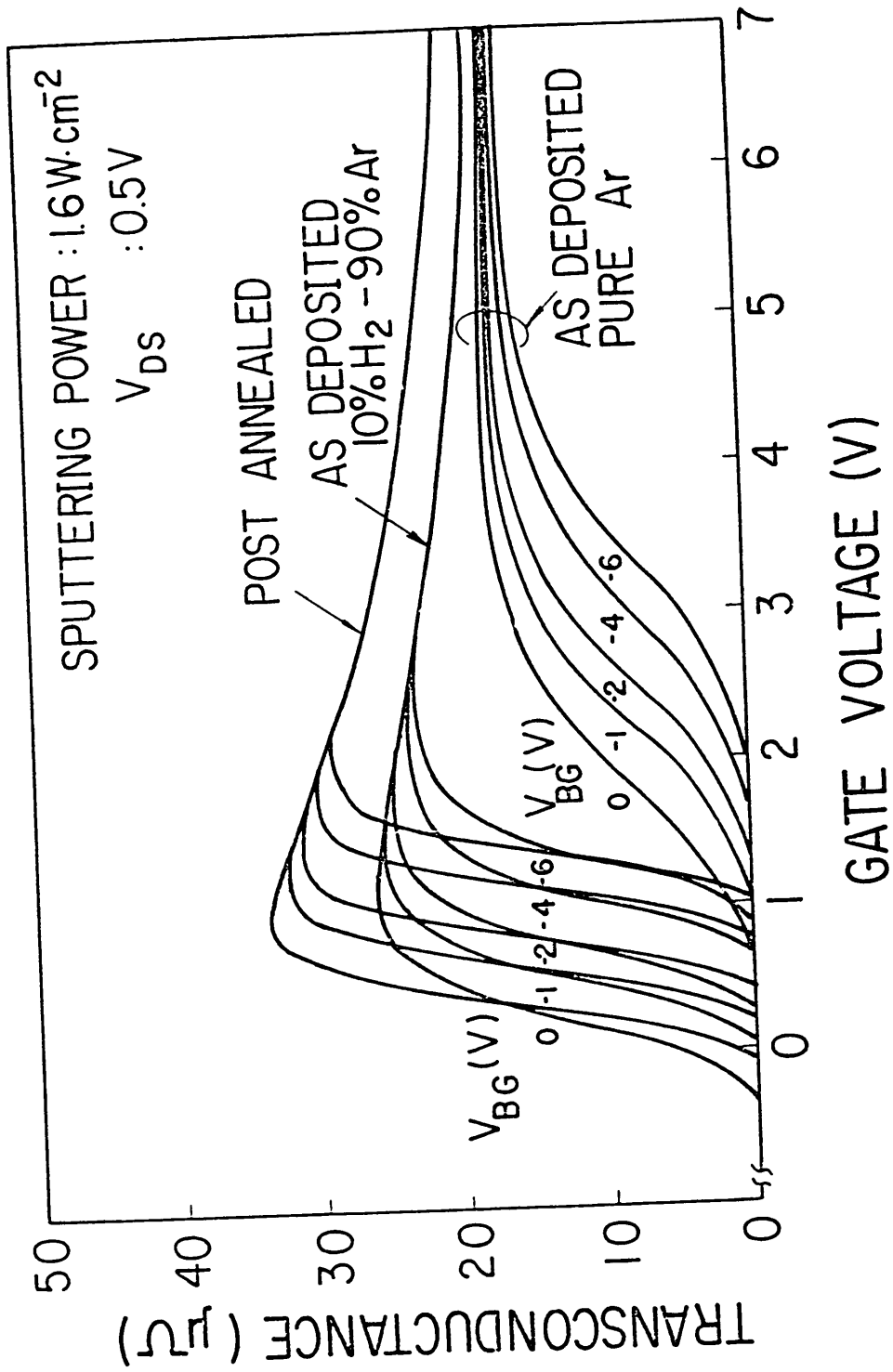


図4-23 相互コンダクタンスのゲート電圧依存性

混合によって抑制されるため、しきい値電圧の基板電圧依存性が熱処理後の値にほぼ等しくなると考えられる。

MOSFET相互コンダクタンスのゲート電圧依存性を、基板電圧をパラメータとして図4-23に示す。純Ar中でスパッタリングされた試料では、上記(A)で述べたように、熱処理後の結果に比較して相互コンダクタンスは立ち上がりが緩くなり、その絶対値も小さくなる。スパッタリングガスへのH₂混合は、相互コンダクタンスの立ち上がりを急峻にし、その値も大きくする。これは、上で述べたようにQ_{ox}およびN_{ss}の生成が、H₂の混合によって抑制されることに因っている。

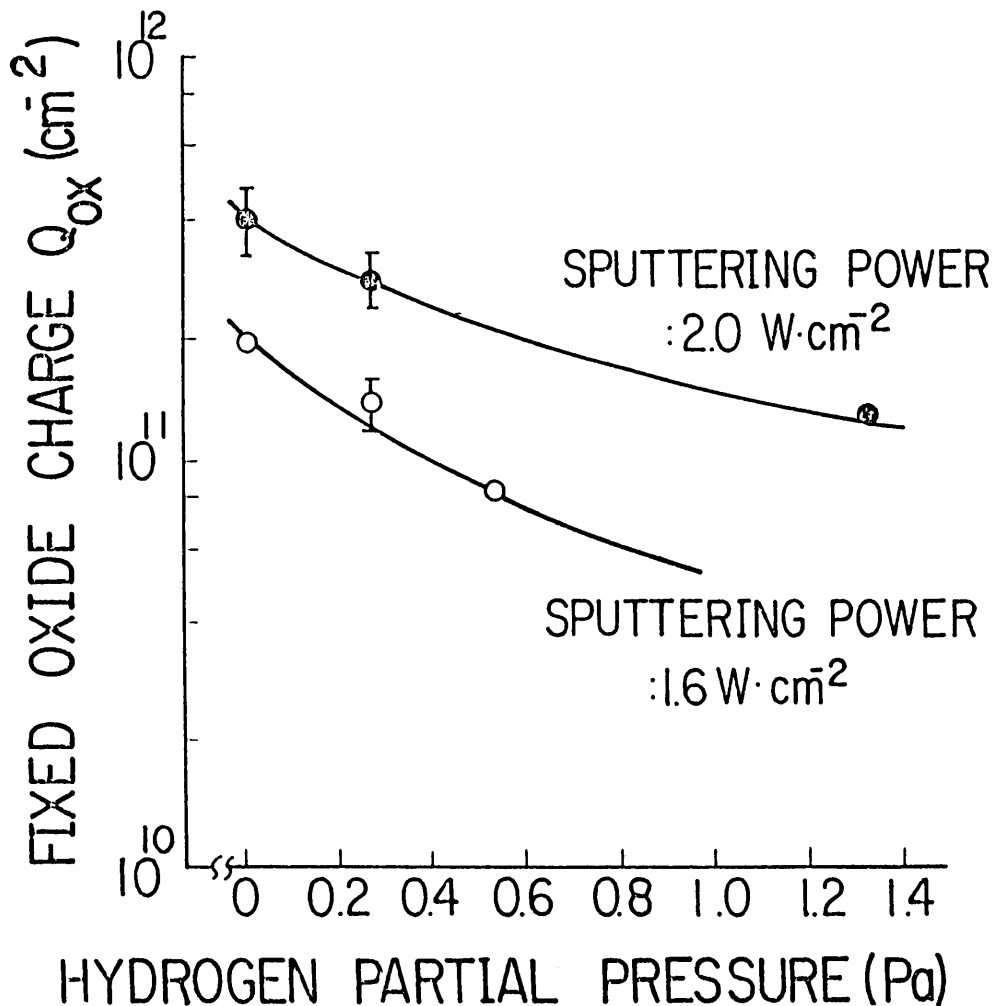


図4-24 固定電荷の水素分圧依存性

図4-24に、固定電荷 Q_{ox} の H_2 分圧依存性を示す。 Q_{ox} は、スパッタリング電力と共に増大し、 H_2 分圧の増加と共に減少を示す。高周波スパッタリングにおいては、高エネルギーを有する電子、イオン、中性原子、光子の衝突によって、固定電荷や界面準位が $Si-SiO_2$ 界面近くに生成される[4]。電子や光子は、最大エネルギーとしては高周波電圧近くのエネルギー（例えば2keV）を持って基板に到達する[4]。このため、スパッタリング電力の増大に伴い、衝突する粒子のエネルギーが大きくなり、放射線損傷が増大し、 Q_{ox} が図4-24に示されるように大きくなる。スパッタリングガスへの H_2 の混合は、基板表面への水素の衝突をもたらす。適度のエネルギーを有した水素の衝突は、水素雰囲気中熱処理におけると同様に、放射線損傷によってできたダングリングボンドを消滅させると考えられる。 H_2 分圧の増加に伴い、基板へ到達する水素の数が増え、 Q_{ox} の減少をもたらす。

以上、スパッタリングガスへの H_2 の混合によって、固定電荷および界面準位密度の低減が図れ、スパッタリングによる損傷を抑制できる。

4-6 結言

高周波スパッタリングによる薄膜のシリコンMOS素子製作への適用を研究した。結言として、LOPASによる素子間分離、セルフアライメントシリサイドゲート電極・ソース/ドレイン形成、セルフアライメントコンタクト形成およびAl配線の形成とスパッタリング損傷の改善に関して得られた結果を各々分けてまとめる。

(A) LOPASによる素子間分離

(1) LOPASおよび埋込み形LOPASを用いた素子間分離では、素子間分離工程を低温プロセス($<200^\circ C$)とすることができるため、チャネルカット用イオンの横方向拡散が防げ、MOSFETしきい値電圧のナロウチャネル効果(チャネル幅に依存したしきい値電圧の変動)を抑制できる。

(2) スパッタリングによる損傷は、素子間分離以降の工程で取りのぞかれ、LOPASあるいは埋込み形LOPASを用いることによるMOSFET特性への悪影響はない。さらに、埋込み形LOPAS素子間分離を適用した1MbROMの正常な動作を確認できた。

(B) セルフアライメントシリサイドゲート電極・ソース/ドレイン形成
(1) シリサイドの選択酸化技術を用いたセルフアライメントシリサイドゲート電極・ソース/ドレイン形成では、ゲート電極およびソース/ドレイン抵抗を従来のポリシリコンゲート素子に比較して1/10以下に低減でき、かつシャロウソース/ドレインを形成できる。

(2) MOSFET特性は、従来のポリシリコンゲート素子とほぼ同等の値になる。

(C) セルフアライメントコンタクト形成

(1) 選択酸化のための窒化シリコン膜リフトオフ加工(SALTS)を用いた、セルフアライメントコンタクト形成では、従来プロセスに比較して30%以上の素子の高密度化、高速化が果たせる。

(2) スパッタリングによる損傷は以降の工程で取りのぞかれ、SALTSを用いることによるMOSFET特性への悪影響はない。

(D) Al配線の形成とスパッタリング損傷の改善

(1) 高周波スパッタリングによるAl膜形成では、高エネルギー粒子の衝突によって固定電荷や界面準位密度が生成され、MOSFET特性が損なわれる。

(2) 上記高周波スパッタリングによるAl膜形成で生じた損傷は、水素雰囲気中熱処理で容易に回復できる。

(3) また、上記高エネルギー粒子の衝突による固定電荷や界面準位密度の生成は、スパッタリングガスへのH₂混合によっても抑制できる。

以上のように、高周波スパッタリングによる薄膜のシリコンMOS素子製作への適用を研究し、その有効性を明らかにした。

第4章参考文献

- [1] D.V.McCaughan and V.T.Murphy; J. Appl. Phys., 44, 2008(1973).
- [2] D.B.Dimaria, Z.A.Weinberg, and J.M.Aitken; J. Appl. Phys., 48, 898 (1977).
- [3] P.S.Winokur, Jr., J.M.McGarrity, and F.B.McLean; IEEE Trans. Nucl. Sci., NS-24, 2113(1977).
- [4] D.V.McCaughan and R.A.Kushner; Proc. IEEE, 62, 1236(1974).
- [5] K.Urbanek; Solid State Technol., 20, 87(1970).
- [6] H.S.Lee; IEEE Trans. Electron Devices; ED-25, 795(1978).
- [7] U.Kampt and H.G.Wagemann; IEEE Trans. Electron Devices; ED-23, 5(1976).
- [8] R.A.Gdula; IEEE Trans. Electron Devices; ED-26, 644(1979).
- [9] S.M.Sze; Physics of Semiconductor Devices (John Wiley & Sons, Inc., 1969)Ch.10.
- [10] E.Kooi, J.G. van Lierop, and J.A.Appels; J. Electrochem. Soc., 123, 1117(1976).
- [11] 徳山; M O S デバイス (工業調査会, 1975) 2章.
- [12] Y.Kitano, S.Kohda, H.Kikuchi, and S.Sakai; IEEE J. Solid-State Circuits, SC-15, 686(1980).
- [13] J.R.Burns; RCA Rev., 25, 627(1964).
- [14] T.W.Hickmott; J. Appl. Phys., 48, 723(1977).
- [15] M.Kuhn; Solid-State Electron, 13, 873(1970).
- [16] B.E.Deal; J. Electrochem. Soc., 121,198C(1974).
- [17] P.P.Wang and O.S.Spencer; IBM J. Res. Develop., 19, 530(1975).

第 5 章 結 論

本論文は、シリコンMOS素子の一層の大規模化，高密度化を達成するために組成制御が容易でかつ低温度で膜形成が可能な、高周波スパッタリングによる薄膜形成技術を確立することを目的とし、 SiO_2 膜， Ti-Si 膜， Al 膜および積層薄膜の形成と、その薄膜形成を用いた新しいセルフアライメント技術の実現およびバタン寸法の微細化に伴う問題点の解決とに関して行った研究をまとめたものである。得られた主な結果は、以下である。

(1) 高周波スパッタリングでは、組成制御が容易でかつ低温度で各種材料の薄膜形成ができる。本研究では、 SiO_2 膜， Ti-Si 膜， Al 膜および積層薄膜の形成を行った。 SiO_2 膜の形成については、膜特性が膜形成条件，特にスパッタリングガス圧に著しく依存することを示した。また、 Ti-Si 膜， Al 膜の形成については、膜特性と膜形成条件との関係を示した。積層薄膜の形成においては、高周波スパッタリングにより周期3nmの積層薄膜の形成が可能なことを示した。

(2) 高周波スパッタリングでは、低温度での膜形成が可能なため、リフトオフを用いてセルフアライメント加工が行える。 SiO_2 膜の加工については、下部バタン側壁と平坦部との選択エッチング性を利用した新たなリフトオフ加工，LOPAS (Lift-Off Patterning of Sputtered SiO_2 Films) 技術を明らかにした。同技術を Si_3N_4 膜の加工に用いた新たな選択酸化技術 (SALTS) も示した。また、 Ti-Si 膜の酸化特性を利用したシリサイド膜の選択形成技術を明らかにした。

(3) 上記高周波スパッタリングによる薄膜形成を用いたシリコンMOS素子形成技術を示した。素子間分離にLOPAS技術を、セルフアライメントゲート電極・ソース/ドレイン形成にシリサイド膜の選択形成技術を、セルフアライメントコンタクト形成に窒化シリコン膜による選択酸化技術を用いて、シリコンMOS素子高密度化への効果を明らかにした。また、 Al 配線形成においては、高周波スパッタリングによる損傷を明らかにし、この損傷は、スパッタリングガス中に H_2 を混合することにより、改善できることを示した。

以上に述べたように、高周波スパッタリングによる薄膜形成では、シリコンMOS素子製作において新しいセルフアライメント技術を実現でき、かつバタン寸法の微細化に伴う問題点の解決が図れ、シリコンMOS素子の一層

の大規模化，高密度化を達成できることを実証した。また、本研究において得た知見は、今後の半導体素子製作に寄与するばかりでなく、他の分野に応用する場合にも有用な基礎データになると考える。

謝 辞

本論文をまとめるに当たり、御指導、御鞭撻を賜った静岡大学 電子工学研究所 山田祥二教授に深甚なる感謝の意を表します。また、御指導、御教授を賜った静岡大学 工学部 今井哲二教授、藤安洋教授、同大学電子工学研究所 安藤隆男教授、助川徳三教授に深く感謝します。

本研究を遂行するに当たり、N T T 武蔵野電気通信研究所 電子装置研究部 寺島諒元部長（現横河北辰電機株式会社）、同山田正計前部長（現株式会社グラフィカ）、N T T 電子機構技術研究所 鈴木敏正所長、江川寛次長、同所電子装置研究部 深津良治部長、石本明輝主席研究員、同部機能設計研究室北野良孝前室長（現N T Tエレクトロニクステクノロジー株式会社）には数多くの御指導を賜り、また御高配にあずかりました。ここに深く感謝致します。

さらに、本研究について終始有益なる御指導、御助言を賜ったN T T 電子機構技術研究所 電子装置研究部 機能設計研究室 和田力主幹研究員、芹川正主幹研究員に深く感謝します。また、種々の討論や実験の協力を頂きました、N T T 茨城電気通信研究所 複合部品研究部 入出力部品研究室 山内規義主任研究員、同電子機構技術研究所 電子装置研究部 機能設計研究室 柴田宏之元主任研究員（現N T Tエレクトロニクステクノロジー株式会社）、岡本章雄研究主任、陶山史朗研究主任に厚くお礼申しあげます。

本研究は、以上のように、多くの方々の御理解と御支援によって、はじめて完遂されたものであります。ここに心からの謝意を表します。

本研究に関する発表

1. 論文

- (1) T.Serikawa and T.Yachi, "Effect of Mixing Hydrogen-Argon Sputtered SiO_2 Films," Jpn. J. Appl. Phys., vol.20, pp.L111-L113 (1981).
- (2) T.Serikawa and T.Yachi, "Lift-Off Patterning of Sputtered SiO_2 Films," J. Electrochem. Soc., vol.128, pp.918-919(1981).
- (3) T.Serikawa and T.Yachi, "Electrical Damage in MOS Device by RF Diode Sputtered Aluminum Metallization," IEEE Trans. Electron Devices, vol.ED-28, pp.882-885(1981).
- (4) T.Serikawa and T.Yachi, "EFFECT OF HYDROGEN-ARGON MIXING FOR SPUTTERED ALUMINUM METALLIZATION ON MOS DEVICES," IEEE Trans. Electron Devices, vol.ED-28, pp.1187-1189(1981).
- (5) T.Yachi and N.Yamauchi, "A New MOS Integrated Circuit Fabrication Using Si_3N_4 Film Self-Alignment Liftoff Techniques," IEEE Trans. Electron Devices, vol.ED-29, pp.243-247 (1982).
- (6) T.Yachi and S.Suyama, "A New Method Utilizing Ti-Silicide Oxidation for the Fabrication of a MOSFET with a Self-Aligned Schottky Source/Drain," IEEE Electron Device Letters, vol.EDL-4, PP.277-279(1983).
- (7) T.Yachi, "Formation of a TiSi_2/n^+ Poly-Si Layer by Rapid Lamp Heating and Its Application to MOS Devices," IEEE Electron Device Letters, vol.EDL-5. pp.217-220(1984).
- (8) T.Serikawa and T.Yachi, "Magnetron-Sputtered SiO_2 Films in Hydrogen-Argon Mixtures," J. Electrochem. Soc., vol.131, pp.2105-2109(1984).
- (9) T.Yachi and T.Serikawa, "Dependences of Magnetron-Sputtered SiO_2 Film Properties on Argon Pressure," J. Electrochem. Soc., vol.131, pp.2720-2722(1984).

- (10) T. Yachi, T. Serikawa, and T. Wada, "A New Field Isolation Technology Employing Lift-Off Patterning of Sputtered SiO_2 Films," IEEE Trans. Electron Devices, vol. ED-31, pp. 1748-1752 (1984).
- (11) T. Yachi and S. Suyama, "Use of TiSi_2 to form metal-oxide-silicon field effect transistors with self-aligned source/drain and gate electrode," J. Vac. Sci. Technol., vol. B3, pp. 992-996 (1985).
- (12) T. Yachi, "Structure of Ti/SiO_2 thin multilayers sputtered in argon-hydrogen mixtures," J. Vac. Sci. Technol., vol. A3, pp. 1955-1958 (1985).
- (13) T. Yachi and T. Serikawa, "Lift-Off Patterning Sputtered SiO_2 Films (LOPAS) and Its Application to Recessed Field Isolation," J. Electrochem. Soc., vol. 132, pp. 2775-2778 (1985).

2. 研究会等資料

- (1) 谷内, 芹川, 和田, "RFスパッタ法によるMOS素子用Al配線膜の製作," 信学技報, vol. SSD77-87, pp. 81-88 (1978).
- (2) 山内, 谷内, 和田, " Si_3N_4 膜のセルフアラインリフトオフ技術を用いたMOSICの製作," 信学技報, vol. SSD80-42, pp. 55-62 (1980).
- (3) 谷内, 芹川, 和田, "スパッタ SiO_2 膜のリフトオフ加工(LOPAS)を用いた素子間分離法," 信学技報, vol. SSD80-141, pp. 29-35 (1981).
- (4) 谷内, 芹川, 和田, 山内, "スパッタ SiO_2 膜のリフトオフ加工," 半導体・集積回路技術第20回シンポジウム講演論文集, pp. 18-23 (1981).
- (5) 谷内, 芹川, 和田, 山内, "埋込み形LOPAS法を用いた素子平坦化技術," 信学技報, vol. SSD81-45, pp. 89-94 (1981).
- (6) 谷内, 陶山, 芹川, "チタンシリサイド膜の形成とMOS素子への適用," 信学技報, vol. SSD82-150, pp. 13-18 (1982).
- (7) 谷内, 芹川, "マグネトロンスパッタ SiO_2 膜の製作と膜特性," 信学技報, vol. SSD83-54, pp. 55-62 (1983).

3. 学会講演

- (1) 谷内, 芹川, 和田, 石本, "Ar-H₂ 混合ガス中スパッタによるMOS素子のスパッタ損傷回復効果," 応用物理学関係連合講演会予稿集, p.522 (1977).
- (2) 谷内, 芹川, 和田, 石本, "スパッタ法によるMOS素子用Al配線の製作," 電子通信学会半導体部門全国大会予稿集, p.51(1977).
- (3) 谷内, 芹川, 和田, "マグネトロンスパッタ法によるSiO₂ 膜の製作と膜特性," 応用物理学関係連合講演会予稿集, p.459(1979).
- (4) 谷内, 芹川, 和田, "RFスパッタフィールド膜を用いたMOS素子の製作," 電子通信学会総合全国大会予稿集, p.2-52(1979).
- (5) 谷内, 芹川, 和田, "スパッタSiO₂ 膜のリフトオフ加工," 応用物理学学会学術講演会予稿集, p.428(1979).
- (6) 芹川, 谷内, 和田, "H₂-Ar系スパッタ法によるSiO₂ 膜特性の改善," 応用物理学関係連合講演会予稿集, p.294(1980).
- (7) 山内, 谷内, 和田, "SALTS法を用いたMOS素子の製作," 応用物理学関係連合講演会予稿集, p.530(1980).
- (8) 谷内, 芹川, 和田, "スパッタSiO₂ 膜のリフトオフ加工を用いた素子間分離法," 応用物理学学会学術講演会予稿集, p.520(1980).
- (9) 谷内, 芹川, 和田, 柴田, 岡本, "埋込み形LOPAS法を用いた素子間分離部の平坦化," 応用物理学学会学術講演会予稿集, p.543(1981).
- (10) 谷内, 陶山, 芹川, "ショットキソース・ドレインMOSFETの新しい自己整合形成法," 応用物理学学会学術講演会予稿集, p.437(1982).
- (11) 谷内, 陶山, 芹川, "チタンシリサイド/n⁺ポリシリコンゲート電極の形成と特性," 応用物理学関係連合講演会予稿集, p.529(1983).
- (12) 谷内, 陶山, 芹川, "ランブアニールによるTiSi₂ 化法のMOS素子製作への適用," 応用物理学学会学術講演会予稿集, p.413(1983).
- (13) 谷内, 陶山, 芹川, "ソース/ドレイン領域・ゲート電極上へのTiSi₂ セルフアライメント形成法," 電子通信学会総合全国大会予稿集, p.2-322(1984).
- (14) 谷内, 芹川, "チタン/二酸化シリコン超多層膜の製作," 応用物理学関係連合講演会予稿集, p.243(1984).
- (15) 谷内, 芹川, "スパッタ法によるSi/SiO₂ 積層薄膜の物理的性質," 応用物理学学会学術講演会予稿集, p.199(1984).

(16)谷内, "ランプ加熱法によるTi/Si積層薄膜を用いたチタンシリサイド膜の形成," 応用物理学会学術講演会予稿集, p.476(1985).

4. その他著者の論文

- (1)N.Yamauchi, T.Yachi and T.Wada, "Effect of Pre-Annealing in Preventing Gate Oxide Breakdown Voltage Degradation Induced by Polysilicon Gate Delineation Using Ion Milling," Jpn. J. Appl. Phys., vol.22, pp.L539-L540(1983).
- (2)N.Yamauchi, T.Yachi and T.Wada, "Dry Liftoff Method by Sublimation of Molybdenum Oxide," Jpn. J. Appl. Phys., vol.22, pp.L595-L596(1983).
- (3)T.Yachi, "TiSi₂ /n⁺ Poly-Si Gate Electrode Patterning by Plasma Etching Using CF₂ Cl₂ /O₂ ," J. Electrochem. Soc., vol.131, pp.1217-1218(1984).
- (4)N.Yamauchi, T.Yachi and T.Wada, "A pattern edge profile simulation for oblique ion milling," J. Vac. Sci. Technol., vol. A2, pp.1552-1557(1984).
- (5)S.Suyama, T.Yachi and T.Serikawa, "A new trench fabrication technique for silicon substrate utilizing undercutting and selective etching," J. Vac. Sci. Technol., vol.B3, pp.905-908 (1985).
- (6)T.Yachi, "Titanium Silicide Formation in Titanium/Silicon Thin Multilayer on SiO₂ by Rapid Lamp Heating," submitted to J. Electrochem. Soc.
- (7)S.Suyama, T.Yachi and T.Serikawa, "A New Self-Aligned Well-Isolation Technique for CMOS Devices," submitted to IEEE Trans. Electron Devices.