

電子科学研究科

GD
0
25
静岡大学附属図書館

0002515179

R

# 静岡大学博士論文

## 回路シミュレーションのためのバイポーラ I C の モデリングに関する研究



平成元年 7 月

猪平 進

# 論 文 要 旨

バイポーラ I C の高周波化および高集積化に伴い、その設計においては高精度のモデルを用いた回路シミュレーションが不可欠になりつつある。本論文は、バイポーラ I C の回路シミュレーションに必要となる高精度のデバイスモデリングの研究をまとめたものである。

論文は 7 章からなり、第 1 章は緒論、第 2 章から第 6 章が本論、第 7 章は結論である。本論では、近年バイポーラ I C の設計で特に重要となるいくつかの新しいモデリングを取り扱っており、第 2 章から第 4 章が、高周波シミュレーションのためのトランジスタと抵抗のモデルを、第 5 章が寄生の基板電流のモデルを、第 6 章がトランジスタや抵抗の製造バラツキのモデルを研究している。本論の各章は次のような内容である。

第 2 章では、バイポーラトランジスタの高周波シミュレーション精度のポイントとなる利得帯域幅積  $f_T$  のモデルを研究し、問題となる大電流域の  $f_T$  精度を向上させるため、ベース領域の伝導度変調効果 (Webster 効果) とコレクタ領域の伝導度変調効果 (Kirk 効果) およびクリティカル電流 (Kirk 効果の開始点電流) を取り入れた新しいモデル (EM5 モデル) を提案した。このモデルをアナログ I C 用バイポーラトランジスタに適用した結果、コレクタ・エミッタ間電圧 ( $V_{CE}$ ) 依存性を含めて  $f_T$  の誤差が 10% 以下と良好な精度を得た。

第 3 章では、上の  $f_T$  モデルをもとに、同一チップ上に試作した 600 MHz 広帯域増幅器およびそのバイポーラトランジスタを用いて、100 MHz ~ 1 GHz の S パラメータを評価することにより、バイポーラトランジスタの高周波モデルを検討した。まずモデルの精密な評価のため、パッドおよびボンディングワイヤを含むパッケージのモデル化を行い、特にパッドの抵抗分の考慮が必要なことを示した。次にバイポーラトランジスタの高周波モデルとして通常使用されるハイブリッド  $\pi$  型モデルにつき 100 MHz 以上の周波数領域における精度の不十分さを明らかにした。その精度を改善するため、デバイスの I C 化構造に伴う寄生素子および二次元電流分布の解析に基づき、従来のハイブリッド  $\pi$  型モデルに、(i) ベース・コレクタ間容量  $C_{\mu}$  の分割、(ii) ベース・エミッタ間容量  $C_{\pi}$  の分割、および (iii) 基板の抵抗分の導入をはかった拡張モデルを考案した。この拡張モデルにより単体トランジスタの S パラメータの算出精度が大きく改善され、600 MHz 広

帯域増幅器 IC の 3 dB カットオフ周波数  $f_c$  の誤差は 5 % 以下 (従来ハイブリッド  $\pi$  型モデルでは 40 % 以上) となった。

第 4 章では、バイポーラ IC でトランジスタとともに多用される集積化抵抗の高周波モデルを研究した。まず集積化抵抗を RC 分布定数回路とみなして解析を行い、抵抗の高周波特性を駆動点インピーダンスと電流利得で表現した。この解析に基づき、RC 分布定数回路を R, C の集中定数で近似した従来の  $\pi$  型あるいは T 型モデルよりも精度の高いモデルとして、新しくブリッジ  $\pi$  型モデルを導出した。このモデルは、R,  $C/2$  からなる  $\pi$  型モデルの R と並列に  $-C/6$  の負性容量を加えた簡便な等価回路で表すことができ、3 dB 低下カットオフ周波数 ( $1/\pi RC$ ) 以下の領域では分布定数回路の理論解と同等の良い精度をもつことを、試作した拡散抵抗の測定と比較して明らかにした。このモデルは、負性インピーダンス変換器 (NIC) を用いたビデオ帯アクティブフィルタおよびビデオディスクプレーヤ用色信号処理 IC の設計への応用において、実用上十分な精度を示した。

第 5 章では、エピタキシャル層の薄い最新の高集積バイポーラ IC で生じる基板電流のモデルを研究した。まず NPN トランジスタに対し、IC 化構造に伴う寄生サブ PNP トランジスタを 1 つのダイオードと電流源で表してこれを従来のバイポーラモデルに追加した複合モデルを考案し、次にラテラル PNP トランジスタに対し、従来のモデルに 2 つのダイオードと電流源を追加した複合モデルを考案し、いずれもそのモデルパラメータ抽出法を示した。これらのモデルを Bi-CMOS 用 NPN トランジスタおよびアナログプロセス用ラテラル PNP トランジスタに適用し、基板電流特性および飽和特性に関し良好な精度を得た。また本モデルを用いることにより、Bi-CMOS メモリの電源電圧マージン不良のシミュレーションが可能となることを示した。

第 6 章では、IC のマージン設計において重要な、トランジスタや抵抗の製造バラツキを回路シミュレーションに導入するための統計モデルを研究した。この章では、アナログ IC の製造バラツキに関する測定データを分析し、IC 内デバイスのバラツキに存在する二つのレベルの相関、すなわちデバイス間相関およびデバイス内相関を含む統計モデルを考案した。このモデルは多変量解析の理論に基づき、デバイス間相関に対し、相関行列の固有値と固有ベクトルを利用する主成分モデル、デバイス内相関に対し、線形回帰式に基づく回帰モデル、の二つのサブモデルを結合したものである。この統計モデルは、アナログ IC の回路設計で重要なペアデバイスの整合 (マッチング) を扱うことができ、アナログ IC 内のデバイスのバラツキ (その分布と相関) を現実的な計算時間内で再現できる。ビデ

カメラ用 IC およびビデオ帯アクティブフィルタ IC の主要な回路特性のバラツキがこのモデルにより良好にシミュレーションできた。

以上のモデルをいずれも回路シミュレータに組み込み、バイポーラ IC の回路シミュレーションの高精度化を実現した。

# 記号の説明

- $A_C$  : トランジスタのベース・コレクタ間接合面積
- $A_E$  : トランジスタのエミッタ面積
- $B$  : Kirkモデルのロールオフ・パラメータ ( $= \eta^{\frac{1}{2}} W_C / W_B$ )
- $B_{MWC}$  : 新モデルのクリティカル電流式におけるフィッティング・パラメータ
- $b$  : 擬似飽和直流モデルのフィッティング・パラメータ
- $C_{BC}$  : ベース・コレクタ間外因性寄生容量
- $C_{BE}$  : ベース・エミッタ間外因性寄生容量
- $C_{jc}$  : ベース・コレクタ間接合容量
- $C_{je}$  : ベース・エミッタ間接合容量
- $C_L$  : 負荷容量
- $C_P$  : パッド容量
- $C_{SUB}$  : コレクタ・サブストレート間接合容量 (基板容量)
- $D_n$  : 電子の拡散定数
- $F_{CR}$  : Lindholmのクリティカル電流式におけるフィッティング・パラメータ
- $F_{CRI}$  : 新モデルのクリティカル電流式におけるフィッティング・パラメータ
- $f_T$  :  $h_{fe}$ が1になる周波数。利得帯域幅積
- $g_m$  : 相互コンダクタンス
- $h_{FE}$  : 直流エミッタ接地電流増幅率
- $h_{fe}$  : 交流小信号エミッタ接地電流増幅率
- $I_B$  : ベース電流
- $I_C$  : コレクタ電流
- $I_{CRI}$  : 新モデルのクリティカル電流
- $I_E$  : エミッタ電流
- $I_P$  :  $f_T$ のピーク値を与えるコレクタ電流値 (=新モデルのモデル・パラメータ)
- $I_K$  : ベース・エミッタ接合の順方向 knee 電流
- $I_{KS}$  : 寄生サブPNPトランジスタの順方向 knee 電流

$I_S$  : 飽和電流 ( Gummel-Poonモデル )  
 $I_{SS}$  : 飽和電流 ( Ebers-Mollモデル )  
 $I_{SB}$  : 寄生サブPNPトランジスタの順方向飽和電流  
 $J_C$  : コレクタ電流密度  
 $J_2$  : Kirkモデルのクリティカル電流密度  
 $L_E$  : エミッタ長  
 $m$  : 平均値  
 $n$  : 接合容量の電圧依存性指数  
 $N_C$  : コレクタ領域の不純物濃度  
 $q$  : 電子の電荷 (  $1.6 \times 10^{-19}$  クーロン )  
 $q_B$  : 規格化ベース電荷 ( Gummel-Poonモデル )  
 $R_B$  : 全ベース抵抗 (  $R_{BI} + R_{BX}$  )  
 $R_{BI}$  : 内部ベース抵抗  
 $R_{BX}$  : 外部ベース抵抗  
 $R_C$  : 全コレクタ抵抗  
 $R_{C0}$  : エミッタ直下の変調されるコレクタ抵抗  
 $R_{C1}$  : コレクタ電極直下および埋込み層の一定コレクタ抵抗  
 $R_E$  : エミッタ抵抗  
 $R_P$  : パッドの抵抗  
 $R_S$  : サブストレート ( 基板 ) の抵抗  
 $r$  : 容量の分割比 ( 第2章 - 第5章 )  
 $r$  : 相関係数 ( 第6章 )  
 $r_1$  : ベース・コレクタ容量の分割比  
 $r_2$  : ベース・エミッタ容量の分割比  
 $r_B$  : 交流小信号ベース抵抗  
 $r_C$  : 交流小信号コレクタ抵抗  
 $r_E$  : 交流小信号エミッタ抵抗  
 $T_b$  : ベース走行時間  
 $T_{b0}$  :  $T_b$  の低注入レベルにおける値  
 $T_{bH}$  :  $T_b$  の高注入レベルにおける値

$T_c$  : コレクタ領域の時定数  
 $T_e$  : エミッタ接合の時定数  
 $T_{ec}$  : エミッタ・コレクタ間走行時間  
 $T_f$  : 順方向走行時間  
 $T_r$  : 逆方向走行時間  
 $T_x$  : コレクタ接合の空間電荷層走行時間  
 $V_A$  : 順方向アーリー電圧  
 $V_B$  : 逆方向アーリー電圧  
 $V_{BE}$  : ベース・エミッタ間電圧  
 $V_{CB}$  : ベース・コレクタ間電圧  
 $V_{CC}$  : 回路のコレクタ側電源電圧  
 $V_{CE}$  : コレクタ・エミッタ間電圧  
 $V_{CBT} : |V_{CB}| + \phi_c$   
 $V_Z$  : ツェナー電圧  
 $v_s$  : キャリアの飽和速度  
 $W_B$  : ベース幅  
 $W_C$  : コレクタ領域の幅  
 $W_{CIB}$  : ベース拡がり領域の幅 (Current Induced Base Width)  
 $\sim$   
 $W_{CIB} : W_{CIB} / W_C$   
 $x_m$  : コレクタ接合の空間電荷層幅  
 $\beta_F$  : 順方向電流増幅率パラメータ  
 $\beta_F'$  : 補正された順方向電流増幅率パラメータ  
 $\beta_R$  : 逆方向電流増幅率パラメータ  
 $\beta_R'$  : 補正された逆方向電流増幅率パラメータ  
 $\beta_S$  : 寄生サブPNPトランジスタの順方向電流増幅率パラメータ  
 $\eta$  : ベースのプロファイルにより生じる内部電界で定まる定数  
 $\eta_0$  :  $\eta$  の低注入レベルにおける値  
 $\phi$  : 接合のビルトイン電圧  
 $\phi_c$  : コレクタ接合のビルトイン電圧  
 $\rho_c$  : コレクタ領域の比抵抗

$\sigma$  : 標準偏差値

$\mu_{no}$  : 低電界電子移動度

## 略号

EM5 : 拡張 Ebers-Mollモデル Version 5 ( $f_T$ ロールオフ含む)

CADDET : Computer Aided Device Design in Two dimensions (2次元デバイスシミュレータの名称)

GP3 : 拡張 Gummel-Poonモデル Version 3 (基板電流含む)

NIC : Negative Impedance Converter (負性インピーダンス変換器)

ORBIT : One dimensional Region free Bipolar Transistor program (1次元バイポーラ・デバイスシミュレータの名称)

SUPREM : Stanford University Process Engineering Models (1次元プロセスシミュレータの名称)



# 目 次

	頁
第 1 章 序論	1
1.1 本研究の背景	1
1.2 本研究の目的と概要	5
第 1 章の参考文献	7
第 2 章 大電流域の $f_T$ 低下を考慮したバイポーラトランジスタモデル	9
2.1 はじめに	9
2.2 バイポーラトランジスタの利得帯域幅積 $f_T$ と順方向走行時間 $T_f$	11
2.3 回路シミュレーションのための $f_T$ ロールオフの新しいモデル	19
2.4 アナログ IC 用バイポーラトランジスタへの適用結果	25
2.5 まとめ	29
第 2 章の参考文献	31
第 3 章 バイポーラトランジスタの高周波モデル	33
3.1 はじめに	33
3.2 測定サンプル	34
3.3 パッケージモデル	36
3.4 高周波モデル	47
3.5 帰還型広帯域増幅器の高周波シミュレーション	62
3.6 まとめ	64
第 3 章の参考文献	66
第 4 章 集積化抵抗の高周波モデル	68
4.1 はじめに	68
4.2 集積化抵抗に対する均一分布定数回路の解析	68
4.3 従来モデルの検討	73
4.4 新しいブリッジ $\pi$ 型モデル	76
4.5 抵抗の平均寄生容量	79
4.6 測定値との比較	82
4.7 応用例	86

4.8	まとめ	88
	第4章の参考文献	91
第5章	基板電流を含むバイポーラトランジスタ複合モデル	92
5.1	はじめに	92
5.2	NPNトランジスタの複合モデル	92
5.3	ラテラルPNPトランジスタの複合モデル	100
5.4	Bi-CMOSメモリ回路への応用	106
5.5	まとめ	108
	第5章の参考文献	109
第6章	製造バラツキを考慮したIC内デバイスの統計モデル	110
6.1	はじめに	110
6.2	アナログIC内デバイスの製造バラツキの分析	112
6.3	統計モデル	116
6.4	アナログICへの応用	125
6.5	まとめ	130
	第6章の参考文献	133
第7章	結論	134
	第7章の参考文献	138
	本研究に関する論文, 国際会議および学会発表等	139
	謝辞	143

# 第1章 序論

## 1.1 本研究の背景

バイポーラICは、その良好な雑音特性および高周波特性により、音響、TV、VTRおよび通信等のアナログ分野において、またその高速性、高駆動能力を生かして高速メモリあるいは高速論理LSIを含むデジタル分野においても、現在広汎に使用されている。

これらのバイポーラICは、ニーズの多様化および多機能化に対応して年々高集積化および高周波化が進み、またこれを可能にするためデバイスの微細化およびエピタキシャル層膜厚の縮小などのプロセスの革新が進んでいる。たとえばアナログバイポーラICの場合、従来のプロセスで基準となるトランジスタのエミッタ面積は $20\mu\text{m}^2$ であったが、最近の微細化プロセス[1]では $3\mu\text{m}^2$ と約 $1/40$ に縮小し、また縦方向ベース幅も従来の $1\mu\text{m}$ から $0.3\mu\text{m}$ へと $1/3$ 以下となった。その結果、バイポーラICの高周波性能の指標となるトランジスタの利得帯域幅積 $f_T$ は、従来の $400\text{MHz}$ から $4\text{GHz}$ へと約1桁向上した。さらにデジタル用では、セルフアライン技術の採用により $20\text{GHz}$ を超える $f_T$ をもつサブマイクロトランジスタも出現している[2]。

また最近の新しい動きとして、アナログとデジタルの信号処理を同一チップ上で行うアナログ・デジタル混在化[3]、およびバイポーラプロセスとMOSプロセスの共存化（いわゆるBi-CMOS[4]）などの複合化の動きがある。このうちアナログ・デジタル混在化は、MOS型でも研究が進みつつあるが、雑音および高周波特性などのアナログ性能を重視する応用においてはバイポーラ型が多く使用される。

このようにバイポーラICは、高集積化、高周波化、および複合化が進み、その生産にはますます高度の設計技術が必要になっている。従来「ICの生産は農業」といわれ、プロセスおよびデバイスの設計から、回路およびレイアウトの設計まで、TEG (Test Element Group) を用いた試作を繰り返して、設計のバグ(虫)をとり製造に至る方法が主流をなしてきた。しかし製造プロセスの複雑化と回路の大規模化により、ICの試作に要する期間および費用は著しく増大しており、もはや従来のように何回も仕損を繰り返すやり方

は許されなくなっている。そこでこのような複雑化する I C 設計に対処するため、各種のシミュレーション技術および C A D (Computer-Aided Design) 技術が開発され、また現在開発されつつある。

いまバイポーラ型アナログ・デジタル混在 I C を例にとれば、その設計および製造の流れはおおよそ図 1.1 のようになっている。(純アナログあるいは純デジタル I C では、それぞれデジタル部あるいはアナログ部の設計を省略する。) I C の設計は、大きく分けて、回路、レイアウトおよびプロセス/デバイスの三つの設計からなる。通常、顧客の仕様に基づきシステムを機能ごとにブロックに分割した後、各ブロックの性能を実現するための回路設計を行い、次にレイアウト設計を行ってマスクパターンを作成し、ウェーハ処理を中心にした製造に入る。既存プロセスを用いる場合はこれが主要な設計の流れとなるが、新規プロセスでは図 1.1 の右上に示すプロセス/デバイス設計も必要となり、それが回路設計およびレイアウト設計を支える関係となる。

図 1.1 の各設計工程において、各種のシミュレーションまたは C A D ツールを用いるが、現在 I C 設計上不可欠となっているのは、回路シミュレーション[5]、論理シミュレーション[6]、パターンチェックプログラム[7]およびテストプログラムであり、他はなお開発中のもの(たとえばプロセスシミュレーション[8])や部分的に使用されるもの(デバイスシミュレーション[9]および自動レイアウトプログラム[10])となっている。

I C 設計の中心となる回路設計では、アナログ部が回路シミュレーションを、デジタル部がセル(基本回路)の設計に回路シミュレーションを、全体の論理回路の設計に論理シミュレーションを使用する。これらのシミュレーションを設計に用いる上で重要なことはシミュレーションの精度である。このうち論理シミュレーションでは、必要な各セル(基本回路)の遅延時間などのパラメータを、セルに対する回路シミュレーションにより決定するから、論理シミュレーションの精度も回路シミュレーションが握っているといえよう。この回路シミュレーションにおける精度は、I C 内のデバイスに対しいかに高精度のモデルを使うかによってきまる。

回路シミュレーションのためのバイポーラトランジスタのモデルに関しては、従来よりいくつかの研究がなされてきた。代表的なものとして、トランジスタの端子間電圧電流特性に着目した Ebers-Mollモデル[11]、およびベース電荷蓄積に基づいた Gummel-Poonモデル[12]の二つが、今日多くの回路シミュレータ(たとえば S P I C E [13])で用いられている。しかしながらこれらの従来モデルは、次にのべるように、微細化および高周波化し

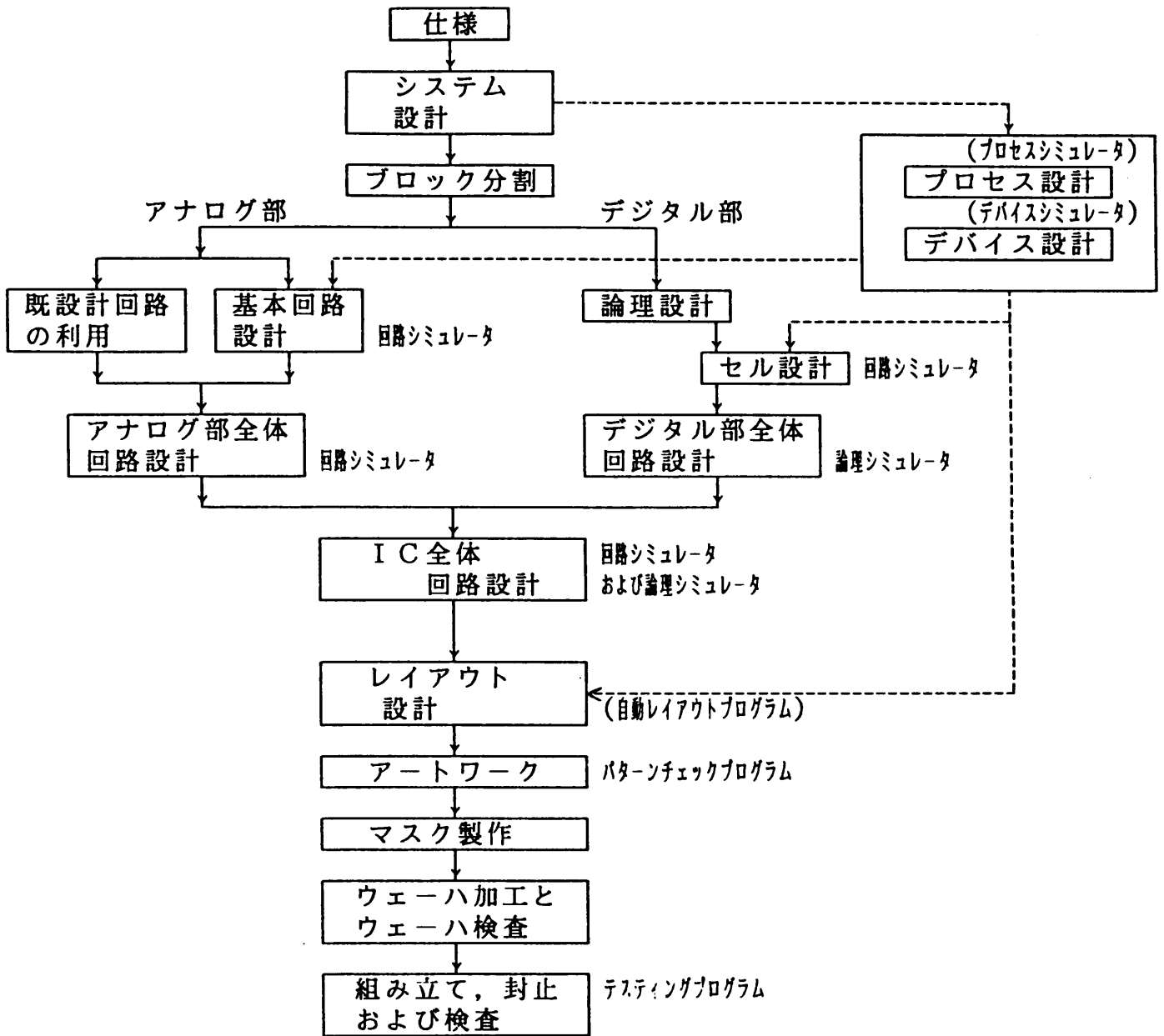


図 1.1 アナログデジタル混在 IC の設計および製造の流れ

てきた最近のバイポーラ I C の設計課題やモデル精度の要求に応えられない点が生じており、新しいモデルの導入あるいは新しい効果を取り入れたモデルの改良や拡張が必要になっている。

まず第一は大電流領域の問題である。従来のモデルは基本的に低電流レベルの動作を前提につくられており、大電流効果は部分的にしか取り入れていない。このため大電流域ではとくに  $f_T$  の計算などにおいて十分な精度が得られないのが実情である。ところが最近デバイスの微細化につれ、I C 中のトランジスタが大電流においても動作することが多くなっている。この領域の精度を改善するため、最近いくつかの研究[14]-[16]がなされ始めた。ただしその多くは大電流域の直流精度(擬似飽和特性など)の改善にとどまり、バイポーラ I C の高周波シミュレーションの精度確保のキーになる  $f_T$  のモデルについてはなお問題が残っている。

第二は寄生素子のモデリングの問題である。すなわちデバイスの微細化とバイポーラ I C の高周波化につれ、従来あまり考慮していなかった I C 化構造に伴う寄生素子の影響が増大しており、とくに高周波シミュレーションの際に問題になっている。従来のバイポーラモデルにおいても、基板容量など I C 化構造に伴う寄生素子を取り込まれているが、とくに 100 MHz 以上の高周波帯においてはなお不十分である。また最近開発の進んでいる Bi-CMOS 回路では、従来無視していた寄生素子(サブ PNP トランジスタ)による基板電流が問題となっている。このように従来モデルで解析できない現象に対しては、新たなモデリングを必要とする。

つぎに第三に、バイポーラ I C 全体の正確なシミュレーションのためには、バイポーラトランジスタに対するモデルのみでは不十分になっていることである。すなわちバイポーラ I C ではトランジスタとともに他のデバイス(抵抗や容量など)が集積化されているが、回路シミュレータにはそのモデルが用意されていない。このためとくに高周波シミュレーションにおいて、たとえば集積化抵抗の分布定数容量によるトラブルや設計仕損が発生しており、このような抵抗についてもその集積化構造を考慮したモデルが必要となっている。

第四に、従来のモデルでは、I C の回路設計で特に重要な、デバイスの製造バラツキを考慮したシミュレーション(統計的回路シミュレーション)が正確に扱えないことである。IBM 社がこのような統計的回路シミュレーションをひとつのねらいとして、ASTAP [17]を開発したことは良く知られている。しかしこのシミュレータは、タブロ法によりモデル組み込みの容易さや高速性を実現するなどすぐれた特徴をもつものの、I C の統計的

なシミュレータとしては本質的な欠陥をもっている。それは、IC内の各デバイスの製造バラツキに存在する相関(たとえばアナログICの設計で重視するペアデバイスのトラッキング)を考慮していないことである。このようなICのバラツキの相関を考慮して正確なマージン設計を実現するには、そのためのモデリング(統計モデルの作成)[18],[19]を必要とする。

## 1.2 本研究の目的と概要

以上の背景のもとに、本論文では、近年微細化および高周波化してきたバイポーラICの回路シミュレーションを、高精度で実現するためにとくに重要となるモデリングを研究している。まず、第2章でバイポーラトランジスタの大電流域の $f_T$ モデルを研究し、続く第3章と第4章において、バイポーラICの高周波特性を精度良くシミュレーションするための、バイポーラトランジスタと抵抗の高周波モデルを研究している。これらの章では、IC化構造に伴う寄生素子のモデリングがひとつのポイントとなる。次に第5章においては最新のバイポーラプロセス(Bi-CMOSなど)で新しく発生した寄生効果、すなわち基板電流のモデリングを取り扱う。そして第6章ではトランジスタと抵抗の製造バラツキを回路シミュレーションで扱えるようにするための統計モデルを研究している。

回路シミュレーションのためのモデリングは、厳密な数値解析的定式化を要するデバイスシミュレーションのためのモデリングと異なり、次のような要件を満足する必要がある。第1に、回路シミュレーションは大規模な回路を取扱うことが多いため、計算の効率上、モデルはできるかぎり簡単でなければならない。第2に、節点解析法を用いる回路シミュレータにおいては、モデル組込の必要上、モデルの基本式が解析式で表現されることが必要である。その上で第3に、IC設計上要求される十分の精度を保持しなければならない。また第4の要件として、収束性が確保されることも必要である。収束性は高周波シミュレーションではとくに問題にならないが、非線形解析となる直流および過渡シミュレーションで要求される。本論文では全章にわたり、このような四つの要件を目標においてモデリングを研究しているが、これらの要件は一般に相互に矛盾する。たとえば精度を十分確保しようとする、モデルは複雑になり、計算時間の増大を招く。したがってこれらをどのように折合いをつけるかが、回路シミュレーションのためのモデリングにとって大きな課題である。

本論文では、モデルの適用対象として、第5章の一部を除き、主にアナログIC用バイ

ポーラトランジスタを取り上げているが、第2章、第5章および第6章のモデルはいずれもデジタルIC用バイポーラトランジスタにも適用可能である。

以下に本論文の各章の概要を述べる。

第2章では、大電流域における $f_T$ 低下を考慮したバイポーラトランジスタのモデルについて述べる。ここではベース領域の伝導度変調(Webster効果)とコレクタ領域の伝導度変調(Kirk効果)を考慮した新しい走行時間モデルを提案し、アナログIC用バイポーラモデルに適用した結果を示す。 $f_T$ の高精度化はICの高周波特性の精度確保のキーとなる。

第3章では、第2章のモデルを基礎にしてバイポーラトランジスタの高周波モデルについて検討する。ここではまず従来より回路シミュレータの高周波モデルとして広く用いられてきたハイブリッド $\pi$ 型モデルを評価する。そして100MHz以上の周波数領域ではIC化構造に伴う寄生素子を考慮したモデル(拡張モデル)が有効であることを、600MHz広帯域増幅器の高周波シミュレーションを通して明らかにする。

第4章では、集積化抵抗の高周波モデルについて述べる。本章では、均一分布定数回路の理論に基づき、寄生の分布容量を簡便な形で取り入れたモデルを提案し、測定値と比較して、さらにアナログIC回路へ適用する。

第5章では、最新のバイポーラプロセスで問題となる寄生の基板電流を考慮したNPNトランジスタおよびラテラルPNPトランジスタに対する複合バイポーラモデルについて述べ、Bi-CMOS回路への応用を示す。

第6章では、製造バラツキを考慮した統計モデルについて述べる。本章で提案する統計モデルは、多変量解析の理論に基づき、アナログIC内素子の製造バラツキにおける相関と分布とを含み、アナログICの設計で重要なペアデバイスの整合性を扱える点で他に類をみないものであり、ICの統計的回路シミュレーション(マージン設計)に有効となることを示す。

最後に第7章で結論をまとめる。



## 第1章の参考文献

- [ 1 ] T.Watanabe, T.Okabe, K.Sakamoto, M.Nagata, A.Muramatsu, S.Ogura, and M.Hayashi, "HIT—An Analog/Digital Bipolar VLSI Technology," Symposium on VLSI Technology, 7-8, pp.108-109 (Sept. 1982).
- [ 2 ] H.Ichino, M.Suzuki, S.Konaka, T.Wakimoto, T.Sakai, "Super Self-Aligned Process Technology (SST) and Its Applications," IEEE 1988 Bipolar Circuits & Technology Meeting, pp.15-18, Minneapolis (Sept.1988).
- [ 3 ] P.Quinlan, "Design of An Analog 8-Bit 2-Channel I/O ASIC for Disk Drive Control Applications," IEEE 1989 Custom Integrated Circuits Conference, pp.11.2.1-11.12.4 (May 1989).
- [ 4 ] T.Ikeda, T.Nagano, N.Momma, K.Miyata, H. Higuchi, M.Odaka, and K.Ogiue, "Advanced Bi-CMOS Technology for High Speed VLSI", Int. Electron Devices Meeting Tech. Digest, pp. 408-411 (1986).
- [ 5 ] D.A.Calahan, "Computer-Aided Network Design," McGraw-Hill, Inc. (1972), コンピュータによる電子回路設計, 日刊工業新聞社 (1974年8月).
- [ 6 ] P.Wilcox and A.Rombeck, "F/LOGIC—An Iterative Fault and Logic Simulation for Digital Circuits," in Proc. 13th Design Automation Conf., pp.68-73 (1976).
- [ 7 ] H.S.Baird, "Fast Algorithms for LSI Artwork Analysis," in Proc. 14th Design Automation Conf., pp. 303-311 (June 1977).
- [ 8 ] D.Antoniadis, S.Hansen, and R.W.Dutton, "SUPREM II —A Program for IC Process Modeling and Simulation," Stanford Electron. Lab., Stanford, CA, Tech. Rep.5019-2 (1978).
- [ 9 ] T.Toyabe H.Masuda, Y.Aoki, H.Shukuri, T.Hagiwara, "Three-Dimensional Device Simulator CADDETH with Highly Convergent Matrix Solution Algorithms," IEEE Trans. on Elecron Devices, vol. ED-32, no. 10, pp. 2038-2044 (Oct. 1985).
- [10] J.D.Williams, "STICKS—A Graphical Compiler for High-Level LSI Design," in Proc. AFIPS Conf., vol. 47, pp.289-295 (June 1978).

- [11] J.J.Ebers and J.L.Moll, "Large Signal Behavior of Junction Transistor," Proc.IRE 42, pp.1761-1772 (Dec. 1954).
- [12] H.K.Gummel and H.C.Poon, "An Integrated Charge Control Model of Bipolar Transistors," Bell Syst. Tech. J., 49, pp.827-852 (May, 1970).
- [13] L.W.Nagel and D.O.Pederson, "Simulation program with integrated circuit emphasis," in Proc. 16th Midwest Symp. Circuit Theory, Waterloo, Ont., Canada (Apr. 1973).
- [14] G.M.Kull, L.W.Nagel, S-W.Lee, P.Lloyd, E.J.Plendergast, and H.Dirks, "A Unified Circuit Model for Bipolar Transistors Including Quasi-Saturation Effects," IEEE Trans. on Electron Devices, vol. ED-32, no. 6, pp.1103-1113 (June 1985).
- [15] H.C. de Graaff and W.J.Kloosterman, "New Formulation of The Current and Charge Relations in Bipolar Transistor Modeling for CACD Purposes," IEEE Trans. on Electron Devices, vol. ED-32, pp. 2415-2419 (Nov. 1985).
- [16] 新美, 猪平, 永田, 飯田, 中込, " 擬似飽和現象を含むバイポーラトランジスタのCADモデル," 電子通信学会論文誌 (C) , Vol. J67-C, No.11, pp.855-862, (1984年11月).
- [17] W.T.Weeks, et al, "Algorithms for ASTAP-A Network Analysis Program," IEEE Trans. Circuit Theory, vol. CT-20, pp.628-634 (Nov. 1973).
- [18] J.Logan, " Characterization and Modeling for Statistical Design," Bell Syst. Tech. J., vol. 50, no. 4, pp. 1105-1174 (Apr. 1971).
- [19] S.Inohira, T.Shinmi, M.Nagata, and K.Iida, "Statistical Modeling for Large Scale Integrated Circuit Design," Symposium on VLSI Technology, 5-3, pp. 76-77 (Sept. 1982).

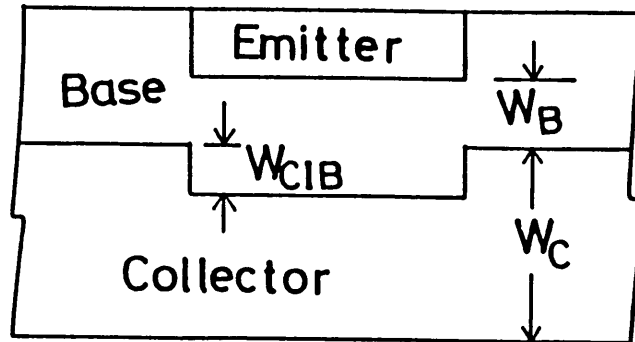
## 第2章 大電流領域の $f_T$ 低下を考慮した バイポーラトランジスタモデル

### 2.1 はじめに

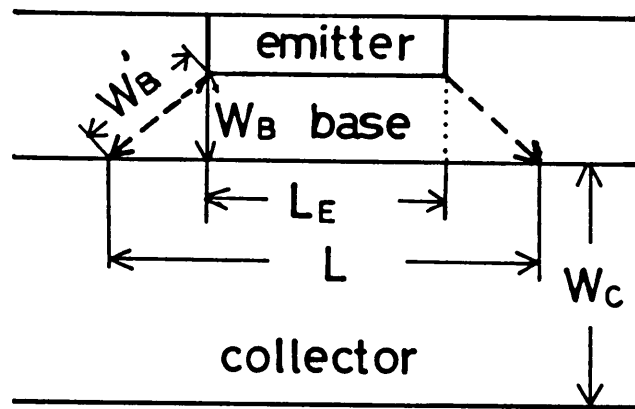
バイポーラトランジスタの利得帯域幅積  $f_T$  は、通常小信号電流増幅率  $h_{fe}$  が1になる周波数と定義される。この  $f_T$  は、低電流領域では電流を増すとエミッタ容量による時定数が低下する結果次第に上昇するが、さらに電流を増すと、ある所から低下するようになる。この大電流領域における  $f_T$  の低下を  $f_T$  ロールオフと呼ぶ。

$f_T$  はバイポーラトランジスタの高周波特性やスイッチング特性を大きく左右するから、バイポーラICの回路シミュレーションを正確に行うためには  $f_T$  に対する高精度のモデルが必要となる。しかし一般に回路シミュレータ(たとえばSPICE)に用意されているバイポーラトランジスタの  $f_T$  のモデルでは、とくに大電流ロールオフ領域において満足すべき精度が得られない。それでも従来はバイポーラトランジスタのエミッタ面積が大きかったため、大電流領域の  $f_T$  精度が悪くても大きな問題とならなかった。しかし最近の微細化トランジスタでは電流密度が大きくなり、 $f_T$  ロールオフ領域に動作点が入る場合も多くなっている。とくに近年盛んに研究されつつあるBi-CMOS回路はその一例である。このため回路シミュレーションのための大電流領域を含む高精度な  $f_T$  モデルは、最近の Stubing & Rein[1] や de Graaff[2] の発表にもあるように、なお今日一つの研究課題となっている。

バイポーラトランジスタの  $f_T$  ロールオフ領域の解析は、最初Kirk[3]によって行われた。Kirkはトランジスタを一次元構造と仮定し、コレクタ領域の伝導度変調、すなわち図2.1(a)のようなコレクタ領域へのベースの拡がり(base widening)に着目した。今日ではこのコレクタ領域の伝導度変調効果を一般にKirk効果と呼ぶ。次にvan der Ziel等[4]は、図2.1(b)のようなベース内でのキャリアの二次元的拡がり効果に着目して  $f_T$  ロールオフの解析を行った。その後、R.J. Whittier & D.A. Tremere[5]はこれら二つの対照的なモデルを検証し、彼らの試作した実験試料では van der Zielモデルの方



(a) Kirk效果



(b) van der Ziel效果

图 2.1 大電流效果

が一致が良いと結論した。しかし今日では，デバイス内部のシミュレーション技術[6]が進んだ結果，最新のICプロセスのバイポーラトランジスタでは，大電流で両方の効果が現われるが，ベース内の横方向拡がり効果よりもむしろ Kirk効果の方が支配的と考えられている[注1]。Kirkの解析は一次元的な限定はあるものの，バイポーラトランジスタの大電流域の物理的ふるまいを良く表現しており，今日でも注目すべきものである。本章では Kirkの解析の主要な結果をまず検討し，これを基にさらに他の効果をも考慮して高精度の $f_T$ モデルを提案し，アナログIC用バイポーラトランジスタの測定値と比較・検証する。

[注1] ただ最近の先進バイポーラプロセス[7]では エミッタストライプの幅が $0.7\mu$ を切るデバイスも現われ始めており，このような微細化バイポーラでは二次元効果の影響も無視できないかもしれない。この点では，van der Zielの考え方も再度見直しが必要であろう。

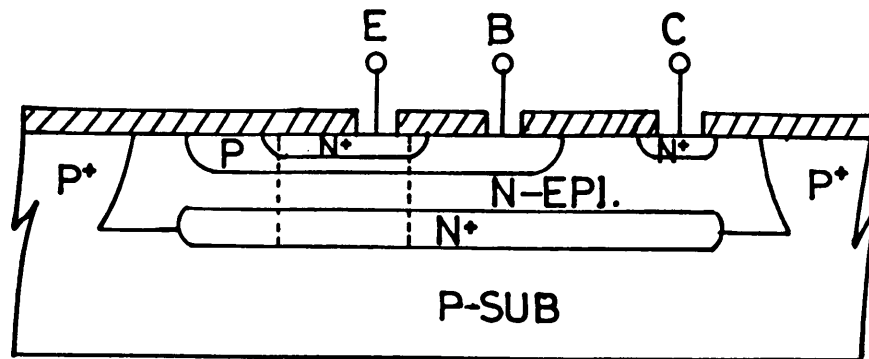
## 2.2 バイポーラ・トランジスタの利得帯域幅積 $f_T$ と順方向走行時間 $T_f$

本論文で対象とするバイポーラ・トランジスタは，図2.2(a)のような集積化されたIC用トランジスタであり，その素子構造は本来三次元的なものである。しかしこのようなIC用バイポーラ・トランジスタの場合においても，その主要な性能は第一次近似として $N^+$ エミッタ層の直下領域、すなわち図2.2(a)の破線内の領域で決まる。そこで本章では簡単のために図2.2(b)のような一次元モデルを想定する。図2.2(a)の破線外の領域である寄生素子の影響は，第3章の高周波モデルにおいて考察を加える。

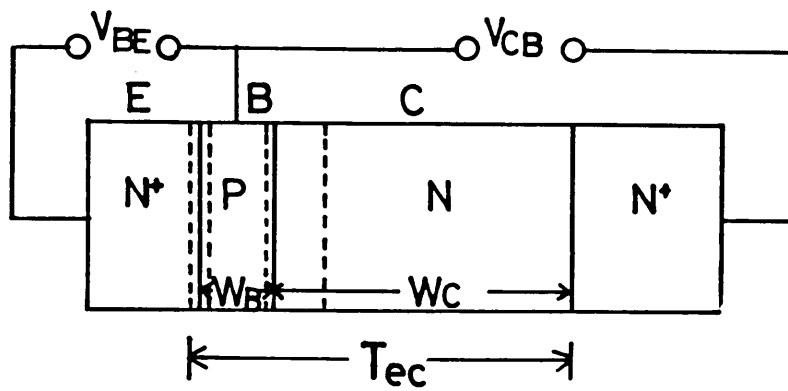
いま図2.2(b)のような一次元モデルで考えると，その利得帯域幅積 $f_T$ は，エミッタ(電極)から注入されたキャリアがコレクタ(電極)まで到達する時間 $T_{ec}$ と次の関係がある[注2]。

$$\frac{1}{2\pi f_T} = T_{ec} \quad (2.1)$$

$T_{ec}$ は主に次の3つの成分よりなる。



(a) 構造



(b) 一次元モデル

図 2.2 I C用バイポーラトランジスタ

$$T_{ec} = T_e + T_c + T_f \quad (2.2)$$

ここで $T_e$ は、エミッタ接合の充電時定数であり次式となる。

$$T_e = \frac{kT}{qI_c} (C_{je} + C_{jc} + C_{BE} + C_{BC}) \quad (2.3)$$

$C_{je}$ はベース・エミッタ間接合容量， $C_{jc}$ はコレクタ・ベース間接合容量，そして $C_{BE}$ はベース・エミッタ間外因性寄生容量， $C_{BC}$ はコレクタ・ベース間外因性寄生容量である。また $T_c$ はコレクタ領域の充電時定数であり，コレクタ抵抗を $r_c$ として次式で表わされる。

$$T_c = r_c C_{jc} \quad (2.4)$$

そして $T_f$ はキャリアの順方向走行時間であり，ベース層走行時間 $T_b$ とコレクタ空乏層走行時間 $T_x$ ，エミッタ領域の少数キャリアの蓄積による遅延時間 $T_{eh}$ [9]，およびベース

$$T_f = T_b + T_x + T_{eh} + T_{esc\ell} \quad (2.5)$$

・エミッタ間空間電荷層の中性容量(neutral capacitance[10])による遅延時間 $T_{esc\ell}$ の和と考えられる[注3]。一般には上式の $T_f$ のうち，ベース走行時間 $T_b$ が支配的である。低レベル注入条件下で $T_b$ は次式で表わせる[注4]。

$$T_b = \frac{W_B^2}{\eta D_n} \quad (2.6)$$

ここで $W_B$ はベース幅， $\eta$ はベースの濃度プロファイルで定まる定数である。また $T_x$ は，コレクタ空間電荷層の幅 $x_m$ と，キャリアの飽和速度 $v_s$ により次式から計算される。

$$T_x = \frac{x_m}{2v_s} \quad (2.7)$$

[注2] 式(2.1)は、トランジスタを四端子定数(例えば y パラメータ)で等価回路表示し、エミッタ接地電流利得  $h_{fe}$  の式を求め、 $|h_{fe}| = 1$  になる周波数を求めることにより得られる。詳細は、例えば Lindmayer & Wrigley[8](1965)を参照されたい。

[注3] 通常これら  $T_{eh}$  及び  $T_{esc2}$  は  $T_b$  に含めることが多い。

[注4] キャリア(電子)のドリフト速度を  $v_s$  とすると距離  $d_x$  を進むに要する時間  $dT$  は  $\frac{d_x}{v_s}$  であるから、ベース走行時間  $T_b$  は、 $dT$  をエミッタからコレクタまで積分して、

$$T_b = \int_E^C \frac{1}{v_s} dx = \int_E^C \frac{q A_E \hat{n}(x)}{I_n} dx = \frac{\hat{Q}_s}{I_n}$$

で与えられる。ここで  $\hat{n}(x)$  は注入された過剰電子濃度、 $\hat{Q}_s$  はその蓄積電荷である。一般的な不純物分布の場合  $\hat{Q}_s$  は、

$$\begin{aligned} \hat{Q}_s &= \int_E^C q A_E \hat{n}(x) dx = \int_0^{WB} q A_E \hat{n}(x) dx \\ &= \frac{I_n}{D_n} \int_0^{WB} \frac{\int_x^{WB} N_A dx}{N_A} dx \end{aligned}$$

で計算できる[8]。そこで、

$$T_b = \frac{1}{D_n} \int_0^{WB} \frac{\int_x^{WB} N_A dx}{N_A} dx$$

となる。いまベースの不純物分布を指数関数と仮定すると、



$$N_A = N_{AE} e^{-x/x_0} = N_{AE} e^{(-x/W_B)}$$

ここに  $N_{AE}$  はベース領域中のエミッタ側アクセプタ濃度，また  $\eta$  は，

$$\eta = \frac{W_B}{x_0} = \ell_n \frac{N(0)}{N(W_B)}$$

である。このような指数関数分布のトランジスタでは蓄積電荷は，

$$\hat{Q}_s = \frac{I_n W_B^2}{D_n} \cdot \frac{\eta - 1 + e^{-\eta}}{\eta^2}$$

$$\xrightarrow{(\eta \rightarrow \text{大})} \frac{I_n W_B^2}{\eta D_n}$$

となることが知られている[8]。そこで

$$T_b = \frac{\hat{Q}_s}{I_n} = \frac{W_B^2}{\eta D_n}$$

が得られる。

通常のアナログIC用バイポーラトランジスタの場合，式(2.1)から計算される  $f_T$  は主に順方向走行時間  $T_f$  とエミッタ接合容量  $C_{je}$  により定まり，コレクタ電流の低電流領域では測定値と良い一致を示す。しかしコレクタ電流が大きい領域では， $f_T$  の測定値はロールオフ(低下)するが，式(2.1)による計算値は  $T_f$  と  $T_c$  の和で定まる  $f_T$  値に飽和するため，大きな不一致を示す。

一つの例として，アナログICの標準NPNトランジスタ(エミッタ面積  $A_E = 20 \mu \times$

20  $\mu$ ) の大電流領域における  $f_T$  測定値を、式 (2.1) ~ (2.7) を用いて各遅延時間に分解すると、図 2.3 のようになる。図で  $T_{ec}$  は実測の  $f_T$  から式 (2.1) を用いて計算し、また  $T_c = r_c C_{jc}$  を一定、 $T_e$  を式 (2.3) より求めて、 $T_f = T_{ec} - (T_c + T_e)$  より  $T_f$  を計算した。このアナログ IC 用トランジスタ ( $f_T$  のピーク値  $\approx 400$  MHz) では、 $T_x$  は十分小さい [注 5] ため、 $T_f$  はほとんど  $T_b$  に等しい。そこで以下の解析では  $T_f \approx T_b$  と考える。

図 2.3 によると、低注入レベル ( $I_c \leq 1$  mA) で全遅延時間  $T_{ec}$  のかなりの部分を占める  $T_e$  は、大電流  $I_c$  (ロールオフ) 領域では十分小さくなり、 $T_f$  が増大して  $T_{ec}$  つまり  $f_T$  を決めることがわかる。したがってロールオフ領域の  $f_T$  精度を改善するには、 $T_f$  の  $I_c$  による増大 ( $V_{CE}$  依存性を含む) を適切に表現するモデルが必要になる。そこでこのようなモデルを考える基礎として、まず Kirk による解析を次に検討する。

[注 5] いま対象としているアナログ IC 用標準トランジスタの場合、コレクタ空間電荷層幅  $x_m$  は、 $V_{CE} = 1$  V で  $0.87 \mu$ 、 $V_{CE} = 5$  V で  $1.63 \mu$  である。キャリアの飽和速度  $v_s \approx 10^7$  V/cm ( $E > 10^4$  V/cm) であるから、式 (2.7) より

$$T_x = \frac{x_m}{2 v_s} = \begin{cases} 8 \text{ ps} & (V_{CE} = 5 \text{ V}) \\ 4 \text{ ps} & (V_{CE} = 1 \text{ V}) \end{cases}$$

となる。一方  $T_f$  は  $0.345$  ns であるから、このようなアナログ IC 用トランジスタ ( $f_T \approx 500$  MHz) では  $T_x$  は無視できる。

Kirk の解析は本質的にトランジスタの一次元的動作を仮定しており、まずコレクタ電流密度  $J_c$  が次式で定まるクリティカル電流密度  $J_2$

$$J_2 = \frac{|V_{CB}|}{\rho_c W_c} \quad (2.8)$$

を越えると、コレクタ領域へのベースの拡がり (base widening) が起ると考える。ここに  $\rho_c$  はコレクタ領域の比抵抗である。図 2.4 は、このような状態におけるコレクタ領域

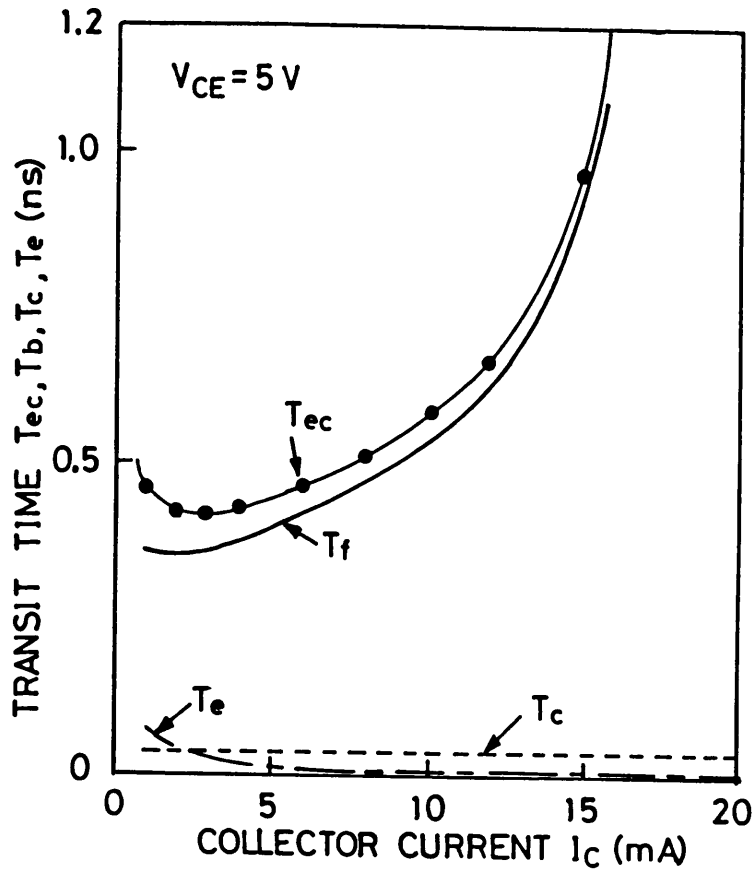


図 2.3  $f_T$  ロールオフ領域における各遅延時間

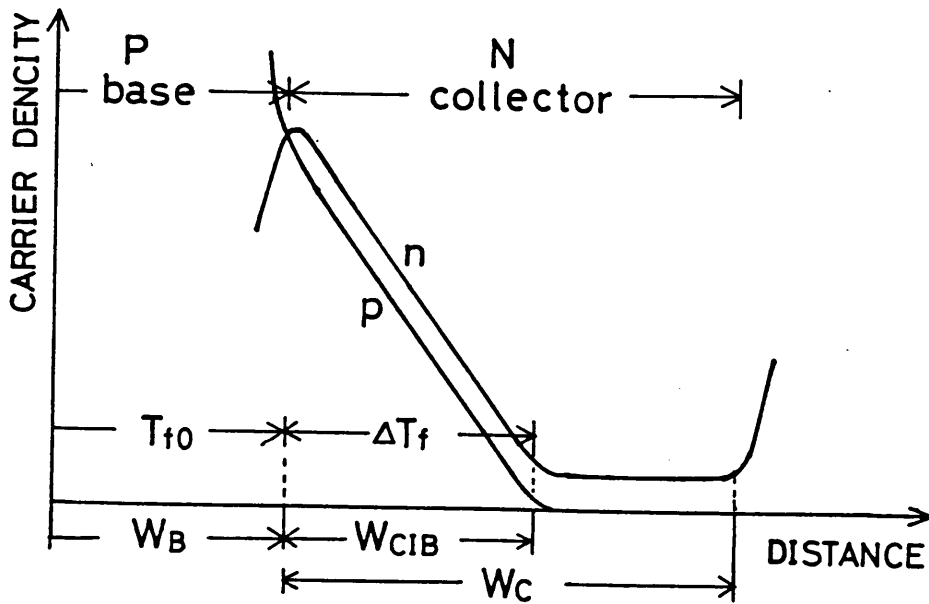


図 2.4 Kirk効果発生時のキャリア濃度分布の概念図

中のキャリアの濃度分布を示すが、ベースから少数キャリアの電子と多数キャリアのホールが同時に注入され、この領域が空間電荷中性の一種のベース領域を形成する。この伸びたベース領域 (Current Induced Base) の幅を  $W_{CIB}$  とすると、 $W_{CIB}$  は電流レベルが上がるにつれコレクタ領域中を拡大する。この結果走行時間  $T_f$  は、金属学的ベース (metallurgical base) の幅  $W_B$  の走行時間  $T_{f_0}$  に加え  $W_{CIB}$  の走行時間の分  $\Delta T_f$  だけ増加する。すなわち、

$$T_f = \frac{W_B^2}{\eta D_n} + \frac{W_{CIB}^2}{4 D_n}$$

$$= T_{f_0} + \Delta T_f \quad (J_c \geq J_2) \quad (2.9)$$

となる。

ここで  $W_{CIB}$  は、印加電圧、エピタキシャル層の濃度およびその厚みなどにより異なるが [11]、低電界近似 [5] ( $|V_{CB}|$  が低電圧またはエピタキシャル層が厚い) の仮定の下では次式となる。

$$W_{CIB} = W_C \left( 1 - \frac{J_2}{J_c} \right) \quad (J_c \geq J_2) \quad (2.10)$$

また高電界近似の下では次式となる。

$$W_{CIB} = W_C \left[ 1 - \left( \frac{J_2 - q N_c v_s}{J_c - q N_c v_s} \right)^{\frac{1}{2}} \right] \quad (2.11)$$

以上が Kirk の解析のあらましである。アナログ IC 用トランジスタでは、一般に耐圧を確保するためエピタキシャル層は比較的厚く ( $W_{epi} \doteq 10 \mu$ )、また動作条件は高電圧大電流領域より低電圧大電流領域に振り込まれることが多いため、 $W_{CIB}$  に対し式

(2.10) の低電界近似を用い、式 (2.8) ~ (2.9) の電流密度  $J$  を電流  $I (= J A_E)$  に置き換えて整理すると、 $I_2 = J_2 A_E$ 、および  $I_C = J_C A_E$  であるから、

$$T_f = T_{f0} \left[ 1 + \frac{\eta}{4} \left( \frac{W_c}{W_B} \right)^2 \left( 1 - \frac{I_2}{I_c} \right)^2 \right] \quad (I_c \geq I_2) \quad (2.12)$$

ただし

$$T_{f0} = \frac{W_B^2}{\eta D_n}, \quad I_2 = \frac{|V_{CB}|}{\rho_c W_c} A_B$$

を得る。

Kirkの解析から導かれた式(2.12)を前述のアナログIC用標準トランジスタに適用すると、図2.5の破線となる。 $V_{CE} = 5V$ のとき、式(2.12)のクリティカル電流 $I_2$ は25mAであり、測定値のロールオフ開始電流2.5mAと大きくずれるため、測定との誤差が大きい。この不一致は、現実のデバイスでは、Kirk効果(コレクタ領域の伝導度変調)以外の何らかの効果、たとえばベース内伝導度変調(Webster効果[12])およびエミッタクラウディング効果[13]などが加わっているためと考えられる。

このようにKirkの解析をそのまま機械的に適用してもあまり良い結果が得られないことがわかる。そこでKirkの解析を基礎にして、次に回路シミュレーション用モデルとしてより高精度な $f_T$ ロールオフモデルを検討する。

### 2.3 回路シミュレーションのための $f_T$ ロールオフの新しいモデル

トランジスタの大電流領域における $f_T$ のロールオフは、直流電流増幅率 $h_{FE}$ の大電流領域での低下と密接な関連がある。直流 $h_{FE}$ の大電流領域における低下は、一つにはベース領域の伝導度変調(Webster効果)によると考えられている[12]。このことから交流の $f_T$ ロールオフについても、コレクタ領域の伝導度変調(Kirk効果)に加えてベース領域の伝導度変調(Webster効果)を考慮する必要がある。実際SPICEのGummel-Poon[14]モデルでは、直流の $h_{FE}$ の低下を決めるknee電流 $I_K$ が交流の $f_T$ のロールオフ開始をそのまま決定するようになっている。しかし実際のデバイスでは、大電流領域の $h_{FE}$ の低下と $f_T$ のロールオフとは必ずしも一致しないためこのSPICEモデルも大電流で $f_T$ が合わないことが多い。

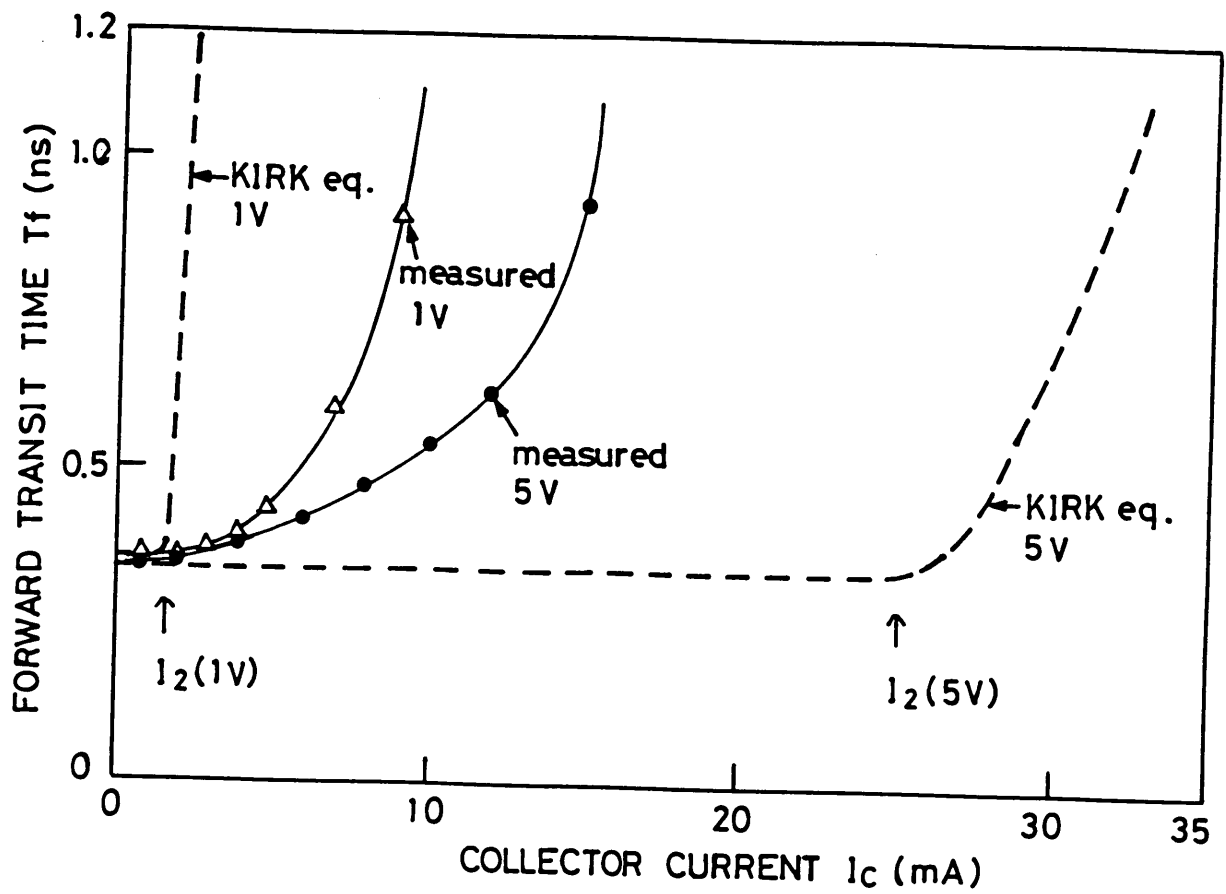


図 2.5 Kirkの解析式と測定値の比較

すでにみたようにKirk効果を導入した $T_f$ のモデル式(2.12)を実際に適用する場合には、クリティカル電流(またはロールオフ開始電流)のモデルが精度上重要になる。

そこでここで提案する新モデルでは、大電流における $f_T$ の低下する領域を、ベース内伝導度変調(Webster効果)の支配的な領域と、コレクタ領域の伝導度変調(Kirk効果)の支配的な領域の二つに分けている。いま $f_T-I_C$ 特性において、 $f_T$ のピークを与えるコレクタ電流値を $I_P$ 、 $f_T$ がそのピーク値の $\frac{1}{2}$ (または $T_f$ がその低電流値 $T_{f_0}$ の2倍)になる電流値を、クリティカル電流 $I_{CRI}$ と定義し、 $I_C \geq I_P$ の領域でWebster効果、 $I_C \geq I_{CRI}$ の領域でさらにKirk効果が生じると考える[15][16]。

### (1) Webster効果による順方向走行時間 $T_f$ の増大

$I_P < I_C \leq I_{CRI}$ の領域においてKirk効果はまだ生じていないと考えられるので、ベース幅 $W_B$ は一定とみなせる。低注入レベル( $I_C < I_P$ )での走行時間を $T_{f_0}$ とすると、すでに示したように、

$$T_{f_0} = \frac{W_B^2}{\eta D_n} \quad (I_C < I_P) \quad (2.13)$$

である。今、ベース領域中の電子の拡散係数 $D_n$ の変化を無視すると、ベース領域が高注入の状態では $\eta \rightarrow 4$ になることが知られている[17]。そこで

$$T_f = \frac{W_B^2}{4 D_n} \quad (I_C \geq I_{CRI}) \quad (2.14)$$

が成立つ。 $\eta$ はベースの濃度プロファイルで定まる定数であり、拡散型NPNトランジスタでは通常4以上の値(アナログIC用トランジスタで約8)となるので、式(2.14)で定まる高注入時の $T_f$ は、式(2.13)の低注入時の $T_f$ の $\frac{\eta}{4}$ 倍に増大する。たとえば $\eta = 8$ とすると

$$T_f = 2 T_{f_0} \quad (2.15)$$

すなわち  $I_C = I_{CRI}$  において、走行時間  $T_f$  は低レベルの  $T_{f_0}$  の 2 倍となる。

次に  $I_P < I_C \leq I_{CRI}$  の中間領域において  $\eta$  の変化を一次と仮定 [注 6] すると、 $\eta$  の電流依存性は

$$\eta(I_C) = \frac{\eta_0 - 4}{I_P - I_{CRI}} (I_C - I_P) + \eta_0 \quad (2.16)$$

で表わされる。ここで  $I_C \leq I_P$  の領域における走行時間  $T_f$  に対応する  $\eta$  を改めて  $\eta_0$  としている。これよりこの領域の  $T_f$  のモデルとして、次式が得られる。

$$T_f = B T_{f_0} \quad (I_P \leq I_C < I_{CRI}) \quad (2.17)$$

$$B = \frac{1}{1 - \frac{\eta_0 - 4}{\eta_0} \cdot \frac{I_C - I_P}{I_{CRI} - I_P}} \quad (2.18)$$

[注 6] この仮定は、ベースの濃度プロファイルを指数関数型と考慮して数値計算した Lindmayer & Wrighley [17] の結果に基づいている。

## (2) Kirk 効果による順方向走行時間 $T_f$ の増大

$I_{CRI} < I_C$  の領域においては、上の Webster 効果に加えてさらに Kirk 効果が発生する。この領域では前述の Kirk の解析を基礎にしてモデル化できる。

すなわちこの領域ではコレクタ領域へ少数キャリアおよび多数キャリアが注入され、いわゆるベース拡がり起る。このとき走行時間  $T_f$  は、金属学的ベース内走行時間と拡がりベース領域内走行時間の和で表わされる。

$$T_f = \frac{W_B^2}{4 D_n} + \frac{W_{CIB}^2}{4 D_n} \quad (I_{CRI} \leq I_C) \quad (2.19)$$

ここで第 1 項の金属学的ベース内走行時間は、もとの Kirk の式 (2.9) と異って、



Webster効果によりすでに高注入レベルに変化していると考えており、 $\eta$ の代りに4が使われている。このことにより  $I_C = I_{CRI}$  において、式(2.17)と式(2.19)の連続性が保証される。式(2.19)を変形すると、

$$\begin{aligned} T_f &= \frac{\eta_0}{4} \cdot \frac{W_B^2}{\eta_0 D_n} \left( 1 + \frac{W_{CIB}^2}{W_B^2} \right) \\ &= \frac{\eta_0}{4} \cdot T_{f0} \left( 1 + \frac{W_{CIB}^2}{W_B^2} \right) \quad (I_{CRI} \leq I_C) \quad (2.20) \end{aligned}$$

となる。 $I_C = I_{CRI}$  において、式(2.17)および式(2.19)はともに

$$T_f = \frac{\eta_0}{4} T_{f0} \quad (I_C = I_{CRI}) \quad (2.21)$$

である。

ここで  $W_{CIB}$  は低電界近似式(2.10)が成立つとすると、

$$T_f = \frac{\eta_0}{4} \cdot T_{f0} \left[ 1 + \left( \frac{W_C}{W_B} \right)^2 \left( 1 - \frac{I_{CRI}}{I_C} \right)^2 \right] \quad (I_C \geq I_{CRI}) \quad (2.22)$$

を得る。

### (3) クリティカル電流の式

Kirk効果の開始する電流、いわゆるクリティカル電流を、Wittier & Tremere [5] は厳密な数値計算によって求めているが、回路シミュレーション用モデルとしては複雑すぎ適当でない。そこでLindholm [18] らが与えたより簡便な式をさらに改良した。

ここでクリティカル電流は、コレクタ・ベース間空乏層間の電界が大量の注入キャリアにより消失するときの電流である。すなわち

$$E(0) = 0 \quad (2.23)$$

一般に電流密度と電界の間には、

$$J_{CRI} = -q n(x) v(x) = q n(x) \mu_{nc}(E) E(x) \quad (2.24)$$

が成立つ。そこでポアソンの式より、

$$\frac{dE(x)}{dx} = \frac{1}{\epsilon} \left\{ q N_C + \frac{J_{CRI}}{v(x)} \right\} \quad (2.25)$$

となる。上式の第一項は空乏層中の固定電荷、第二項は可動キャリアの寄与を表わす。移動度の電界依存性を次の経験式で仮定すると、

$$\mu_{nc}(E) \simeq \frac{\mu_{n0}}{(1 + \mu_{n0} \bar{E} / v_s)} \triangleq \overline{\mu_{nc}} \quad (2.26)$$

ここで  $\bar{E} = V_{CBT} / W_C$  はコレクタ領域の平均電界、 $\mu_{n0}$  は低電界の電子移動度、 $V_{CBT}$  はベース・コレクタ間トータル電圧（印加電圧＋ビルトイン電圧）である。式（2.25）、（2.26）より、次式を得る。

$$\epsilon dE / (q N_C + J_{CRI} / \overline{\mu_{nc}} E) = dx \quad (2.27)$$

Shockley & Primに従い、上式を

$$q N_C W_C^2 / \epsilon V_{CBT} \gg 1 \quad (2.28)$$

の仮定のもとに積分すると、次の結果を得る。（式（2.28）は一般の集積化トランジスタでは成立つ。）

$$J_{CRI} = \frac{q \mu_{n0} N_C \cdot V_{CBT} / W_C}{1 + \mu_{n0} \frac{V_{CBT} / W_C}{v_s}} \quad (2.29)$$

Lindholmは、式(2.29)より、実際のトランジスタでは存在するクラウディング効果等を考慮して、一つのフィッティングパラメータ  $F_{CR}$  を導入し、次のクリティカル電流式を得ている。

$$I_{CRI} = F_{CR} \frac{q \mu_{n0} N_C A_E}{W_C} \frac{|V_{CBT}|}{1 + \mu_{n0} \frac{|V_{CBT}|}{W_C} / v_s} \quad (2.30)$$

Lindholmの式を実際のトランジスタに適用した結果は、後にみるように、測定されたクリティカル電流と高電圧側で誤差があることがわかった。そこでさらに次のように改良した。

$$I_{CRI} = F_{CRI} \cdot \frac{1}{R_{CO}} \frac{|V_{CBT}|}{1 + B_{MWC} \cdot |V_{CBT}| / v_s} \quad (\text{新モデル}) \quad (2.31)$$

ここで  $R_{CO}$  はエミッタ直下のコレクタ抵抗(低電流値)であり、 $R_{CO} = W_C / (q \mu_{n0} N_C A_E)$  とおいた。また上式ではLindholmの式における  $\mu_{n0} / W_C$  を新たにフィッティング・パラメータ  $B_{MWC}$  とおき、測定のデバイスで現われるエミッタ・クラウディングなど他の高電流効果を吸収させている。

以上により、ここで提案する  $f_T$  ロールオフモデルの基本式は、式(2.17)、(2.18)、(2.22) および(2.31)となる。

#### 2.4 アナログIC用バイポーラトランジスタへの適用結果

前述のモデルをアナログIC用標準バイポーラトランジスタ ( $A_E = 20 \mu \times 20 \mu$ ) に適用した結果を以下に示す。このバイポーラトランジスタのパターンとその不純物プロ

ファイルは図 2.6 のようなもので、標準アナログ IC プロセスで製作されており、その断面構造は図 2.2 (a) と同じである。

上述の新モデルの基本式において、新しいモデル・パラメータは  $I_P$ ,  $T_{f_0}$ ,  $W_C/W_B$ ,  $F_{CRI}$ ,  $B_{MWC}$ ,  $R_{CO}$  の 6 つとなる。そのパラメータ抽出は以下のようにして行った。

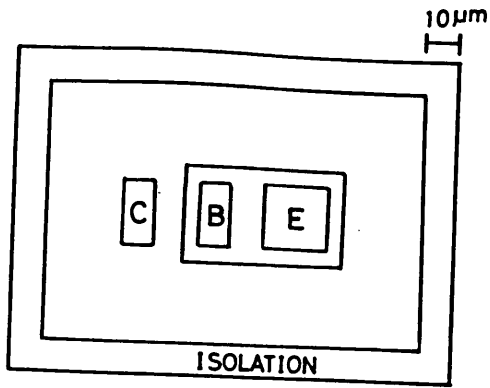
パラメータ  $I_P$  は  $f_T - I_C$  特性において、 $f_T$  のピークを与える  $I_C$  値とする。次にこの  $I_P$  以下の低電流側の  $f_T$  測定値を用いて、 $1/2\pi f_T - 1/I_C$  特性を求め、その直線の切片  $T_{f_0}'$  より、低電流順方向走行時間  $T_{f_0}$  ( $= T_{f_0}' - r_c C_{jc}$ ) を決める。用いた試料 ( $A_E = 20 \mu \times 20 \mu$ ) では、 $I_P = 2.5 \text{ mA}$  および  $T_{f_0} = 0.345 \text{ ns}$  が得られた。

パラメータ  $W_C/W_B$  は、図 2.6 より、エピタキシャル・コレクタ層の長さ  $W_C$  とベース幅  $W_B$  の比より求める。ここで用いた試料の例では、 $W_C = 4.9 \mu$ ,  $W_B = 1.1 \mu$  であり、 $W_C/W_B = 4.45$  を得る。

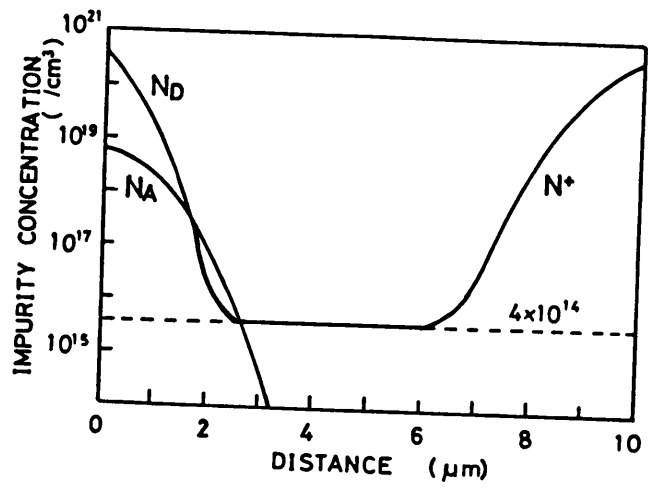
パラメータ  $F_{CRI}$  と  $B_{MWC}$  は、大電流ロールオフ領域の  $f_T - I_C$  特性を、 $V_{CE}$  を変えて測定することにより求める。 $V_{CE}$  の値としては、アナログ IC 用標準バイポーラトランジスタの場合、例えば  $1 \text{ V}$ ,  $5 \text{ V}$ ,  $15 \text{ V}$  とする。その各  $f_T - I_C$  特性において、大電流ロールオフ側で  $f_T$  がそのピーク値の  $\frac{1}{2}$  に低下する  $I_C$  値 (正確には  $T_f$  が  $\frac{\eta_0}{4} T_{f_0}$  になる  $I_C$  値) を求め、これをクリティカル電流  $I_{CRI}$  の測定値とする。 $I_{CRI}$  測定値と式 (2.31) を用いて、最小二乗法により  $F_{CRI}$  と  $B_{MWC}$  を決定する。用いた試料の例では、 $F_{CRI} = 2.596$ ,  $B_{MWC} = 1.034$  が得られた。

パラメータ  $R_{CO}$  はエミッタ直下のコレクタ抵抗の低電流値である。これは  $R_{CO} = \frac{W_C}{q \mu n_0 N_{CAE}}$  より計算するか、または図 2.7 のように大電流域の直流  $I_C - V_{CE}$  特性に擬似飽和がみられるものは、その直線の傾きより  $R_{CO}$  を決定する [19]。用いた試料では、直流特性より  $R_{CO} = 159 \Omega$  が得られた。

こうして求めたモデルパラメータに加えて、容量パラメータ  $C_{jc}$ ,  $C_{je}$ ,  $C_{sub}$  などは通常の方法 [19] で  $C - V$  特性から決定し、新モデルにより  $f_T$  ロールオフ領域における順方向走行時間を計算した結果を図 2.8 に示す。この図より、新モデルでは  $V_{CE} = 5 \text{ V}$  での測定値との一致が良いばかりでなく、 $V_{CE} = 1 \text{ V}$  および  $15 \text{ V}$  における一致もよく、 $V_{CE}$  の変化に良く追随しえることがわかる。これは主にクリティカル電流の精度が良いためである。図 2.9 にクリティカル電流  $I_{CRI}$  の電圧依存性を示す。図で黒丸が  $I_{CRI}$  測定値 ( $f_T$  がピークの  $\frac{1}{2}$  になる  $I_C$  値) であり、Lindholm の式 (破線) は高電圧側でこれ



(a) 平面パターン



(b) 濃度プロファイル

図 2.6 アナログ IC 用標準バイポーラトランジスタ

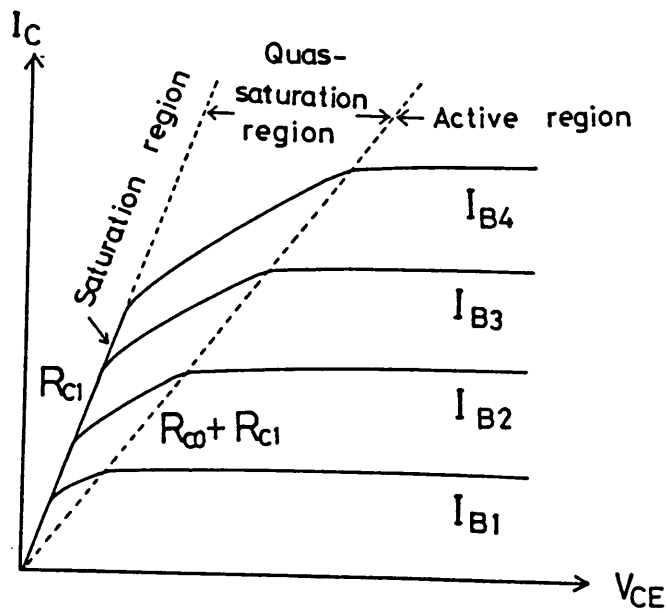


図 2.7 大電流域の擬似飽和特性

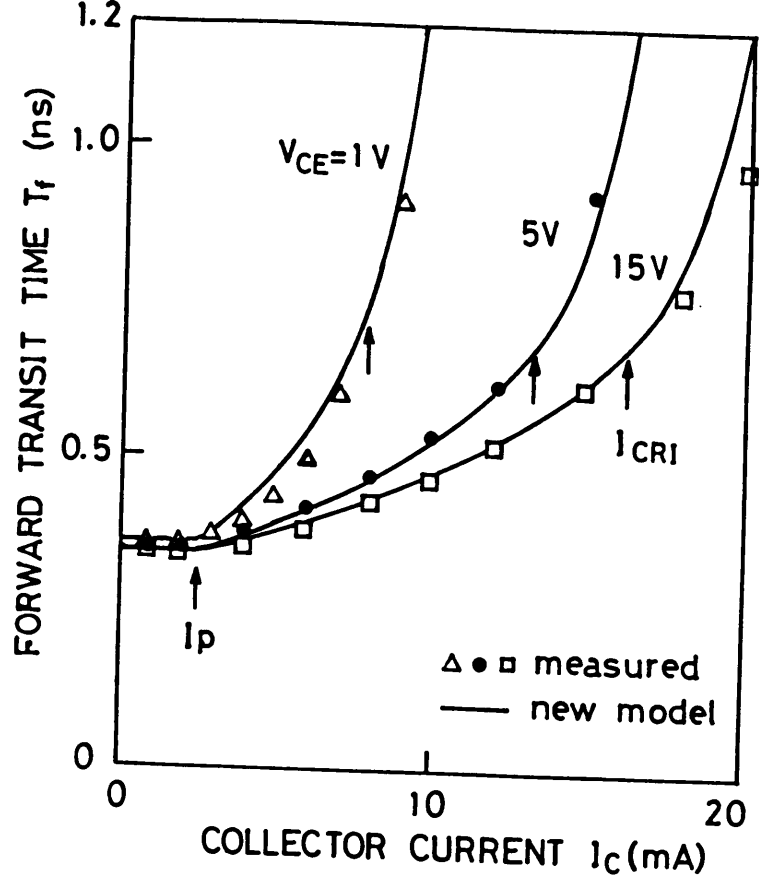


図 2.8 新モデルによる計算値と測定値の比較

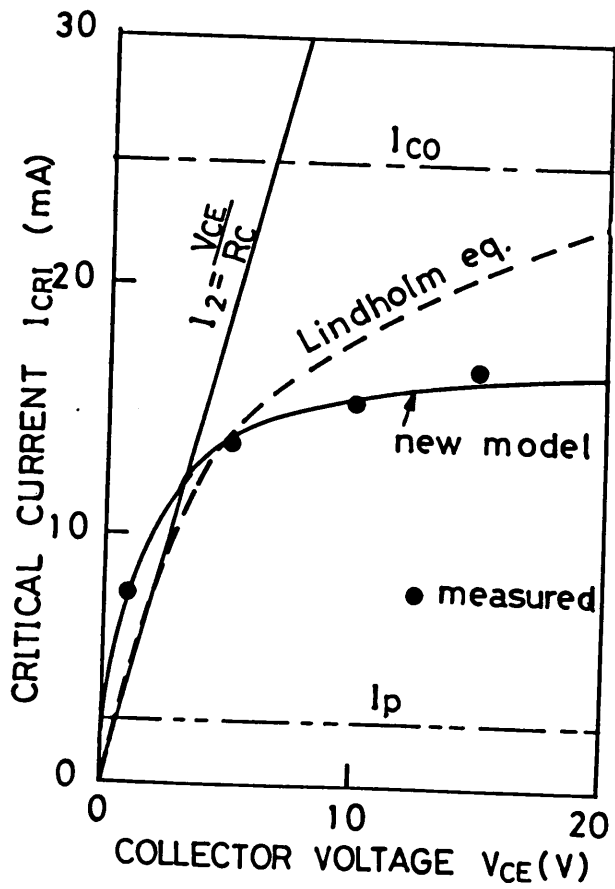


図 2.9 クリティカル電流の電圧依存性

と一致しないが、本モデル（実線）は良く一致している。

次にモデルの裏づけとして、ここで用いたアナログIC用バイポーラトランジスタ（図2.6）に対し、一次元数値解析プログラム（ORBIT）によりデバイス内部の電子および正孔の濃度分布を解析した結果を図2.10に示す。これらは図2.8の $V_{CE}=1V$ の場合に対応した解析結果である。図2.10の解析に用いたトランジスタの不純物プロファイルは、図2.6（b）に示したものであり、これはベースおよびエミッタのシート抵抗と接合深さ、および $I_C-V_{BE}$ 特性から測定されるベースのガンメル数により決定した。この方法により、直流特性に関し数値解析による結果と測定結果との良い一致が得られた。図2.10（a）、（b）をみると、 $I_C \simeq 7mA$ 以上の高注入レベルでは、電子および正孔のコレクタ領域への注入が生じ、これらのキャリアによって空間電荷が中性となる領域（拡がりベース；Current Induced Base） $W_{CIB}$ が現われる（Kirk効果）ことがよくわかる。また $I_C$ が $500\mu A \sim 7mA$ の領域（低注入と高注入との中間領域）では、ベース内電子濃度が増大している（Webster効果）ことがわかる。この数値解析結果より本モデルの基本的な考え方は大すじにおいて妥当なものと考えられる。

## 2.5 まとめ

本章では、ベース領域およびコレクタ領域の伝導度変調効果とクリティカル電流を導入することにより、大電流域において測定と良く合う順方向走行時間（利得帯域幅積 $f_T$ ）のモデルを提案した。このモデルは大電流域における $f_T$ の $V_{CE}$ 依存性にも良く対応できる。本モデルをアナログIC用バイポーラトランジスタに適用した結果、 $f_T$ ロールオフ領域で良好な精度（ワーストで9%以下）を得た。従来 $f_T$ のモデルではワースト誤差が60%以上が普通であったから、新モデル導入による精度向上の効果は大きい。このモデルはEM5モデルという名称で回路シミュレータに組込まれ、現在、アナログICの回路設計に実用されている。

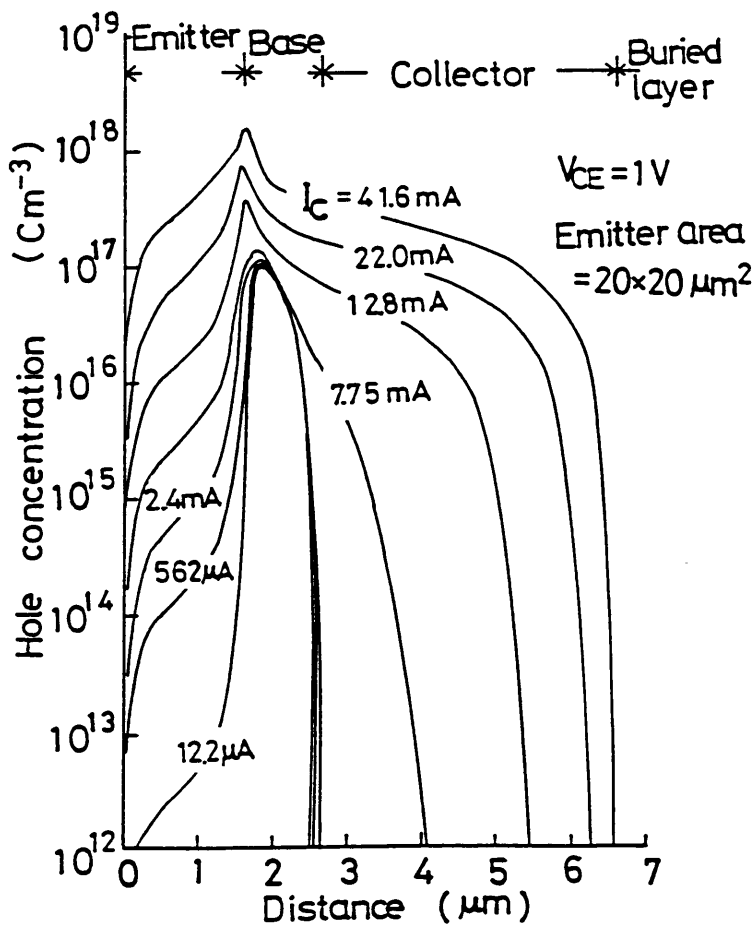
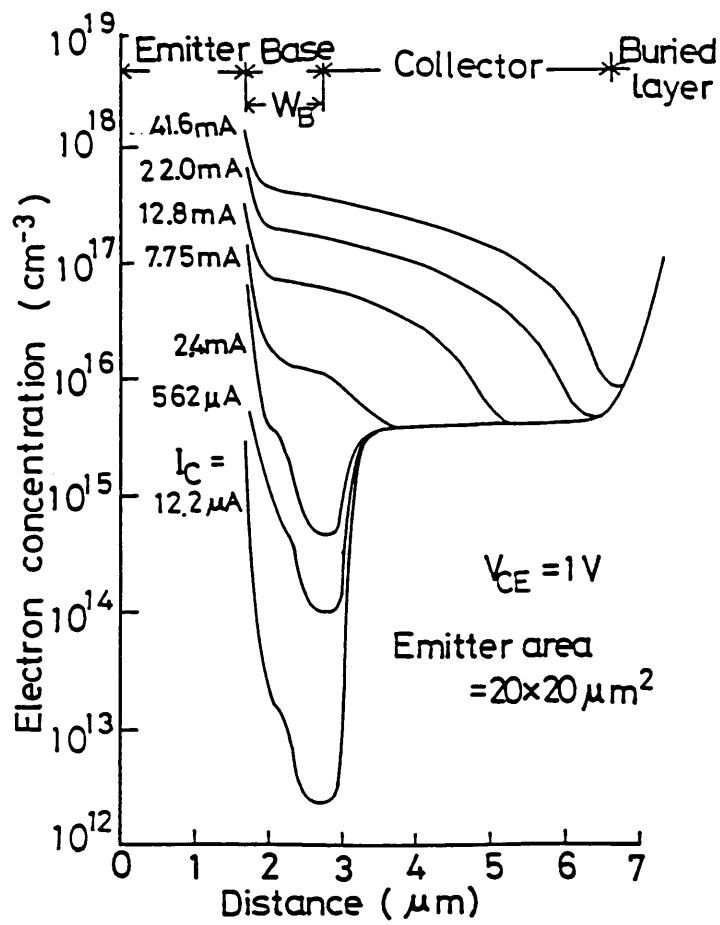


図 2.10 一次元数値解析による (a) 電子濃度分布 (b) 正孔濃度分布



## 第2章の参考文献

- [ 1 ] H.Stubing and H.M.Rein, "A Compact Physical Large-Signal Model for High-Speed Bipolar Transistors at High Current Densities Part I:One-Dimensional Model", IEEE Trans. on Electron Devices, VOL.ED-34, No.8, pp.1741-1751 (Aug. 1987).
- [ 2 ] H.C.de Graaff and W.J.Kloosterman, "New Formulation of the Current and Charge Relations in Bipolar Transistor Modeling for CACD Purposes", IEEE Trans. on Electron Devices, VOL.ED-32, No.11, pp.2414-2419 (Nov. 1985).
- [ 3 ] C.T.Kirk, "A theory of transistor cutoff frequency ( $f_T$ ) fall off at high current densities", IEEE Trans. on Electron Devices, VOL.ED-11, pp.455-465 Oct.(1964).
- [ 4 ] A van der Ziel and D.Agourides, "The cutoff frequency fall off in VHF transistors at high current", Proc IEEE (Corresp.), VOL.54, pp.411-412 (Mar. 1966).
- [ 5 ] R.J.Whittier and D.A.Tremere, "Current gain and cut off frequency fall off at high currents", IEEE Trans. on Electron Devices, VOL.ED-16, pp.39-57 (Jan. 1969).
- [ 6 ] T.Toyabe, M.S.Mock, T.Okabe, K.Ujiie and M.Nagata, "Two-Dimensional Analysis of  $I^2L$  with Multi-Stream Function Technique", Proc.NASECODE 1, Boole Press, Dublin (1979).
- [ 7 ] Y.Tamaki, T.Shiba, K.Ikeda, T.Nakamura, N.Natsuaki, S.Ohyu, and T.Hayashida, "New Self-Aligned Bipolar Device Process Technology for Sub-50ps ECL Circuits", IEEE 1987 BCTM, pp.22-23 (1987).
- [ 8 ] J.Lindmayer and C.Y.Wrigley, "Fundamentals of Semiconductor Devices", Van Nostrand Company, (1965), (「半導体装置基礎論」(上・下) 和田正信訳, 近代科学社 1966).
- [ 9 ] H.de Man, R.Mertens and R.van Overstraeten, "Influence of Heavy Doping Effects on the  $f_T$  Prediction of Transistors", Electronics Letters VOL.9,

- [10] J.A.Kerr and F.Berz, "The Effect of Emitter Doping Gradient on  $f_T$  in Microwave Bipolar Transistors", IEEE Trans. on Electron Devices, VOL.ED-22, No.1(Jan. 1975).
- [11] G.Rey, F.Dupuy and J.P.Baibe, "A unified approach to the base widening mechanisms in bipolar transistors", Solid State Electron., VOL.18, pp.863-866 (1975).
- [12] W.M.Webster, "On the variation of junction-transistor current amplification factor with emitter current", Proc. IRE, VOL.42, pp.914-920, June (1954).
- [13] J.R.Hauser, "The Effect of Distributed Base Potential on Emitter-Current Injection Density and Effective Base Resistance for Stripe Transistor Geometries", IEEE Trans. on Electron Devices, ED-11, pp.238-242 (1964).
- [14] H.K.Gummel and H.C.Poon, "An Integrated Charge Control Model of Bipolar Transistors", Bell Syst. Tech. J., 49, pp.827-852 (May 1970).
- [15] 猪平, 新美, 永田, 中込, "擬似飽和領域を含むリニアIC用トランジスタモデル", 昭和53年度電子通信学会総合全国大会, 367 (1978年3月).
- [16] 新美, 猪平, 永田, 飯田, 中込, "擬似飽和現象を含むバイポーラトランジスタのCADモデル", 電子通信学会論文誌(C), VOL.J67-C, No.11, pp.855-862(1984年11月).
- [17] J.Lindmayer and C.Wrigley, "The high injection-level operation of drift transistors", Solid State Electron., VOL.2, pp.79-84 (1961).
- [18] F.A.Lindholm, S.W.Director D.L.Bowler, "Assessing model adequacy and selecting model complexity in integrated-circuit simulation", IEEE J. of Solid State Circuits, VOL.SC-6, No.4 (Aug. 1971).
- [19] I.Getreu, "Modeling the Bipolar Transistor", Tektronix, Inc. (1976).

# 第3章 バイポーラ・トランジスタの高周波モデル

## 3.1 はじめに

本章では、 $f_T$ を高精度化した前章のモデルを用い、さらに100MHz～GHz帯でアナログICを高精度にシミュレーションするためのバイポーラ・トランジスタの高周波モデルを検討する。この周波数領域でアナログICの利得、位相および入出力インピーダンス等を正確にシミュレーションするためには、バイポーラ・トランジスタの $f_T$ の精度に加えて、さらに全ての四端子定数（Sパラメータ）の絶対値および位相の特性の精度が確保される必要がある。そこで本章では、微細化バイポーラプロセス[1]によって高周波用バイポーラトランジスタと600MHz広帯域増幅器ICを試作し、ネットワークアナライザによりそのSパラメータを測定評価することにより、バイポーラトランジスタの高周波モデルを精密に評価検討した。なお微細化バイポーラプロセスを使用したのは、このプロセスで作製されるバイポーラトランジスタの $f_T$ は4GHzであり、十分の高周波性能が得られるからである。

バイポーラトランジスタの高周波モデルとして、ここでは2種のモデルを検討した。一つは、一般に良く回路計算に用いられるハイブリッド $\pi$ 型モデル[2]，[3]であり、もう一つはIC化に伴う寄生素子を取り込み、筆者らが拡張したモデル[4]，[5]である。後者の拡張モデルでは、IC化構造を考慮して①コレクタ・ベース間接合容量の分割、②ベース・エミッタ間接合容量の分割、および③基板の抵抗分の導入をはかった。このうち①は本研究のあとUCBよりリリースされたSPICEの最新版（2Gおよび3）の高周波モデルでも取り入れられている。

100MHz以上の高周波領域においてアナログ・バイポーラICを正確にシミュレーションするためには、デバイスモデル上の、次の3つの問題が重要である。

第一は、バイポーラ・トランジスタの高周波モデル自体の問題である。第二章で示したように、一般のバイポーラ・トランジスタモデルはトランジスタ動作の一次元性を仮定して作られているため、本来3次元的なデバイス構造をもつIC用トランジスタに適用する

場合には十分の吟味を必要とする [6] からである。

第2の問題は、IC内のバイポーラトランジスタ以外のデバイス、すなわち抵抗や容量あるいはパッドや配線等がIC化構造に伴って有する寄生素子の問題である。とくにバイポーラICでバイポーラ・トランジスタとともに多用される抵抗については、100MHz以上の周波数領域で用いる場合その寄生分布容量を考慮した取扱いが必要になる。

第3は、IC内部ばかりでなく、ICチップの実装に伴う、ボンディングワイヤおよびパッケージなどの外因性寄生素子の影響である。高周波帯でその影響を正確に評価するためには、これらの外因性寄生素子についても精密なモデリングを必要とする。

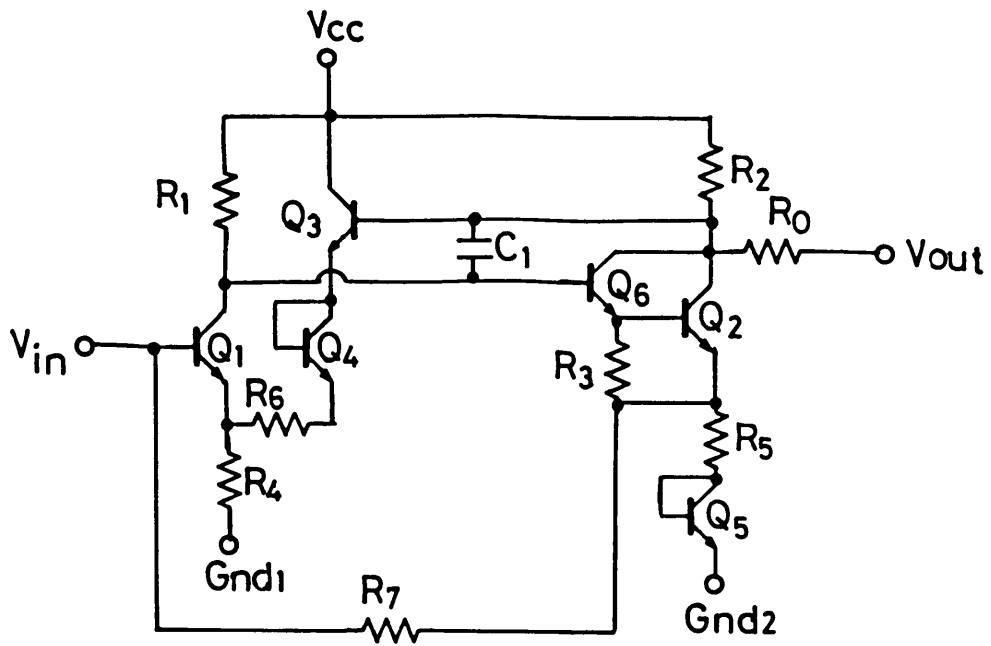
本章ではこれらの点を考慮して、バイポーラトランジスタの高周波モデルを検討する。ただし上記の問題のうち、抵抗の高周波モデルについては次の第4章で詳細に取り扱う。なお本章で採りあげる評価用回路(600MHz広帯域増幅器)では、回路内に低抵抗を用いているため、抵抗の寄生素子の高周波特性に対する影響は少く抑えられている。

### 3.2 測定サンプル

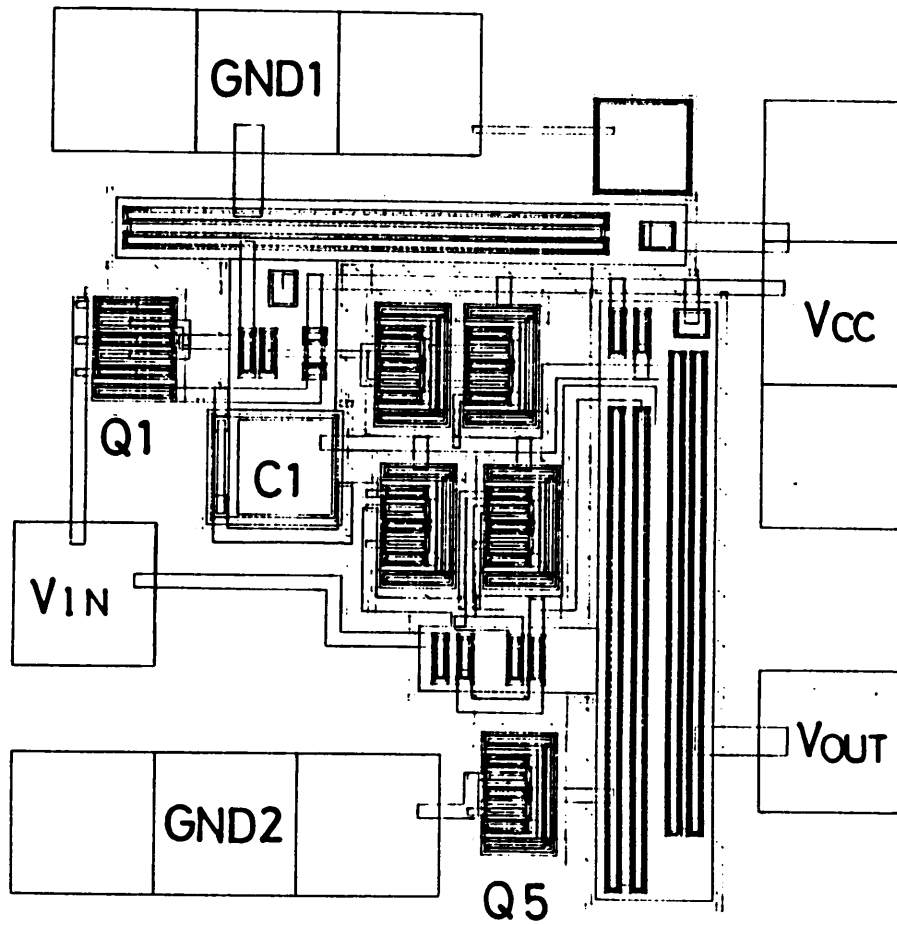
まず、モデル検討に用いた回路およびトランジスタの測定サンプルについて説明する。

アナログICの高周波シミュレーション用モデルを検討するために、帰還型広帯域増幅器(カットオフ周波数 $f_c$ ; 600MHz)を試作した。その回路図を図3.1(a)に示す。この広帯域増幅器は、2段帰還型でR. G. Meyerが発表[7], [8]した回路である。この回路では、エミッタフォロワQ3とダイオードQ4でレベルシフトし、抵抗R6を介して入力段へ帰還をかけ、抵抗R7を介した帰還と合せて二重帰還により増幅器の直流動作点を安定にしている。また出力段はトランジスタQ6およびQ2のダーリントン接続であり、(1)帰還ループの利得が大きい、(2)コンデンサC1を介した回路のミラー効果の補正が容易、などの利点がある。これを微細化バイポーラプロセスでレイアウトしTEG(Test Element Group)に試作した。そのレイアウト図を図3.1(b)に示す。この試作ICには、バイポーラ・トランジスタ、BR拡散抵抗、およびMOS容量を用いたので、この各素子についても単体特性評価用チップを同時に試作した。

試作ICに用いた2種のバイポーラ・トランジスタはいずれもNPN型で、その素子名をそれぞれ、NP324E2C, NP348E2と呼ぶ。トランジスタNP324E2Cは、エミッタ面積 $3\mu \times 24\mu \times 2$ ストライプで、コレクタをコ字型構造とし $f_T$ を向



(a) 回路



(b) レイアウト図

図 3.1 試作した 600 MHz 広帯域増幅器 IC

上させている。またNP348E2は、初段のノイズを低減するためエミッタ面積 $3\mu\times 48\mu\times 2$ ストライプで、コレクタはコ字形ではない。試作ICにおいて、NP348E2は、初段のトランジスタ(図3.1のQ1)のみに用い、他のトランジスタ(Q2~Q6)は全てNP324E2Cとなっている。

バイポーラ・トランジスタの平面図および濃度プロファイル(NP324E2Cの場合)を図3.2(a)(b)に示す。トランジスタの濃度プロファイルは、SUPREMIによる計算結果である。図3.3(a)および(b)に示すように、このトランジスタの $f_T$ はピークで4.75GHz、 $h_{FE}$ は220、(いずれも $V_{CE}=2V$ )である。トランジスタの単体特性から抽出したモデルパラメータの一覧表(ALICE-EM5モデル)を表3.1に示す。ここでバイポーラトランジスタとしては、第2章でのべた $f_T$ モデルをもつEbers-Mollモデル(EM5モデル)を使用しており、その $f_T$ 精度は図3.3のように良好である。

バイポーラ・トランジスタのサンプルは、広帯域増幅器のサンプルと同一ウエーハから切り出し、4ピンのTO-5型パッケージに組立てた。パッドは $100\mu$ □、ボンディングワイヤは $25\mu\phi$ のA線である。

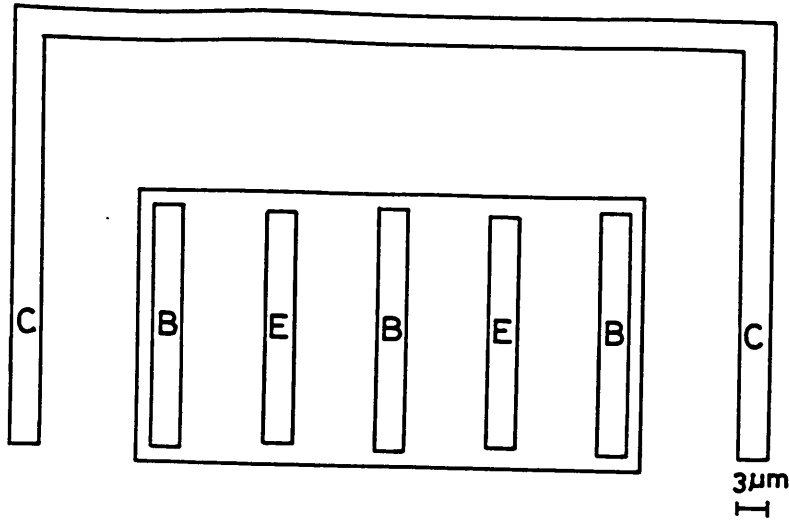
また広帯域増幅器のICチップも、トランジスタと同様、4ピンのTO-5型パッケージに組立てた。ただしICチップでは、図3.1(b)に示すように2つのアース端子GND1およびGND2は、それぞれ $100\mu$ □パッド3個、ボンディングワイヤ3本を用いて、アース側寄生インダクタンスを減少させている。

### 3.3 パッケージモデル

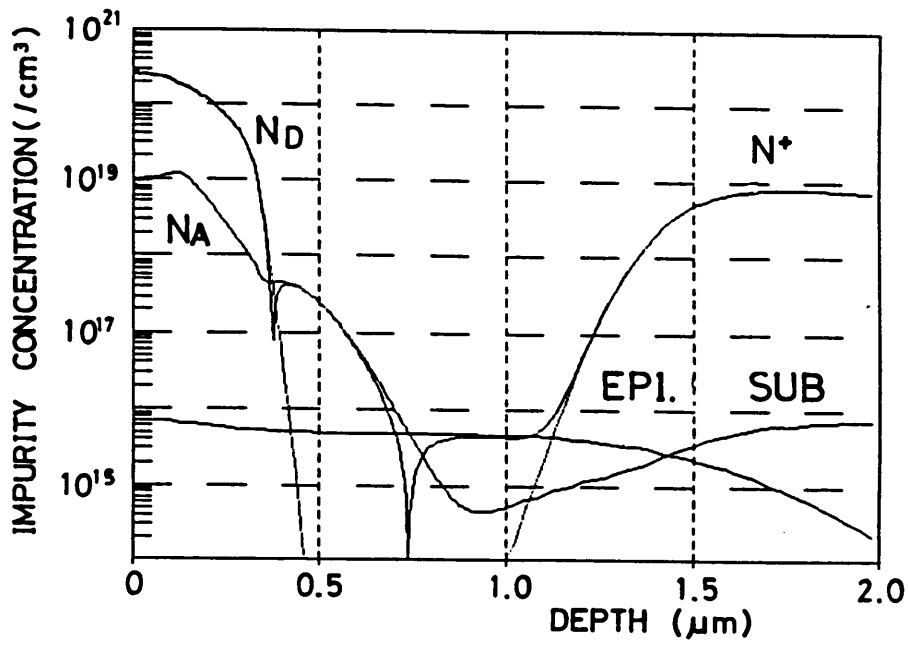
バイポーラ・トランジスタおよび広帯域増幅器の高周波特性は、後述のようにネットワークアナライザにより、パッケージなどの寄生効果を含み測定される。そこでトランジスタ本体のモデル化に先だち、本節でパッド、ボンディングワイヤおよびパッケージのモデルを検討する。

#### 3.3.1 TO-5型パッケージのピン間容量

測定サンプルは単体のトランジスタおよび広帯域増幅器とも、4ピンのTO-5型パッ

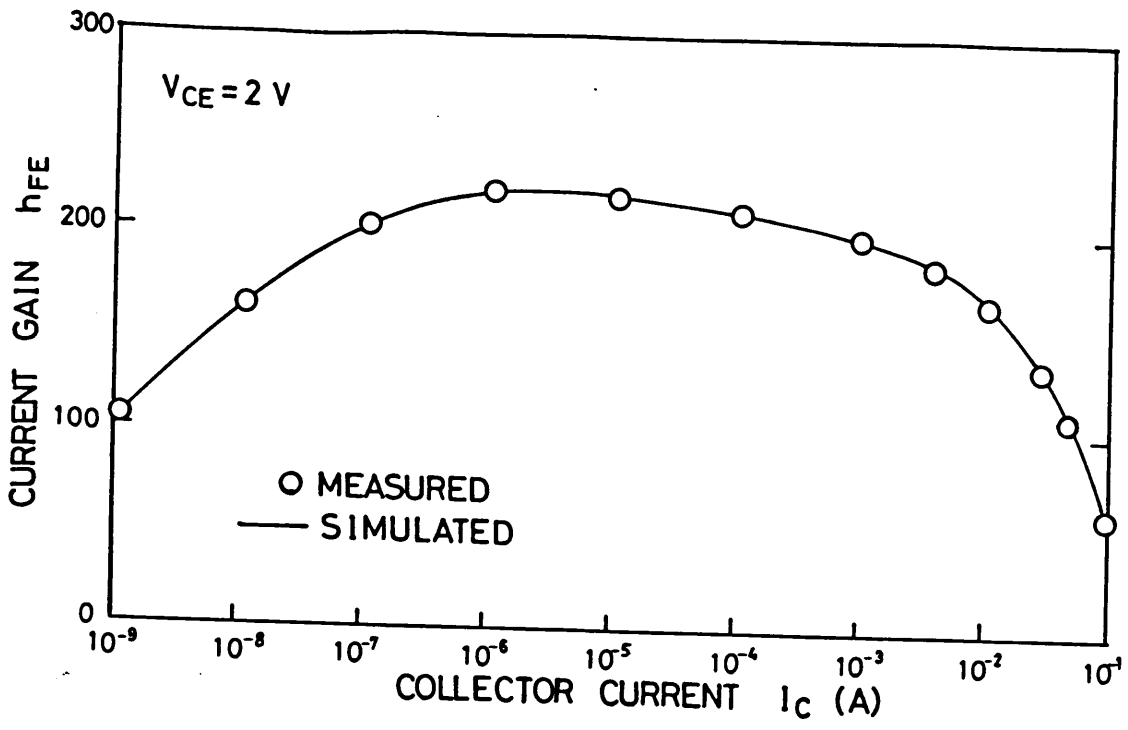


(a) 平面図

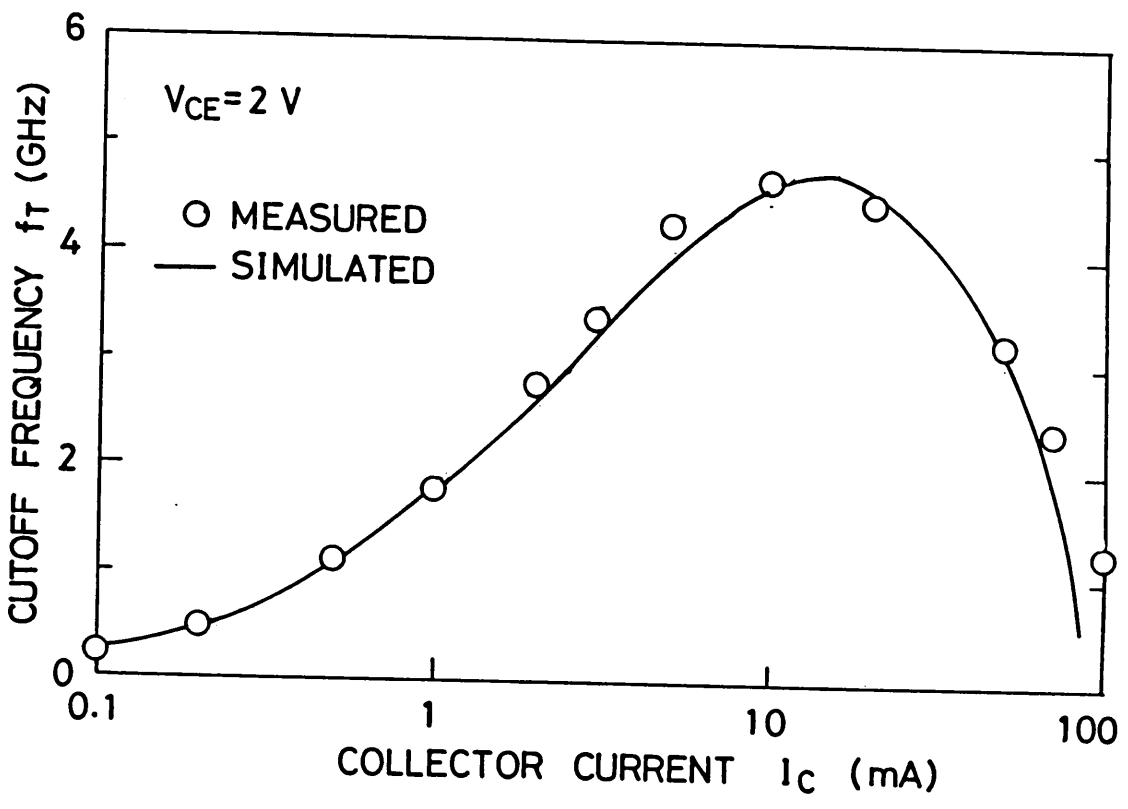


(b) 濃度プロファイル

図 3.2 試作トランジスタ



(a)  $h_{FE} - I_C$ 特性



(b)  $f_T - I_C$ 特性

図 3.3 試作バイポーラトランジスタの主要な特性



表 3.1 モデルパラメータ一覧表

NP324E2C

No.	入力パラメータ	モデル式の記号	パラメータの意味	単位	デフォルト値	実測値
1	BFMAX	$\beta_{Fmax}$	順方向電流増幅率 $\beta_F$ の最大値	-	100 <sup>-3</sup>	218 <sup>-4</sup>
2	ICMAX	$I_{Cmax}$	$\beta_F$ 最大値のコレクタ電流	A	1x10	1.0x10
3	BFLOW	$\beta_{Flow}$	低電流領域における電流増幅率 $\beta$	-	30	109.7 <sup>-9</sup>
4	ICLOW	$I_{CFlow}$	その時のコレクタ電流	A	1.4x10	1.36x10
5	VCE	$V_{ce}$	コレクタ・エミッタ間電圧	V	5	2.0
6	TH1	$T_{C\beta 1}$	$\beta_F$ の1次温度係数	deg <sup>-1</sup>	0	-
7	TH2	$T_{C\beta 2}$	$\beta_F$ の1次温度係数	deg <sup>-1</sup>	0	-
8	BR	$\beta_{RO}$	逆方向電流増幅率	-	1	10.5
9	RB	$R_B$	ベース抵抗	$\Omega$	0	118
10	TC1	$T_{CRB1}$	ベース抵抗の1次温度係数	deg <sup>-1</sup>	0	-
11	TC2	$T_{CRB2}$	ベース抵抗の2次温度係数	deg <sup>-1</sup>	0	-
12	A1	$A_1$	補正ベース抵抗の係数	-	0	-
13	A2	$A_2$	補正ベース抵抗の係数	-	0	-
14	IB1	$I_{B1}$	補正ベース抵抗の係数	A	0	-
15	IB2	$I_{B2}$	補正ベース抵抗の係数	A	0	-
16	RC	$R_{C1}$	コレクタ抵抗	$\Omega$	0	13
17	TC3	$T_{CRC1}$	コレクタ抵抗の1次温度係数	deg <sup>-1</sup>	0	-
18	TC4	$T_{CRC2}$	コレクタ抵抗の2次温度係数	deg <sup>-1</sup>	0	-
19	RC0	$R_{C0}$	補正コレクタ抵抗	$\Omega$	0	5
20	B	b	擬似飽和定数	-	0	0
21	TB1	$T_{CB1}$	bの1次温度係数	deg <sup>-1</sup>	0	-
22	TB2	$T_{CB2}$	bの2次温度係数	deg <sup>-1</sup>	0	-
23	ISS	$I_{SS0}$	逆方向飽和電流	A	3.6x10 <sup>-16</sup>	3.0x10 <sup>-16</sup>
24	VA	$V_A$	アーリー電圧	V	150 <sup>-10</sup>	15.9 <sup>-11</sup>
25	TF	$\tau_{FO}$	順方向走行時間	sec	2x10	2.00x10
26	LE/WB	$L_E/W_B$	Van der Zielのパラメータ	-	25	0.81
27	ICO	$I_{CO}$	空間電荷制限電流	A	1.2x10 <sup>-3</sup>	0.15
28	ETA	$\eta_0$	Webster効果の係数	-	8 <sup>-3</sup>	8 <sup>-2</sup>
29	IK	$I_K$	$f_T$ ピーク値電流	A	6x10	1.5x10
30	WC/WB	$W_C/W_B$	コレクタ長とベース幅の比	-	7	0.95
31	FCRI	$F_{CRI}$	クリティカル電流パラメータ	-	2 <sup>-1</sup>	0.40
32	BMWC	$B_{MWC}$	クリティカル電流パラメータ	-	5x10	0.80
33	TR	$\tau_R$	逆方向走行時間	sec	-	1.58x10 <sup>-9</sup>
34	CJE	$C_{je}$	エミッタ・ベース間接合容量	F	2x10 <sup>-12</sup>	1.03x10 <sup>-12</sup>
35	VCJE	$V_{BE}$	エミッタ・ベース間電圧	V	0	0
36	PHIE	$\phi_e$	ビルトイン電圧	V	0.7 <sup>-4</sup>	0.7
37	NE	$\eta_e$	電圧依存性指数	-	1x10 <sup>-12</sup>	0.0001 <sup>-12</sup>
38	CJC	$C_{jc}$	コレクタ・ベース間接合容量	F	1x10	0.515x10
39	VBC	$V_{BC}$	コレクタ・ベース間電圧	V	0	0
40	PHIC	$\phi_c$	ビルトイン電圧	V	0.6	0.6
41	NC	$\eta_c$	電圧依存性指数	-	0.33	0.14
42	RATIO	K				
43	CSUB	$C_{sub0}$	基板容量	F	0	1.71x10 <sup>-12</sup>
44	VCS	$V_{cs}$	コレクタ・基板間電圧	V	0	0
45	PHIS	$\phi_s$	ビルトイン電圧	V	0	0.5
46	NS	$\eta_s$	電圧依存性指数	-	0	0.35
47	CK	$C_K$	基板容量一定項	F	0	0
48	ME	$m_e$	過剰位相係数	radian	0.6 <sup>-12</sup>	0.6
49	IFO	$I_{f0}$	1/f 雑音電流	A	3x10	-
50	FO	$f_0$	基本周波数	Hz	10	-
51	IBO	$I_{B0}$	基準ベース電流	A	1x10 <sup>-6</sup>	-
52	NF	n	1/f の指数	-	1.4 <sup>-12</sup>	-
53	IF1	$I_{f1}$	補正1/f 雑音電流	A	1.4x10	-
54	MF	m	補正1/f 雑音電流の指数	-	0.64	-
55	TEMP	$T_0$	測定時の温度	K	300	300

ケージ（金メッキのステムのもの）に組立てた。そこで空のT O - 5型パッケージを用いて、そのピン間容量を測定した。

パッケージのピン間容量は、ピンの長さにより値が変化する。しかし必要なのは、高周波特性測定時のサンプルのピン長におけるピン間容量である。そこで次のような方法により、このピン間容量を測定した。

空パッケージをネットワーク・アナライザのトランジスタ測定用治具（transistor fixture；h / p 1 1 6 0 2 B，T O - 5用）に挿入し、空パッケージのピン長を高周波測定時のトランジスタ・サンプルと同一条件（ボンディングワイヤ接続部からのピン長；約3mm）にして、LCRメータ（h / p 4 2 7 1 B）により、パッケージピン間容量を測定した。ネットワーク・アナライザの測定用治具は、4端子のうち2端子（port 1およびport 2）が信号用端子、残り2端子がアース端子となっている。したがってこの治具を用いると、パッケージの2ピン間（2端子間）容量を残りピンをアースした状態で、しかもトランジスタの測定時と同一条件で測定できる。

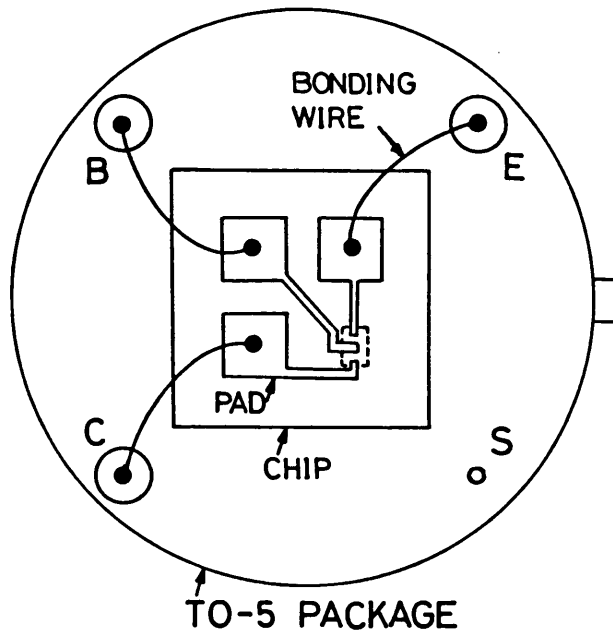
この結果、T O - 5型パッケージのピン間容量は、Sピン（サブストレート）に対する各ピンの容量（すなわちC - S間，B - S間，E - S間）が0.44 p Fと最も大きく，C，B，Eピン相互間の容量は、ほとんどないことがわかった。これは、用いたT O - 5型パッケージは、図3.4（a）のように、S - ピンがステムと共通であり，C，B，Eの各ピンを円形に囲む構造となっているためである。

### 3.3.2 パッドを含むパッケージモデル

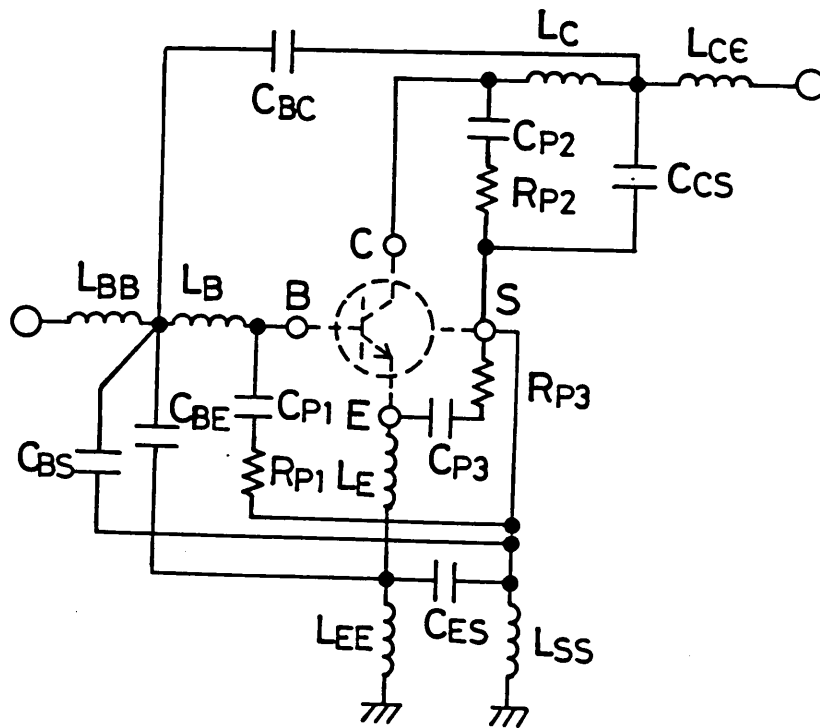
チップ内の単体トランジスタは、パッドからボンディングワイヤを介してパッケージピンに接続される。このパッドおよびボンディングワイヤもトランジスタの外部の素子であるから、これをパッケージとともに外部寄生素子として、パッドを含むパッケージモデルを考える。

パッドを含むパッケージモデルを作るため、その高周波測定用パターンを特別に製作した。これは図3.4のように、チップ内素子の各コレクタ，ベース，エミッタまでのA<sub>0</sub>配線と3つのパッドからなるパターンである。このパッドパターンを含むチップを単体トランジスタの組立てと同じ方法でT O - 5型パッケージに組立てた。

パッドを含むT O - 5型パッケージを用いて、前節と同じ方法で，LCRメータにより，



(a) システム上のパッド測定用チップ概観図



(b) 精密パッケージモデル

図 3.4 TO-5型パッケージ

各ピン間容量を測定した。その結果，C-S間，B-S間およびE-S間容量値は，いずれも0.44 pFから1.09 pFに増加した。この増加分0.65 pFが，すなわちパッド容量の対アース間容量である。この値は，パッド部の面積（100  $\mu$ 口）および酸化膜厚（5700 Å）から計算されるパッド容量値（0.62 pF）にほぼ一致している。

以上を基礎にして，パッドを含むパッケージのモデルを二つ検討した。

第一は，パッケージおよびボンディングワイヤのインダクタンス分を無視した簡易なモデル，第二は，それらインダクタンス分を考慮した精密なモデルである。

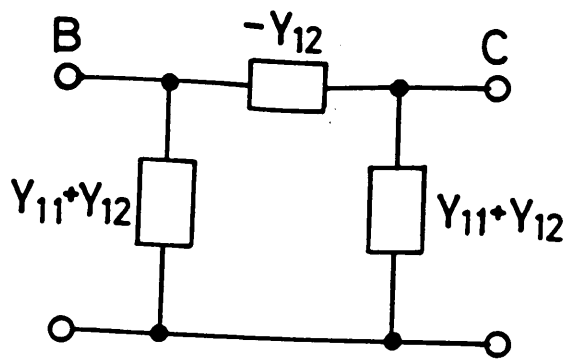
### （1）簡易パッケージモデル

4ピンTO-5型パッケージがネットワーク用測定治具（transistor fixture）に挿入されエミッタ接地で測定される時，図3.4（a）のSピンおよびEピンは接地状態にある。したがってもしインダクタンス分を考えないなら，図3.4でSおよびEを接地して，図3.5（b）で抵抗 $R_p$ のないパッケージモデルを得る。ここで $C_p$ はパッド容量， $C_{BS}$ および $C_{CS}$ はベース・サブ間およびコレクタ・サブ間のピン間容量である。

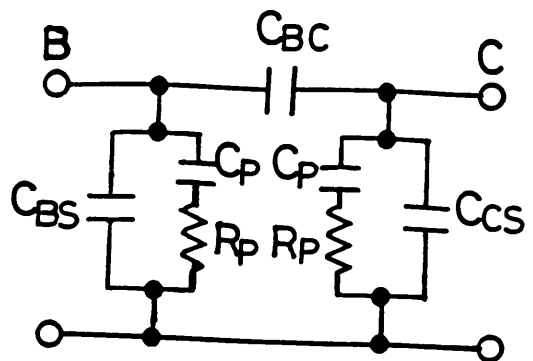
図3.5（b）（ $R_p$ なし）のパッケージモデルの精度を評価するために，前述のパッドパターン（図3.4（a））の高周波特性（Sパラメータ）を測定した。その測定結果を，図3.5（b）（ $R_p$ なし）のモデルと比較して図3.6に示す。パッドを含むパッケージ部は，図3.4（a）のパターンからわかる通り，BC間はほとんどオープン状態である。このため， $S_{12}$ および $S_{21}$ は非常に小さく，また $S_{11}$ と $S_{22}$ はほぼ同じ値をとる。そこでここでは $S_{11}$ のみ示している。図3.6の破線で示す容量のみのパッケージモデル（図3.5（b）で $R_p$ なし）は， $S_{11}$ の位相については測定値と良く一致しているが，300 MHz以上での $S_{11}$ の絶対値の減少をうまく表わせないことがわかる。

この $S_{11}$ の絶対値における減少を検討したところ，この特性はパッケージおよびボンディングワイヤのインダクタンス分を考慮しても説明できず，何らかの損失分がパッドまたはパッケージに含まれていることがわかった。そこでこの損失が，パッドとパッケージのどちらに起因するのかを確かめるために，パッドパターンのチップを含みぬ空パッケージのSパラメータを測定した。その結果，空パッケージの $|S_{11}|$ には減少特性が表われなかった。したがって損失分はパッド部に存在することになる。

次に，パッド部の損失分を同定するため，パッドを含むパッケージのSパラメータ測定値（図3.6）をyパラメータに変換した。パッケージはほぼ左右対称であるから，この



(a) yパラメータによる表現



(b) モデルの等価回路

図 3.5 簡易パッケージモデル

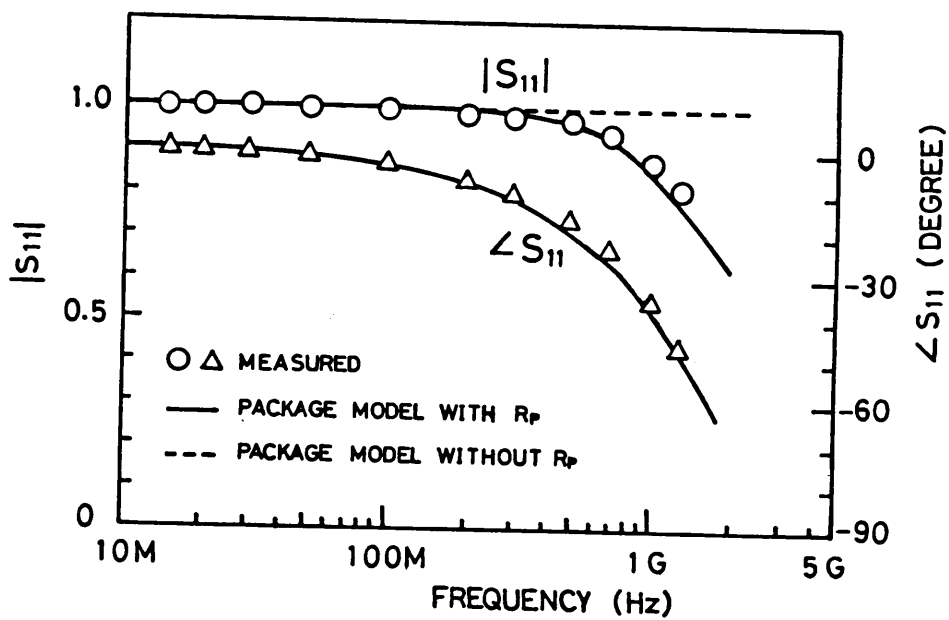


図 3.6 パッケージモデルと  $S_{11}$  測定値の比較

yパラメータを等価回路で表現すると、図3.5 (a)となる。また容量のみのパッケージモデルにさらにパッドの損失分を考慮すれば、図3.5 (b)のモデルを得る。これをここで簡易パッケージモデルと呼ぶ。

いま入力側B-GND間について、パッドの損失分 $R_P$ を考えると、

$$Y_{11} + Y_{12} = j\omega C_{BS} + \frac{1}{R_P + \frac{1}{j\omega C_P}} = Y_K + Y_{pad} \quad (3.1)$$

となる。ここで $Y_K$ および $Y_{pad}$ は、それぞれパッケージ部およびパッド部のアドミッタンスである。式(3.1)から次式を得る。

$$Y_{pad}(mea) = Y_{11} + Y_{12} - j\omega C_{BS} \quad (3.2)$$

一方、図3.5 (b)のようなパッド部のモデルを考えると、

$$\begin{aligned} Y_{pad} &= \frac{1}{R_P + \frac{1}{j\omega C_P}} \\ &= \frac{\omega^2 C_P^2 R_P}{1 + \omega^2 C_P^2 R_P^2} + j \frac{\omega C_P}{1 + \omega^2 C_P^2 R_P^2} \\ &= a + j b \end{aligned} \quad (3.3)$$

である。ゆえにパッド部の損失分 $R_P$ は、

$$R_P = \frac{1}{\omega C_P} \frac{a}{b} = \frac{1}{2\pi f C_P} \frac{a}{b} \quad (3.4)$$

となる。ここで  $a$  ,  $b$  は、それぞれ  $Y_{\text{pad}}$  の実数部と虚数部を示す。  $y$  パラメータから、式 (3.2) を用いて  $Y_{\text{pad}}$  を求め、その実数部  $a$  , 虚数部  $b$  を計算すると、式 (3.4) よりパッド損失分  $R_P$  が求められる。問題となる周波数 (300 MHz ~ 1 GHz) で、この  $R_P$  を求めた結果を、表 3.2 に示す。この周波数領域で  $R_P$  の値は若干変化するが、平均をとると、 $R_P = 110 \Omega$  となる。

このパッドの抵抗分は、構造的には、基板 (サブストレート) のバルク抵抗による寄与であると考えられる。

このようにして決定した  $R_P$  を用いて図 3.5 (b) の簡易パッケージモデルにより計算した  $S$  パラメータは、図 3.6 の実線に示すように、絶対値および位相とも、測定値と良い一致を示す。(ここでは  $S_{11}$  のみ示したが、 $S_{22}$  についても同様である。)

## (2) 精密パッケージモデル

上の簡易パッケージモデルを基礎にして、さらに寄生のインダクタンス分を考慮すれば、より精密なパッケージモデル 3.4 (b) が得られる。精密パッケージモデルのインダクタンス値は以下のように決定した。インダクタンスとしては、パッケージのピン長によるもの、およびボンディングワイヤによるものの二種類がある。

インダクタンスは、ワイヤの直径  $d$  とその長さ  $l$  より、次式を用いて計算した [注 1]。

$$L = 0.2 l \left( l \ln \frac{4 l}{d} - 1 \right) \quad (3.5)$$

使用したボンディングワイヤの直径  $d$  は  $25 \mu\text{m}$  , パッケージの  $d$  は  $455 \mu\text{m}$  である。ボンディングワイヤの長さは、各端子によって若干異なるが、約  $1 \sim 2.5 \text{mm}$  , またパッケージピンの長さは、 $2 \text{mm}$  程度であった。式 (3.5) より計算すると、パッケージピンのインダクタンスは約  $0.75 \text{nH}$  , ボンディングワイヤのインダクタンスは  $0.85 \sim 2.5 \text{nH}$  となる。

この精密モデルと簡易モデルとの差は、 $1 \text{GHz}$  以上の周波数領域で若干現われる。

---

注 1. 式 (3.5) の測定による確認は行っていない。今回の経験では、この式によるインダクタンスは、測定よりやや多めの値が得られるように思われる。

表 3.2 パッドの損失分  $R_p$  の抽出

f (MHz)	$Y_{pad}(mea.)$ の実数部 a	$Y_{pad}(mea.)$ の虚数部 b	$R_p$ ( $\Omega$ )	備考
100	$4.13 \times 10^{-5}$	$3.58 \times 10^{-4}$	282	$C_{BS}=0.44$ $C_P=0.65$ (pF)
200	$1.03 \times 10^{-4}$	$6.67 \times 10^{-4}$	189	
300	$1.64 \times 10^{-4}$	$1.03 \times 10^{-3}$	130	
400	$2.59 \times 10^{-4}$	$1.41 \times 10^{-3}$	112	
600	$5.86 \times 10^{-4}$	$2.16 \times 10^{-3}$	114	
800	$9.08 \times 10^{-4}$	$3.13 \times 10^{-3}$	89	
1000	$1.57 \times 10^{-3}$	$4.10 \times 10^{-3}$	94	
平均(300-1000MHz)			110	

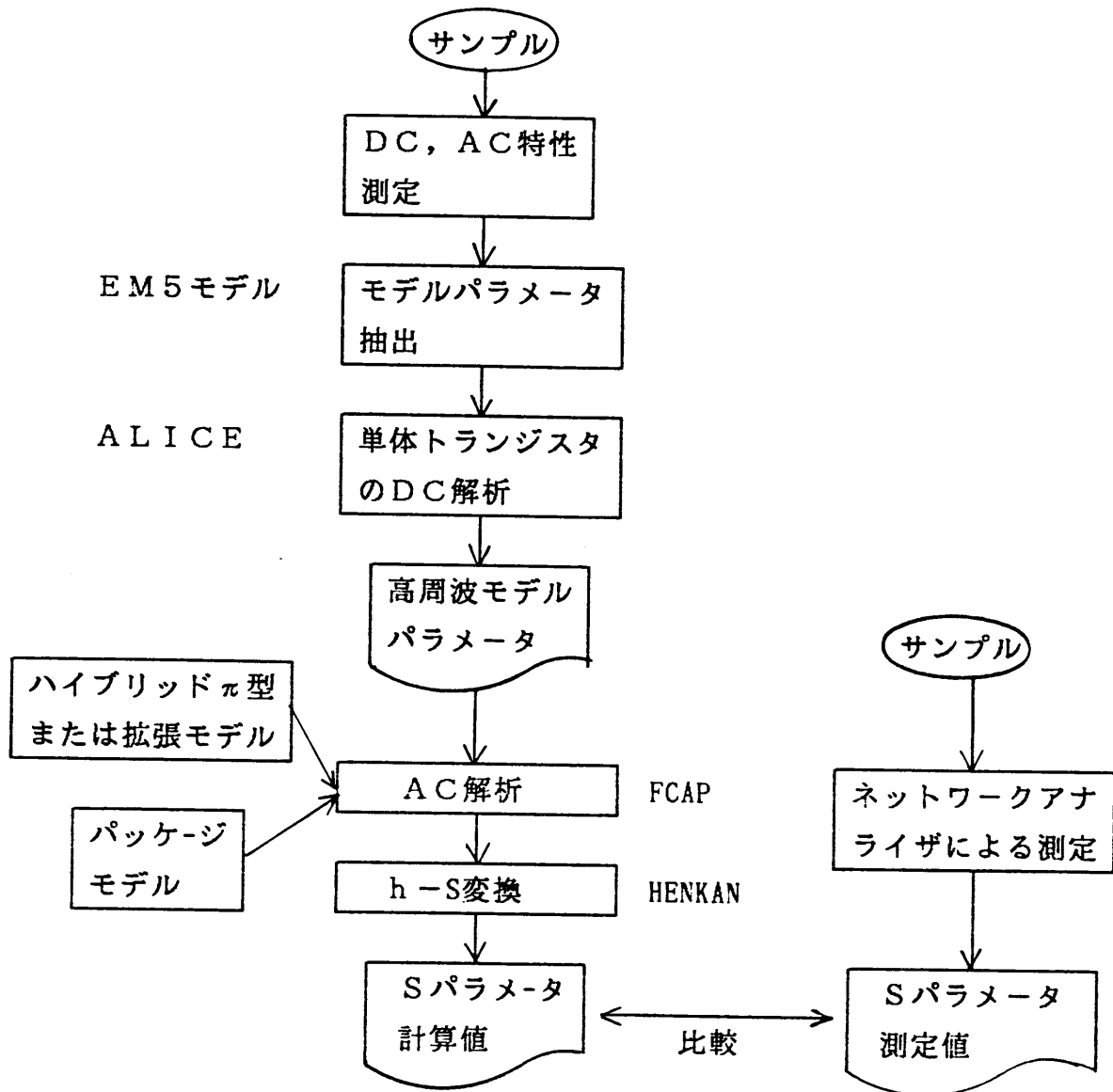


図 3.7 Sパラメータの計算法



### 3.4 高周波モデル

本節では、3.2節でのべた測定サンプルすなわち帰還型広帯域増幅器の基本トランジスタ ( $f_{Tmax} = 4.75 \text{ GHz}$ ) を用いて、バイポーラ・トランジスタの高周波モデルを検討する。アナログICの超高周波帯 (100 MHz以上) への応用拡大に備え、とくに100 MHz~1 GHzの周波数領域に注目する。

最初にトランジスタの高周波モデルとして、現在広く回路設計に用いられているハイブリッド $\pi$ 型モデルの精度を吟味し、次にその拡張を示す。

#### 3.4.1 ハイブリッド $\pi$ 型モデル

高周波領域のモデルの精度をここではSパラメータで評価する。これは高周波領域ではSパラメータがネットワーク・アナライザにより精密に測定できる [9] からである。

ネットワーク・アナライザ (h/p 8505A) によるトランジスタのSパラメータ測定は、TO-5型パッケージ (図3.4) に測定サンプルを組立て、専用のトランジスタ測定用治具 (h/p 11602B) に挿入して、1 MHz~1.3 GHzの範囲で行なった。較正 (calibration) 方法は、治具 (fixture) 上で付属のTHRU, SHORT, LOADを用いて行っている。このときオープン容量は0 pFを指定し、OPENは治具上に何も挿入しない状態で較正した。この結果、測定されたSパラメータには、真性トランジスタに、パッド、パッケージなどの寄生効果を含む。

モデルによるSパラメータの計算法を図3.7に示す。トランジスタの高周波モデルパラメータ (表3.3) は、回路シミュレータALICEにより単体トランジスタ (EM5モデル) のDC解析を行って決定した。ここで用いたEM5モデルパラメータは表3.1である。またパッケージモデルのパラメータは、それぞれ前節でのべた方法により決定した。

Sパラメータの測定値がパッケージ等の寄生効果を含むので、モデルによるSパラメータの計算も、図3.4 (b) のトランジスタ部にハイブリッド $\pi$ 型モデル (図3.8) を挿入して行った。AC解析は自製のAC回路解析プログラムFCAP [10] を用いてhパラメータをまず出力し、次にこれをh $\rightarrow$ S変換プログラムにかけSパラメータを得た。

図3.9 (a), (b) に、こうして得られたハイブリッド $\pi$ 型モデルによるSパラ

表 3.3 高周波モデルパラメータ

モデル	記号	値	単位	備考
張 リ ッ ド π 型	$g_m$	0.03635		$I_c=1mA$
	$r_\pi$	5.689	KΩ	$\beta/g_m$
	$r_o$	16.91	KΩ	$V_A=15.9V$
	$r_\mu$	700	KΩ	
	$C_\pi$	1.41	pF	$f_T=1.8GHz$
	$C_\mu$	0.44	pF	
	$C_{SUB}$	0.838	pF	
	$r_B$	146	Ω	
	$r_c$	18	Ω	
	$r_E$	0.44	Ω	
張	$r_1$	0.88		
	$r_2$	0.23		
	$R_S$	110	Ω	

\*  $C_\pi = g_m / 2\pi f_T - C_\mu (1 + g_m r_c) - C_K$

$C_K = C_{BS} + C_P = 1.09 \text{ pF}$

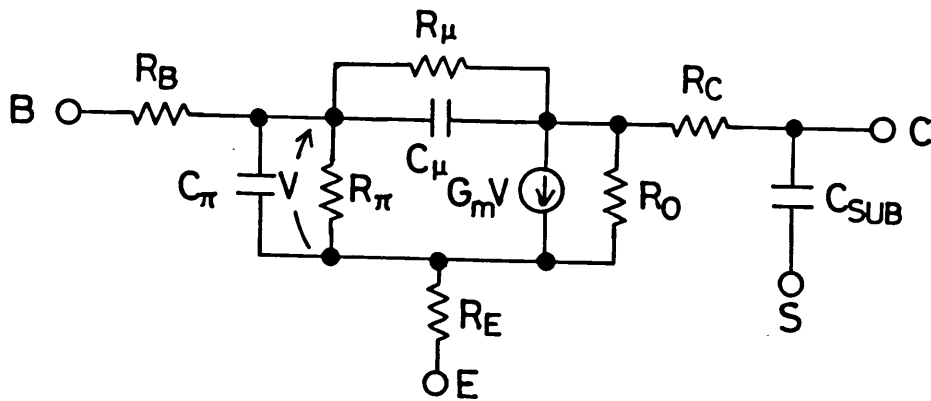
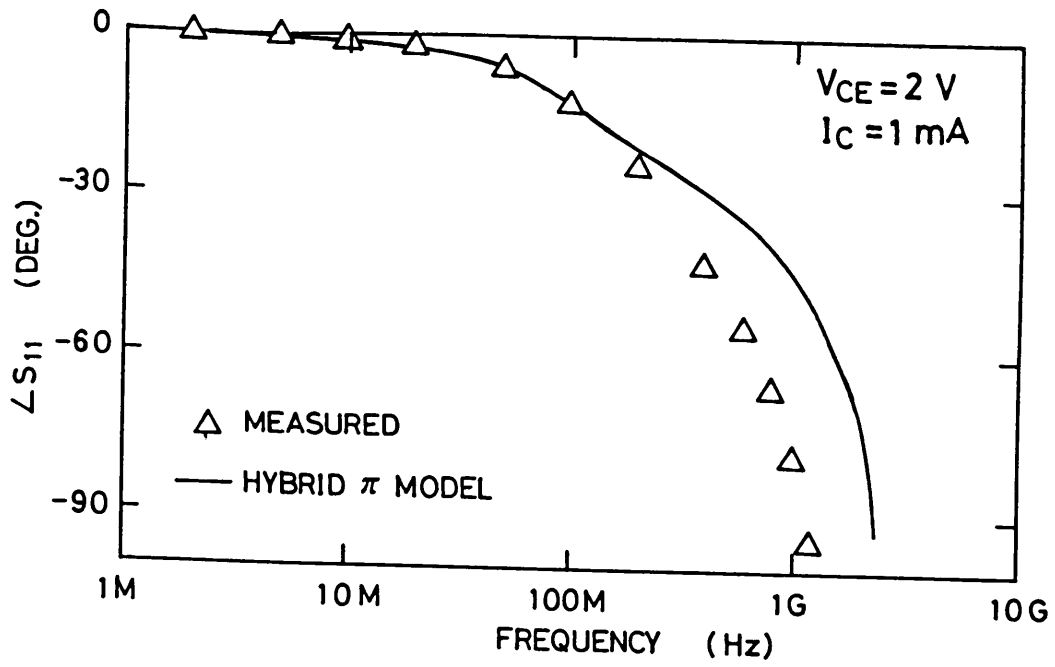
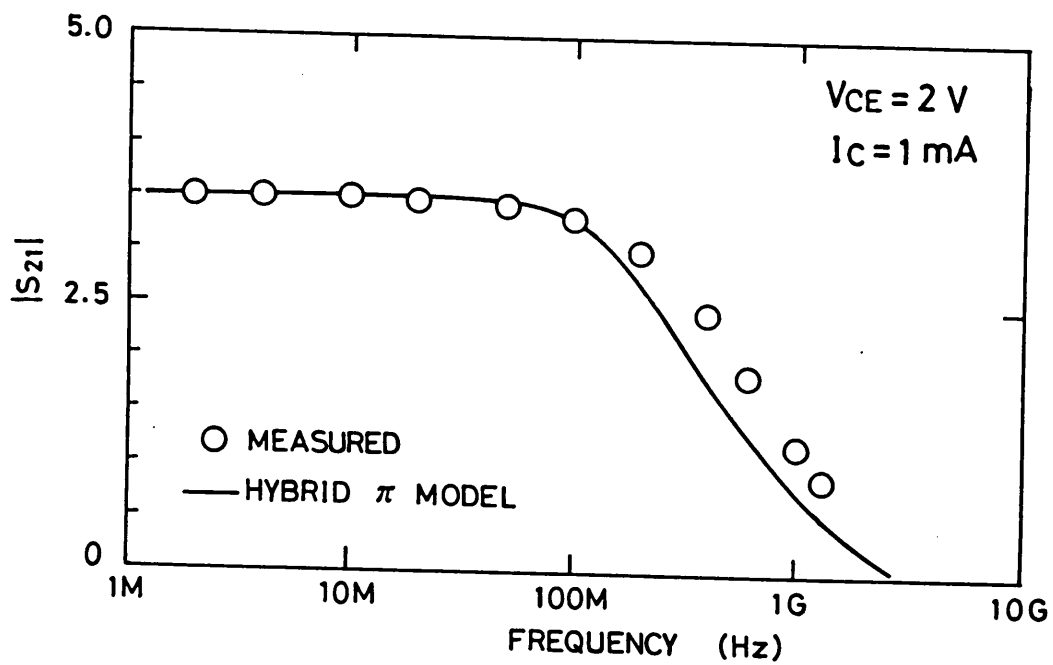


図 3.8 ハイブリッドπ型モデル



(a)  $S_{11}$ の位相



(b)  $S_{21}$ の絶対値

図 3.9 ハイブリッド $\pi$ 型モデルとSパラメータ測定値の比較

メータの計算値と測定値の比較を示す。ここでは簡単のため  $S_{11}$  の位相と  $S_{21}$  の絶対値のみを示し、パッケージモデルとして精密モデルを使用した場合を示したが、簡易モデルと精密モデルとの比較、および全 S パラメータの計算値と測定値との比較から、次の結果が得られた。

- (1) 簡易モデルと精密モデルの二つのパッケージモデルの差は、およそ 500 MHz 以上の領域で顕著になる。両者を比較すると、インダクタンスを含む精密モデルの方が、500 MHz 以上の高周波側で測定値に近い特性を示す。これはとくに  $|S_{11}|$ 、 $\angle S_{11}$ 、 $\angle S_{21}$  および  $\angle S_{22}$  に現われる。
- (2) いずれのパッケージモデルによっても、このハイブリッド  $\pi$  型モデルは 100 MHz 以上で測定値との誤差が大きい。とくに  $\angle S_{11}$ 、 $|S_{12}|$ 、 $\angle S_{12}$ 、 $|S_{21}|$ 、 $|S_{22}|$  および  $\angle S_{22}$  で誤差が大きい傾向がある。

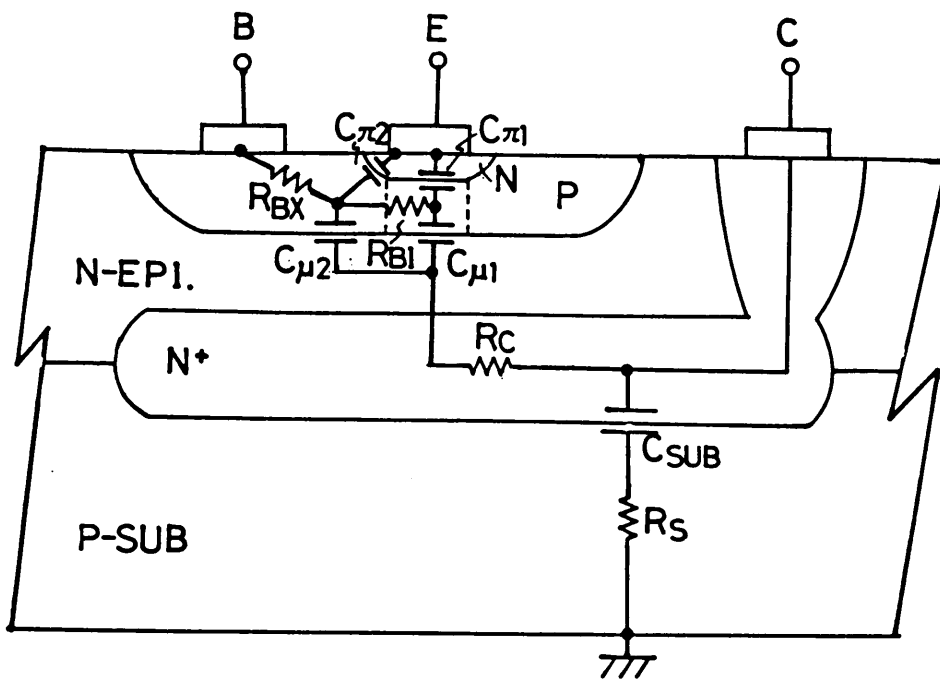
このことは、100 MHz ~ 1 GHz の周波数領域で真性トランジスタ部のモデル (ハイブリッド  $\pi$  型) の精度を高める必要のあることを意味する。

### 3.4.2 拡張モデル

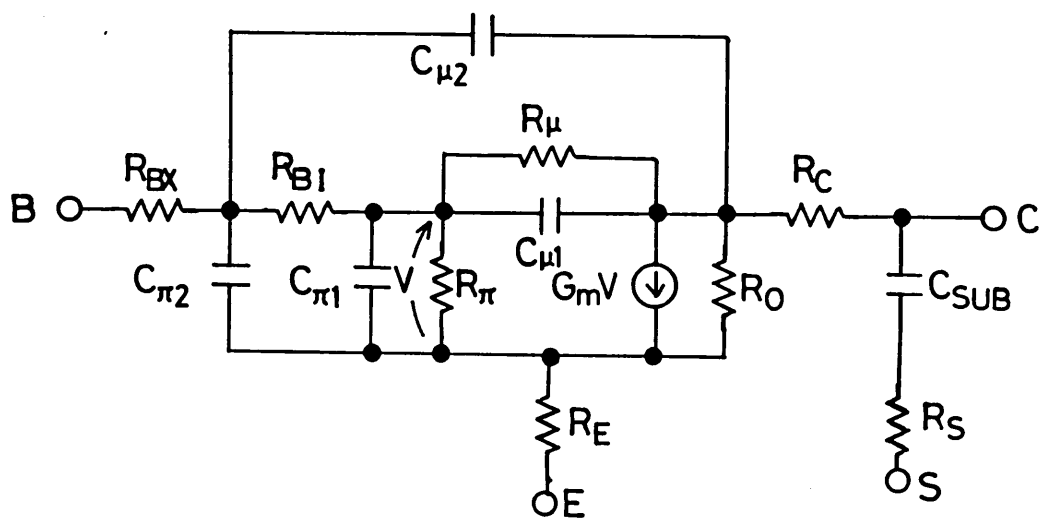
本節では、前節のハイブリッド  $\pi$  型モデルを拡張し、トランジスタの IC 化構造を考慮した、より高精度の高周波モデルを検討する。

#### (1) ベース・コレクタ間接合容量の分割

IC での NPN 型バイポーラ・トランジスタは、一般に図 3.10 (a) のような構造となっている。いま試作トランジスタのデバイス内部の電子電流分布を二次元解析 [11] - [13] すると、図 3.11 のようになる。(a) は  $V_{BE} = 0.5$  V の低電流レベル、(b) は  $V_{BE} = 0.9$  V の高電流レベルであるが、エミッタから注入された電子はその直下のベース領域をほぼ直線的に走行してコレクタに達する。したがってトランジスタとして真に動作するベースおよびコレクタの領域は図のエミッタ直下部分であり、残りの領域は不活性の寄生部分と考えられる。しかもエミッタ直下のベース領域は、残りの領域よりも大きなベース抵抗成分を生む。これよりベースコレクタ接合容量  $C_{\mu}$  を図 3.10 (a) のようにエミッタ直下部 ( $C_{\mu_1}$ ) とその他の寄生部 ( $C_{\mu_2}$ ) に分割すれば、トラン

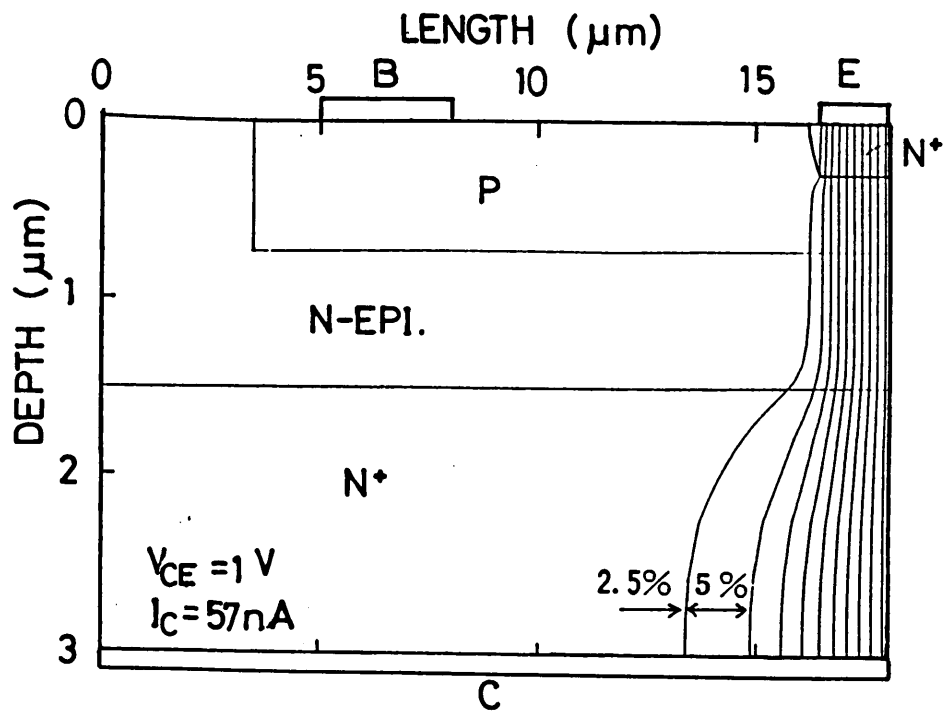


(a) 寄生素子

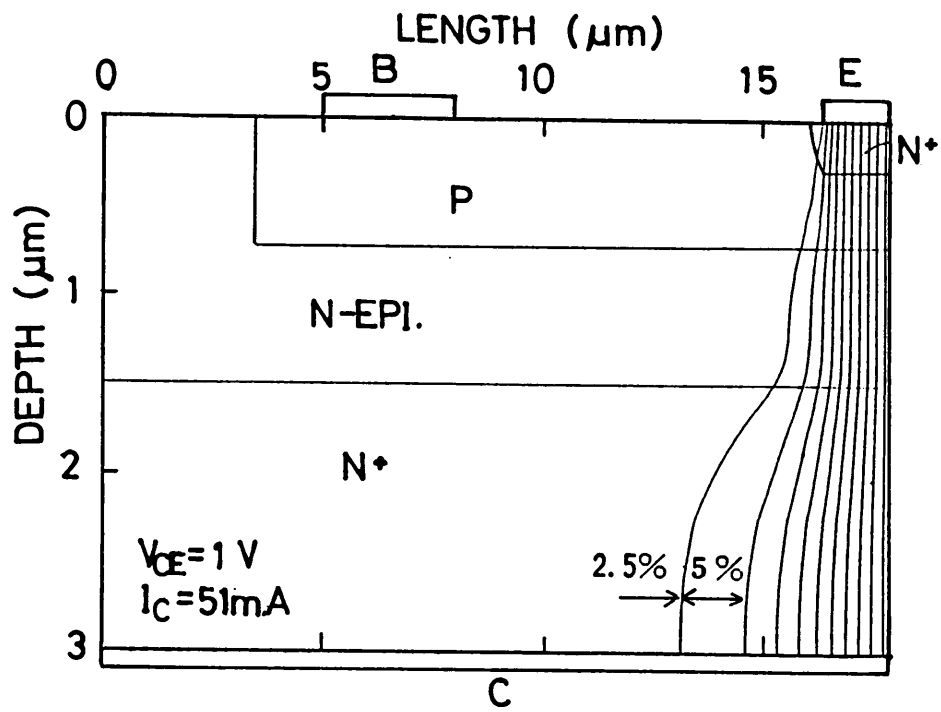


(b) 拡張モデル

図 3.10 IC用バイポーラトランジスタ



(a) 低電流レベル



(b) 高電流レベル

図 3.11 試作バイポーラトランジスタの電子電流の分布

ジスタの物理的構造に良く対応することになる。

いま考えているトランジスタ (NP324E2C) の場合には、次のように分割する。

(例)

エミッタ直下のベース・コレクタ接合面積  $A_E = 3.8 \mu \times 24.8 \mu \times 2$

全ベース・コレクタ接合面積  $A_C = 29.2 \mu \times 53.2 \mu$

これより、寄生部の全ベース・コレクタ接合部に対する割合を  $r_1$  とすると、

$$r_1 = 1 - \frac{A_E}{A_C} = 0.88 \quad (3.6)$$

となる。

図3.12 (a) (b) に、この分割による効果を示す (ここでパッケージには高精度型を使用した)。これらの図では、ベース・コレクタ接合容量の分割比  $r_1$  を 0, 0.5, 0.88 の三通り変化している。 $r_1 = 0$  の場合が、分割なし、すなわち従来のハイブリッド  $\pi$  型モデルを示す。ここでは  $\angle S_1$  と  $|S_{21}|$  のみを示したが、トランジスタの構造から決定された  $r_1 = 0.88$  の場合、全ての S パラメータにおいて、100 MHz 以上の周波数領域で精度が改善された。

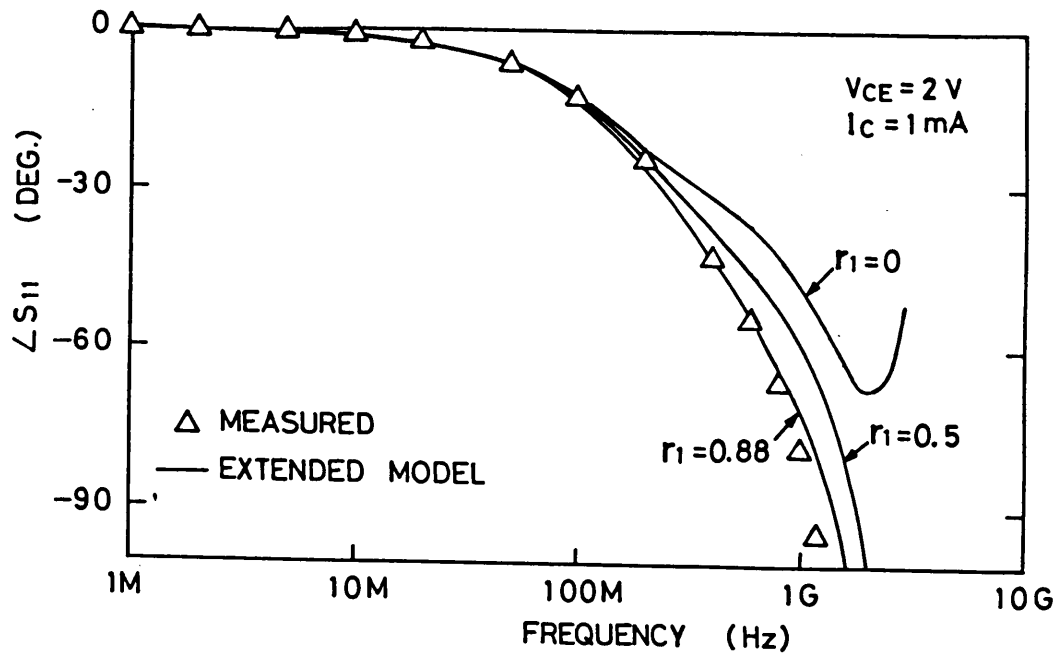
## (2) ベース・エミッタ間容量 $C_\pi$ の分割

次にベース・エミッタ間容量に注目すると、ハイブリッド  $\pi$  型モデルにおいて、ベース・エミッタ間容量  $C_\pi$  は、接合容量成分  $C_{je}$  と、電流に依存する拡散容量成分  $C_d$  の和で定義される。すなわち

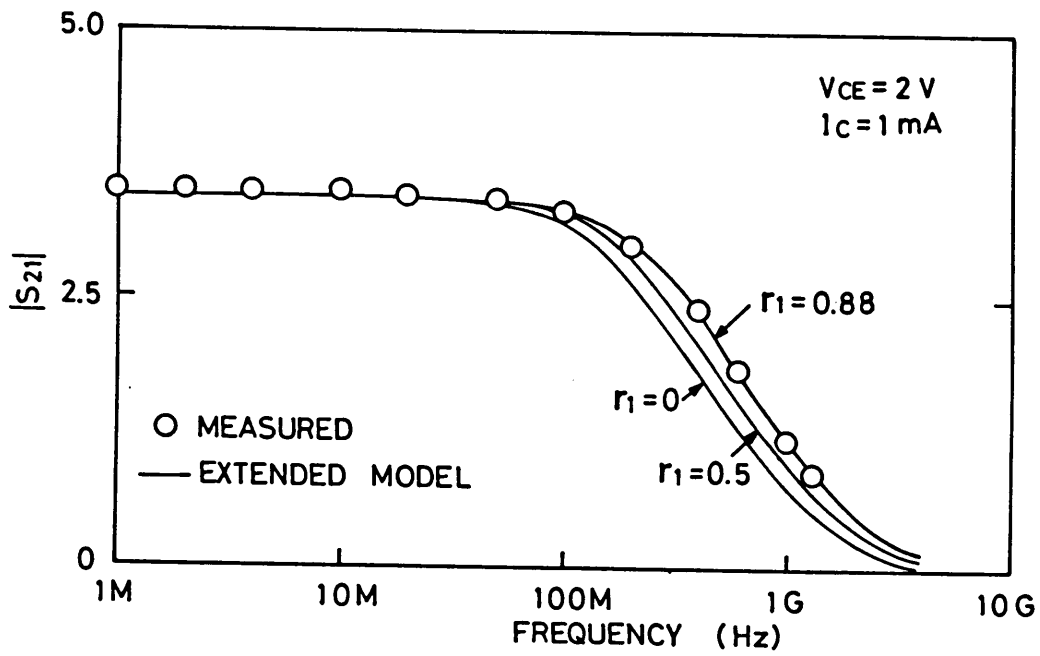
$$\begin{aligned} C_\pi &= C_{je} + C_d \\ &= C_{je} + g_m T_f \quad \left( g_m = \frac{q I_C}{k T} \right) \end{aligned} \quad (3.7)$$

である。

上にのべたベース・コレクタ間容量  $C_\mu$  の分割に対応して、ベース・エミッタ接合をエ



(a)  $S_{11}$ の位相



(b)  $S_{21}$ の絶対値

図3.12 ベース・コレクタ間容量 $C_{\mu}$ の分割による効果



ミッタ底面の部分と寄生の側壁部分とに分けると、

$$\begin{aligned}
 C_{\pi} &= C_{\pi_1} + C_{\pi_2} \\
 C_{\pi_1} &= (1 - r_2) C_{je} + (1 - k) \cdot g_m T_f \\
 C_{\pi_2} &= r_2 C_{je} + k \cdot g_m T_f
 \end{aligned}
 \tag{3.8}$$

となる。ここで分割比  $r_2$  は、ベース・エミッタ接合容量の側壁部分の全ベース・エミッタ接合容量への比である。

$$r_2 = \frac{C_{je2}}{C_{je1} + C_{je2}}
 \tag{3.9}$$

また  $k$  は、ベース・エミッタ接合の側壁からのコレクタ電流成分の全コレクタ電流への比であり、次式のようにエミッタの周辺長  $L_E$  とその面積  $A_E$  により定まる [14]。

$$k = \frac{\alpha \frac{L_E}{A_E}}{1 + \alpha \frac{L_E}{A_E}}
 \tag{3.10}$$

なお  $\alpha$  はプロセス技術により定まる定数である。

試作トランジスタの電流分布でわかるように、低電流レベルではベース・エミッタ接合の側壁からのコレクタ電流はほとんどない。したがって低電流レベルでは、式(3.8)の  $k$  は0である。

ハイブリッド  $\pi$  型モデルにおいてベース・エミッタ間容量  $C_{\pi}$  を、式(3.8)のようにその底面成分  $C_{\pi_1}$  と側壁成分  $C_{\pi_2}$  に分割したときの高周波特性への効果は、 $S_{11}$  の位相特性に現われる。これを図3.13に示す。ここで試作トランジスタの分割比  $r_2$  は、ベース・エミッタ接合の側壁面積の全面積への比から計算して、0.23を用いた。

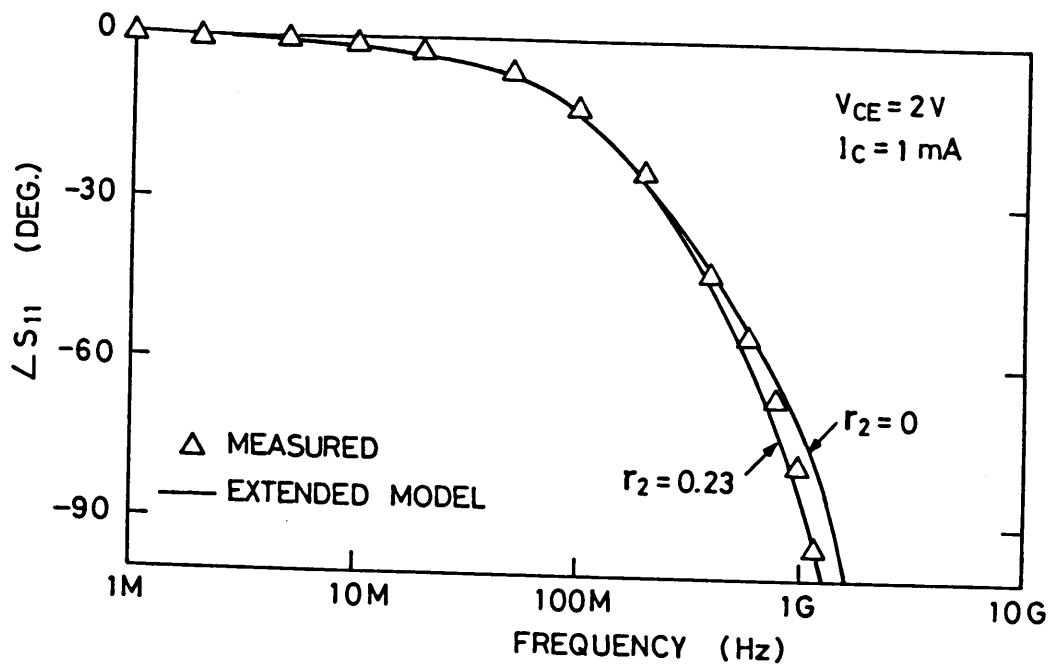


図 3.13 ベース・エミッタ間容量  $C_{\pi}$  の分割による効果—— $S_{11}$  の位相

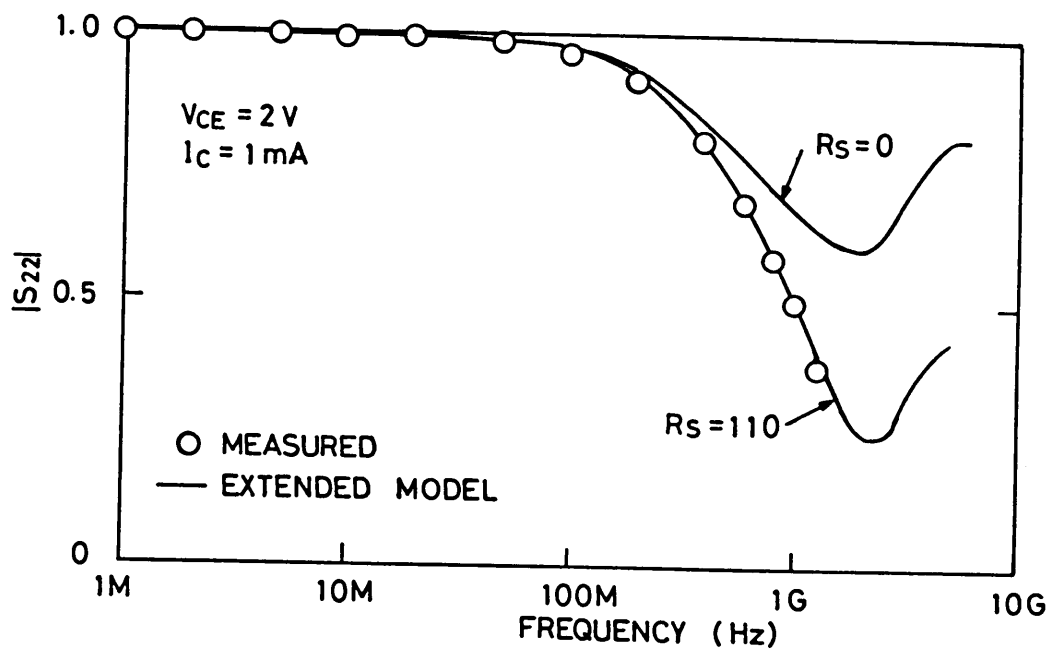


図 3.14 基板の抵抗分  $R_s$  の効果—— $S_{22}$  の絶対値

### (3) 基板の抵抗分 $R_S$ の導入

図3.8のハイブリッド $\pi$ 型モデルでは、基板の影響はエピタキシャル層-基板間容量  $C_{SUB}$  としてのみ考慮されている。しかしパッドのモデルの場合と同じく、IC化したバイポーラトランジスタではその構造上、基板の抵抗分  $R_S$  が  $C_{SUB}$  と直列に入ると考えられる。

基板の抵抗分  $R_S$  を考慮した場合の  $|S_{22}|$  を図3.14に示す。 $R_S = 110\ \Omega$  を用いたとき、100 MHz以上の周波数領域で精度向上が明らかである。ここで  $R_S$  の値は、基板上面がアイソレーション領域の矩形、基板下面がその  $2T$  ( $T$ : 基板の厚さ) ずつ広がった矩形で囲む領域より、次式 [15] を用いて計算した。

$$R_S = \frac{\rho T}{WL} \frac{\ln \frac{a}{b}}{a - b} \quad (3.11)$$

$\rho$  は基板の比抵抗、 $a = (W + 2T) / W$ 、 $b = (L + 2T) / L$ 、 $W$  および  $L$  はトランジスタのアイソレーション領域の幅と長さである。試作トランジスタの場合、上式 (3.11) より計算される  $R_S$  は約  $100\ \Omega$  であった。

#### 3.4.3 モデルの比較

以上をまとめて、前節の拡張モデル (図3.10) と従来のハイブリッド $\pi$ 型モデル (図3.8) との全体比較を図3.15 a~d に示す。ここで電流は  $1\text{ mA}$  と  $10\text{ mA}$  で比較している。図では、いずれも破線がハイブリッド $\pi$ 型モデル、実線が拡張モデルであり、○印および△印が  $S$  パラメータの測定値である。なお  $I_C = 1\text{ mA}$  はこのトランジスタの低電流レベル、また  $10\text{ mA}$  は  $f_T$  ピーク値付近で高電流効果が起り始めた電流レベルに相当している。図より、 $I_C = 1\text{ mA}$  および  $10\text{ mA}$  とともに拡張モデルにより良好な精度が得られることがわかる。なおこのとき用いた拡張モデルのパラメータは、 $I_C = 1\text{ mA}$  の例を表3.3に示している。

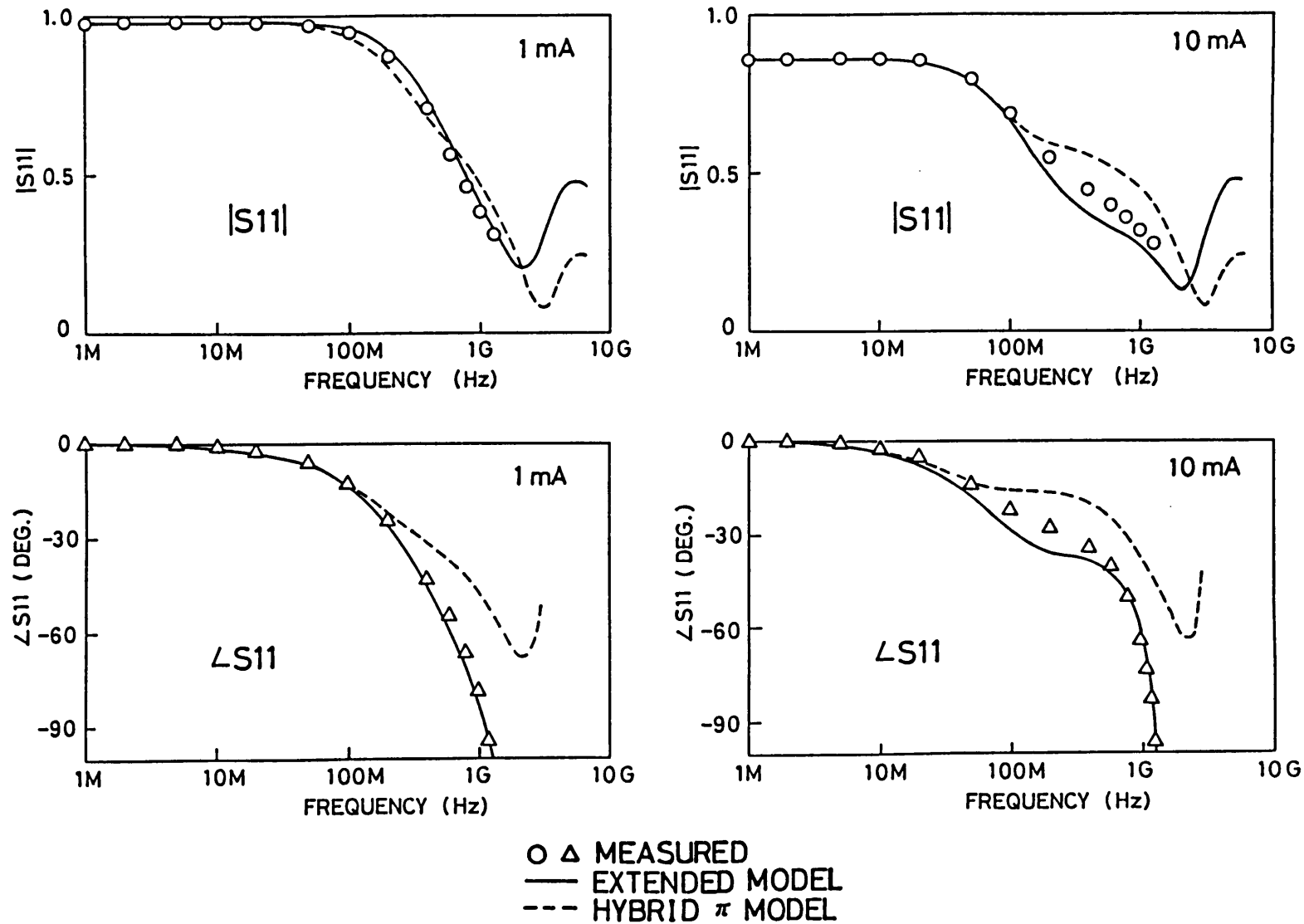
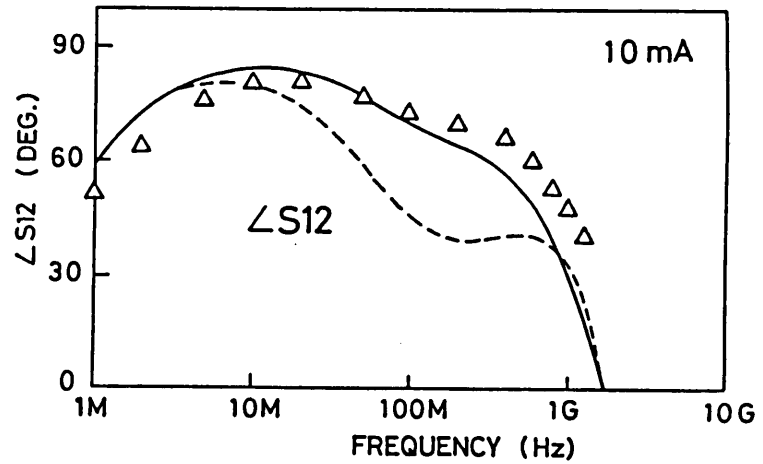
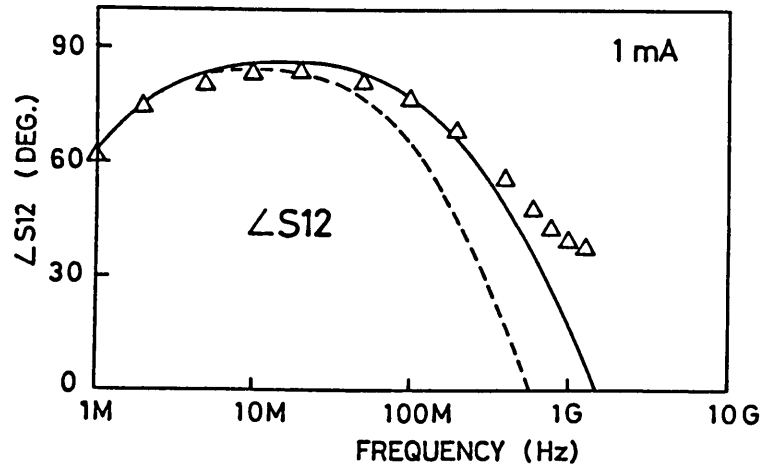
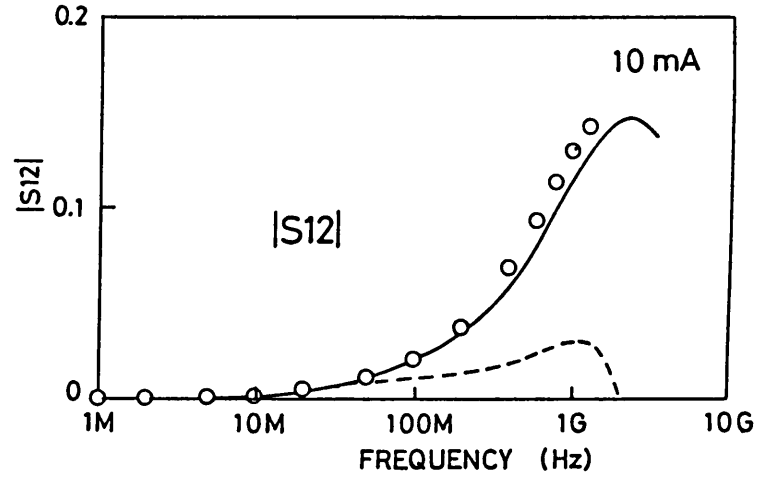
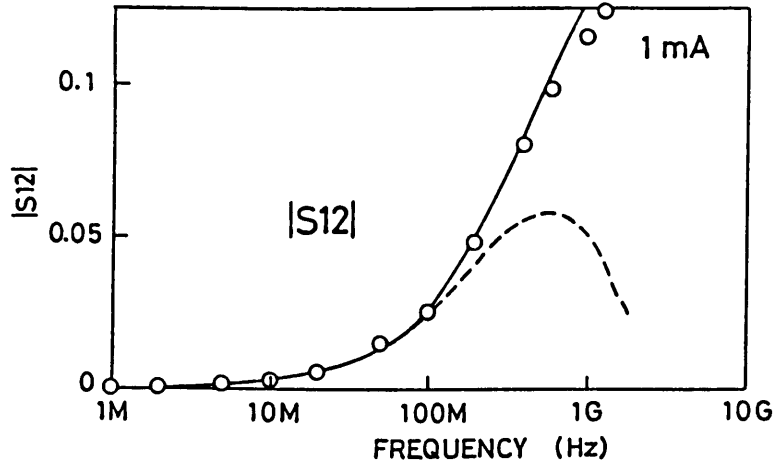


図 3.15 a 拡張モデルと S パラメータ測定値の比較—— $S_{11}$



○ △ MEASURED  
 — EXTENDED MODEL  
 --- HYBRID  $\pi$  MODEL

図 3.15 b 拡張モデルと S パラメータ測定値の比較—— $S_{12}$

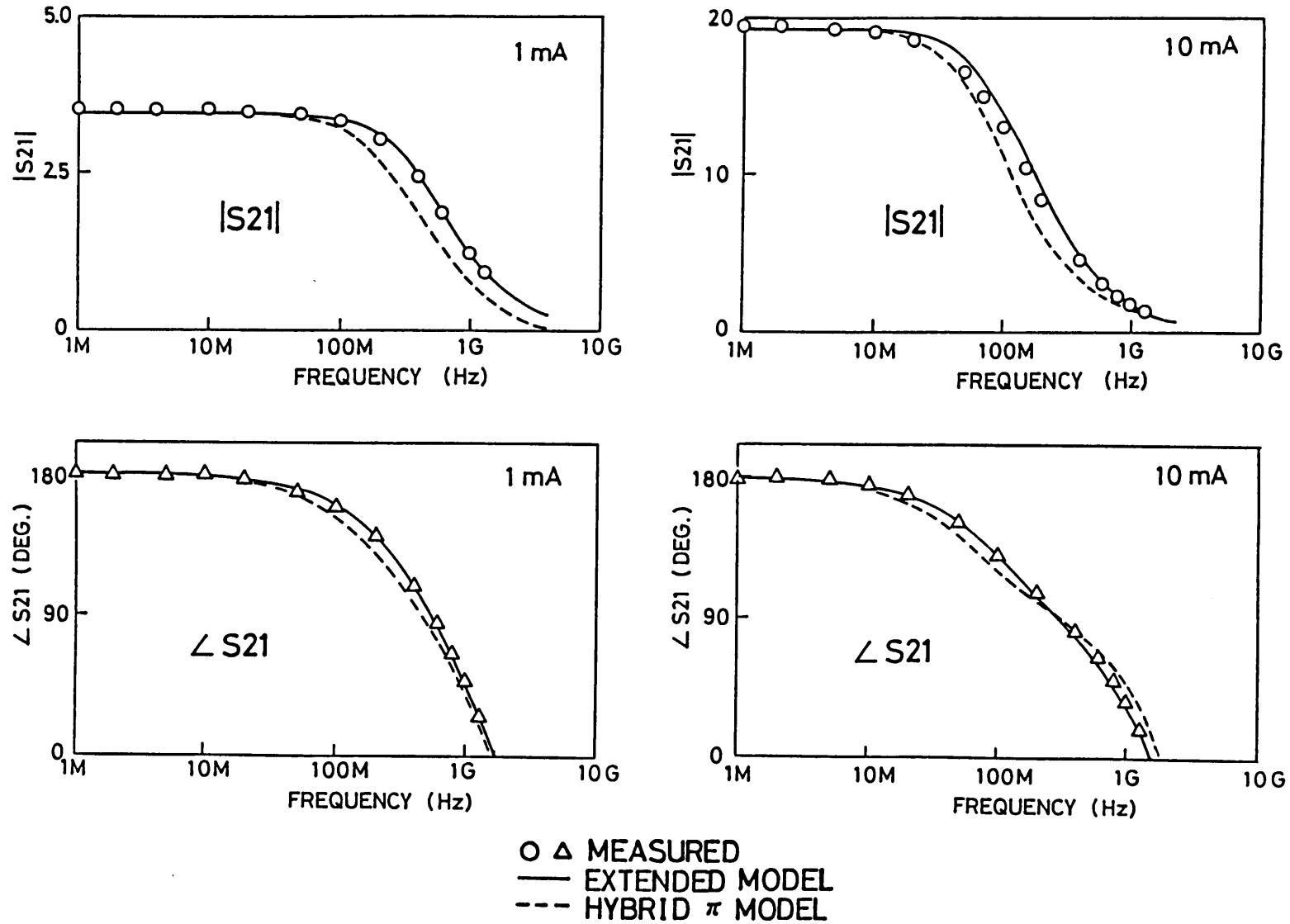


図 3.15 c 拡張モデルと S パラメータ測定値の比較—— S<sub>21</sub>

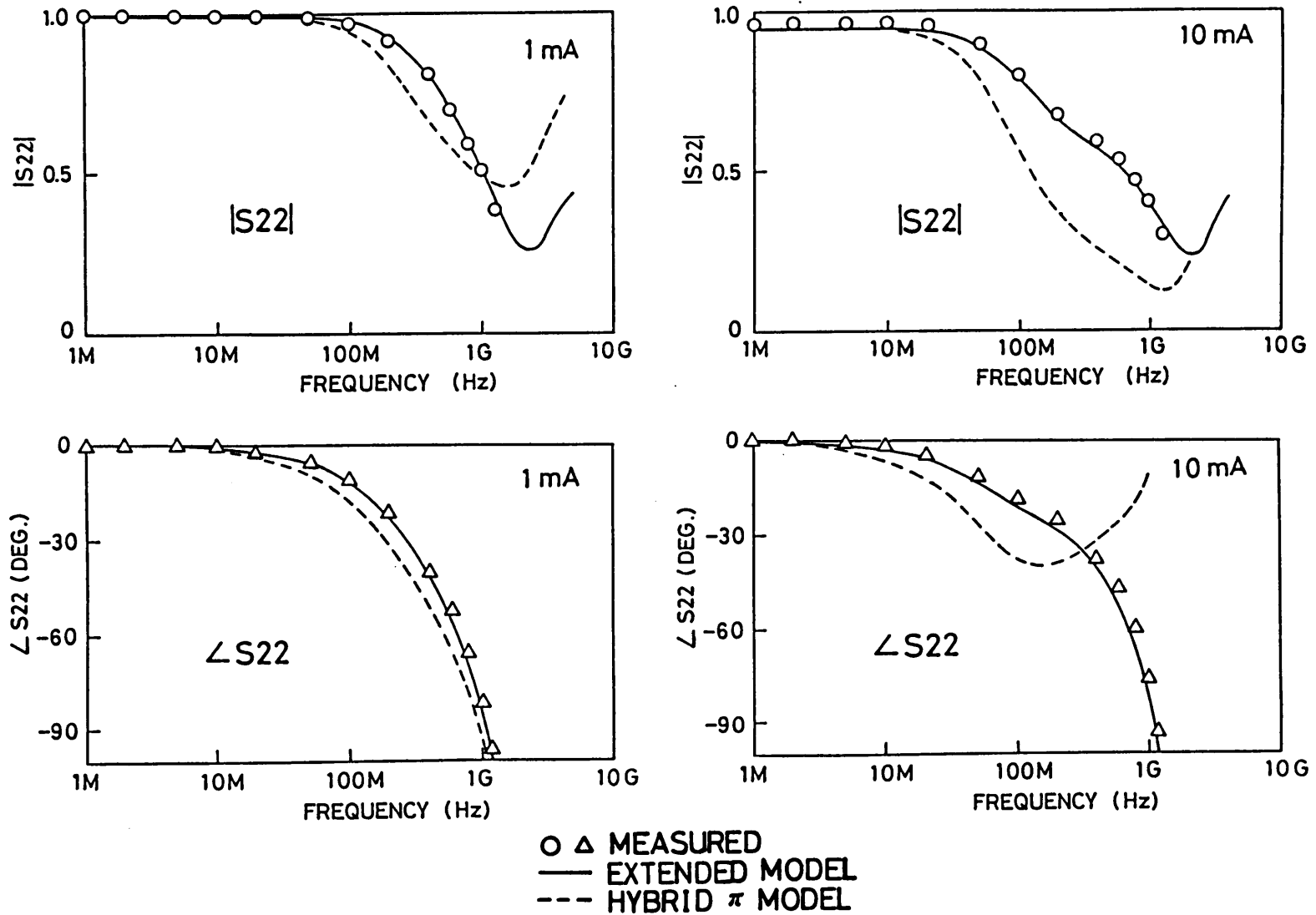


図 3.15 d 拡張モデルと S パラメータ測定値の比較—— S<sub>22</sub>

### 3.5 帰還型広帯域増幅器の高周波シミュレーション

上述のモデルを用いて、帰還型広帯域増幅器（図3.1）の高周波シミュレーションを行い、測定と比較した。

帰還型広帯域増幅器のチップは、単体トランジスタと同じく、4ピンTO-5型パッケージに実装し、ネットワークアナライザ（h/p 8505A）により周波数特性を測定したが、高周波帯（100MHz～1.3GHz）における測定の信頼性を確保するため、①自製の治具を用いた電気長補正法、②ネットワークアナライザ用トランジスタ治具（h/p 11602B）を用いる方法の二通りを実施し、両者の測定値の一致を確認した。

シミュレーション用デバイスモデルとしては、IC内の各トランジスタに対しDC解析にはALICE-EM5モデル、AC解析には前節でのべた二つの高周波モデルを使用した。またパッドおよびボンディングワイヤを含むパッケージモデルに対し図3.4(b)の精密モデルを用いた。ただし、増幅器ICでは、2つのアース（GND）端子が、3個分の100 $\mu$ mパッドおよび3本のボンディングワイヤを用いてアース側インダクタンスを減少させたため、これに対応して前述のパッケージモデルのパッドの容量値およびワイヤのインダクタンス値を変更している。

トランジスタのモデルパラメータとして表3.1を用いて、パッケージを含む実装状態の帰還型広帯域増幅器をシミュレーションした結果を、図3.16に示す。この図で、実線が拡張モデル、破線が従来のハイブリッド $\pi$ 型モデルによるシミュレーション値、○が測定値である。電圧利得のシミュレーション結果は、拡張モデルによって大きな精度向上が達成されている。増幅器のカットオフ周波数 $f_c$ （3dB低下点）の誤差は、拡張モデルにより5%以下（ハイブリッド $\pi$ 型では40%）まで低下している。

拡張モデルのポイントは、①コレクタ・ベース間容量 $C_\mu$ の分割、②ベース・エミッタ間容量 $C_\pi$ の分割、および③基板抵抗 $R_s$ の導入の3点である。すでにのべた単体トランジスタのSパラメータ検討から明らかなように、このうちコレクタ・ベース間容量 $C_\mu$ の分割が、増幅器の高周波帯シミュレーション精度に最も大きく寄与することが予想される。図3.16に、従来ハイブリッド $\pi$ 型モデルに対し $C_\mu$ 分割（ $r_1=0.88$ ）のみを入れた場合を一点鎖線で示す。 $C_\mu$ 分割、 $C_\pi$ 分割および $R_s$ 導入の全てを入れた拡張モデル（実線）とを比較すると、増幅器のカットオフ周波数 $f_c$ の精度向上は、まず $C_\mu$ 分割によるも



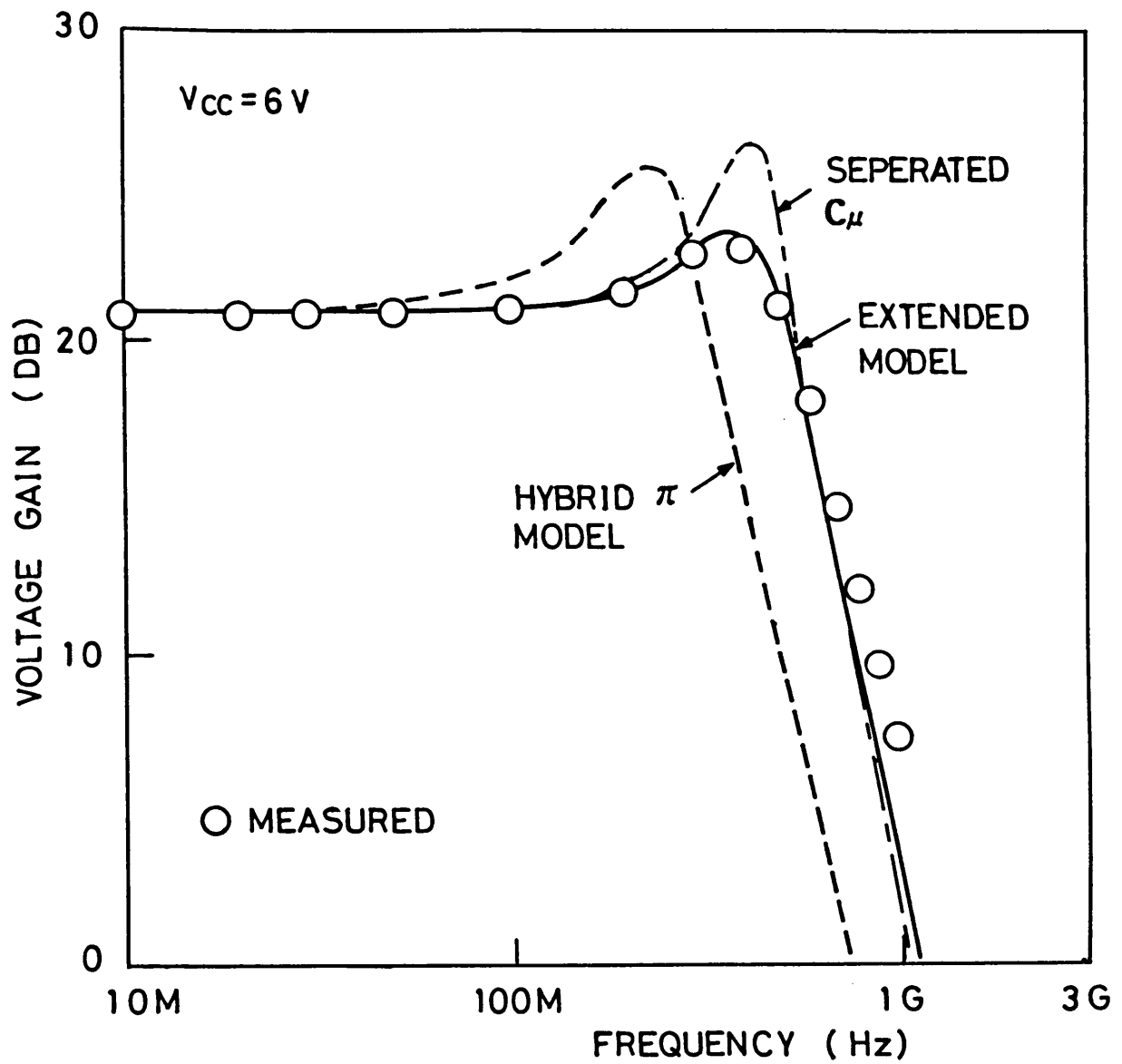


図 3.16 600MHz 広帯域増幅器 IC のシミュレーション結果

のであることがわかる。しかし  $C_{\mu}$  分割のみ（一点鎖線）では、ピーク近傍の正確な特性をシミュレーションできず、 $C_{\pi}$  分割および  $R_S$  の導入によって最終的に測定値に近いシミュレーション値（実線）が得られる。

拡張モデルでは、クラウディング効果 [16] を取り入れていないため、高電流レベルではやや精度が悪くなる。これはとくに  $S_{11}$  の絶対値と位相についてみられる（図 3.15 a）。しかしここで検討した広帯域増幅器 IC の場合、バイポーラトランジスタの動作電流レベルがいずれも 10 mA 以下であったため、このモデルで十分良好な結果が得られたと考えられる。

### 3.6 まとめ

微細化バイポーラプロセスで試作した 600 MHz 帰還型広帯域増幅器およびそのバイポーラトランジスタを用いて、アナログ IC 用バイポーラトランジスタの高周波モデルを検討した。その結果をまとめると以下のようになる。

- (1) バイポーラ・トランジスタの高周波モデルとして通常使われるハイブリッド  $\pi$  型モデルは、高周波帯（100 MHz ~ 1 GHz）での精度が悪いことを S パラメータによる検討から明らかにした。
- (2) 100 MHz 以上の高周波帯で精度の高いモデルとして、トランジスタの物理的構造に基づいた拡張ハイブリッド  $\pi$  型モデルを検討した。このモデルは、従来ハイブリッド  $\pi$  型モデルに、(i) ベース・コレク間接合容量  $C_{\mu}$  の分割、(ii) ベース・エミッタ間接合容量  $C_{\pi}$  の分割、および (iii) 基板の抵抗分  $R_S$  の導入をはかったものである。このモデルにより、100 MHz ~ 1 GHz の周波数領域で、低電流ないし中電流領域（ $f_T$  のピーク値付近の電流値まで）において、良好な S パラメータの精度が得られた。
- (3) 上記バイポーラトランジスタの超高周波モデルを検討する際に、パッド、ボンディングワイヤを含むパッケージのモデル化が重要である。とくにパッドについては、従来のように容量のみのモデルでは十分でなく、基板の抵抗分  $R_P$  を考慮する必要がある。このような検討に基づき、TO-5 型パッケージ（パッド、ボンディングワイヤを含む）の精密モデルを得た。
- (4) これらのデバイスモデルを用いて、600 MHz 帰還型広帯域増幅器の高周波シ

ミュレーションを行った。その結果、拡張モデルにより、増幅器のカットオフ周波数  $f_c$  の誤差が5%以下（従来モデルでは40%）と良好な精度を得た。

今後の課題として、エミッタ領域直下のDCおよびACクラウディング効果を含む、高電流レベルのモデルの検討があげられる。

### 第3章の参考文献

- [1] T. Watanabe, T. Okabe, K. Sakamoto, M. Nagata, A. Muramatsu, S. Ogura and M. Hayashi, "HIT-An Analog/Digital Bipolar VLSI Technology", Symposium on VLSI Technology, 7-8, pp.108-109 (Sept. 1982).
- [2] L. W. Nagel, "SPICE2; A Computer Program to Simulate Semiconductor Circuits", Electronics research Lab. Report No ERL-M520, UCB, 9 (May 1975).
- [3] A. B. Grebene, "Analog Integrated Circuit Design", Litton Educational Publishing, Inc. (1972).
- [4] 猪平, 新美, 永田, 中沢, "アナログICバイポーラトランジスタの超高周波モデル", 昭和61年度電子通信学会総合全国大会, 349, 1986年3月.
- [5] 猪平, 新美, 永田, 飯田, 中沢, "600MHz広帯域増幅器ICの高周波シミュレーション", 電子情報通信学会, 論文誌C2, 1990年掲載予定.
- [6] N. N. Chan and R. W. Dutton, "Lump Partitioning of IC Bipolar Transistor Models for High-Frequency Applications", IEEE Trans. on Computer-Aided Design, CAD-4, 2, pp.143-149 (Apr. 1985).
- [7] R. G. Meyer and R. A. Blauschild, "A 4-Terminal Wideband Monolithic Amplifier", IEEE J. of Solid-State Circuits, SC-16, pp.634-638 (Dec. 1981).
- [8] 中田孝明, 宮崎紳一, 櫛山寿夫, 石田憲太郎: "Si-モノリシックマイクロ波広帯域増幅器" 信学技報, SSD82-29 (1982-06).
- [9] R. W. Anderson, "S-Parameter Techniques for Faster, More Accurate Network Design", Hewlett-Packard Journal, 18, 6 (Feb. 1967).
- [10] D. A. Calahan, "Computer-Aided Network Design", McGraw-Hill, Inc. (1972), コンピュータによる電子回路設計, 日刊工業新聞社 (1974年8月).
- [11] 猪平, 須田, 氏家, "MOSFETの二次元解析", 昭和50年度電子通信学会総合全国大会, 274, 1975年3月.
- [12] 氏家, 大塚, 鳥谷部, 猪平, "FETデバイス解析汎用プログラム (CADDET) の数値計算法について", 昭和51年度電子通信学会総合全国大会, 354, 1976年3月.
- [13] T. Toyabe, M. S. Mock, T. Okabe, K. Ujiie and M. Nagata, "Two-Dimensional Analysis of I<sup>2</sup>L with Multi-Stream Function Technique", Proc. NASECODE 1,

Boole Press, Dublin (1979).

- [14] H. M. Rein, "A Simple Method for Separation of Internal and External (Peripheral) Currents of Bipolar Transistors", *Solid-State Electronics*, 27, 7, pp.625-631 (1984).
- [15] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", John Wiley and Sons (1977).
- [16] J. E. Schutt-Aine, "Determination of a Small-Signal Model for Ion-Implanted Microwave Transistors", *IEEE Trans. on Electron Devices*, ED-30, 7, pp.750-758 (1983).

# 第4章 集積化抵抗の高周波モデル

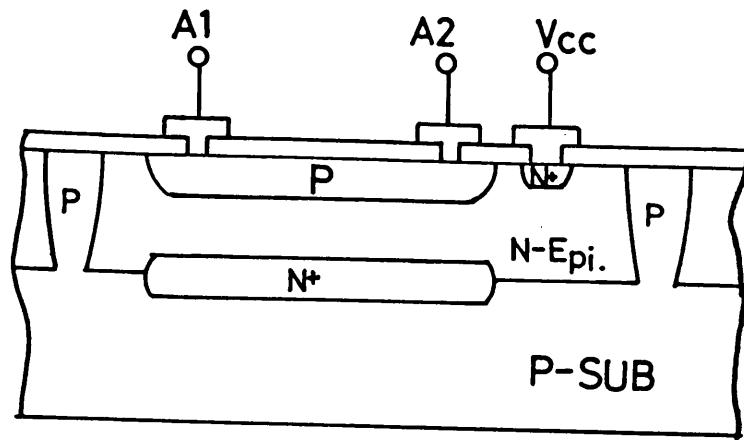
## 4.1 はじめに

前章ではバイポーラトランジスタの高周波モデルについて述べたが、本章ではアナログIC内でトランジスタとともに多用される集積化抵抗の高周波モデルについて述べる。近年アナログICにおいては、数MHzのビデオ帯でフィルタのIC化[1]が進みつつあり、また自動車電話用IC[2]や高速A/Dコンバータ用IC[3]のように数百MHzから数GHzにおよぶ高周波の応用も進んでいる。これらのICにおいては、集積化された抵抗のもつ寄生容量がその高周波特性に影響することが少なくない。

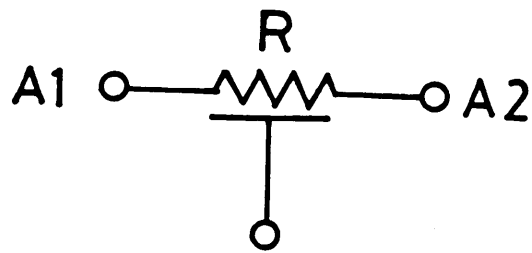
一般に回路シミュレータでは、抵抗は純抵抗として扱われるため特にそのモデルは用意されていない。このためIC中の抵抗の寄生容量を考慮したい場合、既知の $\pi$ 型あるいはT型モデルを等価回路で組むことになる。しかしながらこれらの集中モデルは、本来分布定数回路を形成する集積化抵抗の高周波特性を十分良く表現できず、なかでも駆動点インピーダンスの位相特性に問題を持っている。そこで本章では、まず集積化抵抗に対しRC分布定数回路の解析を行ない、これに基づいて従来モデルの精度を評価し、更に高精度でかつ簡便な新モデル(ブリッジ $\pi$ 型モデル)を提案する。次にモデルを微細化アナログバイポーラプロセスで作製したベース拡散抵抗の測定値と比較し、その絶対値および位相の周波数特性の精度を評価する。またこのモデルを回路シミュレータに組み込み、ビデオ帯アクティブフィルタおよびビデオディスクプレーヤ用色信号処理ICの設計に応用した例を示す。

## 4.2 集積化抵抗に対する均一分布定数回路の解析

アナログICに集積される抵抗は、ベース拡散抵抗、エピタキシャル抵抗およびピンチ抵抗などである[4]。たとえばベース拡散抵抗は図4.1(a)のような素子構造をもち、P型ベース拡散層とN型エピタキシャル層との間に寄生の分布容量をもつ。この抵抗で、N型エピタキシャル層は通常電源電圧 $+V_{CC}$ に、またP型基板はアース電位に接続される



(a) ベース拡散抵抗の構造



(b) 高周波等価回路

図4.1 集積化抵抗

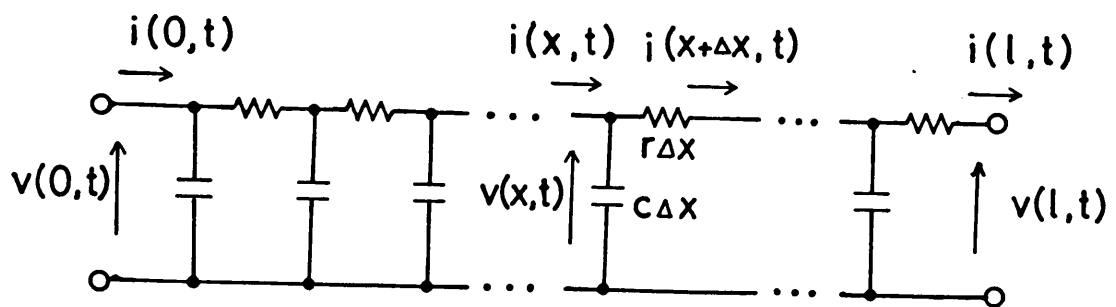


図4.2 集積化抵抗のRC分布定数回路

ので、その高周波等価回路は図4.1(b)のようになる。同様にエピタキシャル抵抗、ピンチ抵抗およびイオン打ち込み抵抗なども高周波的には図4.1(b)の等価回路で表される。その等価回路を詳しい分布定数回路で表したものが図4.2である。

いま単位長当りの抵抗を  $r$ 、単位長当りの容量を  $c$  とすると、図4.2の回路に対し次式が成立する [5]。

$$\frac{\partial v}{\partial x} = -r i \quad (4.1)$$

$$\frac{\partial i}{\partial x} = -c(v) \frac{\partial v}{\partial t} \quad (4.2)$$

ここで式(4.2)は、接合容量の電圧依存性を表す  $c(v)$  項を含むため、非線形偏微分方程式となり、解析的に解けないので、次のような平均容量  $\bar{c}$

$$\bar{c} = \frac{1}{V_B - V_A} \int_{V_A}^{V_B} c(V_j) dV_j \quad (4.3)$$

を導入[6]する。ここで  $V_j$  は単位長当りの平均電圧、 $V_A$ 、 $V_B$  は抵抗の両端にかかる電圧とする。この平均容量を用いると式(4.1)、(4.2)より、

$$\frac{\partial^2 v}{\partial x^2} = r \bar{c} \frac{\partial v}{\partial t} \quad (4.4)$$

$$\frac{\partial^2 i}{\partial x^2} = r \bar{c} \frac{\partial i}{\partial t} \quad (4.5)$$

を得る。上式を変数分離により解き、その解を二端子回路網 ( $y$  パラメータ) で表すと、次式が得られる。



$$\begin{vmatrix} I_1(s) \\ I_2(s) \end{vmatrix} = \begin{vmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{vmatrix} \begin{vmatrix} V_1(s) \\ V_2(s) \end{vmatrix} \quad (4.6)$$

$$y_{11} = y_{22} = \frac{\sqrt{sRC}}{R} \coth(\sqrt{sRC}) \quad (4.7)$$

$$y_{12} = y_{21} = -\frac{\sqrt{sRC}}{R} \operatorname{cosech}(\sqrt{sRC})$$

ここで  $s = j\omega$ ,  $R = r l$ ,  $\bar{C} = \bar{c} l$  ( $l$ : 抵抗の長さ) である。

式 (4.7) の  $y$  パラメータは、接合容量が抵抗長方向に均一に分布していると仮定したときの集積化抵抗の高周波特性を定める。これを実用的観点から、出力側短絡時の駆動点インピーダンス  $Z_{in}$  および電流利得  $G_i$  に分けて考える [7]。

集積化抵抗の出力側短絡時の駆動点インピーダンス  $Z_{in}$  は、式 (4.7) より次式となる。

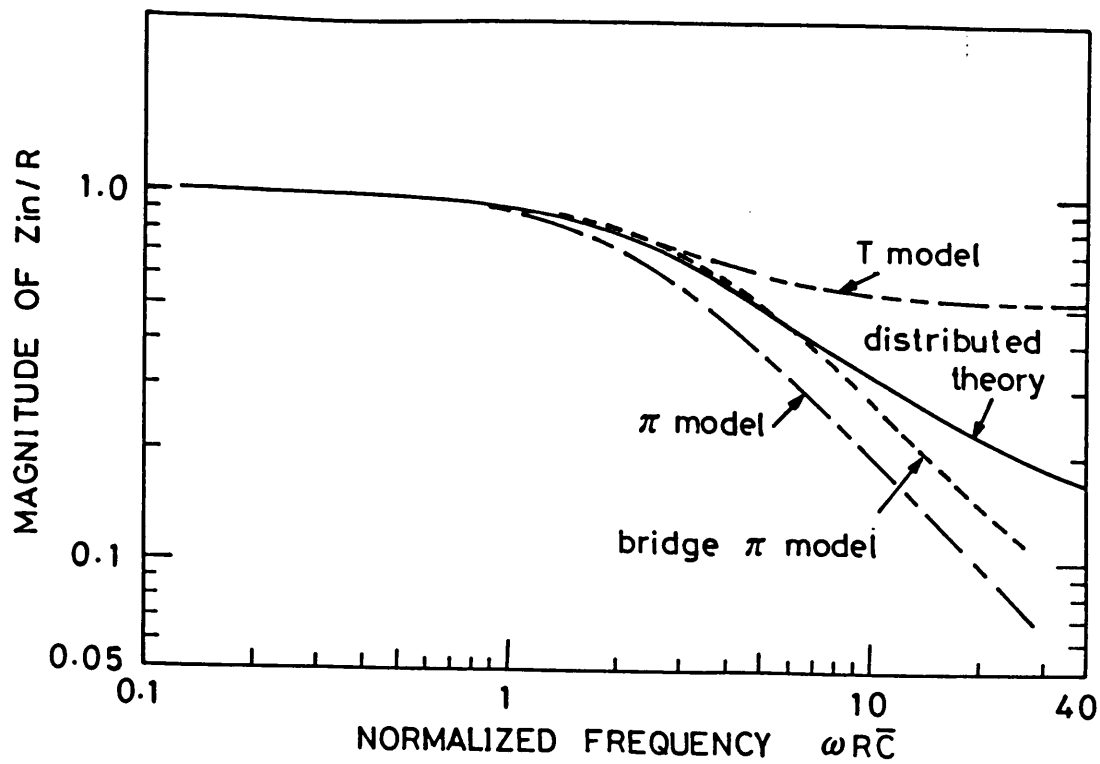
$$Z_{in} = \left. \frac{V_1(s)}{I_1(s)} \right|_{V_2(s)=0} = \frac{1}{y_{11}} = R \cdot \frac{\tanh(\sqrt{sRC})}{\sqrt{sRC}} \quad (4.8)$$

上式より  $Z_{in}/R$  の絶対値と位相の周波数特性をコンピュータ計算して求めると、図 4.3 (a) (b) の実線となる。この場合、抵抗の絶対値が 3 dB 低下する各周波数  $\omega_0$  は、図 4.3 (a) より次式となる。

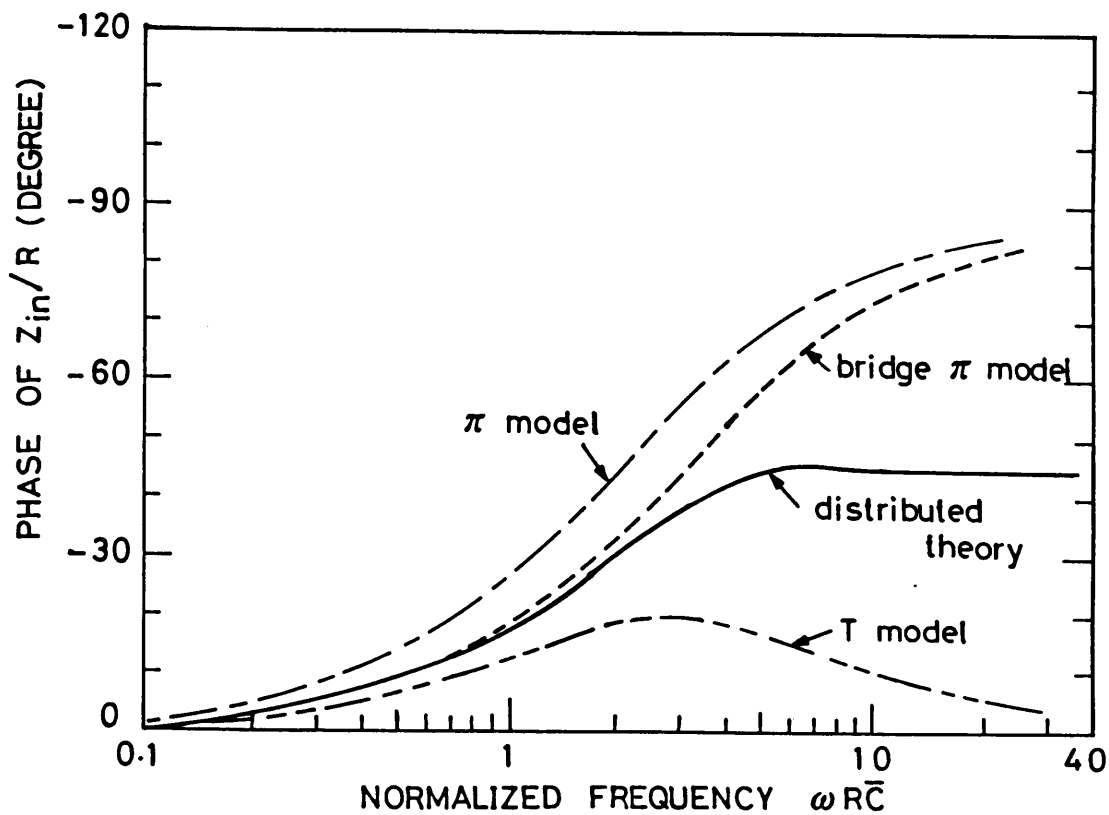
$$\omega_0 = \frac{2.6}{R\bar{C}} \quad (4.9)$$

駆動点インピーダンスの位相遅れは、図 4.3 (b) の実線でわかるように高周波側において  $-45^\circ$  の値に飽和する。

次に出力短絡時の電流利得  $G_i$  は次式となる。



(a) 絶対値



(b) 位相

図4.3 集積化抵抗の駆動点インピーダンス

$$G_i = - \frac{I_2(s)}{I_1(s)} \Big|_{V_2(s)=0} = - \frac{y_{21}}{y_{11}} = \operatorname{sech}(\sqrt{s R C}) \quad (4.10)$$

上式  $G_i$  の絶対値と位相を計算すると図 4.4 (a) (b) の実線となる。  $G_i$  の絶対値が 3 dB 低下する各周波数  $\omega_0$  は、図 4.4 (a) の実線より次式となる。

$$\omega_0 = \frac{2.43}{R C} \quad (4.11)$$

図 4.4 (b) の実線より、電流利得の位相遅れは周波数とともにリニアに増加する。

### 4.3 従来モデルの検討

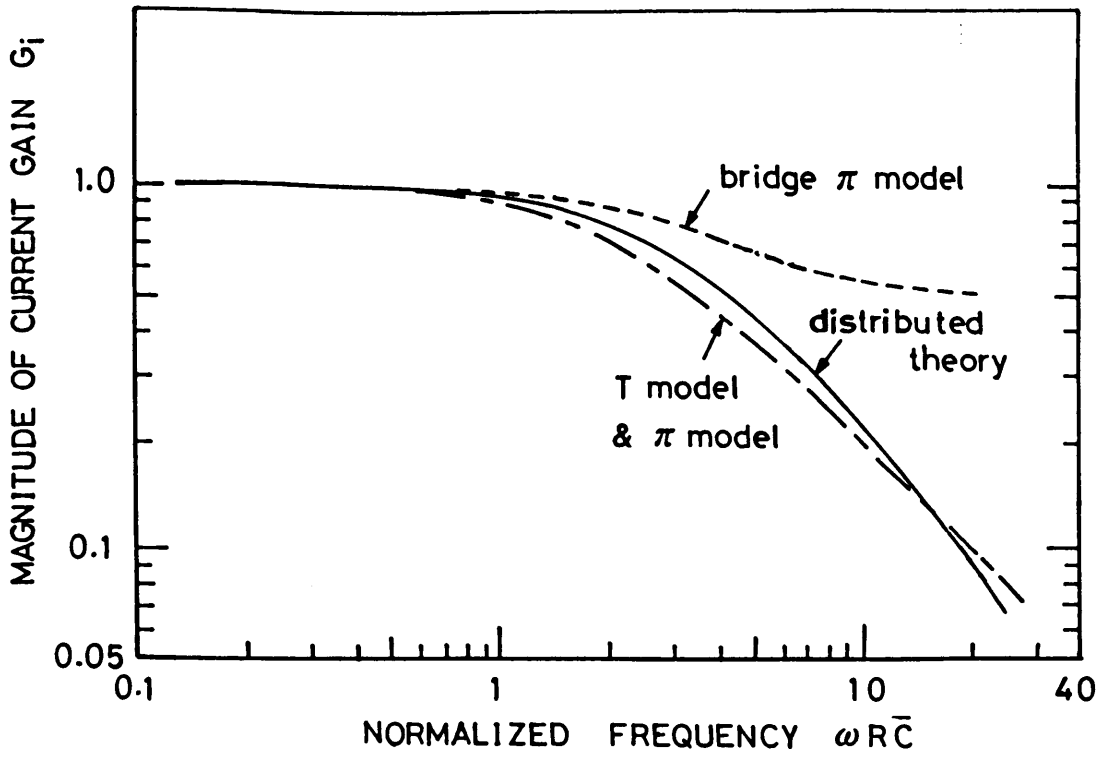
上の解析をもとにして、従来アナログ IC の教科書 [8] [9] で良く知られている図 4.5 (a) (b) の  $\pi$  型および T 型モデルの精度を検討する。

図 4.5 (a) の  $\pi$  型モデルでは、駆動点インピーダンス  $Z_{in}$  および電流利得  $G_i$  は各々次式となる。

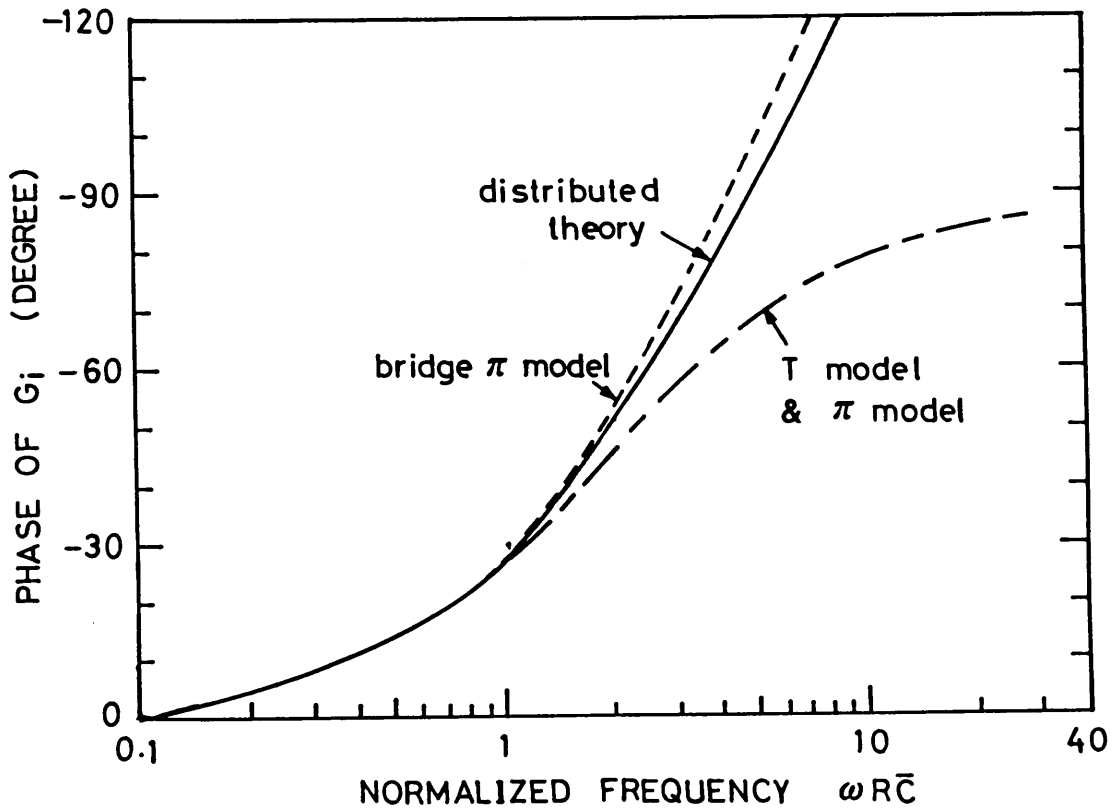
$$Z_{in}(s) = \frac{1}{y_{11}(s)} = \frac{R}{1 + \frac{s R C}{2}} \quad (4.12)$$

$$G_i(s) = - \frac{y_{21}(s)}{y_{11}(s)} = \frac{1}{1 + \frac{s R C}{2}} \quad (4.13)$$

また図 4.5 (b) の T 型モデルでは、  $Z_{in}$  および  $G_i$  はそれぞれ次式となる。

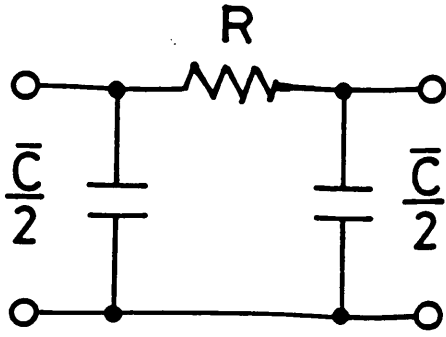


(a) 絶対値

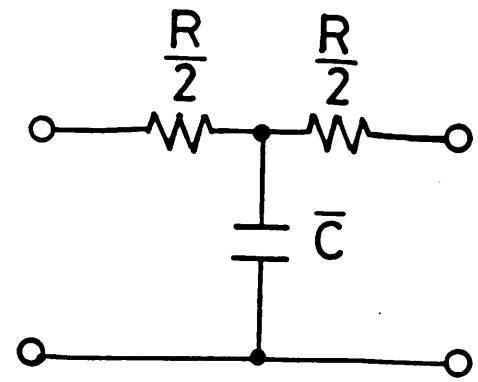


(b) 位相

図4.4 集積化抵抗の電流利得



(a)  $\pi$ 型モデル



(b) T型モデル

図4.5 従来モデル

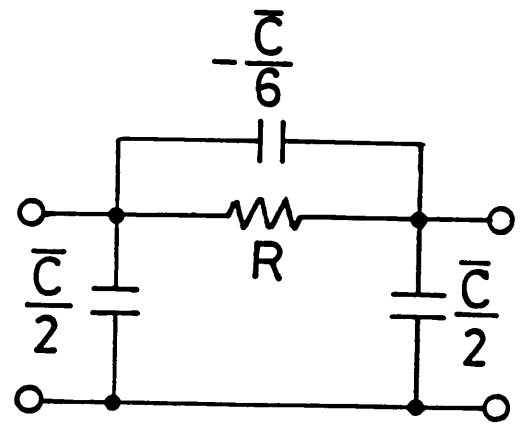
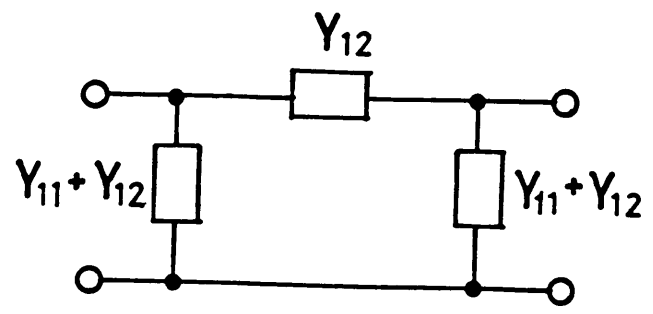


図4.6 新しいブリッジ $\pi$ 型モデル

$$Z_{in}(s) = R \frac{1 + \frac{s R \bar{C}}{4}}{1 + \frac{s R \bar{C}}{2}} \quad (4.14)$$

$$G_i(s) = \frac{1}{1 + \frac{s R \bar{C}}{2}} \quad (4.15)$$

式(4.12)および(4.14)で表わされる $\pi$ 型モデルおよびT型モデルの駆動点インピーダンスを、図4.3(a)(b)に一点鎖線および二点鎖線でプロットしている。図4.3(b)でわかるように、駆動点インピーダンスの位相遅れは、 $\pi$ 型モデルが高周波側で $-90^\circ$ に漸近するのに対し、T型モデルは $-20^\circ$ にピークをもち高周波側で低下する特性を示す。 $\pi$ 型モデルおよびT型モデルのいずれも、 $-45^\circ$ に飽和する理論解との間に低周波領域から相当の不一致がある。

一方電流利得では、式(4.13)と(4.15)を比較してわかるように、 $\pi$ 型モデルとT型モデルの周波数特性は一致する。これを先の図4.4(a)(b)にプロットすると、一点鎖線となる。このとき絶対値が3dB低下する周波数は、 $\pi$ 型モデルおよびT型モデルともに $\omega_0 = 2 / R \bar{C}$ であり、理論解の値 $2.43 / R \bar{C}$ に近い。しかし位相遅れは、理論解が $\omega_0$ を越えた周波数領域でリニアに増加し続けるのに対し、 $\pi$ 型およびT型モデルでは $-90^\circ$ に漸近し飽和してしまう。したがって $\pi$ 型およびT型モデルでは、その電流利得の位相精度が理論解と $5^\circ$ 以内で一致する領域は、 $\omega = 2 / R \bar{C}$ 程度までである。

#### 4.4 新しいブリッジ $\pi$ 型モデル

上述の $\pi$ 型およびT型モデルは、簡便な集中定数回路である点で回路計算に適するが、とくに駆動点インピーダンスの位相精度がかなり低周波側から悪い。そこでもっと精度の良いモデルを検討する。

いま式(4.7)の $y$ パラメータを級数展開すると、次式が得られる。

$$\left. \begin{aligned}
 y_{11} = y_{22} &= \frac{1}{R} + \frac{s \bar{C}}{3} - \frac{s^2 R \bar{C}^2}{45} + \dots \\
 y_{12} = y_{21} &= -\frac{1}{R} + \frac{s \bar{C}}{6} - \frac{7 s^2 R \bar{C}^2}{360} + \dots
 \end{aligned} \right\} (4.16)$$

式(4.16)を $s$ の第一次項までとり、対称な回路( $y_{11} = y_{22}$ および $y_{12} = y_{21}$ )であることを考慮してこれを等価回路で表現すると、図4.6のモデルを得る。これを新しくブリッジ $\pi$ 型モデルと呼ぶ。このモデルは従来の $\pi$ 型モデルに比べ、抵抗の両端に $-\frac{\bar{C}}{6}$ の負性容量をもっている。

この負性容量は、RC分布定数回路の特性式の級数展開に起因するものである。すなわちここでは式(4.7)の $y_{21}$ の超越関数を次式で近似した。ここで $Z = \sqrt{s R C}$ とする。

$$Z \operatorname{csch}(Z) \approx 1 - \frac{Z^2}{6} \quad (\text{負性容量モデル}) \quad (4.17)$$

しかしもし $\sinh(Z)$ の級数展開を用いるならば、もう一つの近似が可能である。

$$\frac{Z}{\sinh(Z)} \approx \frac{1}{1 + \frac{Z^2}{6}} \quad (\text{インダクタンスモデル}) \quad (4.18)$$

したがって式(4.7)より、

$$y_{12} = y_{21} \approx -\frac{1}{R} \frac{1}{1 + \frac{s R C}{6}}$$

すなわち次式を得る。

$$y_{21} = - \frac{1}{R + \frac{s R^2 \bar{C}}{6}} \quad (4.19)$$

この場合の等価回路は，インダクタンス  $L (= R^2 \bar{C} / 6)$  が抵抗  $R$  に直列に入る形になる。このインダクタンスモデルはモデル内の節点数を増やす結果になるので，ここでは採用しなかった。なお同様な考察が，最近，バイポーラトランジスタのベース層の分布定数回路 (Non Quasi Static Effects) の解析 [10] に用いられている。

図4.6のブリッジ  $\pi$  型モデルにおける駆動点インピーダンスの周波数特性は次式となる。

$$Z_{in}(s) = \frac{1}{y_{11}(s)} = \frac{R}{1 + \frac{s R \bar{C}}{3}} \quad (4.20)$$

またその電流利得の周波数特性は，

$$G_i(s) = - \frac{y_{21}(s)}{y_{11}(s)} = \frac{-1 + \frac{s R \bar{C}}{6}}{1 + \frac{s R \bar{C}}{3}} \quad (4.21)$$

で定まる。

上式 (4.20) および (4.21) で定まるブリッジ  $\pi$  型モデルを，先の均一分布定数回路の理論解と比較して，図4.3および図4.4に破線で示す。このブリッジ  $\pi$  型モデルの位相精度は， $\omega \leq 2 / R \bar{C}$  の周波数領域において，駆動点インピーダンスおよび電流利



得とも理論解とのずれ $3^\circ$ 以下と良好である。またその絶対値精度は、同じ周波数領域 ( $\omega \leq 2/\overline{RC}$ ) において電流利得の場合12%以下とやや悪いが、駆動点インピーダンスのそれは6%以下と良好である。

このブリッジ $\pi$ 型モデルでは電流利得の絶対値精度が高周波側でやや悪いが、一般の応用は $\omega \leq 2/\overline{RC}$ であるためこれはあまり問題がないと考えられる。また抵抗の分布容量の影響は、図4.3および図4.4で明らかのように、低周波側では絶対値よりもむしろ位相遅れとしてまず現われる。従ってブリッジ $\pi$ 型モデルの位相精度が高いことは実用上重要になる(4.7節参照)。

#### 4.5 抵抗の平均寄生容量

上述の抵抗の高周波モデルを現実のICの回路設計に適用する場合、式(4.3)で定義される平均寄生容量の計算が必要である。そこで本節で、この平均寄生容量の計算式を導出する。

いま図4.7のように、抵抗のパターン幅を $W(\mu)$ 、パターン長を $L(\mu)$ 、拡散の拡がり分を $\Delta W(\mu)$ 、抵抗のシート抵抗値を $\rho_s(\Omega/\square)$ 、両コンタクト部の補正抵抗値を $R_{con}$ とすると、抵抗値 $R(\Omega)$ は次式で計算される。

$$R = \rho_s \frac{L}{W + \Delta W} + R_{con} \quad (4.22)$$

IC中の各抵抗の寄生容量を計算するには、抵抗パターンの面積が必要である。しかし回路設計時には未だ抵抗パターンは決まっていないのが普通である。そこでここでは、使用するプロセスによりあらかじめパターン幅 $W$ は定まっているとし、パターン長 $L$ を各抵抗の設計値 $R$ より計算する。すなわち式(4.22)より、

$$L = \frac{R - R_{con}}{\rho_s} (W + \Delta W) \quad (4.23)$$

となる。抵抗の単位面積当りの0パイアス容量を $C_{jo}(pF/cm^2)$ とし、この値が製造

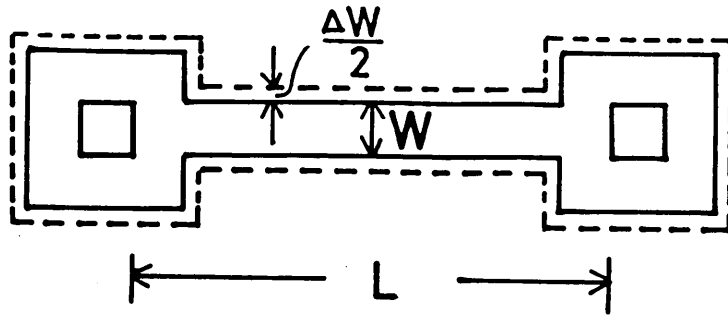
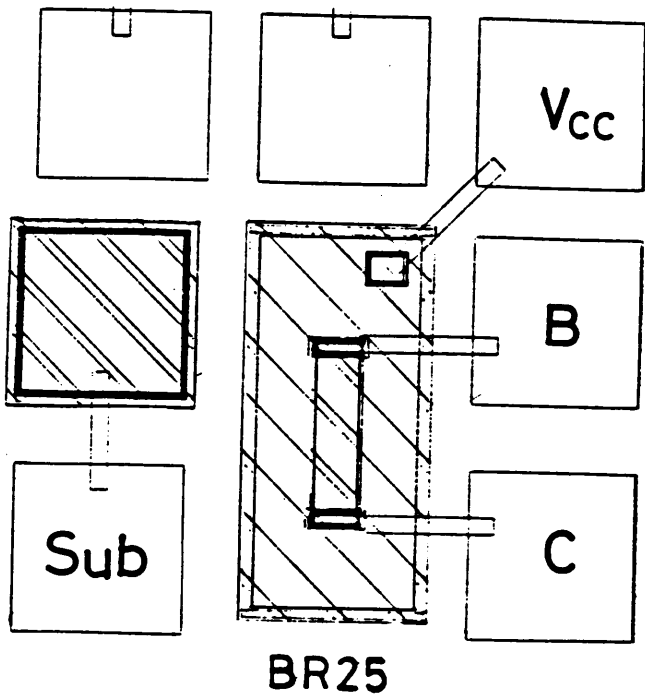
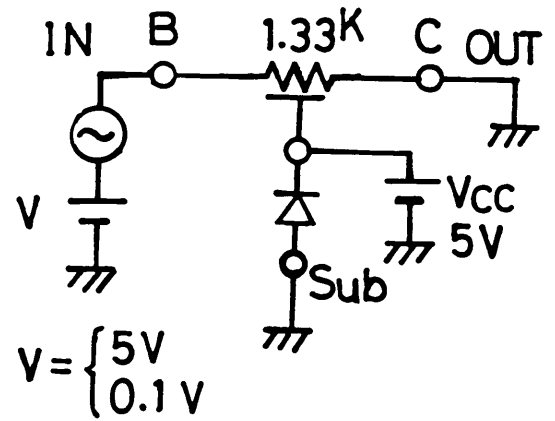


図4.7 集積化抵抗の平面パターン



(a) マスクパターン



(b) 測定回路

図4.8 測定に用いたベース拡散抵抗

プロセスで定まっているとすると，設計値  $R$  ( $\Omega$ ) の抵抗がもつ寄生容量は，

$$C = C_{jo} \cdot W \cdot \frac{R - R_{con}}{\rho_s} \cdot (W + \Delta W) \quad (4.24)$$

により計算できる。

整合精度を確保するため，数本並列の抵抗パターンが使用されるときは，パターン数を  $NR$  本として，

$$C = NR \cdot C_{jo} \cdot W \cdot \frac{NR (R - R_{con})}{\rho_s} \cdot (W + \Delta W) \quad (4.25)$$

が成立つ。さらに折れ曲りをもつ抵抗パターンが使用されるときは，その折れ曲り部分の容量補正分を  $C_K$  として，

$$C = NR \cdot C_{jo} \cdot W \cdot \frac{NR (R - R_{con})}{\rho_s} \cdot (W + \Delta W) + C_K \quad (4.26)$$

から，抵抗の寄生容量は計算することができる。

上式 (4.26) の寄生容量  $C$  は，0 バイアス容量値である。そこでバイアス依存性を考慮した平均寄生容量  $\bar{C}$  は，式 (4.3) を計算して，抵抗の両端の DC 電圧  $V_A$  および  $V_B$  より次式から求められる。

$$\begin{aligned} \bar{C} &= \frac{1}{V_B - V_A} \int_{V_A}^{V_B} C \frac{1}{V_j} \frac{1}{\left(1 - \frac{V_j}{\phi}\right)^n} dV_j \\ &= \frac{C}{V_B - V_A} \cdot \frac{\phi}{1 - n} \left[ \frac{1}{\left(1 - \frac{V_A}{\phi}\right)^{n-1}} - \frac{1}{\left(1 - \frac{V_B}{\phi}\right)^{n-1}} \right] \end{aligned} \quad (4.27)$$

ここで  $\phi$  は接合のビルトイン電圧，  $n$  は接合容量の電圧依存性指数である。また  $V_A$  および  $V_B$  はエピタキシャル層の電位  $V_{CC}$  を基準にした抵抗両端の電圧値とする。すなわち

$$\left. \begin{aligned} V_A &= V_1 - V_{CC} \\ V_B &= V_2 - V_{CC} \end{aligned} \right\} \quad (4.28)$$

である。但し  $V_1$  および  $V_2$  が回路中の抵抗の両端のノード電位とする。

## 4.6 測定値との比較

### 4.6.1 測定方法

微細化バイポーラプロセス [11] で作製したベース拡散抵抗を用いて、前述のモデルの精度評価を行った。

ここで用いた試料のマスクパターンを図 4.8 (a) に示す。素子の面積は  $25 \mu \times 110 \mu$ ，抵抗値は  $1.33 \text{ k}\Omega$  (実測値) である。このベース拡散抵抗を TO-5 型パッケージに組立て、ネットワークアナライザ (h/p 8505A) により周波数特性を測定した。その測定回路を図 4.8 (b) に示す。

抵抗の寄生接合容量は LCRメータにより、ゼロバイアス容量  $C_{j0} = 0.94 \text{ pF}$ ，電圧依存性指数  $n = 0.14$ ，ビルトイン電圧  $\phi = 0.6 \text{ V}$  と得られた。

なお測定時、接合容量にかかるバイアスが均一および不均一分布となるように、抵抗の印加電圧  $V$  は  $0.1 \text{ V}$  および  $5 \text{ V}$  の二つの条件で測定した。 $0.1 \text{ V}$  のときほぼ均一分布、また  $5 \text{ V}$  のとき不均一分布となる。抵抗の平均容量  $\bar{C}$  は、容量の電圧依存性および式 (4.27) より、印加電圧  $V$  が  $0.1 \text{ V}$  のとき  $0.70 \text{ pF}$ ，また  $5 \text{ V}$  のとき  $0.79 \text{ pF}$  となる。

測定に用いた抵抗は、図 4.8 (a) のようにボンディングパッドを介して TO-5 型パッケージ (4ピン) に組立てられている。このためネットワークアナライザによる測定値には、抵抗単体の特性に加えて、パッケージ、パッドおよびこれを接続するボンディングワイヤなどの寄生部を含む。

そこで第 3 章で述べたと同じパッケージモデルを作り、そのパラメータを LCRメータ

により測定した。そして  $y$  パラメータ測定値からパッケージ等寄生分  $y_{P1}$  および  $y_{P2}$  を除去して真の抵抗部の測定値を求めた。すなわち、出力短絡時の駆動点インピーダンスおよび電流利得  $G_i$  はそれぞれ、

$$Z_{in} = \frac{1}{y_{11}} = \frac{1}{y_{11}' - (y_{P1} + y_{P2})} \quad (4.29)$$

$$G_i = -\frac{y_{21}}{y_{11}} = -\frac{y_{21}' - y_{P2}}{y_{11}' - (y_{P1} + y_{P2})} \quad (4.30)$$

より求められる。ここで  $y_{11}'$  および  $y_{21}'$  がネットワークアナライザによる寄生分を含む測定値である。また寄生分の  $y$  パラメータは、3章のインダクタンス分を省略した簡易パッケージモデルを前提して、

$$y_{P1} = j\omega C_{BS} + \frac{1}{R_p + \frac{1}{j\omega C_p}} \quad (4.31)$$

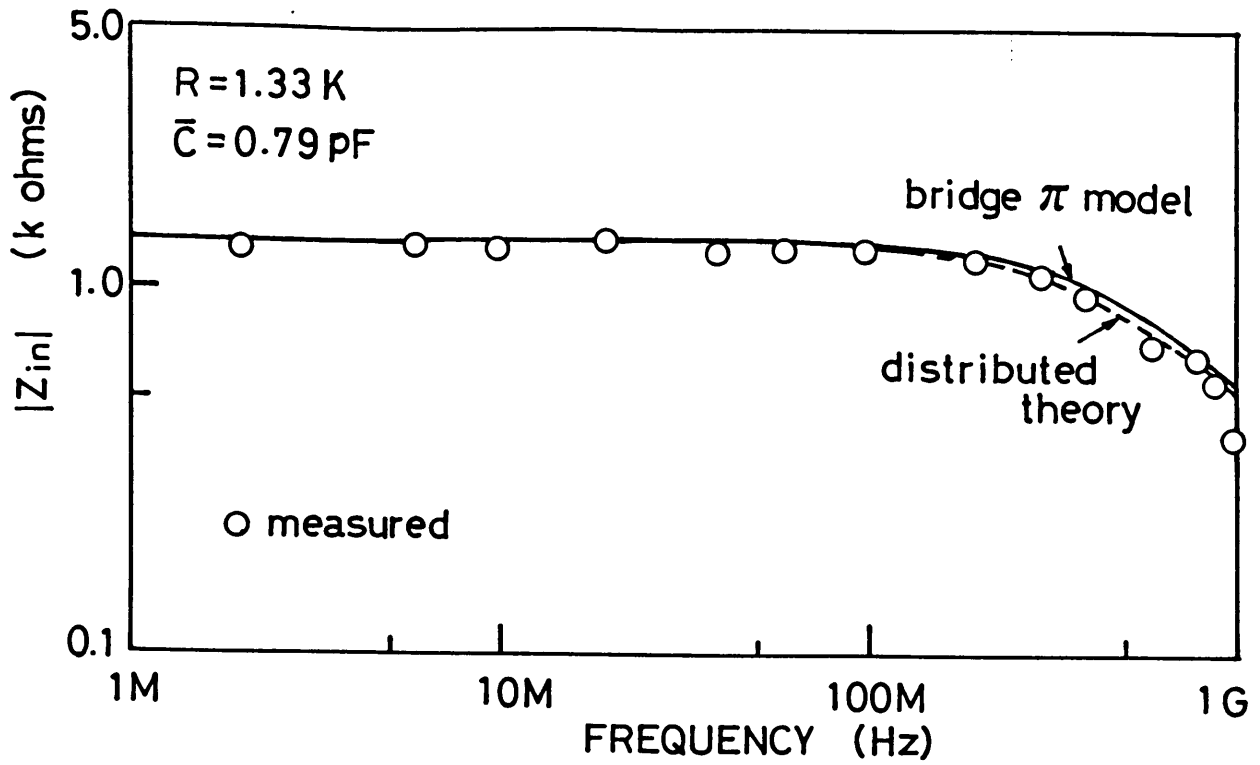
$$y_{P2} = j\omega C_{BC} \quad (4.32)$$

とした。 $C_{BS}$ 、 $C_{BC}$ はパッケージのピン間容量、 $R_p$ はパッドの抵抗分、また $C_p$ はパッドの容量分である。

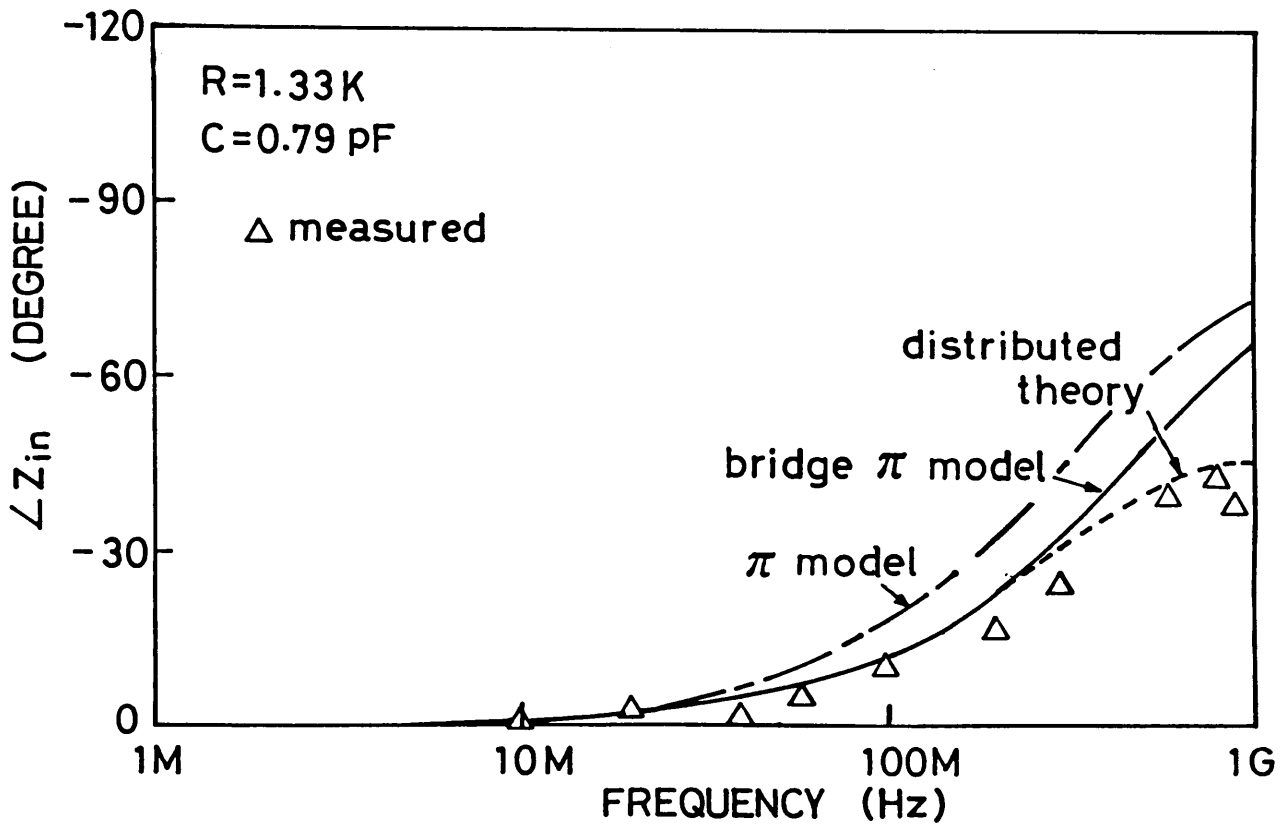
#### 4.6.2 結果とその検討

式(4.29)~(4.32)を用いて寄生分を除いた測定値と、ブリッジ $\pi$ 型モデル(実線)との比較を図4.9および図4.10に示す。均一分布定数回路の理論解を参考までに破線で示した。

ブリッジ $\pi$ 型モデルは、すでに検討したように角周波数 $\omega$ が $2/\sqrt{RC}$ 以下の領域で精度が良い。この抵抗例( $R = 1.33 \text{ k}\Omega$ ,  $C = 0.79 \text{ pF}$ )では、この周波数点は約

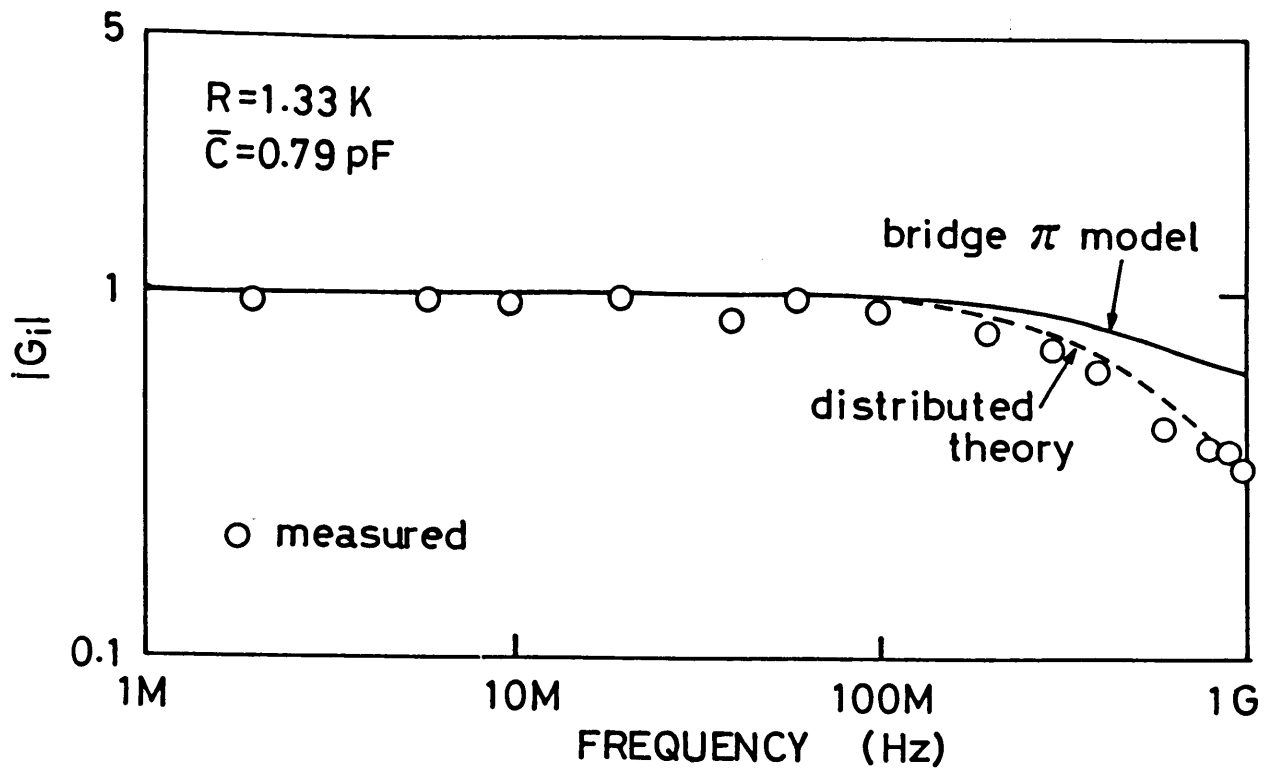


(a) 絶対値

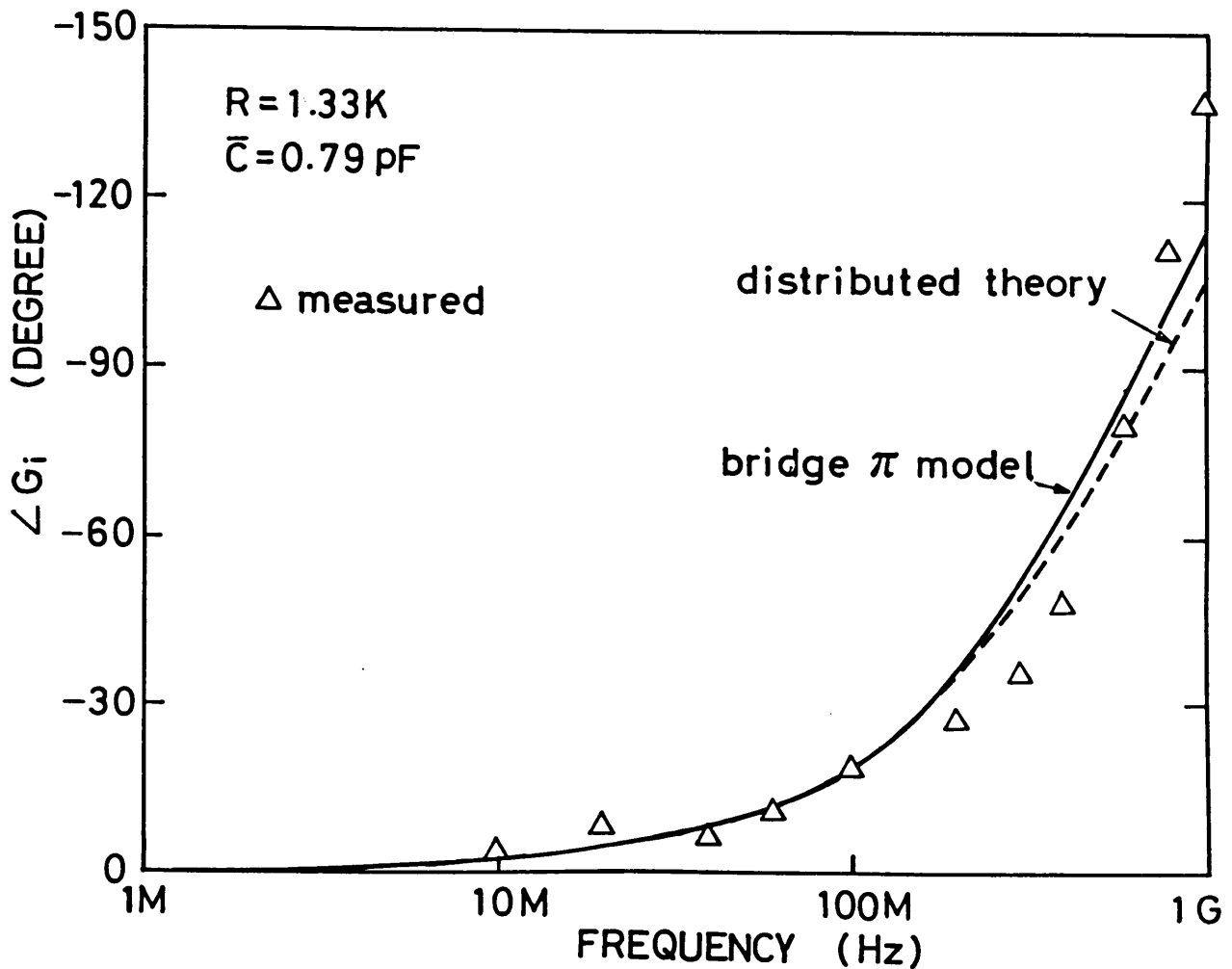


(b) 位相

図4.9 ブリッジ $\pi$ 型モデルと測定値の比較——駆動点インピーダンス



(a) 絶対値



(b) 位相

図 4.10 ブリッジ  $\pi$  型モデルと測定値の比較——電流利得

300 MHz である。すなわち図4.9および図4.10において、ブリッジπ型モデル（実線）は300 MHz以下の領域では駆動点インピーダンスおよび電流利得の絶対値と位相とも、均一分布定数回路の理論解とそれほど変らない精度で測定値と一致する。

均一分布定数回路の理論解は、すでに述べたように容量の電圧依存性を平均容量で近似している。この平均容量の近似による誤差を評価するために、測定値との比較の際、抵抗の接合容量にかかるバイアスがほぼ均一の場合（抵抗の両端の直流電位が0.1 Vおよび0 V）と、不均一の場合（両端が5 Vと0 V）の二通りの条件を検討した。図4.9と図4.10の測定値としてはバイアスが不均一の場合（ $\bar{C} = 0.79 \text{ pF}$ ）のみを示したが、式（4.27）の平均容量を用いた均一分布定数回路の理論解およびその第一次近似であるブリッジπ型モデルは、図のように測定値と良く一致しており、平均容量の導入による誤差はほとんどないことがわかる。伝達利得および駆動点インピーダンスとも、周波数200 MHz ~ 400 MHzにおいて位相の誤差があるが、これはバイアスが均一の場合（ $\bar{C} = 0.70 \text{ pF}$ ）でも同様に現われることから、平均容量の導入によるものではなく、何らかの測定誤差によるものであろう。

ブリッジπ型モデルでは等価回路化に伴う近似により高周波側（ $\omega_0 = 2 / RC$ 以上）で誤差が生ずる。とくに図4.10のように電流利得 $G_i$ の絶対値精度が300 MHz以上でやや悪くなる。この理由は、分布定数回路の理論解を $j\omega$ の第一次項までで近似し、第二次項以下を無視したためである。これらの二次項を考慮したモデルをたてることも可能であるが、回路計算で使用するには複雑すぎるものになる[12]。

したがってブリッジπ型モデルは、適用範囲に注意して使用することが必要であるが、一般の回路応用においては抵抗の寄生容量の影響が甚大な領域での使用は少ないため、次の例にみるように、このブリッジπ型モデルで実用上十分の精度が得られる。

#### 4.7 応用例

上述のブリッジπ型モデルを回路シミュレータに組込み、アナログICの回路設計に適用した。その結果の例を二つ示す。

図4.11はNIC（負性インピーダンス変換器）を用いたビデオ帯アクティブ・フィルタIC（3.58 MHzのBand Pass Filter）の例[1]である。この回路では破線内のNICの部分の抵抗の寄生容量によってフィルタ特性が敏感に変化する。



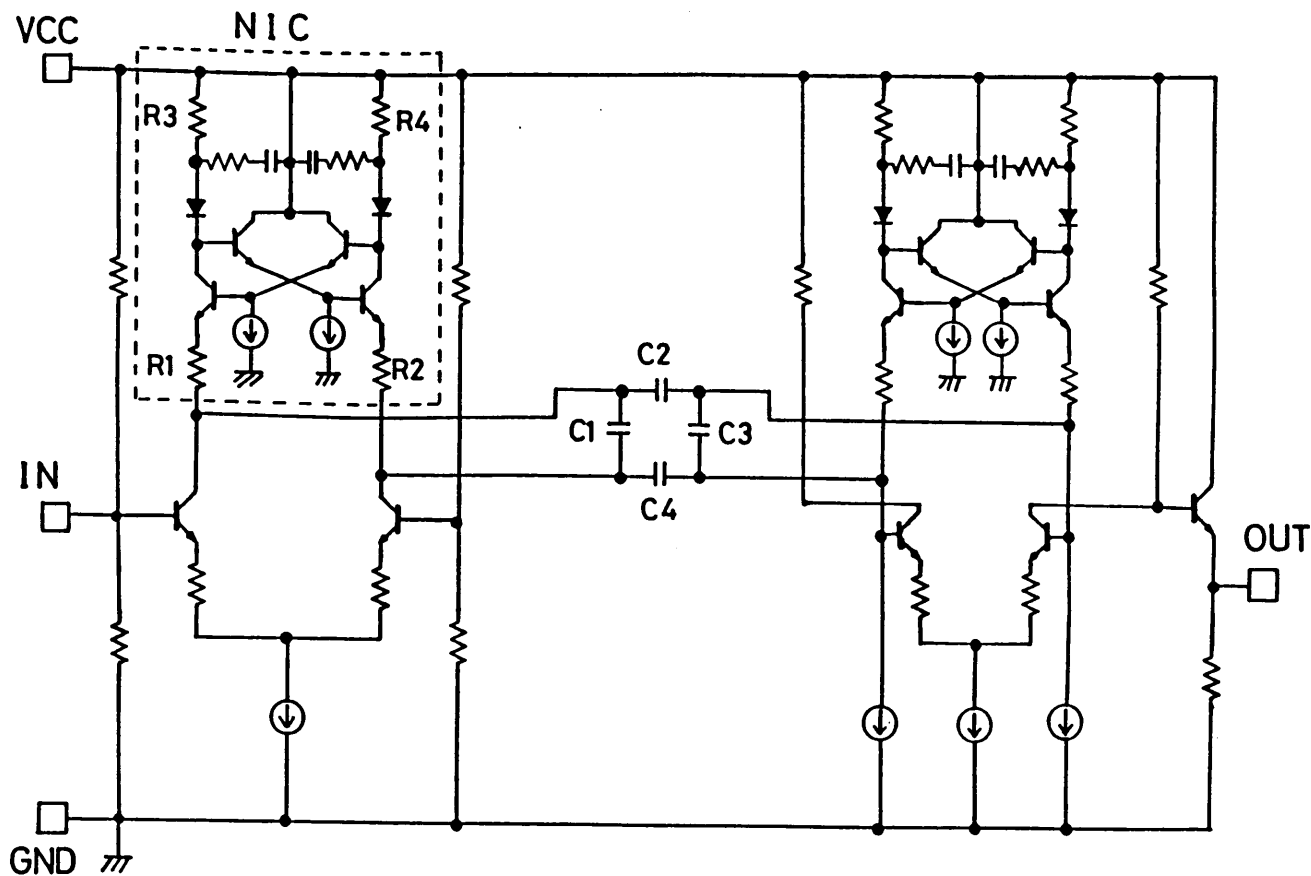


図 4.11 負性インピーダンス変換器 (NIC) を用いたビデオ帯アクティブ・フィルタ

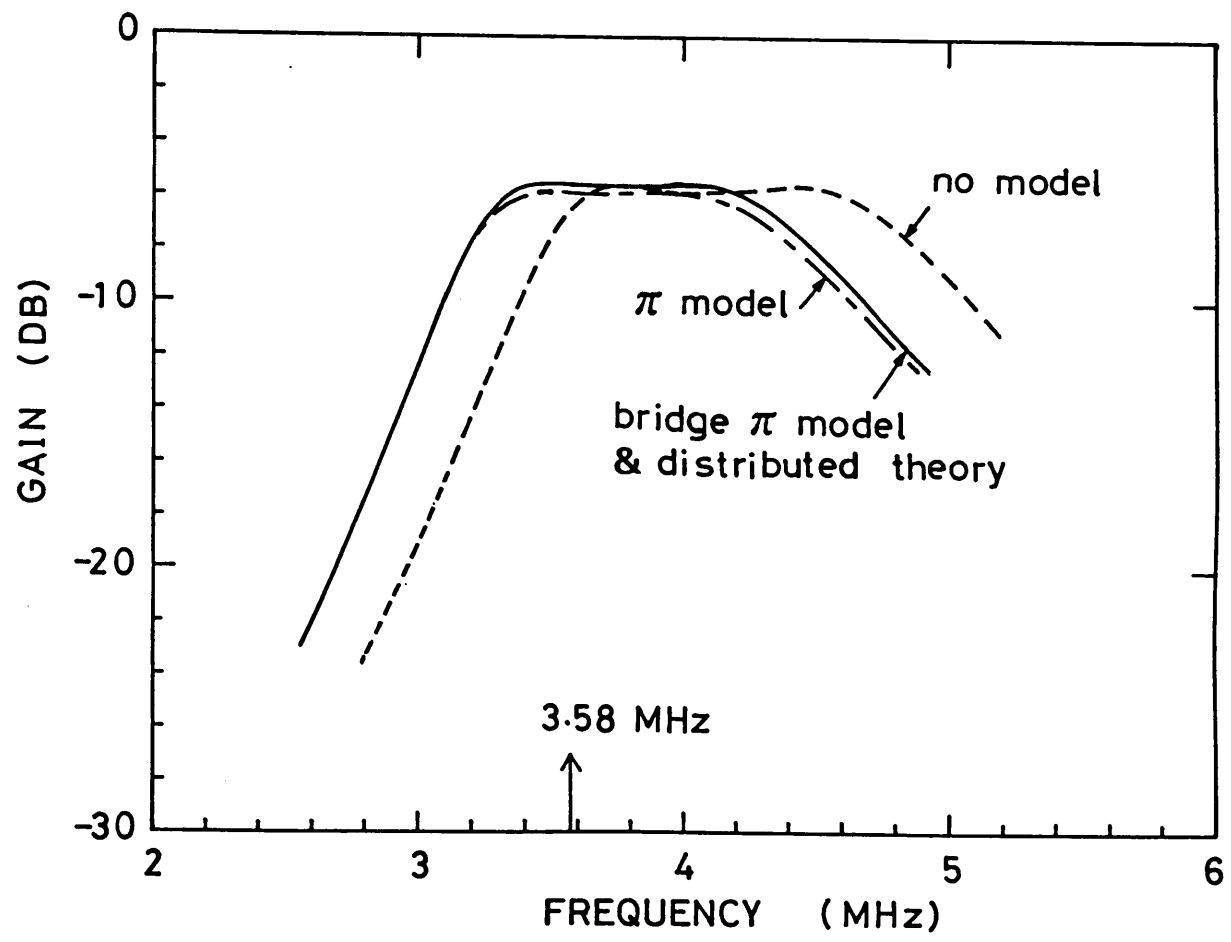


図 4.12 ブリッジπ型モデルによるビデオ帯アクティブ・フィルタ IC の回路シミュレーション結果

図4.12に、最終的に設計されたフィルタICの回路シミュレーション結果を示す。

図で実線がブリッジ $\pi$ 型モデル、一点鎖線が従来 $\pi$ 型モデルによるシミュレーション結果であり、両者は高周波側で若干のずれを示した。なお均一分布定数回路の理論解によるシミュレーションは、実線のブリッジ $\pi$ 型モデルに完全に重なる結果となった。参考までに抵抗の寄生容量がないときのシミュレーションを破線で示したが、この場合中心周波数が4MHz以上に大きくシフトしており、このようなICの回路設計には分布容量を含む抵抗のモデルの使用が不可欠であることがわかる。

次に図4.13にビデオディスクプレイヤー用ICの色信号分離回路部を示す。この回路では3.58MHzの周波数における出力OUTの位相遅れが問題となる。回路内の抵抗に対し、上述の高周波モデルを用いたときの位相特性のシミュレーション結果を図4.14に示す。3.58MHzにおける位相遅れは、IC実測値で $-26^\circ$ （図の+印）であった。ブリッジ $\pi$ 型モデルを用いたシミュレーション結果を図に実線で示すが、3.58MHzでは $-27^\circ$ とほぼ実測値に近い位相遅れが得られた。これに対し従来 $\pi$ 型モデル（図の一点鎖線）では $-31^\circ$ と実測値よりやや大きい位相遅れを示し、また寄生容量のない抵抗のみ（図の破線）では $-18^\circ$ と実測値と大きな不一致を示した。なお均一分布定数回路の理論解を用いたシミュレーション結果は、ほぼブリッジ $\pi$ 型モデルの結果に重なり、3.58MHzでの位相遅れは $-27^\circ$ となった。この例では、ブリッジ $\pi$ 型モデルと均一分布定数回路の理論解との差は、15MHzの周波数で約 $1^\circ$ 現われるにすぎない。

#### 4.8 まとめ

本章では、分布定数回路の解析に基づいて、集積化抵抗の高周波モデルとして新しくブリッジ $\pi$ 型モデルを提案した。

回路シミュレータに組込むモデルとしては、式(4.7)の分布定数回路の理論解をそのまま用いることも可能であるが、等価回路で表現できないため簡便な回路計算には使えない欠点がある。これに対しこのブリッジ $\pi$ 型モデルは、従来 $\pi$ 型モデルの両端に $-\frac{C}{6}$ の負性容量を付加した等価回路で表わすことができる。

このモデルを実際のアナログIC内抵抗の実測された高周波特性と比較した結果、3dB低下カットオフ周波数 $\left(\frac{1}{\pi RC}\right)$ 以下の領域では均一分布定数回路の理論解とほぼ

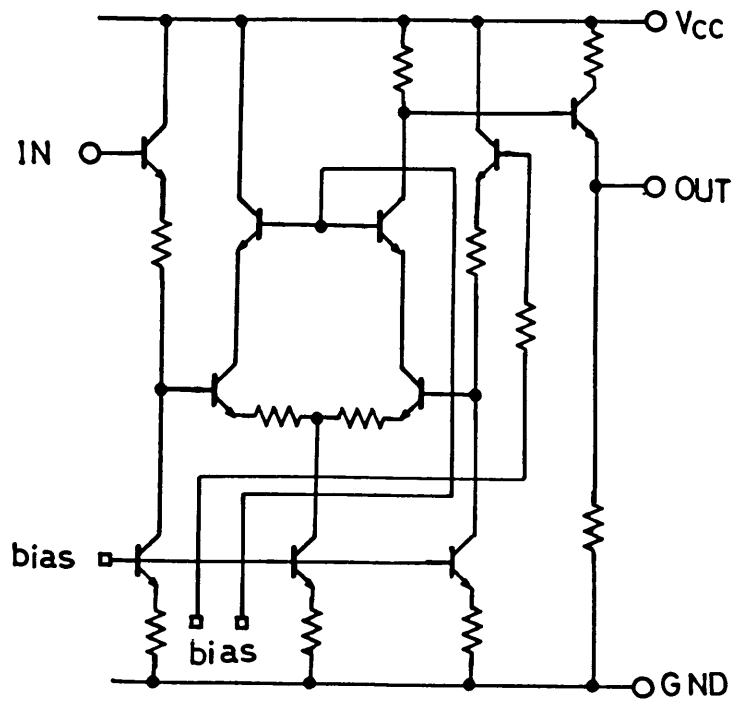


図 4.13 ビデオディスクプレイヤー用 IC の色信号分離回路

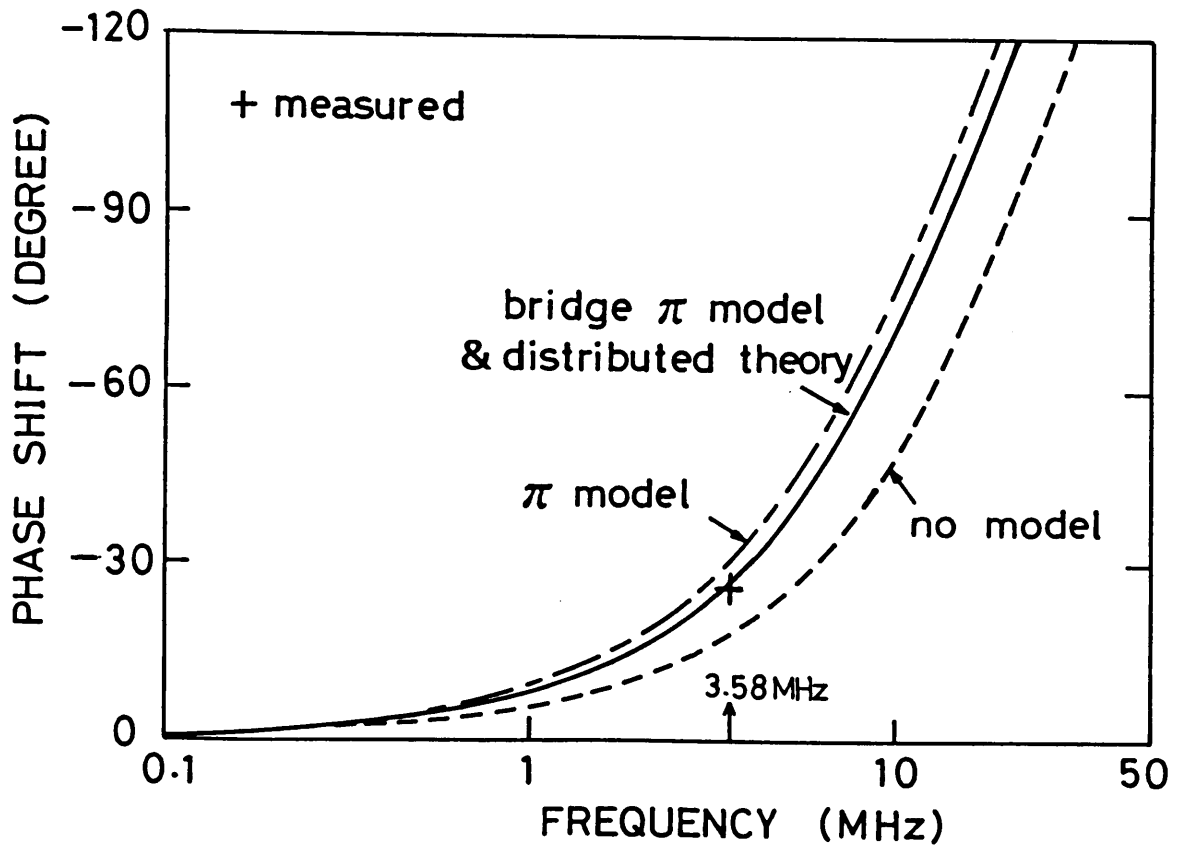


図 4.14 ブリッジ $\pi$ 型モデルによる色信号分離回路の回路シミュレーション結果

同等の良好な精度をもつことがわかった。本モデルは、ビデオ帯アクティブフィルタおよびビデオディスプレイ用色信号分離回路への応用においても実用上十分な精度を示した。

今後アナログICの高周波化に伴って、ここで検討したような寄生の分布容量をもつ抵抗の高周波モデルの必要性が増大すると考えられる。

#### 第4章の参考文献

- [1] 熊沢, 柳沢, “平衡形NICを用いたビデオ帯能動フィルタ”, 電子通信学会, 論文誌 C, J68-C, 3, pp.240-247 (1985-3).
- [2] 冠昇, “無線機の小型化とLSI”, 電子通信学会誌, VOL.68, No.11, pp.1238-1241 (1985-11).
- [3] Y.Yoshii, M.Nakamura, K.Hirasawa, A.Kayanuma and K.Asano, “An 8b 350 MHz Flash ADC”, in Dig. Tech. Papers, IEEE Int. Solid-State Circuits Conf., pp.96-97 (Feb.1987).
- [4] A.B.Grebene, “Analog Integrated Circuit Design”, Litton Educational Publishing, Inc. (1972).
- [5] 熊谷, 尾崎, “過渡現象論”, 共立出版 (1959).
- [6] S.K.Ghandhi, “The Theory and Practice of Microelectronics”, John Wiley and Sons (1968).
- [7] A.B.Glaser and G.E.Subak-Shape, “Integrated Circuit Engineering”, Addison-Wesley Publishing Co. (1977).
- [8] P.R.Gray and R.G.Meyer, “Analysis and Design of Analog Integrated Circuits”, John Wiley and Sons (1977).
- [9] H.R.Camenzind, “Circuit Design for Integrated Electronics”, Addison-Wesley Publishing Company, Inc. (1968).
- [10] M.K.Chen, F.A.Lindholm, and B.S.Wu, “Comparison and Extension of Recent One-Dimensional Bipolar Transistor Models,” IEEE Trans. Electron Devices, vol.35, no. 7, pp. 1096-1106 (July 1988).
- [11] T.Watanabe, et al, “HIT-An Analog/Digital Bipolar VLSI Technology”, Symposium on VLSI Technology, 7-8, pp.108-109 (Sept.1982).
- [12] P.A.H.Hart, “Bipolar transistors and Integrated circuits”, Handbook on Semiconductors, Volume 4, North-Holland Publishing Company (1981).

# 第5章 基板電流を含むバイポーラ トランジスタ複合モデル

## 5.1 はじめに

最新プロセスのバイポーラLSIでは、高集積化および高速化をはかるため、薄いエピタキシャル層を用いてデバイスを微細化する[1], [2]。この微細化したバイポーラトランジスタにおいては、集積化構造に由来する寄生サブPNPトランジスタが動作して不要な電流が基板に流れる現象が発生する。この基板電流は、たとえばBi-CMOS回路等で電源電圧余裕低下の要因となる。本章では、このようなバイポーラトランジスタの基板電流を回路シミュレーションに導入するため、NPNトランジスタおよびラテラルPNPトランジスタに対し、寄生サブPNPを考慮した複合モデルを提案し、その基板電流の計算に必要なモデルパラメータ抽出法をのべる。これらの複合モデルをBi-CMOSメモリ用NPNトランジスタおよびアナログプロセス用ラテラルPNPトランジスタに適用し、基板電流を含む直流特性および飽和特性を高精度にシミュレーションできることを示す。またBi-CMOSメモリのデコーダ・メモリセル部の回路シミュレーションへ本モデルを応用した結果を述べる。

## 5.2 NPNトランジスタの複合モデル

### 5.2.1 基板電流

IC上のNPNトランジスタには、第2章に示した図2.2aの構造でわかるように、P型ベース層、N型エピタキシャル層およびP型基板からなる寄生のサブPNPトランジスタが構造的に付随している。従来この寄生PNPトランジスタの電流増幅率は、エピタキシャル層が厚いことおよびN+埋込層があることによって低く抑えられていた。しかし最新のバイポーラプロセスでは、とくに高速化のためエピタキシャル層が $1\mu\text{m}$ 程度まで薄くなり、N+埋込層があっても寄生PNPの $h_{FE}$ が大きいものが出てきている。このためバイポーラトランジスタが飽和しそのベースコレクタ接合が順バイアスされるとき、ベ

一層からホールがエピタキシャル層に注入され、逆バイアスされたコレクタサブ接合により集められてかなりの電流が基板に流れる。

一つの例として、図5.1にBi-CMOSメモリ用バイポーラトランジスタ（エミッタ面積； $1\mu \times 5\mu$ ）の測定例を示す。この例ではコレクタエミッタ電圧 $V_{CE}$ が2Vであるが、ベースエミッタ電圧 $V_{BE}$ が1.2V以上で飽和に入るに従い基板電流 $I_{SUB}$ が観測されるとともにベース電流 $I_B$ に不連続なコブが現われる。このトランジスタに付随する寄生サブPNPトランジスタの $h_{FE}$ を測定すると、その値はピークで25と大きい。

このような基板電流は、TTLのような飽和型回路[3]のほか、最近開発の進んでいるBi-CMOS回路[4]、[5]などで問題となる。たとえば図5.2に示すBi-CMOSインバータでは、二つのバイポーラトランジスタがスイッチング時に飽和して基板電流が流れる。

### 5.2.2 モデル化

バイポーラトランジスタの基板電流は、そのIC化構造に存在する寄生サブPNPトランジスタに原因がある。そこでこの寄生トランジスタをどのようにバイポーラモデルに取り込むかが問題となる。図2.2aのIC用NPNトランジスタでは、その構造上、真にトランジスタとして動作する領域はN+エミッタの直下部分であり、他は寄生部分である。このことからエミッタ直下部分を真性のNPNトランジスタとし、その周辺部分を寄生PNPトランジスタと考えることができる。この寄生サブPNPトランジスタは、一般にNPNの飽和時に動作するだけであるから、計算の効率上できるだけ簡単にすることが望ましい。（すでにのべた3章のモデルでは、高周波特性の観点から寄生サブPNPトランジスタの二つの接合容量のみを考えた。）

そこで、寄生サブPNPトランジスタを以下のように簡易化してNPNトランジスタモデルに取り込むことにした。まず図2.2aの構造で、寄生サブPNPトランジスタのベースコレクタ間空乏層（もとのNPNトランジスタのコレクタサブ間空乏層）はP型基板側にのびるためアーリー効果は無視できると考えられる[6]。また通常の動作状態では、寄生サブPNPトランジスタは飽和することはないためその逆方向特性も無視できる。これらより寄生サブPNPトランジスタを、図5.3のBS間に示すように、ベース電流を分流するダイオード $I_S$ と基板電流を表わす電流源 $I_{SUB}$ に簡略化した。そして基礎とな

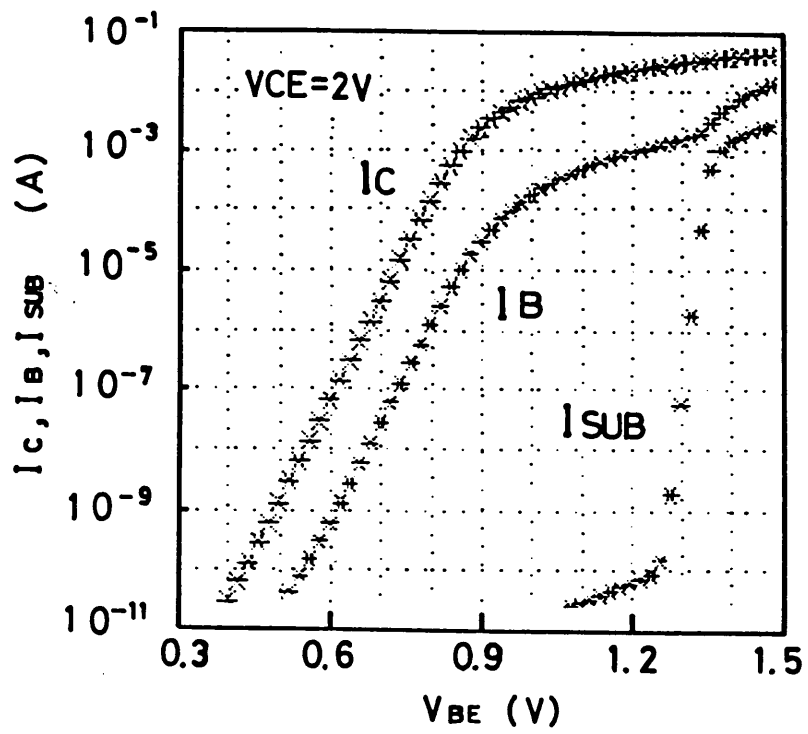


図5.1 Bi-CMOSメモリ用バイポーラトランジスタの基板電流測定例

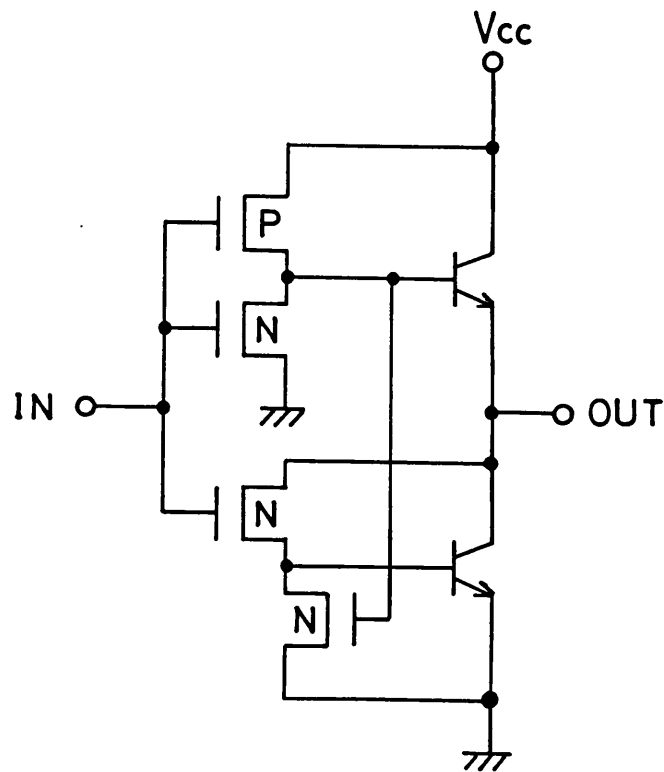


図5.2 Bi-CMOSインバータ回路



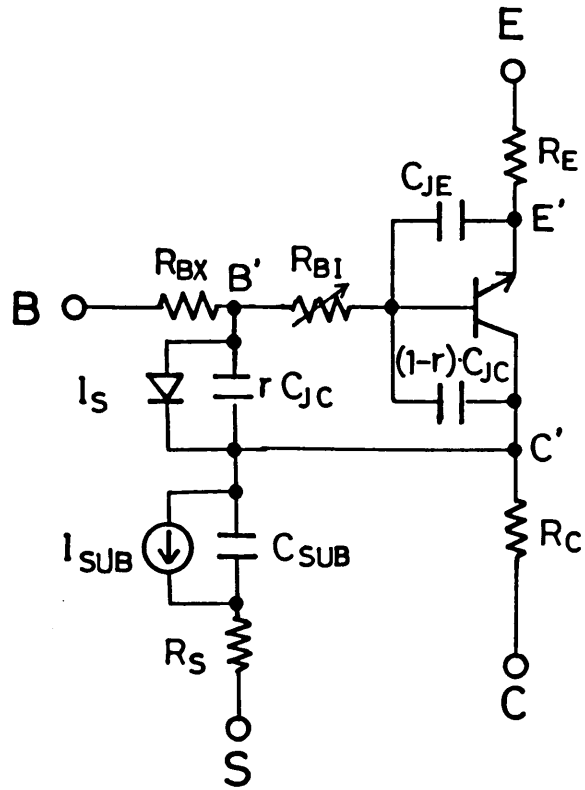


図 5.3 基板電流を含む複合バイポーラモデル (NPN)

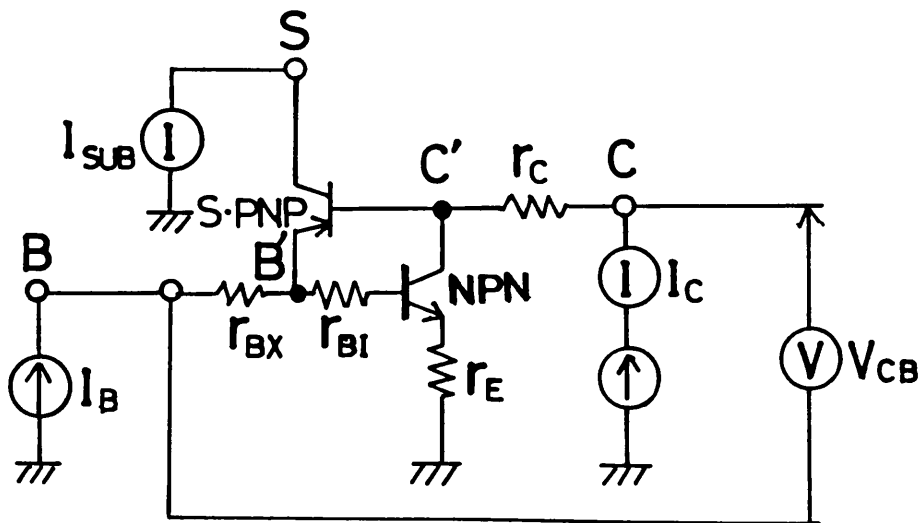


図 5.4 基板電流法によるコレクタ抵抗測定回路

るバイポーラモデルとしてGummel-Poonモデル [7] を前提し、基板電流を次式でモデル化した。

$$I_{SUB} = I_{SB} / q_B [\exp(V_B' c' / V_T) - 1] \quad (V_T = kT/q) \quad (5.1)$$

$$q_B = 1/2 + \sqrt{1/4 + I_{SB} / I_{KS} [\exp(V_B' c' / V_T) - 1]} \quad (5.2)$$

$q_B$  は、Gummel-Poonモデルの規格化ベース電荷を表わす。またダイオードの飽和電流  $I_S$  は次式で与える。

$$I_S = (1 + q_B / \beta_S) I_{SUB} \quad (5.3)$$

ここで  $\beta_S$  は寄生サブPNPの電流増幅率、 $I_{SB}$  はその飽和電流、 $I_{KS}$  はknee電流を表わすパラメータである。

このようにして既知のバイポーラモデル(Gummel-Poon)に寄生サブPNPトランジスタを取り込める。さらに3章でのべた拡張モデルの考えに基づき、エミッタ直下部分(真性NPN)とその周辺部分(寄生サブPNP)に分割し、IC化構造の寄生素子を考慮すると、図5.3の複合バイポーラモデルが得られる。この複合バイポーラモデルで、 $R_{BI}$  はエミッタ領域直下の内部ベース抵抗、 $R_{BX}$  は外部ベース抵抗を表わし、 $R_C$ 、 $R_E$ 、 $R_S$  はコレクタ、エミッタ、サブの各端子の寄生直列抵抗である。また分割比  $r$  は、元のNPNトランジスタのベースコレクタ間接合容量  $C_{JC}$  のうち、エミッタ直下部を除く寄生部の全領域に対する割合を示す。すなわち、

$$r = 1 - A_E / A_C$$

であり、 $A_E$  はN型エミッタ領域の面積、 $A_C$  はP型ベース領域の面積である。すでにのべたように  $C_{JC}$  の分割により、モデルの高周波特性の高精度化がはかられている。

以上をまとめて、図5.3の基板電流を含む複合モデルは、DC的には既知のバイポーラモデル(Gummel-Poon)に式(5.1)、(5.2)で与えられる電流源  $I_{SUB}$ 、および式(5.3)で与えられるダイオードを付加し、AC的には容量分割を行って、容易に回

路シミュレータに組み込むことができる。

### 5.2.3 モデルパラメータの抽出法

図5.3の複合モデルでは、基板電流の導入に伴う新パラメータ、およびNPNトランジスタ自体のモデルパラメータを決定する必要がある。NPNトランジスタの電流増幅率 $\beta_F$ および飽和電流 $I_S$ など主要なモデルパラメータは、通常の抽出法で抽出できるが、このうちコレクタ抵抗 $R_C$ と逆方向電流増幅率 $\beta_R$ の抽出には注意を要する。

#### (1) 基板電流パラメータの抽出

基板電流の導入に伴う新パラメータは、 $I_{SB}$ 、 $I_{KS}$ 、および $\beta_S$ の3つである。このうち $I_{SB}$ および $I_{KS}$ は、図5.1のような $I_{SUB} - V_{BE}$ 特性を測定して求める。すなわち低電流側の1点( $V_{BEX}$ 、 $I_{SUBX}$ )より、次式から $I_{SB}$ を抽出する。

$$I_{SB} = I_{SUBX} \cdot \exp(-V_{BEX}/V_T) \quad (5.4)$$

knee電流 $I_{KS}$ は、 $I_{SUB} - V_{BE}$ 特性の高電流領域から対数の傾き $n=1$ と $n=2$ の交点で求める。また寄生サブPNPの電流増幅率 $\beta_S$ は、その $h_{FE} - I_C$ 特性を測定して、そのピーク値とする。

#### (2) コレクタ抵抗の抽出

コレクタ抵抗 $R_C$ の値によってNPNトランジスタの飽和が決まるため、 $R_C$ の抽出はNPN複合モデルの直流精度上キーポイントである。高電流 $I_C - V_{CE}$ 特性の飽和領域の傾きから抽出する従来の方法[8]では、飽和領域のコレクタ電流に基板電流が重畳しているため、正確なコレクタ抵抗値が得られない。このような基板電流が流れるデバイスでの $R_C$ の抽出には基板電流法[9]が適している。

基板電流法による $R_C$ の測定回路を図5.4に示す。この方法の基本的な考え方は、NPNトランジスタのコレクタベース間電圧 $V_{CE}$ を小さくして飽和動作させ、基板電流 $I_{SUB}$ が一定になる条件下で、コレクタ電流 $I_C$ およびコレクタベース間電圧 $V_{CE}$ を何点か変化させて測定し、次式より $R_C$ を決定するものである。

$$V_{CB} = R_{BX} I_C / h_{FE} + V_{B'C'} - R_C I_C \quad (5.5)$$

一般に  $R_{BX}/h_{FE}$  は小さいので第一項は無視でき、また  $I_{SUB}$  が一定ならば  $V_{B'C'}$  も一定となるから、 $V_{CB}$  および  $I_C$  の測定点が2点以上あれば上式より  $R_C$  が決定できることになる。

### (3) 逆方向電流増幅率 $\beta_R$ の補正

NPNトランジスタの  $\beta_R$  は、通常、トランジスタを逆接続してエミッタ電流  $I_E$  とベース電流  $I_B$  の比を測定することにより得られる。しかし複合モデルではベース電流のうち一部はダイオードを通して基板側に流れるので、これを考慮して  $\beta_R$  を補正しなければならない。すなわち全ベース電流を  $I_B$ 、NPNへの正味のベース電流を  $I_{B_1}$  とすれば、

$$I_{B_1} = I_B - (1 + 1/\beta_S) I_{SUB} \quad (5.6)$$

$$\beta_R = I_E / I_{B_1} \quad (5.7)$$

により  $\beta_R$  が補正できる。ここで  $\beta_S$  は寄生サブPNPの電流増幅率パラメータであり、上記(1)であらかじめ決定しておく。 $I_E$ 、 $I_B$  および  $I_{SUB}$  は逆接続NPNトランジスタの測定値とする。

#### 5.2.4 測定値との比較

上式の基板電流を含む複合モデルを、Bi-CMOSメモリ用バイポーラトランジスタ ( $A_E = 1 \mu \times 5 \mu$ ) の測定値と比較した。その結果を図5.5～図5.6に示す。

測定サンプルは、プローバ測定に伴う接触抵抗を避けるため、すべてTO-5パッケージに組み立て、各特性を測定した。

図5.5は順方向  $I_C$ 、 $I_B$ 、 $I_{SUB} - V_{BE}$  特性である。図5.5より、従来の単体モデル(たとえば Gummel-Poon)では現われない基板電流  $I_{SUB}$  およびベース電流  $I_B$  のコブが、この複合モデル(実線)を用いて良くシミュレートできていることがわかる。図5.5の特性

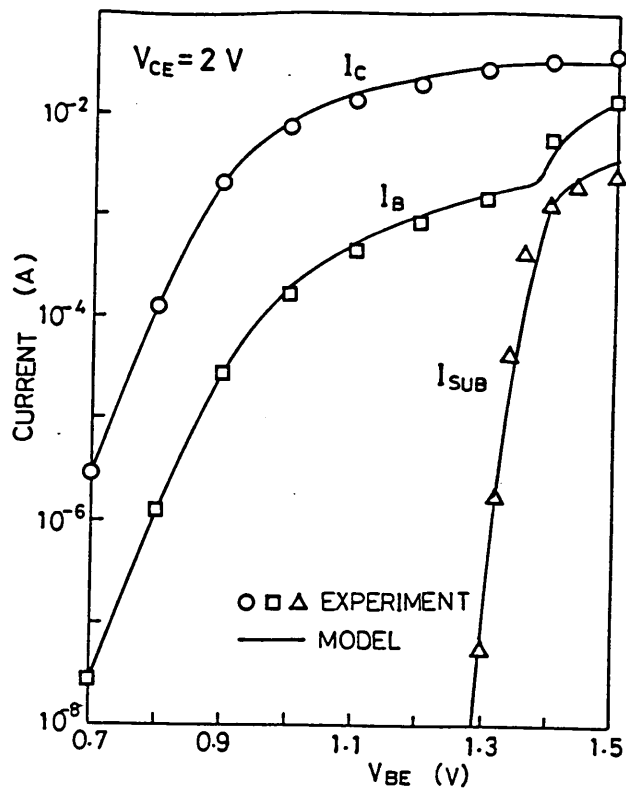


図 5.5 複合バイポーラモデルと測定値の比較  
順方向  $I_C$ ,  $I_B$ ,  $I_{SUB}$  -  $V_{BE}$  特性 (NPN)

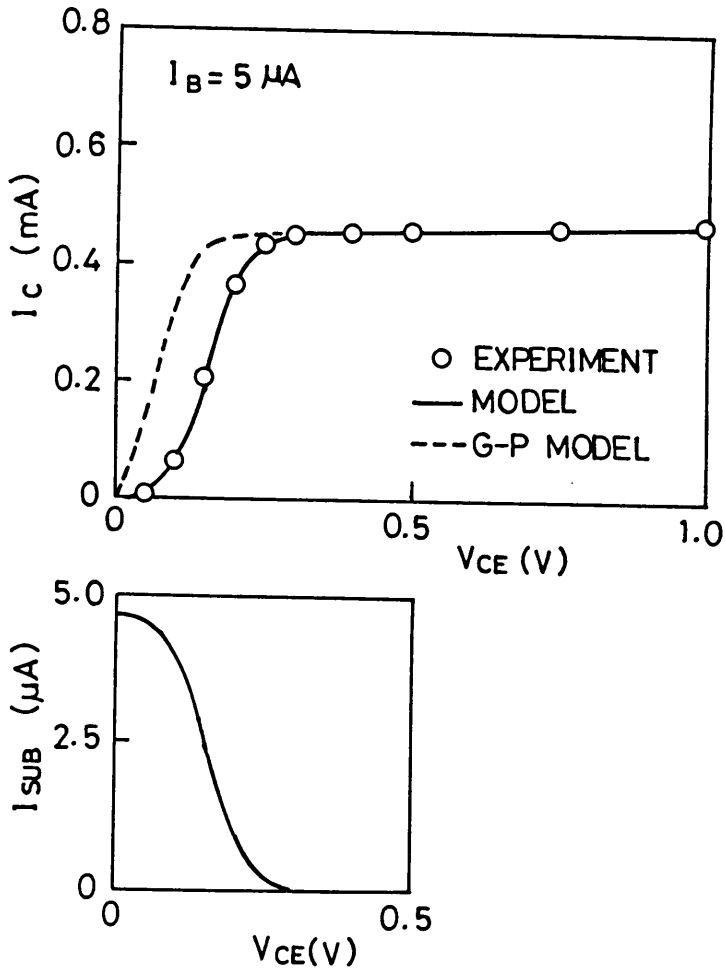


図 5.6 複合バイポーラモデルの  $I_C$  -  $V_{CE}$  飽和特性への効果 (NPN)

において、複合モデルによる基板電流のシミュレーション値が測定値と良い一致を示しているが、この良好な精度は主に基板電流法でコレクタ抵抗を求めたことによる。

図5.6は、複合モデルの $I_C - V_{CE}$ 特性（飽和領域部）への効果を示す。ここで実線が複合モデル、破線が従来G-Pモデルである。注目すべきことは、複合モデルによる飽和領域のシミュレーション時には図5.6下に示すようにピーク値で約 $5 \mu A$ の基板電流が流れていることである。すなわち破線の $I_C - V_{CE}$ 特性（G-Pモデル）に基板電流 $I_{SUB}$ が重畳して実線の特性（複合モデル）となる。

### 5.3 ラテラルPNPトランジスタの複合モデル

#### 5.3.1 モデル化

ラテラルPNPトランジスタの場合には、上述のNPNトランジスタと異なり、寄生のPNPトランジスタを二つ考える必要がある。すなわちラテラルPNPトランジスタの典型的なデバイス構造は図5.7のようになり、P型エミッタ直下部とP型コレクタ直下部に二つの寄生サブPNPトランジスタを持つ。

二つのサブPNPトランジスタと各部の寄生抵抗を考慮し、かつNPNトランジスタの場合と同様に、寄生サブPNPのアーリー効果および逆方向特性を無視してモデルを単純化することにより、図5.8に示す複合バイポーラモデルを得た。ここで $I_{S1}$ および $I_{S2}$ のダイオードは、それぞれエミッタ側寄生サブPNPおよびコレクタ側寄生サブPNPの各ベース電流を分流するダイオード、また電流源 $I_{SUB}$ はエミッタ側およびコレクタ側の寄生サブPNPによる基板電流の総和を表す。

図5.8の複合モデルの基板電流は次式で計算する。

$$\begin{aligned}
 I_{SUB} &= I_{SUB1} + I_{SUB2} \\
 &= \frac{I_{SB1}}{q_{SB1}} E_1 + \frac{I_{SB2}}{q_{SB2}} E_2 \quad (5.8)
 \end{aligned}$$

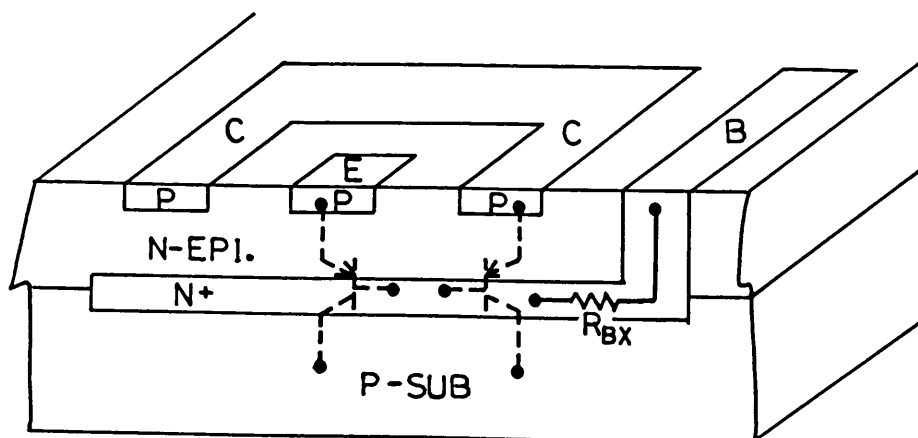


図5.7 IC用ラテラルPNPトランジスタにおける  
二つの寄生サブPNPトランジスタ

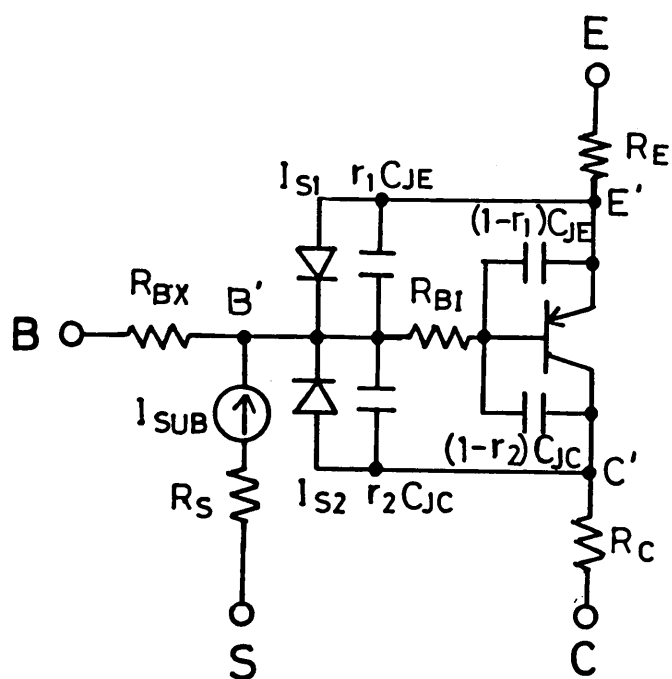


図5.8 基板電流を含む複合バイポーラモデル (ラテラルPNP)

$$q_{SB_1} = \frac{1}{2} + \sqrt{\frac{1}{4} + \frac{I_{SB_1}}{I_{KS_1}} E_1} \quad (5.9)$$

$$q_{SB_2} = \frac{1}{2} + \sqrt{\frac{1}{4} + \frac{I_{SB_2}}{I_{KS_2}} E_2} \quad (5.10)$$

ここに、

$$E_1 = \exp\left(\frac{V_{B'E'}}{V_T}\right) - 1$$

$$E_2 = \exp\left(\frac{V_{B'C'}}{V_T}\right) - 1$$

また各ダイオードの飽和電流は次式で与えられる。

$$I_{S_1} = \left(1 + \frac{1}{\beta_{S_1}}\right) I_{SUB_1} \quad (5.11)$$

$$I_{S_2} = \left(1 + \frac{1}{\beta_{S_2}}\right) I_{SUB_2} \quad (5.12)$$

ここで  $\beta_{S_1}$  はエミッタ側サブPNPの電流増幅率、 $I_{SB_1}$  はその飽和電流、 $I_{KS_1}$  はそのknee電流を表すパラメータであり、 $\beta_{S_2}$ 、 $I_{SB_2}$  および  $I_{KS_2}$  はコレクタ側サブPNPの同様なパラメータである。

こうして図5.8のラテラルPNP用複合モデルは、従来のバイポーラモデル（たとえば、Gummel-Poonモデル）にダイオード  $I_{S_1}$ 、 $I_{S_2}$  および基板電流  $I_{SUB}$  を追加するのみで、回路シミュレータに組み込み可能となる。

### 5.3.2 モデルパラメータの抽出



### (1) 基板電流パラメータの抽出

図5.8の複合モデルで、基板電流に関する新規パラメータは、 $I_{SB1}$ 、 $I_{KS1}$ 、 $\beta_{S1}$  および  $I_{SB2}$ 、 $I_{KS2}$ 、 $\beta_{S2}$  の6つである。このうち  $I_{SB1}$ 、 $I_{KS1}$  はラテラルPNPの順方向  $I_{SUB}-V_{BE}$  特性から、また  $I_{SB2}$ 、 $I_{KS2}$  は逆方向  $I_{SUB}-V_{BC}$  特性から前述の場合(式(5.4))と同様に抽出する。また  $\beta_{S1}$  はエミッタ側サブPNP、 $\beta_{S2}$  はコレクタ側サブPNPの直流電流増幅率  $h_{FE}$  を測定して求める。

### (2) 順方向電流増幅率 $\beta_F$ および逆方向電流増幅率 $\beta_R$ の補正

ラテラルPNPトランジスタの場合、順方向でエミッタ側寄生サブPNPが動作し、ベースの端子電流を分流するため、 $\beta_R$  の補正と共に  $\beta_F$  も補正する必要がある。そこで順方向では、全ベース電流を  $I_B$  からラテラルPNPへの正味のベース電流  $I_{B1}$  を求め、次式により  $\beta_F$  の補正值  $\beta_{F'}$  を求める。

$$I_{B1} = I_B - \frac{I_{SUB1}}{\beta_{S1}}$$

$$\beta_{F'} = \frac{I_C}{I_{B1}}$$

ここで  $\beta_{S1}$  はエミッタ側寄生サブPNPの電流増幅率であり、上記のようにしてあらかじめ抽出されているものとする。

同様に  $\beta_R$  についても、コレクタ側の寄生サブPNPの  $I_{SUB2}$ 、 $\beta_{S2}$  を用いて補正する。

### 5.3.3 測定値との比較

上述の複合モデルをアナログプロセスのラテラルPNPトランジスタ（エミッタ面積  $6\mu\text{m}^2$ 、ベース幅  $W_B = 3\mu\text{m}$ ）に適用した結果を以下に示す。

図5.9に順方向  $I_C$ 、 $I_B$ 、 $I_{SUB}-V_{BE}$  特性に対し、モデルと測定値の比較を示す。図5.9から、複合モデル（実線）を用いることにより、基板電流  $I_{SUB}$  を計算できることが

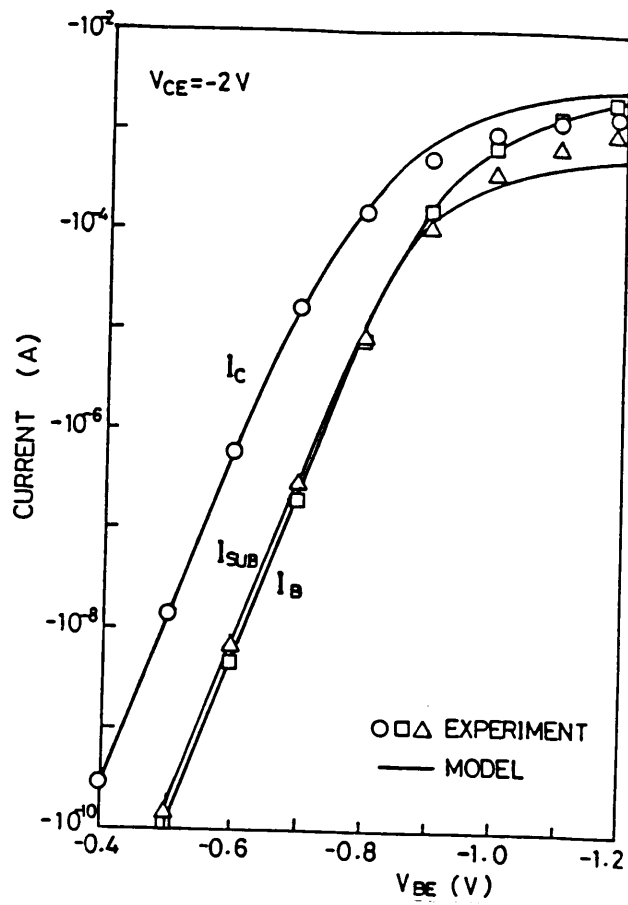


図 5.9 複合バイポーラモデルと測定値の比較  
順方向  $I_C$ ,  $I_B$ ,  $I_{SUB}$  -  $V_{BE}$  特性 (ラテラル PNP)

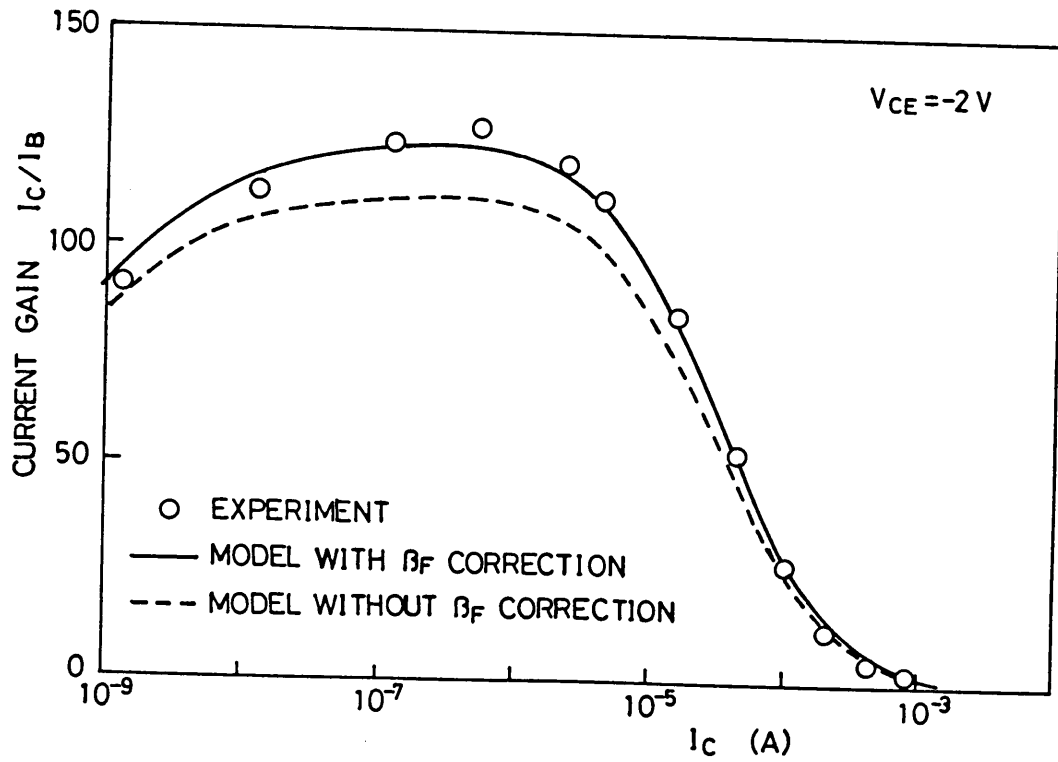


図 5.10 複合バイポーラモデル使用時のパラメータ  $\beta_F$  の補正 (ラテラル PNP)

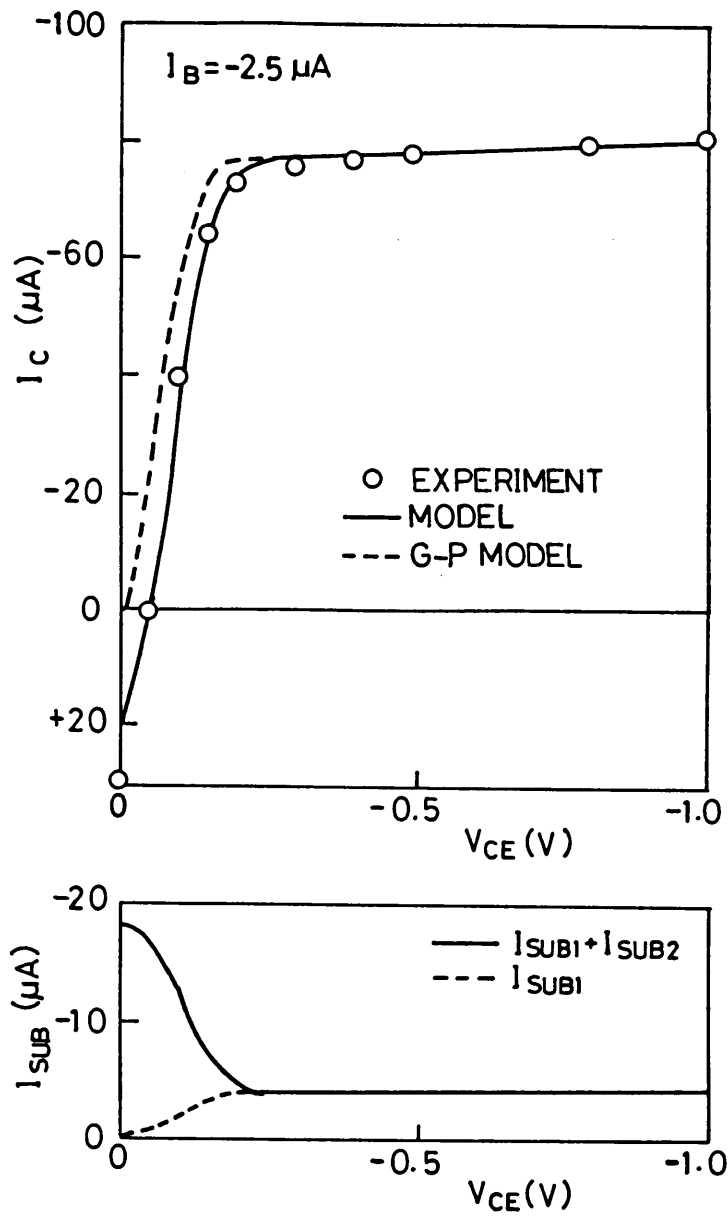


図 5.11 複合バイポーラモデルの  $I_C - V_{CE}$  飽和特性への効果 (ラテラル PNP)

わかる。ここで $\beta_F$ は前節でのべた方法で補正しており、その補正前と補正後を比較すると図5.10のようになる。(補正前の $\beta_F$ は132, 補正後は147.2である。)

また図5.11は、複合モデルの $I_C-V_{CE}$ 特性への効果を示す。従来の単体モデルに比べ、飽和領域の精度が向上する。注目すべきは、このとき図5.11下のように基板電流 $I_{SUB}$ は $V_{CE}$ が約0.2V以下の飽和領域ではコレクタ側起因の $I_{SUB}$ がピークで $20\mu A$ 近く流れ、約0.2V以上の活性領域ではエミッタ側起因の $I_{SUB}$ が常に $4\mu A$ 流れていることである。この $I_{SUB}$ は、 $I_C$ レベルが増大するとさらに増大する。

#### 5.4 Bi-CMOSメモリ回路への応用

基板電流を含む複合バイポーラモデルの過渡解析への応用例として、Bi-CMOSメモリにおけるデコーダ・メモリセル部(図5.12)の電源マージンを解析した例を図5.13に示す。ここでデコーダ回路部のBi-CMOSゲート(図5.12破線部)に複合バイポーラモデル(図5.3)を使用し、重負荷時( $C_L=10pF$ )における基板電流 $I_{SUB}$ の影響を解析した。

この例においては、図5.12の破線内のバイポーラトランジスタが過渡的に飽和に入る。飽和時の過渡波形は、5.2.3節で述べたDCパラメータとともにACパラメータにより定まる。そのACパラメータのうち容量パラメータについては、各接合容量 $C_{JE}$ ,  $C_{JC}$ ,  $C_{SUB}$ の電圧依存性を通常のように測定し、これを図5.3のように分割比 $r$ を用いてNPNと寄生サブPNPに配分した。また飽和時の蓄積時間をきめるパラメータについては、NPNトランジスタを逆接続(コレクタとエミッタを逆)にして $f_T-I_C$ 特性を測定し、これより求められる走行時間を寄生サブPNPトランジスタの順方向走行時間 $T_F$ とし、他方NPNトランジスタの逆方向走行時間 $T_R$ は0とした。これは分割比(寄生部の全領域に対する割合) $r$ が0.95と大きいからである。

図5.13の回路シミュレーション結果をみると、電源電圧 $V_{CC}$ が5Vのときはメモリセルの電位 $V_{CELL}$ は正常に保持されているが、8Vではバイポーラの基板電流 $I_{SUB}$ がピークで $300\mu A$ 流れるため、寄生NPNの $Q_1$ がオンし、メモリ情報が破壊されるメカニズムが解析されている。

なおこの解析でMOSトランジスタの基板電流(数 $\mu A$ )はバイポーラに比べ小さいため無視している。またこの回路で負荷が軽いときは、基板電流よりも基板容量 $C_{SUB}$ の変

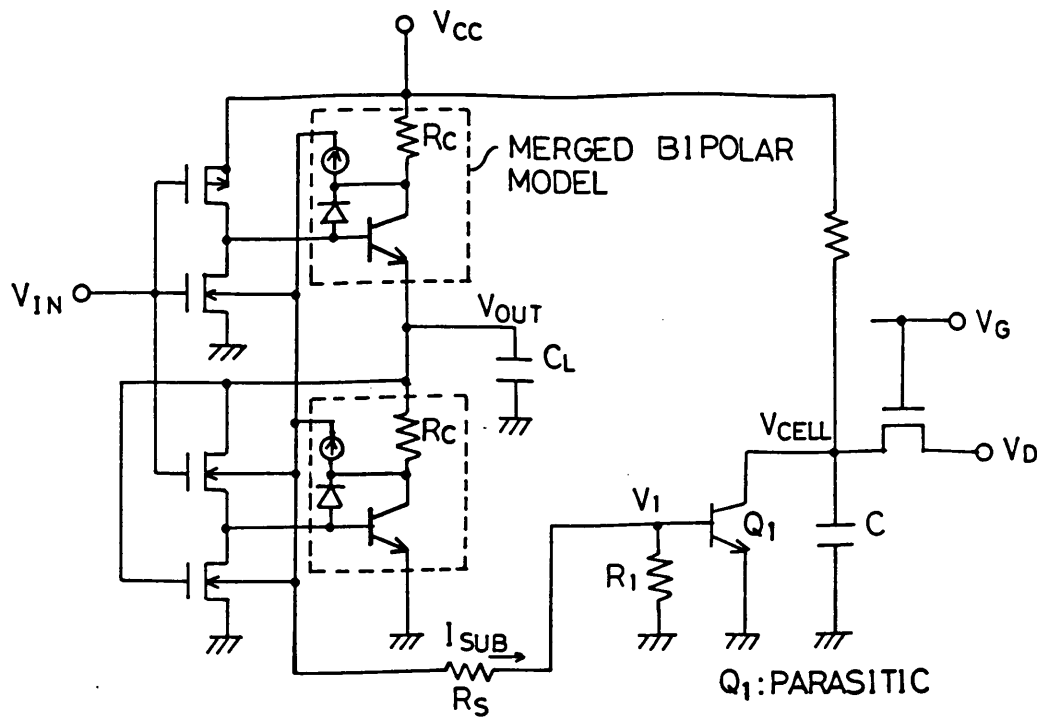


図 5.12 Bi-CMOSメモリにおけるデコーダ・メモリセル部

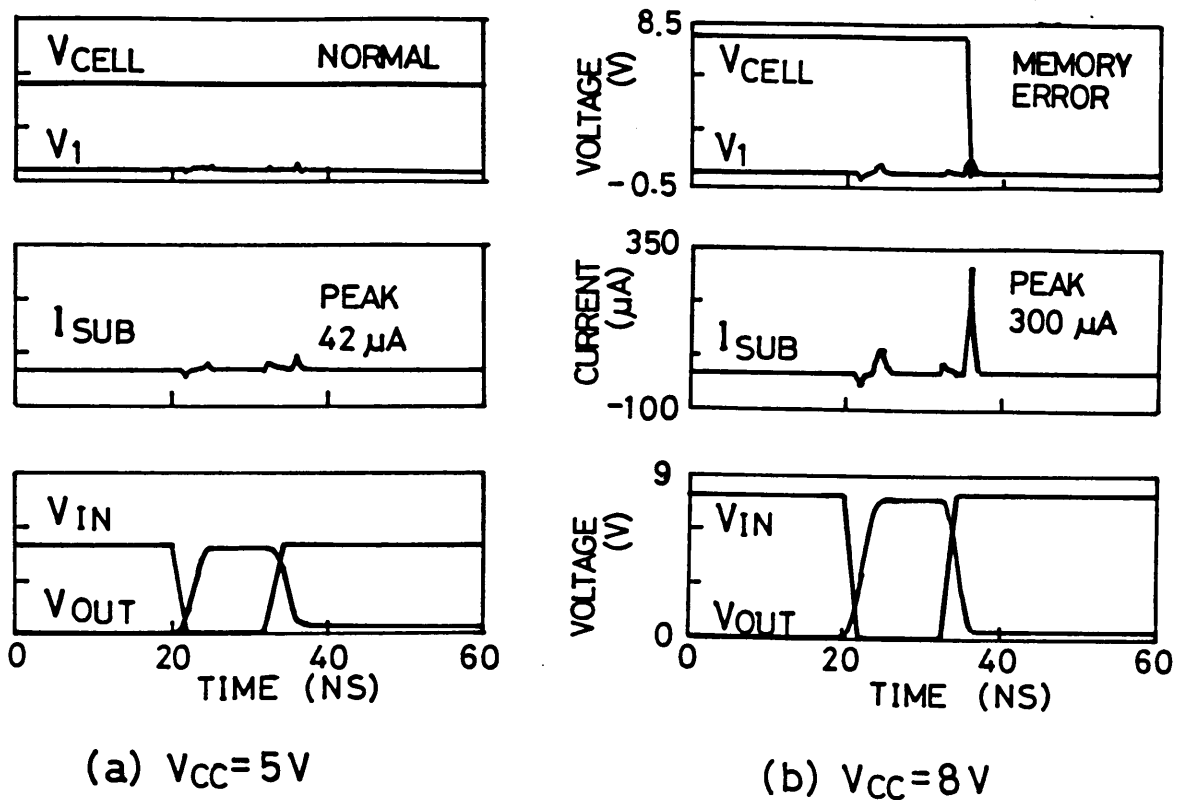


図 5.13 Bi-CMOSデコーダ・メモリセル部の複合バイポーラモデルによる回路シミュレーション結果 ( $C_L = 10 \text{ pF}$ ,  $C_{\text{sub}} = 0$ )

位電流の影響が支配的となる。

## 5.5. まとめ

本章では、最新プロセスの高速、高集積バイポーラトランジスタに発生する基板電流を回路解析に導入するための複合モデルを検討した。

まずNPNトランジスタに対しては、従来のモデル (Gummel-Poon) に1つのダイオードと電流源を追加した複合モデル、またラテラルPNPトランジスタに対しては、従来のモデルに2つのダイオードと電流源を追加した複合モデルを考案した。これらの複合モデルにおいて、基板電流の導入に伴う新パラメータはNPNで3つ、PNPで6つである。モデル使用に当たっては、これらの新パラメータとともに、NPNトランジスタではコレクタ抵抗 $R_C$ および逆方向電流増幅率 $\beta_R$ 、ラテラルPNPトランジスタでは、順方向電流増幅率 $\beta_F$ および逆方向電流増幅率 $\beta_R$ のパラメータ抽出が、モデルの精度を確保する上でポイントとなる。

これらの複合モデルをBi-CMOSメモリ用NPNトランジスタおよびアナログプロセス用ラテラルPNPトランジスタの直流特性に適用した結果、従来の単体モデルでは解析できない基板電流の影響がシミュレーションでき、さらにその飽和特性に関し従来より良好な精度が得られることがわかった。本モデルを用いて、Bi-CMOSメモリ (デコーダ・メモリセル部) の電源電圧マージンが低下する現象をシミュレーションすることに成功した。今後の問題として、MOSトランジスタの基板電流を含めたBi-CMOS回路の解析がある。

なお本モデルの発表 [10] 後、Bi-CMOS回路シミュレーション用のバイポーラモデルとして、NPNトランジスタにサブPNPトランジスタを結合したアプローチ [11] が発表されている。しかしながらこのアプローチはICの回路規模が大きくなると多数のノード数を要するため、本モデルに比べて計算時間の点で効率的でないと考えられる。

## 第5章の参考文献

- [ 1 ] M.Vora, Y.L.Ho, S.Bhamre, F.Chien, G.Bakker, H.Hingarh and C.Schmitz, " A Sub-100 Picosecond Bipolar ECL Technology", Int. Electron Devices Meeting Tech. Digest, pp.34-37 (Dec. 1986).
- [ 2 ] T.Nakamura, K.Ikeda, K.Nakazato, K.Washio, and T.Hayashida, " 63ps ECL Circuits using Advanced SICOS Technology ", Int. Electron Devices Meeting Tech. Digest, pp.472-475 (Dec. 1986).
- [ 3 ] D.J.Hamilton and W.G.Howard, " Basic Integrated Circuit Engineering ", McGraw-Hill, Inc. (1975).
- [ 4 ] T.Ikeda, T.Nagano, N.Momma, K.Miyata, H. Higuchi, M.Odaka, and K.Ogiue, "Advanced Bi-CMOS Technology for High Speed VLSI", Int. Electron Devices Meeting Tech. Digest, pp. 408-411 (1986).
- [ 5 ] 渡辺,平石,長野,池田,増田, "バイポーラCMOS複合LSI技術の提案と今後の展望", 電子情報通信学会, 論文誌C, J 7 0 - C, 8, pp.1115-1123 (1987年8月).
- [ 6 ] H.C. de Graaff, "Compact Bipolar Transistor Modeling", Advances In CAD for VLSI Volume 1, Process and Device Modeling, Edited by W.L.Engl, North-Holland (1986).
- [ 7 ] H.K.Gummel and H.C.Poon, "An Integral Charge Control Model of Bipolar Transistor", Bell Syst. Tech. J.,49, pp827-852 (1970).
- [ 8 ] I.Getreu, "Modeling the Bipolar Transistor", Tektronix,Inc. (1976).
- [ 9 ] W.D. Mack and Mark Horowitz, "Measurement of Series Collector Resistance in Bipolar Transistors", IEEE J.of Solid-State Circuits, Vol. SC-17, No.4, pp.767-773 (1983).
- [10] 猪平, 新美, 樋口, 飯田, 大河原, " 基板電流を含む複合バイポーラトランジスタモデル, " 電子情報通信学会, 論文誌C, J 7 1 - C, 12, pp.1625-1633 ( 1988年12月).
- [11] D.J.F.Doyle and W.A.Lane, " Circuit Modeling of Bipolar Transistors for Bi-CMOS, " IEEE J. of Solid-State Circuits, vol.24, No. 1, pp.189-193(Feb. 1989).

# 第6章 製造バラツキを考慮した IC内デバイスの統計モデル

## 6.1 はじめに

バイポーラICでは、その基本デバイスとなるバイポーラトランジスタの電流増幅率 $h_{FE}$ 、オン時のベース・エミッタ間電圧 $V_{BE}$ 、および抵抗の製造バラツキは非常に大きい。たとえばトランジスタの $h_{FE}$ 値のバラツキは、中心値（ノミナル値）を100とすると、50～200位あるのが普通である。デバイスパラメータのこのような製造バラツキによる回路特性の変動を要求される仕様内に納めること（マージン設計）は、ICの信頼度と歩留りを確保するうえでIC設計のひとつのキーとなる。本章では少し観点を変えて、このようなマージン設計のための統計モデルを研究する。

前章までバイポーラICの回路シミュレーションに必要なデバイスモデル、とくにバイポーラ・トランジスタと抵抗に関する高周波モデル、基板電流を含む直流および過渡モデルを中心にのべてきた。これらのモデルはICの中心値設計のものであり、本章の統計モデルとの関係は図6.1のようになる。すなわち統計モデルにより発生したデバイスパラメータ群が各デバイスモデルへの入力パラメータとして使われ、バラツキを考慮して完全なIC設計が行える。

本章では、まずアナログICの生産工場より収集したデバイスの製造バラツキに関する測定データを分析し、その分析に基づき、製造バラツキを考慮したIC内デバイスの統計モデルを提案する。この統計モデルは、デバイスの絶対値のバラツキ、ペアデバイス間の整合バラツキ、およびデバイス間の相関係数などを入力として、製造プロセスの変動によって生じるICのデバイスパラメータの統計的変動を再現しうる能力をもち、前章までのノミナル値のデバイスモデルとリンクして、既存の回路シミュレータに取り込むことにより、アナログICの回路特性の変動の予測を可能とする。



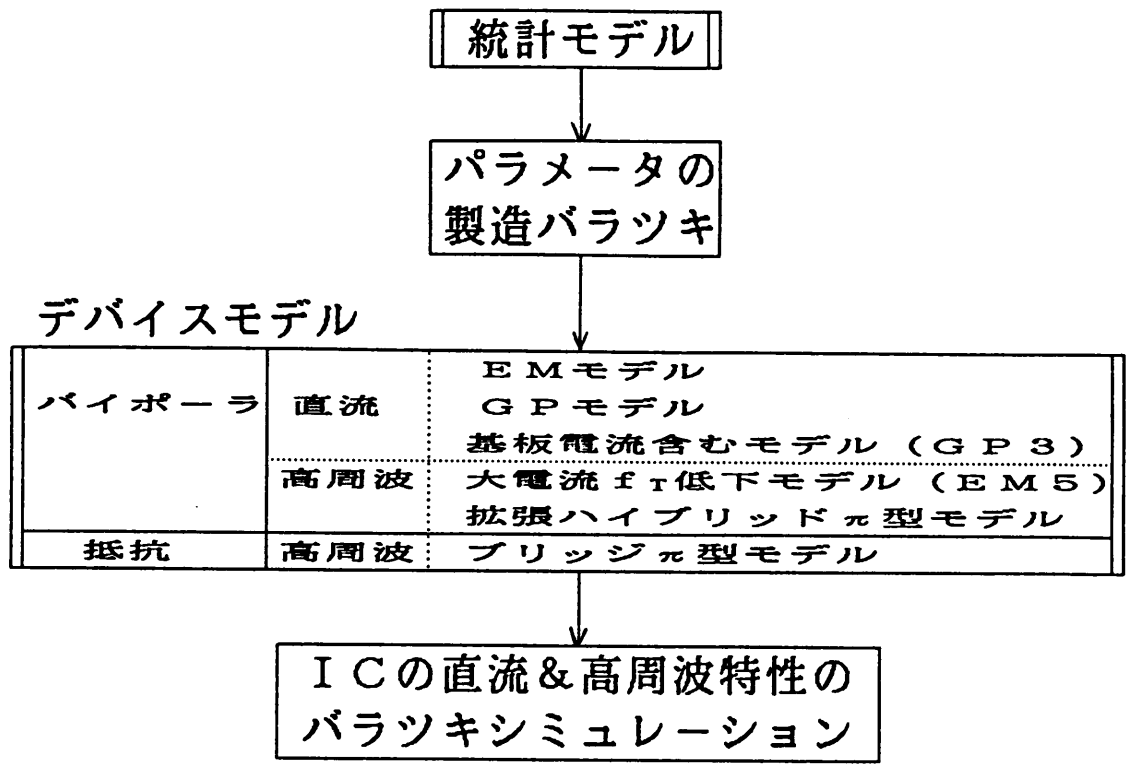


図6.1 統計モデルとデバイスモデルの関係

## 6.2 アナログIC内デバイスの製造バラツキの分析

ICにおけるデバイスのバラツキの特徴は、図6.2に示すように、各デバイスパラメータがそれぞれ平均値のまわりにある分布をもつとともに、そのデバイスパラメータ間に強い相関（図6.2の楕円）のあることである。たとえば今縦軸が、アナログIC中のNPNトランジスタの $h_{FE}$ 値、横軸がベース拡散抵抗の抵抗値とすれば、あるICチップを製造ロットから任意に採ったとき、その $h_{FE}$ 値が高ければ抵抗値も高く、 $h_{FE}$ 値が低ければその抵抗値も低い方にずれるのが普通である。IC設計者の間に知られるパラメータ・マッチングもこのIC中のデバイスパラメータ間相関の一部である。このような相関は、ディスクリートのデバイスで構成された回路にはなく、同一プロセスで同一チップ上にデバイスが形成されるICに特有の現象であるといえる。

もしこのような特徴をもつICのバラツキ（変動）設計に対し、従来良く知られたワーストケース法や単純なモンテカルロ法を適用すると、結果はきわめて誤差の多いものとなる。それはこれらの方法では、IC中では物理的に実現しないデバイスパラメータの組合せ点（図の四隅の点および円上の点）を用いて回路計算を行うことになるからである。

そこでICの回路特有の変動を正確に予測するためには、このようなデバイスパラメータのバラツキの分布と相関（図6.2の楕円）を含むモデル（統計モデル）をつくることがキーポイントとなる[1]、[2]。

IC内の二つのデバイスを例に、デバイスのバラツキにおける相関の重要性を上記のべたが、このような相関はIC内に使用される全てのデバイス間に発生する。そこで実際に製造されるアナログICで、その相関がどのようなになっているかを調べた。以下の分析は、実際のアナログICの製造工場ではウェーハ検査用デバイスの測定データのバラツキを調査して得られた。

アナログIC内デバイスのバラツキには、二つのレベルの相関がある。一つは、トランジスタとトランジスタ間、抵抗と抵抗間、あるいはトランジスタと抵抗に生じるデバイス間相関であり、もう一つは、デバイス内相関、たとえばトランジスタの電流増幅率 $h_{FE}$ と飽和電流 $I_{SS}$ との間のデバイス内パラメータ間相関である。

図6.3は、アナログIC中の主要なデバイス間相関を測定したものである。ここではパラメータとして、NPNトランジスタ、ラテラルPNPトランジスタの $h_{FE}$ 値、ベース拡散抵抗(BR)およびピンチ抵抗の各抵抗値、およびツェナーダイオードのツェナー電

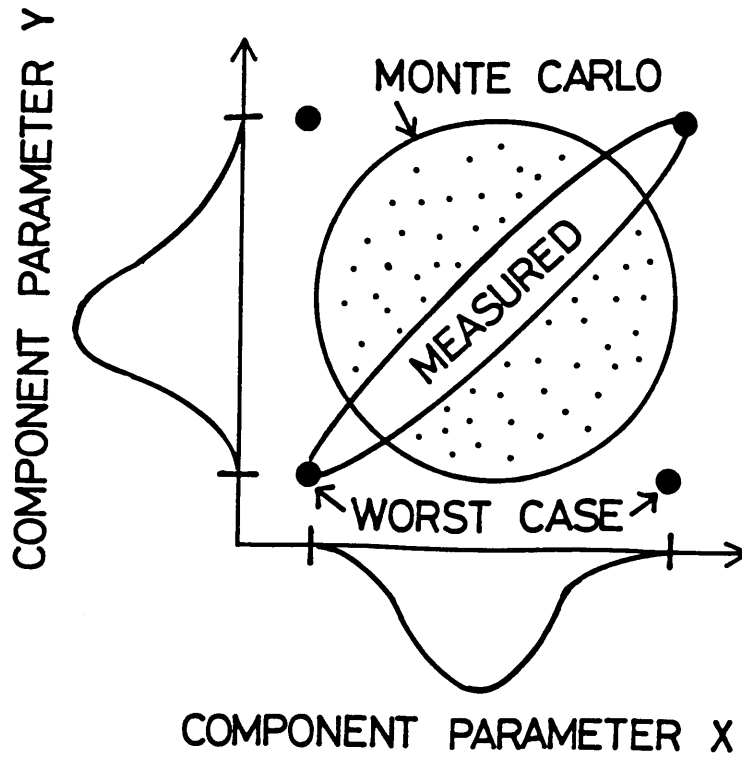


図 6.2 IC内デバイスのバラツキの散布図

		TRANSISTOR (h <sub>FE</sub> )		RESISTOR (R)		ZENER (V <sub>z</sub> )
		NPN	L-PNP	BR	PINCH	(V <sub>z</sub> )
TRANSISTOR (h <sub>FE</sub> )	NPN	0.99				
	L-PNP	0.51	0.82			
RESISTOR (R)	BR	0.72	0.30	0.95		
	PINCH	0.99	0.50	0.72	0.99	
ZENER (V <sub>z</sub> )		0.51	0.32	0.27	0.42	—

図 6.3 アナログ ICにおける主要なデバイス間相関係数の測定値

圧が採られている。数値は相関係数であり、以下の式で計算した。

$$r = \frac{\frac{1}{N} \sum_{i=1}^N (a_i - m_a) (b_i - m_b)}{\sigma_a \sigma_b} \quad (6.1)$$

ここで $m_a$ および $m_b$ はデバイスパラメータ $a$ および $b$ の平均値、また $\sigma_a$ 、 $\sigma_b$ はその標準偏差値である。相関係数は、相関が強いほど1に、弱いほど0になる性質がある。この図の各相関係数は、それぞれ100サンプルの試料の測定データから抽出した。図で対角部は同種のデバイス間の相関係数、非対角部は異種のデバイス間の相関係数を表わす。例えば、対角部のBR抵抗-BR抵抗間0.95という数値は、集積回路の同種のデバイス、つまりあるベース拡散抵抗 $R_1$ とあるベース拡散抵抗 $R_2$ の各バラツキが、図中の散布図のような相関（これは抵抗比で5%程度に相当する）をもつことに対応している。

相関はプロセスが同じでデバイス構造に近いほど強くなる。このため同種のデバイス間では、図の対角部にあるように、0.8以上の強い相関が得られる。あとでのべるように、設計上とくに問題になるのはこの種の強い相関である。

一方、図6.3の非対角部に示す異種のデバイス間相関、すなわちNPNトランジスタとBR抵抗間またはNPNトランジスタとL・PNP（ラテラルPNP）トランジスタ間等の相関は、同種間に比べて弱い相関となるが、NPNトランジスタとピンチ抵抗間のようにデバイス構造の類似性が強いものは相関が高くなる。

デバイス内パラメータ間相関も、図6.3と同様な相関行列で表わすことができる。NPNトランジスタのDCパラメータを測定し、そのパラメータ間相関を求めた例を図6.4に示す。これらのトランジスタパラメータは、製造された8ロット、27ウェーハから取り出した102個のトランジスタ（エミッタ面積 $20\mu m \times 20\mu m$ ）である。パラメータの測定および抽出は、HP9836をコントローラとする自動化システム[3]により行った。使用したモデルは、第2章および第3章でのべた拡張エバースモルモデル（EM5モデル）である。

図6.4より、トランジスタ内パラメータ間相関では、 $h_{FE}$ - $I_{SS}$ 間、または $h_{FE}$ - $V_{BE}$ 間の相関が特に強いことがわかる。他のパラメータ、 $R_B$ 、 $V_A$ 、 $\beta_R$ 、 $R_{CO}$ および $b$

	$h_{FE}$	$V_{BE}$	$I_{SS}$	$R_B$	$R_{C1}$	$R_{C0}$	$b$	$V_A$	$\beta_R$
$h_{FE}$	1								
$V_{BE}$	-0.86	1							
$I_{SS}$	0.89	-0.98	1						
$R_B$	0.68	-0.62	0.69	1					
$R_{C1}$	-0.31	0.27	-0.26	-0.19	1				
$R_{C0}$	-0.65	0.68	-0.66	-0.53	0.08	1			
$b$	-0.60	0.59	-0.58	-0.42	-0.40	0.75	1		
$V_A$	-0.80	0.86	-0.82	-0.55	0.36	0.55	0.47	1	
$\beta_R$	0.81	-0.78	0.78	0.51	-0.24	-0.55	-0.46	-0.82	1

図6.4 NPNトランジスタ内のDCパラメータ間相関係数の測定値

は、これらの3つのパラメータ ( $h_{FE}$ ,  $V_{BE}$ ,  $I_{SS}$ ) との間に若干の相関をもつ。また飽和コレクタ抵抗  $R_{C1}$  は他のパラメータとの間に相関がほとんどない。

次にトランジスタ内各パラメータのバラツキの分布に対しては、他でも報告 [1] されているのと同様に、次のような特徴が見出された。

- (1) トランジスタの  $h_{FE}$  および  $I_{SS}$  の分布は、右に尾を引く三角形分布、すなわち対数正規分布を示すが  $V_{BE}$  の分布はほぼ正規分布を示す。
- (2) 抵抗については、ピンチ抵抗がトランジスタの  $h_{FE}$  と同じ対数正規分布となるが、他の抵抗、ベース拡散抵抗およびエピタキシャル抵抗はほぼ正規分布に近い。

### 6.3 統計モデル

前節でのべたように、アナログ IC 内デバイスパラメータのバラツキには、二種の相関、すなわちデバイス間相関およびデバイス内 (パラメータ間) 相関がある。したがって IC のバラツキを正確にシミュレーションするための統計モデルは、これらの二種の相関と適当な分布を含む必要がある。このうちデバイス間相関のモデルが、実際の応用では最も重要である。それは、多くのアナログ IC の設計では、抵抗比のバラツキあるいはトランジスタの  $V_{BE}$  差のバラツキといったペアデバイス間の整合 (マッチング) がキーの設計パラメータになるからである。

従来ベル研究所のButler等は、統計モデルとして線型回帰式によるモデル (これを回帰モデルと呼ぶ) を用いている [1]。しかしこのモデルでは IC 中の任意のペアデバイス間相関を任意の組合せで形成できない。そこで筆者は、ペアデバイス間相関を取り扱えるモデルとして、以下にのべる主成分モデルをデバイス間相関に、回帰モデルをデバイス内相関に用いる結合モデルを提案した [4]。

#### 6.3.1 主成分モデル

互いに相関のある多種の変量をもつ情報を、互いに相関のない少数個の変量 (これを主成分と呼ぶ) に要約してデータのバラツキを解析する手法に主成分分析法 [5] がある。ここではこの主成分分析法の理論を応用し、相関のない主成分から出発して互いに相関のある変量を発生させる方法を検討する。

いま正規分布で、相関のある多変量を  $y [y_i; i = 1, 2, \dots, n]$  とし、これを次のように規格化しておく。

$$\bar{y}_i = \frac{y_i - m_i}{\sigma_i} \quad (i = 1, 2, \dots, n) \quad (6.2)$$

ここで  $m_i, \sigma_i$  は各変量  $y_i$  の平均値および標準偏差を表す。

一方、変量  $y$  の相関行列を

$$R = \begin{bmatrix} 1 & r_{12} & \cdots & r_{1n} \\ r_{21} & 1 & \cdots & r_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ r_{n1} & r_{n2} & \cdots & 1 \end{bmatrix} \quad (6.3)$$

とし、この行列の固有値および固有ベクトルを求める。

$$\begin{aligned} R u^{(j)} &= \lambda_j u^{(j)} \\ u^{(j)} &= (u_{j1}, u_{j2}, \dots, u_{jn}) \\ &\quad (j = 1, 2, \dots, n) \end{aligned} \quad (6.4)$$

次にこれらの固有値および固有ベクトルからなる行列を作り、これらを

$$\Lambda = \begin{bmatrix} \lambda_1 & & & 0 \\ & \lambda_2 & & \\ & & \ddots & \\ 0 & & & \lambda_n \end{bmatrix} \quad (6.5)$$

$$U = \begin{bmatrix} u_{11} & u_{21} & \cdots & u_{n1} \\ u_{12} & u_{22} & \cdots & u_{n2} \\ \vdots & \vdots & \ddots & \vdots \\ u_{1n} & u_{2n} & \cdots & u_{nn} \end{bmatrix} \quad (6.6)$$

とする。

以上の諸量を用いて、一般に相関のある多変量  $y$  に対する主成分  $x$  は次式で求められる。

$$\mathbf{x} = \Lambda^{-1/2} \mathbf{U}^{-1} \bar{\mathbf{y}} \quad (6.7)$$

このようにして求められた主成分  $x$  の各成分  $x_i$  は、相互の相関が 0 となる。主成分分析法とは、式 (6.7) のように相関行列（規格化されていない変量では分散共分散行列）の固有値問題を解いて互いに独立な主成分を求め、データのバラツキを分析する手法であるが、この理論を逆に用いれば、相関のない主成分  $x$ （すなわち独立な乱数）から出発して互いに相関のある変量  $y$  を発生させることができる。

すなわち式 (6.7) より、

$$\bar{\mathbf{y}} = \mathbf{U} \Lambda^{1/2} \mathbf{x} \quad (6.8)$$

を得る。これを各成分で示すと、

$$\begin{bmatrix} \bar{y}_1 \\ \bar{y}_2 \\ \vdots \\ \bar{y}_n \end{bmatrix} = \begin{bmatrix} u_{11} & u_{21} & \cdots & u_{n1} \\ u_{12} & u_{22} & \cdots & u_{n2} \\ \vdots & \vdots & & \vdots \\ u_{1n} & u_{2n} & \cdots & u_{nn} \end{bmatrix} \begin{bmatrix} \sqrt{\lambda_1} & & & 0 \\ & \sqrt{\lambda_2} & & \\ & & \ddots & \\ 0 & & & \sqrt{\lambda_n} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix} \quad (6.9)$$

となる。

そこで適当な方法により  $n$  個の正規乱数  $N(0, 1)$  を発生させ、これを  $\mathbf{x} = (x_1, x_2, \dots, x_n)^t$  とする。次に相関行列  $R$  の固有値および固有ベクトルからなる行列  $\Lambda$  および  $\mathbf{U}$  を用いて、式 (6.9) より相関のある正規化量  $\bar{\mathbf{y}}$  を計算すれば、

$$y_i = m_i + \sigma_i \bar{y}_i \quad (i = 1, 2, \dots, n) \quad (6.10)$$

により相関のある変量  $y_i$  が発生できることになる。

多次元の相関パラメータを発生する既知の方法 (Moonanの方法 [6]) に対し、この主



成分モデルの利点は固有値をもちいて相関行列の非負性がチェックできることにある。これよりこのモデルでは、IC設計で重要なペアデバイスの相関を扱うことが可能になる。

### 6.3.2 回帰モデル

多変量の中で二つの変量間の相関が強く他は無視しうる場合、次のような線型回帰式に基づく相関モデルを考えることができる。いま二つの変数  $x_1$ ,  $x_2$  について  $N$  個のデータがあるとする。この変量を  $x_1^{(j)}$ ,  $x_2^{(j)}$  ( $j = 1, 2, \dots, N$ ) とし、その間に線型の相関を仮定すると、変量  $x_2^{(j)}$  は

$$\hat{x}_2^{(j)} = a + b x_1^{(j)} \quad (6.11)$$

なる関係により、変量  $x_1^{(j)}$  から予測できる。ここに、 $\hat{x}_2^{(j)}$  は  $x_2^{(j)}$  の予測値である。この係数  $a$ ,  $b$  は最小二乗法によって次のように定まる。

$$a = m_1 - b m_2 \quad (6.12)$$

$$b = r_{12} \frac{\sigma_2}{\sigma_1}$$

ここに  $m_1$ ,  $m_2$  は変量  $x_1^{(j)}$ ,  $x_2^{(j)}$  の平均値,  $\sigma_1$ ,  $\sigma_2$  はその標準偏差, また  $r_{12}$  は変量間の相関係数である。次に変量  $x_2^{(j)}$  と予測値  $\hat{x}_2^{(j)}$  との誤差を  $\varepsilon^{(j)}$  とすれば、その分散は次式となる。

$$\sigma_{\varepsilon}^2 = \sigma_2^2 (1 - r_{12}^2) \quad (6.13)$$

式をまとめて二変量間の回帰モデルとして次式が成立つ。

$$x_2^{(j)} = m_2 + r_{12} \frac{\sigma_2}{\sigma_1} (x_1^{(j)} - m_1) + \varepsilon^{(j)} \quad (6.14)$$

ここで誤差  $\epsilon^{(j)}$  は平均値 0, 標準偏差は式 (6.13) で与えられる正規分布とする。式 (6.14) より一つの独立な変量  $x_1^{(j)}$  (任意の乱数) からこれと相関のある変量  $x_2^{(j)}$  が発生できる。

この回帰モデルをバイポーラトランジスタ内のパラメータ間相関に適用して, 図 6.5 のモデルを得た。ここでデバイス内パラメータのうち, オン時ベース・エミッタ間電圧  $V_{BE}$  を基準パラメータに選んでいる。この理由は, (1) 実測された  $V_{BE}$  が, ほぼ正規分布に近いこと, (2) ペアトランジスタの  $V_{BE}$  差のバラツキがアナログ回路では重要であること, による。このモデルにおいて, 飽和電流  $I_{SS}$  は, 次式を用いて  $V_{BE}$  から計算される。

$$I_{SS} = I_{CO} \exp(-V_{BE}/V_T) \quad (6.15)$$

ここで  $V_T = kT/q$  であり,  $I_{CO}$  は基準コレクタ電流 (たとえば 1 mA),  $V_{BE}$  はコレクタ電流  $I_C$  が  $I_{CO}$  のときのトランジスタのベース・エミッタ間電圧である。次にその他の素子内パラメータは, 回帰式 (6.14) を用いて, パラメータ  $V_{BE}$  または  $I_{SS}$  から発生される。たとえば電流増幅率  $h_{FE}$  は, パラメータ  $I_{SS}$  との相関から発生する。この結果基準パラメータ  $V_{BE}$  および  $R_B, V_A$  は正規分布となるが,  $I_{SS}$  および  $h_{FE}$  は対数正規分布となる。これはすでにのべた工場における  $I_C$  の実測データの分布と対応したものである。

### 6.3.3 相関行列の形成

上述の統計モデルでは, 主成分モデルによりデバイス間相関を含む各デバイスの基準パラメータを発生し, つぎに回帰モデルによりデバイス内相関を含むデバイス内パラメータを発生する。このモデルを実際のアナログ IC 設計に適用する場合, モデルの入力データとして, 各デバイスのパラメータ値の製造バラツキの平均値および標準偏差値のほかに, デバイスパラメータ間の相関係数を必要とする。とくに主成分モデルの式 (6.3) の相関行列をどのように組立てるのが問題となる。

もし IC チップ上の各デバイスのレイアウト情報, すなわちデバイス形状と位置関係が与えられており, また各デバイスの形状ごとに, そのデバイス間相関係数が, チップ上の相対位置の関数として測定されていれば, 式 (6.3) の相関行列は完全に形成できる。

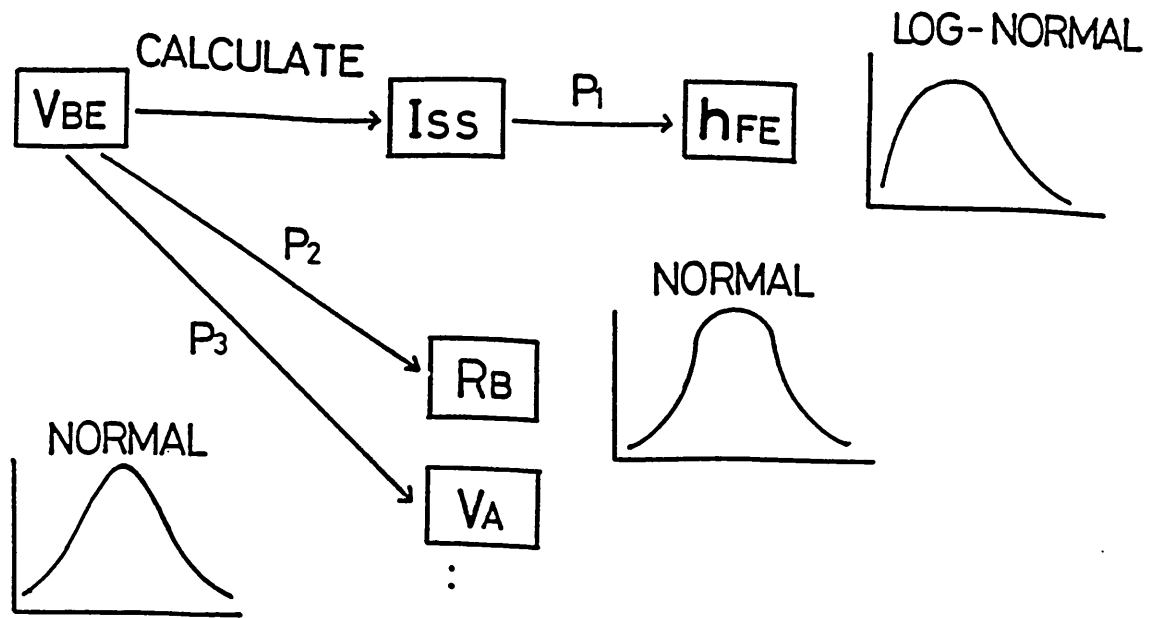


図 6.5 バイポーラトランジスタ内パラメータの統計モデル

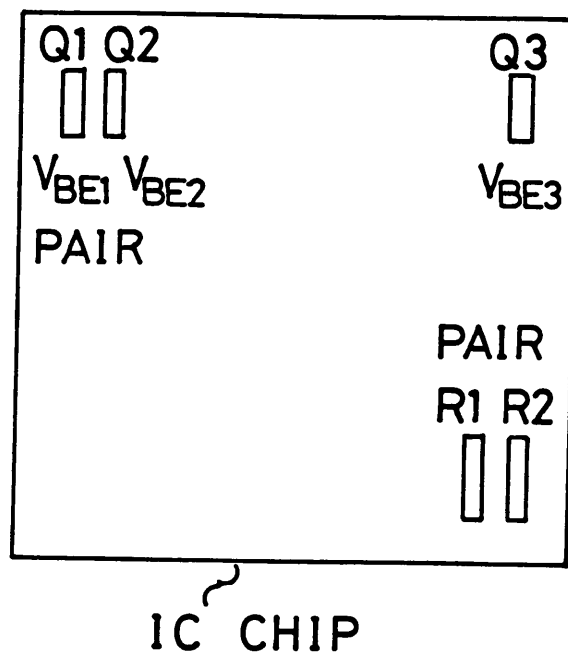


図 6.6 整合性の良いペアデバイス

しかし実際のアナログICの回路設計段階では、未だレイアウトは終了していないため、この方法は現実的でない。そこでここではアナログICの回路設計の実状に即した次のような相関行列の形成方法を採用した。

アナログICの電気的特性のバラツキは、ペアデバイスの整合（マッチング）によりしばしば支配される。これらのペアデバイス、たとえば差動増幅器のペアトランジスタやペア抵抗は、図6.6のように整合性を良くするため、チップ中で最も近接した位置にレイアウトされる。そしてその整合バラツキのデータは、ペアデバイスの比バラツキ幅あるいは差バラツキ幅として、容易にかつ正確に測定されて設計データとして用いられる。そこでこのデータを相関係数に変換し、主成分モデルの相関行列に導入する。いまIC中のペアトランジスタQ1とQ2を考え、その $V_{BE}$ の分布が正規分布と仮定すると、Q1とQ2の間の相関係数 $r$ は、次式のようにQ1とQ2の $V_{BE}$ 差バラツキから計算できる[7]。

$$r = 1 - \frac{1}{2} \left( \frac{\Delta x}{\Delta y} \right)^2 \quad (6.16)$$

ここで $\Delta x$ はペアトランジスタの $V_{BE}$ の差バラツキ幅の $3\sigma$ 値(mV)、 $\Delta y$ は各トランジスタの $V_{BE}$ の絶対値バラツキ幅の $3\sigma$ 値(mV)である。ペアデバイスはチップ内の近接位置にあるから、相関係数 $r$ は極めて1に近い値となる。このようにペアデバイスの整合データを用いることによって、相関行列の一部を形成することができる。ペア抵抗の場合にも式(6.16)は同様に成立し[7]、そのとき $\Delta x$ は抵抗の比バラツキ幅の $3\sigma$ 値(%),  $\Delta y$ は抵抗の絶対値バラツキ幅の $3\sigma$ 値を平均値で規格化した値(%)となる。

次に行列の他の部分は、チップ内で最も遠い位置にある二つのデバイス間の相関係数の最小値( $r_{min}$ )をセットする。これは一つの近似であり、それらの相関係数値は実際より小さく見積もられている(すなわちワースト設計側)ことになるが、アナログ回路設計においては多くの場合それほど重要でない。たとえば差動増幅器のオフセット電圧は、そのペアトランジスタの $V_{BE}$ の相関(整合)とペア抵抗の相関(整合)のみで決まり、周辺回路のデバイスとの相関には無関係である[8]。実際、後で示す回路例(図6.10)の出力電圧のバラツキは、 $r_{min}$ の値を変えてもほとんど変化しないことを確認している。

なお式(6.16)の関係式はペアの容量間の整合データに対しても成立する。

以上の方法で形成した相関行列の例を図6.7に示す。ここでは簡単のためバイポーラ

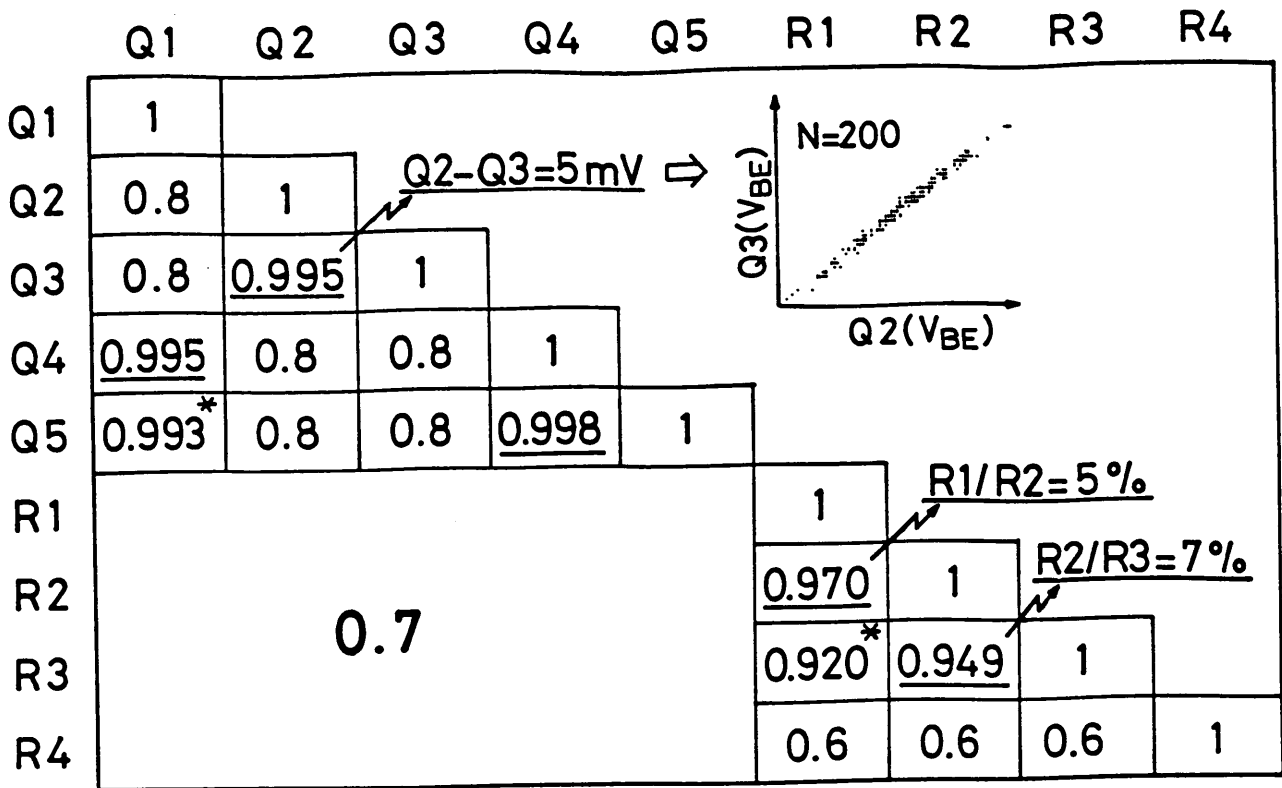
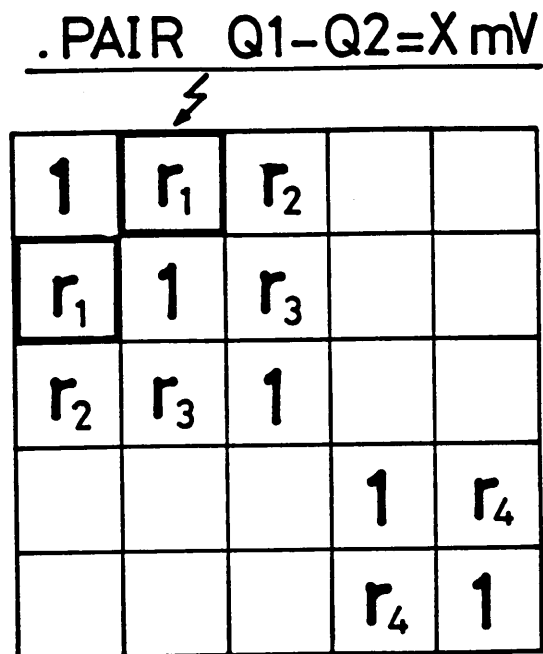


図6.7 アナログICの相関行列の例



$$r_3 \geq r_1 r_2$$

図6.8 ペアトランジスタによる相関行列(4×4)の形成方法

トランジスタ 5 個，抵抗 4 個のアナログ IC を考えている。図において相関行列は対称であることから行列の上三角部は省略してある。行列中のアンダーラインをつけた個所が，ペアデバイスの整合データによって埋められている。たとえばペアトランジスタ Q 2 と Q 3 間相関係数 0.995 は，その  $V_{BE}$  の差バラツキ幅が  $\pm 5 \text{ mV}$ ，絶対値バラツキ幅が  $\pm 50 \text{ mV}$  に相当する。行列中の他の値は，チップ内相関係数の最小値  $r_{\min}$  (チップ内で最も遠い距離にあるペアデバイス間相関係数) によって決められる。この  $r_{\min}$  の値は測定に基づきトランジスタで 0.8，抵抗で 0.6 に選ばれている。さらにトランジスタと抵抗間の相関係数は，測定値 0.7 が使われている。

この相関行列の形成に当って注意すべきことは，行列が非負 (その固有値が全て正) でなければならないことである。これよりトランジスタのペア Q 1，Q 2 の相関係数が  $r_1$ ，またペア Q 2，Q 3 のそれが  $r_2$  とすると，Q 3 と Q 1 の間の相関係数  $r_3$  は論理的に次の条件を満たす必要がある。

$$r_3 \geq r_1 r_2 \quad (6.17)$$

もし式 (6.17) が満足されなければ，行列は負の固有値をもち，式 (6.8) により相関のあるパラメータを発生することができなくなる。

行列の非負性を確保するために式 (6.17) を用いた 次のようなチェック処理を考案した。いま簡単のため，図 6.8 の相関行列 (4 × 4) を例にして説明する。すでに述べたペアデバイスの整合データによる相関行列の形成後，空き要素 (ゼロ要素) を  $r_{\min}$  にセットする前に以下の処理を行う。

まず第 1 列で，対角の 1 を除く非ゼロ要素を取り出す。図 6.8 の行列では，第 2 行の  $r_1$  と第 3 行の  $r_2$  が取り出される。この  $r_1$  と  $r_2$  の積を計算し，もしこの値が第 2 行 / 第 3 列の要素  $r_3$  より大ならば， $r_3$  を  $r_1 \times r_2$  に置換える。この処理を第 2 列から第 5 列に対しても順に行う。一般に規模の大きい回路では，行列の次元数が大きくなるため，このチェック処理を 2 ~ 3 回反復する必要がある。図 6.7 の例では，(\*) 印を付した要素が行列の非負性を保持するためにこの処理で追加されている。

このチェック処理は，設計者のペアデバイスの指定に伴い論理的に発生する相関を追加するとともに，ペア指定それ自体の入力エラーもチェックする。これにより相関行列の固有値をすべて正にでき，主成分モデルによる相関パラメータの発生が可能になった。

## 6.4 アナログICへの応用

### 6.4.1 パラメータ発生結果

上述の統計モデルにより、相関と分布をもつデバイスパラメータを発生することが可能になる。アナログIC内デバイスのパラメータをこのモデルで発生したときの散布図の例を、図6.9に示す。図で上はペア抵抗の散布図、また下はペアトランジスタ $V_{BE}$ の散布図である。なおこの例では、ペア抵抗の比バラツキは5%、その絶対値バラツキは30%であり、またペアトランジスタの $V_{BE}$ 差のバラツキは5mV、その絶対値バラツキは50mVとした。図6.9でみると、ペアトランジスタの $V_{BE}$ 差バラツキが5mVの場合は相当強い相関( $r=0.995$ )であることがわかる。

また図6.10は、本モデルにより発生したNPNトランジスタの素子内パラメータのヒストグラム例を示す。図で(a)の $V_{BE}$ がほぼ正規分布、(b)の $h_{FE}$ が対数正規分布となっているが、この分布はそれぞれ実測値の分布に近いものである。図(c)に $h_{FE}$ の実測値の分布(サンプル数102, ウェーハ枚数24)を示す。

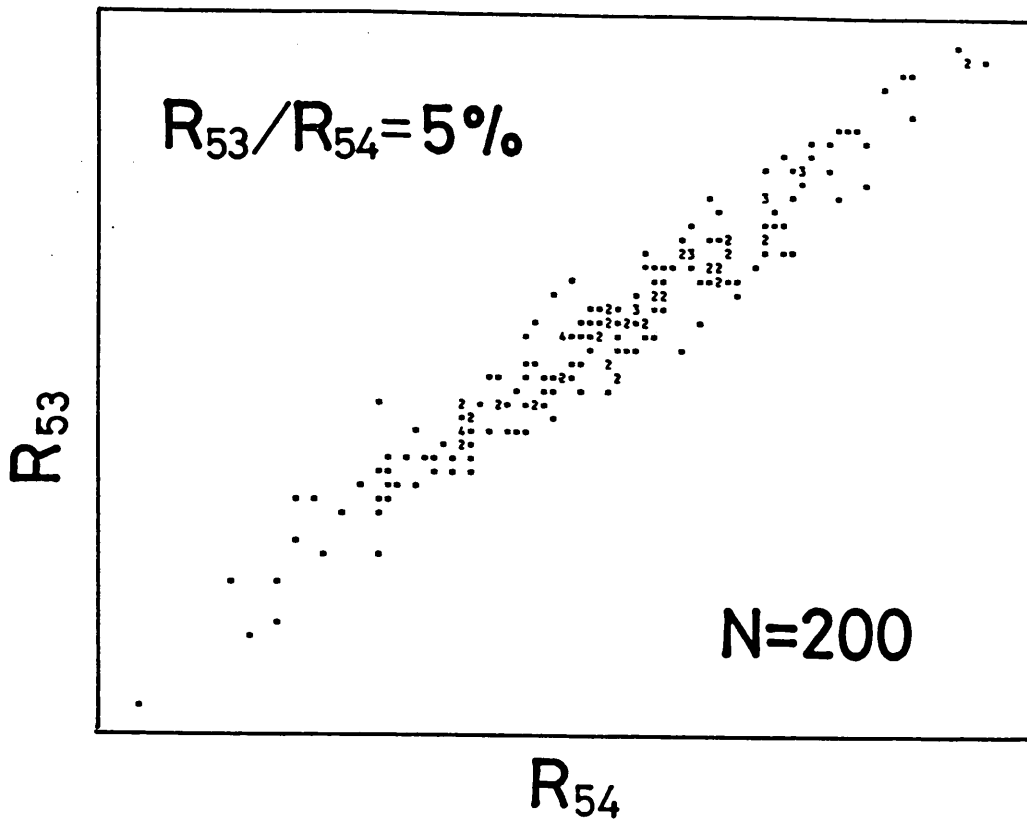
次に表6.1は、4つのアナログIC回路に対し主成分モデルを適用したときの計算時間を示す。使用したコンピュータは内蔵アレイプロセッサ(IAP)付きM-200Hである。モデルの計算時間は、素子数が約100の回路(HA11407)で2.30秒、また素子数200の回路(HA11701)でも7.13秒と短いことがわかる。表6.1はサンプル数が200の場合であるが、サンプル数が増減すると、固有値計算に要する計算時間は変わらずパラメータ発生時間がサンプル数に比例して増減してくる。

### 6.4.2 シミュレーション結果

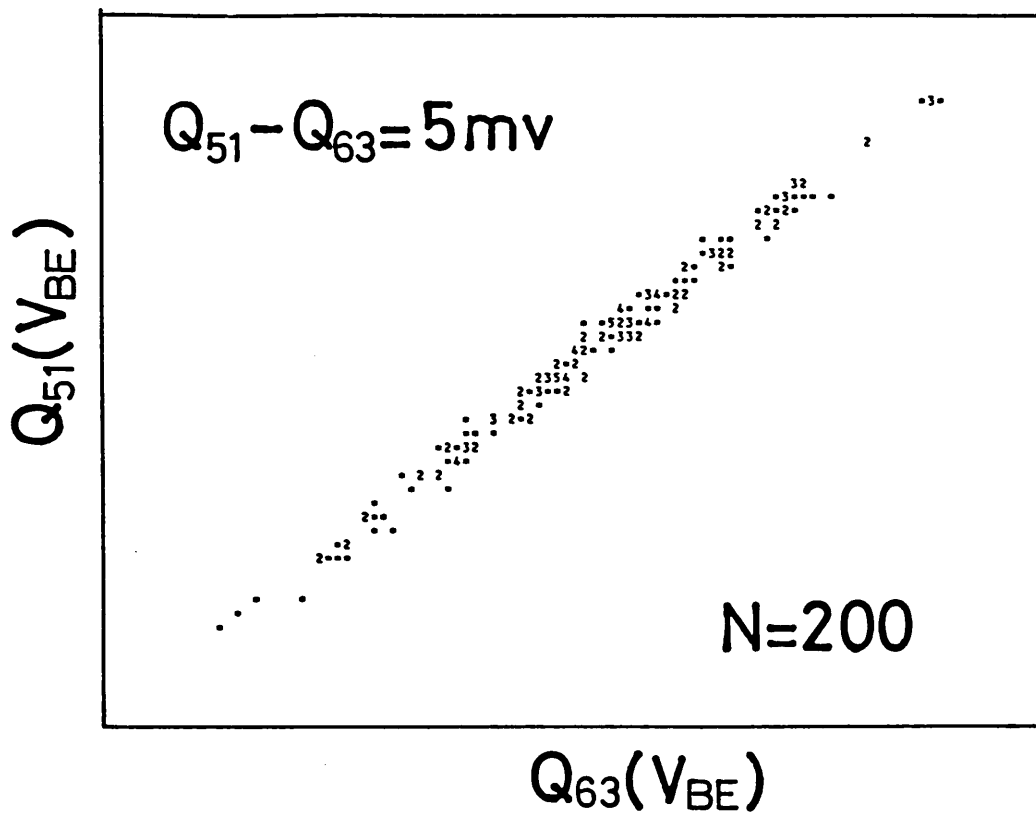
上述の統計モデルを既存の回路シミュレータ(SPICE like)に導入し、新しく入力部および出力部を追加して、統計的回路シミュレータSTATIS[9]を開発した。使用言語はFORTRAN, 新規開発ステップ数は約10000ステップである。以下にこのシミュレータを用いた統計的回路シミュレーション結果の例を示す。

#### (1) DCシミュレーションの例

図6.11はビデオカメラ用アナログICの検波回路部である。この回路は、50個の



(a) ペア抵抗 (比バラツキ  $\pm 5\%$ )



(b) ペアトランジスタの  $V_{BE}$  (差バラツキ  $\pm 5\text{mV}$ )

図 6.9 モデルにより発生したパラメータ



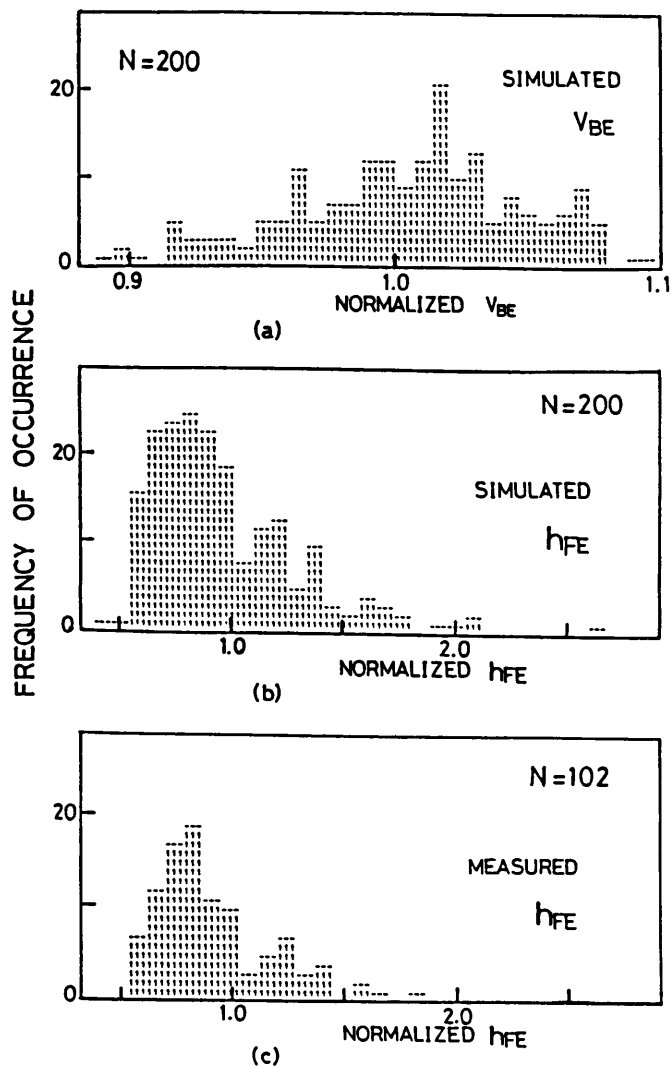


図 6.10 モデルにより発生したNPNトランジスタのデバイス内パラメータ (a)  $V_{BE}$  (b)  $h_{FE}$  (c)  $h_{FE}$ の測定値

表 6.1 主成分モデルの計算時間 200ケース  
(アレイプロセッサ付き日立M-200H)

アナログIC 回路名	素子数	固有値 計算(秒)	パラメータ 発生(秒)	合計 (秒)
HA11735	TRS 40 R 46	0.50	1.35	1.85
HA11407	TRS 46 R 58	0.63	1.67	2.30
HA12028	TRS 68 R 73	1.21	2.40	3.61
HA11701	TRS 92 R 119	3.02	4.10	7.13

素子（トランジスタ 24，抵抗 26）からなり，⑩ピンの DC 電圧バラツキが設計仕様上問題となる。そこでこの⑩ピンの出力電圧のシミュレーションを行った。図 6.12 にその結果を示す。図において，相関のある前述の統計モデルを用いたシミュレーション値（b）は，IC 実測値（a）にほぼ近い分布が得られた。参考までに相関のない通常のモンテカルロシミュレーション値を（c）に示したが，これは IC 実測値（a）より相当ブロードな分布となっている。図 6.12 における良好な一致は，このシミュレーションにおいて各素子パラメータの分布が考慮されているばかりでなく，IC 内の素子パラメータ間相関，とくにペアトランジスタ（の  $V_{BE}$ ）およびペア抵抗の整合バラツキが考慮されたことによる。

シミュレータ STATIS では，ペア素子の整合バラツキは，図 6.11 の回路のトランジスタおよび抵抗に対し，以下のように入力されている。

$$Q1 - Q2 = 5 \text{ mV}$$

$$Q3 - Q4 = 3 \text{ mV}$$

$$Q5 - Q6 = 3 \text{ mV}$$

⋮

$$R1 / R2 = 5 \%$$

$$R3 / R4 = 5 \%$$

⋮

上の  $Q1 - Q2 = 5 \text{ mV}$  は，ペアトランジスタ  $Q1$  と  $Q2$  の  $V_{BE}$  差バラツキ幅が  $\pm 5 \text{ mV}$ （ $3\sigma$  値）であることを意味する。また  $R1 / R2 = 5 \%$  は，ペア抵抗  $R1$  と  $R2$  の抵抗比バラツキ幅が  $\pm 5 \%$ （ $3\sigma$  値）であることを意味する。なおこの例のアナログ IC は，基準トランジスタのエミッタサイズが  $20 \mu \times 20 \mu$ ，抵抗が主に  $15 \mu \text{m}$  幅のベース拡散抵抗を用いた標準プロセスで作成されている。このプロセスで，基準トランジスタの  $V_{BE}$  の絶対値バラツキ幅は  $\pm 50 \text{ mV}$ （ $3\sigma$  値），ベース拡散抵抗の絶対値バラツキ幅は  $\pm 22 \%$  である。

シミュレーションに要した計算時間は，統計的モデル部に 2 秒，回路計算部に 48 秒（いずれも日立 M-200H の CPU 時間，200 ケース）であった。

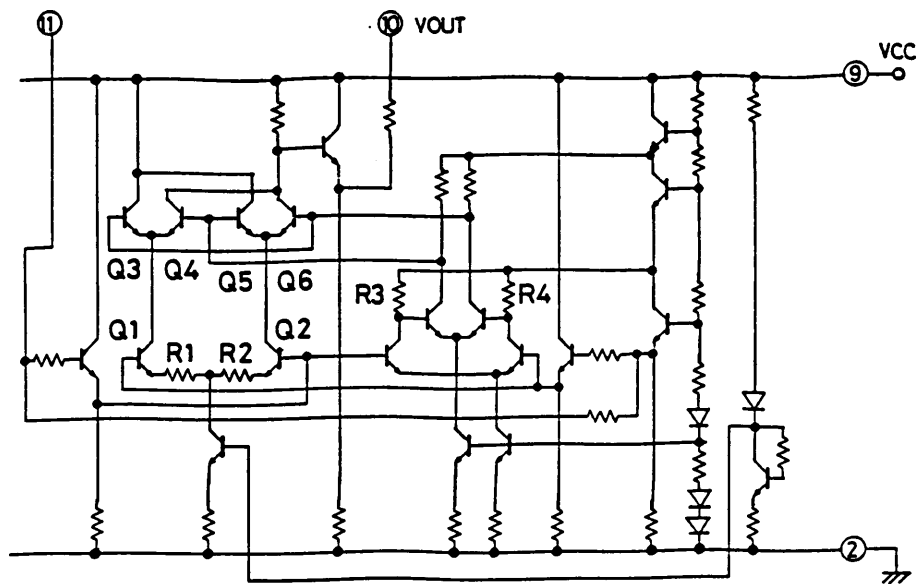


図 6.11 ビデオカメラ用アナログ IC の検波回路部

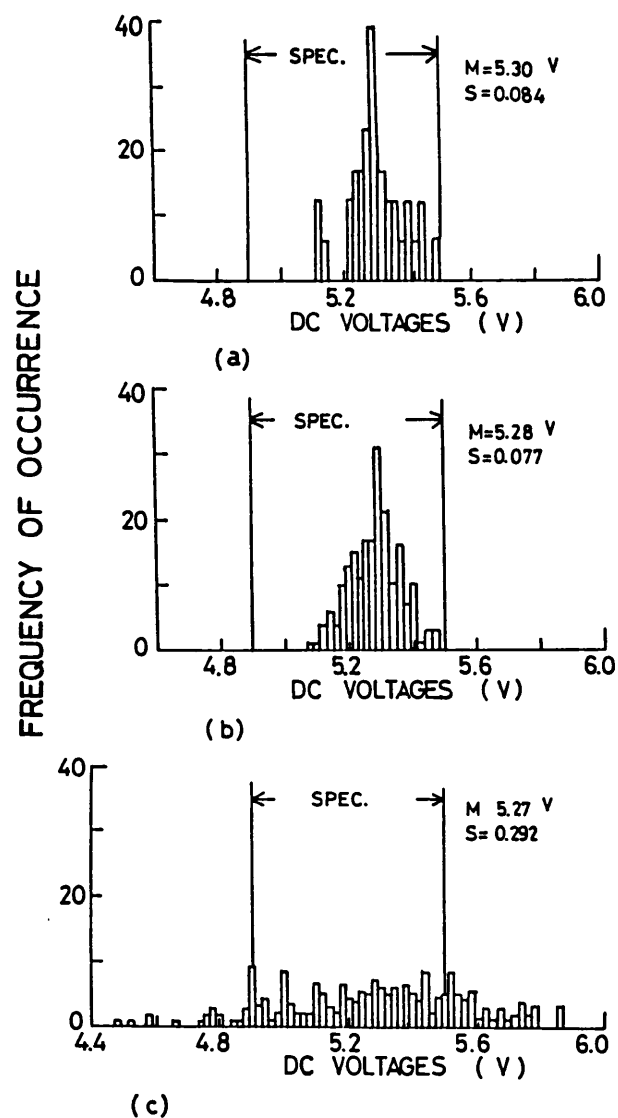


図 6.12 ビデオカメラ用アナログ IC (検波回路部) の統計シミュレーション

## (2) ACシミュレーションの例

4.7節でとりあげたNICを用いるビデオ帯アクティブフィルタICの設計に統計的回路シミュレーションを用いた。その結果を図6.13に示す。この回路(図4.11)の周波数特性は抵抗と容量の時定数に大きく依存するが、同時にNIC(図4.11の破線部分)における抵抗比( $R_1/R_2$ および $R_3/R_4$ )の整合バラツキによっても大きく影響される。このフィルタでは、「通過帯域の利得変動が $-6\text{ dB} \pm 2\text{ dB}$ 」という仕様があるが、乱数を用いる単純なモンテカルロシミュレーション(a)によると、この仕様を満すICはほとんど存在しない結果となっている。しかし実際の試作結果である同図(b)によると、十分この仕様を満足するサンプルが得られており、(a)の予測と大幅に異なる。これに対し、統計モデルを用いて回路中のペア抵抗の整合を考慮したシミュレーション結果(c, d)は、測定値(b)に近い変動を示した。ここで(c)は抵抗の比バラツキ幅が $\pm 1\%$ ( $3\sigma$ 値)、(d)は $\pm 5\%$ ( $3\sigma$ 値)の場合である。なお抵抗の比バラツキ幅の測定値は $\pm 1\%$ 、抵抗の絶対値バラツキ幅の測定値は $\pm 22\%$ である。

このフィルタIC(トランジスタ数27, 抵抗数34, 容量数8)の場合、DCおよびACシミュレーションの全計算時間は、100ケースで130秒(日立M-200H)と短い。ただし、図6.13では簡単のため10ケースのみのシミュレーション結果を示した。

## 6.5 まとめ

本章では、アナログICの設計において重要な製造バラツキを回路シミュレーションに導入するための新しい統計モデルを提案した。このモデルは、アナログICにおけるデバイスパラメータの統計データ分析に基づき、IC内デバイスのバラツキに存在する二つのレベルの相関、すなわちデバイス間相関およびデバイス内相関を含む。本モデルは、デバイス間相関に対し、相関行列の固有値と固有ベクトルを利用する主成分モデル、デバイス内相関に対し、線形回帰式に基づく回帰モデルの二つのサブモデルからなる。また、このモデルを実際のIC設計に適用する上で問題となる相関行列の形成方法として、ペアデバイスの整合バラツキ(比または差のバラツキ)を用いる方法を考案した。アナログIC内のデバイスパラメータのバラツキ(その分布と相関)が、このモデルを用いて現実的な計算時間で再現され、ビデオカメラ用アナログICおよびビデオ帯アクティブフィルタIC

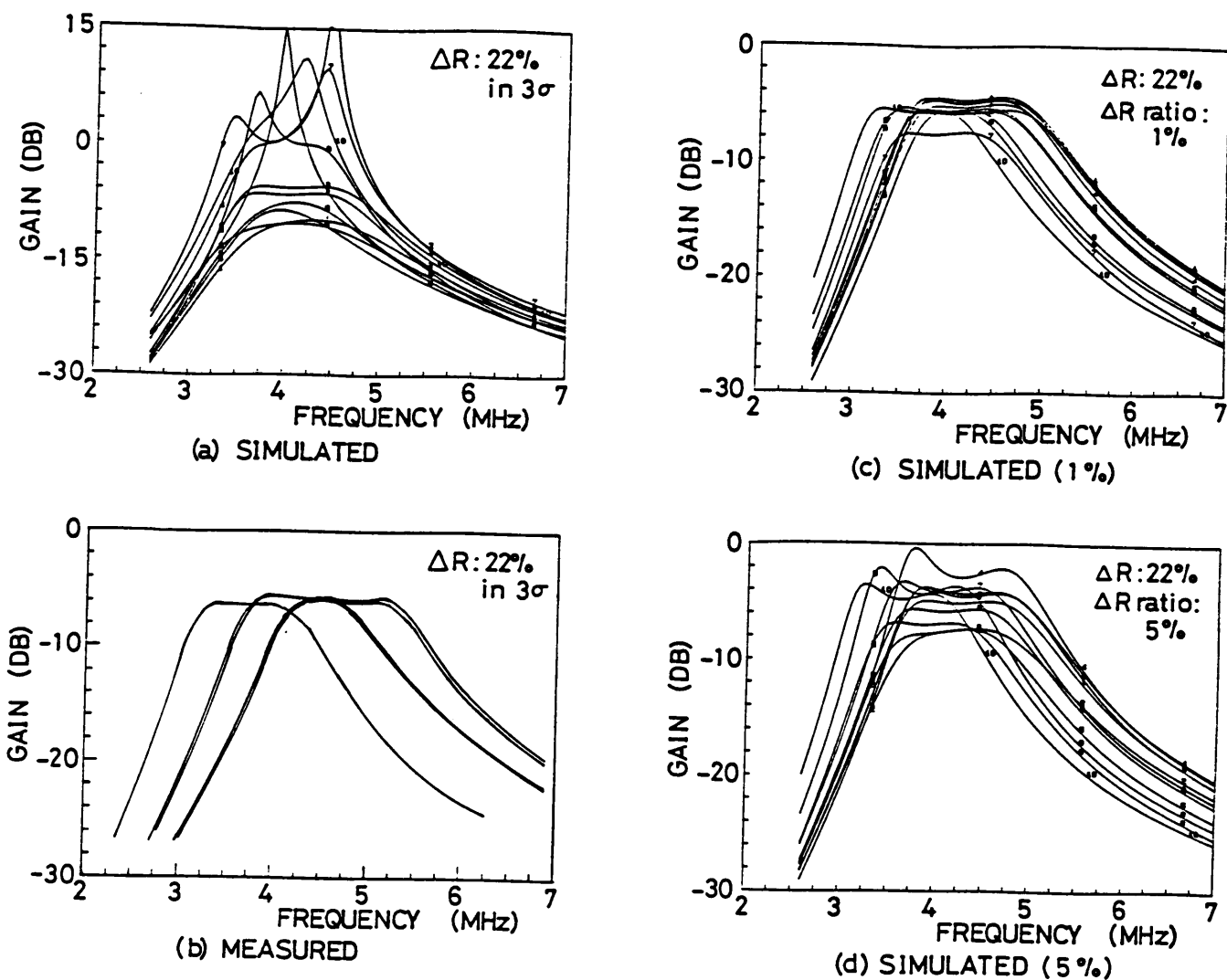


図 6.13 NICを用いたビデオ帯アクティブフィルタ IC (図 4.11) の統計シミュレーション

- (a) 単純モンテカルロシミュレーション
- (b) 測定値
- (c) 統計モデル (抵抗比バラツキ  $\pm 1\%$ )
- (d) 統計モデル (抵抗比バラツキ  $\pm 5\%$ )

の製造バラツキが良好にシミュレーションされた。

なおここでは統計モデルのバイポーラアナログICへの応用のみをのべたが、バイポーラデジタルICやMOSLSIに対しても本モデルはその一般性から同様に適用可能である。実際、この統計モデルを導入した回路シミュレータSTATISは、MOSLSIおよびバイポーラデジタルICの設計にも現在使用されている [10]。

## 第6章の参考文献

- [1] E. M. Butler, "Statistical Modeling for Circuit Design," Electro / 78, Recent Advances in Computer Aids for Circuit Design, Reprints for Session 5, May 1978.
- [2] 嗟峨根, 唐沢, 土井, "集積回路のモンテカルロシミュレーション", 電子通信学会, 回路とシステム理論研究会資料, CST 74-43, 1974.
- [3] 中沢, 猪平, 新美, 飯田, "バイポーラトランジスタのモデルパラメータ抽出法", 昭和62年度電子情報通信学会総合全国大会, 301, 1987年3月.
- [4] S.Inohira, T.Shinmi, M.Nagata, K.Iida, "Statistical Modeling for Large Scale Integrated Circuit Design," 1982 Symposium on VLSI Technology, 5-3, pp.76-77, Ooiso, 1982.
- [5] 中谷, "多変量解析", 新曜社, 1978.
- [6] W. J. Moonan, "Linear Transformation to a Set of Stochastically Dependent Normal Variables," J. of American Statistical Association, 52, 247, 1957.
- [7] S. Inohira, T. Shinmi, M. Nagata, T. Toyabe and K. Iida, "A Statistical Model Including Parameter Matching for Analog Integrated Circuits Simulation," IEEE Trans. on Electron Devices, VOL. ED-32, No10, Oct., pp.2177-2184, 1985.
- [8] P.R.Gray and R.G.Meyer, "Analysis and Design of Analog Integrated Circuits," John Wiley and Sons (1977).
- [9] M. Sato, K. Iida, S. Inohira, T. Shinmi, J. Miyagi, "Statistical Circuit Simulator "STATIS" for Bipolar VLSI Yield Enhancement," International Conf. on Computer Aided Design, pp.258-259, Nov., Santa Clara, 1983.
- [10] 本間, 猪平, "バイポーラメモリLSIのメモリセルコレクタ電圧の統計的解析手法", 電子情報通信学会, 論文誌C-II, vol.J72C-I, No.5, pp.4073-413, 1989年5月.

# 第7章 結 論

本論文では、バイポーラICの高精度な回路シミュレーションに必要となるデバイスモデリングについてのべた。以下に各章で得られた成果を要約して示す。

まず第2章では、バイポーラICのACシミュレーション精度を確保する上でポイントとなるバイポーラトランジスタの $f_T$ の新しいモデルを提案した。モデルは、大電流域で発生するベース領域の伝導度変調（Webster効果）とコレクタ領域の伝導度変調（Kirk効果）を考慮し、Kirk効果の開始する電流すなわちクリティカル電流を簡単な式で取り入れたものである。アナログIC用バイポーラトランジスタにこのモデルを適用した結果、 $f_T$ ロールオフ領域において、コレクタ・エミッタ間電圧依存性を含めワーストで10%以下の精度を得た。

第3章では、第2章の $f_T$ モデルを基礎にしてバイポーラトランジスタの高周波モデルを検討した。まずモデルの精度を精密に評価するため、単体トランジスタ（ $f_T \approx 5\text{GHz}$ ）と600MHz広帯域増幅器ICを試作した。そしてこれらのSパラメータ測定値を用いて従来のハイブリッド $\pi$ 型モデルの精度を評価し、このモデルが100MHz~1GHz帯で不十分なことを示した。次にデバイスのIC化構造を考慮して、ベース・コレクタ間容量、ベース・エミッタ間容量の分割および基板抵抗の導入をはかった拡張モデルを提案した。この拡張モデルにより、単体トランジスタのSパラメータ精度が大きく改善されることを示した。拡張モデルにより600MHz広帯域増幅器ICの高周波シミュレーションを行い、シミュレーションにおける3dB低下カットオフ周波数 $f_c$ の測定値との誤差を5%以下（従来のハイブリッド $\pi$ 型モデルで40%以上）にすることができた。

第4章では、バイポーラICにおいてトランジスタとともに多用される抵抗の高周波モデルを検討し、分布定数回路の解析に基づき新しくブリッジ $\pi$ 型モデルを提案した。このモデルは、従来 $\pi$ 型モデルの両端に $-\frac{C}{6}$ の負性容量を付加した簡単な等価回路で表わすことができ、3dB低下カットオフ周波数（ $1/\pi RC$ ）以下の領域で均一分布定数回路の理論解とほぼ同等の良好な精度をもつ。

第5章では、エピタキシャル層の薄い高速・高集積のバイポーラICで発生する基板電流を回路シミュレーションに導入するための複合バイポーラトランジスタモデルを提案した。モデルは、NPNトランジスタおよびラテラルPNPトランジスタに関し、IC化デ



バイス構造に伴う寄生のサブPNPトランジスタをダイオードと電流源で表し、これを従来のバイポーラトランジスタモデルに導入したものであり、Bi-CMOSメモリ用PNPトランジスタおよびアナログ用ラテラルPNPトランジスタに適用した結果、基板電流特性および飽和特性の精度が向上することを示した。またBi-CMOSメモリの電源電圧マージンの不良を本モデルでシミュレーションすることに成功した。

第6章では、トランジスタと抵抗の製造バラツキを回路シミュレーションに導入するための統計モデルを提案した。この統計モデルでは、IC内デバイスのバラツキに存在するデバイス間相関に対し、相関行列の固有値と固有ベクトルを利用する主成分モデル、デバイス内相関に対し、線型回帰式に基づく回帰モデルの二つのサブモデルを結合した。このためこのモデルは、ICの回路設計で重要なペアデバイスの整合(マッチング)を扱うことができるという点で他に類をみないものである。ビデオカメラ用アナログICおよびビデオ帯アクティブフィルタICの設計に適用した結果、その回路特性の製造バラツキが現実的な計算時間内でシミュレーションできた。

本論文にのべたデバイスモデルは、いずれも回路シミュレータに組込まれ、半導体工場においてアナログICおよびデジタルICの設計に実用されている。その実際の使われ方を図7.1に示す。回路シミュレータ内において、直流、交流あるいは過渡解析が実行される際、バイポーラICの場合には第2章から第5章に述べたデバイスモデル(EM5モデル、GP3モデルという名称で組み込まれている)がコールされて使用される。そして第6章の統計モデルにより、IC内デバイスに対するパラメータ群が発生され、各解析が反復されることによって、ICの回路特性(電圧、周波数特性、遅延時間など)の製造バラツキによる変動がシミュレーションされる。その結果は、ヒストグラムや散布図の形で出力される。このとき各ICの製造プロセス毎に、各種のサイズ(通常エミッタ面積)のデバイスに対するパラメータを、その統計的データを含めてあらかじめ抽出し、ライブラリ化している。本論文では詳しく触れなかったが、モデルに応じたパラメータを妥当にかつ迅速に抽出する方法もモデリングのひとつの重要な課題である。このような目的のため、図7.2に示すように、小型のコンピュータを中心にした自動抽出システムTPARAを開発し、実用に供している[1]。

今後に残された課題としては、バイポーラトランジスタのさらなる微細化および高周波化にともない、たとえばキャリアのダイナミックな伝搬時間を含む非定常効果(Non Quasi Static Effects)を考慮したモデリング[2],[3]の研究があげられる。

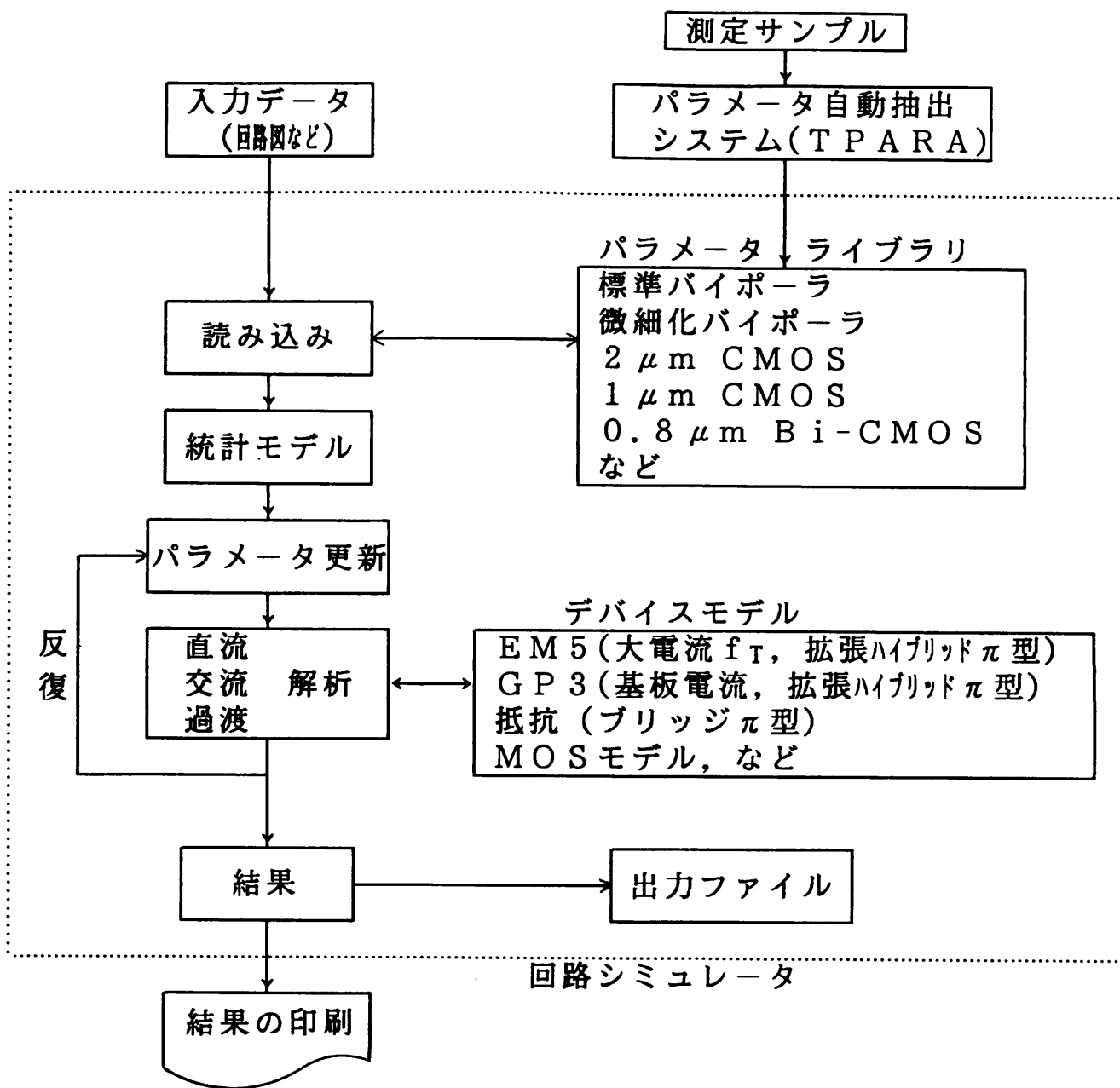


図 7.1 本研究で開発したモデルの回路シミュレーションにおける使用形態

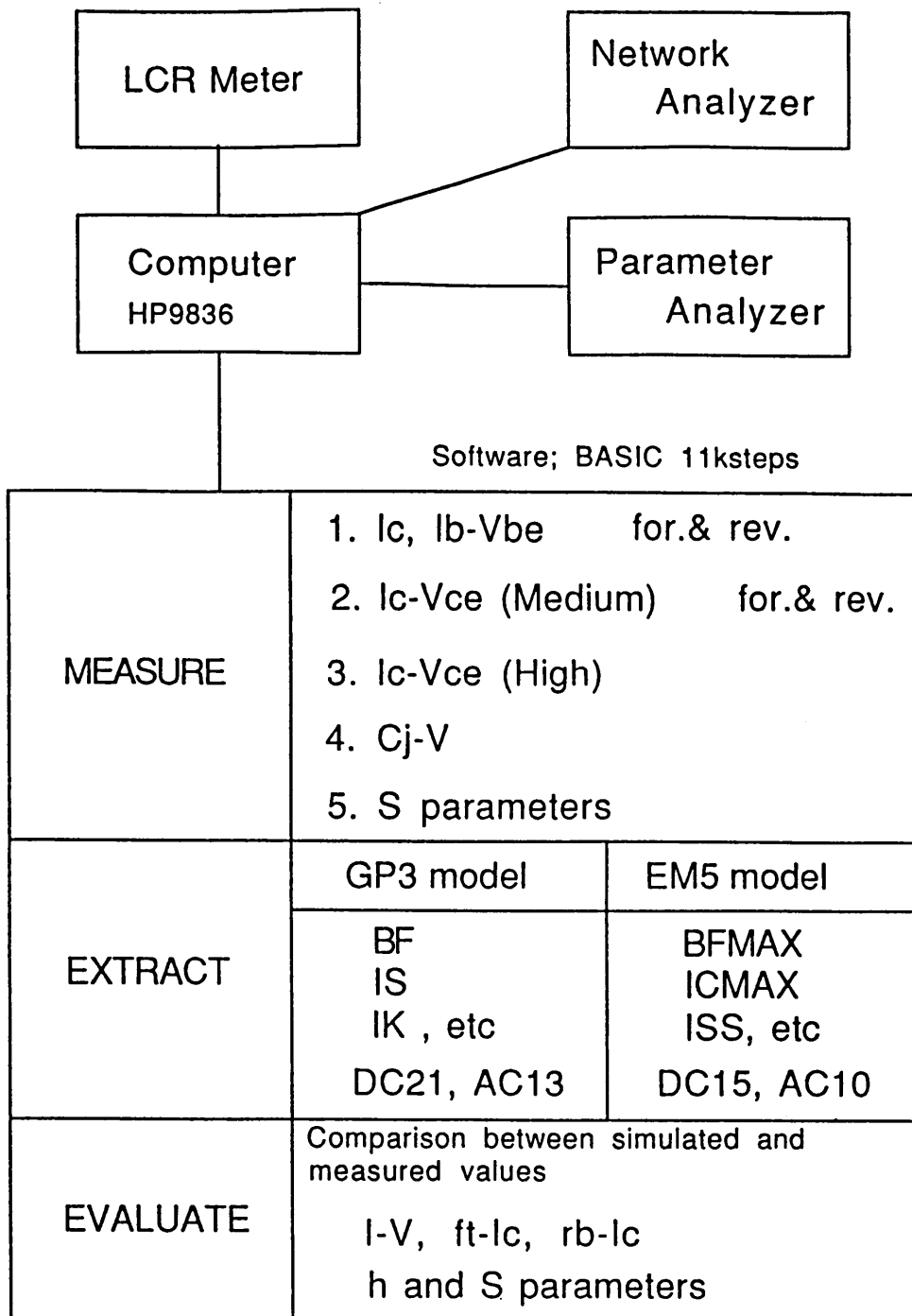


図 7.2 トランジスタパラメータ自動抽出システムTPARAの構成

## 第7章の参考文献

- [ 1 ] S.Inohira, T.Shinmi, K.Iida and F.Nakazawa, "A Transistor Parameter Extraction System — TPARA," 1989 VLSI Process/Device Modeling Workshop, pp.74-75 (May 1989).
- [ 2 ] J.G.Fossum and S.Veeraraghavan, "Partitioned-Charge-based modeling of Bipolar Transistors for Non-Quasi-Static Circuit Simulation," IEEE Electron Device Lett., vol.EDL-7, pp.652-654 (Dec. 1986).
- [ 3 ] B.S.Wu and F.A.Lindholm, "One-Dimensional Non-Quasi-Static Models for Arbitrarily and Heavily Doped Quasi-Neutral Layers in Bipolar Transistors," IEEE Trans. on Electron Devices, vol.36, No.4, pp.727-737 (Apr. 1989).

## 1. 本研究に関する論文, 国際会議および学会発表等

### A. 論文および国際会議

#### (第2章に関するもの)

- [1] 新美, 猪平, 永田, 飯田, 中込, " 擬似飽和現象を含むバイポーラトランジスタのCADモデル", 電子通信学会論文誌 (C), Vol. J 67-C, No. 11, pp. 855-862, 1984年11月.

#### (第3章に関するもの)

- [2] 猪平, 新美, 永田, 飯田, 中澤, " 600MHz 広帯域増幅器ICの高周波シミュレーション", 電子情報通信学会論文誌(C2), 1990年掲載予定.

#### (第4章に関するもの)

- [3] 猪平, 新美, 永田, 中澤, " アナログICにおける抵抗の高周波モデル", 電子情報通信学会論文誌 (C), Vol. J 71-C, No. 6, pp. 846-854, 1988年6月.

#### (第5章に関するもの)

- [4] 猪平, 新美, 樋口, 飯田, 大河原, " 基板電流を含む複合バイポーラトランジスタモデル", 電子情報通信学会論文誌 (C), Vol. J 71-C, No. 12, pp. 1625-1633, 1988年12月.

#### (第6章に関するもの)

- [5] S.Inohira, T.Shinmi, M.Nagata, K.Iida, " Statistical Modeling for Large Scale Integrated Circuit design", 1982 Symposium on VLSI Technology, 5-3, pp.76-77, Ooiso, 1982.
- [6] M.Sato, K.Iida, S.Inohira, T.Shinmi, J.Miyagi, " Statistical Circuit Simulator " STATIS " for Bipolar VLSI Yield Enhancement", 1983 ICCAD, pp.258-259, Nov., Santa Clara, 1983.
- [7] 猪平, 新美, 永田, 飯田, 宮城, " 製造バラツキを考慮したLSI回路解析のための統計的モデル", 電子通信学会論文誌 (C), Vol. J 66-C, No. 12, pp. 1108-1115, 1983年12月.
- [8] S.Inohira, T.Shinmi, M.Nagata, T.Toyabe and K.Iida, " A Statistical Model Including Parameter Matching for Analog Integrated Circuits Simulation", SIAM/IEEE Second Conference on Numerical Simulation of VLSI Devices, Nov.12-14, Boston, MA, 1984.
- [9] S.Inohira, T.Shinmi, M.Nagata, T.Toyabe and K.Iida, " A Statistical Model Including Parameter Matching for Analog Integrated Circuits

Simulation", IEEE Trans. on Electron Devices, VOL. ED-32, No.10, Oct., pp.2177-2184, 1985.

(第7章に関するもの)

- [10] S.Inohira, T.Shinmi, K.Iida and F.Nakazawa, "A Transistor Parameter Extraction System — TPARA," 1989 VLSI Process/Device Modeling Workshop, pp.74-75, May, 1989.

## B.学会発表

- [1] 猪平, 新美, 永田, 中込, " 擬似飽和領域を含むリニアIC用トランジスタ・モデル", 昭和53年度電子通信学会総合全国大会, 367, 1978年3月.
- [2] 新美, 猪平, 永田, 中込, 飯田, " 擬似飽和現象を含むバイポーラトランジスタのCADモデル", 電子通信学会半導体トランジスタ研究会, SSD 79-41, pp.1-8, 1979年9月.
- [3] 猪平, 新美, 永田, 飯田, 宮城, " アナログICのバラツキシミュレーション(1) (バラツキのモデル)", 昭和57年度電子通信学会総合全国大会, 430, 1982年3月.
- [4] 飯田, 池田, 猪平, 宮城, " アナログICのバラツキシミュレーション(2) (回路シミュレーション)", 昭和57年度電子通信学会総合全国大会, 431, 1982年3月.
- [5] 猪平, 新美, 永田, 飯田, 宮城, " 製造バラツキを考慮した集積回路解析のための統計的モデル", 電子通信学会, 半導体トランジスタ研究会, SSD82-12, pp.23-29, 1982年12月.
- [6] 新美, 猪平, 永田, 飯田, 中込, " 高電流密度領域におけるバイポーラトランジスタの温度依存性を含む直流モデル", 電子通信学会, 半導体トランジスタ研究会, SSD84-65, pp.7-14, 1984年10月.
- [7] 猪平, 新美, 永田, 伊藤, " 集積化抵抗の高周波モデル", 昭和60年度電子通信学会総合全国大会, 377, 1985年3月.
- [8] 岡田, 岩崎, 猪平, 三浦, " 集積化アナログ・フィルタの統計解析", 昭和60年度電子通信学会総合全国大会, 489, 1985年3月.
- [9] 猪平, 新美, 永田, 中込, " アナログICバイポーラトランジスタの超高周波モデル", 昭和61年度電子通信学会総合全国大会, 349, 1986年3月.
- [10] 新美, 猪平, 永田, 伊藤, " ウェブスタ効果を取り入れたガンメルプーン交流モデル", 昭和60年度電子通信学会半導体・材料部門全国大会, 349, 1986年10月.

- [11] 猪平, "バイポーラアナログデジタル混在回路のデバイスモデリング", ADEEジャパンセミナー, アナログ回路のCAD, 工業調査会/CEG, pp. 11-20, 1987年1月.
- [12] 中澤, 猪平, 新美, 飯田, "バイポーラトランジスタのモデルパラメータ抽出法", 昭和62年度電子情報通信学会総合全国大会, 301, 1987年3月.
- [13] 新美, 猪平, 永田, "周波数と電流に依存する交流電流利得の最適化手法", 昭和62年度電子情報通信学会総合全国大会, 203, 1987年3月.
- [14] 猪平, 新美, 飯田, 大河原, "基板電流を含むバイポーラトランジスタ複合モデル", 電子情報通信学会シリコン材料・デバイス/VLSI設計技術合同研究会, SDM87-95, pp. 57-62, 1987年9月.
- [15] T. Shinmi, S. Inohira, M. Nagata, K. Iida and S. Ito, "Macro Models and Algorithms for High-Speed Simulation of Bipolar Mixed Analog-Digital Circuits," 1988 VLSI Process/Device Modeling Workshop, pp. 15 (Aug. 1988).

## 2. その他の論文および学会発表

- [1] 猪平, 山本, "集積化スキャニスターの試作", 1969年テレビジョン学会全国大会, 4-19, pp. 87-88, 1969年10月.
- [2] 猪平, 神山, 芦川, "低照度域での光TRSの蓄積モード動作の解析", 1972年テレビジョン学会全国大会, 3-23, pp. 71-72, 1972年10月.
- [3] 神山, 猪平, 芦川, "低照度域での photodiode-MOST系の蓄積モード動作の解析", 1972年テレビジョン学会全国大会, 3-24, pp. 71-72, 1972年10月.
- [4] 山本, 清水, 猪平, 広野, "一次元集積化スキャニスタ," 静岡大学電子工学研究所研究報告, Vol.8, No.1, pp.23-32, 1973年.
- [5] 山本, 猪平, 清水, 広野, "スキャニスターの動特性," 電子通信学会論文誌(C), Vol.56-C, No.7, pp.393-400, 1973年7月.
- [6] 猪平, 久保, "ダイナミックC-MOSの計算機解析", 昭和49年度電気学会全国大会, 361, pp.454-455, 1974年3月.
- [7] 猪平, 須田, 氏家, "MOSFETの二次元解析", 昭和50年度電子通信学会総合全国大会, 274, 1975年3月.
- [8] 氏家, 大塚, 増田, 猪平, "MOSFETの二次元解析における計算手法の比較", 昭和50年度電子通信学会総合全国大会, 273, 1975年3月.
- [9] 猪平, 氏家, 大塚, 鳥谷部, "チャネルドープ Depletion MOSFETの二次元解析", 昭和51年度電子通信学会総合全国大会, 348, 1976

年3月。

- [10] 氏家，大塚，鳥谷部，猪平，” F E Tデバイス解析汎用プログラム（C A D D E T）の数値計算法について”，昭和51年度電子通信学会総合全国大会，354，1976年3月。
- [11] 新美，猪平，永田，細野，飯田，降旗，” レイアウト・パターン形状効果を取り入れたI I Lデバイスの回路シミュレーションモデル”，電子通信学会論文誌（C），Vol. J 6 6 - C，No. 1 2，pp. 1 1 0 0 - 1 1 0 7，1983年12月。
- [12] 本間，猪平，” バイポーラメモリL S Iのメモリセルコレクタ電圧の統計的解析手法”，電子情報通信学会論文誌（C-II），Vol. J 7 2 C-II，No. 5，pp. 407-413，1989年5月。



# 謝 辞

本論文をまとめるにあたり終始懇切な御指導をたまわりました静岡大学電子工学研究所助川徳三教授に深く感謝致します。また同じく御審査の労をとっていただき種々の有益な御討論をいただきました静岡大学電子工学研究所安藤隆男教授，畑中義武教授，および静岡大学工学部電子工学科池田弘明教授，情報知識工学科阿部圭一教授に感謝申し上げます。また静岡大学電子工学研究所にて筆者の指導教官であられた山本達夫教授は，本論文の静岡大学への提出に当り種々の御尽力をいただきました。また静岡大学電子工学研究所田中昭助教授は本論文の審査期間中多面にわたり御援助していただきました。これらの方々にもここに厚くお礼申し上げます。

本論文は，筆者が(株)日立製作所中央研究所において行った回路シミュレーションのためのバイポーラICのモデリングに関する研究をまとめたものです。本研究の全期間にわたり，終始懇切な御指導と御鞭撻をいただきました中央研究所永田穰技師長，同僚として共に研究していただいた新美敏男研究員，および工場での実用化に御尽力いただきました高崎工場飯田彊一主任技師に心より感謝致します。また本研究と論文執筆の機会を与えて下さいました中央研究所武田康嗣所長，浅井彰二郎ULSIセンタ長，小澤時典第10部部长，増原利明第7部部长，岡部健明主任研究員，宮本俊介主任研究員，および高崎工場岡部隆博ソフト技術センタ長に深く感謝致します。また本研究を進めるに当り，主に測定面で御協力いただいた日立超LSIエンジニアリング(株)中澤文男氏，プログラム面で御協力いただいた日立マイクロコンピュータエンジニアリング(株)伊藤真司氏，宮城純一氏，および大河原浩氏に合せて感謝致します。