

博 士 論 文

高速デジタル光伝送用回路と
その I C 化に関する研究

昭 和 62 年 1 月

山 下 喜 市

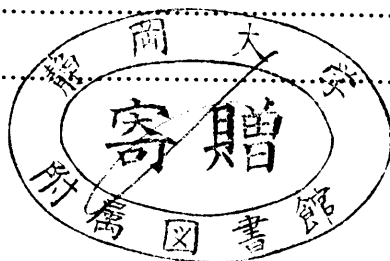
静岡大学附属図書館



000251511 2

目 次

第1章 緒 論	1
1.1 本研究の背景	1
1.2 本研究の目的	1
1.3 本研究の概要	2
第2章 デジタル光伝送系の概要と課題	4
2.1 緒 言	4
2.2 デジタル光ファイバ伝送システムの基本構成	5
2.2.1 光伝送システム	5
2.2.2 光中継器	7
2.3 デジタル光ファイバ伝送システムの技術動向	7
2.4 光伝送系の技術課題	10
2.5 結 言	11
第3章 光中継器	12
3.1 緒 言	12
3.2 光中継器の基本設計	13
3.2.1 伝送符号方式	13
3.2.2 光源／受光器	15
3.2.3 中継器回路	16
3.3 2値AMI符号を用いた100Mb/s光中継器	24
3.3.1 回路設計	26
3.3.2 試作結果	31
3.3.3 まとめ	39
3.4 モディファイド・デュオバイナリClass-II符号を用いた100Mb/s光中継器	39
3.4.1 回路設計	39
3.4.2 試作結果	41
3.4.3 まとめ	47



3.5	長距離伝送用1.5 μ m帯565Mb/s光中継器	47
3.5.1	回路設計	50
3.5.2	試作結果	52
3.5.3	まとめ	53
3.6	結 言	57
第4章 光送信器		59
4.1	緒 言	59
4.2	LD送信器	59
4.2.1	LD送信器の動作解析	60
4.2.2	200Mb/sLD送信器	64
4.2.3	565Mb/sLD送信器	70
4.3	LED送信器	76
4.3.1	回路設計	76
4.3.2	送信回路の試作結果	78
4.3.3	光送信特性	84
4.4	LD/LED送信器のマスタースライスIC化	84
4.4.1	マスタースライスIC化の設計思想	86
4.4.2	IC設計及び特性	89
4.5	結 言	95
第5章 光受信器		97
5.1	緒 言	97
5.2	前置増幅器	99
5.2.1	コモン・コレクタ入力形前置増幅器	99
5.2.2	インピーダンス可変形前置増幅器	103
5.3	AGC増幅器	112
5.3.1	従来形AGC増幅器	112
5.3.2	出力直流動作点安定化AGC増幅器	114
5.3.3	負帰還形AGC増幅器	120

5.3.4	可変高域補償形A G C増幅器	122
5.4	A G C方式	127
5.4.1	Full—A G C方式の動作解析	127
5.4.2	Full—A G C方式の利得可変幅拡張法	132
5.5	結 言	133
第6章	識別再生回路	135
6.1	緒 言	135
6.2	シュミットトリガ回路を用いた2値識別再生回路	136
6.2.1	回路構成と動作解析	137
6.2.2	回路設計	138
6.2.3	試作結果	141
6.3	1チップI C化3値識別再生回路	146
6.3.1	回路構成	146
6.3.2	回路設計	152
6.3.3	試作結果	155
6.4	結 言	162
第7章	端局装置	164
7.1	緒 言	164
7.2	多重化／分離回路	164
7.2.1	多重化回路	164
7.2.2	分離回路	166
7.2.3	2モード可変分周器	168
7.3	結 言	188
第8章	結 論	189
	謝 辞	191
	参考文献	192

第1章 緒 論

1.1 本研究の背景

光を通信手段として用いる発想は古くからあるが、1960年にメイマンによって固体レーザが発明され自然界にないコヒーレンシのよい光を得ることに成功してから強い関心が持たれるようになった。そして、1970年にベル研究所の林らによる半導体レーザの室温連続発振動作と米国のコーニング社による20dB/kmという当時としては驚異的な光ファイバの低損失化が達成されたことを契機に、光ファイバ伝送方式の研究が本格的に開始された。それ以降、半導体レーザの長寿命化や各種光部品技術の進展、光ファイバの一層の低損失化等光伝送に必要な要素技術の進歩は著しく、その適用分野は公衆通信網からLAN (Local area network) や計算機ネットワークなどの構内通信網へと急速に拡大しつつある。公衆通信の分野では、日本と米国において中継距離が20~30kmの400Mb/s系 (伝送ハイアラキー第5次群) 陸上システムが実用化されており¹⁾²⁾、更に、第6次群に相当する1.6~2.4Gb/sの超大容量光伝送方式の研究が進められている³⁾。又、海底ケーブルでは米国と日本、欧州を結ぶ太平洋及び大西洋横断の280Mb/s、50kmのシステムが1988年に商用化される状況にある⁴⁾。一方、構内通信の分野では中継距離が1~2kmの100Mb/s系LANが実用化されつつある段階にあり⁵⁾、近い将来には400Mb/sを超える大容量LANも実用化されると推測されている⁶⁾。このように、長距離・大容量光ファイバ伝送方式は大々的な実用期に入り、高度情報化社会を構築するための基盤技術として大きな期待がかけられている。

1.2 本研究の目的

長距離・大容量光伝送システムの実現には、光伝送系の要である光中継器や端局装置の高速・高性能化が必須であり、又、実用化の観点からはこれら伝送装置の部品や半田付け点数の削減、消費電力の低減による高信頼化、小型化、低価格化が強く要求される。本研究は、このような状況を背景にして光伝送システムの高速・長距離化及び実用化の観点から光中継器や端局装置のモノリシックIC化技術とその核となる高速デジタル/広帯域アナログ回路技術の確立を目的に行ったものである。

1.3 本研究の概要

第2章「デジタル光伝送系の概要と課題」では、従来の研究成果と本研究の関連について考察している。その結果として、高速・大容量の長距離伝送システムを実用化するには伝送回路の高速・高性能化及びモノリシック IC 化が不可欠であることを明らかにしている。又、長周期パターンランジェントに対して光中継器を安定に動作させるためには伝送符号の B S I (Bit sequence independent) 化が必須であることを論じている。

第3章「光中継器」では、最初に光中継器の基本的なシステム設計法を概括すると共に、第3章から第6章までの関連を明らかにしている。次に、光中継器の安定な動作を保証するための B S I 符号として提案した2値 A M I (Alternate mark inversion) 符号及びモディファイド・デュオバイナリ符号⁷⁾⁸⁾を用いた2種類の100Mb/s系光中継器を試作し、長周期のパターン変動に対して安定に動作することを実証している⁹⁾¹⁰⁾。更に、光ダイナミック範囲の拡大を図るために A P D (Avalanche photo-diode) - A G C (Automatic gain control) 増幅器-前置増幅器の3段利得制御方式を提案し、565Mb/s光中継器を試作することにより高速・長距離伝送システムにおける中継区間長の無調整化が可能であることを明らかにしている¹¹⁾。

第4章「光送信器」では、L D (Laser diode) , 或いは、L E D (Light emitting diode) を光源とする光送信器の高速化並びに光出力の安定化を実現するための回路方式の提案とそのモノリシック IC 化について論じている。L D 送信器に関しては、最初に帰還ループ系の動作解析を行い設計基本式を導出すると共に光出力の変動要因について論じ、光出力安定化のための設計指針を明らかにしている¹²⁾。次に、この指針に基づき200Mb/s及び565Mb/s光送信器を試作し、設計基本式の妥当性を明らかにしている。L E D 送信器に関しては、長波長 L E D に固有のオージェ非発光再結合による速度劣化を補償し、その応答速度を約3倍高速化できる速度補償方式を提案し、300Mb/sまで変調が可能であることを実証している¹³⁾。次に、開発期間の短縮及び価格低減の観点より L D / L E D 送信器のマスタースライス法によるモノリシック IC 化を実現するための回路方式及びレイアウト設計法について論じている。又、300~400Mb/sで動作する IC 化光送信器を実現し、高速光送信器のマスタースライス IC 化が可能であることを実証している¹⁴⁾。

第5章「光受信器」では、システムの高速度・大容量及び長距離化に対応するため、最初に広帯域・低雑音化が可能なコモン・コレクタ入力形前置増幅器¹⁵⁾と A G C 機能をもつインピーダンス可変形前置増幅器¹⁶⁾を提案している。又、多段 D C (Direct coupling) 直結が可能で広

い利得可変幅を得ることができる出力直流動作点安定化AGC増幅器¹⁷⁾と広帯域・高利得化の観点より負帰還形及び可変高域補償形AGC増幅器¹⁸⁾を提案し、モノリシックICの試作によりこれら回路方式の有効性を実証している。次に、APDを受光器に用いたAGC系の動作解析を行い、増倍率とパワーペナルティーとの関係を明らかにしている¹⁹⁾。又、光ダイナミック範囲の拡大方法について論じている。

第6章「識別再生回路」では、最初にシュミットトリガ回路を基本とするセット形識別器を提案し、モノリシックIC化によりシュミットトリガ回路を400Mb/s系識別器へ適用できることを明らかにしている²⁰⁾。次に、伝送符号としてモディファイド・デュオバイナリ符号を用いた光伝送系に適用するための3値識別再生回路の1チップIC化を検討し、タイミング抽出回路と識別器を同一チップ上に集積化できることを実証している²¹⁾。

第7章「端局装置」では、最初に時分割多重による複数の信号を同時伝送するために必要な多重化／分離回路の論理構成法について論じており、各信号のタイミング遅延の低減が高速化を図る上で重要であることを明らかにしている。次に、多重化／分離回路の高速・多機能化の鍵を握る2モード可変分周器について論じており、従来回路の2倍の速度で動作する直接帰還形論理構成法を提案している²²⁾。又、3 μ mSiバイポーラプロセスにより1GHzで動作するモノリシックICを実現し、その有効性を実証している²³⁾。

第8章「結論」では、本研究の主要な成果を要約している。

第2章 デジタル伝送系の概要と課題

2.1 緒言

光通信は、従来の電気通信と同様、伝送媒体として空間を利用する無線伝送方式と光ファイバやレンズガイド等を利用する有線伝送方式に大別される。更に、変復調方式によって音声や画像などの原信号を振幅や周波数、位相などの変化に対応させて伝送するアナログ伝送方式と原信号を標本化及び量子化し“1”或いは“0”のパルス列で符号化して伝送するデジタル伝送方式に分けられる。無線伝送方式は光信号を大気空間中を伝搬させるため、大気中に存在する微粒子の散乱や吸収による減衰が大きく雨や雪、霧等の気象条件に左右され易い。又、交信可能な範囲が見通しのよい地域に限定される。従って、この方式は高い信頼度が必要でない短距離の簡易通信に主として用いられている。アナログ伝送方式は回路規模が小さくて済み、伝送に要する占有帯域幅が狭くてよいためデジタル伝送方式に比べ経済的である。しかし、中継伝送路において中継毎に雑音や信号歪が累積するので多中継長距離伝送には適さない。光ファイバを用いた有線伝送方式は光ファイバのもつ数多くの利点故に従来のメタリック線に比べあらゆる面で優れており、次のような特長がある。

①広帯域（数十GHz）、低損失（0.2dB/km）であるため高速・大容量化、並びに、長距離化が容易であり、100kmを超えるGb/s伝送が可能である。

②光ファイバが導波構造をとっているため隣接した光ファイバ間の漏話が生ぜず、多芯化による大容量化、多機能化を容易に図ることができる。

③光ファイバが絶縁体（ガラス）であるため、高圧送電線や落雷による電磁誘導雑音がなく、安定した信頼度の高い通信ができる。

一方、デジタル伝送方式は次の特長をもつ。

①原理的には、パルスの有無を識別するのみでよいため雑音防害に強く、中継器を多数設けることによって高品質な信号の長距離伝送が可能である。

②多数の信号を多重化できるため、システムの大容量化が容易である。

以上、述べたような際立った特長をもつデジタル光ファイバ伝送方式は高度情報化社会の構築に不可欠な方式として不動の地位を築いており、あらゆる分野における光通信システムに適用されている。代表的なシステム例としては、加入者線や市内・市外中継線などの公衆通信や計算機ネットワークなどの私設通信網等がある。

デジタル伝送方式用の伝送装置は大別して端局装置，端局中継装置，中間中継装置の3部分から構成される。端局装置は多数の音声や画像信号などを符号化すると共に受信パルス信号を音声や画像信号に復元する機能をもつ。又，これらの操作に必要な各種のパルス発生・供給回路及び受信パルス列の中から送信側と一致したパルスの識別を行なうための同期回路とを含む。端局中継装置は端局装置と伝送線路の間に挿入され，端局装置から線路までの間に生じるパルス信号の劣化を防止するためのものであり，原理的には中継装置と同様な機能を有する。中間中継装置は線路を介して送られてきたパルス信号を増幅すると共にタイミングの取り直しを行い，振幅や位相歪，雑音によるパルス幅変動（ジッタ）を低減して規定のパルス信号に再生・送出する機能をもつ。本研究では，これらの装置の要となる光中継器，多重化／分離回路を主として取上げ，その回路方式とモノリシックIC化の検討を行った。本章では，本研究の範囲及びデジタル光ファイバ伝送系の技術課題を明らかにし，第3章以降との関連について述べる。

2.2 デジタル光ファイバ伝送系の基本構成

2.2.1 光伝送システム

デジタル伝送方式には，量子化，符号化によってPCM（Pulse code modulation），PNM（Pulse number modulation）， ΔM の3方式があるが，本研究ではデジタル伝送の主流であるPCM方式に絞って検討を進めた。

図2.1に，光ファイバを伝送線路とするPCM伝送システムの基本構成を示す。まず，情報源から送られてくる音声や画像などのアナログ信号は符号器（CODEC）にてデジタル信号に変換される。この信号はアナログ信号を一定時間幅で切出す標本化と標本値を離散的な値に変換する量子化によって生成された離散的な値を“1”，“0”のパルスの組合せにより符号に対応させる符号化などの操作によって得られる。次に，1～Nチャンネルに対応する複数のデジタル信号は多重化回路（MUX）によって時間軸上に規則的に配列される。この際，各チャンネルを分離・識別するためのフレーム信号が挿入される。多重化されたデジタル信号は符号変換回路（CODE CONV）によって中継伝送系に適した符号に変換される。この場合，変換されるべき符号形式は信号の性質（特に“1”，“0”の発生頻度）によって決定され，光中継器の安定な動作を保證する観点から，そのマーク率（“1”，“0”の発生比率）を極力1/2に近づける配慮がなされる。符号変換された信号は，光送信器（OTX）にて光信号に変換され中継伝送路に送出される。送り出された信号は伝送路の途中に設置された光中継器（OREP）で増幅及び識別・再生されながら伝送される。次に，受信端に到着し

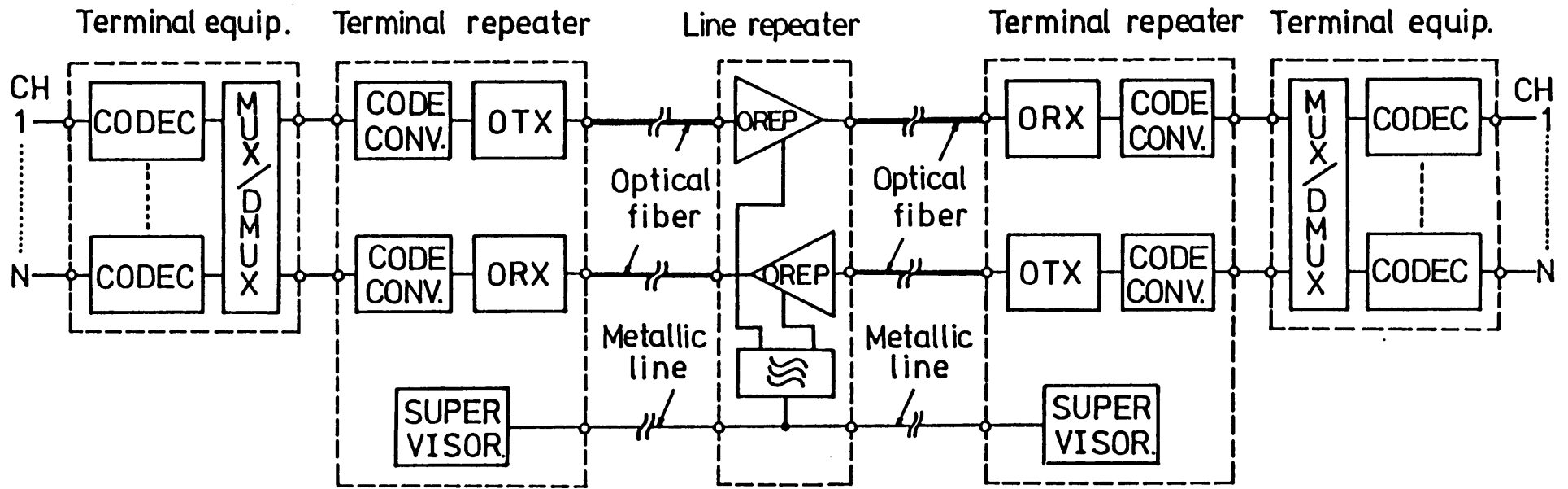


図2.1 デジタル光ファイバ伝送系の基本構成

た光信号は光受信器 (ORX) にて再び電気信号に変換された後符号変換回路 (CODE CONV), 分離回路 (DEMUX) を介して各チャネルに対応したデジタル信号に分離される。そして, 復号器 (CODEC) において各デジタル信号から元の音声や画像信号などが復調される。この他, 中継伝送系の動作状態を常時監視して故障を発見するための監視回路 (SUPERVISOR) が用いられる。

次に, 本研究の主たる対象となった光中継器の基本構成について述べる。

2.2.2 光中継器

デジタル光中継器は図2.2に示すように光受信器, 識別再生回路及び光送信器で構成されており, 電気通信における再生中継器と同様, 波形整形 (Reshaping), タイミング抽出 (Retiming), 識別再生 (Regeneration) の三つの機能, 即ち, 3R機能を有する。受光素子によって光電変換された信号は微弱であるため, 受信回路により増幅されると同時に符号間干渉と雑音によるSNR (Signal-to-noise power ratio) の劣化が最小となるような波形 (一般に, 2乗余弦波) に成形される。タイミング抽出回路は受信々号から識別再生用のタイミングクロック信号を抽出する。識別回路は受信々号の“1”或いは, “0”レベルを判別し, 幅整形されたパルス信号を出力する。この再生されたパルス信号は光送信回路にてLDやLEDによって電気-光変換され, 再び光ファイバに導かれる。

尚, 3R機能のうち, 波形整形と識別再生機能のみをもつ2R中継器が比較的短距離の簡易通信システム用として検討されているが, 本研究では3R中継器を対象に伝送回路方式の検討を行った。

2.3 デジタル光ファイバ伝送システムの技術動向

デジタル光ファイバ伝送方式の研究・開発は半導体レーザの室温連続発振と光ファイバの低損失化 (20dB/km) が達成された1970年代の初期から急速に活発化した。図2.3はデジタル光ファイバ伝送システムの研究・開発フェーズ及び実用化システムにおける伝送速度と伝送距離の年代推移を示したものである。図から分るように, 伝送速度は4年で, 伝送距離は5年で約1桁延びており, この傾向は今後も更に続くと推測されている。光伝送方式の研究・開発の主な動向は光素子やファイバ技術の進歩に合わせて3つの期間に大別できる。第1の期間は開発初期から1978年頃までで, 伝送路としてマルチモードファイバを用いた波長0.8 μ m帯の伝送方式が主に検討された。光素子としてはGaAlAs-LDとSi-APDが主として用いられ, 電力会社主導により100Mb/sで数kmのシステム実験が行われた。第2の期間は

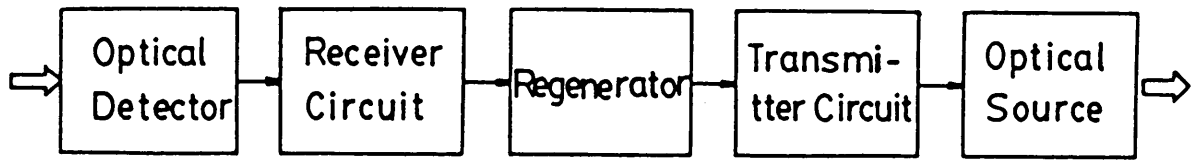


図2.2 デジタル光中継器の基本構成

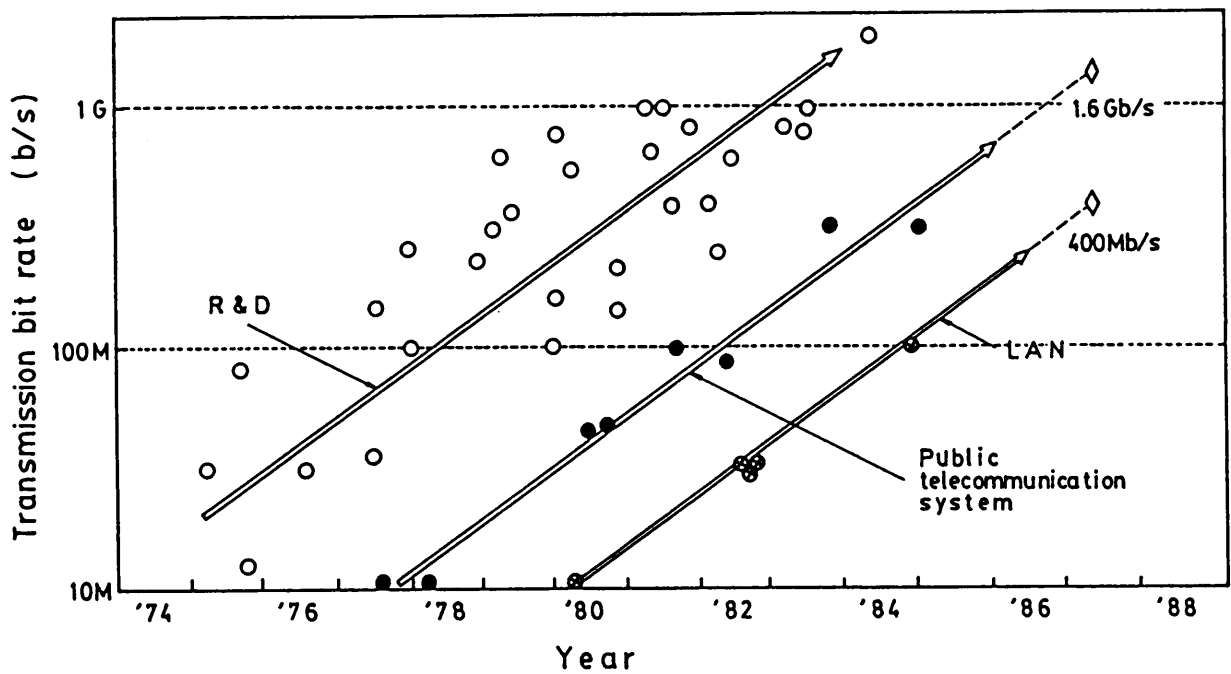


図2.3 デジタル光ファイバ伝送システム開発の年代推移

1977年から1983年頃までで、高速・長距離化を目的に光ファイバの損失が $0.8\mu\text{m}$ に比べて数分の1 ($\sim 0.6\text{dB}/\text{km}$)となる波長 $1.3\mu\text{m}$ 帯光伝送方式の開発が盛んに行われた。この間に、現在、実用化されている $400\text{Mb}/\text{s}$ 系光伝送システムに使われている InGaAsP-LD や Ge-APD 及び単一モード光ファイバが開発されている。第3の期間は1983年以降今日に至る期間で、超大容量・超長距離伝送システムの実現を目指した波長 $1.5\mu\text{m}$ 帯の Gb/s 伝送方式の研究・開発が世界各国で精力的に行われている^{24)~28)}。これは $1.5\mu\text{m}$ 帯で理論限界に近い $0.2\text{dB}/\text{km}$ 前後の光ファイバ損失が得られ、 100km を超える長距離化を実現できることに着目されたためである。超大容量・超長距離伝送を実現するにはLDのチャージングによる波形劣化の低減と受光素子の高感度化が必須である。この観点から光部品の改良が進められており、 $\lambda/4\text{DFB}$ (Distributed feedback) - LDや InGaAs-APD などの実用化の見通しが得られている。又、チャージングの影響を低減できる零分散シフト単一モード光ファイバも実現されている。伝送実験用としては、米国のATT (American Telephone&Telegraph)の達成した $8\text{Gb}/\text{s}$ 、 68km が最高である²⁴⁾。

デジタル光伝送方式が研究・開発フェーズから実用化されるまでに公衆通信システムで5年を要している。これは、システムの信頼性確認や光部品(発受光素子、コネクタ等)、光ファイバの高信頼化などに必要な期間で、現場試験、商用試験などを経て実用化されるためである。公衆通信システムとしては、日本と米国で $400\text{Mb}/\text{s}$ 系(第5次群)のデジタル幹線システムが1984年から1985年にかけて商用化されている。又、現在、次期6次群の $1.6\text{Gb}/\text{s}$ 系のシステムは基本技術の開発が終了し、1987~8年頃の商用化を目指して甲府-立川間で現場試験が実施されている。LAN(計算機ネットワークを含む)は公衆通信システムより3年程遅れて商用化されている。この原因は技術的な難しさと言うよりは社会的要請によるものである。LANへ適用される光伝送技術は基本的には公衆通信システムにおいて開発された技術の流用であり、公衆通信システムが先導的な役割を果しているのが実情である。 $32\text{Mb}/\text{s}$ 系LANは、既に、実用化されており、現在は $100\text{Mb}/\text{s}$ 系LANの開発が活発である⁵⁾。又、 $400\text{Mb}/\text{s}$ 以上の次期大容量LANの開発も活発化しつつある⁶⁾。

ところで、伝送装置のモノリシックIC化はLANや計算機ネットワークなどへ光伝送技術を適用しようとする気運が昂ってきた1977年頃から活発化し始めた。これは光インタフェースとして用いられる光中継器(通称、光伝送モジュール、或いは、データリンクと呼ばれている)が計算機の架内に組込まれるため、公衆通信システムにおける場合より小型化、低消費電力化、高信頼化が要求されたためである。LAN分野では、 $100\sim 200\text{Mb}/\text{s}$ のIC化光中継器が実

用化フェーズにある¹⁰⁾。公衆通信網におけるモノリシック I C 化は1981年頃に400Mb/s系海底中継器の高信頼化、高性能化を目的に着手された。それ迄、Siバイポーラ I C プロセスはメモリやロジック用として開発されてきたが、セルフアラインメント技術や微細加工技術、ポリシリサイド技術等の進展により400Mb/s以上の大容量伝送システムの構築に必須の超広帯域アナログ I C 実現に対し有効であることが明らかにされた²⁹⁾³⁰⁾。400Mb/s伝送用のアナログ I C は、既に、FS-400Mと称される海底ケーブルシステムにおいて実用に供されている³¹⁾。次期1.6 Gb/s伝送用アナログ I C の開発もほぼ完了段階にあるが³²⁾、2 Gb/s以上の伝送用 I C の開発にはGaAsプロセスの適用が考えられており、今後の進展が期待されている³³⁾。

符号形式は光伝送系の安定性や回路規模に密接な関係があるため、伝送系との整合性を考慮して選択する必要がある。1978年以前は主としてNRZ (Non-return-to-zero) やRZ (Return-to-zero) などの符号が用いられてきたが、それ以降はBSI化を考慮した符号が検討されてきた。BSI符号とは送信される原情報パルス列の如何に拘らず伝送路の正常動作が保証される符号のことで、一般に、冗長パルスが挿入される。特に、LANや計算機ネットワークなどのように“0”連続が頻繁に生じ、“1”、“0”の出現頻度が常に不規則に変化するデータ伝送の場合には伝送符号のBSI変化が不可欠となる。代表的なBSI符号としてはmビットをnビットに変換するmBnBブロック符号、CMI (Coded mark inversion)、DMI (Differential mark inversion) 符号などのバイフェーズ符号がある。

2.4 光伝送系の技術課題

表2.1に前節で述べた技術動向より抽出した光伝送系の技術課題をまとめて示す。課題は主としてシステムの①高速・大容量化、②長距離化、③実用化の三つに大別できる。①の高速・大容量化に関しては、光中継器及び端局装置の高速化が必須である。そのためには、特に、前置増幅器やAGC増幅器などのアナログ回路の広帯域化と多重化/分離回路などのデジタル回路の高速化が要求される。②の長距離化に関しては、光中継器の許容スパン損失(光送受信電力差)を大きくする必要がある。そのためには、光受信器の高感度化及び光送信器の高出力化が要求される。これから、受信回路には低雑音化が、又、送信回路には発光素子の電流駆動が可能であり、且つ、光送信器の高出力を安定に維持するための光出力安定化が要求される。一方、長距離伝送システムでは中継距離の長短によって中継器毎に光受信電力が大幅に変動するので、一般にBON (Build out network : 光減衰器) を用いて光受信電力を調整していた

表 2.1 光伝送系の技術課題

システム	装置	中継器		端局
		受信回路	送信回路	
大容量化	高速化	広帯域化	高速化	高速化
長距離化	高感度化	低雑音化	—	—
	高出力化	—	光出力安定化	—
	区間長 無調整化	光ダイナミック 範囲の拡大	—	—
実用化	高信頼化	モノリシック I C 化		
	小形化			
	低消費電力化			
	低価格化			
	B S I 符号化	回路の簡易化		

が、中継区間長の無調整化を実現するには、光受信電力の変動をすべて電氣的に吸収できる光ダイナミック範囲の広い光受信回路が要求される。③の実用化に関しては、装置及び伝送符号の二つの側面がある。装置については、高信頼化、低消費電力化、小形化、低価格化の観点からモノリシック I C 化が不可欠となる。一方、伝送符号については如何なるパターンに対しても光中継器が安定に動作することを保証し、且つ、簡易な回路でそれを実現できる B S I 符号の開発が鍵となる。

2.5 結 言

デジタル光ファイバ伝送システムは、年々、高速・大容量、且つ、長距離化されており、既に、多くのシステムが実用化されている。このような技術動向を踏まえ、本章では本研究の範囲及び光伝送系の技術課題を明らかにした。本研究の目的がデジタル、特に、PCM 光ファイバ伝送方式を実現するための回路技術とモノリシック I C 化技術の開発に関するものであることを示した。又、光伝送回路の技術課題を高速・大容量化、長距離化及び実用化の三点に大別して示し、受信回路では広帯域・低雑音化及び光ダイナミック範囲の拡大が、送信回路では高速・大電流駆動と光出力安定化が回路技術としての重要な課題であることを示した。更に、端局装置については多重化／分離回路に代表されるデジタル回路の高速化がシステムの大容量化実現のために必須であることを示した。最後に、実用化の観点から装置のモノリシック I C 化が不可決であり、又、伝送符号方式の検討も重要であることを指摘した。

本論文では、第 3 章で B S I 符号方式を適用した光中継器について、第 4 章～6 章で主として 3 R 光中継器の主要構成要素である光送信回路、光受信回路、第 7 章で端局回路に関する回路方式とそのモノリシック I C 化について論じ、本研究の重要性、有効性を明らかにしていく。

第3章 光中継器

3.1 緒言

光中継器は、伝送路を伝搬する過程において減衰や波形歪、雑音妨害などを受けた光信号を増幅（光受信器）・波形整形（識別再生回路）して再び伝送路に送出（光送信器）するもので、光伝送品質を決定づける最も重要な装置である。それ故、光中継器は常に高性能で、且つ、安定に動作し、信頼性の高い伝送を維持できることが要求される。この要求に応えるには、回路方式、伝送符号方式の両面からの十分な検討が必要である。回路方式に関しては、部品点数の削減や低消費電力化による高性能、高信頼化が鍵となる。特に、LANなどに用いられる光伝送モジュールは計算機架内のプリント基板上に1個の部品として搭載されるため、小形・低消費電力化がポイントとなる。モノリシックIC技術の光中継器や光伝送モジュールへの適用はこれらの課題を解決するための最も有力な手段となる。伝送符号方式に関しては、送信される原情報パルス列の如何に拘らず伝送路の正常動作が常に保証されるB S I符号化が鍵となる。一般に、原情報パルス列に長い“1”や“0”連続が頻繁に生じるバーストデータ伝送のような場合には、光中継器の動作は生起確立が大幅に変動する際に生じるパターンランジェントによって不安定になり易く、伝送品質の劣化を招く。このため、最近、公衆通信網や計算機システムなどにおけるデジタル伝送の分野では、B S I符号を用いることが国際的に標準化されつつある。B S I符号には①直流平衡条件が満たされていること、②タイミング情報が豊富に含まれていること、③符号誤りの検出・監視が可能であること、④ワード同期が一義的に定まること、⑤A G C情報検出が可能であることなどの条件が課される。又、原信号からB S I符号への変換に伴う速度上昇率が低いことも条件の一つである。

第3.2節では、光中継器の基本設計法について論じる。本節は、第3章から第6章までの関連を明らかにするための導入部として設けたものであり、伝送符号方式、光受信系の設計法、モノリシックIC化に対する基本的な考え方などを中心に述べる。第3.3節では、新たに提案した伝送符号を適用した光中継器の試作結果について論じ、光中継器が簡易な回路構成で安定に動作することを実証する。又、長距離伝送用光中継器のB O Nフリー化を検討し、広い光ダイナミック範囲を実現できる3段利得制御によるA G C方式を提案する。

3.2 光中継器の基本設計

3.2.1 伝送符号方式

従来の電気通信では、線路の伝送特性との整合性をとると共に保守・運用上必要な機能を付加するために伝送路符号化、即ち、符号変換が行われている。“+1”、“0”、“-1”の3値をとるAMI符号はその代表的なものである。光通信では光源の非直線性が大きく、又、通信器の雑音を受信電力に比例して増加するため単純2進符号が用いられている。しかし、この符号は3値符号のAMI符号と異なり振幅方向の冗長度をもたないため、符号誤りの監視及び長い“0”連続が生じた場合にタイミング抽出が困難となる。更に、光受信器は高い利得（通常、40～60dB）が必要であることから一般に交流結合が用いられるため、受信々号のマーク率（“1”、“0”の生起確率）の変化によって生じる直流偏移により動作が不安定になり易い。これらの問題を解決するため、BSI化の観点から各種符号方式が検討されているが、その詳細は文献〔7〕〔8〕に譲る。ここでは、従来のベースバンド伝送でよく用いられているAMI符号との適合性を考慮し、光ファイバ伝送に適した符号として筆者らが提案した2値AMI符号及びモディファイド・デュオバイナリClass-II（MD-II）符号方式について述べる。7)8)

3.2.1.1 2値AMI符号

図3.1に、2値AMI符号の変換原理を示す。同図(a)は、電気通信で使われているAMI符号で、原信号の“1”が“+1”、“-1”に交互に対応している。この符号はそのスペクトルの低周波成分が抑圧されているため、交流結合を用いた回路においても直流偏移が極めて小さい特長がある。符号誤りの検出もAMI則に従わないパルスの検出により容易に実現できる。(b)、(c)は2値AMI符号を示したもので、AMI符号を2値の波形で置き換えたものである。通常、前者はDMI符号、後者はCMI符号と呼ばれており、BSI条件をすべて満たす理想的な符号方式である。斜線の部分がAMI符号と変わらない部分であるが、それ以外の部分はパルス幅Tの1/2のパルスで置き換えられている。これらの符号はAMI符号や単純2進符号に比べて2倍の伝送帯域を必要とするが、時間軸上の冗長度を利用して下記の如く多くの利点を得ることができる。

- ① システム稼動時における常時符号誤り監視が可能であり、障害中継器の同定が可能である。
- ② 変化点が極めて多い符号であるため、タイミング情報が豊富である。このため、タイミング

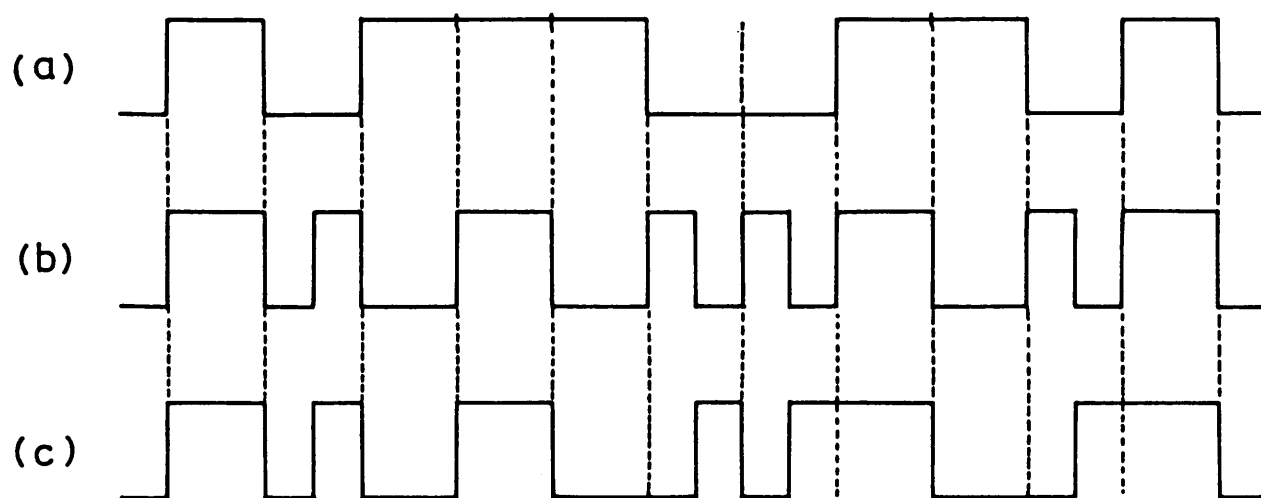


図 3.1 2 値 AMI 符号の変換原理。(a)AMI 符号, (b)DMI 符号, (c)CMI 符号

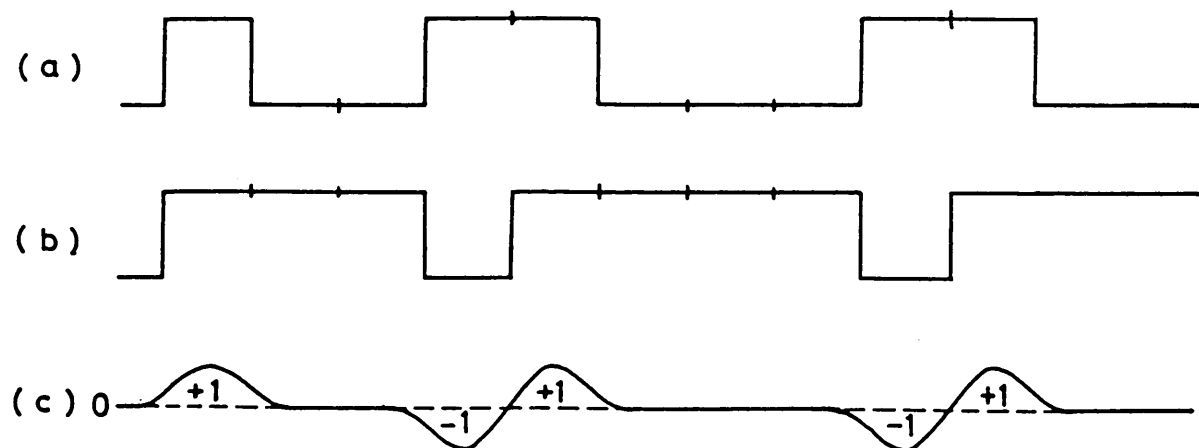


図 3.2 モディファイド・デュオバイナリ符号の変換原理

回路の選択度Qは20程度で十分であり、経年変化や温度変動によるQの変化を低減することができる。又、周辺回路の規模及び消費電力を小さくできる利点もある。

③ 直流平衡条件が満たされているため、受信々号の“1”，“0”を判別する識別レベルが入力波形やパターンに依存せず、原理的には自動利得制御が不要となる。又、光出力もパターンに依存せず一定であるため、出力制御が容易である。

④ 符号変換及び逆変換器を極めて簡易に構成できる。

以上の利点によって中継器の簡易化による小形・低価格化を実現できる。更に、動作も安定で信頼度の高い中継器を実現できる。

3.2.1.2 モディファイド・デュオバイナリClass—II符号

図3.2に、MD—II符号方式の変換原理を示す。この符号方式はNRZ信号(b)を送信し、受信側で3値信号(AMI信号)(c)に波形成形してから識別再生することが特徴であり、原信号(a)と同じ速度で情報を伝送できる利点がある。送信々号(b)には原信号の“1”が発生する毎に前ビットのレベルを反転させて生成した信号(NRZI符号)を用いる。即ち、この方式では原信号の“1”は送信々号のレベル反転情報に変換され、伝送される。それ故、受信側でこの反転情報を微分、検波し、3値識別すれば原信号を復元できる。

MD—II符号は受信側でAMI信号に成形されるため、符号変換則の乱れを検出することにより符号誤りの監視ができる。又、パリティチェックによる符号誤り率検出と符号則の乱れを正規の配列に戻す再符号化によってシステム稼動時における障害中継器を同定できる利点がある。更に、AMI信号は直流平衡がとれているため、信号パターンの変動による直流偏移が生ぜず安定な識別が可能となる。一方、送信々号がNRZ符号であるため、“0”，“1”連続が生じ易く、タイミング情報も失なわれ易いから実システムでは同符号連続をなんらかの形で制限する必要がある。

3.2.2 光源／受光器

光中継器に使用する光源及び受光器は性能(波長、伝送速度、距離、符号誤り率等)、信頼性、価格などを考慮した総合的な見地より選択することが必要である。公衆通信では、中、大容量、長距離多中継伝送が、LANや計算機ネットワークでは小・中容量、短距離無中継伝送が主である。これから適用すべき光源及び受光器の組合せが異なる。大容量・長距離伝送を実現するには光源の高速変調と許容スパン損失(送・受信電力差)の拡大が必要である。このため、光源にはLEDより光ファイバとの結合率が1桁以上よく、高速直接変調が可能なLDが適している。又、受光器には光受信器の高感度化を可能とする光信号の増倍機能をもつAPDが適す

る。一方、LANや計算機ネットワークでは伝送距離は1～2kmと短くてよいため、許容スパン損失は公衆通信の場合程大きくとる必要がない。伝送距離よりは、寧しろ、信頼性、価格が問題となる。これから、光伝送モジュールの光源としては光ファイバとの結合効率は劣るが、信頼性が高く安価なLEDが、又、受光器として増倍機能がなく温度に対する安定性のよいpin-PDが適する。

3.2.3 中継器回路

3.2.3.1 受信系の基本設計

光通信では、従来の電気通信には見られない受光器のショット雑音が支配的雑音となることが多い。このショット雑音は光-電気変換において生じる電子の粒子性に起因するもので、本質的に光信号に強い相関を有している。この他、雑音源としてはAPDの過剰増倍雑音や電気回路の熱雑音を考慮する必要がある。PCM伝送における受信系の符号誤り率についてはS. D. Personick の先導的な理論があるが³⁴⁾、本項では、方式設計の立場から簡易な見通しのよい設計式を求める。

① SNRと符号誤り率特性

PCM伝送系の最終評価は符号誤り率特性によって行われる。従って、ここでは受信SNRと符号誤り率との関係を考察する。光伝送系のモデルを図3.3に示す。図中の等化信号アイパターン（受信回路の出力信号波形）の S_1 、 S_0 は信号の“1”及び“0”レベルを示すもので、 σ_1 、 σ_0 はそれらのレベルに対応する雑音電力の分散値を表わす。雑音はAPDから生じるショット雑音と増幅器から生じる熱雑音との和となるので、その分布は正規分布になると考えられる。従って、信号“1”を“0”と誤る確率を P_{10} 、“0”を“1”と誤る確率を P_{01} とすると、夫々、次式で与えられる。

$$P_{10} = \int_{-\infty}^{S_{th}} \frac{1}{\sqrt{2\pi} \sigma_1} e^{-\frac{(S-S_1)^2}{2\sigma_1^2}} dS$$

$$P_{01} = \int_{S_{th}}^{\infty} \frac{1}{\sqrt{2\pi} \sigma_0} e^{-\frac{(S-S_0)^2}{2\sigma_0^2}} dS \quad \dots\dots\dots (3.1)$$

ここで、 S_{th} は識別レベルである。総合の符号誤り率 P_e は信号のマーク率を P_m とすると

$$P_e = P_m P_{10} + (1 - P_m) P_{01}$$

与えられるが、マーク率が1/2の時、符号誤り率 P_e が最小となるのは $P_{10} \doteq P_{01}$ の場合である。この時の最適な識別レベルは式(3.1)より次式のように定められる。

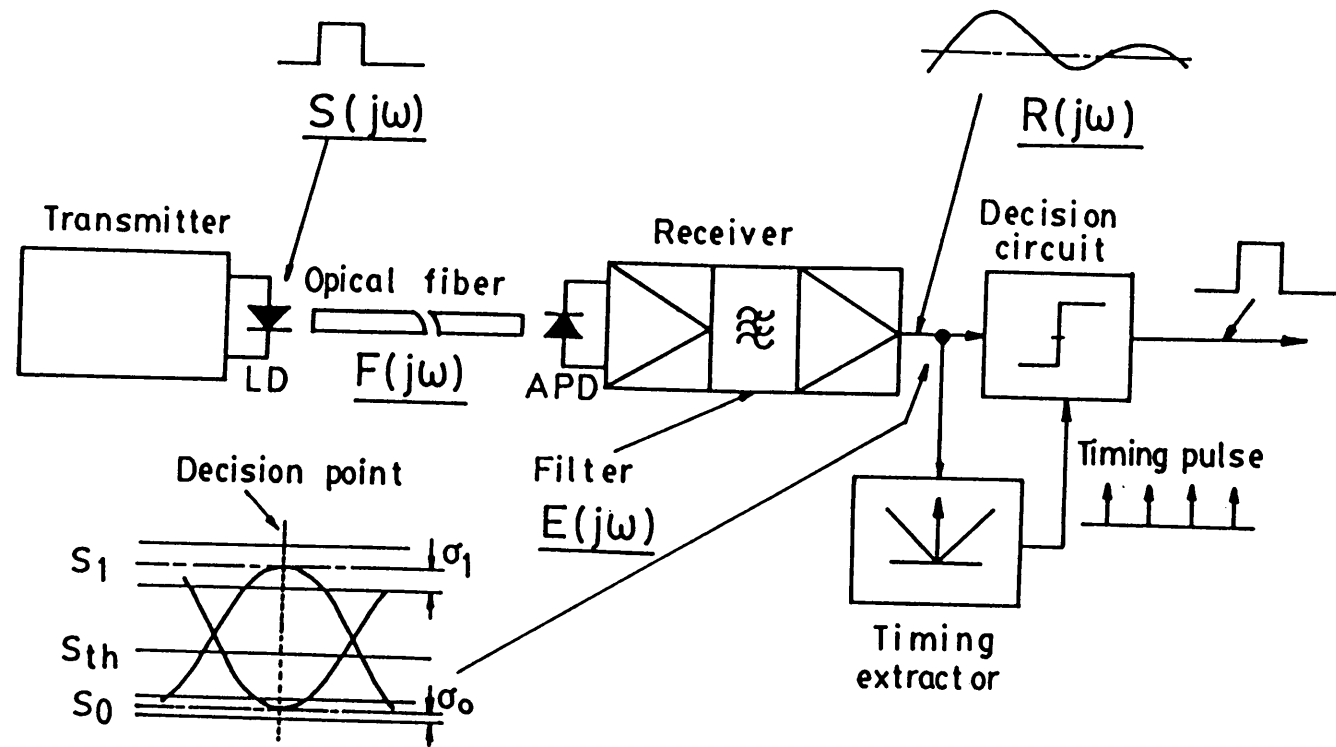


図 3.3 光ファイバ伝送系のモデル

$$S_{\text{thopt}} = \frac{\sigma_0 S_1 + \sigma_1 S_0}{\sigma_0 + \sigma_1} \dots\dots\dots (3.2)$$

S N Rは従来の電気通信で用いられている信号尖頭値対平均雑音電力比で表わすとすると

$$\text{SNR} = 20 \log Q, \quad Q = \frac{S_1 - S_0}{(\sigma_1 + \sigma_0) / 2} \dots\dots\dots (3.3)$$

となる。従って、以上の関係式を用いるとS N Rと符号誤りとの関係は次式のようなになる。

$$P_e = \sqrt{\frac{2}{\pi}} \cdot \frac{1}{Q} e^{-\frac{Q^2}{8}} \dots\dots\dots (3.4)$$

式(3.4)より、 $P_e \leq 10^{-9}$ を満たすS N Rは21.6dBが必要となる。

②受信等化波形

図3.3に示す光伝送系のモデルにおいて送信波形を矩形パルスと仮定すると、その周波数スペクトラムは

$$S(j\omega) = \frac{\sin(\pi\omega / 2\omega_0)}{\pi\omega / 2\omega_0} \dots\dots\dots (3.5)$$

で表わされる。ここで $\omega = 2\pi / T$ (Tタイムスロット)である。又、受信等化波形を2乗余弦波とすると、そのスペクトラムは次式で与えられる。

$$\begin{cases} R(j\omega) = \frac{1}{2} \{1 + \cos(\pi\omega / 2\omega_0)\} & |\omega| \leq 2\omega_0 \\ = 0 & |\omega| > 2\omega_0 \end{cases} \dots\dots\dots (3.6)$$

従って、光ファイバの周波数特性 $F(j\omega)$ が平坦であると仮定すると受信回路の周波数特性 $(j\omega)$ は

$$\begin{cases} E(j\omega) = R(j\omega) / S(j\omega) = \frac{\omega T / 8}{\tan(\omega T / 8)} & |\omega| \leq 2\omega_0 \\ = 0 & |\omega| > 2\omega_0 \end{cases} \dots\dots\dots (3.7)$$

式(3.7)の特性は、受信回路が広帯域の場合には4次の低域LCフィルタで近似できる。

③最小受信電力

受光器にAPDを用いた場合、増倍率を大きくすると信号振幅が増えるが、同時に雑音も増加する。従って、受信S N Rは増倍率が小さい時には増幅器の熱雑音、大きい時にはAPDのショット雑音が支配的に振舞うため、増倍率には受信電力を最小にする最適値が存在することになる。受信電力 P_r (尖頭値)と増倍率との関係は、APDの暗電流が無視できるものとするとき次式で与えられる³⁵⁾。

$$P_r = \frac{Q}{2R} \left(M^x f_b Q + \frac{2\sigma_t}{Me} \right) \dots\dots\dots (3.8)$$

ここで、R、x はAPDの感度係数及び過剰雑音指数、 σ_t は増幅器の熱雑音、eは電荷素量、 f_b はショット雑音の等価帯域幅である。式(3.8)を使い、最小受信電力 P_{rmin} を求めると

$$P_{rmin} = \frac{Q(1+x)\sigma_t}{Rx} \cdot \left(\frac{2\sigma_t}{Qef_b x} \right)^{-\frac{1}{1+x}} \dots\dots\dots (3.9)$$

であり、この式が光中継器設計の基本式となる。尚、この時の最適増倍率 M_{opt} は次式で与えられる。

$$M_{opt} = \left(\frac{2\sigma_t}{xeQf_b} \right)^{\frac{1}{1+x}} \dots\dots\dots (3.10)$$

受光器にPDを用いた場合は、PDが増倍機能を持たないのでAPD受信系のような光受信電力を最小にする条件は存在しない。この場合の光受信電力とSNRとの関係は式(3.8)で $M=1$ とおくことによって求められる。即ち、

$$P_r = \frac{Q}{2R} \left(f_b Q + \frac{2\sigma_t}{e} \right) \dots\dots\dots (3.11)$$

となり、増幅器の熱雑音が支配的となる。

④最適識別レベル

増倍率Mが最適値をとる時のショット雑音と熱雑音との関係は

$$\sigma_{si}^2 = 4(1+x)\sigma_t^2/x^2$$

で表されるから

$$\sigma_i = \sqrt{\sigma_{si}^2 + \sigma_t^2} = \frac{2+x}{x} \sigma_t = \frac{2+x}{x} \sigma_0 \dots\dots\dots (3.12)$$

が得られる。ここで、 σ_{si} はショット雑音を表わす。よって、式(3.2)及び(3.12)より最適識別レベルは $S_0 = 0$ とすると

$$S_{thopt} = \frac{x}{2(1+x)} S_i = \frac{\sigma_t}{2} Q \dots\dots\dots (3.13)$$

で与えられる。例えば、Si-APDの場合にはxは0.46程度であるから $S_{thopt} = 0.16 S_i$ となり、最適識別レベルは信号尖頭値の1/2よりかなり下になる。又、Ge-APDではxはほぼ1に近い値をとるから最適識別レベルは振幅の1/4になる。

⑤等価雑音帯域幅

①熱雑音

熱雑音は受信回路で帯域制限されるので式(3.7)から雑音等価帯域幅 f_b は

$$f_b' = \frac{1}{2\pi E(j \cdot 0)} \int_0^{2\omega} |E(j\omega)|^2 d\omega, \quad E(j \cdot 0) = 1$$

$$= f_0 \cdot \frac{4}{\pi} \int_0^{\pi/2} \left(\frac{\theta}{\tan\theta}\right)^2 d\theta, \quad f_0 = \frac{1}{T}$$

$$\approx 1.1 f_0$$

②ショット雑音

ショット雑音は信号電力スペクトル $P(\omega)$ に比例したスペクトル分布をもつので、等価帯域幅 f_b は ω_1 を $|P(\omega_1)| \cdot |E(j\omega_1)|^2$ が最大となる値として定義すると

$$f_b = \frac{1}{2\pi |P(\omega_1)| \cdot |E(j\omega_1)|^2} \int_0^{2\omega_0} |P(\omega)| \cdot |E(j\omega)|^2 d\omega$$

で表わされる。ちなみに、2値AMI符号の場合には $P(\omega)$ は次式で与えられる。

$$P(\omega) = \frac{\sin^2(\omega T/4)}{\omega T/4}$$

従って、等価帯域幅 f_b は

$$f_b = \frac{1}{2\pi T} \int_0^{2\omega_0} \frac{\sin^2(\omega T/4)}{\omega T/4} \left(\frac{\omega T/8}{\tan(\omega T/8)}\right)^2 d\omega$$

$$\approx 0.91 f_0$$

となる。

③光伝送系の帯域配分

光伝送系の総合帯域は光送信器、光ファイバ、受光器及び受信回路の帯域によって決まる。従って、夫々その帯域を f_{TX} 、 f_F 、 f_{DET} 、 f_{RX} とすると総合帯域 f_t は近似的に次式で与えられる。

$$\frac{1}{f_t^2} = \frac{1}{f_{TX}^2} + \frac{1}{f_F^2} + \frac{1}{f_{DET}^2} + \frac{1}{f_{RX}^2} \dots\dots\dots (3.14)$$

帯域は、使用する光源、受光器、光ファイバや伝送距離に大きく依存する。従って、帯域の配分法はシステムによって異なる。一般に、各段のうち最も帯域制限を受ける段は受信回路である。受信回路は熱雑音を低減するために入力インピーダンスを高くする必要があるので、受光器に付随する寄生容量との積分効果によって帯域制限を受ける。それ故、帯域配分にはこの点を考慮し、割振りを行う必要がある。光ファイバの帯域はシングルモードの場合にはLD光に

対して数十GHzもあり，長距離伝送における信号の光ファイバによる帯域制限の影響は小さい。しかし，マルチモードファイバの場合には，帯域は $L^{-0.8}$ （ L ：距離）に反比例して狭くなるため，長距離伝送システムでは伝送距離に応じた配分を考える必要がある。又，光源にLEDのような発光スペクトル幅の広いものを用いる場合には，ファイバの材料分散による帯域制限も考慮に入れる必要がある。

3.2.3.2 モノリシックIC設計

(i) チップ分割

光中継器をモノリシックIC化する際のチップ分割は性能，信頼性，消費電力，価格などを勘案して行う必要がある。光中継器には，微小なアナログ信号から大振幅のデジタル信号まで種類及びレベルが大きく異なる種々の信号が混在する。従って，各回路間で空間や電源，アースラインを介して信号の相互干渉（クロストーク）が生じ易く，特に，デジタル信号の受信回路への信号漏洩（雑音妨害）は伝送品質の劣化に直結する。それ故，受信回路は識別再生回路や送信回路とは別チップ構成にすることが望ましい。識別再生回路はアナログ信号とデジタル信号が混在し，機能的に異なる二つの回路，即ち，識別器とタイミング抽出回路とで構成される。この回路は規模（部品数）が最も大きく，性能，消費電力の面から2チップ構成をとる場合が多い。送信回路はアナログ信号を主として取扱う受信回路や識別再生回路とは異なり，大電流をスイッチングする特殊な機能をもつ。この回路は送信器の基本となるもので，光出力の安定化回路と併せて1チップ化することが望ましい。以上の観点を考慮したチップ分割例を図3.4に示す。同図は(a)(b)とも4チップ構成の例を示したものであるが，受信回路を1チップ，識別再生回路を2チップ構成とすることも考えられる。従って，チップ数としては3～5個が適当であろう。

(ii) IC設計の要点

表3.1に，光中継器のモノリシックIC化における回路設計の要点をまとめて示す。技術的に最も高度な回路技術を要するICは受信回路を構成する前置増幅器とAGC増幅器の2回路で，高利得・広帯域アナログIC技術が基本となる。送信回路は使用する光源の種類（LD，或いはLED）によって構成が異なるが，設計のポイントは高速・大電流スイッチングと光出力の安定化にある。識別再生回路は一種のアナログ／デジタル変換回路であり，高速・広帯域デジタル／アナログ回路混在化が設計のポイントになる。

①前置増幅器

前置増幅器は光電流を電圧に変換するインピーダンス回路の一つであるが，この光—電気変

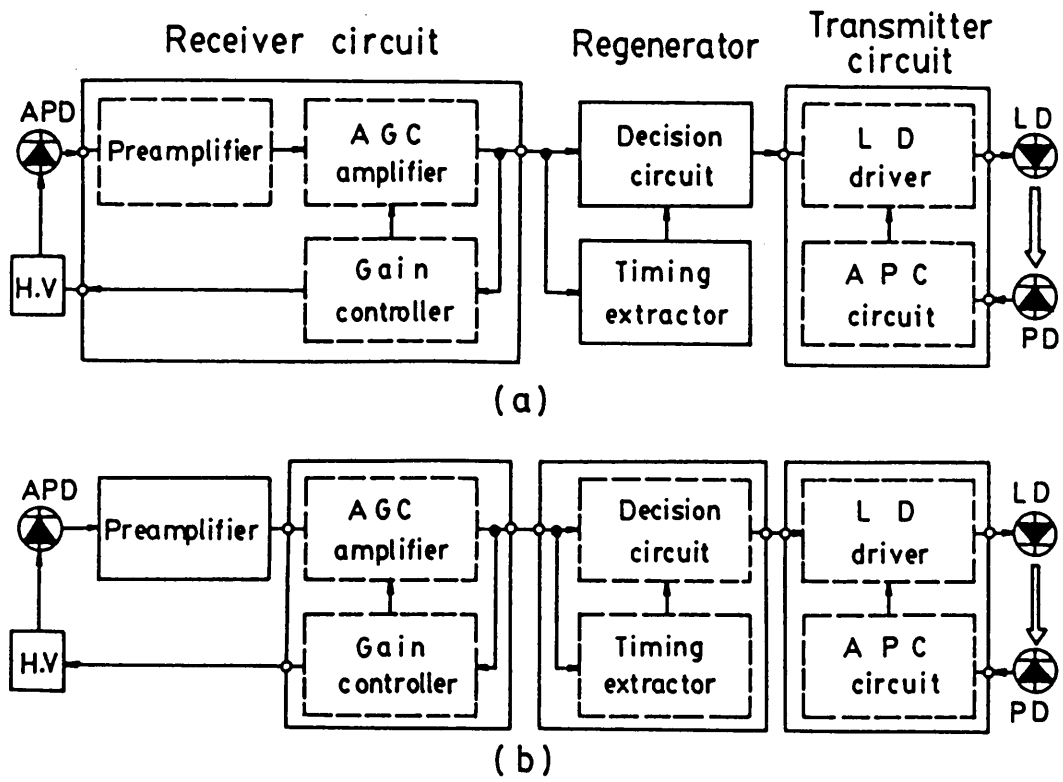


図 3.4 光中継器の IC チップ分割構想

表 3.1 光中継器回路の IC 化における技術課題

適用部署	回路	技術課題
受信部	前置増幅器	<ul style="list-style-type: none"> ・広帯域化 ・低雑音化 ・インピーダンス可変及び可変幅の拡大
	AGC増幅器	<ul style="list-style-type: none"> ・広帯域化 ・DC直結による高利得化 ・利得可変幅の拡大 ・線形動作範囲の拡大 ・オフセット補償
送信部	LD/LED 駆動回路	<ul style="list-style-type: none"> ・高速・大電流スイッチング ・光出力安定化方式
識別再生部	識別再生回路	<ul style="list-style-type: none"> ・識別不確定幅の低減 (高感度化) ・抽出クロックのジッタ低減

換時のSNRによって受信感度，即ち，伝送品質が決まる。SNRを支配する要因は2つあり，一つは熱雑音，もう一つは帯域である。これらはトランスインピーダンスの大きさに依存する。トランスインピーダンスを大きくすると熱雑音は低減されるが，帯域は狭くなる。これは，広帯域化と低雑音化との間にトレードオフが存在することを意味する。高速伝送においては，帯域不足による波形劣化は符号間干渉の増大を招きSNRを急激に劣化させる。このため，開発に当っては広帯域化と共にトランスインピーダンスを大きくできる回路方式の実現がポイントとなる。一方，長距離伝送システムでは中継区間長の長短によって生じる光受信電力の変動量をAPDとAGC増幅器のみでは吸収しきれないので，前置増幅器にも利得，即ち，トランスインピーダンス可変機能が要求される。この場合，インピーダンス変化に伴う帯域及び雑音の変動抑圧と可変幅の拡大が回路方式開発の鍵となる。

② AGC増幅器

AGC増幅器はmVオーダの微小信号を1V程度まで増幅し，且つ，入力信号振幅に応じて利得を制御し出力信号振幅を一定に保つ機能が要求される。この観点より，AGC増幅器には高利得・広帯域及び広い利得可変幅が必要となる。又，入力にオフセットがあると直流動作点が大幅に変動し，回路の実質的な線形動作範囲が狭くなり非線形歪による符号間干渉を生じる。従って，これを避けるためには線形動作範囲を拡大すると共にオフセット補償が必要となる。

③ 識別再生回路

識別再生回路は受信々号の“1”“0”を判別しパルス再生する識別器と同じ受信々号からタイミング情報を抽出しクロック信号を復元するタイミング抽出回路とで構成されている。前者については識別不確定幅の低減，後者については低ジッタクロック抽出が課題である。識別器は基本的にはD形フリップフロップで構成できるが，識別不確定幅の低減にはフリップフロップの前段に広帯域・高利得の増幅器が必要となる。タイミング抽出回路で生じるジッタは信号のマーク率変動によるクロック波形整形用リミット増幅器の振幅一位相変換と入力オフセットに起因して生じる。振幅一位相変換は増幅器の帯域を広くすることにより低減できる。従って，ジッタの低減にはこの増幅器の広帯域化とオフセット補償が必要となる。

④ LD駆動回路

LDは発振閾値をもつ上に温度依存性の大きい素子であり，一定電流下では変調速度，光出力共に大きく変動する。従って，LD駆動回路には高速・大電流スイッチ，後者については構成が簡易で，且つ，動作が安定な自動光出力安定化回路の開発がポイントとなる。

⑤ LED駆動回路

LED駆動回路はLD駆動回路と基本動作は同じで、LEDを電流駆動することにより光強度変調を行う機能をもつ。LEDはLDのように発振閾値をもたず温度特性も小さいので、光出力の安定化のための特別な回路を必要としない。このため、LED駆動回路はLD駆動回路に比べ回路構成が非常に簡略になる。しかし、長波長LEDでは光出力の立下り特性が立上り特性に比べ著しく悪い。それ故、この立下り特性の速度補償による高速化がLED駆動回路の開発における大きな鍵となる。

(iii) 適用ICプロセス

10Mb/s以上で動作する光中継器や光伝送モジュールのモノリシックICプロセスとしては、Si-バイポーラプロセスの独壇場である。既に、多くの光中継器や伝送モジュールが実用化されており、その動作速度も10Mb/sから1.6Gb/sと幅広い。最近、低消費電力の観点からCMOS³⁶⁾(Complementary metal-oxide-semiconductor)プロセスが、高速化の観点からNMOS³⁷⁾やGaAs³⁸⁾プロセスの適用が検討され始めているが、まだ、実用化段階には至っていない。

本研究では、実績の最も高いSi-バイポーラICプロセスを選択し、伝送速度に応じて4種類のプロセスを採用した。図3.5に、伝送速度と適用プロセスの性能指標となるトランジスタの最大発振可能周波数 f_{max} との関係を示したものである。この図から、伝送速度100Mb/s、400Mb/s、1.6Gb/sを実現するための f_{max} としては、夫々、1、4、10GHzが必要となることが分る。表3.2に、本研究で用いた4種類のプロセスにより得られる基本トランジスタのデバイス定数を示す。プロセス1(SHL: Super high linear)は100Mb/s系、プロセス2、3(SEPT: Selective etching poli-silicide technology)及び4(SICOS: Side-wall base contact structure)⁴⁰⁾プロセスは400Mb/s系の光中継器や伝送モジュールのIC化に適用された。

3.3 2値AMI符号を用いた100Mb/s光中継器⁹⁾

光ファイバ通信は、伝送路が広帯域・低損失であることの他に電磁誘導による雑音妨害を受けないと云う利点をもつ。このため、高電圧・大電力を扱う電力会社の通信網のように劣悪な環境下においても電磁誘導の影響を受けず、信頼性の高い通信ができる方式として期待されてきた。光ファイバ通信方式の実用化研究に着手したのは電力会社が最も早く、1975～6年にかけて現場実証試験が実施されている⁴¹⁾。本節では、関西電力の意岐部制御所と1.5km離れた無人変電所間の監視通信システムに用いた画像伝送用の100Mb/s光中継器について述べる。特に、

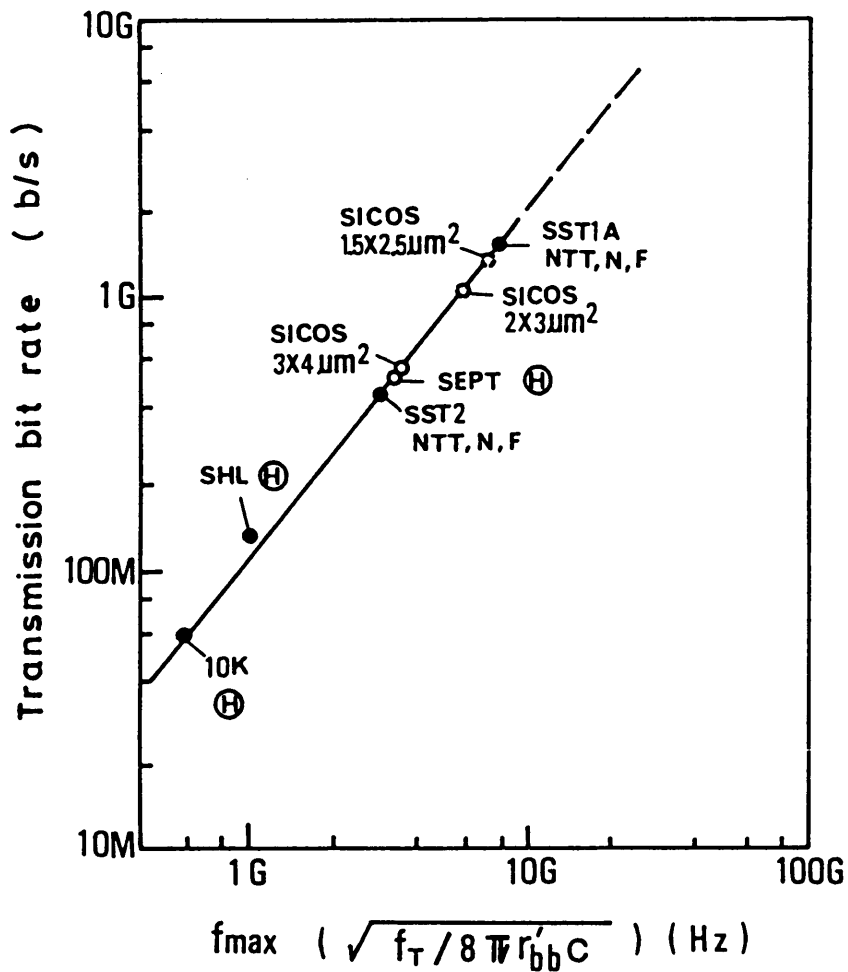


図 3.5 伝送速度と適用プロセス

表 3.2 基本トランジスタのデバイス定数

デバイス定数		プロセス	1	2	3	4
		単位	(SHL)	(-)	(SEPT)	(SICOS)
ベース構造		—	シングル	ダブル	シングル	シングル
エミッタ寸法		μm^2	3×10	2×25	1×4	3×4
接合容量	コレクタ・基板間 C_{Ts}	pF	0.23	1.5	0.05	0.017
	コレクタ・ベース間 C_{cb}	pF	0.10	0.28	0.017	0.014
	エミッタ・ベース間 C_{eb}	pF	0.12	0.2	0.020	0.035
利得・帯域幅積 * f_T		GHz	4.0	4.0	12	12
ベース抵抗 * r_{bb}'		Ω	400	50	230	200
電流増幅率 * h_{fe}		—	60	70	110	80
*コレクタ電流 I_c		mA	2.0	5.0	0.6	0.5
適用伝送速度		Mb/s	> 100	400	> 400	

光伝送用として提案した2値AMI符号方式の有効性を中心に論じる。

3.3.1 回路設計

3.3.1.1 設計目標

表3.3に、100Mb/s光中継器の設計目標を示す。伝送速度は、線路符号として2値AMI符号を用いたので情報（原信号）速度の2倍である200Mb/sが必要となる。伝送距離は無人変電所と制御所との間の距離以上が必要で、4kmを目標とした。この値は、光ファイバの帯域制限（800MHz・km）で決まっており、損失制限（5dB/km）の場合には7km程度の伝送が可能である。波長は線路の伝搬損失が小さい長波長帯が有利であるが、ここでは0.83 μ mを適用した。

3.3.1.2 光中継器

(i) 光源／受光器

短波長帯のLEDは200Mb/s以上の変調が困難である。このため、光源にはメサストライプ形GaAlAs二重ヘテロ構造のLDを採用した。このLDはキャビティ長300 μ m、ストライプ幅30 μ m、活性層厚0.5 μ mである。又、閾電流は190mA、発光波長は0.83 μ mである。バイアス電流190mAに信号電流40mAを重畳した時の平均光出力（ファイバ内入力）は2dBmであり、目標の0dBmを満たすことができる。200Mb/sで受信感度-35dBm（平均値）を満たすため、受光器にはSi-APDを用いた。このAPDの感度係数は0.4 μ A/ μ W、過剰雑音指数は0.3、暗電流は10nA以下である。

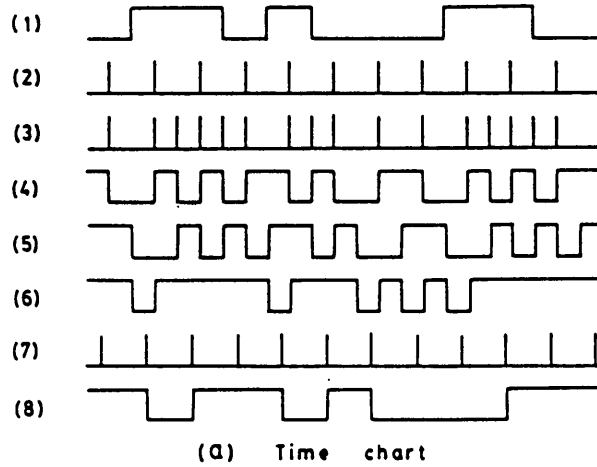
(ii) 伝送符号方式

2値AMI符号は符号変換則の相異により、DMI符号とCMI符号に分けられることは既に述べた。本研究では、極性が反転しても原信号の情報が保持されるDMI符号を採用し、原信号（NRZ）の“1”を“10”，或いは，“01”に，“0”を“00”或いは“11”に変換する方法をとった。図3.6に、符号変換のタイムチャート(a)と符号変換器及び逆符号変換器の構成(b)を示す⁴²⁾。符号変換は、次の手順で行われる。まず、NRZ符号(1)とクロック信号(2)との論理積をとり、これを1/2ビット遅延させる。次に、この遅延信号とクロック信号(2)を論理加算すると信号(3)が得られるから、この信号を分周すればDMI符号(4)が得られる。符号逆変換は次の手順により行われる。まず、(4)のDMI符号とこれを1/2ビット遅延させた符号(5)の排地的論理和をとり(6)のパルス列を作る。この信号はNRZ符号(1)の“1”に対応して“0”レベルをとるから、クロック信号(7)によって打抜けば原信号のNRZ符号(1)を復元できる。

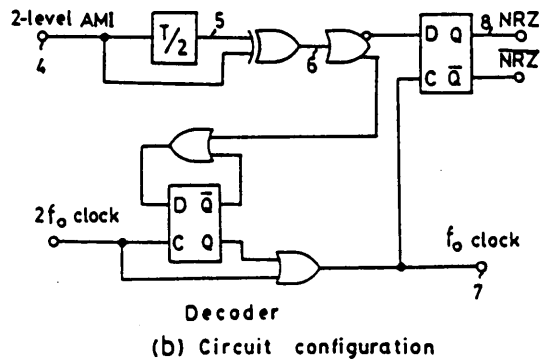
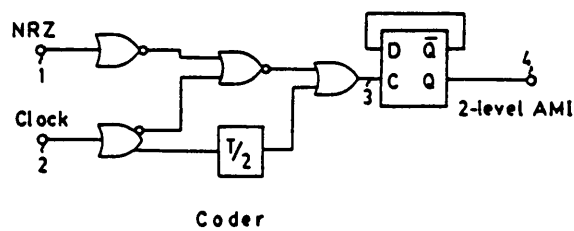
DMI符号は一定の符号変換則をもっているため、この符号則の乱れを検出することによって

表 3.3 2 値 A M I 符号を用いた 100 Mb/s
光中継器の設計諸元

シ ス	情報速度	100 Mb/s	
	伝送速度	200 Mb/s	
	伝送符号	2 値 A M I 符号	
	伝送距離	4 km	
	符号誤り率	10^{-9}	
テ ム	スパン 損失 (35dB)	線路	20 dB / 4 km
		コネクタ	4 dB / 4 個
		マージン	11 dB
	適用波長	0.83 μ m	
送 信 器	光源	InGaAsメサ形LD	
	光送信出力	0 dBm (平均)	
	光出力変動	± 1 dB	
受 信 器	受光器	Si-APD	
	受信感度	-35 dBm (平均)	
	光ダイナミック範囲	20 dB	



(a) Time chart



(b) Circuit configuration

図 3.6 2 値 A M I - N R Z 符号変換器のタイムチャート(a)及び回路構成(b)

符号誤りを常時監視することができる。図3.6(6)において、符号誤りが発生すると原信号の“0”に対応して“0”パルスが生じるべき1/2タイムスロット以外の1/2タイムスロット内に“0”パルスが発生する。従って、(7)のクロック信号を1/2ビット遅延させて(6)の否定パルス列との論理積をとれば符号誤りを検出できる。例えば、符号誤りが1個生じた場合を考える。この時は1/2タイムスロットを1ビットとみて“110”、“001”、“101”、“011”、“100”、“010”なる符号列を考えればよい。ここでは、この符号列の真中の符号に誤りが生じた場合を考える。図3.7の(1)~(4)は符号誤り検出の過程を示したもので、(1)は正しい符号系列、(2)は誤りが生じた時の符号系列、(3)は(2)と(2)を1/2タイムスロット遅延させた符号系列との排他的論理和符号系列、(4)は誤り検出用のクロック信号、(5)は誤りパルスである。(3)から明らかなように、符号誤りが生じた時には正規の1/2タイムスロット以外の1/2タイムスロット内に“0”パルスが発生しており、この性質を利用すれば符号誤りの検出が可能となる。この検出方法では、2値AMI記号とNRZ符号との誤りは1対1に対応する。

図3.8は、光ファイバが十分広帯域で雑音の周波数特性が平坦であると仮定し、総合伝達特性として2乗余弦特性を用いた場合の遮断特性 f_c とSNRの関係を示したものである。従来のRZ符号方式では f_c の最適値は $1.4f_0$ (f_0 :信号の周波数帯域幅)、DMI符号では $2f_0$ となる。RZ符号方式に比較してDMI符号のSNR劣化量は4.5dBであるが、AMI符号の6dBより1.5dBのSNR改善が期待できる。

(iii) 光送／受信器

図3.9に、光中継器の構成を示す。光送信出力は目標の0dBmを満たすため、その変動量を見込んで+2dBmになるようLDの駆動条件を決めた。この時のバイアス電流は190mA、信号電流は40mAであった。APC(Automatic power control)方式としては、光送信出力の尖頭値検出方式を採用し、変動量をバイアス電流に負帰還して光出力の安定化を図った。光受信電力の変動や電源電圧、温度変動によるAPDの増倍率変動を吸収するAGC方式としては、最も簡易なAPDの増倍率のみを制御する方法を採用した。この方式では等化増幅器の利得は固定でよいが、光ダイナミック範囲を拡大するために、光受信電力に応じてその利得を手動で切替える手段を加味している。APDのみで吸収できる光受信電力の変動は26dB、増幅器の手動利得制御方式を併用すると40dBまで許容できる能力をもつ。前置増幅器は個別部品のSi-バイポーラトランジスタで構成されており、利得36dB、入力換算雑音 $5\text{ pA}/\sqrt{\text{Hz}}$ である。主増幅器は利得が50dBで、30dBの利得制御範囲を有する。増幅器の総合帯域幅は総合伝達関数が2乗余弦特性となるように300MHzとした。波形成形濾波器は前置増幅器と主増

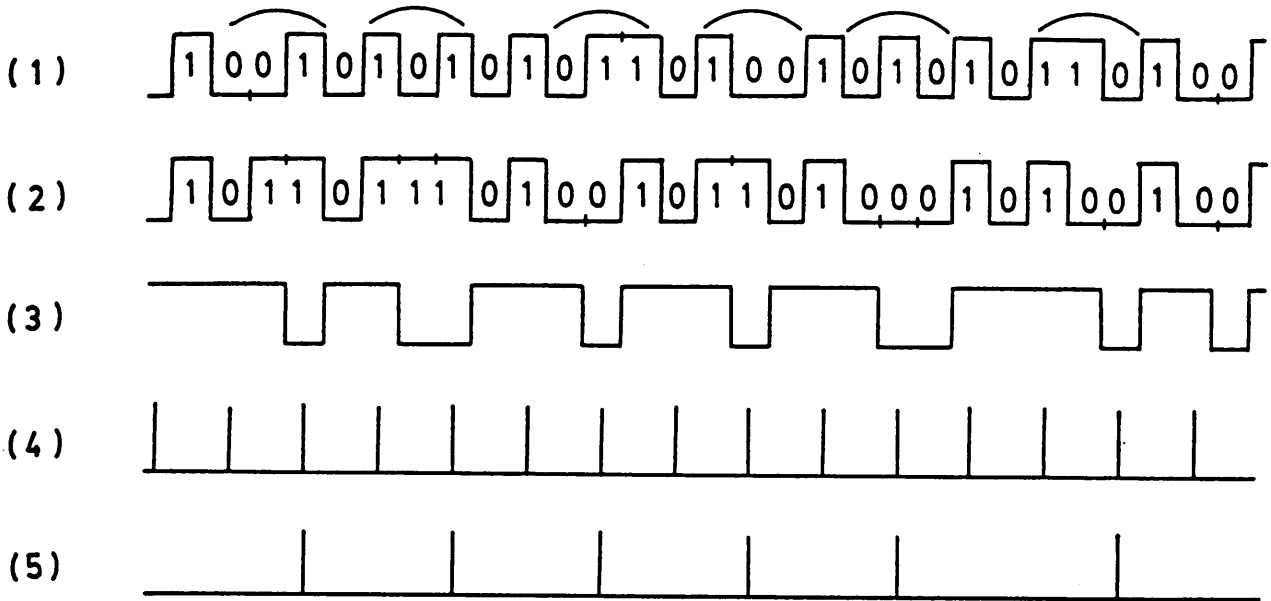


図3.7 2値AMI符号における符号誤り検出。(1) DM1符号,
 (2) 誤りのあるDM1符号,(3) 原信号再生用パルス列,
 (4) 符号誤り検出用クロック,(5) 誤りパルス列

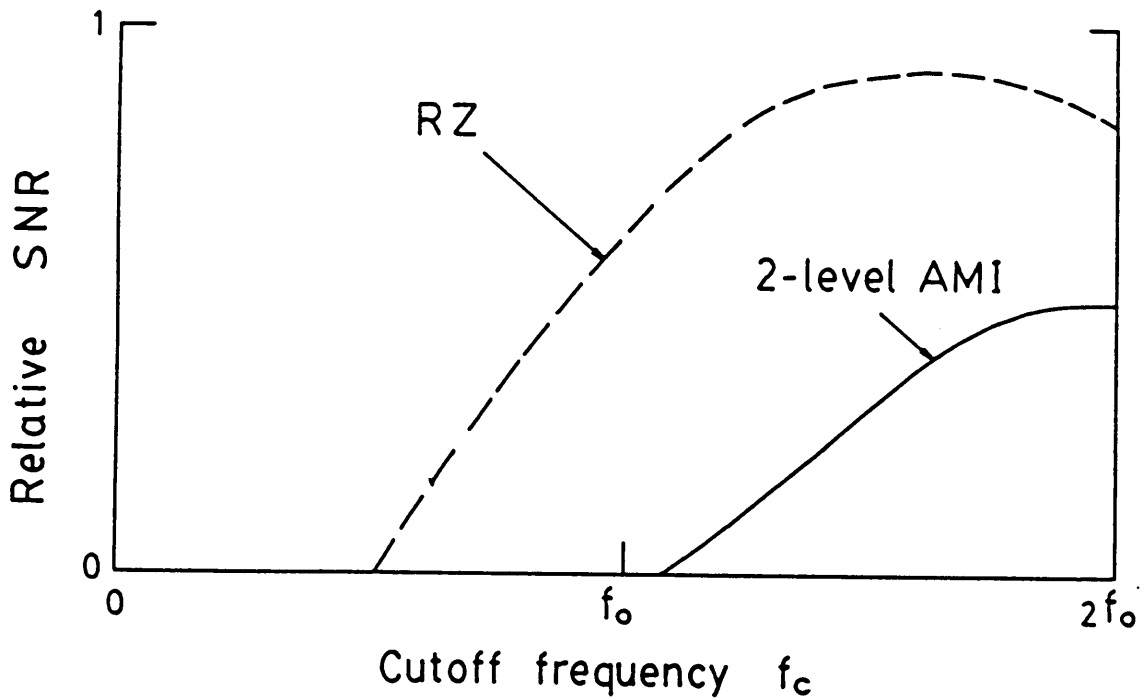
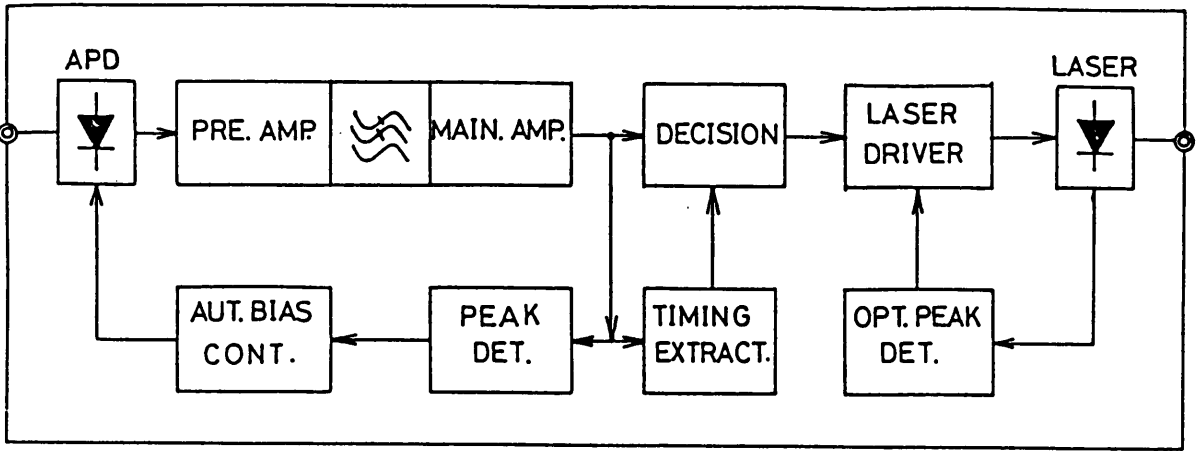


図3.8 広帯域光ファイバ伝送におけるSNR特性



◎ OPTICAL CONNECTOR

図3.9 試作光中継器の構成

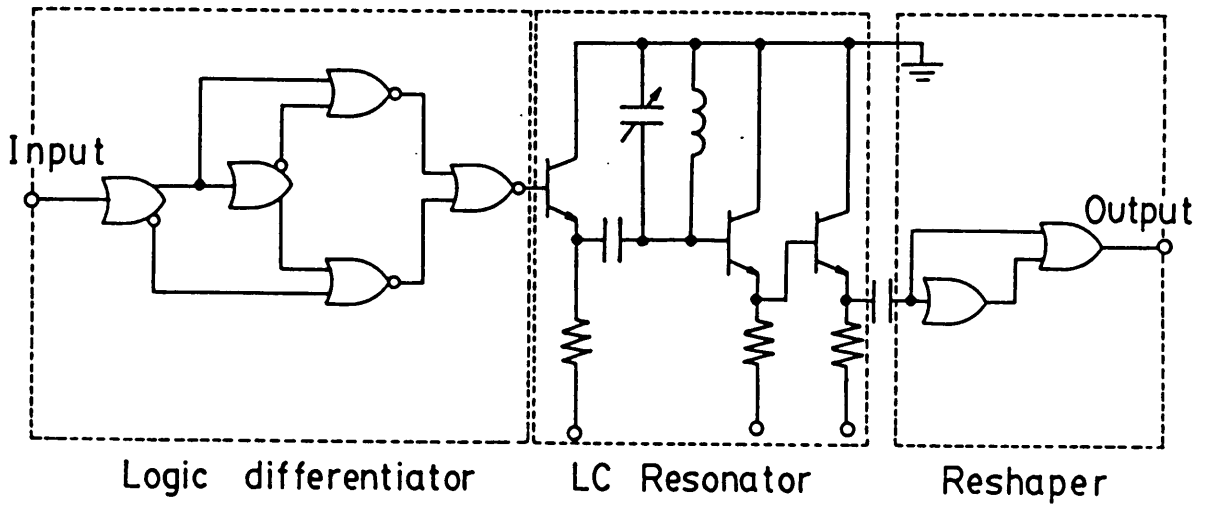


図3.10 タイミング抽出回路

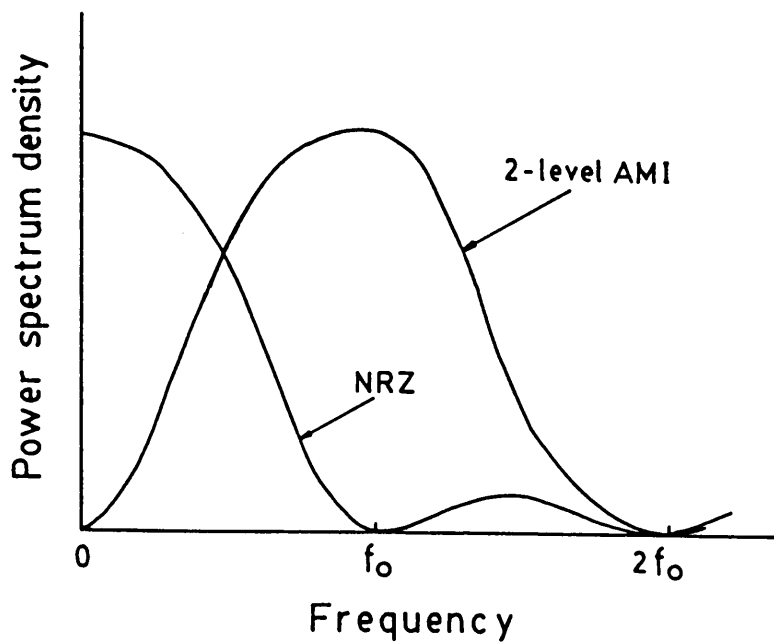


図3.11 2値AMI符号の電力スペクトル密度

幅器との間に挿入し、5次のLC濾波器を用いた。出力信号振幅は50Ω負荷に対し、1V_{p-p}に設定した。識別器には10Kシリーズのフリップフロップを用いた。識別感度は200MHzにおいて10mV、出力振幅は0.8V_{p-p}、立上り/立下り時間は1nsである。DMI符号はタイミング情報が豊富であり、レベル変動が小さいので図3.10に示すような簡易な回路構成でクロック信号を抽出することができる。DMI符号のスペクトルは図3.11に示すような連続スペクトルのみで輝線スペクトルを含まない。従って、非線形のタイミング抽出が必要となる。図3.10の論理微分回路はこのために用いられている。単一同調回路の選択度をQとすると、同調回路の出力 e_o は

$$e_o = Ke_i \exp(-\pi N/Q) \quad \dots\dots\dots (3.15)$$

で表わされる減衰正弦波となる。ここで e_i は同調回路への入力電圧、Kは同調回路の電圧利得、Nは同符号連続のタイムスロット数である。通常、N/Qは0.13程度あればよい。これから、DMI符号はN=2であるからQは15程度あればよい。試作した同調回路のQは温度変化や経年変化を見込み30に設定した。

3.3.2 試作結果

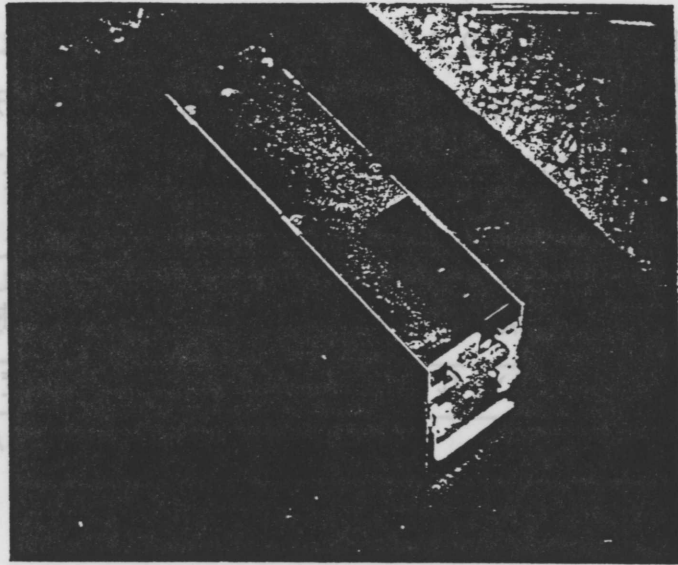
図3.12に試作した100Mb/s光中継器の外観図を示す。同図(b)は光受信部を示したもので、等化増幅器、波形成形濾波器、識別器を含む。同図(c)は光送信部を示したもので、LD駆動回路、APC回路とタイミング抽出回路を含んでいる。尚、光コネクタと受光器間にBONを挿入し光受信電力を調整できるようになっている。この光中継器は、マンホール内及び柱上中間中継装置に共用でき、プラグイン方式であるため抜き差しが簡単にできる。

3.3.2.1 送信特性

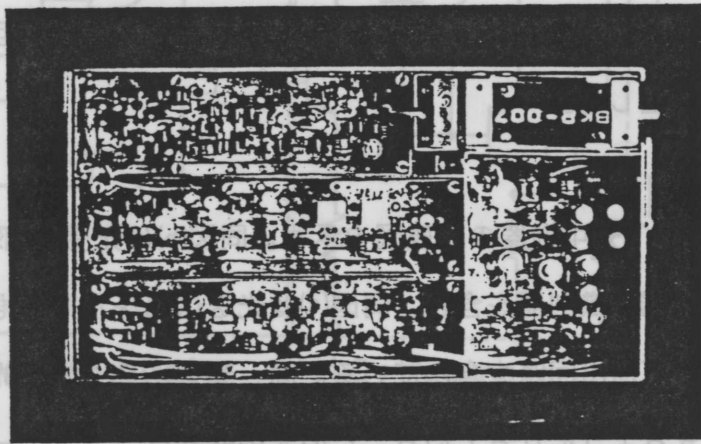
図3.13に、光送信波形を示す。立上り/立下り時間は夫々1ns、1.5nsである。図3.14は送信出力特性を示したもので、光出力は1dBm、その変動量は温度範囲0~40℃において0.5dB以下であった。

3.3.2.2 受信特性

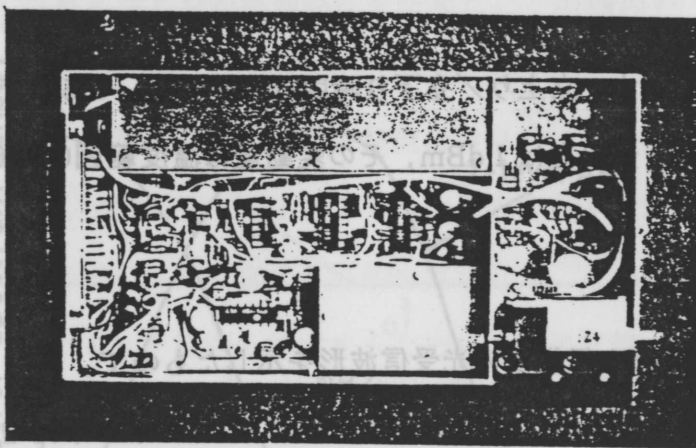
図3.15(a)は、光ファイバ1.5km伝送後の光受信波形を示したもので、光ファイバの帯域制限による波形劣化が見られる。同図(b)は光受信電力が-38dBmの時の等化増幅器出力の波形を示したものである。波形等化回路を用い、光ファイバの帯域制限による劣化を補償している。図3.16は識別再生信号とタイミング抽出回路において抽出されたクロック信号を示したものである。又、図3.17は、タイミング抽出回路のジッタ抑圧効果を示したもので、ジッタが十分抑圧できていることが分る。実験では、10°以内のジッタが得られることを確認した。



(a)



(b)



(c)

図3.12 100Mb/s光中継器の外観

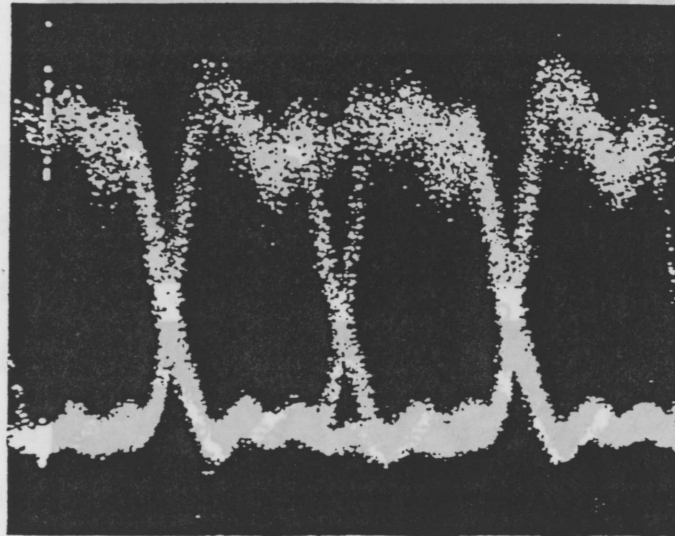


图3.13 100Mb/s 2值AMI符号送信波形

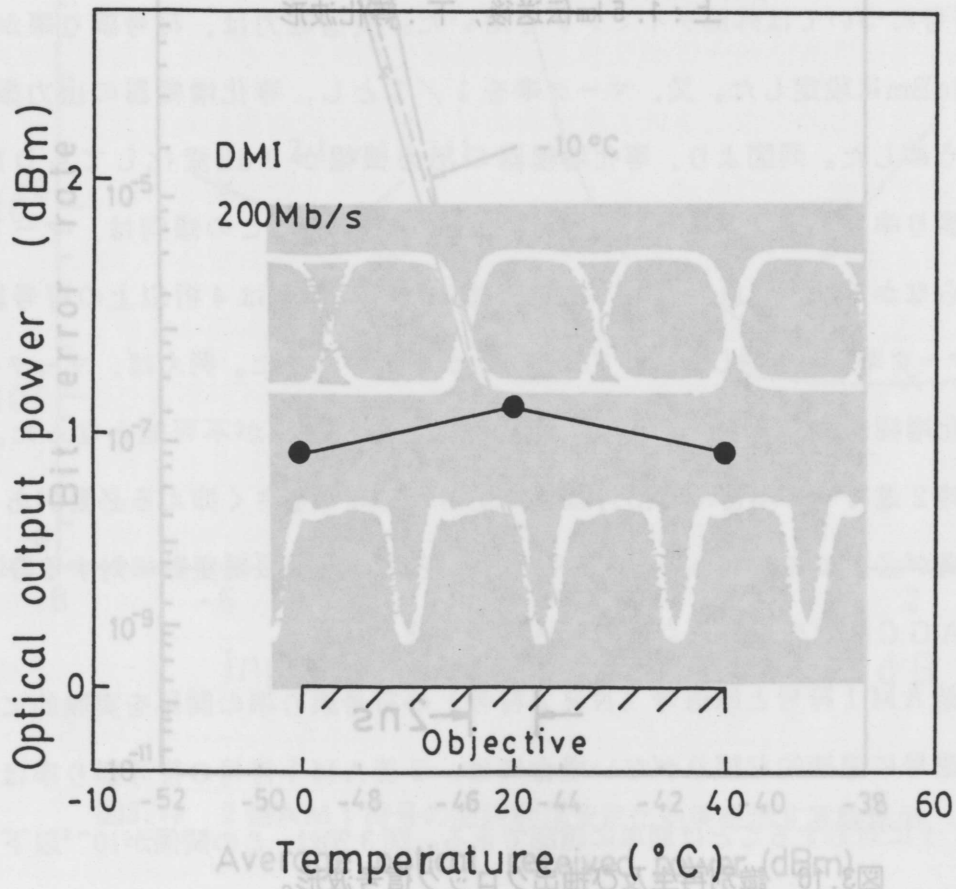


图3.14 光送信出力特性

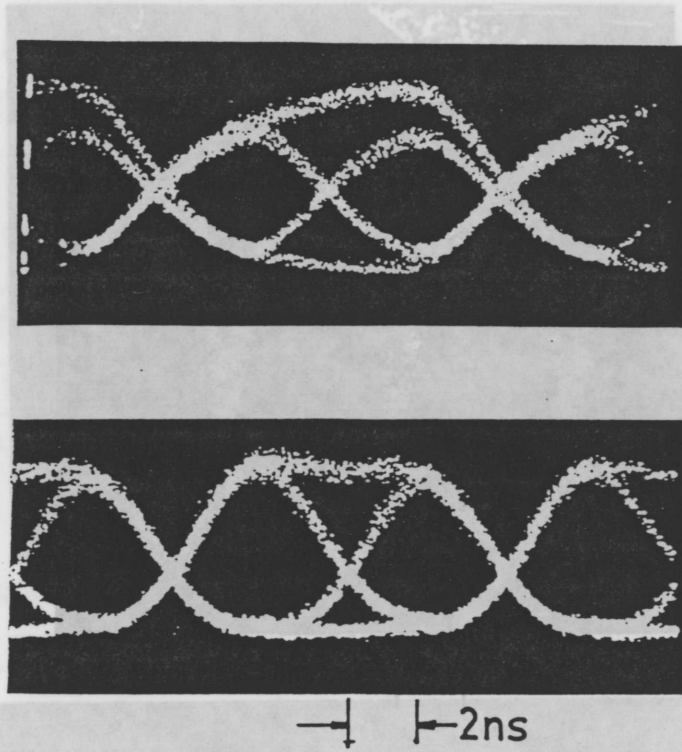


図3.15 光受信及び等化波形。

上：1.5 km伝送後，下：等化波形

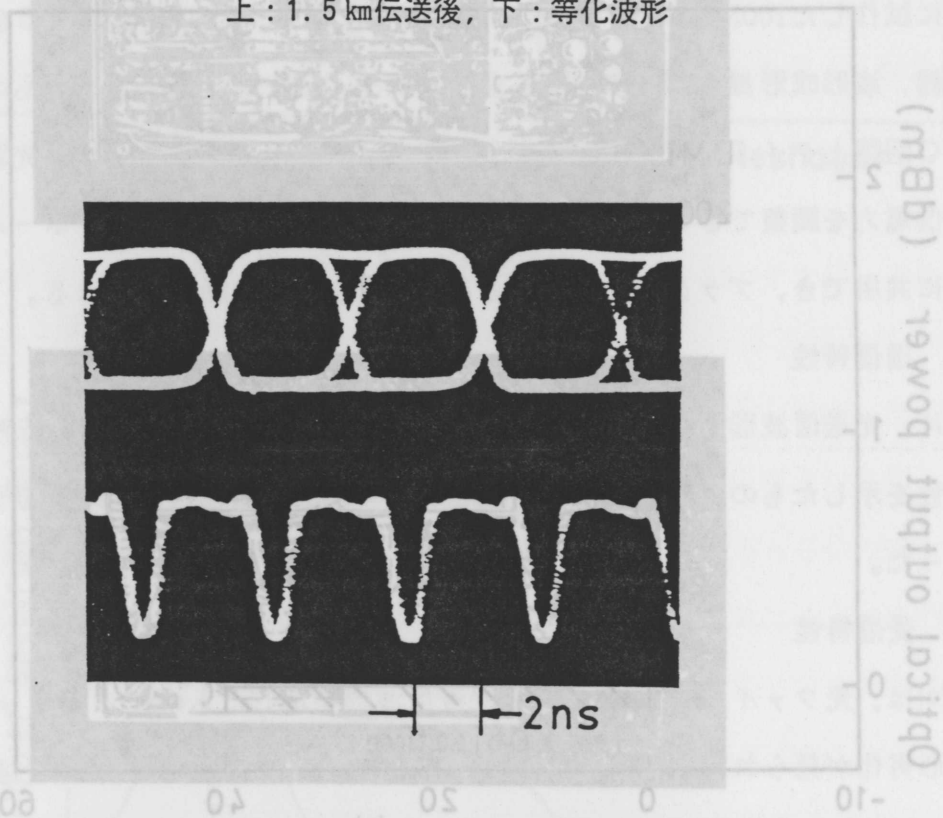


図3.16 識別再生及び抽出クロック信号波形。

上：識別再生信号，下：クロック信号

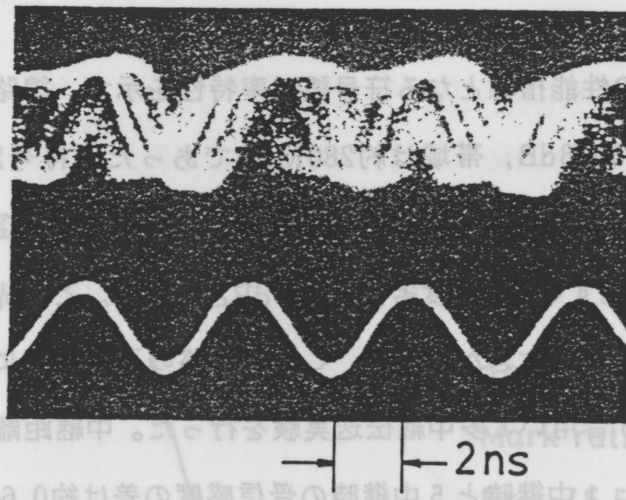


図 3.17 タイミング抽出回路のジッタ抑圧効果

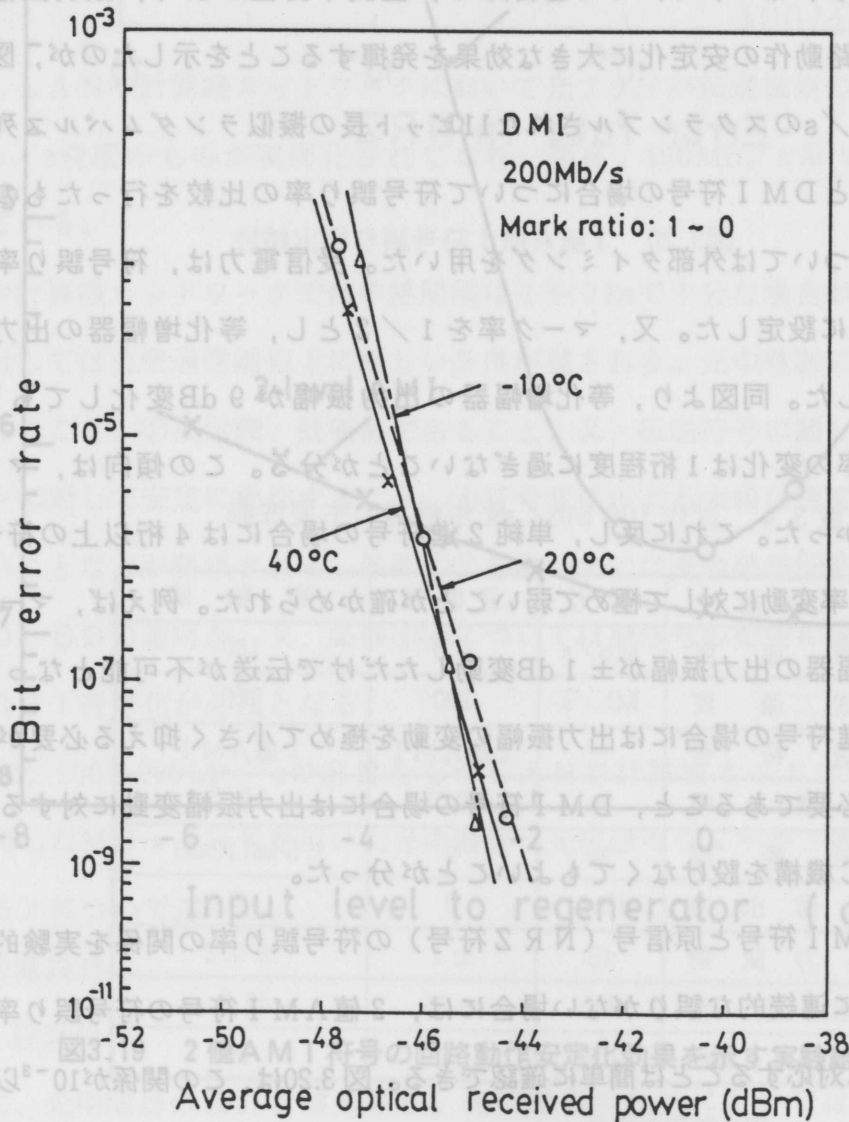


図3.18 符号誤り率特性

3.3.2.3 伝送実験

図3.18に、光中継器の性能指標となる符号誤り率特性を示す。線路には1.5 kmの光ファイバを用いた。線路損失は約18dB、帯域は約280MHzであった。符号誤り率 10^{-9} を満たす光受信感度は温度20°Cにおいて-43.9dBmが得られた。これから、許容スパン損失は約45dBとなる。20°Cの温度上昇に対する受信感度劣化は0.5 dBと小さい。この光受信感度は式(3.8)より得られる理論値より約2 dB大きかったが、これは回路の不完全性によるものと考えられる。次に、試作光中継器を5台用いて多中継伝送実験を行った。中継距離は3区間を1 km、2区間をback-to-backとした。1中継時と5中継時の受信感度の差は約0.6dBであり、これは多中継によるものの他に中継器間の感度差0.3 dBが含まれる。尚、本実験では原信号のマーク率を“1”から“0”まで変化させたが結果は変わらなかった。DMI符号はマーク率が原信号のパターンに拘らず、常に、1/2であるため、直流平衡性がよく、識別振幅の変動に強い。DMI符号が回路動作の安定化に大きな効果を発揮することを示したのが、図3.19の実験結果である。100Mb/sのスクランブルされた11ビット長の擬似ランダムパルス列について、単純2進符号の場合とDMI符号の場合について符号誤り率の比較を行ったものである。但し、単純2進符号については外部タイミングを用いた。受信電力は、符号誤り率が 10^{-7} になるように-45.4dBmに設定した。又、マーク率を1/2とし、等化増幅器の出力振幅を手動で変えられるようにした。同図より、等化増幅器の出力振幅が9 dB変化してもDMI符号の場合には符号誤り率の変化は1桁程度に過ぎないことが分る。この傾向は、マーク率を変化させても変わらなかった。これに反し、単純2進符号の場合には4桁以上の符号誤り率の変化が見られ、マーク率変動に対して極めて弱いことが確かめられた。例えば、マーク率1/4の場合には、等化増幅器の出力振幅が±1 dB変動しただけで伝送が不可能となった。これらの結果より、単純2進符号の場合には出力振幅の変動を極めて小さく抑える必要があるため高精度なAGC機構が必要であること、DMI符号の場合には出力振幅変動に対する許容度が大きいこと、特にAGC機構を設けなくてもよいことが分った。

図3.20は、2値AMI符号と原信号(NRZ符号)の符号誤り率の関係を実験的に示したものである⁴³⁾。原信号に連続的な誤りがない場合には、2値AMI符号の符号誤り率は原信号の符号誤り率に1:1に対応することは簡単に確認できる。図3.20は、この関係が 10^{-3} 以下の符号誤り率であれば成立することを示す。この結果から、2値AMI符号の誤り率を検出することによって回線の常時監視ができることが分る。

尚、表3.4に試作した100Mb/s光中継器の主要性能をまとめて示す。

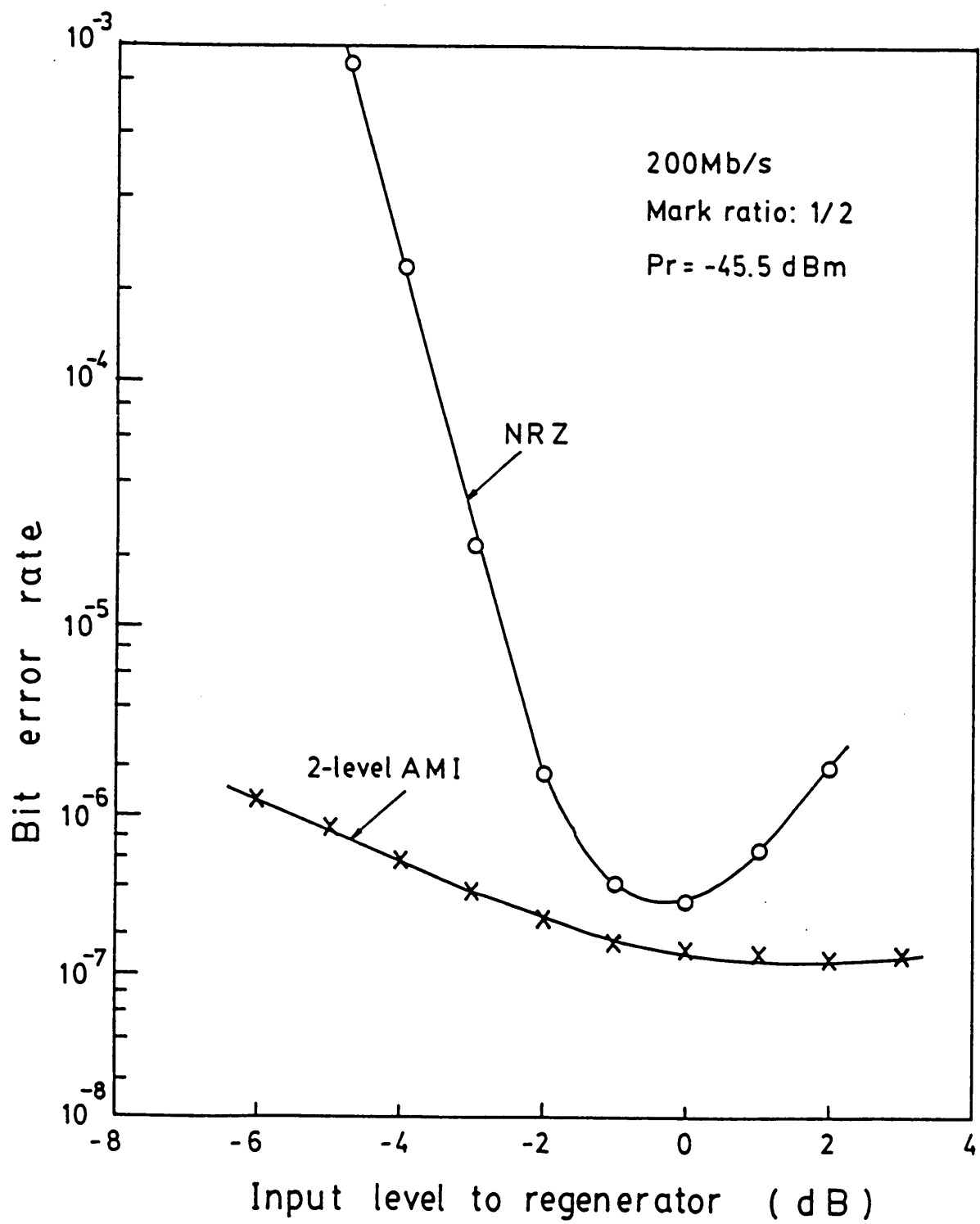


図3.19 2値AMI符号の回路動作安定化効果を示す実験結果

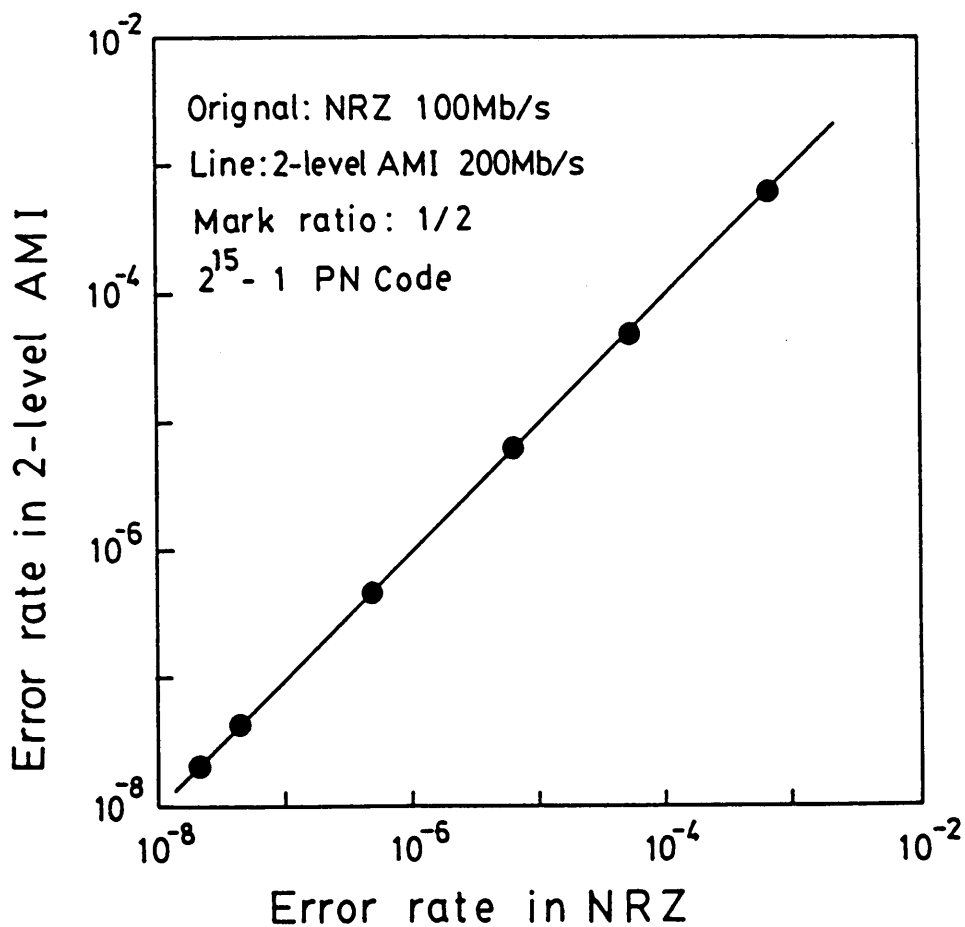


図3.20 2値AMI符号誤り検出特性

表 3.4 試作 100 Mb/s 光中継器の主要性能

項目	単位	目標値	実験値
情報速度	Mb/s	100	100
伝送速度	Mb/s	200	200
伝送符号	—	2値AMI	2値AMI
符号誤り率	—	10^{-9}	10^{-9}
伝送距離	km	4	1.5 km (10km) *
光送信出力	dBm	0	1
光出力変動	dB	± 1	± 0.2
受信感度	dBm	-35	-43.9
光ダイナミック範囲	dB	20	26

* 損失制限の場合

3.3.3 まとめ

2値AMI符号の一つとしてDMI符号を用いた100Mb/s光中継器を試作し、各種実験により2値AMI符号の有効性を実証した。本符号方式の採用によって回路構成、特に、等化増幅器、タイミング抽出回路を簡略化できるため光中継器の小形化が容易となること、直流平衡性がよいため動作状態が安定でAGC、直流再生回路が不要となること、符号変換が簡易な論理回路で実現できること、符号誤り監視が常時可能なことなど、方式上の特長を実験により確かめることができた。試作した光中継器は許容スパン損失が約45dBあり、線路が損失制限の場合には10km以上の無中継伝送が可能となる能力をもつ。

3.4 モディファイド・デュオバイナリ Class-II を用いた

100Mb/s光中継器¹⁰⁾

最近、LANや計算機ネットワークにおいて光ファイバ伝送技術の導入が注目を集めている。32Mb/s程度のものが実用化されており、現在、100Mb/s系リンクを中心に開発が進められている。

LANや計算機ネットワークでは中継間隔は1～2kmで十分な場合が多いが、光中継器や伝送符号に対しては公衆通信網以上に厳しい条件が課される。光中継器に関しては①小形、低消費電力であること、②高信頼、低価格であること、又、伝送符号に関しては③計算機特有の信号パターンに対して安定に動作すること、④符号変換による大幅な速度上昇や回路規模の増大を招かないことなどが要求される。条件①②を満たすには光中継器回路のモノリシックIC化と光源へのLEDの適用が、又、条件③④については原信号の如何に拘らず光伝送系が安定に動作するBSI符号化が必須となる。

本節では、100～200Mb/sの容量をもつLANや計算機ネットワークに適用することを目的に開発したMD-II符号を用いた光中継器（光伝送モジュール：通常、送/受信器別体で使用される）について述べる。

3.4.1 回路設計

3.4.1.1 設計目標

表3.5に、光中継器の設計目標を示す。光中継器の設計においては、伝送速度100Mb/s以上、伝送距離2kmのシステムに適用することを目的に目標性能が設定された。伝送品質を決める符号誤り率は 10^{-12} 、この時の許容スパン損失は9dB以上である。又、許容スパン損失9dBは線路損失に2.4dB/2km、光コネクタに3dB/3コネクタ、システムマージンに

表 3.5 100 Mb/s 光中継器の目標性能

システム パラメータ	伝送速度	100 Mb/s	
	伝送符号	MD-II符号	
	伝送距離	2 km	
	符号誤り率	10^{-12}	
	許容スパン 損失 (9 dB)	ファイバ	2.4 dB/2 km
		コネクタ	3 dB/3 コネクタ
		マージン	3.6 dB
適用波長	1.3 μ m		
送信器	光源	InGaAs/InP LED	
	光出力電力	-17dBm _{p-p}	
	光出力変動	± 1 dB	
受信器	受光器	InGaAs/InP pin	
	受信感度	-26dBm _{p-p}	
	光ダイナミック範囲	10dB	

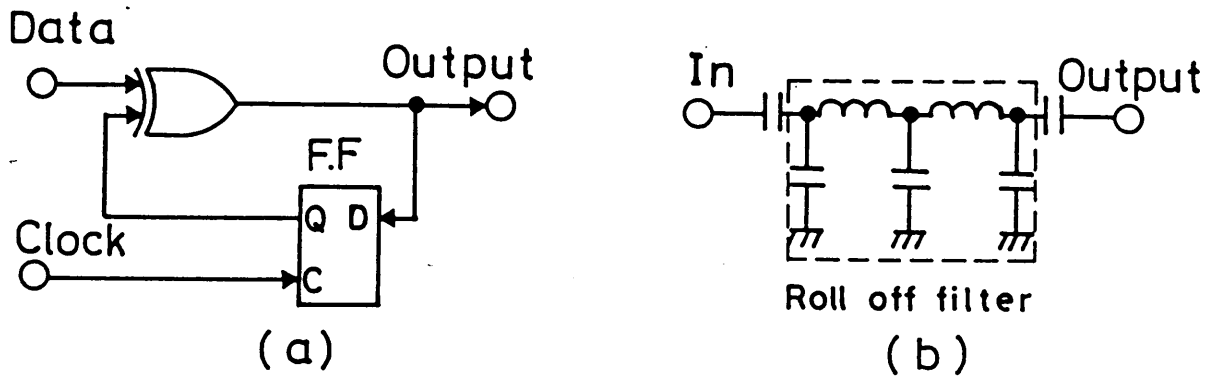


図 3.21 モディファイド・デュオバイナリ符号方式の符号/復号器。

(a)符号器, (b)復号器

3.6 dBが配分される。伝送符号には、符号変換後の伝送速度が情報（原信号）速度と等しいMD-II符号が用いられる。この符号方式では、受信々号がAMI信号に波形成形されるため、直流変動が殆んどなく安定した識別再生が可能となる。又、AMI符号則の乱れを検出・修正する再符号化とパリティチェックビットによる回線の符号誤り率検出の併用により、システム稼働時においても障害中継器を見つけることができる⁴⁴⁾。更に、図3.21に示すように非常に簡易な回路で符号/復号化ができるので、これらの回路を光中継器と一体化することも可能である。特に、波形成形されたAMI信号を3値識別するのみで原信号を再生できるため、専用の復号回路を必要としない利点がある。波長は1.3 μmが適用される。この波長は、線路損失が短波長帯より約1/5小さく(0.6~1.2 dB/km)、材料分散による帯域制限を殆んど受けないなどの理由によって選ばれた。

3.4.1.2 光送/受信器

光送/受信器に使用する光源/受光器は信頼性、取扱いの容易さ、価格などを考慮し選択する必要がある。これらの観点から、LAN用としてはLED-pin・PDの組合せが最も適している。1.3 μm帯のLEDは100Mb/s以上の高速変調が可能である。従って、光源及び受光器にはInGaAsP/InP系のLED⁴⁵⁾とpin・PD⁴⁶⁾が適用される。光送信出力は、光ファイバ入力で-17dBm(尖頭値)、その変動量は±1dB以下に設定された。これから、許容スパン損失9dBを得るための最小受信電力は、-26dBm(尖頭値)以下に設定された。光受信電力の変動量は伝送距離が最大2kmであるから光コネクタ損失、光送信出力の変動等を考慮しても4~5dB見込めばよい。これから、光ダイナミック範囲としては10dBあれば十分である。

3.4.1.3 送/受信用IC

前に述べたように光中継器のチップ数の決定は信頼性、寸法、価格などの点から重要である。これから光中継器は4つのブロック、即ち、前置増幅器、AGC増幅器、識別再生回路、LED駆動回路に分割された。表3.6に、3 μm-SiバイポーラICプロセス(SHL:トランジスタ定数は表3.2参照)により試作したIC4品種の性能をまとめて示す。尚、IC化の詳細については第4章以降の各論で述べる。

3.4.2 試作結果

3.4.2.1 光送信器

図3.22に、LED送信器の構成を示す。この送信器はLEDと破線で示すLED駆動用IC及びLEDの速度補償回路の3つで構成されている。LED駆動回路は、LEDを高速変調す

表 3.6 適用 I C の主要性能

I C	項 目	単 位	目 標 値	実 験 値
前置増幅器	帯 域	MHz	170	240
	入力雑音電流	$\text{pA}/\sqrt{\text{Hz}}$	5	3
A G C 増幅器	帯 域	MHz	170	200
	最 大 利 得	dB	48	48
	利 得 可 変 幅	dB	30	32
識別再生回路	識別不確定幅	mV	10	6
	ジ ッ タ	度	± 10	± 8
L E D 駆動回路	立上り/立下り時間	ns	1	0.6
	信 号 電 流	mA	100	< 100
	安 定 度(光出力)	dB	± 1	± 0.4

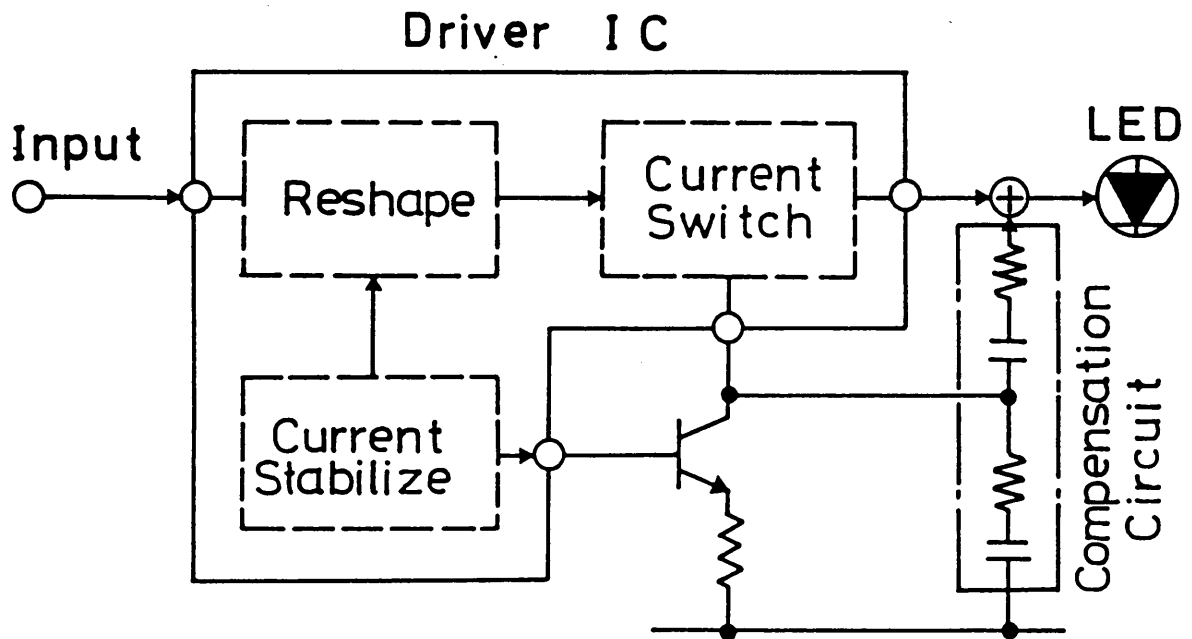
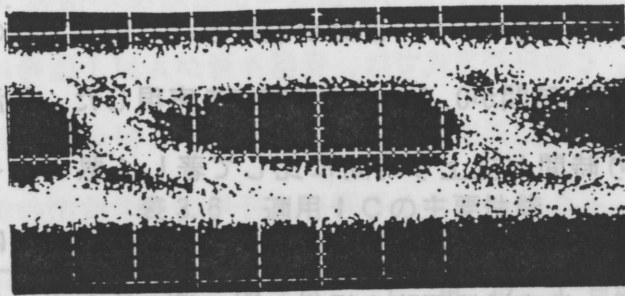


図 3.22 L E D 送信器の構成

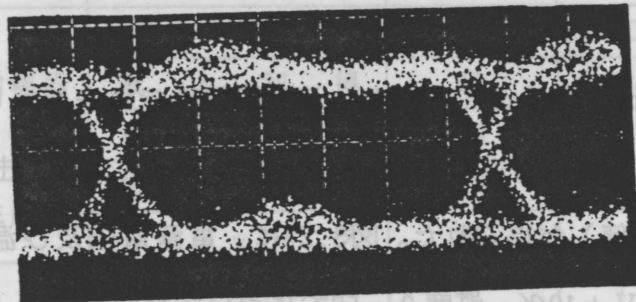
るために電流スイッチの前段に入力バッファ回路が設けられている。この構成により、電流振幅100mAにおいて立上り／立下り時間が0.6 nsの信号電流を実現した。長波長LEDはオージェ非発光再結合によって立下り時間が立上り時間に比して著しく悪い。それ故、100Mb/s以上の高速伝送を実現するためには立下り時間の改善を要する。本研究では、図3.22に示すような抵抗と容量とから成る簡易な速度補償回路を提案し¹³⁾、約3倍の高速化を達成した。図3.23に、速度補償回路の効果を示す。同図(a)が速度補償回路無し、即ち、LEDの出力アイパターンで、(b)が速度補償回路有の場合の出力アイパターンである。LEDの立上り／立下り時間は2.5 ns／4.6 nsであるが、速度補償後では夫々1.0 ns／1.5 nsに高速化されていることが分る。この送信器は300Mb/sまで動作する。光送信出力は駆動電流100mAにおいて-15.6dBm（尖頭値）が得られた。図3.24に、電源電圧及び温度変動に対する光出力変動を示す。電源電圧5 V ± 10%、温度0 - 50°Cにおいて全変動量は±0.4 dB以内であり、目標を十分満たすことができた。

3.4.2.2 光受信器

図3.25は光受信器の構成を示したもので、3チップから成る。前置増幅器ICは利得可変機能を有し、トランスインピーダンスを300Ω～18kΩまで変えることができる。しかし、LED-pinシステムでは広い光ダイナミック範囲は必要でないので、前置増幅器ICはトランスインピーダンスを8 kΩに固定して用いた。この時の帯域幅と等価入力換算雑音電流は夫々240MHz、3 pA/√Hzである。AGC増幅器ICの帯域幅は200MHz、最大利得は48dB、利得可変幅は32dBである。これらの増幅器ICを縦続接続した時の総合帯域幅は170MHzであり、100～200Mb/sの伝送に十分な特性が得られている。トランスインピーダンスは2 MΩで、同可変幅はAGC増幅器で決まる32dBである。この可変幅を光ダイナミック範囲に換算すると16dBであり、目標の10dBを満たすことができる。波形成形濾波器F1は2値の受信々号を3値のAMI信号に変換する機能をもつ。図3.26にこの濾波器の周波数応答特性を、又、図3.27に光受信電力が-28dBm（尖頭値）における濾波後のAMI信号のアイパターンを示す。受信信号からクロック信号を抽出するための低域濾波器には弾性表面波(SAW)を用いた。全波整流回路によって生成された輝線成分をこの濾波器を通すことにより抽出する。SAW濾波器には、選択度530、挿入損失8.5 dB、入出力インピーダンス200Ω、帯域内位相変動±12°のものを用いた。リミット増幅器はSAW濾波器により抽出された正弦波状のクロックをパルス状に波形整形するもので、帯域幅が250MHz、利得が70dBである。再生したクロック信号のジッタはダイナミック範囲26dBに対し8°であった。識別器は、AMI信号の



(a) without compensation



(b) with compensation

図 3.23 速度補償回路の効果を示す光出力アイパターン

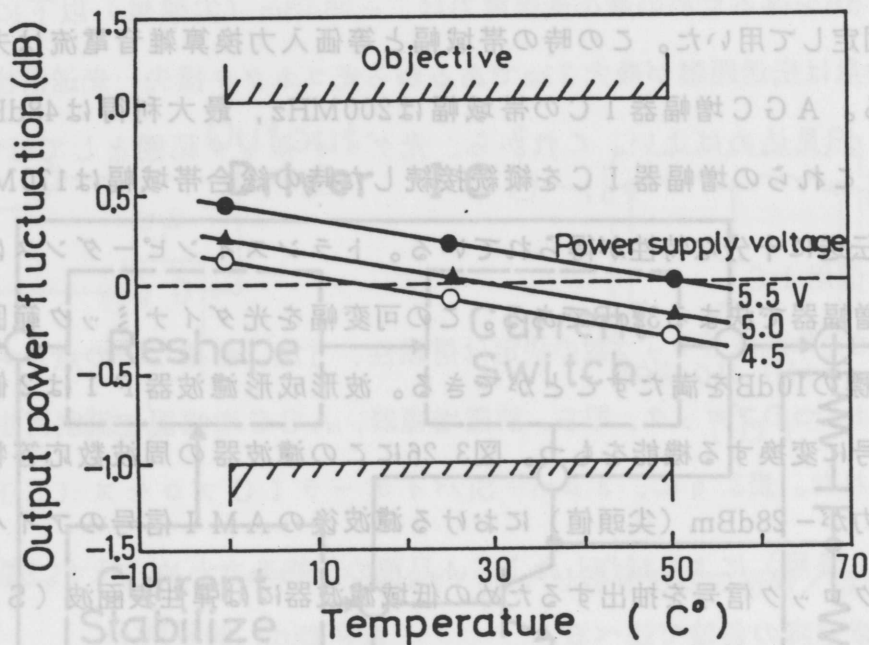


図 3.24 LED 送信器の光出力変動特性

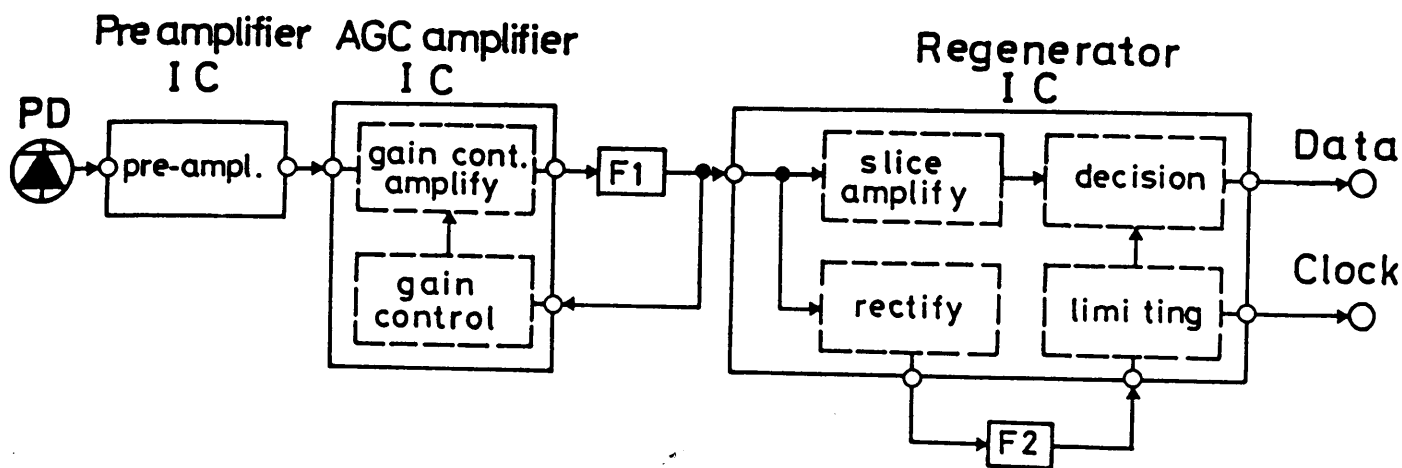


図 3.25 pin 受信器の構成

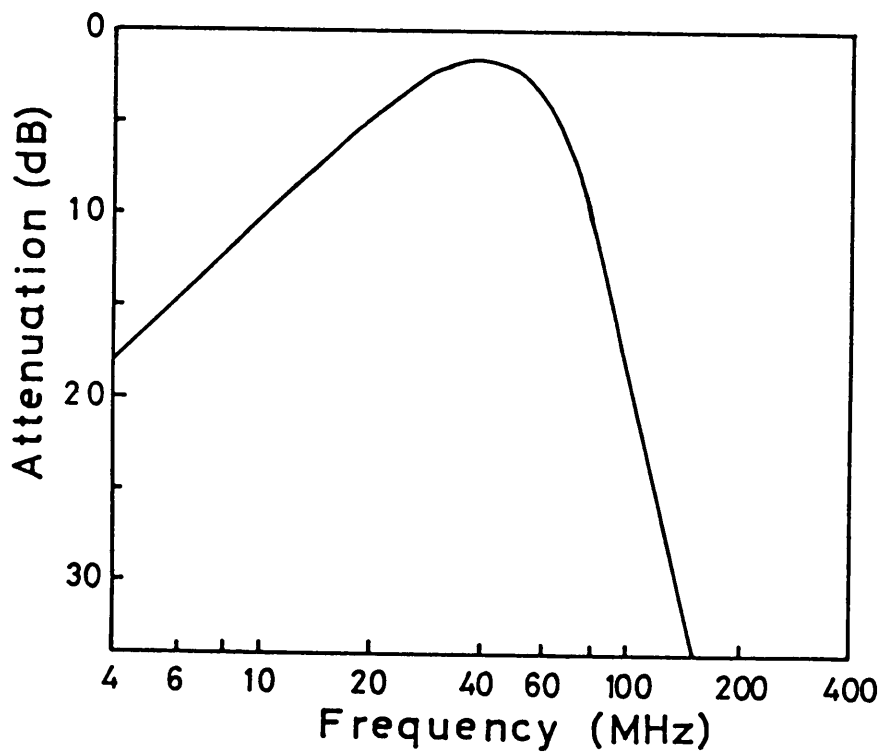


図 3.26 AMI 波形成形用濾波器の周波数応答特性。

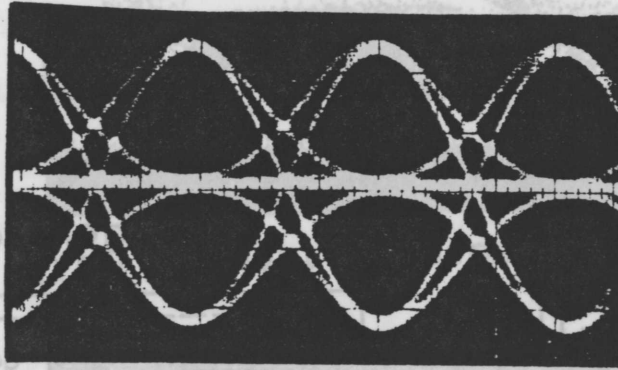


図 3.27 波形成形後の識別器入力 (AMI) 信号波形。
光受信電力: -28 dBm。

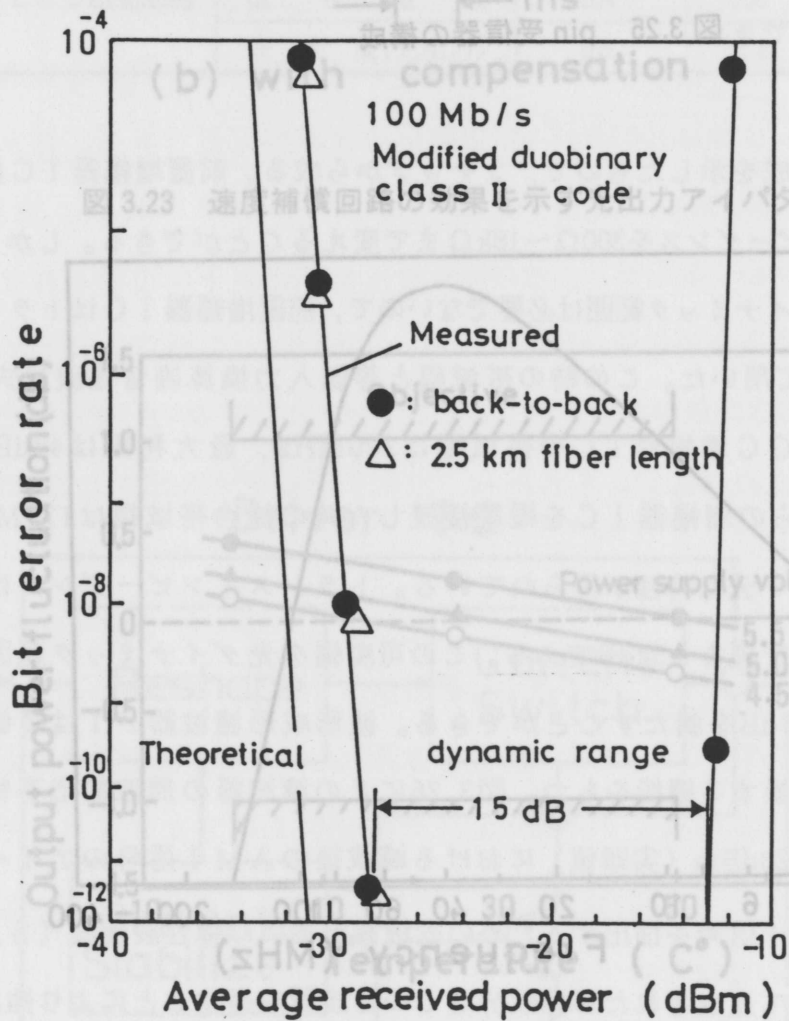


図 3.28 符号誤り率特性

正パルスと負パルスを別々に識別し、論理加算することによって原信号を再生する。識別感度は、クロック周波数200MHzにおいて6 mVである。図3.28に、光受信器の符号誤り率特性を示す。受信感度（最小受信電力）-28dBm、光ダイナミック範囲15dBが符号誤り率 10^{-12} に対して得られた。図3.29は、D I L（Dual-in line）パッケージに収納された光送／受信器の外観を示したものである。寸法は縦8 cm、横4 cm、高さ1 cmであり、消費電力は送／受信器合わせて1.4 Wであった。この時の電源電圧は5 V単一である。

3.4.2.3 伝送実験

光送／受信器と線路長2.5 kmの標準マルチモード光ファイバ（コア径50 μ m、クラッド径125 μ m）を用いて100Mb/sの伝送実験を行った。A G C帰還系及びタイミング抽出回路の受信々号のマーク率変動に対する過渡応答を図3.30に示す。図3.30から周期125Hz、マーク率変動1/12-11/12に対し、殆んど直流変動が見られない良好な過渡応答特性が得られていることが分る。表3.7に、伝送実験結果をまとめて示す。

3.4.3 まとめ

L A Nや計算機ネットワークなど比較的短距離の構内通信に適用できる1.3 μ m L E D-pin光中継器を開発した。伝送符号には、パターン変動に伴なうデータの品質劣化を避けるためM D-II符号方式を用いた。光中継器は、高信頼化、小形化を目的に開発した4種類のI C（送信：1チップ、受信：3チップ）で構成した。許容スパン損失は12.4 dBで、2.5 km伝送が可能であることを確認した。マーク率が1/12から11/12に急峻に変わるパターン変動に対する符号誤り率の増加は小さく安定した識別再生ができることを示した。電源電圧は5 V単一で、消費電力は1.4 W/1対向である。以上の結果から、試作した光中継器がL A Nや計算機ネットワークなどに十分適用可能であることが明らかとなった。

3.5 長距離伝送用1.5 μ m帯565Mb/s光中継器¹¹⁾

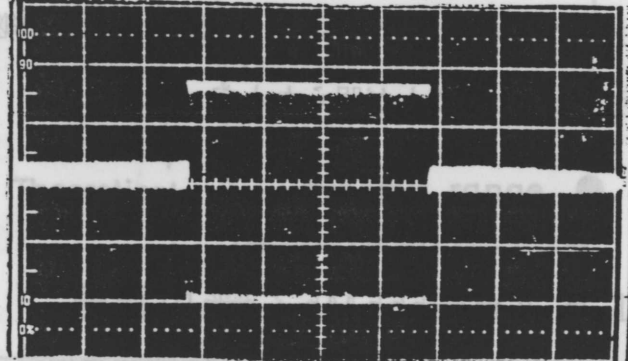
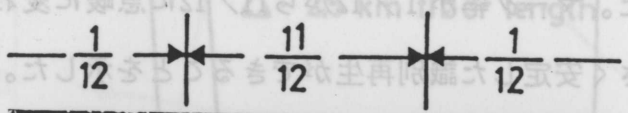
長波長帯を用いた光ファイバ伝送技術の進展は目覚しく、公衆通信網では伝送距離が20~30kmの1.3 μ m帯400Mb/s系光伝送システムが商用化されている。最近、更に長距離化を目指した波長1.5 μ m帯光伝送方式の開発が活発に進められており、565Mb/sで204km⁴⁷⁾、140Mb/sで253km⁴⁸⁾の無中継伝送の可能性が明らかにされている。

長距離伝送システムでは中継器が多数配置されているので、中継区間長に大きな差異を生じ易い。このため、各中継器の光受信電力が大幅に変動する。受信電力の差を吸収する方法とし



図 3.29 試作光中継器の外観。

上：pin 受信器，下：LED 送信器



H : 1ms/div.

図 3.30 長周期パターンに対する識別入力信号の過渡応答特性。周期：8 ms，
マーク率：1/12↔11/12。

表 3.7 試作光中継器の主要性能

項 目	単 位	目 標 値	実 験 値
情 報 速 度	Mb/s	100	100
伝 送 速 度	Mb/s	100	100
伝 送 符 号	—	MD-II	MD-II
伝 送 距 離	km	2	2.5
光 出 力 電 力	dBm _{p-p}	-17	-15.6
光 出 力 変 動	dB	±1	±0.4
受 信 感 度	dBm _{p-p}	-26	-28
光ダイナミック範囲	dB	10	15

表 3.8 1.5 μm帯 565 Mb/s 光中継器の主要性能

項 目	目 標 値	実 験 値
伝 送 速 度	565 Mb/s	565 Mb/s
伝 送 符 号	NRZ	NRZ
伝 送 距 離	(200 km) *	150 km
符 号 誤 り 率	10 ⁻⁹	10 ⁻⁹
許 容 ス パ ン 損 失	>32 dB	38.7 dB
光 源	DFB-LD	DFB-LD
光 出 力 電 力	-4 dBm	-0.5 dBm
受 光 器	InGaAs-APD	InGaAs-APD
受 信 感 度	-36dBm	-39.2 dBm
光ダイナミック範囲	>20 dB	33 dB

* Fiber loss : 0.16 dB/km

てBONを用いる方法が一般的であるが、この方法では中継器毎にBONの減衰量を調整する必要があり、作業が繁雑となる。区間長の無調整化を実現するには、光受信電力の変動をすべて電氣的に吸収できる広い光ダイナミック範囲をもつ光中継器の開発が必要となる。本研究では、この観点からAGC機能を有する前置増幅器¹⁶⁾を適用したAPD-AGC増幅器-前置増幅器の3段利得制御方式を開発した。本節では、次期長距離陸上及び海底ケーブルシステムとして期待されている1.5 μm 帯565Mb/s伝送システムへの適用を目的に試作した光中継器の設計及び諸特性について述べる。特に、光中継器のBONフリー化の鍵となる3段利得制御方式の実現性を中心に検討する。尚、使用したモノリシックICの設計及び特性は第4章以降の各章で説明する。

3.5.1 回路設計

3.5.1.1 設計目標

長距離伝送システムの構築には、光中継器の許容スパン損失及び光ダイナミック範囲の拡大が欠かせない。表3.8に、565Mb/s光中継器の設計目標を示す。伝送速度の565Mb/sは、欧州系の第5次群伝送ハイアラキに相当するシステムへの適用を考慮したものである。伝送距離は200kmを目標としたが、これは適用波長、光源/受光器の種類、光ファイバの損失などに大きく依存する。波長は、光ファイバの損失が最小となる1.5 μm 帯を選択した。光源には長距離伝送において生じるチャープングによる波形劣化を小さくできるDFB-LDを、受光器には暗電流、過剰雑音指数が小さく高感度化が期待できるInGaAs-APDを適用した。許容スパン損失は、光ファイバの損失を0.16dB/kmと仮定すると少なくとも32dBが必要となる。これから、受信感度は-36dBm(平均)以下を目標とした。光ダイナミック範囲は、中継区間長の差異による線路損失の変動をすべて吸収するために30dBを設計の目安とした。

3.5.1.2 光中継器

(i) 回路構成及び利得制御方式

図3.31に、565Mb/s光中継器の構成を示す。この光中継器の特長は、光ダイナミック範囲を拡大するためにインピーダンス可変形前置増幅器¹⁶⁾を導入し、APD-AGC増幅器-前置増幅器の3段構成による利得制御方式を適用したことにある。インピーダンス可変形前置増幅器は本研究で提案(動作原理は第5章で詳述する)され、モノリシックICとして初めて実現されたものである。この前置増幅器の採用によって、従来問題となっていた光受信電力が大きい場合に生じるAGC増幅器の非線形歪に対する制限が大幅に緩和され0dBm-p程度迄

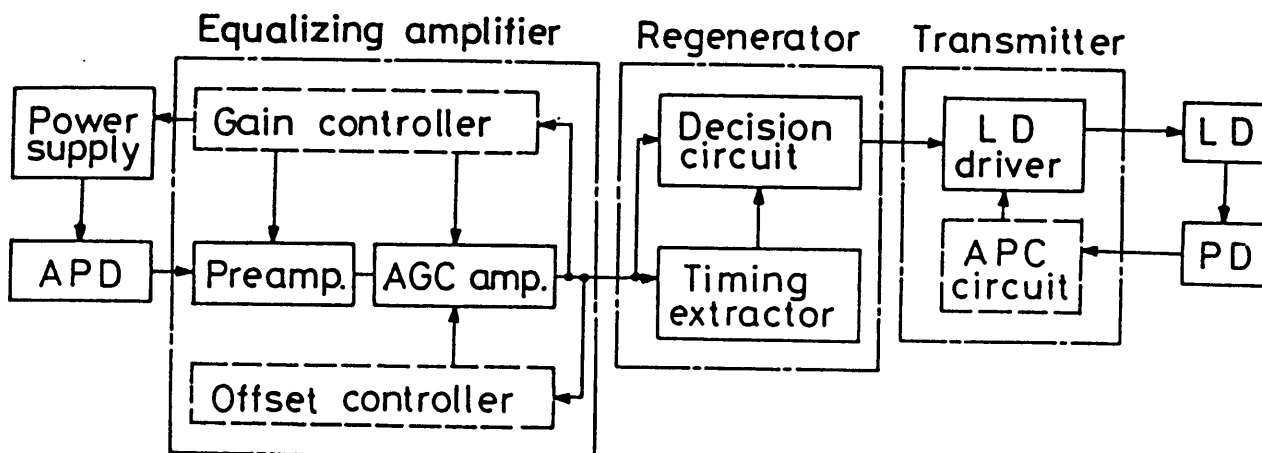


図 3.31 565 Mb/s 光中継器の構成

表 3.9 試作 IC・TEG の主要性能

基本回路	特 性	単 位	目 標 値	実 験 値
前置増幅器	トランスインピーダンス	K Ω	> 1.0	4.0
	帯 域	MHz	> 500	700
	入力換算雑音	pA/ $\sqrt{\text{Hz}}$	< 5.0	3.9
AGC増幅器	最 大 利 得	dB	> 36	39
	帯 域	MHz	> 500	800
	利 得 可 変 幅	dB	> 26	40
タイミング抽出回路	利 得	dB	> 45	50
	帯 域	MHz	> 400	500
識 別 器	識別不確定幅	mV	< 10	5
LD駆動回路	電流信号振幅	mA	> 30	80
	応 答 時 間	ns	< 0.5	0.5

の光受信が可能となった。図3.31に示すように光中継器は3R構成であり、太枠で示した部分が1 μ mSi-バイポーラプロセス(SEPT)によりモノリシックIC化された回路である。表3.9に、使用した前置増幅器、AGC増幅器、タイミング抽出回路、識別器、LD駆動回路ICの性能を示す。目標の帯域は第3.2節の設計基本式を用いて配分されたものであるが、試作ICの性能はすべて目標性能を上回っている。前置増幅器のトランスインピーダンスは4k Ω から400 Ω まで変えることができる。又、AGC増幅器の利得可変幅は40dBあるので、前置増幅器のインピーダンス可変範囲を合わせると増幅器のみで60dBの利得制御が可能となる。従って、30dBの光受信電力の変動を等化増幅器のみで吸収できることが分る。

次に、3段利得制御方式について述べる。利得の制御手順の決定には、SNRと波形歪の両側面を考慮する必要がある。光受信レベルが低い時には、扱う信号振幅が小さいので波形歪よりはSNRが優先される。又、逆に光受信レベルが高い時にはSNRが規格値より大幅に高くなるため、波形歪を考慮する必要がある。低光受信レベルでは、APDの増倍率を最適化することによりSNRを最大にできる。中光受信レベルでは、APDの増倍率はAGC帰還系によって1~2に設定される。この領域では、利得はAGC増幅器によって制御される。ここで前置増幅器によって利得を制御することも考えられるが、前置増幅器はトランスインピーダンスが小さくなると雑音が増加するので、SNRの点からはAGC増幅器の利得制御を先行させた方が得策である。又、光受信レベルが高い領域では前置増幅器のトランスインピーダンスを一定にしておくと、その出力振幅は光受信レベルと共に増大するためAGC増幅器が過大入力となり大きな波形歪による符号干渉を引き起す因となる。この点からも利得制御方式としてはAGC増幅器の利得制御を光受信レベルが中程度の領域で行い、高い領域では前置増幅器の利得を制御する方式が最良であると考えられる。以上の検討結果を基に、本研究ではAPD-AGC増幅器-前置増幅器の順に利得を制御する3段利得制御方式を採用した。

3.5.2 試作結果

3.5.2.1 光送信器

LD送信器はLDの温度特性による変調速度の劣化や光出力の変動を抑圧するためにAPC回路を必要とする。APC方式としては光出力の変動量を検出し、バイアス電流と信号電流の両者に負帰還して光出力を安定化させる方式が優れている。しかし、この方式は2重帰還系となるため動作が不安定になり易い。このことから、バイアス電流を制御する方式を採用した。光源にはBH形DFB-LDを、又、光出力の監視用にはInGaAs-pin PDを用いた。LD駆動に使用したICは信号電流振幅80mA_{p-p}において、立上り/立下り時間が0.3ns

／0.5 nsであり，1 Gb／s程度までの変調が可能である。ここでは，許容スパン損失を大きくとるために，光送信出力を -0.5 dBmに設定した。この時の信号電流振幅は 60mA_{p-p} である。図3.32に， $565\text{Mb}/\text{s}$ 光出力アイパターンを示す。符号には，マーク率 $1/2$ の $(2^{15}-1)$ ビット長擬似ランダムNRZ符号を用いている。立上り／立下り時間は $0.2\text{ns}/0.4\text{ns}$ であり， $565\text{Mb}/\text{s}$ 伝送が十分可能であることが分る。光出力の安定度を測定した結果を図3.33に示す。光出力の変動量は電源電圧 $-5.2\text{V}\pm 10\%$ ，温度 $10\sim 40^\circ\text{C}$ において ± 0.5 dB以下であり，目標を十分満たす値が得られた。

3.5.2.2 光受信器／識別再生回路

図3.34に，光受信電力に対する符号誤り率特性を示す。受光器として用いたInGaAs-APDの感度係数は $0.8\ \mu\text{A}/\mu\text{W}$ ，过剩雑音指数は 0.8 ，暗電流は 8nA であった。APD-前置増幅器の総合帯域は 600MHz ，前置増幅器の入力換算雑音電流はトランスインピーダンスが $4\text{k}\Omega$ の時 $3.9\text{pA}/\sqrt{\text{Hz}}$ ， 400Ω の時約 $14\text{pA}/\sqrt{\text{Hz}}$ であった。又，AGC増幅器の帯域は 800MHz ，利得は 39dB ，同可変幅は 40dB であった。図3.34で明らかのように，光受信電力が小さすぎても大きすぎても符号誤り率は急増し，伝送不能な状態に陥いる。これは光受信電力が小さい場合は雑音によるSNRの劣化が，大きい場合は増幅器の非線形歪による符号間干渉の増大が原因で生じる。符号誤り率 10^{-9} を満たす最小及び最大の受信電力は，夫々， -39.2dBm ， -6dBm であり， 33.2dB の光ダイナミック範囲を得ることができた。その内訳はAPDで 6dB ，AGC増幅器で 17dB ，前置増幅器で 10.2dB である。図3.35に，光受信電力が -38dBm と -15dBm における光受信アイパターンを示す。次に，試作した光中継器を用い 150km の単一モード光ファイバ伝送実験を行った。図3.36は， 150km 伝送後の受信アイパターンを示したものである。この時の光ファイバの全損失は 36.5dB ，受信電力は -37dBm であった。受信感度の劣化量はback-to-backに対し 0.5dB 程度であった。これはLDのチャープングや光ファイバの材料分散によるものと考えられる。試作した光中継器の主要性能を表3.8にまとめて示す。許容スパン損失として 38.7dB が得られた。

3.5.3 まとめ

高速・長距離伝送システムへの適用が可能な $1.5\ \mu\text{m}$ 帯 $565\text{Mb}/\text{s}$ 光中継器を開発した。光中継器には， $1\ \mu\text{mSi}$ -バイポーラプロセスを用いて試作した6品種の高速・広帯域モノリシックICを適用し許容スパン損失 38.7dB を実現した。又，光ダイナミック範囲を拡大するために，インピーダンス可変形前置増幅器を導入し，APD-AGC増幅器-前置増幅器の3段利得制御方式を提案した。この方式によって， 33.2dB の光ダイナミック範囲を実現し

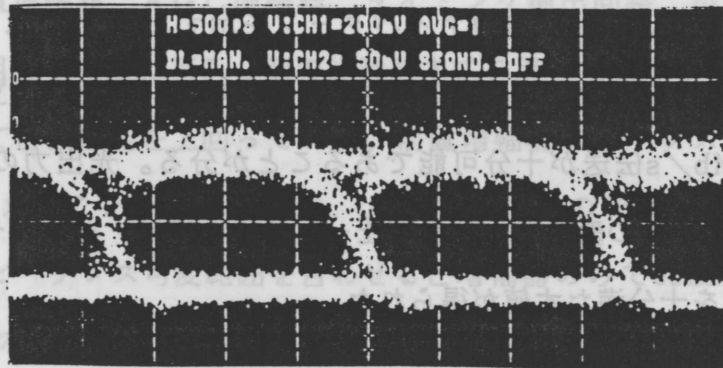


図 3.32 565 Mb/s 光出力アイパターン

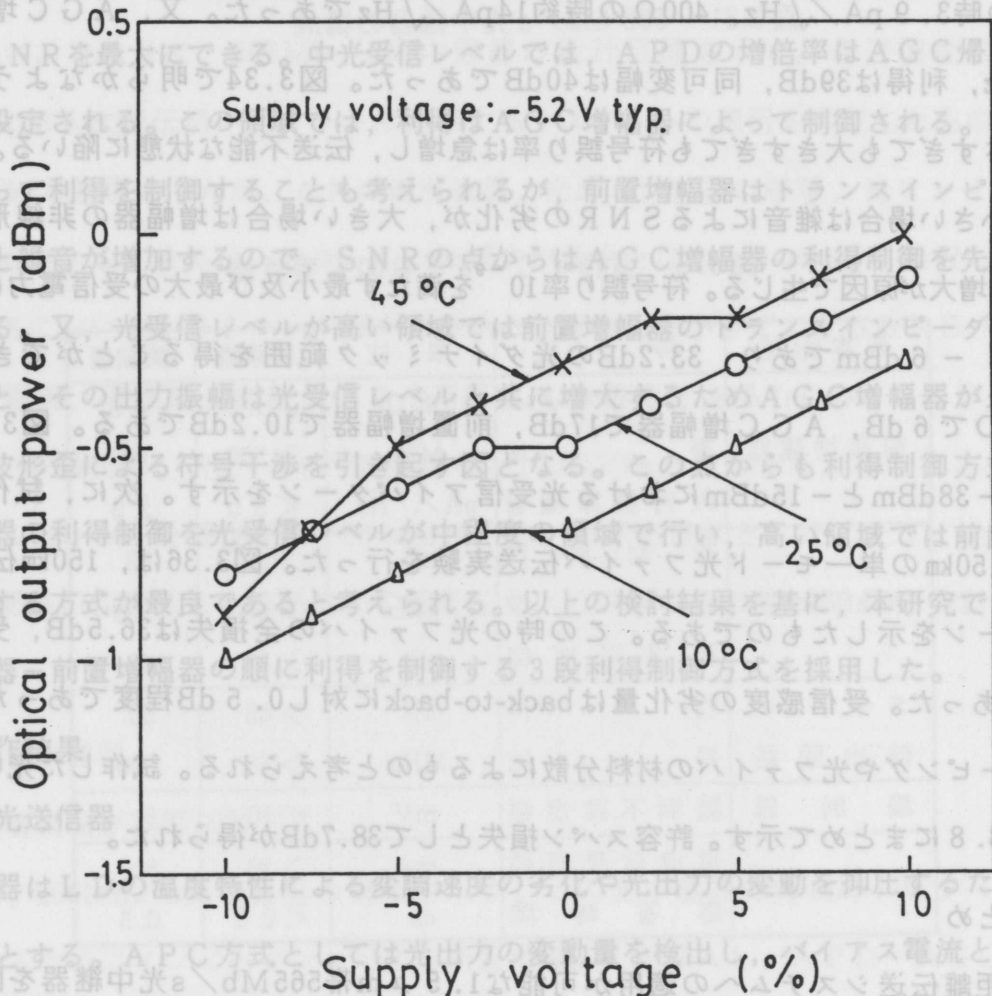


図 3.33 試作中継器の光出力変動特性

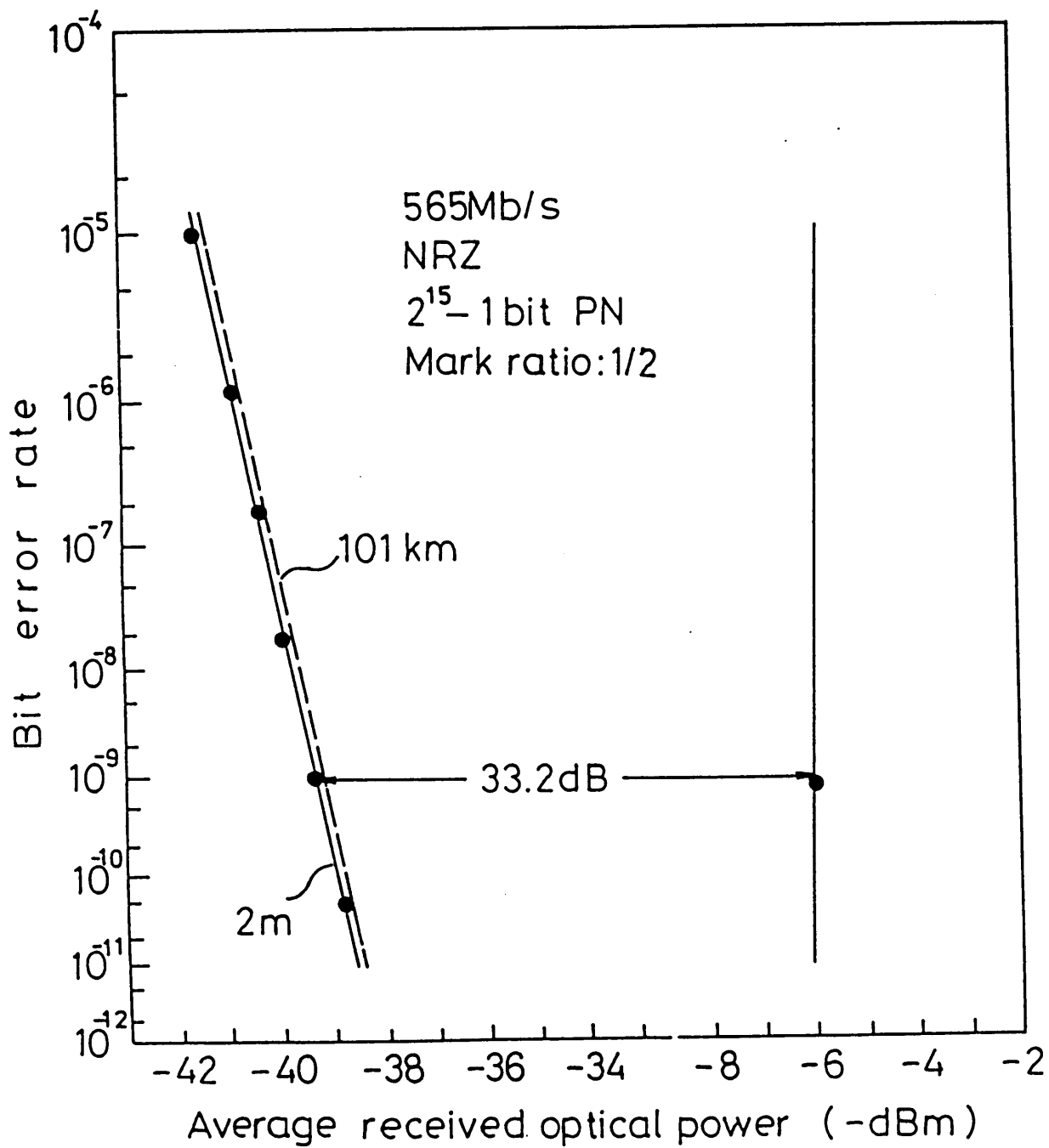
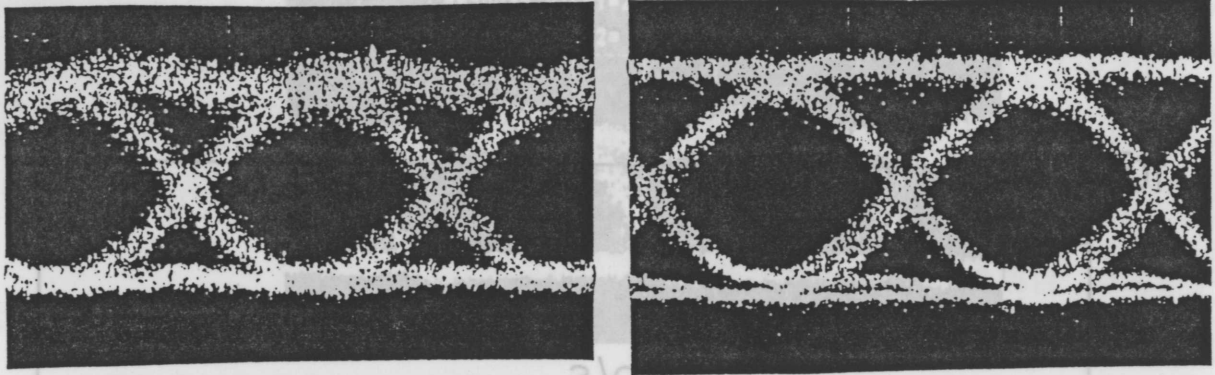


図 3.34 符号誤り率特性



(a) (b)

図 3.35 565 Mb/s 光受信アイパターン。
光受信電力(a)-38 dBm, (b)-15 dBm。

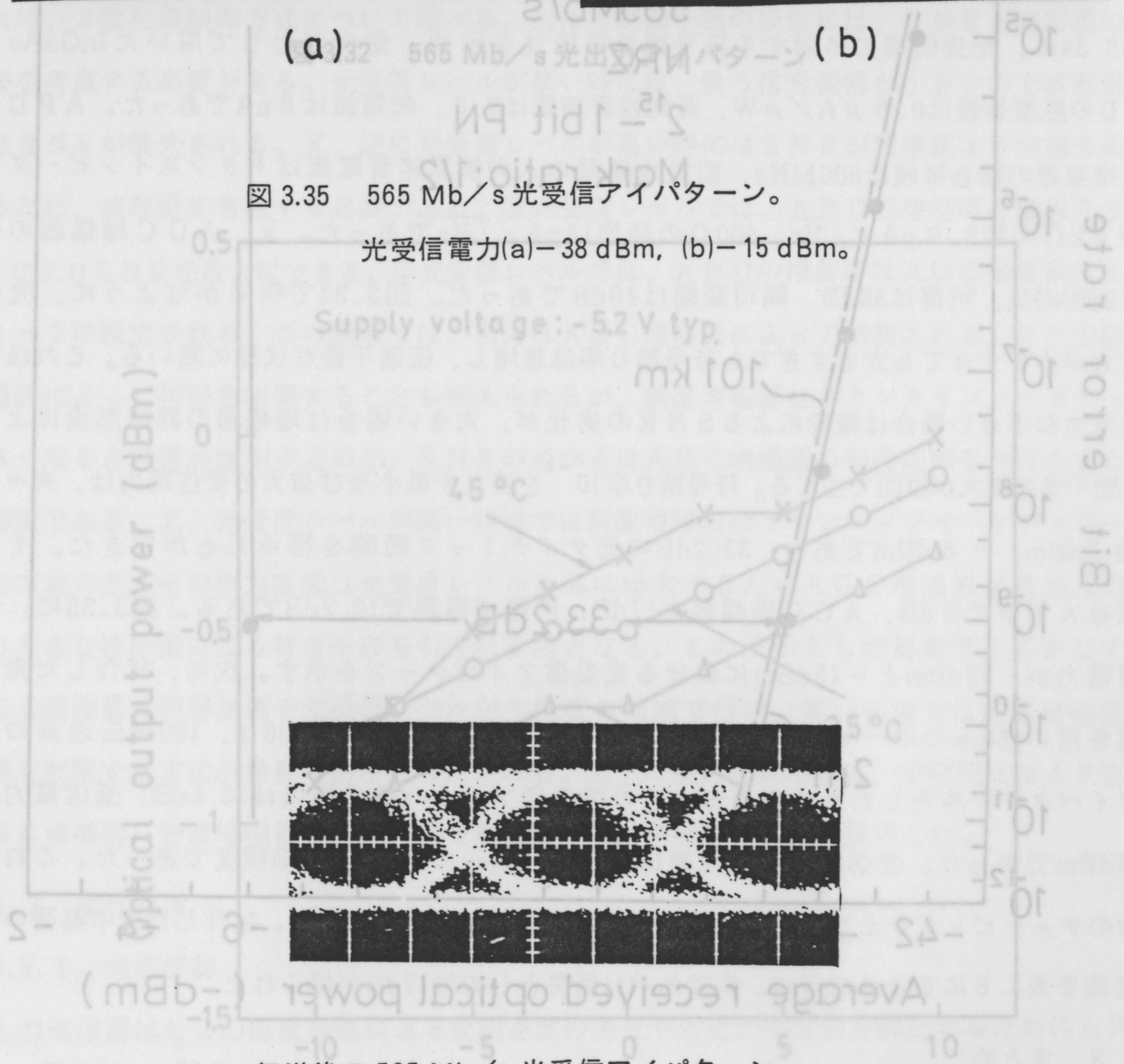


図 3.36 150 km 伝送後の 565 Mb/s 光受信アイパターン。
光受信電力: -37 dBm (平均)。

図 3.33 試作中継器の光出力変動特性

BONフリー化の見通しを得た。これは、試作中継器を用いた150km伝送実験によって確かめられた。

3.6 結 言

本章では、光デジタル伝送システムを実用化する上で重要な課題となっている長周期パターンランジェントに対する光中継器の動作安定化と無調整で様々な中継区間長に対応しうる光中継器を実現するためのBONフリー化について検討した。前者に関しては、光ファイバ通信に適した符号方式として2値AMI符号とモディファイドデュオバイナリClass-II符号を提案し、光中継器の試作を通じてこれらの符号方式の有効性を実証した。後者に関しては、インピーダンス可変形前置増幅器を導入した3段利得制御方式を提案し、30dB以上の光ダイナミック範囲が得られることを確認した。この結果から、3段利得制御方式が光中継器のBONフリー化に有効であることを明らかにした。

第3.3節では、伝送符号として広帯域光ファイバ系に適し、従来のAMI符号との整合性のよい2値AMI符号を取り上げた。この符号はタイミング情報が豊富で、且つ、直流分の変動がないので、AGC回路、APC回路、タイミング抽出回路($Q \approx 20$)等を簡略化できる、マーク率に係わりなく安定した識別が可能であるなどの利点を有し、光中継器の簡易化と動作の安定化に極めて効果が大いことを実証した。試作した光中継器は1年にわたる電力会社の現場実証試験において安定に動作することが確認され、2値AMI符号の有効性が明らかにされた。本研究で先鞭をつけた2値AMI符号は、その後、比較的小容量(32Mb/s以下)の公衆通信網やLANなどにおいて幅広く適用されている。

第3.4節では、伝送符号としてモディファイドデュオバイナリClass-II符号方式を取り上げ、その有効性の検討を行った。この符号方式は原信号の“1”を送信々号(NRZ)の“1”→“0”及び“0”→“1”なる状態遷移に対応させて情報を伝送するため符号変換に伴う速度上昇がなくLEDシステムに適すること、受信側では3値(AMI)信号に波形成形されるため直流分の変動がなく安定に識別動作ができるなどの利点を有することを示した。又、符号化及び復号化回路は回路規模が極めて小さくて済み、特に、復号回路は波形成形濾波器で兼用できるので光中継器との一体化が可能であることを明らかにした。更に、100Mb/sLED-pin光中継器(光伝送モジュール)を試作し、マーク率が1/12から11/12まで急峻に変化するパターンランジェントに対して光中継器が安定に動作することを示した。以上の結果から、モディファイドデュオバイナリClass-II符号がLANや計算機ネットワークなどに用

いる光中継器用の伝送符号として有効であることを明らかにした。

第3.5節では、長距離伝送システムにおける中継区間長の無調整化を可能とする光中継器のBONフリー化を中心に検討を行った。BONフリー化を達成するには広い光ダイナミック範囲を実現する必要があるが、この観点よりAPD-AGC増幅器-前置増幅器の3段構成による3段利得制御方式を提案し、565Mb/s光中継器を試作することによりその実現性を明らかにした。試作した光中継器の光ダイナミック範囲は33.2dB、許容スパン損失は38.7dBであり、150km以上の無中継伝送が可能であることを示した。

第4章 光送信器

4.1 緒言

近年、光デジタル伝送の分野では公衆通信網のみならず、LANや計算機ネットワークなどの構内通信網においても100 Mb/s以上の伝送容量をもつシステムの開発が急ピッチで進められている。このようなシステムの高速度・大容量化を促進するためには、光送信器の高速度化が不可欠であり、又、安定な情報伝送を維持するには光出力の安定化が必須である。前者に関しては、送信回路の高速度・大電流スイッチング特性を実現するための回路技術の開発が課題となる。又、後者に関しては光源の温度特性を補償すると共に電源電圧変動に対して大電流を安定に光源に供給できる光出力安定化方式の開発が課題となる。これらの課題の対応策は、光源の種類によって異なる。表4.1に、光デジタル伝送用の代表的な光源であるLDとLEDの特徴比較を示す。LDはGb/s以上の変調が可能であり、出力も大きくとれる。又、この素子は発光スペクトル幅が狭いので長距離・大容量システムに適する。しかし、発振閾電流の温度特性が大きいため、発振遅延による速度劣化や光出力の変動が生じ易い。即ち、LD光源の場合には高速変調と光出力の安定化は表裏一体を成しており、閾電流の温度特性を高精度に補償できるAPC方式の開発が鍵となる。一方、LEDは変調速度、出力、発光スペクトル幅の点ではLDに劣るものの、発振閾電流をもたないで簡単な温度補償回路で光出力の安定化を図ることができる。従って、LEDの場合には高速変調法の開発が中心となる。

第4.2節及び第4.3節では、伝送容量が100 - 565 Mb/sのシステムに適用できるLD及びLED送信器の高速度変調及び光出力の安定化を実現するための回路方式を中心に論じる。第4.4節では、実用化の観点からLD/LED送信回路のマススタライスイC化の可能性について検討する。

4.2 LD送信器

先に述べたように、LD送信器の設計においては発振遅延による速度劣化と光出力の変動を考慮する必要がある。これらは共にLDの発振閾電流の温度依存性に起因して生じる。通常、LDは高速変調するためにバイアス電流に重畳された信号電流によって変調されるが、このバイアス電流が閾電流以下であると誘導放出による発振が始まるまでに遅延を生じる。その結果、出力光の立上り時間は長くなり、パルス幅の減少を招くため高速変調が難しくなる。バイアス

電流が閾電流より高い場合は、信号電流がオフ状態にあっても直流光が出力されるので、光出力の消光比が小さくなり送信 S N R は劣化する。即ち、高速変調と高い S N R を実現するにはバイアス電流を常に閾電流近傍に設定しておくことが必須となる。一方、光出力の安定化は、原理的には閾電流の温度特性にバイアス電流の温度特性を合わせれば達成できる。

本節では、最初に L D 送信器の動作解析を行い、光出力変動量を与える一般式を導出する。又、実験によりその妥当性を示す。次に、解析結果を基に試作した 200 Mb/s 及び 565 Mb/s L D 送信器の設計及び諸特性について述べる。

4.2.1 L D 送信器の動作解析

光出力の安定化及び高速変調条件を維持するための A P C 方式としては、光出力変動を検出し、L D の駆動電流を負帰還制御する方法と熱電冷却素子によって温度を制御する方法とがある。消費電力、寸法、信頼性等の点で前者が勝っており、本研究ではこの方法を取り上げた。

4.2.1.1 光出力変動の一般式¹²⁾

A P C 方式としては L D の閾電流、電光変換係数、製造偏差を考慮すると信号電流、バイアス電流の両者に負帰還をかける方式が望ましいが、帰還系が 2 重となるので動作が不安定になり易い。従って、ここではバイアス電流制御方式について考察した。図 4.1 に、A P C 系を有する L D 送信器のモデル化したブロック構成を示す。同図は光出力 P_o が電光変換係数 β のブロックを介して電流 I により駆動される系として L D を表わしたものである。 η は L D と光電変換係数 α の P D 間の結合効率を表わす。P D にて検出された監視光電流は、電流-電圧変換係数 G_{iv} なる積分器にて電圧に変換され基準電圧 V_r と比較される。比較によって得られた誤差電圧は電圧-電流変換係数 G_{vi} なる変換増幅器にて再び電流に変換された後、光出力変動を打消す方向にバイアス電流 I_{b0} を制御する。尚、 I_s は信号電流を示す。

L D の光出力と駆動電流との関係は、図 4.2 に示す特性で近似できる。この関係を式で表わすと

$$\left. \begin{aligned} P_o &= \beta(I - I_{th}) & I &\geq I_{th} \\ &= 0 & I &< I_{th} \end{aligned} \right\} \quad (4.1)$$

ここで、 I は信号電流 I_s とバイアス電流 I_b の和電流、 I_{th} は閾電流である。

光出力変動は、主として温度 T_e 及び電源電圧の変動によって生じる。従って、先ず、これらの変動による光出力の変動要因を求める。一般に、 β 、 I_{th} は温度の関数である。又、図 4.1 から、解析に必要な関数形は

表 4.1 LDとLEDの特徴比較

項目	LD	LED
変調帯域	数GHz	数百MHz
光出力	~0dBm	~-15dBm
スペクトル幅	数A	数百A
温度特性	大	小
A P C	要・回路規模大	簡単な温度補償で可

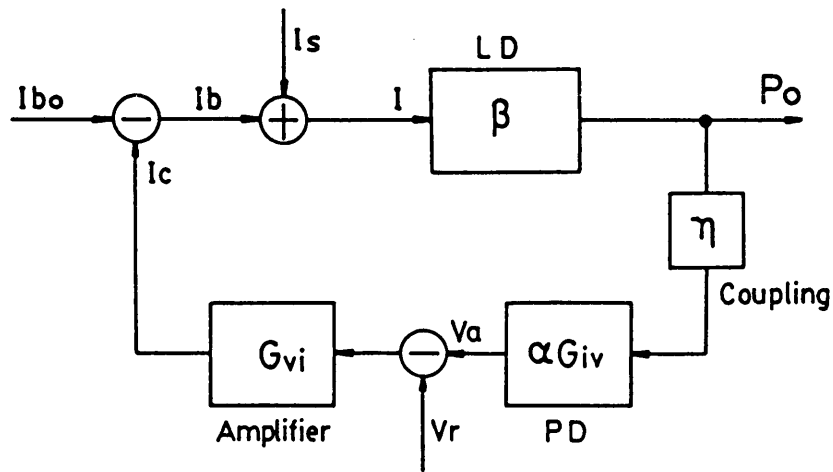


図 4.1 自動光出力制御機構を有するLD送信器の動作原理図

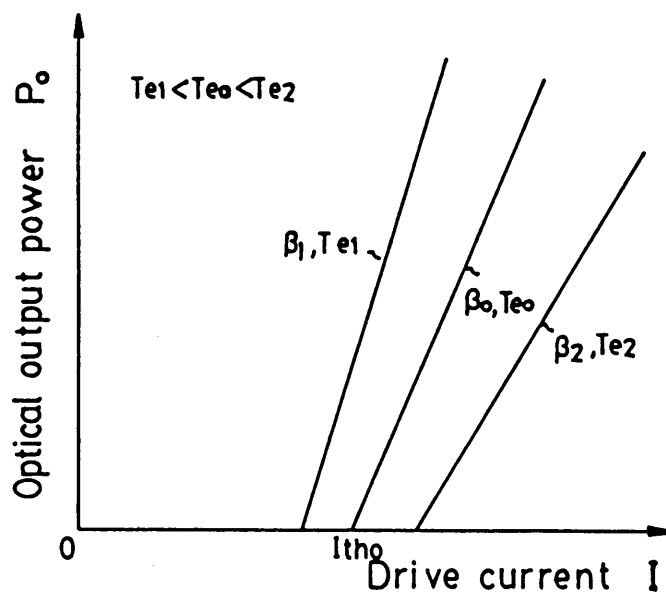


図 4.2 半導体レーザの光出力-駆動電流特性

$$\left. \begin{aligned}
 P_o &= P_o(\beta, I, I_{th}) \\
 I_{th} &= I_{th}(T_e) \\
 \beta &= \beta(T_e) \\
 I_b &= I_b(I_c, I_{bo}), I_c = I_c(G, P_o)
 \end{aligned} \right\} \dots\dots\dots (4.2)$$

であり、信号電流、バイアス電流の標準値 I_{bo} 及び電流増幅度 G は温度と電源電圧 V_{EE} の関数であるから

$$I_s = I_s(T_e, V_{EE}), I_{bo} = I_{bo}(T_e, V_{EE}), G = G(T_e, V_{EE}) \dots\dots\dots (4.3)$$

となる。尚、 α 及び結合効率 η の温度依存性は無いものと仮定する。図 4.1 から、制御電流 I_c は

$$I_c = \eta \alpha G P_o \dots\dots\dots (4.4)$$

又、駆動電流が基準電流と制御電流の線形関数で表わされるものとすれば

$$I_b = I_{bo} + I_c \dots\dots\dots (4.5)$$

である。更に、 I_{th} 及び β は、通常、温度の線形関数と見做せるから各々次式で与えられる。

$$\left. \begin{aligned}
 I_{th} &= I_{tho} + K(T_e - T_{eo}) \\
 \beta &= \beta_o - K_\beta(T_e - T_{eo})
 \end{aligned} \right\} \dots\dots\dots (4.6)$$

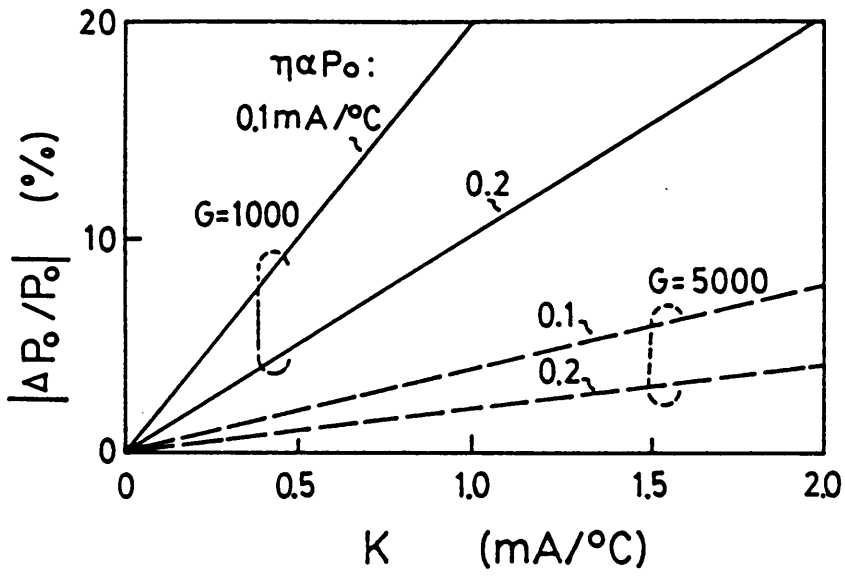
ここで、 I_{tho} 、 β_o は標準値、 K 、 K_β は比例係数、 T_{eo} は標準温度である。式 (4.1) ~ (4.6) より、マーク率を m とすれば光出力変動を表わす一般式は次式で与えられる。

$$\begin{aligned}
 \frac{\Delta P_o}{P_o} &= -\frac{1}{G} \left\{ \frac{1}{\alpha \eta P_o} \frac{\partial I_{bo}}{\partial T_e} + \frac{G}{\alpha \eta P_o} \frac{\partial V_r}{\partial T_e} - \frac{\partial G}{\partial T_e} + \frac{1}{\alpha \eta P_o m} \cdot \frac{\partial I_s}{\partial T_e} - \frac{1}{\alpha \eta P_o} \frac{\partial I_{th}}{\partial T_e} \right. \\
 &\quad \left. + \frac{1}{\alpha \beta^2 \eta} \frac{\partial \beta}{\partial T_e} \right\} \Delta T_e \\
 &\quad - \frac{1}{G} \left\{ \frac{1}{\alpha \eta P_o} \frac{\partial I_{bo}}{\partial V_{EE}} + \frac{G}{\alpha \eta P_o} \frac{\partial V_r}{\partial V_{EE}} - \frac{\partial G}{\partial V_{EE}} + \frac{1}{\alpha \eta P_o m} \cdot \frac{\partial I_s}{\partial V_{EE}} \right\} \Delta V_{EE}, \\
 G &= G_{VI} G_{IV} \dots\dots\dots (4.7)
 \end{aligned}$$

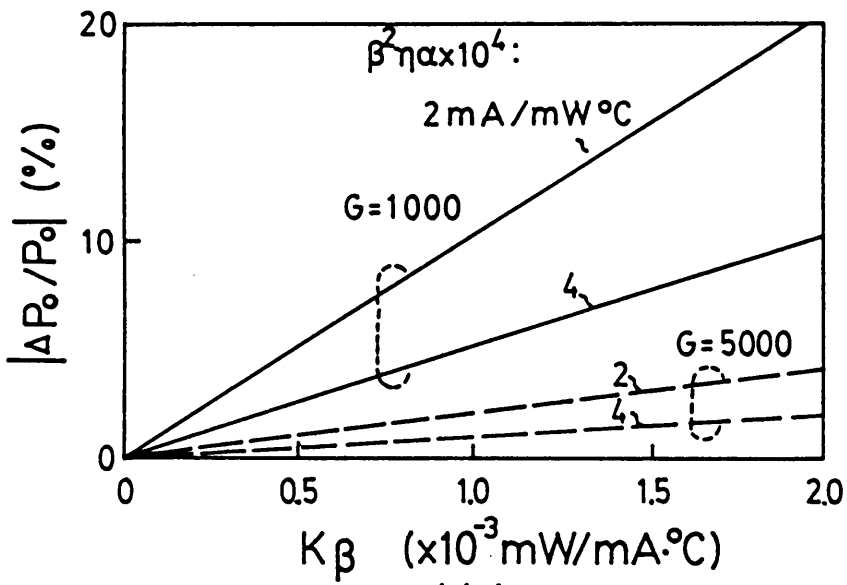
式 (4.7) に示すように、LD 送信器は多数の光出力変動要因を内包する。図 4.3 に、最も大きい変動要因である LD の閾電流及び電光変換係数（外部微分量子効率）の温度係数 K 、 K_β に対する光出力変動を示す。通常、 K は $0.5 \sim 1.5 \text{ mA}/^\circ\text{C}$ 、 K_β は $0 \sim 1 \text{ mA}/\text{mW} \cdot ^\circ\text{C}$ の値をとるから、光出力変動を $\pm 0.5 \text{ dB}$ 以下に抑えるには電流増幅度は 5000 以上が必要となる。

4.2.1.2 考 察

前項で求めた理論結果を検証するために、LD の緩和振動による光出力変動を無視できる情報速度 6 Mb/s の 2 値 AMI (DMI) 符号を用いて実験を行った。実験に使用した LD の素子定数を表 4.2 に示す。又、回路パラメータとして $G = 5600$ 、 $\partial I_{bo} / \partial V_{EE} = 40 \text{ mA}/\text{V}$ 、



(a)



(b)

図 4.3 K , K_β に対する光出力変動特性 (計算値)

$\partial I_{\text{bo}} / \partial T_e = 1 \text{ mA}/^\circ\text{C}$ を用いた。これらの値と式(4.7)より、光出力変動は

$$\frac{\Delta P_o}{P_o} = 1.07 \times 10^{-3} \Delta T_e - 7.1 \times 10^{-2} \Delta V_{EE} \quad \dots\dots\dots (4.9)$$

となる。図4.4(a), (b)に光出力変動の温度及び電源電圧依存性を示す。図中の実線は式(4.9)より得られる理論値を示したもので、実験結果とよい一致を示している。温度 $20 \pm 20^\circ\text{C}$ 、電源電圧 $-7 \text{ V} \pm 5\%$ に対する光出力変動は、夫々、 $\pm 0.1 \text{ dB}$ 、 $\pm 0.15 \text{ dB}$ であり、この条件下での光出力波形の劣化は認められなかった。以上の結果から、式(4.7)がLD送信器設計の基本式として適用できることが分った。次節では、この基本式に基づいて設計・試作した 200 Mb/s 及び 565 Mb/s LD送信器について述べる。

4.2.2 200 Mb/s LD送信器

4.2.2.1 設計目標

表4.3に、 200 Mb/s LD送信器の設計目標を示す。伝送速度は 200 Mb/s 以上を目標としているが、これは 100 Mb/s DMI、或いは、 200 Mb/s NRZ符号を用いるシステムへの適用を考慮し決定された。APC方式としては構成が簡単で、且つ、動作が安定な光出力平均値検出-バイアス電流制御方式を採用した。光源には実用レベルにある $1.3 \mu\text{mBH}$ (Buried heterostructure) - LDを用い、その光出力応答時間(立上り/立下り時間)を 1 ns 以下に設定した。又、目標とする光送信出力は -3 dBm (平均)、同変動量は $\pm 1 \text{ dB}$ 以下である。

4.2.2.2 送信回路の基本構成及び設計

(i) 基本構成

図4.5に、試作したLD送信器のブロック図を示す。破線で示した部分はモノリシックIC化の対象とした送信回路で、LD駆動回路、APC回路、電流安定化回路で構成されている。LD駆動回路は信号電流を供給する電流スイッチ、バイアス電流を供給する電流源及び入力信号を波形整形すると共に、信号電流のスイッチング時に生じる入力インピーダンス変化による波形劣化を抑止するための入力バッファ回路を含む。APC方式は平均値検出-バイアス電流制御方式を採用したが、この方式では入力信号のマーク率によって光出力の平均値が変化するので誤差検出回路の基準値として入力信号の平均値を使った。信号電流の振幅は光送信々号の振幅に一对一に対応する。従って、信号電流の振幅が小さくなると光送信信号の振幅が減少し、受信SNRの劣化を招く。電流安定化回路は、温度や電源電圧の変動に対して信号電流の振幅を一定に保つために設けられたものである。

(ii) 設計

表4.4に、送信回路の設計目標を示す。信号電流の振幅は $1.3 \mu\text{mBH}$ - LDの外部微分量

表 4.2 実験に使用したLDのデバイス定数

項 目	記号	定 数
閾電流温度係数	K	1.1 mA/°C
電流 - 光変換係数	β	0.2 mW/mA
同 温度係数	K_β	2×10^{-3} mW/mA · °C
光 - 電流変換係数	α	0.4 mA/mW
同 温度係数	K_α	1×10^{-4} mA/mW · °C
LD - PD間結合効率	η	10%

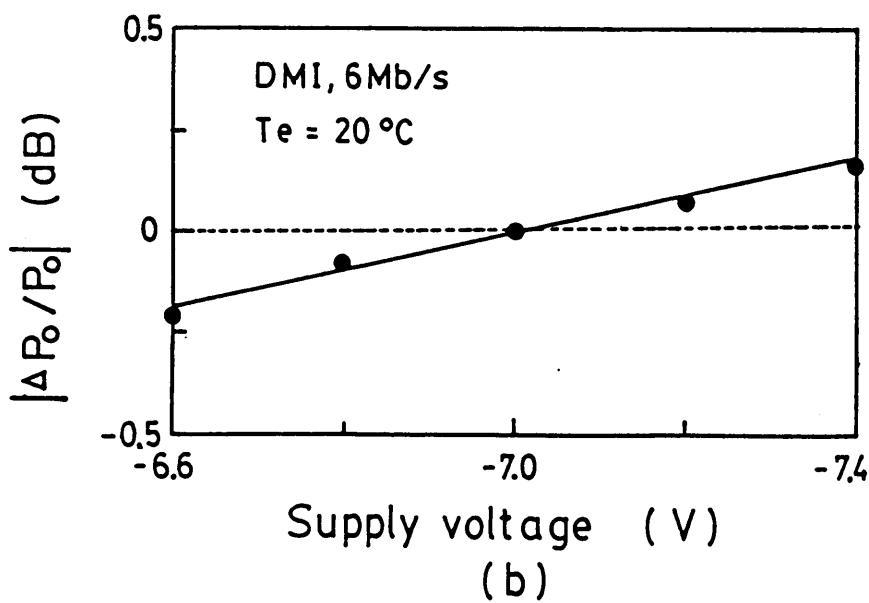
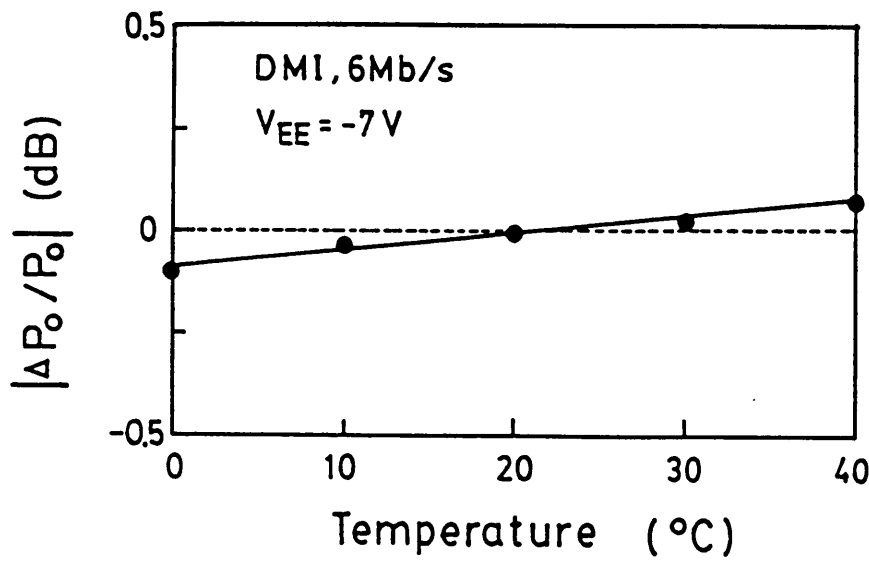
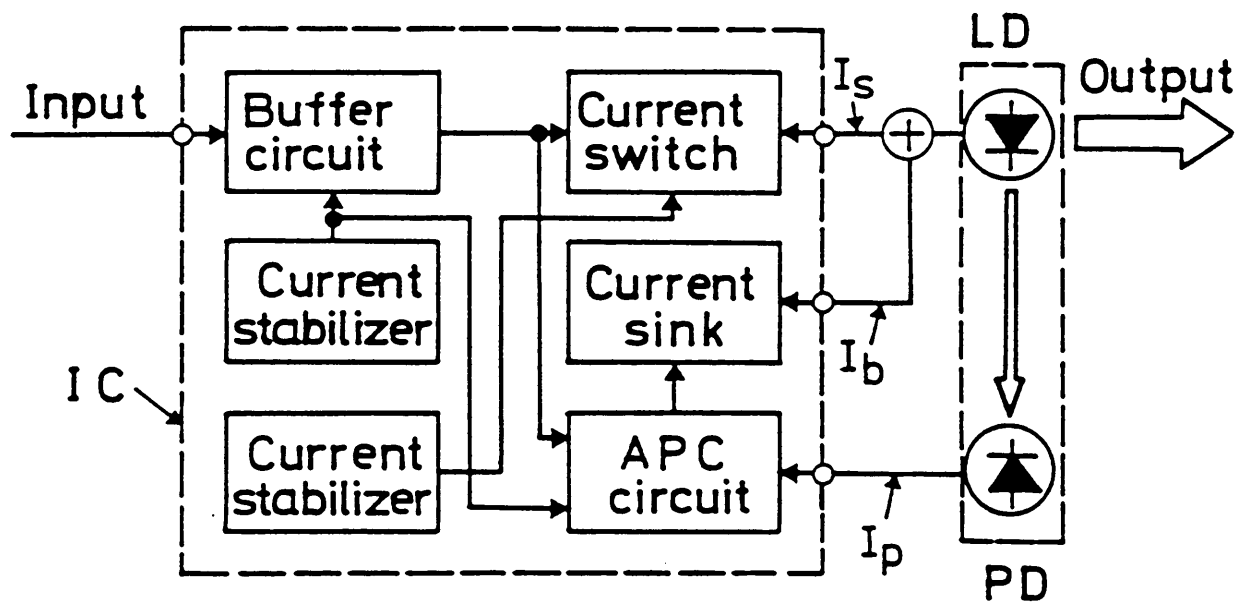


図 4.4 温度, 電源電圧変動に対する光出力変動特性 (測定値)

表 4.3 200 Mb/s LD送信器の主要性能

項目	単位	目標値	実験値
伝送速度	Mb/s	> 200	400
伝送符号	—	NRZ/DMI*	NRZ/DMI**
光源	—	1.3 μm BH-LD	
光送信電力	dBm	-3 (平均)	-3 (平均)
同変動	dB	±1	±0.5
光出力応答時間	ns	< 1	0.5
APC方式	—	平均値検出-バイアス電流制御	
電源電圧	V	5 V ± 5%	
周囲温度	°C	0 - 50	

* 100 Mb/s, ** 200 Mb/s



(I_s : Signal current, I_b : Bias current, I_p : Photo-current.)

図 4.5 200 Mb/s LD送信器の構成

表 4.4 200 Mb/s LD送信用 ICの目標性能

信号電流	電流振幅	40 mA _{p-p}
	振幅安定度	< ± 2 mA
	応答時間	< 0.95 ns
バイアス電流		0 - 50 mA
消費電力		< 500 mW
電源電圧		5 V ± 5%
周囲温度		0 - 50°C

表 4.5 光出力変動の配分

項目	回路定数許容変動量(%)		光出力変動量 (dB)	
	電源電圧 *	周囲温度 **	電源電圧 *	周囲温度 **
I _b	± 5	± 1	± 0.12	± 0.02
I _s	± 1.5	± 0.5	± 0.08	± 0.06
V _r	± 1.5	± 0.5	± 0.07	± 0.02
G	± 5	± 1	± 0.11	± 0.05
β	—	± 1.5	—	± 0.01
I _{th}	—	± 15	—	± 0.21
計	± 13	± 19.5	± 0.38	± 0.37

* V_{EE} = 5 V ± 10%, ** T_e = 25 ± 25°C

子効率が比較的大きいため30 mA_{p-p} で十分と考えられるが、ここではLDの製造偏差を考慮し40 mA_{p-p} とした。光送信器の出力応答時間はLDと駆動回路の応答時間の相加平均によって決まる。表4.3より光送信器の設計目標は1 nsである。これに対し、LDの応答時間は0.3 ns程度である。よって、光送信器の応答時間は信号電流の応答時間によりほぼ決まることが分る。この場合、信号電流に要求される応答時間は0.95ns以下であればよい。信号電流の振幅変動は、受信SNRの許容劣化量を±0.5 dBとしたため、±5%以下が要求された。消費電力はICの信頼性と性能の両者から検討する必要がある。通常、許容できるICチップ内の温度上昇は25~50°C程度である。これから、消費電力は500 mW以下を目標とした。この時のICパッケージの熱抵抗は100 °C/Wを仮定した。

光出力変動は、既に述べたようにLDの温度特性の他に送信回路の不完全性による回路定数の温度、電源電圧依存性が相加されて生じる。従って、光出力変動を設計目標内に納めるには各定数の変動による劣化分を適正配分し、回路設計をする必要がある。表4.5に、式(4.7)を用いて算出した各定数の許容変動幅とそれに対応する光出力変動の配分結果を示す。計算に用いた定数の標準値は次の通りである。

$$\left[\begin{array}{l} P_o = 3\text{mW}, \eta = 0.1, \alpha = 0.65\text{mW/mA}, G = 5000, I_{bo} = 50\text{mA} \\ I_s = 20\text{mA}, \beta_o = 0.4\text{mW/mA}, I_{tho} = 30\text{mA}, V_r = 1\text{V}, m = 1/12 \end{array} \right.$$

表4.5は、閾電流の温度特性が光出力変動の最も大きな要因であることを示す。又、信号電流と基準電圧の電源電圧依存性も光出力変動に大きな影響を与えるため、ここではその依存性の許容度を3%以下に制限した。尚、表4.5の光出力変動量は統計的偏差を考慮して二乗相加平均をとると温度変動に対し±0.38 dB、電源電圧変動に対し±0.37 dBであり、設計目標の±1 dBを満たすことができる。

信号電流を供給する電流スイッチにはトランジスタ差動対を用いた。このトランジスタの寸法は、電流振幅40 mA、応答速度0.5 nsを目標に最適化された。入力バッファ回路には、図4.6に示すように基本回路としてECL (Emitter coupled logic) ゲートを用いた。入力エミッタホロアは、市販されている100 K ECLゲートとの互換性をもたせるためのレベルシフトに用いている。出力エミッタホロアは入力バッファ回路と電流スイッチのインターフェイスとして用いるもので、電流スイッチの入力インピーダンス変化による波形劣化を抑止するために2段構成とした。この入力バッファ回路の応答速度は、論理振幅0.8 V_{p-p} において0.5 nsであった。APC回路の基本構成を図4.7に示す。基準電圧V_{ref} を得るために、入力信号は積分器Iにて積分される。積分器Iは、リミット増幅器と抵抗-容量直列回路とで構成されてい

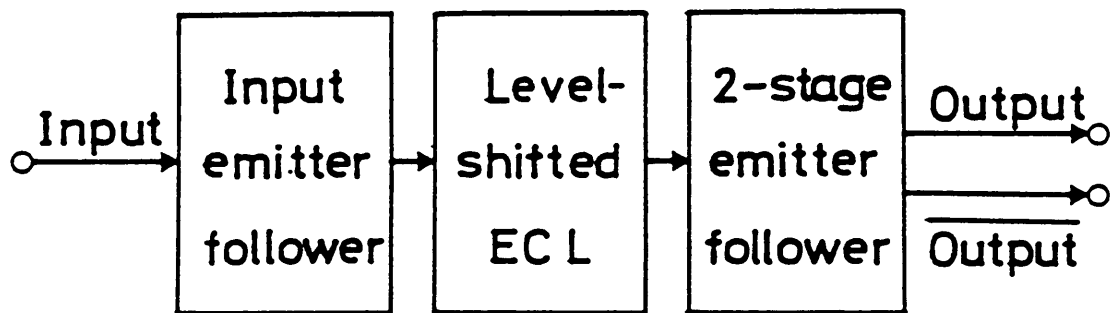


図 4.6 入力バッファ回路の構成

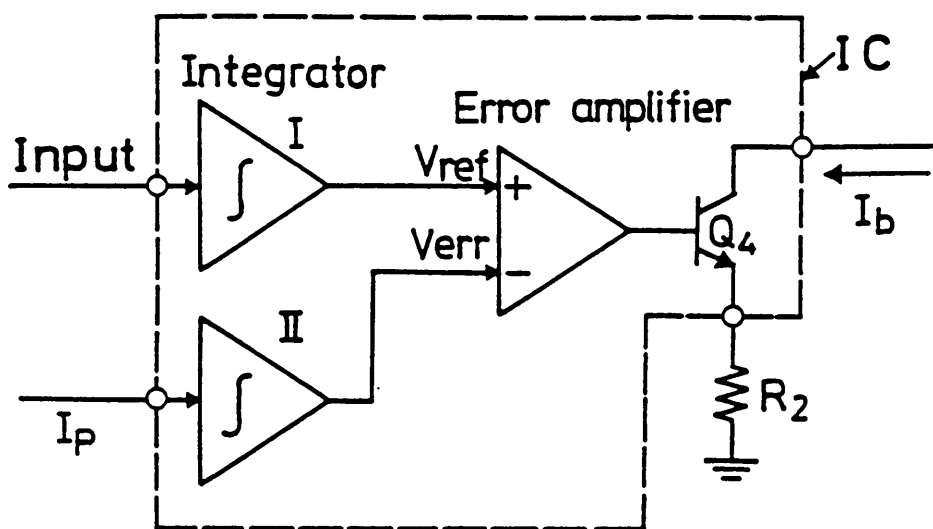


図 4.7 APC回路の基本構成

る。前者は入力信号を立上り／立下り時間の速い振幅一定のパルスに波形整形する。後者は、このパルス列を積分する。PDからの監視電流は、積分器Ⅱによって積分される。積分器Ⅱは、電流を電圧 V_{err} に変換するために抵抗と容量の並列回路で構成されている。誤差増幅器の利得は、光出力変動を ± 1 dB 以下に抑えるため 25 dB 以上とした。この時の APC 回路の開ループ利得は 45 dB である。図 4.8 に、本研究で提案した電流安定化回路の構成を示す¹³⁾。回路 A は、電源電圧による信号電流の変動を抑圧すると共に所望の温度特性を得るための基準回路である。回路 B は回路 A から供給される電流を回路 C に伝達するための回路で、PNP トランジスタで構成されるカレントミラー回路を用いた。回路 C は、直流出力レベル V_r の温度特性を所要値に合わせるための調整回路である。この電流安定化回路の導入により、光出力変動を電源電圧 $5V \pm 5\%$ 、温度 $0 - 70^\circ\text{C}$ において、夫々、 ± 0.2 dB、 0.3 dB 以下を達成できた。

尚、送信回路のモノリシック IC 化については第 4.4 節で詳述する。

4.2.2.3 LD 送信器の特性

光源には、 $1.3 \mu\text{m}$ BH-LD (日立: HLP5500) を用いた。図 4.9 に、伝送速度が 300 Mb/s と 400 Mb/s における光出力アイパターンを示す。伝送符号には、 $2^{15} - 1$ ビット長の擬似ランダム NRZ 符号を用いている。立上り時間は 0.4 ns、立下り時間は 0.6 ns であり、 $0 - 50^\circ\text{C}$ の温度変化に対する変動は共に 0.1 ns 以下であった。又、消光比は 13 dB 以上あり、同じ温度変化に対して 0.5 dB の劣化であった。この時の光出力は -3 dBm であった。図 4.10 に伝送速度が 160 Mb/s における光出力の安定度を示す。電源電圧 $5V \pm 5\%$ 、温度 $0 - 50^\circ\text{C}$ において、光出力の変動量は ± 0.5 dB 以下であった。光出力が温度に対して不規則に変動するのは LD の緩和振動の影響が主な原因と考えられる。以上の特性は、伝送速度が 160 - 400 Mb/s の間で殆んど差が認められなかった。この結果、試作した LD 送信器は 200 Mb/s 以上のシステムに十分適用できることが明らかとなった。

4.2.3 565 Mb/s LD 送信器

近年、次期超長距離陸上及び海底公衆通信システムの有力な候補として注目されている $1.5 \mu\text{m}$ 帯 565 Mb/s 光伝送システムの開発が活発化している。本節は、このような状況を背景に開発された $1.5 \mu\text{m}$ 帯 565 Mb/s 光中継器 (第 3.5 節) の送信部について述べたものである。

4.2.3.1 構成

図 4.11 に、試作した 3 チップ構成の $1.5 \mu\text{m}$ 帯 565 Mb/s LD 送信器を示す。基本的な構成は、200 Mb/s LD 送信器と同じである。その特長は LD 駆動回路の前段にクロック信号によって動作する波形整形回路を設けたことである。この構成ではクロック信号によって入

力信号のパルス幅整形が可能となるため、入力信号には大きなパルス幅変動を許容できる利点がある。又、無信号時における不要な光信号の出力を防止するため、外部からの制御信号によって光出力を強制する機能が付加されている。

4.2.3.2 設計及び特性

LD駆動回路と波長安定回路にボールドウィン・シリコン・プロセス (SEP) にて試作したモノリシック ICを用いた LD 駆動回路 (図 4.8) に示すように、12 に示すように、電流スイッチとで構成されて、ラッシュ・エフェクトを抑制できる。電流スイッチを構成する差動対トランジスタのエミッタ・コネクタは、0.5 μm の結果が、幅 1 μm、長さを 250 μm とした。図 4.8 に、試作した LD 駆動回路 IC のパルス応答特性を示す。同図 (a) は、650 Mb/s における電流パターンの一例を示す。565 Mb/s の伝送が十分可能であることが分かる。電流パルス幅が 40 ns/80 ns におけるアイパターンは、立ち上がり/立ち下り時間が 0.4 ns/0.5 ns が得られた。DVB 規格に準拠した LD 送信器の高出力化に非常に有効である。スイッチング可能な電流は約 10 mA であり、100 ns の場合ややジッタが生じているが、これはオシロスコプの帯域幅制限によるものである。

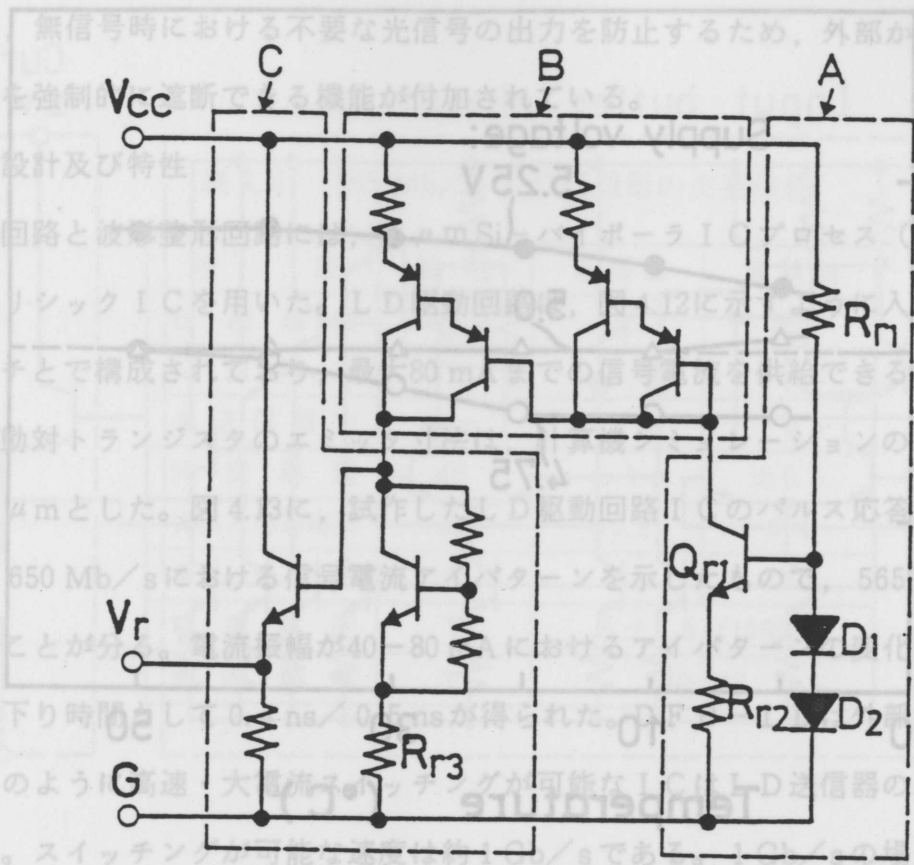
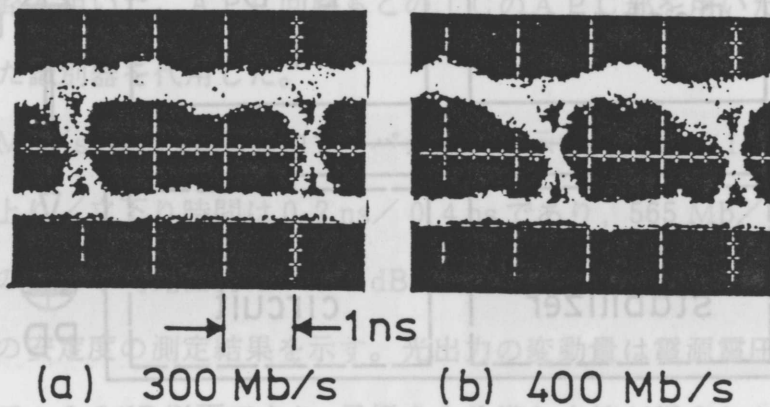


図 4.8 電流安定化回路。出力電圧の温度特性を任意設定できる。

抑圧すれば十分 1 Gb/s までの LD 変調が可能と考えられる。バイアス電流の供給は、個別トランジスタにて行った。又、信号電流の安定化には、200 Mb/s の伝送用 LD 駆動回路 IC に含まれる電流安定化回路を用いた。尚、波形整形回路には表 3.9 で示したように、565 Mb/s の伝送が十分可能であることが分る。この結果、565 Mb/s の伝送が十分可能であった。



(a) 300 Mb/s (b) 400 Mb/s

図 4.9 試作 LD 送信器の光出力アイパターン

表 4.6 に、試作結果をまとめ、波長安定回路を用いて 150 km の無中継伝送実験を行った。150 km 伝送後の back-to-back での受信感度劣化は約 0.5 dB であり、試作送信器が 150 km 以上の長距離伝送システムに十分適用可能であることが分った。

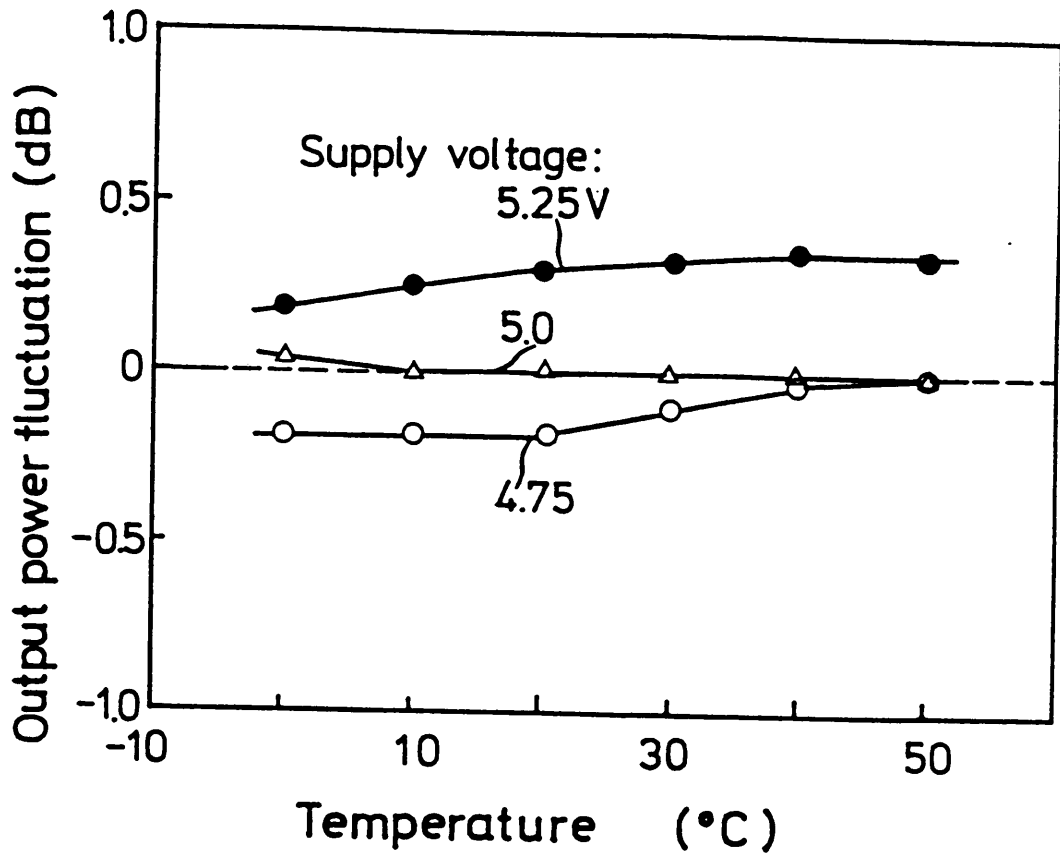


図 4.10 試作 LD 送信器の光出力変動特性。伝送速度は 160 Mb/s。

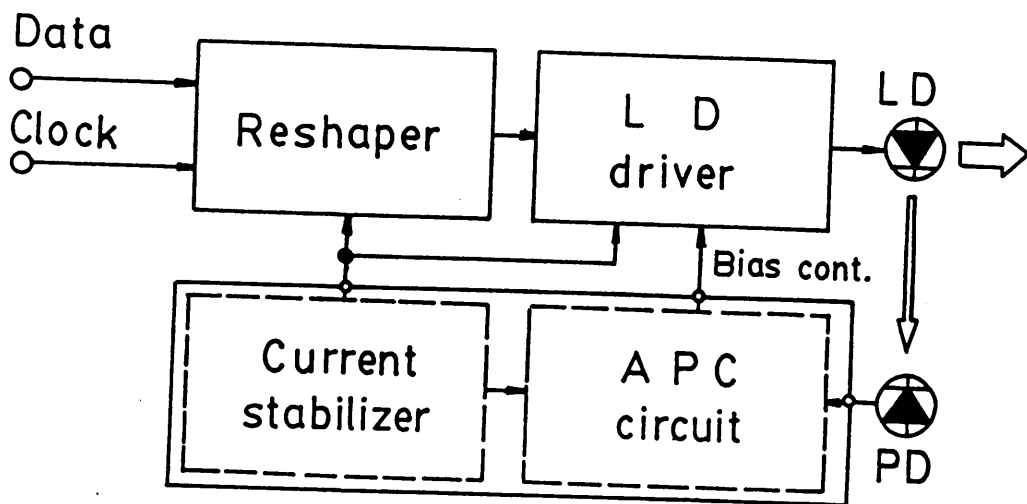


図 4.11 565 Mb/s LD 送信器の構成

力信号のパルス幅整形が可能となるため、入力信号には大きなパルス幅変動を許容できる利点がある。又、無信号時における不要な光信号の出力を防止するため、外部からの制御信号によって光出力を強制的に遮断できる機能が付加されている。

4.2.3.2 設計及び特性

LD駆動回路と波形整形回路には、 $1\ \mu\text{m}$ Si-バイポーラ ICプロセス (SEPT) にて試作したモノリシック ICを用いた。LD駆動回路は、図 4.12に示すように入力バッファ回路と電流スイッチとで構成されており、最大80 mAまでの信号電流を供給できる。電流スイッチを構成する差動対トランジスタのエミッタ寸法は、計算機シミュレーションの結果から幅 $1\ \mu\text{m}$ 、長さを $250\ \mu\text{m}$ とした。図 4.13に、試作したLD駆動回路 ICのパルス応答特性を示す。同図 (a) は、 $650\ \text{Mb/s}$ における信号電流アイパターンを示したもので、 $565\ \text{Mb/s}$ 伝送が十分可能であることが分る。電流振幅が $40\text{--}80\ \text{mA}$ におけるアイパターンの変化は殆んど見られず、立上り/立下り時間として $0.4\ \text{ns}/0.5\ \text{ns}$ が得られた。DFB-LDは外部微分量子効率がいいため、このように高速・大電流スイッチングが可能な ICはLD送信器の高出力化に非常に有効である。スイッチングが可能な速度は約 $1\ \text{Gb/s}$ である。 $1\ \text{Gb/s}$ の場合ややジッタが生じているが、これはチップのボンディング線及びLDモジュールのピンに付随する寄生インダクタンスに起因するリングングによる。従って、寄生インダクタンスの低減によってジッタを抑圧すれば十分 $1\ \text{Gb/s}$ までのLD変調が可能と考えられる。バイアス電流の供給は、個別トランジスタにて行った。又、信号電流の安定化には $200\ \text{Mb/s}$ 伝送用LD駆動回路 ICに含まれる電流安定化回路を用いた。APC回路もこの ICの APC部を用いた。尚、波形整形回路には表 3.9で示した識別器を代用した。

図 3.32に、 $565\ \text{Mb/s}$ における光出力アイパターンを示す。光源は $1.55\ \mu\text{m}$ DFB-LDである。同図から立上り/立下り時間は $0.2\ \text{ns}/0.4\ \text{ns}$ であり、 $565\ \text{Mb/s}$ 伝送が十分可能であることが分る。この時の平均光出力は $-0.5\ \text{dBm}$ であり、信号電流振幅は $60\ \text{mA}_{\text{p-p}}$ であった。図 3.33に、光出力の安定度の測定結果を示す。光出力の変動量は電源電圧 $-5.2\ \text{V}\pm 10\%$ 、温度 $10\sim 40^\circ\text{C}$ において $\pm 0.5\ \text{dB}$ 以下であり、目標を十分満たす値が得られた。光出力の立上り/立下り時間は上記環境下において最悪でも $0.4\ \text{ns}/0.5\ \text{ns}$ であり、又、消光比は $15\ \text{dB}$ 以上であった。表 4.6に、試作結果をまとめて示す。この光送信器を用いて $150\ \text{km}$ の無中継伝送実験を行った。 $150\ \text{km}$ 伝送後と back-to-backでの受信感度劣化は約 $0.5\ \text{dB}$ であり、試作送信器が $150\ \text{km}$ 以上の長距離伝送システムに十分適用可能であることが分った。

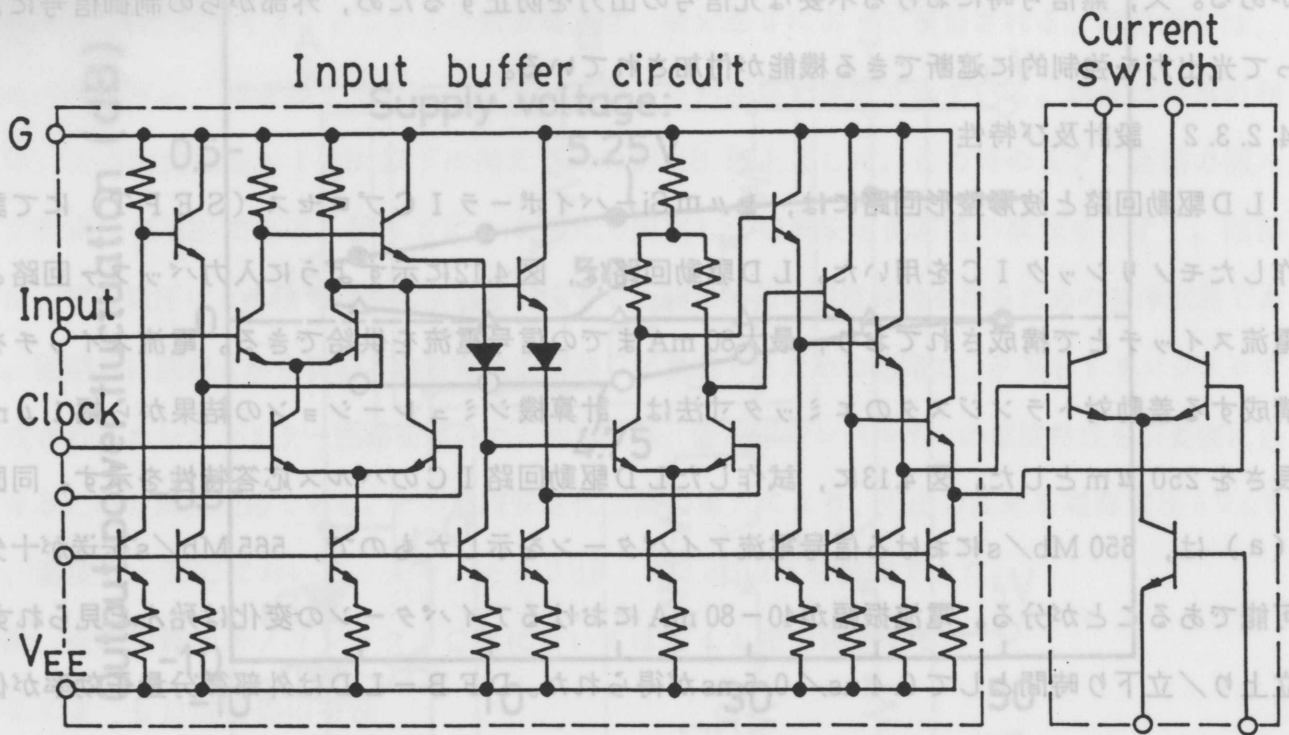
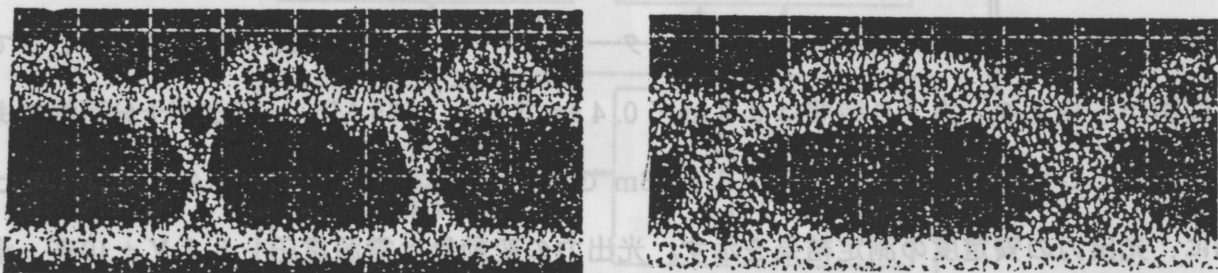


図 4.12 565 Mb/s LD 駆動回路 IC の構成



(a) 65 Mb/s, (b) 1 Gb/s

図 4.13 試作 IC のパルス応答波形。

(a) 65 Mb/s, (b) 1 Gb/s。

表 4.6 565 Mb/s LD送信器の主要性能

項 目	単 位	目 標 値	実 験 値
伝 送 速 度	Mb/s	565	565
伝 送 符 号	—	NRZ	NRZ
光 送 信 電 力	dBm	> -4	-0.5
同 変 動 量	dB	±1	±0.5
光出力応答時間	ns	< 0.5	0.4
消 光 比	dB	15	20
電 源 電 圧	V	5 ± 0.5 (10%)	
周 囲 温 度	°C	10-40	

表 4.7 LED送信器の目標性能

項 目		目 標	
伝 送 速 度		100 Mb/s 以上	
伝 送 符 号		NRZ	
光 源		1.3 μm LED	
光 送 信 電 力*		-17 dBm 以上	
光出力変動	電 源 電 圧	± 0.5 dB	± 1 dB
	周 囲 温 度	± 0.5 dB	
光出力立上り/立下り時間		1.5 ns / 1.5 ns	
電 源 電 圧		5 V ± 5%	
周 囲 温 度		0 ~ 50°C	

* 50 μm / 125 μm 標準GIファイバ内電力

4.3 LED送信器¹³⁾

LANや計算機ネットワークなど比較的短距離のシステムでは、光インタフェースとして用いられる光送信器の小形化、信頼性の向上、消費電力の低減などに対する要求が公衆通信網以上に強い。これらの要求を満たすには、送信回路のモノリシックIC化とLEDの光源への適用が必須となる。既に、短波長LEDを用いた32 Mb/s伝送用IC化光送信器が開発されているが、100 Mb/s以上の高速伝送用には送信回路の高速化及び高速変調が可能な長波長LEDの採用が不可欠である。長波長LEDにはGb/sで動作するものもあるが、実用レベルのLEDでは一般にオージェ非発光再結合によって立下り時に裾引き現象を呈し、この現象が変調速度を制限する。従って、高速変調を実現するにはオージェ効果による速度劣化を補償する高速化技術の開発が必須である。

本節では、光源に長波長LEDを適用した100 Mb/s系IC化光送信器の設計及び試作結果について述べる。特に、本研究で提案した長波長LEDの速度補償方式を中心に論じる。

4.3.1 回路設計

4.3.1.1 設計目標

LANや計算機ネットワークなどの伝送距離は2～3 Kmの場合が殆んどである。これから、光素子としては信頼性が高く低価格であり、又、取扱いが容易などの点からLED-pinの組合せが適している。特に、光源としてはシステムの高速・大容量化に対応できる長波長LEDが最適である。

表4.7に、LED送信器の設計目標を示す。光源には、波長1.3 μmのドーム形InGaAsP/InP-LED(日立:HE1301)を採用した。このLEDの代表的な立上り/立下り時間は1.5 ns/4 nsであり、目標の伝送速度100 Mb/s(NRZ)以上を実現するには応答速度の改善が必要となる。光出力は-17 dBm以上を目標とし、その変動分を電源電圧5 V±5%、温度0～50°Cに対して各々±0.5 dBを配分する。

4.3.1.2 構成

LEDは発振閾電流をもたないので、光出力の温度依存性が小さい。このため、APC回路が不要となり、簡単な温度補償回路で光出力を安定化することができる。従って、駆動回路を簡易化できる利点がある。しかし、光出力の大きい長波長LEDの場合、立下り時間が立上り時間に比べて大幅に長くなる性質があり、高速変調を実現するにはこの立下り時間の高速化が不可欠となる。図4.14は以上の考察を基に構成したLED送信器のブロック図を示したものである。送信回路はLED駆動回路と速度補償回路の2回路で構成されている。前者は入力信号

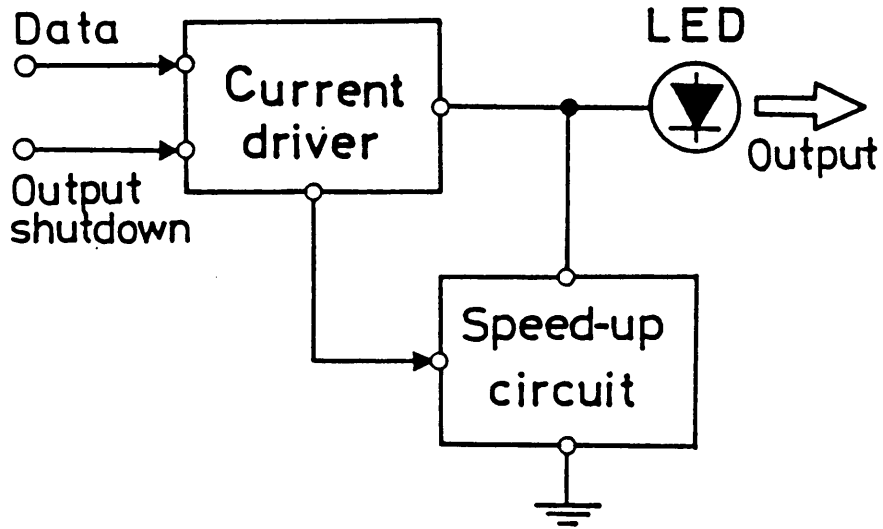


図 4.14 LED送信器の構成

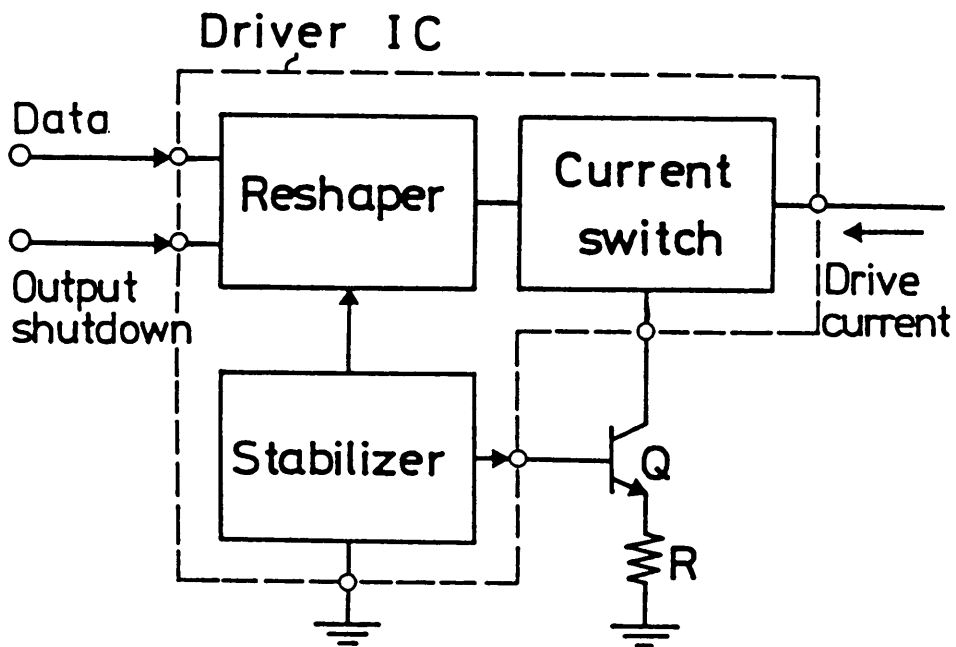


図 4.15 LED駆動回路の構成

を電圧－電流変換し、LEDを直接強度変調するために用いる。又、速度補償回路はLEDの応答速度を改善し、100 Mb/s以上の高速変調を実現する性能向上用の付加回路である。尚、LED駆動回路には光出力を強制的に遮断する機能を付加した。

4.3.2 送信回路の試作結果

光送信器の小形化には、送信回路のモノリシックIC化が必須である。しかし、IC化の範囲は信頼性や動作の安定性を考慮し決定する必要がある。一般に、信頼性の点からチップ内トランジスタの接合温度は100℃以下に保つことが望しい。ここでは、チップ内温度上昇を50℃以下に抑え、トランジスタの接合温度を100℃以下とするため、チップ内消費電力を500 mW以下に制限することを設計基準としIC化の範囲を決定した。

4.3.2.1 LED駆動回路

(i) 構成

図4.15において、破線で示した部分がモノリシックIC化した回路で、波形整形回路、電流スイッチ及び電流安定化回路から成る。LD駆動回路の場合と同様、波形整形回路と電流スイッチによりLEDを高速・大電流駆動する。電流安定化回路はLEDの温度補償及び電源電圧変動を抑圧して光出力を安定化する。尚、電流スイッチに駆動電流を供給するための定電流源は個別トランジスタ2SC3356（2本並列）及びチップ抵抗を用いて構成した。

(ii) 設計及び特性

駆動回路のモノリシックIC化には3µmSi-バイポーラICプロセス(SHL)を適用した。IC設計は回路解析プログラムによる計算機シミュレーションにて行い、必要な電流値に応じてトランジスタの寸法を最適化した。試作したICの消費電力は400 mWであった。尚、本項ではモノリシックIC化の要点のみを述べ、詳細については第4.4節で詳しく論じる。

① 高速・大電流スイッチング回路

駆動回路ICの性能は信号電流の振幅値及び応答速度で評価され、両者共、極力大きいことが要求される。信号電流の振幅は-17 dBm以上の光出力を得るため、100 mA以上を目標とした。応答速度は光出力の立上り/立下り時間への寄与率が10%以下になるように0.75 ns以下を目標とした。高速・大電流スイッチングを実現するには、電流スイッチの構成及び電流スイッチとして用いるトランジスタの構造の最適化が最も重要である。電流スイッチには、高速化に適した振幅リミッタ機能をもつトランジスタ差動対を用いた。この形の電流スイッチは定電流源から供給される電流Iをスイッチングするため、トランジスタを流れる電流は0からIまで変わり f_T が大きく変化する。それ故、高速・大電流スイッチングを実現するためにはト

ランジスタを流れる電流が $I/2$ の時、トランジスタの f_T が最大となるようにすることが必須である。又、電流がすべて一方の電流に流れる時、トランジスタの f_T が極端に低くならないようにすることも重要である。更に、スイッチング速度を劣化させる要因となるコレクタ・基板間及びコレクタ・ベース間容量の低減が要求される。以上の考察を基に、エミッタ寸法が $3 \times 350 \mu\text{m}^2$ のシングルベース構造をもつトランジスタを開発した。このトランジスタの f_T は 4 GHz 、コレクタ・基板間容量及びコレクタ・ベース間容量は各々 2.6 pF 、 2.4 pF であった。試作した IC の立上り／立下り時間は図 4.16 に示すように信号電流振幅が 100 mA において 0.4 ns 及び 0.6 ns であり、 100 Mb/s 系の伝送に十分適用可能であることが分った。又、試作 IC が 400 Mb/s まで動作することを確認した。

② 電流安定化回路

光出力の変動量は信号電流の安定度に大きく依存する。LED の場合、信号電流は 100 mA と非常に大きな値が必要となるため、電源電圧や温度変化に対して変動し易い。このため、図 4.8 で示した電流安定化回路を LED 送信器の場合にも導入した。但し、LD 送信器の場合とは異なり LED の温度特性（通常、 $-0.6 \sim 0.7 \text{ dB}/25^\circ\text{C}$ ）を補償するため信号電流には $+0.3 \text{ mA}/^\circ\text{C}$ の温度係数をもたせた。試作 IC の電源電圧 $5 \text{ V} \pm 5\%$ 及び温度 $0 \sim 25^\circ\text{C}$ に対する信号電流の変動分は、夫々、 $\pm 4 \text{ mA}$ 、 $0.2 \sim 0.3 \text{ mA}/^\circ\text{C}$ であった。

4.3.2.2 LED 速度補償回路

長波長 LED は前述の如く、立下り特性が立上り特性に比べて著しく悪い性質があるため、光送信器の高速化にはこの立下り特性の改善が鍵となる。立下り時間が立上り時間に比べて長くなる現象は、等価回路的には LED の寄生容量に蓄積される電荷の充放電現象によって説明することができる。従って、高速化を図るためには信号電流の立下りにアンダーシュートをもたせ、蓄積電荷を高速放電させることが必須となる。

本項では、最初に LED 速度補償回路を提案し、その動作原理を説明する。次に、実験及び計算機シミュレーションにより検討した結果について述べる。

(i) 構成

LED 速度補償方式の代表的な従来例としては、 $1/4$ 波長の同軸線を用いて生成した反射波によって LED を逆バイアスし高速化を図った方式がある。しかし、この方法では同軸線が必要となるため光送信器が比較的大きくなり易い。本研究では、この問題を解決するための新しい速度補償回路を提案した。図 4.17 に、提案した新速度補償回路の構成を示す。この回路は抵抗 R_1 、 R_2 と容量 C_1 、 C_2 から成る 2 組の直列回路で構成されており、LED の寄生容

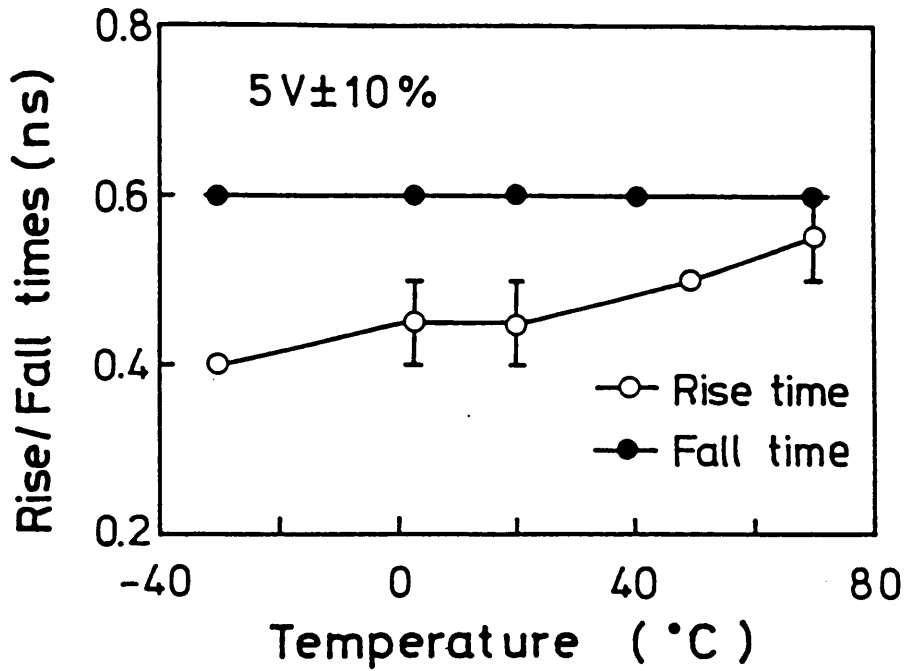


図 4.16 LED 駆動回路 IC の応答特性。

伝送速度：160 Mb/s，信号電流：100 mA。

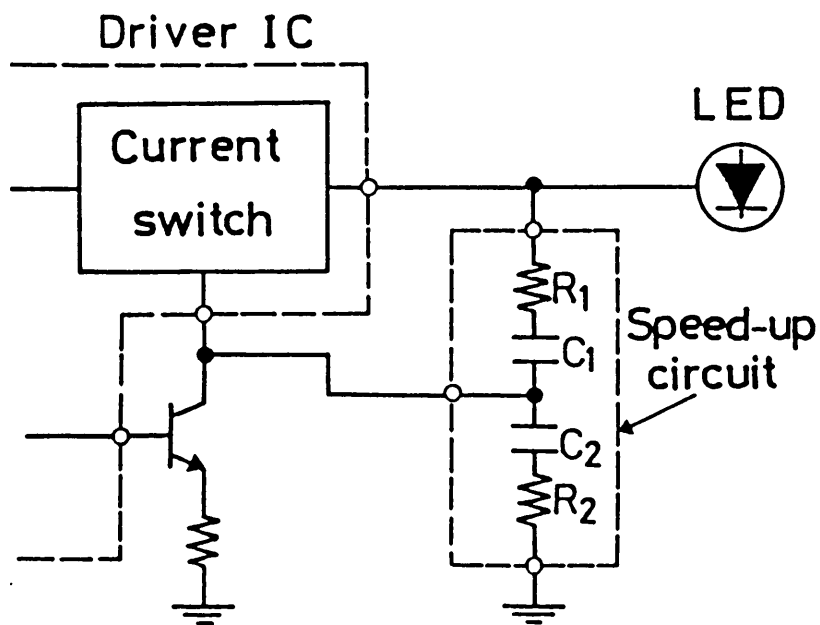


図 4.17 LED 速度補償回路

量に蓄積される電荷の放電回路を形成する。図 4.17で分るように、この速度補償回路は構成が極めて簡易であり、光送信器の高速化はもとより小形化にも大きく寄与できる利点を有する。尚、この速度補償回路は、LEDの製造偏差を吸収するために今回は個別部品にて構成した。

(ii) 動作原理

① LED・OFF時

LEDがOFF状態に入ると、その内部インピーダンスは急激に大きくなる。このため、LEDの寄生容量 C_s に蓄積されていた電荷は電源、アースライン及び速度補償回路を介して放電される。この場合の放電時定数は抵抗 R_1 と R_2 との和及び寄生容量 C_s との積ではぼ決まるから、 R_1 と R_2 の和を小さくすることにより高速化が期待できる。

② LED・ON時

LEDがON状態に入る場合、 C_s に充電電流が流れ電荷が蓄積される。しかし、この場合にはLEDの内部インピーダンスが数 Ω になるので、充電時定数はLEDの発光に寄与する拡散電流の応答速度に比べ非常に短い。それ故、この充電電流がLED応答速度に及ぼす影響は無視できる。一方、トランジスタ差動対で構成される電流スイッチは信号電流の立上り時にオーバーシュートを生じる性質があり、これがLEDの立上り時間を高速化する働きをする。従って、立上り時間に関しては特に高速化のための速度補償回路は必要としない。

③ 設計及び特性

図 4.18に、信号電流と光出力波形のシミュレーション結果を示す。電流の立上り、立下り時に各々生じるオーバーシュート及びアンダーシュートによって光出力の高速化が図られている。オーバーシュートは主として電流スイッチ、アンダーシュートは新たに提案した速度補償回路によって生じる。

速度補償回路の改善効果を検証するため、立上り／立下り時間が $1.5 \text{ ns} / 4 \text{ ns}$ の長波長LEDを用いて実験を行った。図 4.19は C_1 , C_2 を夫々 16 pF , 1000 pF とした時の放電時定数に対する立下り時間の改善効果を示したもので、実測値と計算値はよく一致した結果が得られている。放電時定数が小さくなるに伴い立下り時間は短くなり、高速化できることが分る。目標の 1.5 ns を満たす放電時定数は図 4.18より 300 ps となる。この結果を基に R_1 , R_2 の値を 5Ω とし、 C_1 , C_2 の値を変えて同様の実験を行った。応答速度の改善に寄与しているのは C_1 であり、 C_2 に対しては応答速度の変化は認められなかった。図 4.20に、 C_1 に対する応答速度の変化を示す。この時の C_2 は、 1000 pF である。図で明らかなように、 C_1 には立下り時間を最小にできる値が存在する。これは、次の理由による。 C_1 が小さい領域では放電

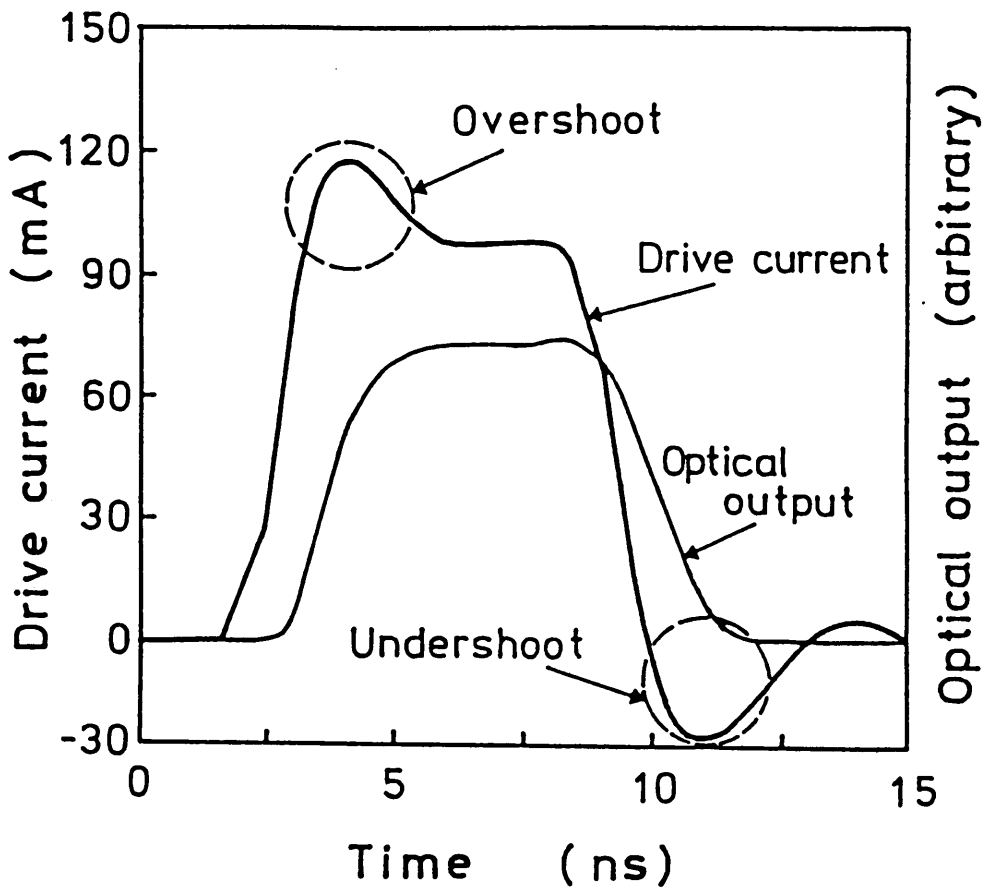


図 4.18 駆動電流及び光出力のシミュレーション波形

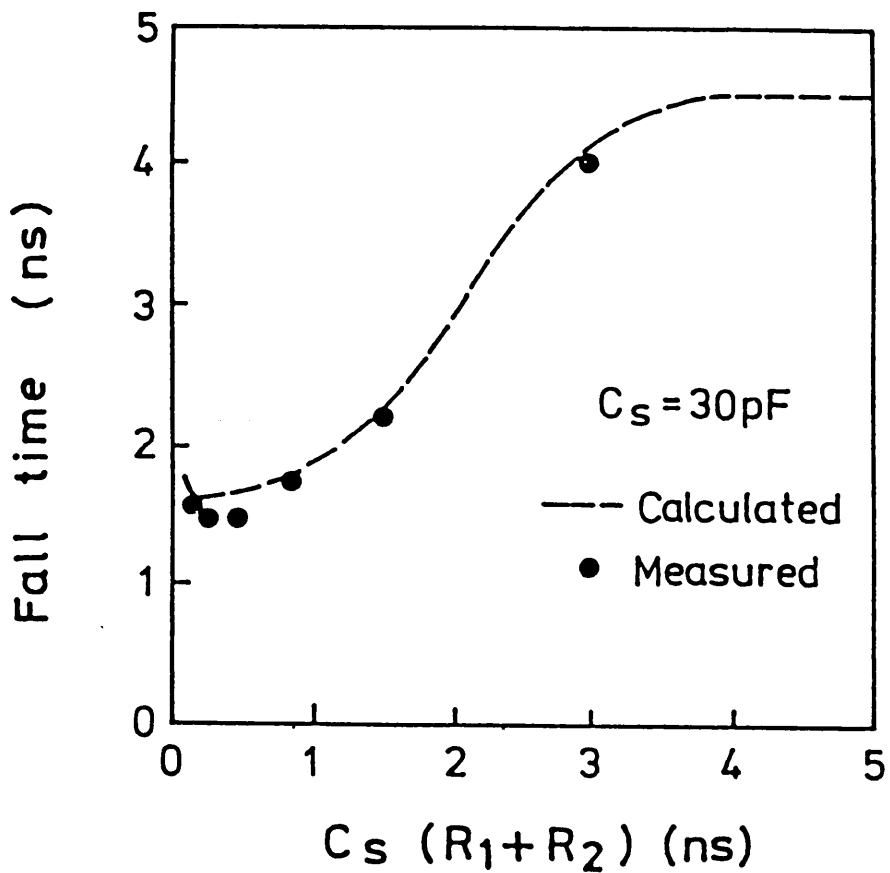


図 4.19 LED 立下り時間の放電時定数依存性

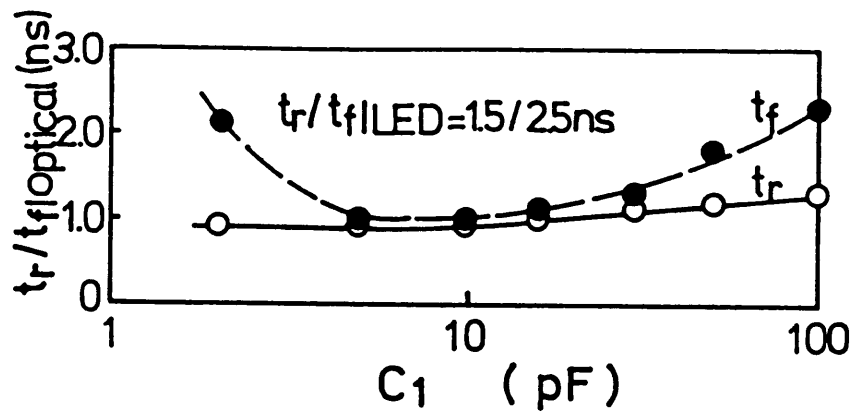


図 4.20 定数最適化例

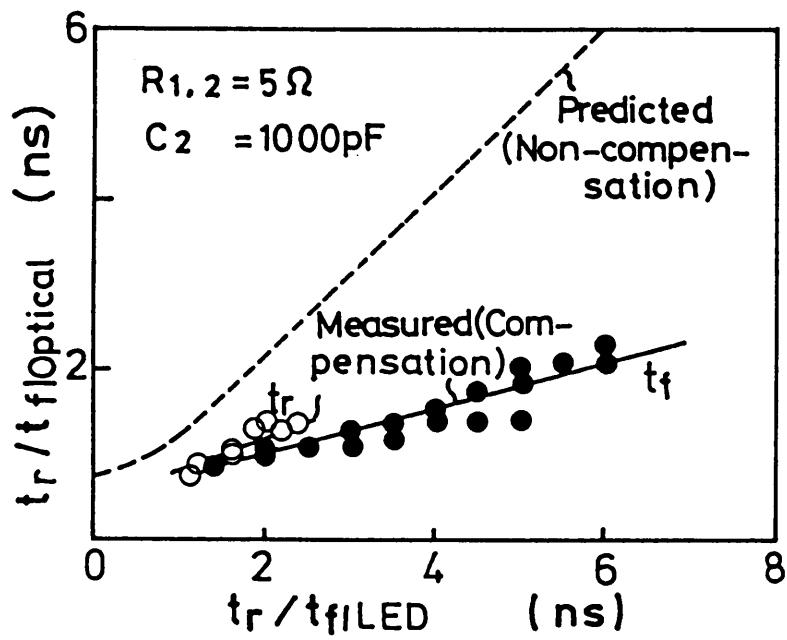


図 4.21 速度補償回路の改善効果

路のインピーダンスが高くなり、又、大きい領域では放電回路の時定数が長くなるので、LEDの蓄積電荷が十分放電されなくなるためである。図4.21は速度補償回路の改善効果をLED固有の応答時間と補償後の応答時間との関係で示したものである。この一連の実験では、応答速度の異なるLEDについて、各々、 C_1 を最適化した。同図は応答時間が長いLED程改善効果が大きいことを示しており、立下り時間6 nsのLEDでは約3倍の改善効果が得られている。図4.22に、400 Mb/sにおける光出力アイパターンを示す。同図(a)は補償前、(b)は補償後のアイパターンである。この実験で用いたLEDの立上り/立下り時間は2 ns/4.4 nsであるが、補償により夫々1.1 ns、1.4 nsと2~3倍高速化されている。この結果、本研究で提案した速度補償回路の採用によってLEDによる400 Mb/s伝送が実用レベルにおいて十分可能であることが明らかとなった。

4.3.3 光送信特性

開発したLED送信器の性能を把握するため、この送信器とpin受信器(第4章参照)を用いて160 Mb/s(NRZ)、2 kmの伝送実験を行った。光出力は-15.6 dBm(尖頭値)であった。実験では符号誤り率 10^{-9} において受信感度-27 dBm(尖頭値)、許容スパン損失11 dB以上が得られた。これから、開発した光送信器が100 Mb/s系のLANや計算機ネットワークなどのシステムに十分適用できることを確認した。光出力の電源電圧 $5\text{ V} \pm 5\%$ 、温度 $0 \sim 50^\circ\text{C}$ における変動量は各々 $\pm 0.1\text{ dB}$ 及び $+0.3\text{ dB} / -0.1\text{ dB}$ (無補償の場合、 $\pm 0.6\text{ dB}$)であり最悪でも $\pm 0.4\text{ dB}$ を実現することができた。これは新たに開発した電流安定化回路が電源電圧の抑圧とLEDの温度補償に対して非常に有効に機能することを示したものである。尚、開発したLED送信器は5 V単一電源で動作する。又、標準状態(5 V、 25°C)における消費電力は640 mWで、 $5\text{ V} \pm 5\%$ 、 $0 \sim 50^\circ\text{C}$ に対するその変動量は $\pm 35\text{ mW}$ と小さく抑えることができた。

4.4 LD/LED送信器のマスタスライスIC化¹⁴⁾

近年、公衆通信網やLANなどに用いられる光中継器のモノリシックIC化が活発に行われている。このようなシステムでは様々な伝送速度や符号形式が使用されているが、開発期間の短縮及び価格低減の観点から少ない種類で多くの光中継器を構成できるICの実現が要求されている。マスタスライスIC技術はこの問題を解決する有効な手段として従来から用いられてきた。特に、ゲートアレーを用いたデジタルIC開発で成果を挙げてきた。しかし、ゲートアレーを使って光中継器のIC化を行うには難しい問題がある。光中継器は前置増幅器、AG

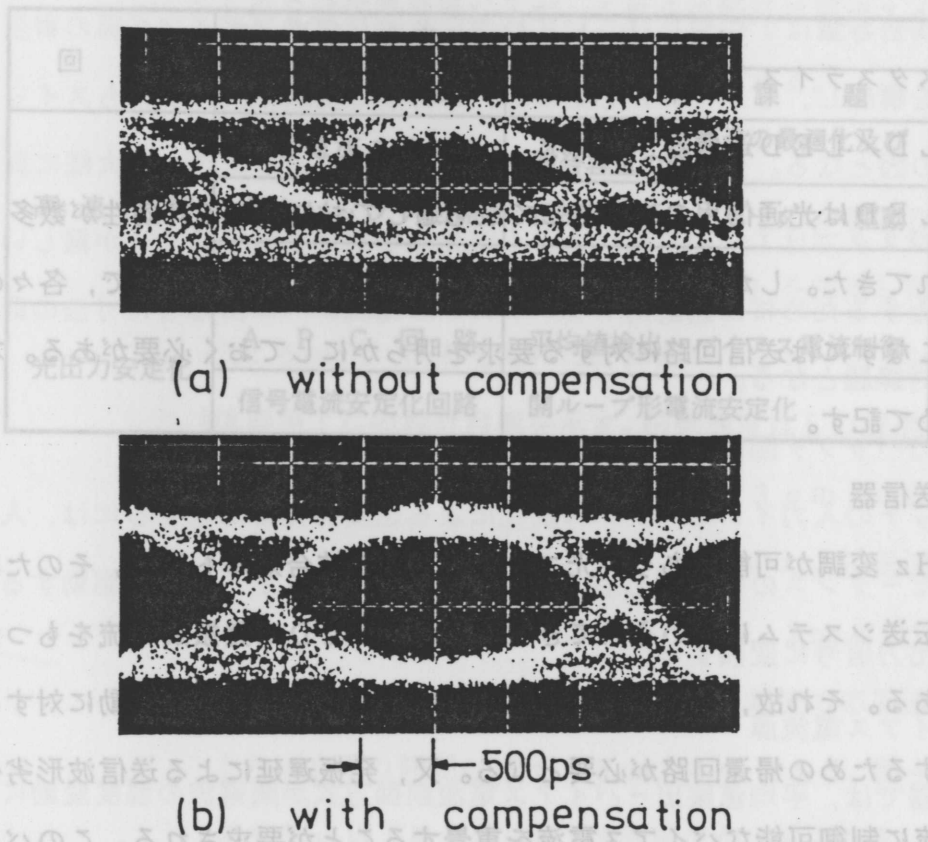


表 4.9 LD/LED 送受信同時動作時の動作特性

項目	目 録 値	
	IC	送受信器仕様
動作電圧	5V±5%	5V±5%
動作電流	0-70mA	無バイアス
動作温度	0-50℃	0-50℃
応答時間	< 1ns*	< 2ns**
データレート	100 Mb/s	100 Mb/s

図 4.22 400 Mb/s 光出力アイパターン

図 4.22 及び LD/LED 送信器の回路構成を示す。この送信器は次に示すマスタ IC の設計方針に基づいて構成されたものである。表 4.8 に、その要件を示す。

(i) 高周波調整

C増幅器，識別器，タイミング抽出回路などのアナログ回路とLD/LED駆動回路のような大電流スイッチング回路とで構成されており，デジタルICとは異なった観点からのIC開発が必要となる。本節では，光通信用マスタスライスIC化技術開発の第1ステップとして第4.2節及び第4.3節で述べたLD及びLED送信器のマスタスライスIC化の可能性について検討する。

4.4.1 マスタスライスIC化の設計思想

4.4.1.1 LD/LED送信器への要求

LD及びLEDは光通信用の光源として最も適しており，その有効性が数多くの実用例によって証明されてきた。しかし，両光源の特長は極端に異なっているので，各々の光源を最も効率よく使いこなすには送信回路に対する要求を明らかにしておく必要がある。本項では，この要求をまとめて記す。

(i) LD送信器

LDはGHz変調が可能であり，光ファイバーとの結合効率も高い。そのため，一般に長距離・高速光伝送システムに用いられてきた。しかし，LDは発振閾電流をもつため本質的に温度に敏感である。それ故，LDを使用する場合には温度や電源電圧変動に対する光出力を自動的に安定化するための帰還回路が必要となる。又，発振遅延による送信波形劣化を防止するため，信号電流に制御可能なバイアス電流を重畳することが要求される。このバイアス電流は閾電流の温度特性を補償するように制御される。

(ii) LED送信器

LEDは変調速度及び光ファイバ結合効率はLDに比べて劣るが信頼性が高く，低価格，取扱いが容易などのため短距離伝送用の光源として最も有望である。しかし，一般に長波長LEDでは $-10\sim-20$ dBmの光ファイバ入力を得ようとする 100 mA以上(LDの場合の2倍以上)の駆動電流が必要となるので，LED送信器の場合には高速・大電流スイッチング特性を実現するための技術が要求される。又，駆動電流が大きいと電源電圧変動に敏感になるため，高い精度で駆動電流を安定化するための回路が必要となる。

4.4.1.2 マスタスライスICの設計方針

図3.22と図4.5にLD及びLED送信器の回路構成を示したが，これらの送信器は次に述べるマスタスライスIC化の設計方針に基づいて構成されたものである。表4.8に，その要約を示す。

(i) 高速変調

表 4.8 マスタスライス IC 化の設計方針

回路	方 策	
	回 路	技 術 課 題
高 速 変 調	差動電流スイッチ	トランジスタ構造の最適化及び接合容量の低減
	入力バッファ回路	相補出力低インピーダンス駆動
	バイアス電流源	電流制御方式
光出力安定化	A P C 回 路	平均値検出-バイアス電流制御
	信号電流安定化回路	開ループ形電流安定化

表 4.9 LD/LED送信器用 IC の目標性能

項目		目 標 値		送信器仕様
		LD TX	LED TX	
信号	電流振幅	40 mA	100 mA	* > 300 Mb/s
	応答時間	< 1 ns *	< 2 ns **	** > 100 Mb/s
電流	安定度：			光出力変動 < ± 1 dB
	対電源電圧	< ± 2 mA	< ± 5 mA	
	対周囲温度	< ± 2 mA	+ 0.3 mA/°C	
バイアス電流		0 - 70 mA	無バイアス	
電源電圧		5 V ± 5 %		
周囲温度		0 - 50°C		

(a) 電流スイッチ

電流スイッチにはLD及びLEDを高速・大電流変調できる能力が要求される。このため、電流スイッチはトランジスタ差動対を用いて構成される。電流スイッチの入力インピーダンスはスイッチング電流レベルによって大幅に変動する。又、差動対トランジスタのコレクタ・ベース間接合容量はICやLD、LEDパッケージやボンディング線の寄生インダクタンスと共振回路を構成し、リングングを生じる。これらの現象は、いずれもスイッチング速度の劣化やジッタの因となる。一方、LDとLEDでは変調電流のレベルが大幅に異なるので、一種類のトランジスタでは f_T の変動が大きく両光源を高速変調することが難しい。従って、高速変調を可能とするためには差動対トランジスタの電流レベルに応じた寸法の最適化と接合容量の低減が検討課題となる。

(b) 入力バッファ回路

電流スイッチの入力インピーダンス変化による速度劣化を抑圧するには、入力バッファ回路の出力インピーダンスの低減が必須である。又、電流スイッチを高速駆動するため、単一入力信号を相補出力信号に変換する。

(c) バイアス電流源

LD送信器では、平均値検出ーバイアス電流制御方式が閾電流の温度変動による速度劣化を防止するために採用される。しかし、LED送信器では無バイアス変調方式が用いられる。

(ii) 光出力の安定化

(a) APC回路

LD送信器の光出力安定化方式としては平均値検出形のAPC方式を採用する。平均光出力はLDと一緒にモジュール化されている監視用PDにより検出され、入力信号を積分して得られる基準値と比較される。監視光量が変化すると、その変化を相殺する方向にバイアス電流が制御される。

(b) 電流安定化回路

信号電流の振幅が減少すると、送信SNRが劣化する。この劣化を避けるため、電源電圧や温度変動に対する信号電流振幅の変化を抑圧するため電流安定化回路が必要となる。負帰還形電流安定化回路は安定化能力に優れているが、発振し易く動作の安定度に乏しい。ここでは、PNPトランジスタを用いた開ループ形電流安定化回路を提案する。尚、この回路にはLEDの温度特性の補償機能をもたせる。

(iii) モノリシックIC化

図 3.22, 図 4.5 の破線で囲んだ部分が, マスタスライス IC 化の対象となった回路である。LD 及び LED 変調用の電流スイッチは, 若干の配線変更にて実現することを基本とする。従って, 高速動作の観点よりトランジスタ構造及びレイアウトの最適化の検討が必要となる。入力バッファ回路と電流安定化回路は LD/LED 送信器で共通に使用する。電流安定化回路に含まれる抵抗値は LD 送信器と LED 送信器で異なるが, これらの抵抗は電流スイッチと同様若干の配線変更によって所要の温度特性が得られるようレイアウトされる。

4.4.2 IC 設計及び特性

マスタスライス IC 化の対象として, 100 - 400 Mb/s で動作する LD/LED 送信器を取り上げた。プロセスには 3 μ m Si-バイポーラ IC プロセス (SHL) を採用した。又, IC の設計は CAD (Computer aided design) 技術を用いた計算機シミュレーションにより行った。表 4.9 に, LD/LED 送信器用 IC の設計目標を示す。伝送速度は LD 送信器で 300 Mb/s 以上, LED 送信器で 100 Mb/s 以上とした。光源としては, 1.3 μ m InGaAsP/InP・BH-LD (日立: HLP5500) 及び LED (日立: HE1301) を用いた。伝送速度 300 Mb/s 及び 100 Mb/s を実現するため, 信号電流の応答速度を夫々 1 ns, 2 ns に設定した。BH-LD の応答速度は 0.5 ns 以下であるので, 光出力の応答速度は信号電流の応答速度によって支配される。一方, LED の立上り/立下り時間は夫々 1.5 ns, 4 ns である。従って, LED 送信器における光出力の応答速度を 3 ns 以下にするには, 速度補償が必要となる。このため, 2 倍以上の補償能力をもつ速度補償回路の開発が要求される。

4.4.2.1 設 計

(i) 電流スイッチ

図 4.23 に, LD 及び LED 送信器用電流スイッチの構成を示す。図 4.23(a) に示すように, LD 送信器用の電流スイッチはトランジスタ差動対 $Q_1 - Q_2$ と電流源 $Q_3 - R_1$ とで構成した。又, バイアス電流供給のための定電流源はトランジスタ Q_4 と抵抗 R_2 で構成した。ここで, 抵抗 R_1, R_2 には LD の製造時に生じる性能偏差を調整するため個別素子を用いた。LED 変調用の信号電流は LD 変調電流の 3 - 5 倍大きいので, トランジスタ Q_1 と Q_3, Q_2 と Q_4 を並列接続して電流スイッチを構成した。ここで, 個別トランジスタ Q_5 と抵抗 R_3 により信号電流を供給する定電流源を構成した。これは, チップ内トランジスタの接合動作温度を 100 $^{\circ}$ C 以下に制限し, 信頼性を確保するためである。信号電流の標準値は LD 送信器において 40 mA, LED 送信器において 100 mA 以上を目標とした。従って, トランジスタ $Q_1 - Q_4$ の寸法を LD 及び LED 送信器に対して夫々 f_T が最も高い状態で動作するように最適化した。又,

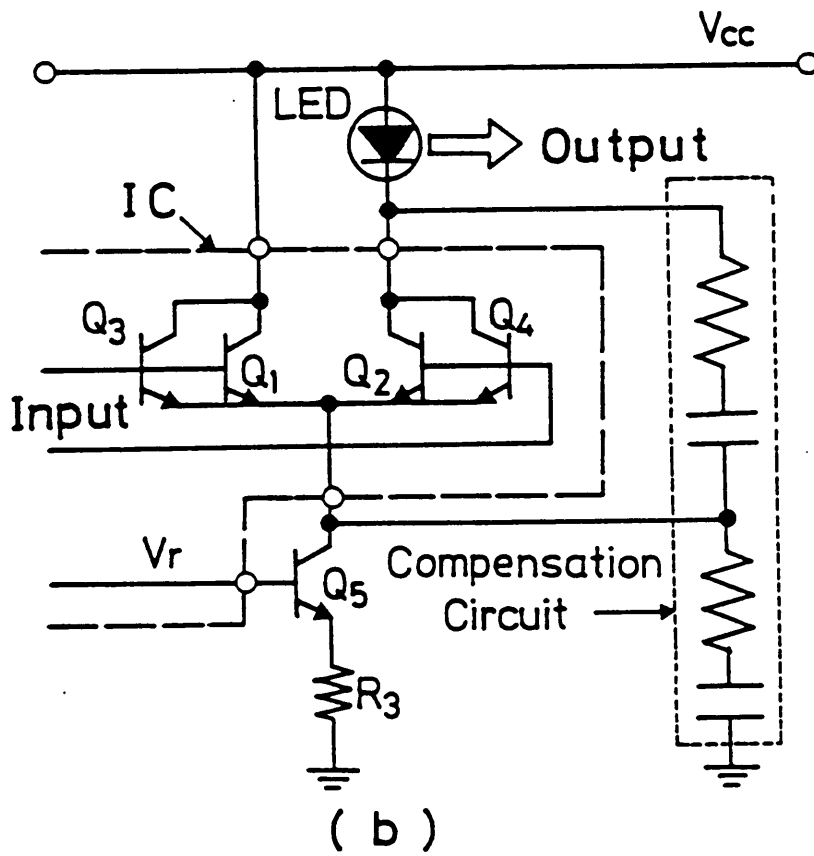
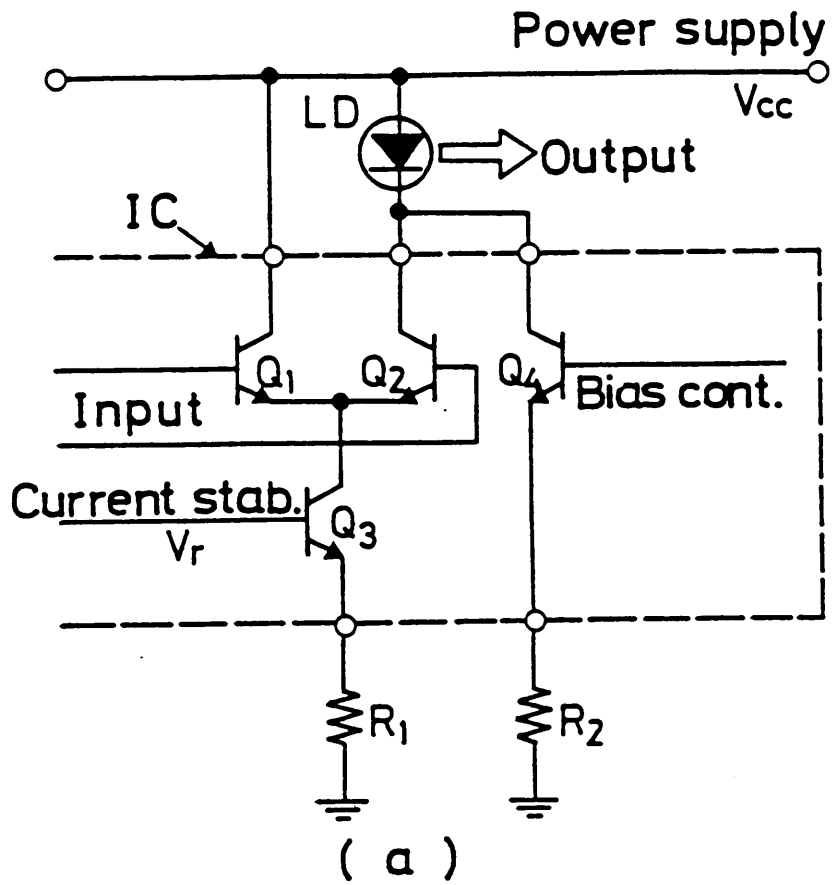


図 4.23 LD/LED 駆動用電流スイッチの構成

トランジスタ構造としては接合容量を低減できる単一ベース構造とした。これから、トランジスタ Q_1 , Q_2 のエミッタ寸法を $3 \times 150 \mu\text{m}^2$, Q_3 , Q_4 のエミッタ寸法を $3 \times 200 \mu\text{m}^2$ とした。この時のコレクター基板間及びベース間接合容量は Q_1 , Q_2 で 1.5 pF, 1.1 pF, Q_3 , Q_4 で 1.4 pF, 1.0 pF であった。シミュレーション結果では、LED 送信器の場合 0.4 - 0.8 ns の立上り/立下り時間が得られる見通しを得た。一方、LD 送信器 IC 本来の立上り/立下り時間は 0.3 ns, 0.5 ns が予測された。しかし、IC チップ、パッケージに付随する寄生インダクタンスや容量によって信号電流に大きなリングングを生じる。それ故、このリングングを抑圧するために信号電流の立上り/立下り時間を 0.5 ns とした。これは入力バッファ回路の出力インピーダンスを適当に大きくすることによって実現した。

(ii) 電流安定化回路

光出力の変動は、信号電流の安定度に強く依存する。設計では、 $\pm 5\%$ の電圧及び $0 - 50^\circ\text{C}$ の温度変動に対し $\pm 0.5 \text{ dB}$ づつの光出力変動を割当てた。図 4.8 は、新たに開発した回路であるが、この回路はその出力電圧の温度特性を LD 送信器で信号電流が常に一定に、又、LED 送信器では LED の温度依存性を補償するために信号電流が温度に比例して増加するように設定できる特長を有する。

図 4.8 から、出力レベル V_{or} の電源電圧及び温度依存性は次式で与えられる。

$$\frac{dV_{or}}{dV_{cc}} = \frac{R_{r3}}{R_{r1}} \cdot \frac{2r_d}{R_{r1}} \quad \dots\dots\dots (4.10)$$

$$\left. \begin{aligned} \frac{dV_{or}}{dT_e} &= \frac{\partial V_{or}}{\partial h_{FE}} \cdot \frac{\partial h_{FE}}{\partial T_e} + \sum_{j=1}^4 \frac{\partial V_{or}}{\partial V_{Bj}} \cdot \frac{\partial V_{Bj}}{\partial T_e} \\ \frac{\partial V_{or}}{\partial h_{FE}} &= \frac{\partial V_{or}}{h_{FE}^2} \cdot \left(\frac{2V_D - V_{B1}}{R_{r2}} + 1 \right) \\ \sum_{j=1}^4 \frac{\partial V_{or}}{\partial V_{Bj}} &= R_{r3} \frac{2V_D - V_{B1}}{R_{r2}} - \frac{\partial V_{B2}}{\partial T_e} + (1+n) \frac{\partial V_{B3}}{\partial T_e}, \quad n = \frac{r_2}{r_1} \end{aligned} \right\} \dots\dots\dots (4.11)$$

ここで、 r_d はダイオード D_1 , D_2 の微分抵抗、 $\partial h_{FE} / \partial T_e$ 及び $\partial V_D / \partial T_e$, $\partial V_{B1} / \partial T_e$, $\partial V_{B2} / \partial T_e$, $\partial V_{B3} / \partial T_e$ は各々電流増幅率、ダイオードのカソード・アノード間電圧とトランジスタ Q_{r1} , Q_{r2} , Q_{r3} のベース・エミッタ間電圧の温度係数である。

出力レベル V_{or} の電源電圧変動は式 (4.10) より r_d と R_{r1} との比を小さく選ぶことにより低減できることが分る。設計では、信号電流の電源電圧変動や所要の温度特性を考慮し R_{r1} を $3.3 \text{ k}\Omega$, R_{r2} を $1.4 \text{ k}\Omega$, R_{r3} を $1.7 \text{ k}\Omega$ に設定した。シミュレーションでは電源電圧 $5 \text{ V} \pm 5\%$ に対する信号電流の変動は LD 送信器で 0.3 mA/V , LED 送信器で $+1.3 \text{ mA/V}$ となった。これらは、 0.2 dB 以下の光出力変動に相当する。 $0 - 70^\circ\text{C}$ の温度変化に対して光出力

変動を 0.3 dB 以下に抑えるため、信号電流の温度係数を LED 送信器で $\pm 0.3 \text{ mA}/^\circ\text{C}$ 、LD 送信器で $0 \text{ mA}/^\circ\text{C}$ に設定した。

尚、入力バッファ回路及び APC 回路については第 4.2 節で述べているので省略する。

4.4.2.2 特性

LD 及び LED 送信器の IC 化には $3 \mu\text{mSi}$ -バイポーラ IC プロセスを用いたが、両 IC の開発期間は単独で開発した期間の $2/3$ 程度に短縮することができた。図 4.24 に、開発した LD 及び LED 送信器用 IC のチップ外観を示す。チップ寸法は $2.5 \times 2.5 \text{ mm}^2$ で、このチップを 20 ピンのチップキャリアパッケージに組み込み特性評価を行った。スイッチング速度及び信号電流の安定度は送信用 IC の最も重要な特性である。ここでは、これらの特性について述べる。

(i) LD 送信器用 IC

図 4.25 は、 300 Mb/s 及び 400 Mb/s における信号電流の $2^{15} - 1$ ビット長擬似ランダムアイパターンを示したものである。この時の信号電流振幅は、 40 mA である。立上り/立下り時間は、夫々、 0.5 ns 、 0.7 ns が得られた。電源電圧 $5 \text{ V} \pm 5\%$ 、温度 $0 - 70^\circ\text{C}$ における応答時間の変動は 50 ps 以下であった。図 4.26 に、信号電流の温度特性を示す。 $0 - 70^\circ\text{C}$ の温度変化に対し、殆んど一定な信号電流が得られたが、 $\pm 5\%$ の電源電圧変動に対しては 0.9 mA の変動であった。これは、PNP トランジスタのコレクタ電流が一部基板に漏れ込むことが原因である。 0.9 mA の変動は設計目標の $\pm 2 \text{ mA}$ を十分満たしている。

(ii) LED 送信器用 IC

図 4.27 に、 160 Mb/s 及び 300 Mb/s における信号電流のアイパターンを示す。信号電流の振幅は、 100 mA である。立上り/立下り時間は、夫々、 0.4 ns 、 0.6 ns であり、電源電圧 $5 \text{ V} \pm 5\%$ 、温度 $0 - 70^\circ\text{C}$ におけるこれらの時間の変動は 0.2 ns 以下であった。これらの結果から、IC が 300 Mb/s 以上で動作することが分った。図 4.28 に、信号電流の温度依存性を示す。温度が上昇すると信号電流は単調に増加するが、高温では飽和傾向を示す。その温度係数は $0 - 20^\circ\text{C}$ で $0.3 \text{ mA}/^\circ\text{C}$ 、 $20 - 50^\circ\text{C}$ で $0.2 \text{ mA}/^\circ\text{C}$ である。 $5 \text{ V} \pm 5\%$ の電源電圧に対する信号電流の変動は温度には無関係に 4 mA であった。この変動量は光出力変動に換算すると $\pm 0.2 \text{ dB}$ に相当し、設計目標の $\pm 0.5 \text{ dB}$ を満たすことができた。

(iii) LD/LED 送信器の特性

第 4.2 節及び第 4.3 節で述べた光送信器には、マスタスライス技術によって開発した IC が適用されている。LD 送信器では $300 - 400 \text{ Mb/s}$ 伝送が可能であり、光出力変動を $\pm 0.5 \text{ dB}$

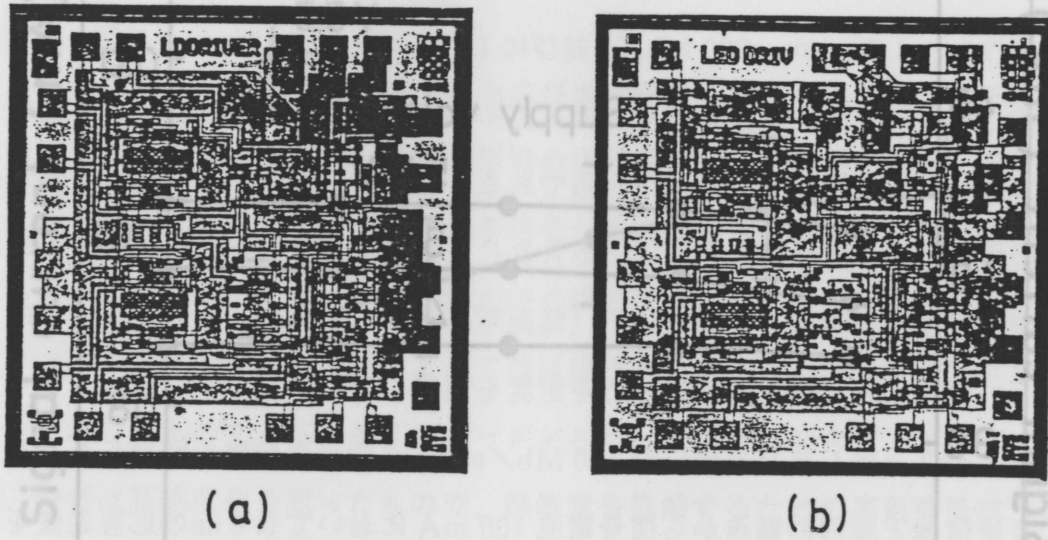


図 4.24 マスタスライス IC のチップ外観。
 (a) LD 駆動回路, (b) LED 駆動回路, チップ寸法は 2.5 mm²。

図 4.28 信号電流の温度依存性
 封筒対電圧の飛躍特性 0.5 A 図

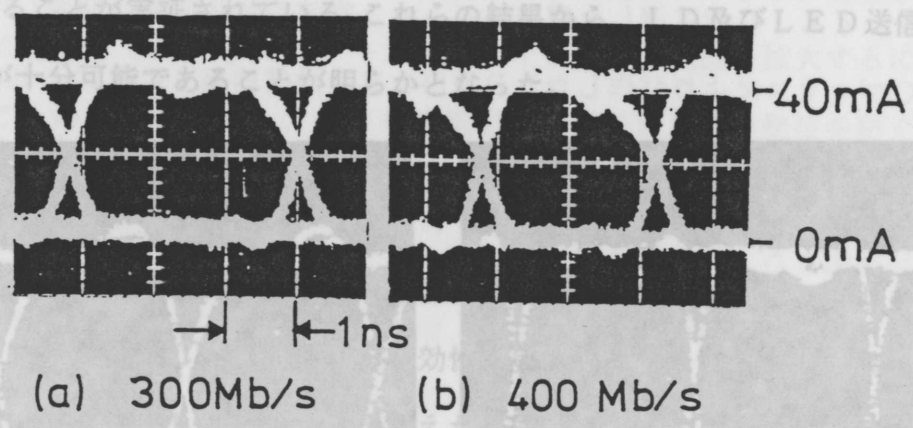


図 4.25 LD 駆動回路 IC の信号電流波形

変動を0.3-dB以下に抑えるため、信号電流の温度係数をLED送信器で $\pm 0.3 \text{ mA}/^\circ\text{C}$ 、LED送信器で0 mAに設定した。

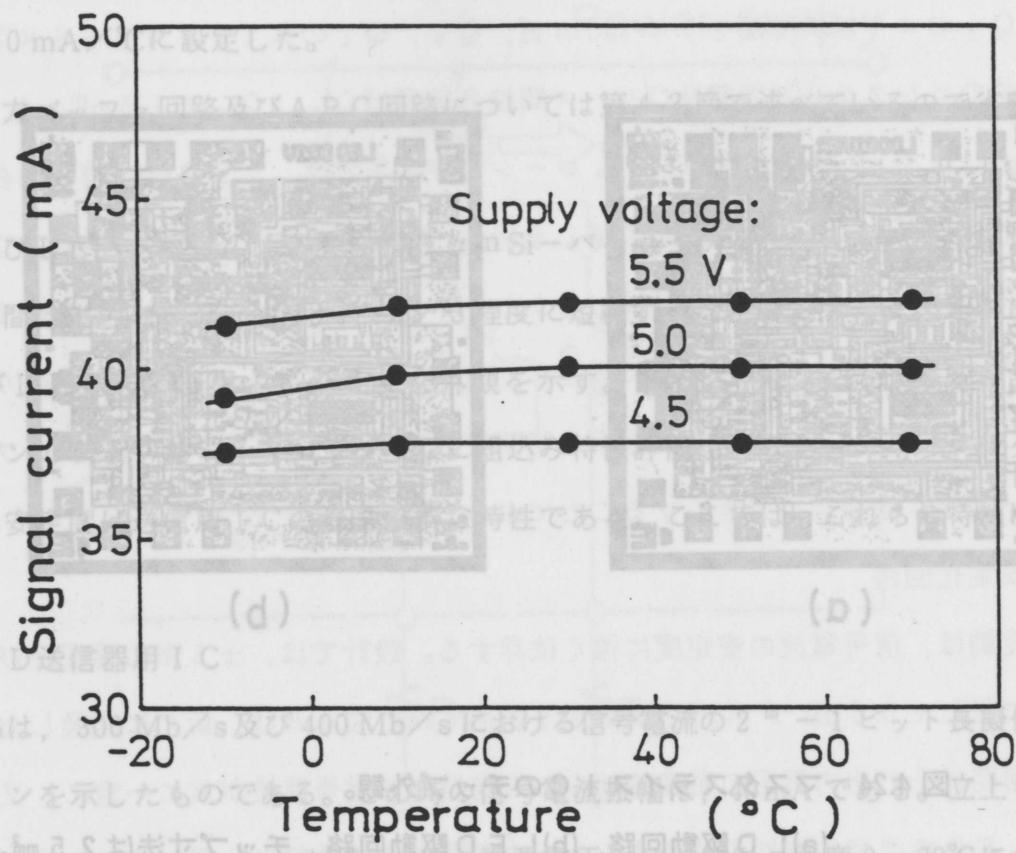


図 4.26 信号電流の温度依存性

間の変動は50 ps以下であった。図 4.26に、信号電流の温度特性を示す。0-70°Cの温度変化に対し、殆んど一定な信号電流が得られたが、電源電圧変動に対しては0.9 mAの変動であった。これは、PNPトランジスタのコレクタ電流が一部基板に漏れ込むことが原因である。0.9 mAの変動は、

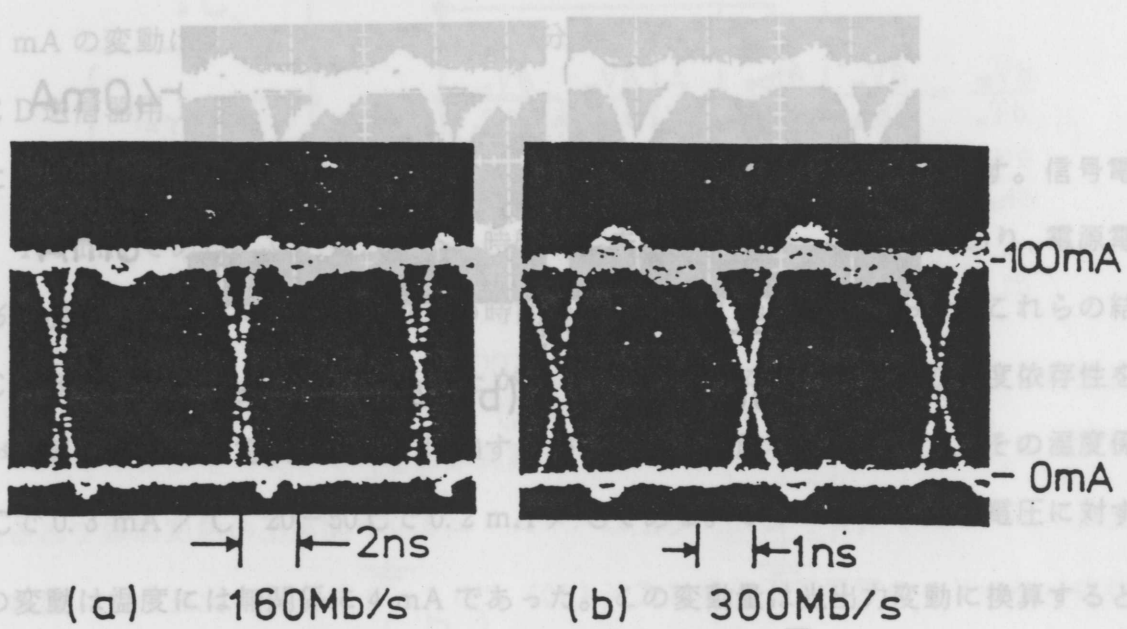


図 4.27 LED駆動回路の信号電流波形

図 4.27に示すように、信号電流の振幅は、 $5 \text{ V} \pm 5 \text{ mV}$ から、1°Cの温度変化に対して、0.9 mAの変動が生じる。これは、PNPトランジスタのコレクタ電流が一部基板に漏れ込むことが原因である。0.9 mAの変動は、

第 4.2 節及び第 4.3 節で述べた光送信器には、マスタスライス技術によって開発したICが適用されている。LED送信器では300-400 Mb/s伝送が可能であり、光出力変動を $\pm 0.5 \text{ dB}$

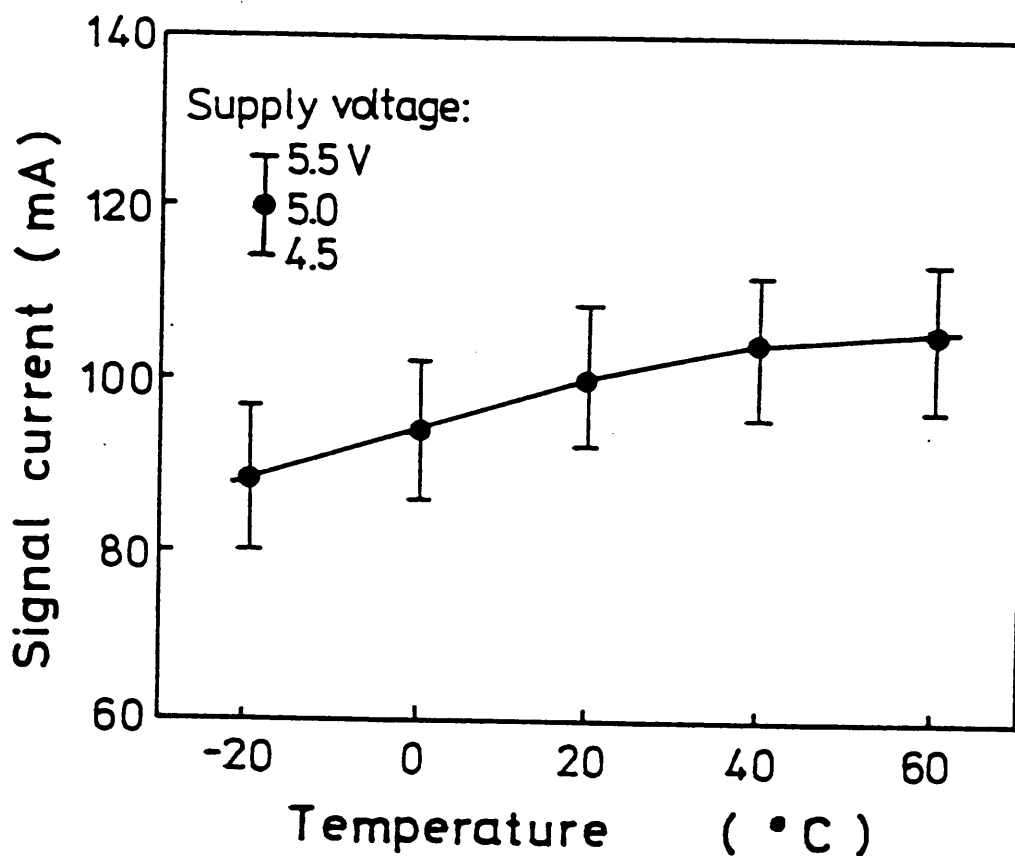


図 4.28 信号電流の温度依存性

以下にできる。又、LED送信器では 300 Mb/s 以上の伝送が可能であり、光出力変動を ± 0.4 dB 以下にできることが実証されている。これらの結果から、LD 及び LED 送信器のマスターライス IC 化が十分可能であることが明らかとなった。

4.5 結 言

本章では LD 及び LED を光源とする光送信器の高速化と光出力安定化を実現できる回路方式を提案し、モノリシック IC 化によりその有効性を実証した。LD 送信器に関しては、光出力変動を表わす一般式を導出し設計の基礎を与えた。又、LD 送信器では高速化と光出力安定化は表裏一体の関係にあり、バイアス電流の高精度制御がポイントとなることを示した。LED 送信器に関しては、高速・短距離通信用の光源として有望な長波長 LED の応答速度を改善するための速度補償方式を提案し、約 3 倍高速化 (4 ns → 1.3 ns) できることを実証した。次に、光通信用マスターライス IC 化技術確立の第一ステップとして LD / LED 送信器のマスターライス IC 化の可能性について検討した。高速変調及び光出力安定化のための回路方式及びレイアウト設計法を示し、3 μm Si-バイポーラ IC プロセスを用いて 300 - 400 Mb/s で

動作するLD及びLED送信器を実現できることを明らかにした。

第4.2節では、最初に光送信器の動作解析を行い光出力変動要因を明らかにした。又、導出した光出力変動を与える一般式の妥当性を実験により確認した。次に、この検討結果を基に送信器を設計・試作し、 $1.3\ \mu\text{m} \cdot 200\ \text{Mb/s}$ 並びに $1.5\ \mu\text{m} \cdot 565\ \text{Mb/s}$ IC化LD送信器を開発した。高速化については、電流スイッチの入力インピーダンス変化の抑圧、差動対トランジスタの接合容量低減及び寸法の最適化が必須であることを明らかにした。光出力安定化に関しては、平均値検出-バイアス電流制御によるAPC方式を採用すると共に動作が安定な開ループ形電流安定化回路を提案し、使用環境下（電源電圧 $5\ \text{V}$ 、或いは、 $-5.2\ \text{V} \pm 10\%$ 、温度 $0 \sim 50^\circ\text{C}$ ）において $\pm 0.5\ \text{dB}$ 以下の光出力安定度を実現した。

第4.3節では、 $1.3\ \mu\text{m}$ LEDを用いた $100\ \text{Mb/s}$ 系IC化光送信器を開発した。高速化については、LD送信器と同様の観点から信号電流 $100\ \text{mA}$ において $0.6\ \text{ns}$ の応答速度を有するICを開発した。又、長波長LED固有のオージェ非発光再結合による速度劣化を補償するため、抵抗と容量とから成る簡易な構成の速度補償回路を提案し、立上り/立下り時間が $2\ \text{ns}/4.4\ \text{ns}$ のLEDを用いて $400\ \text{Mb/s}$ で動作する光送信器を実現できることを示した。光出力の安定化については、新たに開発した電流安定化回路を導入し使用環境下（電源電圧 $5\ \text{V} \pm 10\%$ 、温度 $0 \sim 50^\circ\text{C}$ ）において $\pm 0.4\ \text{dB}$ 以下の光出力安定度を実現した。

第4.4節では、高速・大電流スイッチング及び光出力の安定化の観点より、LD/LED送信器のマススライスIC化に適した電流スイッチと電流安定化回路を開発した。 $3\ \mu\text{m}$ Si-バイポーラICプロセスにより試作したLD及びLED送信器用ICは共に $400\ \text{Mb/s}$ まで動作し、又、光出力変動を $\pm 0.5\ \text{dB}$ 以下にできる能力をもつことを実証した。これから、 $100\ \text{Mb/s}$ 以上で動作するLD/LED送信器のマススライスIC化が十分可能であることを明らかにした。

第5章 光受信器

5.1 緒言

光受信器は光中継器の心臓部であり、最も広帯域特性が要求される回路である。従って、高速・大容量伝送システムの構築には、光受信器の広帯域化が一つの鍵となる。又、システムの長距離化に対しては大きな許容スパン損失を得るための高感度（低雑音）化と中継区間長を無調整化するための光ダイナミック範囲の拡大が必須となる。受信感度は受光器と前置増幅器から成るフロントエンドの雑音と帯域によってほぼ決定される³⁴⁾⁴⁹⁾⁵⁰⁾。図 5.1 はフロントエンドの代表的な例を示したもので、(a)は高インピーダンス形、(b)はトランスインピーダンス形と呼ばれている。前者は高感度化を狙ったもので、熱雑音を低減するための高負荷抵抗、高入力インピーダンスの実現手段が鍵となる。この形のフロントエンドは受信感度が回路の熱雑音で決まる pin-FET (Field effect transistor) 受信器に適用される場合が多い。しかし、受光器や IC パッケージの寄生容量によって帯域が非常に狭くなるので高域補償用の等化器が必要であり、モノリシック IC 化には適さない。(b)は負帰還により広帯域化を狙ったもので、増幅器の広帯域・高利得化による入力インピーダンスの低減が課題となる。この形のフロントエンドはモノリシック IC 化に適しているが、帯域の面から帰還抵抗 R_f の値が制限されるので、回路の熱雑音は(a)の形式に比べ大きい。従って、熱雑音より受光器のショット雑音が支配的となる APD 受信器に主として用いられる。一方、光ダイナミック範囲を拡大するには光受信電力の大きい領域でその変動を吸収し、AGC 増幅器における波形歪の発生を防ぐことのできる AGC (インピーダンス可変) 機能をもつ前置増幅器の実現が鍵となる。この場合、モノリシック IC 化に適したインピーダンス可変方式の開発が課題となる。AGC 増幅器は中継区間長の差、温度、経年変化による伝送路の損失変動、中継器の光出力変動や受信感度劣化等を補償し、その出力信号（識別器入力）の振幅を一定に保つ働きをする。この場合、出力信号の尖頭値検出信号によって利得が制御されるが、利得変化に伴う周波数特性の変動は小さいことが要求される。又、mV から数百 mV まで変化する入力信号を 1 V 程度迄増幅する能力が必要であるため、高利得・広帯域は勿論広い利得可変幅と線形動作領域が要求される。

第 5.2 節では、広帯域・低雑音化及び光ダイナミック範囲の拡大の観点より、夫々、一種類ずつのトランスインピーダンス形前置増幅器を提案する。第 5.3 節では、利得可変幅の拡大の観点より一種類、広帯域、高利得化の観点より二種類の AGC 増幅器を提案する。又、これら

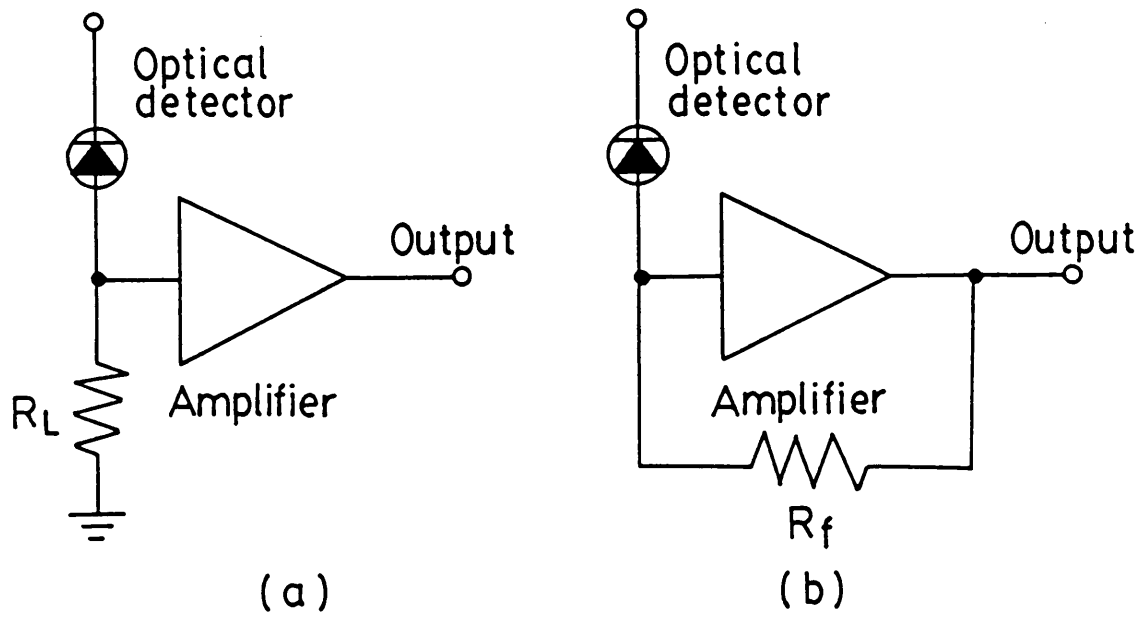


図 5.1 光フロントエンドの構成例

(a)高インピーダンス形, (b)トランスインピーダンス形。

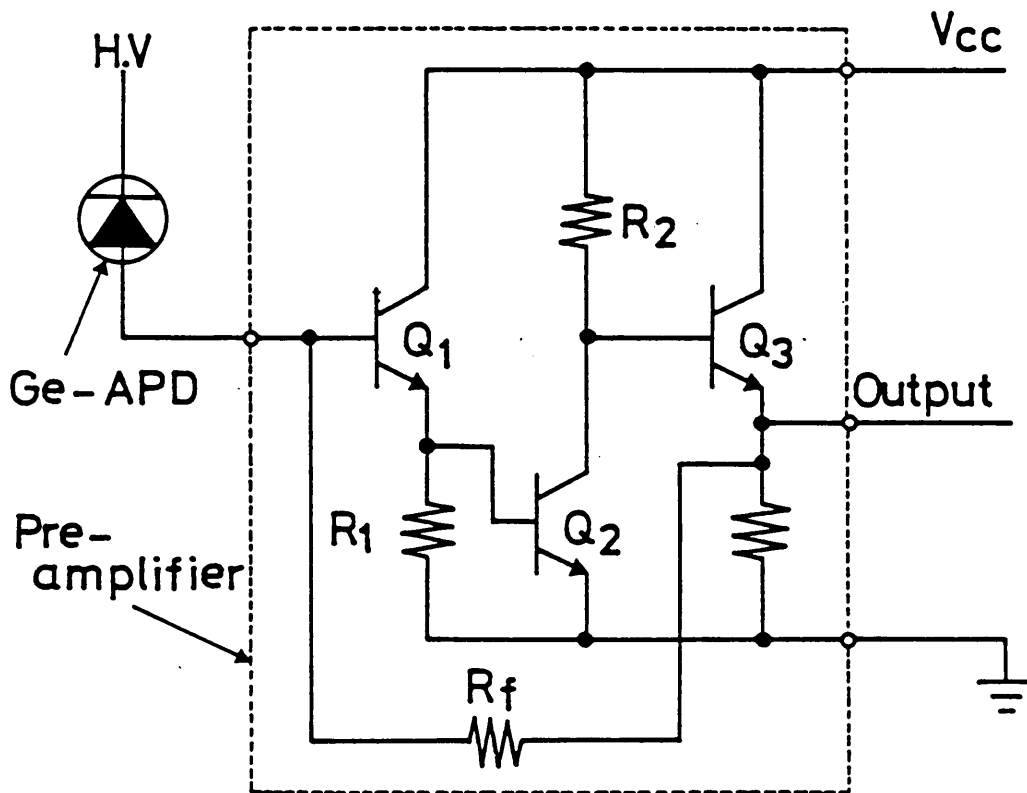


図 5.2 コモン・コレクタ入力形前置増幅器

の節では1 μm及び3 μm Si-バイポーラプロセスによる前置増幅器及びAGC増幅器のモノリシックIC化を検討し、新回路方式の有効性を実証する。第5.4節では、AGC方式について検討し、光ダイナミック範囲の拡大法を提案する。

5.2 前置増幅器

5.2.1 コモン・コレクタ形前置増幅器¹⁵⁾

一般に、トランスインピーダンス形前置増幅器としては、Si-バイポーラプロセスによるモノリシックIC化が容易なコモン・エミッタ入力形前置増幅器が用いられている。しかし、この前置増幅器には初段トランジスタの①ベース・コレクタ間接合容量に起因するミラー容量に帯域が大きく依存する、②初段トランジスタの入力インピーダンスが低いため、ベースに流れ込む電流に付随するショット雑音が大きく支配的になるので高感度化が難しい等の問題がある。従って、広帯域、低雑音を実現するにはミラー容量の低減と入力インピーダンスを高くすることが課題となる。コモン・コレクタ入力形前置増幅器はこの両者を満たすものとして有望である¹⁶⁾⁵¹⁾。

本項では、最初に最も構成が簡易で全モノリシックIC化が可能なコモン・コレクタ入力形前置増幅器を提案する。次に、560 Mb/s伝送用モノリシックICを試作し、その有効性を実証する。

5.2.1.1 回路構成

図5.2に、提案したコモン・コレクタ入力形前置増幅器の回路構成を示す。点線で囲った部分がモノリシックIC化される前置増幅器で、受光器に直結される。入力段トランジスタ Q_1 と抵抗 R_1 から成るエミッタホロアはトランジスタ Q_2 のベース・コレクタ間接合容量に起因するミラー容量を電流増幅率分の1に低減すると共に入力インピーダンスを電流増幅率倍し、ベース電流によるショット雑音を小さくする働きをする。この構成では入力インピーダンスを高くできるためトランスインピーダンスは帰還抵抗 R_f に等しくなり、回路雑音は R_f の熱雑音が支配的になる。

コモン・コレクタ及びエミッタ入力形前置増幅器の帯域の比 f_{cc} / f_{ce} は

$$\frac{f_{cc}}{f_{ce}} \approx 1 + \frac{(1+A)C_c}{C_d + C_c + (1+A)C_f} \quad \dots\dots\dots (5.1)$$

で与えられ、コモン・コレクタ入力形の方が帯域を広くとれることが分る。ここで、 A は増幅器の開ループ利得、 C_d は受光器の寄生容量、 C_c は初段トランジスタのベース・エミッタ間容量、 C_f は帰還抵抗の寄生容量である。式(5.1)の右辺の $(1+A)C_c$ はコモン・エミ

ツタ入力形前置増幅器のミラー容量を表わし、このミラー容量が大きい程改善効果は大きくなる。次に、コモン・コレクタ入力形前置増幅器の入力換算雑音電流スペクトル $\langle \overline{i_{eq}^2} \rangle$ は

$$\langle \overline{i_{eq}^2} \rangle \approx \left[\frac{4kT_e}{R_f} + \frac{2kT_e R_{in}}{h_{FE}} \left\{ \frac{1}{R_f^2} + \frac{(2\pi C_i)^2 B_{eq}^2}{3} \right\} \right] B_{eq} \quad \dots\dots\dots (5.2)$$

与えられ、 R_f を大きくすることにより雑音を低減できる。ここで、 $C_i = C_d + C_c + C_f$ 、 h_{FE} はトランジスタの電流増幅率、 R_{in} は増幅器の入力インピーダンス、 B_{eq} は雑音帯域幅、 k はボルツマン定数、 T_e は絶対温度である。尚、コモン・エミッタ入力形前置増幅器では右辺に $2kT_e/R_{in} \cdot B_{eq}$ の項が加算されるため、雑音は式(5.2)より大きくなる。

5.2.1.2 ICの試作結果

(i) 試作ICの特性

トランジスタ Q_1 、 Q_2 のエミッタ寸法及び抵抗 R_1 、 R_2 、 R_f の値は低雑音化及び広帯域化を考慮して決める必要がある。デバイス定数の最適化には、回路解析プログラムSPICE-IIによる計算機シミュレーションを用い、プロセスとしては $3\mu\text{m-SICOS}$ プロセスを対象とした。シミュレーションの結果、トランジスタのエミッタ寸法を $3 \times 12\mu\text{m}^2$ に決定した。この時の f_T は12GHz、ベース抵抗は100Ω、コレクタ・基板間及びコレクタ・ベース間接合容量は夫々、51fF、42fF、又、 R_1 、 R_2 は1kΩであった。 R_f は帯域と雑音のトレードオフを考慮して決める必要があるため、1、3、5kΩの3つの場合について検討を行った。予測値として $R_f = 1\text{k}\Omega$ の時、帯域が800MHz、雑音が $6.5\text{pA}/\sqrt{\text{Hz}}$ が得られた。

試作した前置増幅器ICは20ピンのチップキャリアパッケージに収納し、評価した。消費電力は約30mWで、4.5Vの単一電源で動作する。図5.3及び図5.4に、3種類の R_f に対する周波数特性と雑音特性を示す。雑音電流は測定したトランスインピーダンスとスペクトルアナライザを使って得た出力雑音電力から計算により求めた。両図から帯域、雑音共、 R_f に強く依存することが分る。帯域及び雑音は、夫々、 R_f が1kΩの時820MHz、 $6.8\text{pA}/\sqrt{\text{Hz}}$ 、3kΩの時650MHz、 $5.2\text{pA}/\sqrt{\text{Hz}}$ 、5kΩの時480MHz、 $3.2\text{pA}/\sqrt{\text{Hz}}$ であり、ほぼシミュレーションと一致した結果が得られた。これらの結果から、560Mb/s 伝送用として $R_f = 3\text{k}\Omega$ を選んだ。

試作したモノリシックICとGe-APDから成る光フロントエンドの560Mb/s NRZ ($2^{15} - 1$ ビット長)出力アイパターンを図5.5に示す。光源には波長1.3μmのInGaAsp-LDを用いた。光受信電力は-35dBm(平均)である。図から、パルスの応答時間(10-90%)は0.56nsであり、この応答時間より計算される帯域640MHzは図5.3で示した前置増幅器ICの帯域にほぼ一致した。

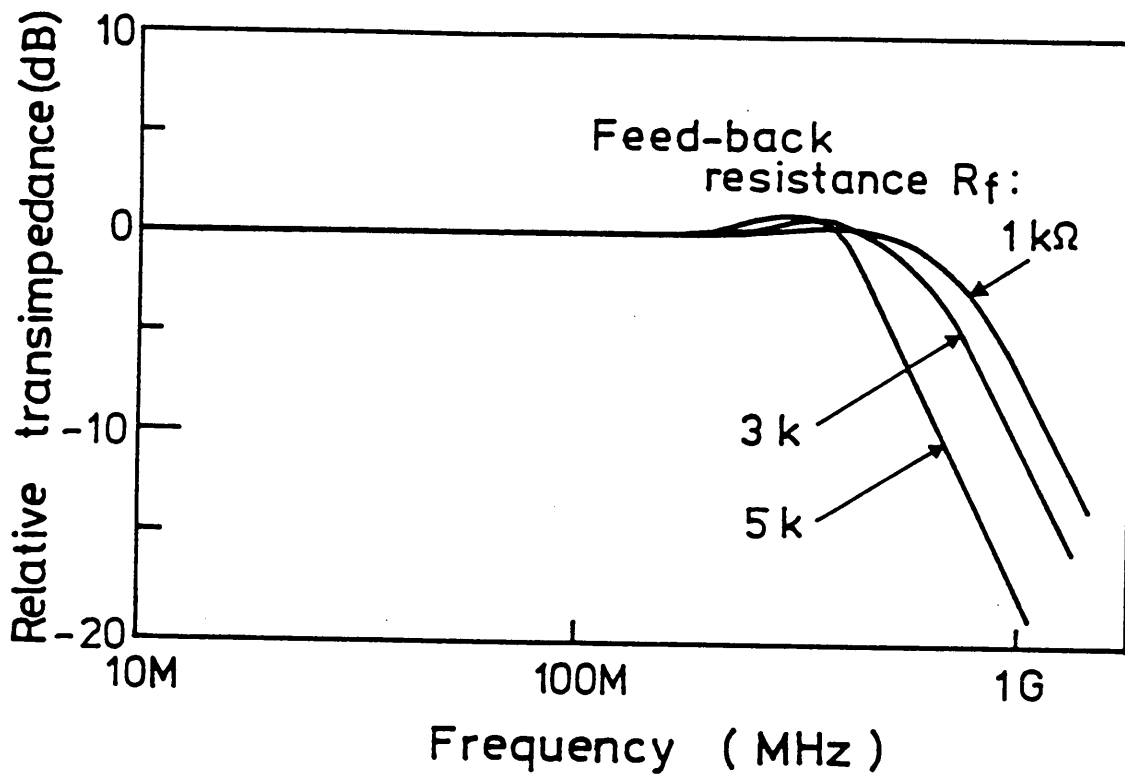


図 5.3 試作 IC の周波数応答特性

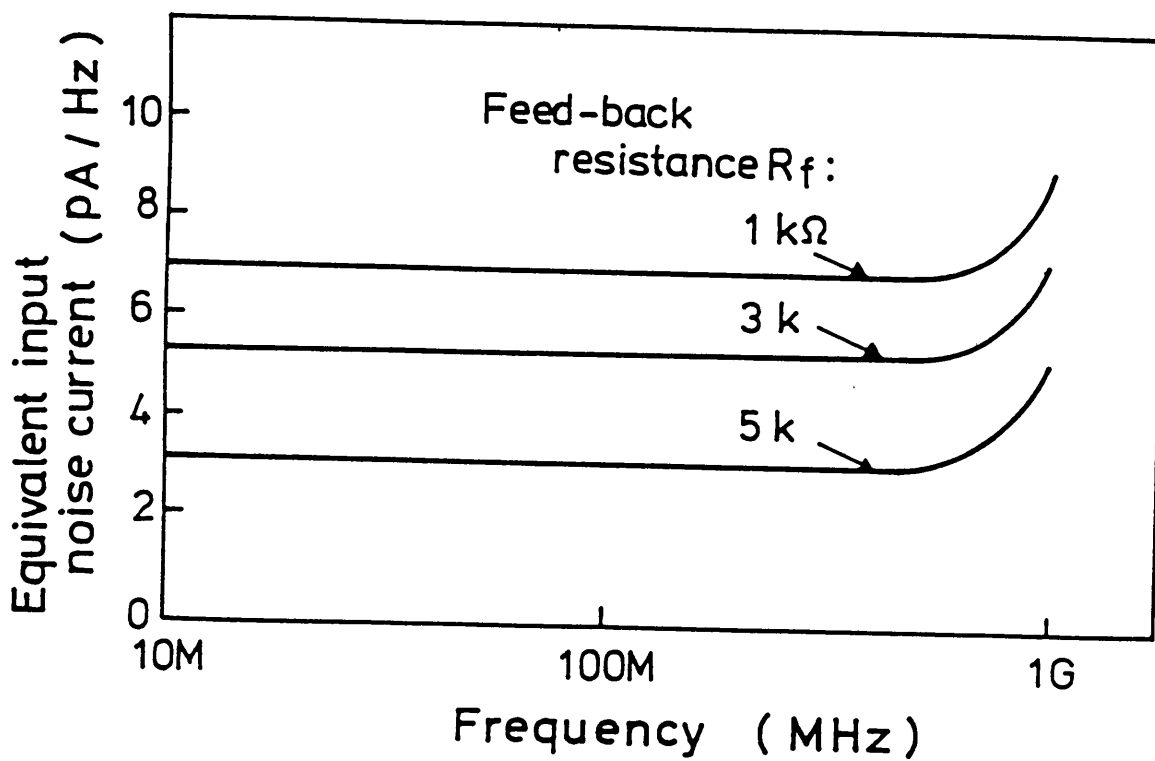
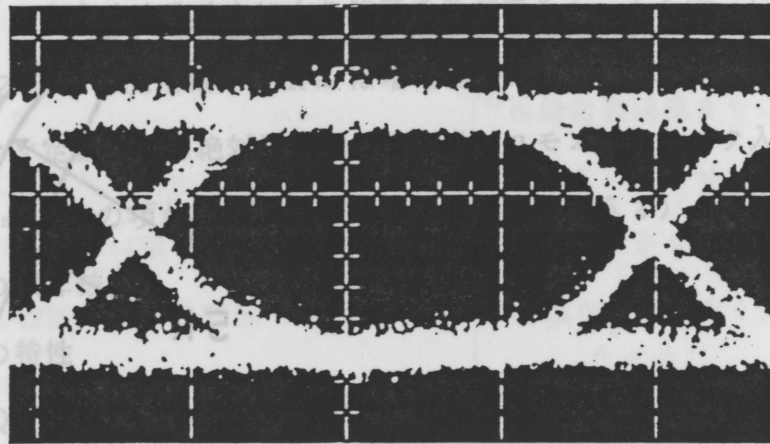


図 5.4 試作 IC の雑音特性

バック入力形前置増幅器のミラー容量を表わし、このミラー容量が大きい程改善効果は大きくなる。次に、コモン・コレクタ入力形前置増幅器の入力換算雑音電流スペクトル

$$\langle i_{n,eq}^2 \rangle = \left[\frac{4kT_e}{R_i} + \frac{2kT_e}{R_i} \frac{B_{eq}}{3} \right] B_{eq} \quad (5.2)$$

で与えられ、 R_i はトランジスタの



Relative frequency (dB) is shown on the right side of the eye diagram.

幅、 k はボルツマン定数、 T_e はトランジスタの

域化を考慮して決める必要がある。デバイスの最適化には、回路解析プログラム SPICE-III による計算機シミュレーション (SPICE) としては $3\mu\text{m-SiCOS}$ プロセスを対象とした。

図 5.5 光フロントエンドの 560 Mb/s 受信アイパターン

この時の f_r は 12 GHz、 C_{j1} 、 C_{j2} は 51 fF、42 fF、又、 R_{11} 、 R_{12} は 1 kΩ であった。 R_i は帯域と雑音のトレードオフを考慮して決める必要があるため、1、3、5 kΩ の 3 つの場合について検討を行った。

予測値として $R_i = 1\text{ k}\Omega$ の時、帯域が 800 MHz、雑音が $6.5\text{ pA}/\sqrt{\text{Hz}}$ が得られた。

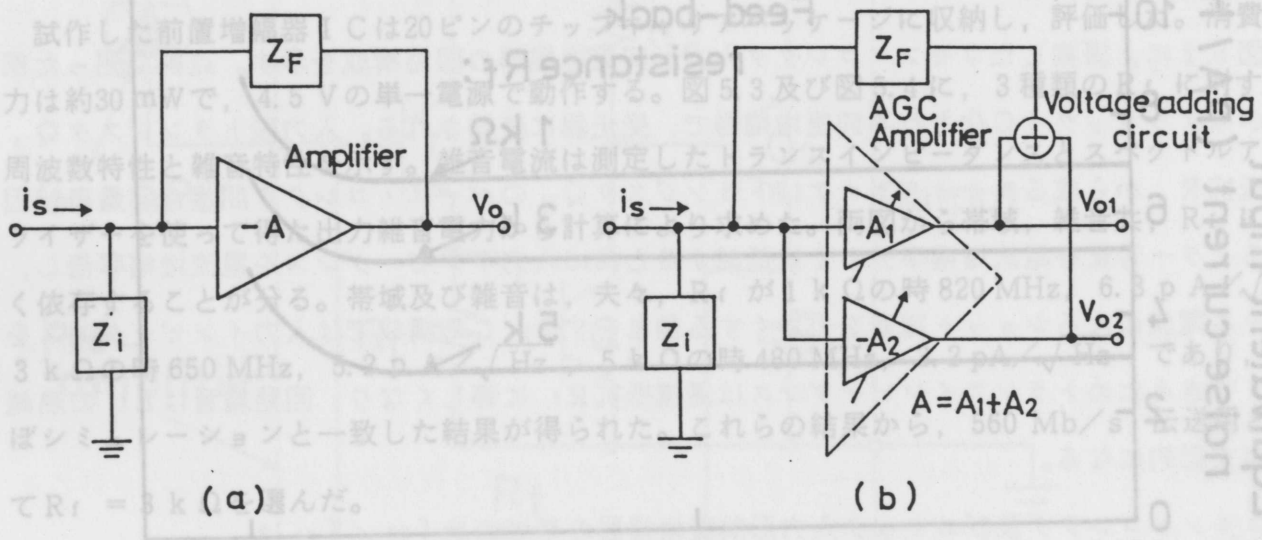


図 5.6 トランスインピーダンス可変形前置増幅器の動作原理

試作したモノブロック IC と Ge-APD が光フロントエンドの 560 Mb/s 受信 IC (2⁵-1 ビット長) 出力 (1.4 V) を用いた。図から、パルスの応答時間 (10-90%) は 0.56 ns であり、この応答時間より計測帯域 (約 1.8 GHz) は 5.3 で示した前置増幅器 IC の帯域にほぼ一致した。

(ii) 伝送実験

試作した前置増幅器 IC の有効性を実証するために、 $2^{15} - 1$ ビット長の擬似ランダム NRZ 符号を用いて符号誤り率特性を測定した。受光器には感度係数 0.7 A/W 、過剰雑音指数 1.0、暗電流 $0.2 \mu\text{A}$ の Ge-APD を用いた。又、等化波形はロールオフ濾波器により 2 乗余弦波とした。符号誤り率 10^{-9} を満たす平均受信感度は、帰還抵抗が $3 \text{ K}\Omega$ の時 -36.2 dBm であった。又、back-to-back と 30 Km 伝送における受信感度の相異は見られなかった。

5.2.1.3 まとめ

構成が簡易なコモン・コレクタ入力形前置増幅器を提案し、モノリシック IC 化と試作 IC を用いた 560 Mb/s 光伝送実験によりその有効性を実証した。コモン・コレクタ入力形前置増幅器は、ミラー容量の低減による広帯域化と高入力インピーダンス化による低雑音化を同時に実現できるため、高速・高感度フロントエンドへの適用が十分期待できる。

5.2.2 インピーダンス可変形前置増幅器¹⁶⁾

従来の受信回路では前置増幅器のトランスインピーダンスが固定であるため、受信電力が大きくなると後段の AGC 増幅器が過入力となり波形歪を発生し易かった。それ故、光ダイナミック範囲を拡大し、光中継器の BON フリー化を実現するには AGC 機能を有する前置増幅器の開発が重要となる。

AGC 機能を有する前置増幅器としては、NMOS (Metal-oxide-semiconductor) 技術を用いて検討された例がある⁵²⁾。この前置増幅器では帰還抵抗として NMOS トランジスタが用いられており、このトランジスタのチャネル抵抗を制御することによりトランスインピーダンスを可変にしている。しかし、この方法ではトランスインピーダンスの値によって帰還量が異なるので動作が不安定になり易い。又、Si-バイポーラプロセスでは抵抗を可変にすることは極めて難しい。

本項では、先ず、この問題を解決する手段として新しい考えに基づく AGC 機能を有する前置増幅器を提案する。次に、Si-バイポーラプロセスを用いてモノリシック IC を試作し、更に、光伝送実験によりその有効性を実証する。

5.2.2.1 構成及び動作原理

図 5.6(a) に、従来広く使用されているトランスインピーダンス形前置増幅器のブロック図を示す。この前置増幅器のトランスインピーダンス Z_T は、次式で与えられる。

$$Z_T = Z_F / \{1 + (1 + Z_F / Z_i) / A\} \quad \dots\dots\dots (5.3)$$

ここで、 Z_i は前置増幅器の入力インピーダンスである。式 (5.3) は、 Z_T を帰還インピ

ーダンス Z_F , 或いは, 開ループ利得 A を制御することによって可変にできることを示す。Si-バイポーラモノリシック IC 化を考えた場合, Z_F を外部から制御することは殆んど不可能である。このため, 本研究では実現が容易な利得を外部から制御する方法を採用することにした。

図 5.6(b)はこの考え方に基づいて考案した AGC 機能, 即ち, トランスインピーダンス可変機能をもつ前置増幅器の構成を示したものである。この増幅器は 2 つの異なった利得 A_1, A_2 をもつ利得可変増幅器と夫々の出力電圧 V_{o1}, V_{o2} を加算する電圧加算回路とから構成されており, インピーダンス制御と常に一定量の負帰還がかけられることが特長である。2 つの利得可変増幅器はトランスインピーダンスを変化させるために, 又, 電圧加算回路はトランスインピーダンスが変化しても常に安定な負帰還動作を維持するために用いられる。

次に, 新形前置増幅器のトランスインピーダンスを求める。図 5.6(b)より, 次の 2 式が得られる。

$$V_{o1} = -A_1 \cdot V_i, \quad V_{o2} = -A_2 \cdot V_i, \quad A = A_1 + A_2 \quad \dots\dots\dots (5.4)$$

$$\frac{\eta(V_{o1} + V_{o2}) - V_i}{Z_F} + i_s = \frac{V_i}{Z_i} \quad \dots\dots\dots (5.5)$$

ここで, i_s は光電流, V_i は入力電圧, η は帰還定数を示す。式 (5.4), (5.5)より, トランスインピーダンス Z_{T1}, Z_{T2} は次式で与えられる。

$$\left. \begin{aligned} Z_{T1} &= -V_{o1} / i_s = (A_1 / A) \cdot Z_T' \\ Z_{T2} &= -V_{o2} / i_s = (A_2 / A) \cdot Z_T' \end{aligned} \right\} \quad \dots\dots\dots (5.6)$$

$$Z_T' = Z_F / \{ \eta + (1 + Z_F / Z_i) / A \} \quad \dots\dots\dots (5.7)$$

$\eta = 1$ の時, 式 (5.7) は従来形前置増幅器のトランスインピーダンスに一致する。即ち, 新形前置増幅器のトランスインピーダンスは従来形前置増幅器のトランスインピーダンスを $A_1 / A, A_2 / A$ 倍したもので与えられる。式 (5.6) において, $A_1 / A, A_2 / A$ は 0 ~ 1 まで変えられるので Z_{T1}, Z_{T2} は 0 ~ Z_T' まで任意に制御できることが分る。

5.2.2.2 IC の試作結果

新形前置増幅器の実現性及び実システムに対する有効性を実証するために, Si-バイポーラプロセスを用いて 100 Mb/s 及び 560 Mb/s¹¹⁾ 伝送用のモノリシック IC を試作した。ここでは, 100 Mb/s 伝送用インピーダンス可変形前置増幅器の試作結果について述べる。

(i) 回路構成

図 5.7 に, 試作した新形前置増幅器の回路構成を示す。図 5.6(b)に示すトランスインピーダンスを制御するための 2 つの利得可変増幅器 (利得 A_1, A_2) には, 回路構成を簡略化でき

る電流分配形の利得可変増幅器を用いた。この形の増幅器は利得 A_1 , A_2 をもつ2つの利得可変増幅器を1回路で実現できる利点がある。利得 A_1 の増幅器はトランジスタ Q_1 , Q_2 と負荷抵抗 R_{L1} , 又, 利得 A_2 の増幅器はトランジスタ Q_1 , Q_3 と負荷抵抗 R_{L2} とで構成され, 信号増幅用トランジスタ Q_1 を共用している。電圧加算回路には, 構成を簡略化するために抵抗加算方式を採用した。出力信号 V_{o1} , V_{o2} は抵抗 R_{E1} にて電圧加算された後, 抵抗 R_F を介して入力に帰還される。図 5.7 より, 利得 A_1 , A_2 は次式で表わされる。

$$\left. \begin{aligned} A_1 &\propto K \cdot I \cdot R_L, A_2 \propto (1 - K) \cdot I \cdot R_L \\ A &= A_1 + A_2 \propto I \cdot R_L \end{aligned} \right\} \dots\dots\dots (5.8)$$

ここで, I と K はトランジスタ Q_1 に流れる信号電流とその分配比を示す。又, R_{L1} , R_{L2} は R_L とおいた。式 (5.8) は電流分配比 K により利得 A_1 , A_2 を制御できること, 総利得 A が K に依存せず一定となることを示す。即ち, 前者はインピーダンス制御が可能となることを, 又, 後者はインピーダンスに拘らず常に一定量の負帰還動作を実現できることを意味する。式 (5.6) (5.7) (5.8) より, トランスインピーダンス Z_{T1} , Z_{T2} は

$$\left. \begin{aligned} Z_{T1} &\approx K \{2 + (R_{E1} / R_{E2})\} \cdot R_F \\ Z_{T2} &\approx (1 - K) \{2 + (R_{E1} / R_{E2})\} \cdot R_F \end{aligned} \right\} \dots\dots\dots (5.9)$$

で与えられる。ここで, $\eta \gg (1 + R_F / Z_i) / A$ とした。式 (5.9) で明らかのように K の値によってトランスインピーダンスを 0 から $(2 + R_{E1} / R_{E2}) \cdot R_F$ まで変えることができる。尚, 式 (5.9) は抵抗加算方式の採用により従来形前置増幅器に対し, $(2 + R_{E1} / R_{E2})$ 倍のトランスインピーダンスを得ることができることを示す。

(ii) 試作 IC の特性

新形前置増幅器のモノリシック IC 化には $3 \mu\text{mSi}$ -バイポーラプロセス (SHL: デバイス定数は表 3.2 参照) を適用した。チップ寸法は $1.12 \times 0.8 \text{ mm}$ で, 20ピンのリードレスチップキャリアパッケージに収納して特性評価を行った。図 5.8 に, 入出力伝達特性の測定結果を・印で, 計算値を実線で示すが, 両者はよい一致を示している。入出力伝達特性の傾斜はトランスインピーダンスを表わす。これから, トランスインピーダンスは入力電流が $80 \mu\text{A}$ 以下において, 夫々, $18 \text{ k}\Omega$, $9 \text{ k}\Omega$, 300Ω となり, ダイナミック範囲 35 dB (光入力換算で 17.5 dB) が得られることが分った。図 5.9 に, トランスインピーダンスが $18 \text{ k}\Omega$ ($K = 1$), $9 \text{ k}\Omega$ ($K = 0.5$), 300Ω ($K = 1/60$) における周波数特性を示す。トランスインピーダンスが大きい場合の高域特性が計算値とやや異なるが, 帯域は 220 MHz が得られている。尚, 帯域は入力端に受光器の寄生容量として 2 pF を付加して測定を行

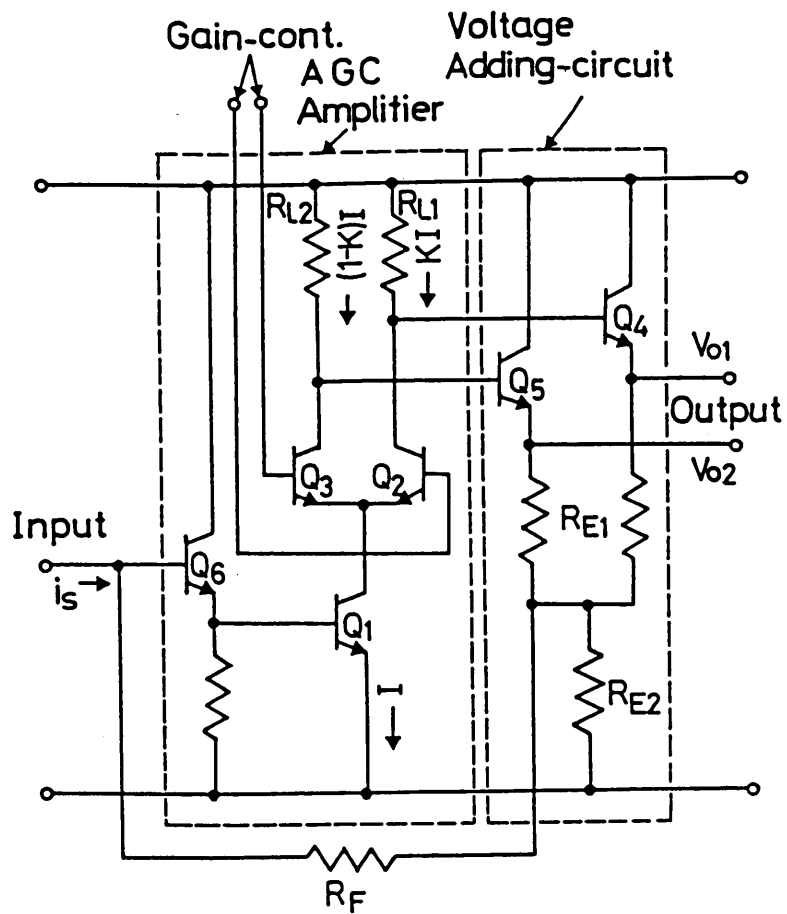


図 5.7 試作した新前置増幅器の構成

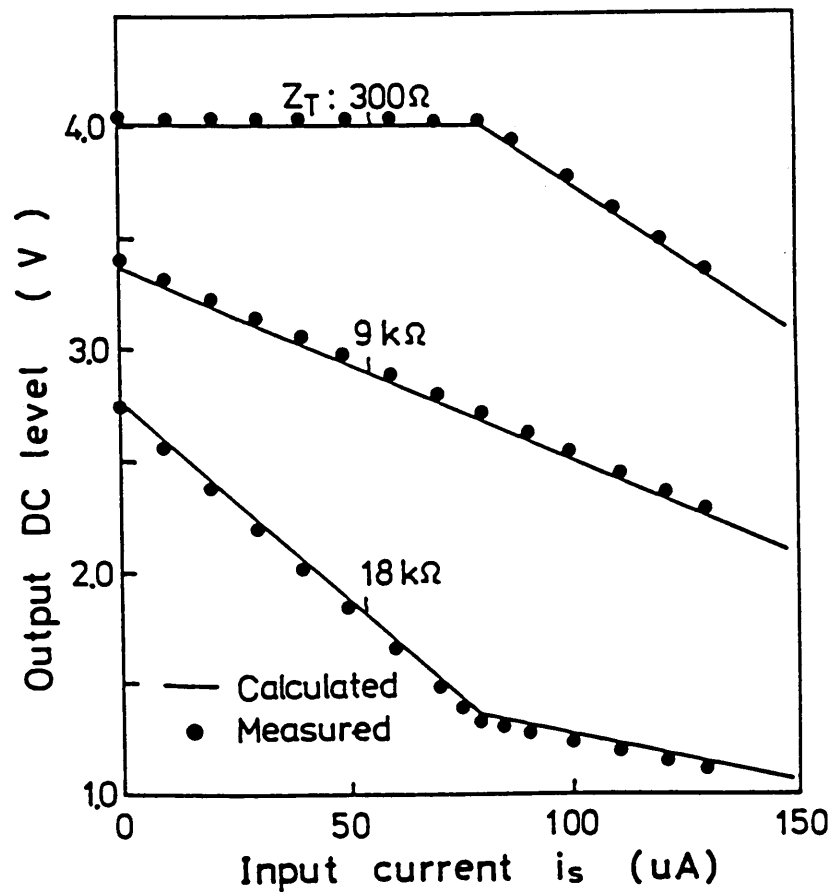


図5.8 試作 IC の直流入出力伝達特性

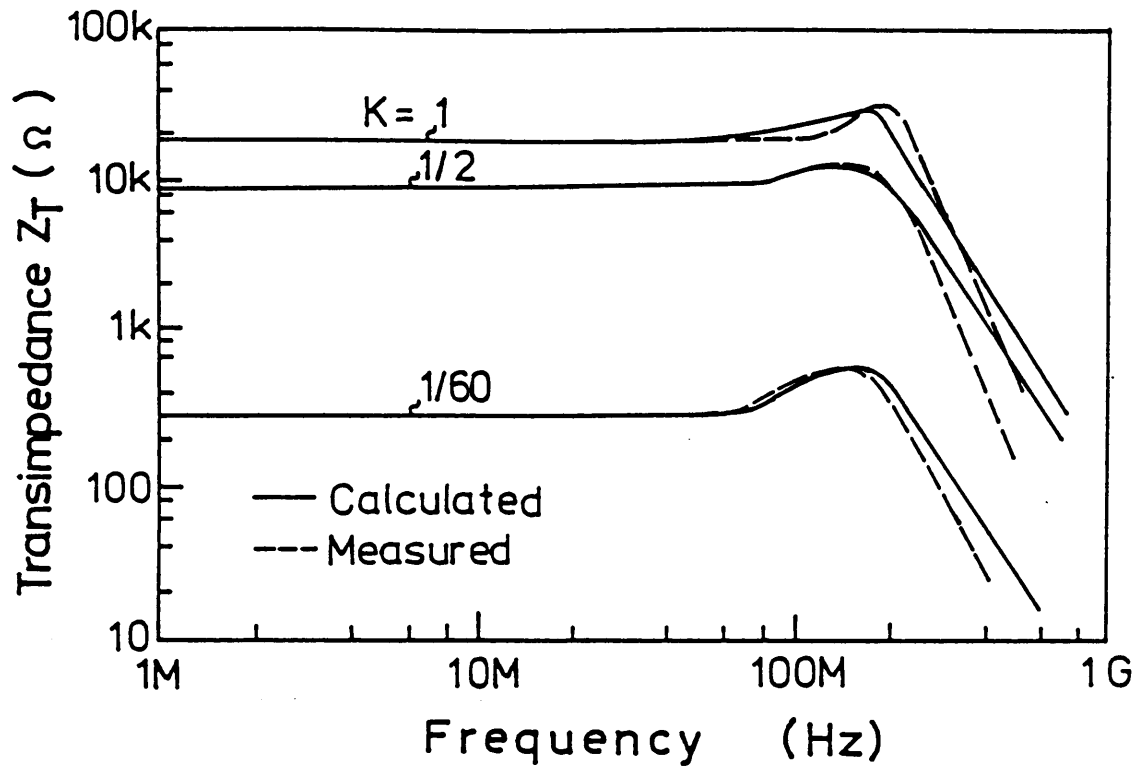


図 5.9 試作 IC の周波数応答特性

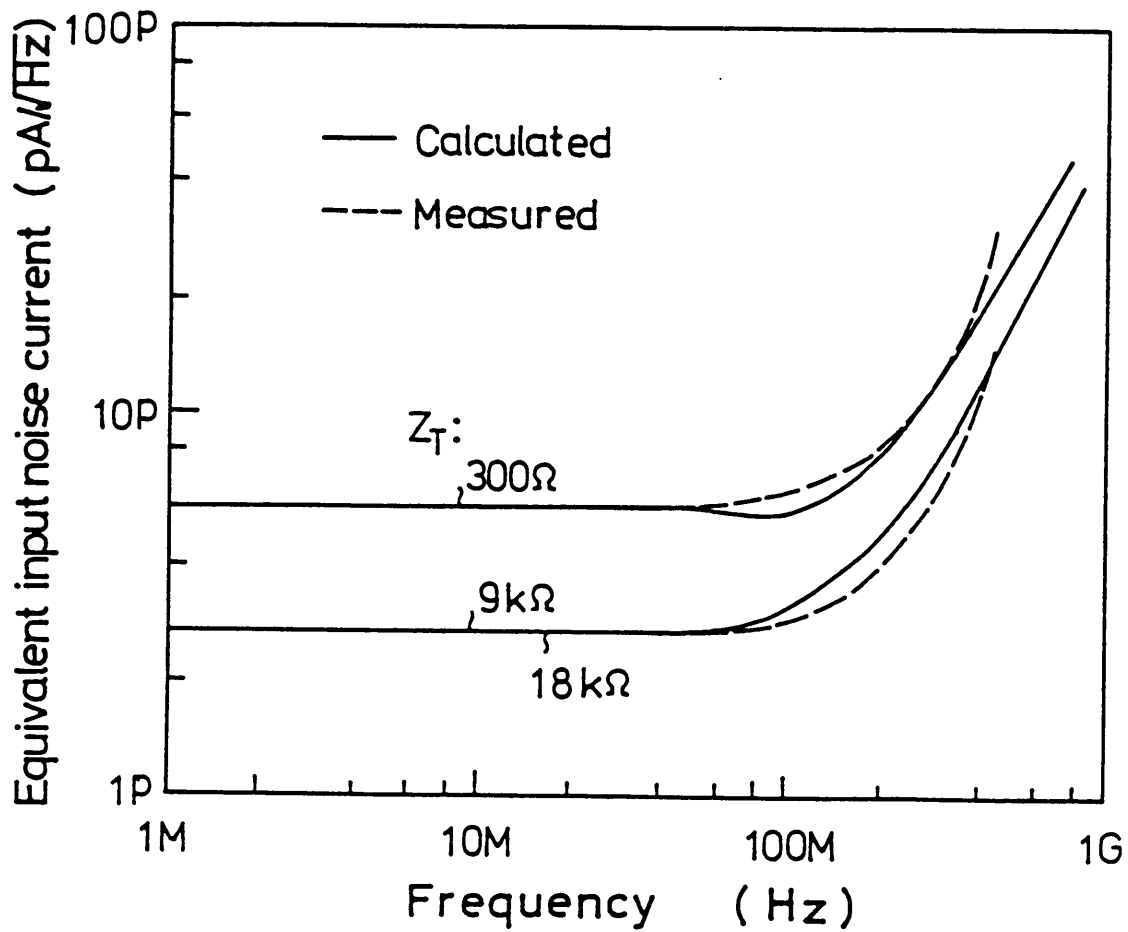


図 5.10 試作 IC の雑音特性

った。図 5.10 に、入力換算雑音電流の周波数特性の測定結果を示す。入力換算雑音電流は 70 MHz 以上で徐々に増加する傾向を示すが、100 ~ 200 Mb/s 伝送における所要帯域内での雑音増加量は小さい。図 5.11 に 50 MHz における入力換算雑音電流の測定値を示す。トランスインピーダンスが 18 k Ω 及び 300 Ω における入力換算雑音電流は各々 3 pA/ $\sqrt{\text{Hz}}$ 、6 pA/ $\sqrt{\text{Hz}}$ であり、計算値とよく一致した結果が得られた。即ち、35 dB のトランスインピーダンスの変化に対する入力換算雑音電流の変動は 7 dB 以下と非常に小さい。これは、入力換算雑音電流がトランスインピーダンスではなく帰還抵抗で決まるため、新形前置増幅器が大きな SNR 劣化を引き起すことなく広いダイナミック範囲を実現できることを示す。表 5.1 に、試作した IC の特性をまとめて示す。同表から分るように、目標性能を十分満たす IC が得られた。

(iii) 伝送実験

試作した新形前置増幅器の光ダイナミック範囲を調べるために、光源に 1.3 μm BH-LD、受光器に pin-PD を用いて伝送実験を行った。伝送速度を 140 Mb/s とし、符号には NRZ を用いた。図 5.12 に伝送実験に用いた光受信器のブロック図を示す。この受信器は新形前置増幅器で利得を制御するように構成されている。出力信号振幅は 0.8 V_{p-p} とし、符号誤り率 10^{-9} を満たす最小受信電力においてトランスインピーダンスを最大とするため、主増幅器の利得を調整した。この時の主増幅器の利得は 39 dB、トランスインピーダンスは 18 k Ω である。図 5.13(a) は $2^{15} - 1$ ビット長擬似ランダム NRZ 符号を用いた時の受信アイパターンを示したものである。この時の平均受信電力は -30 dBm 及び -10 dBm である。又、トランスインピーダンス及び入力換算雑音電流は各々 16 k Ω 、3 pA/ $\sqrt{\text{Hz}}$ 、180 Ω 、7 pA/ $\sqrt{\text{Hz}}$ である。図 5.13 (b) は受信電力 -30 dBm においてローパス滤波器で波形成形した時のアイパターンを示したものである。同図より符号間干渉の小さい良好なアイパターンが得られている。図 5.14 に、光受信器の符号誤り率特性を示す。符号誤り率 10^{-9} を満たす最小及び最大平均受信電力は、各々 -30.5 dBm 及び -9 dBm である。これより、試作した新形前置増幅器 IC が 21.5 dB (電気換算で 43 dB) の光ダイナミック範囲をもつことが分った。

5.2.2.3 まとめ

BONフリー光中継器を実現する手段として、AGC機能を有するトランスインピーダンス可変前置増幅器を提案し、又、IC試作によりその有効性を実証した。

(1) インピーダンス制御は、増幅器の開ループ利得を変化させる方式を導入し実現した。

(2) 提案した新形前置増幅器の有効性を実証するために、3 μm Si-バイポーラプロセスを用

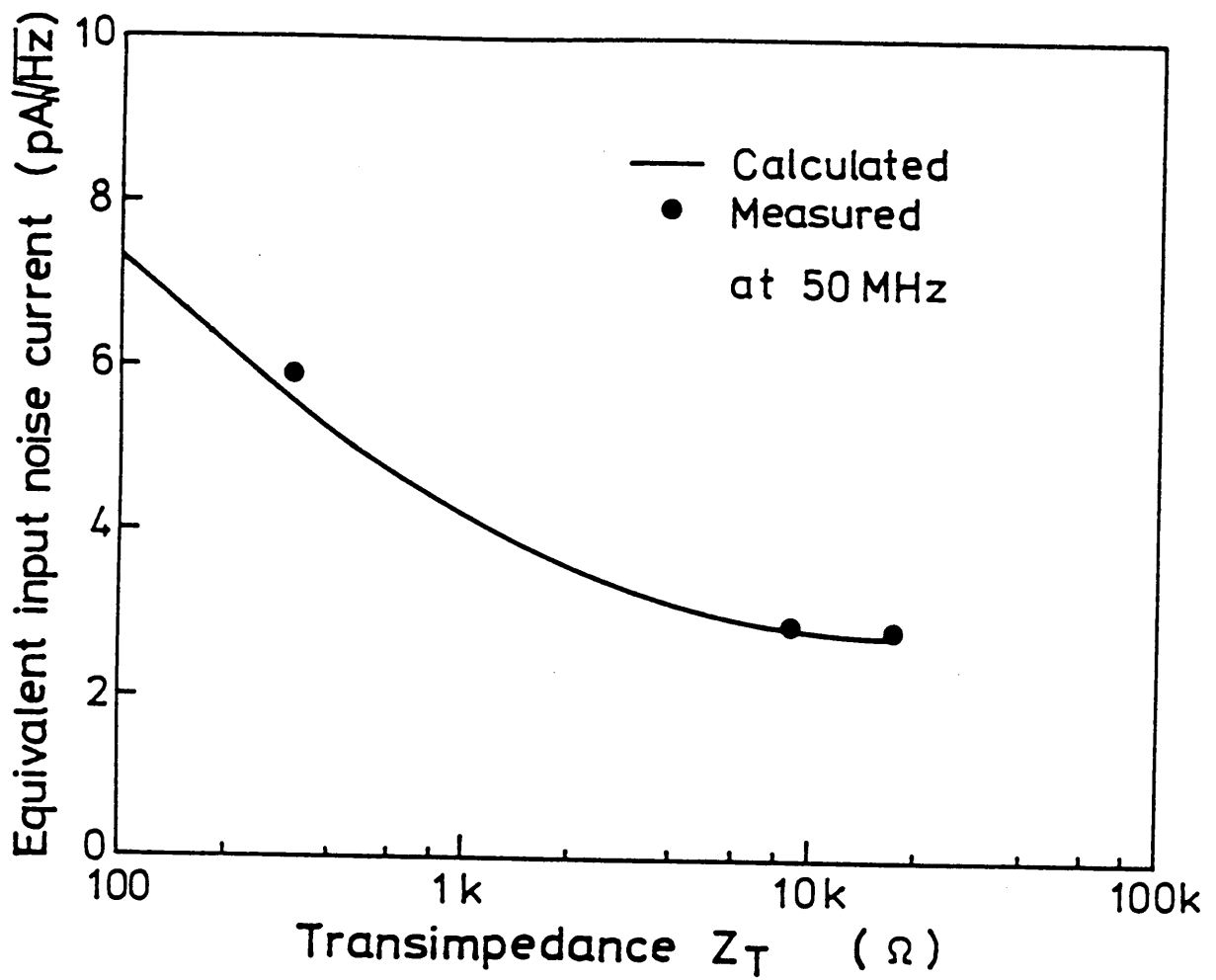


図 5.11 入力換算雑音電流のトランスインピーダンス依存性

表 5.1 インピーダンス可変形前置増幅器 IC の主要性能

項	目	単 位	目 標 値	実 験 値
帯	域 *	MHz	> 170	220
入 力 雑 音 電 流 **		$\text{pA}/\sqrt{\text{Hz}}$	< 5	3
トランスインピーダンス	最 大 値	$\text{k}\Omega$	> 15	18
	可 変 範 囲 ***	dB	> 40	43

* 入力容量 = 2 pF, ** 最大トランスインピーダンス時, *** 符号誤り率 10^{-9}

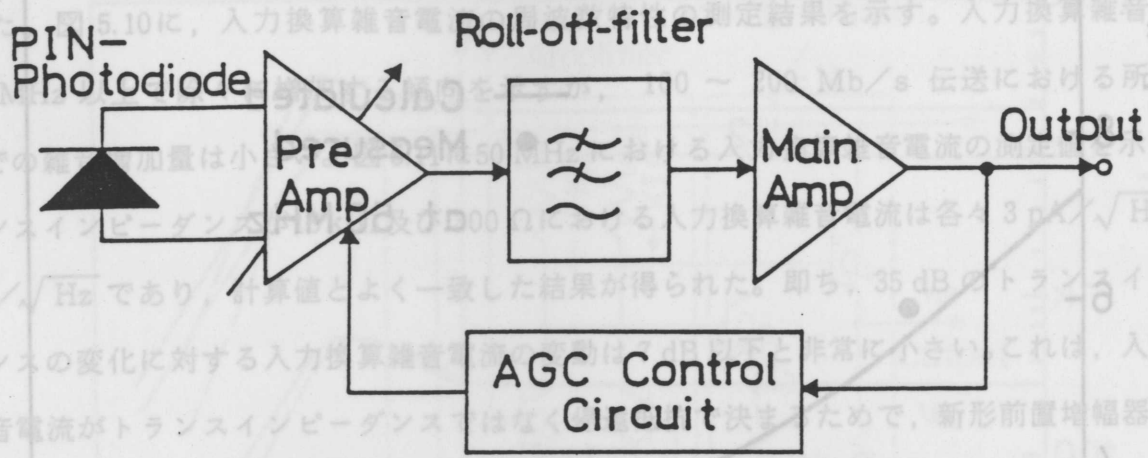
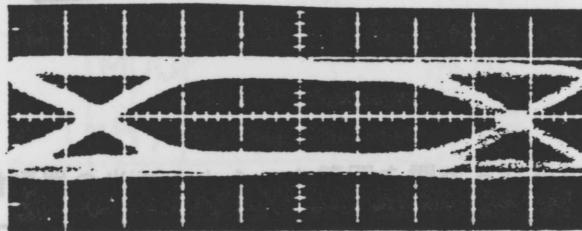
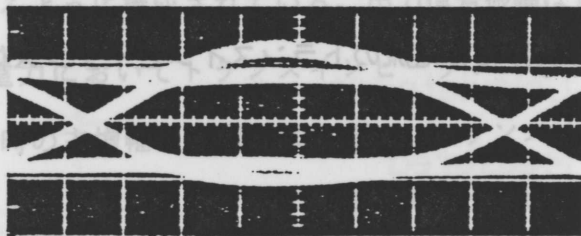


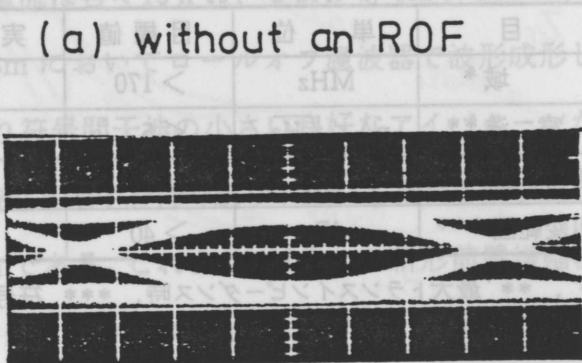
図 5.12 トランスインピーダンス可変範囲の測定系



$P_r = -30 \text{ dBm}, Z_T = 16 \text{ k}\Omega$



$P_r = -10 \text{ dBm}, Z_T = 180 \Omega$



$P_r = -30 \text{ dBm}$

(b) with an ROF

図 5.13 試作 IC を用いた光フロントエンドの受信アイパターン

- (1) インピーダンス制御は、増幅器の閉ループ利得を変化させる方式を導入し実現した。
- (2) 提案した新形前置増幅器の有効性を実証するために、 $3 \mu\text{m}$ シーバイポーラプロセスを用

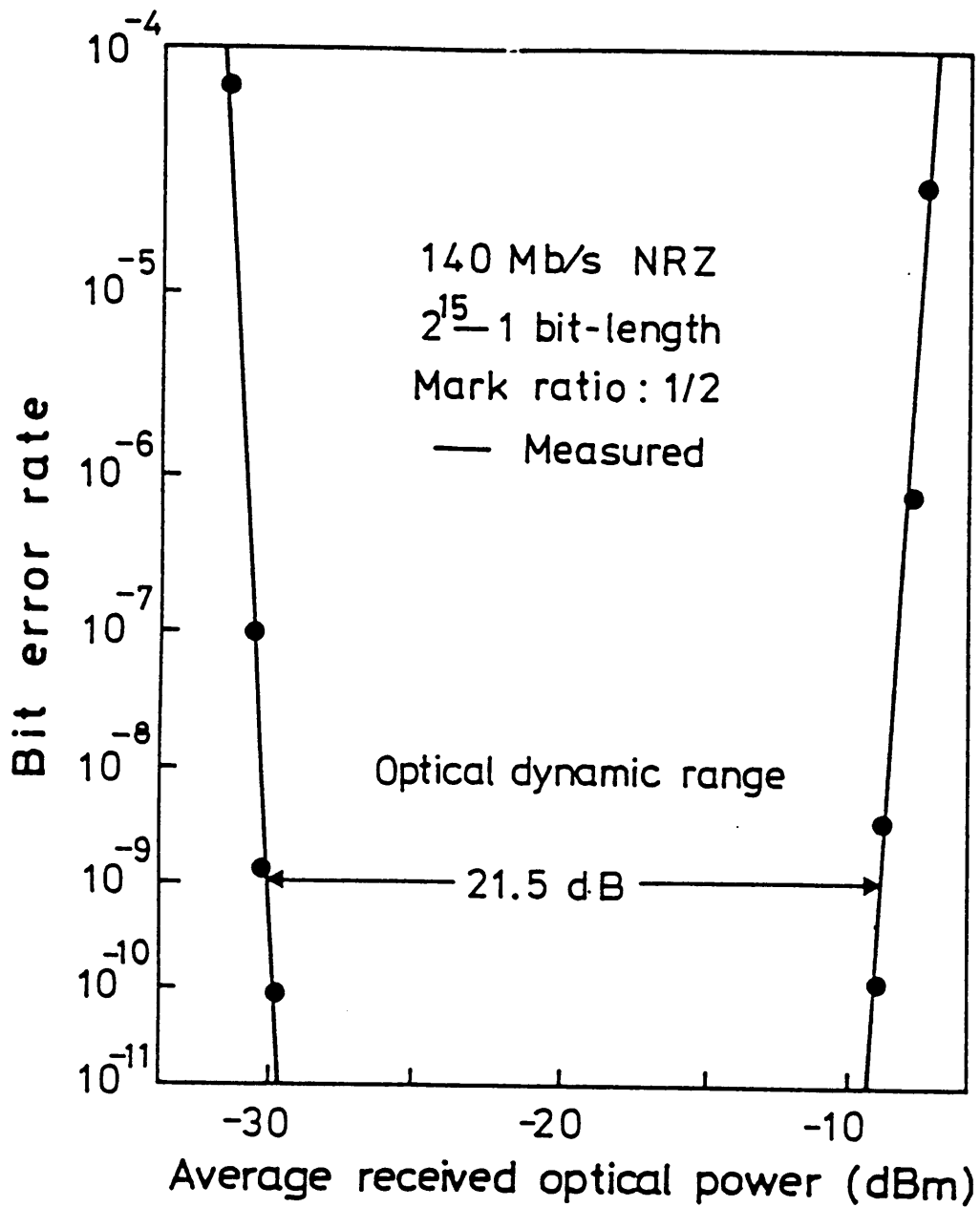


図 5.14 符号誤り率特性。光ダイナミック範囲 21.5 dB が得られる。

いてモノリシック I C を試作した。試作 I C はトランスインピーダンスが $300 \Omega \sim 18 \text{ k} \Omega$ の範囲において帯域 220 MHz ，入力換算雑音電流 $3 \sim 6 \text{ pA}/\sqrt{\text{Hz}}$ の特性を有し， $100 \sim 200 \text{ Mb/s}$ 伝送システムに十分適用できることが分った。

(3) 試作 I C の A G C 機能を確認するために， $1.3 \mu\text{m LD}$ ，pin-P D を用いた 140 Mb/s 伝送実験を行った。符号誤り率 10^{-9} における最小及び最大平均受信電力は各々 -30.5 dBm ， -9 dBm であり，試作 I C のインピーダンス制御により光ダイナミック範囲 21.5 dB を実現できることを明らかにした。

以上の結果から，トランスインピーダンス可変形前置増幅器が光ダイナミック範囲を拡大し，光中継器の B O N フリー化に非常に有効であることが分った。

5.3 A G C 増幅器

既に述べたように，A G C 増幅器には高利得・広帯域で利得可変幅が広いことの他に D C 直結が可能であることが要求される。一般に，高い利得を得るには A G C 増幅器は基本増幅器の多段接続によって構成される。しかし，モノリシック I C の場合には大きな容量を実現することは困難であるので，利得制御による出力の直流動作点の変動が小さい D C 直結が可能な回路方式の開発が大きな課題となる。これらの課題に対して利得可変方法の異なる 2 形式の A G C 増幅器（利得加算形³⁰⁾，電流分配形⁵³⁾）が開発され， 400 Mb/s 系公衆通信用の光中継器に適用されている²⁹⁾³¹⁾。しかし，前者は利得可変幅を広くできない。又，後者は利得が変化すると出力の直流動作点が大きく変動する。

本項では，出力直流動作点が安定な高利得・広帯域 A G C 増幅器を提案すると共にモノリシック I C の試作によりその有効性を実証する。

5.3.1 従来形 A G C 増幅器

5.3.1.1 利得加算形 A G C 増幅器⁵⁴⁾

図 5.15 に，利得加算形 A G C 増幅器の基本回路構成を示す。この回路はトランジスタ Q_1 ， Q_2 及び Q_3 ， Q_4 から成る利得の異なる 2 つの差動増幅器に流れる電流の分流比をトランジスタ対 Q_5 ， Q_6 で変化させて利得を制御するものである。総合利得は，電流 I_E を制御信号電圧に従って 2 つの差動増幅器に分配することにより調整できる。この回路の特長は利得変化による出力直流動作点の変動が非常に小さいということであるが，逆に，最大利得と最小利得が電流負帰還用のエミッタ抵抗 R_{E1} と R_{E2} で制限されるため利得可変増幅は高々 30 dB 程度が限度である。

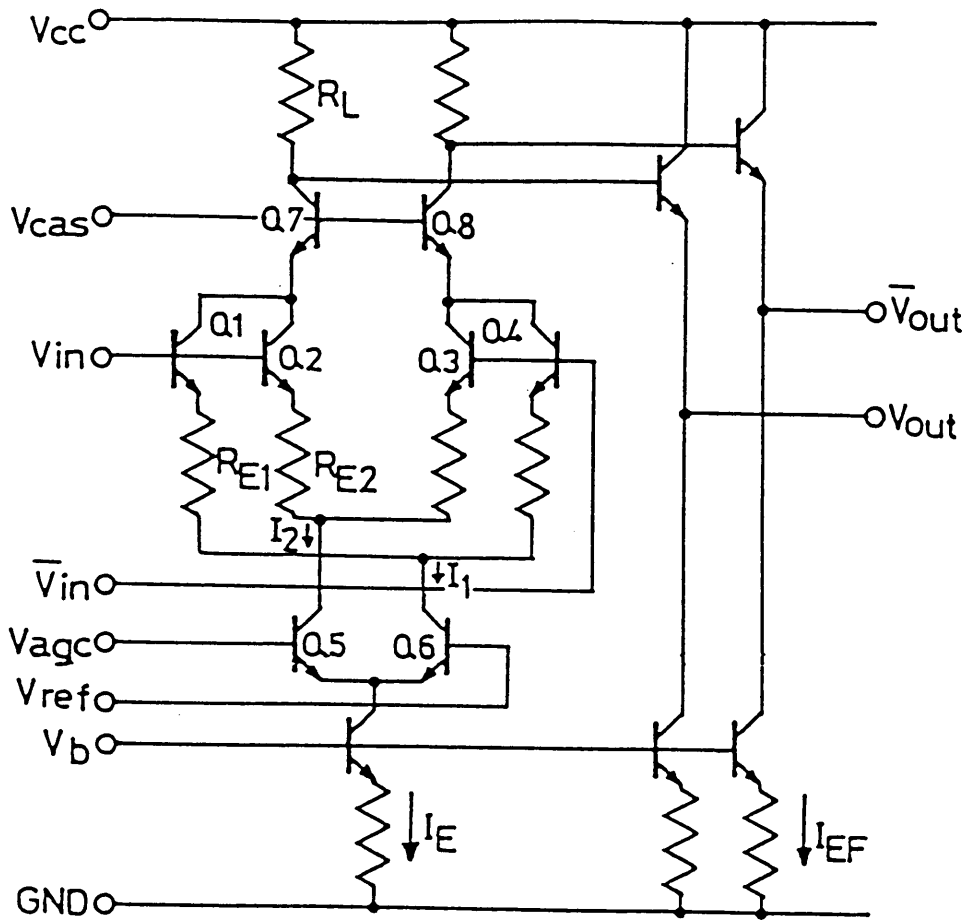


图 5.15 利得加算形 AGC 增幅器

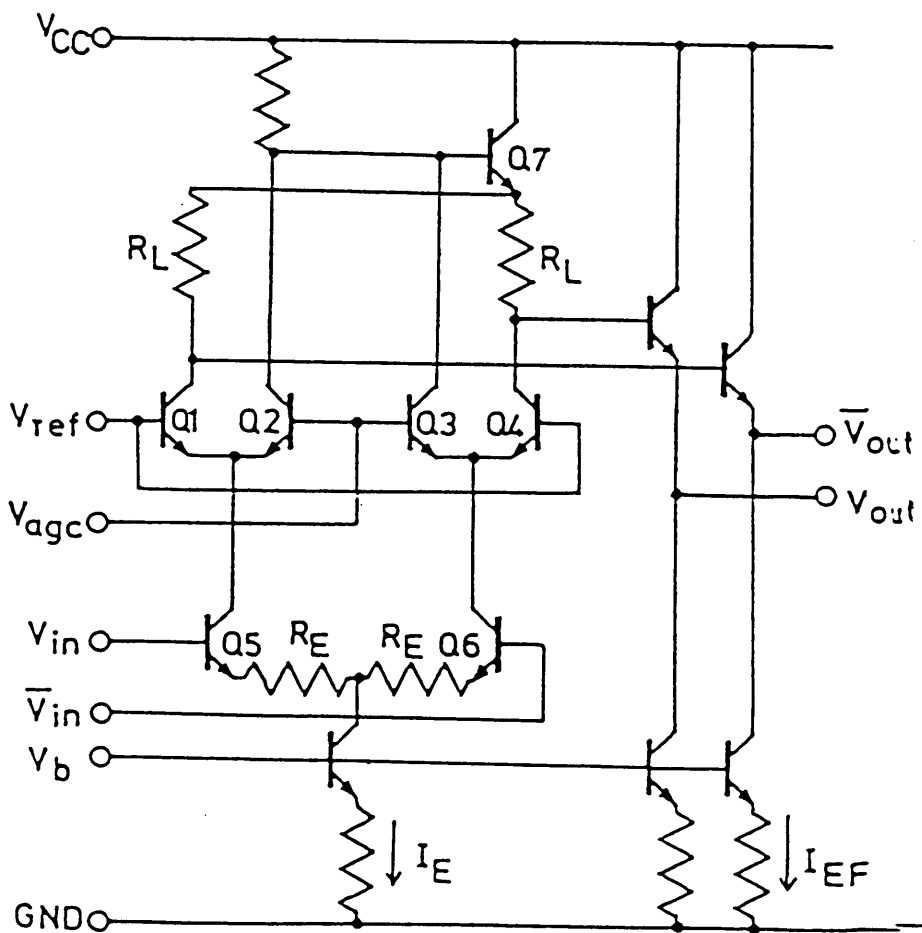


图 5.16 電流分配形 AGC 增幅器

5.3.1.2 電流分配形AGC増幅器⁵³⁾

図5.16に、電流分配形AGC増幅器の基本回路構成を示す。この回路はトランジスタ Q_5 、 Q_6 から成る差動増幅器にカスコード接続された2つのトランジスタ対 Q_1 、 Q_2 及び Q_3 、 Q_4 により電流 I_E を分流させて利得を制御するものである。この回路の特長は I_E の分流比に制限がないため、広い利得可変幅が得られることである。しかし、分流比、即ち、利得に応じて出力直流動作点が大きく変動する。この変動は分流比の変化に伴ってトランジスタ Q_7 のベース・エミッタ間電圧が変化するために生じるもので、15 dBの利得変化に対し110 mVにも及ぶ。

5.3.2 出力直流動作点安定化AGC増幅器¹⁷⁾

5.3.2.1 回路構成及び動作原理

上述のように、電流分配形AGC増幅器は出力直流動作点が安定化できれば利得可変幅の広い基本AGC増幅器として有望な回路方式となる。この観点より提案した新しいAGC増幅器の基本回路構成を図5.17に示す。この回路の特長はトランジスタ Q_2' 、 Q_3' を図の如く接続することにより出力直流動作点を安定化したことにある。次に、直流動作点安定化の原理について説明する。

図5.17において、電流 I_E の分流比を K 、信号電流成分を ΔI_E とすると、 Q_1 及び Q_4 に流れる電流は $K I_1$ 及び $K I_2$ で与えられる。ここで、 I_1 及び I_2 は次式で与えられる。

$$I_1 = I_E - \Delta I_E, I_2 = I_E + \Delta I_E \quad \dots\dots\dots (5.10)$$

又、トランジスタ Q_2 、 Q_2' 及び Q_3 、 Q_3' に流れる電流は $(1-K)/2 \cdot I_1$ 、 $(1-K)/2 \cdot I_2$ で表わされる。これから、出力電圧 V_o は

$$\begin{aligned} V_o &= V_{CC} - \alpha R_L \{ \alpha K (I_E + \Delta I_E) + (1-K)/2 \cdot (I_E + \Delta I_E) + \alpha (1-K)/2 \cdot (I_E - \Delta I_E) \} \\ &= V_{CC} - \alpha^2 R_L I_E + \alpha^2 R_L \Delta I_E \quad \dots\dots\dots (5.11) \end{aligned}$$

となる。ここで、 α と R_L は各々電流増幅率及びコレクタ負荷抵抗である。式(5.11)において、 $(V_{CC} - \alpha^2 R_L I_E)$ は直流成分、 $\alpha^2 R_L \Delta I_E$ は信号成分を表わす。直流成分は分流比 K を含まないので、直流動作点は利得には依存せず一定となることが分る。利得可変幅DRは

$$DR = \frac{KR_L I_E / 4V_T}{1 + R_E I_E / 2V_T}, V_T = \frac{kT_e}{q} \quad \dots\dots\dots (5.12)$$

で与えられる。ここで、 k はボルツマン定数、 T_e は絶対温度、 q は電荷素量である。

5.3.2.2 560 Mb/s 伝送用モノリシックIC

提案したAGC増幅器の実現性及び有効性を確認するために、伝送速度560 Mb/sを対象に

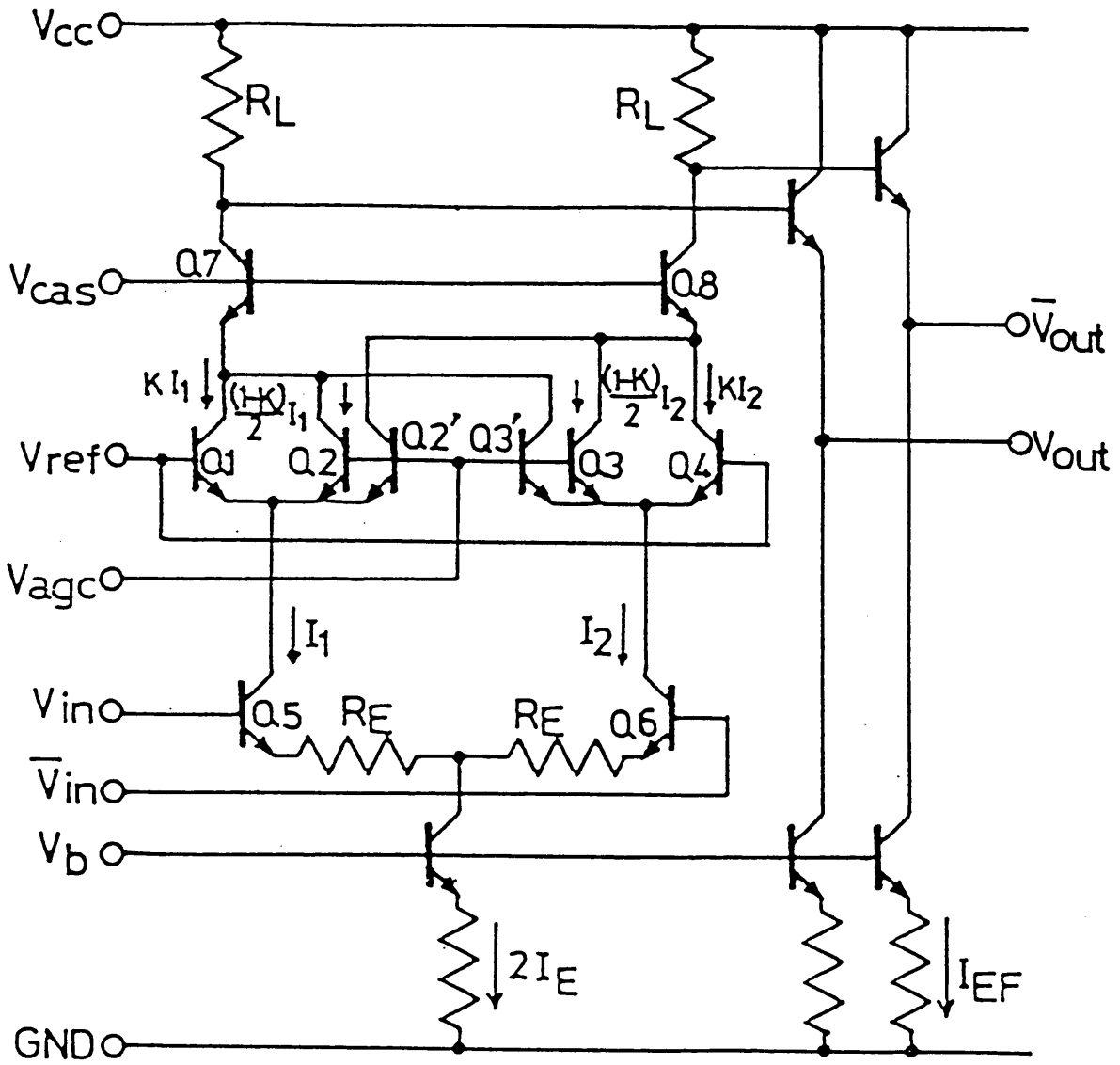


图 5.17 出力直流動作点安定化 AGC 增幅器

モノリシック IC 化を行った。本項では、IC の設計及び試作結果について述べ、新形 AGC 増幅器の有効性を明らかにする。

(i) IC 設計

表 5.2 に、設計目標を示す。この目標を満たすために、増幅器は図 5.17 で示す基本 AGC 増幅器 2 段（利得 24 dB）と固定利得増幅器（利得 12 dB）の縦続接続とした。プロセスには、 $1\ \mu\text{m Si}$ -バイポーラプロセス（SEPT）を適用し、設計には回路解析プログラム（SPICE-II）を用いた。回路定数は、シミュレーション結果を基に $2 I_E = 2\ \text{mA}$ 、 $R_L = 600\ \Omega$ 、 $R_E = 60\ \Omega$ とし、トランジスタ $Q_1 \sim Q_6$ のエミッタ寸法を $1 \times 12\ \mu\text{m}^2$ とした。図 5.18 に、周波数特性のシミュレーション結果を破線で示す。最大利得 40 dB、利得可変幅 45 dB、帯域 820 MHz が期待できる。又、出力直流動作点の変動は利得可変幅 45 dB に対して 5 mV である。

(ii) AGC 増幅器の特性比較

新形 AGC 増幅器の優位性を明らかにするために、従来形 AGC 増幅器との特性比較を行った。シミュレーションでは、同一デバイス定数を用い、又、最大利得を 39 dB とし各増幅器毎に回路定数の最適化を行った。表 5.3 に、各増幅器の特性を示す。帯域はほぼ同レベルにあるが、利得可変幅に対しては新形 AGC 増幅器が利得加算形 AGC 増幅器に対し 14 dB 優れていることが分る。又、新形 AGC 増幅器の出力直流動作点変動は電流分配形 AGC 増幅器の $1/20$ 以下である。これらの結果は、新形 AGC 増幅器が広帯域・高利得で、且つ、広い利得可変幅に対する出力直流動作点変動の小さい光通信用 AGC 増幅器として非常に有望であることを示す。

(iii) 試作 IC の特性

試作した IC の周波数特性を図 5.18 に実線で示す。帯域、最大利得及び利得可変幅は、夫々、800 MHz、39 dB、44 dB であり、計算値とよく一致した結果が得られた。図 5.19 は利得変化に対する出力直流動作点変動を示したもので、動作点変動は利得変化 44 dB に対し約 8 mV であった。この変動はトランジスタ $Q_1 \sim Q_4$ の電流増幅率が流れる電流レベルによって変化することにより生ずるものであるが、電流分配形 AGC 増幅器に対し $1/10$ 以下である。これは、新回路方式が出力直流動作点の安定化に非常に有効であることを示す。図 5.20 に、 $2^{15} - 1$ ビット長擬似ランダム（伝送速度 560 Mb/s）NRZ 符号に対するパルス応答特性を示す。同図 (a) 及び (b) は最大利得 39 dB、最小利得 -5 dB における出力アイパターンで、入力信号振幅は、夫々、 $4\ \text{mV}_{p-p}$ 、 $400\ \text{mV}_{p-p}$ である。図から分るように、44 dB の利得変化に対して良好なアイ開口度が得られている。

表 5.2 出力直流動作点安定化 A G C 増幅器の主要性能

項 目	単 位	目 標 値	実 験 値
帯 域	MHz	500	800
利 得	dB	36	39
利 得 可 変 幅	dB	40	44
出力直流動作点変動	mV	10	8

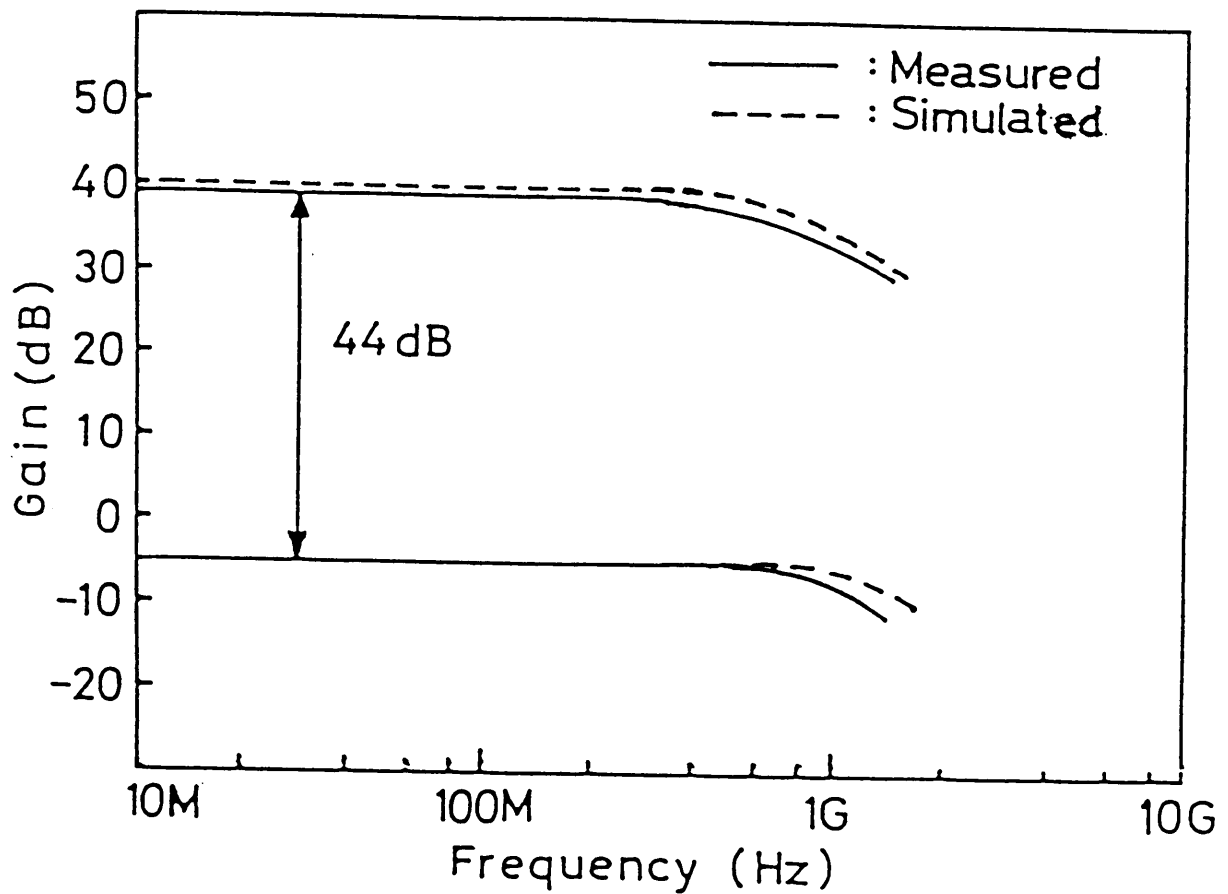


図 5.18 新 A G C 増幅器の周波数応答特性

表 5.3 新形及び従来形 A G C 増幅器の特性比較
(同一デバイス定数によるシミュレーション結果)

項 目	単 位	従来形 A G C 増幅器		新 A G C 増幅器
		利得加算形	電流分配形	
帯 域	MHz	700	720	820
利 得	dB	39	39	39
利 得 可 変 幅	dB	30	40	45
出力直流動作点変動	mV	10	120	8

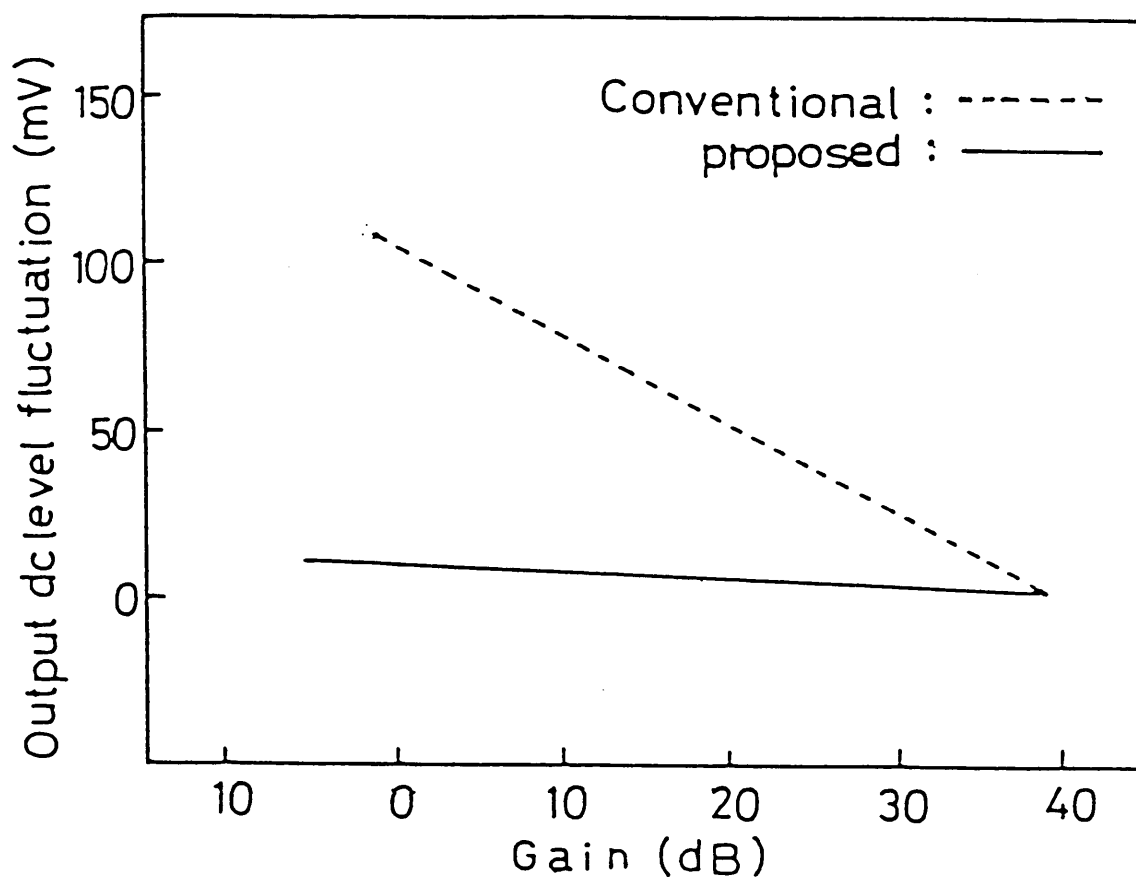


図 5.19 出力直流動作点の利得依存性

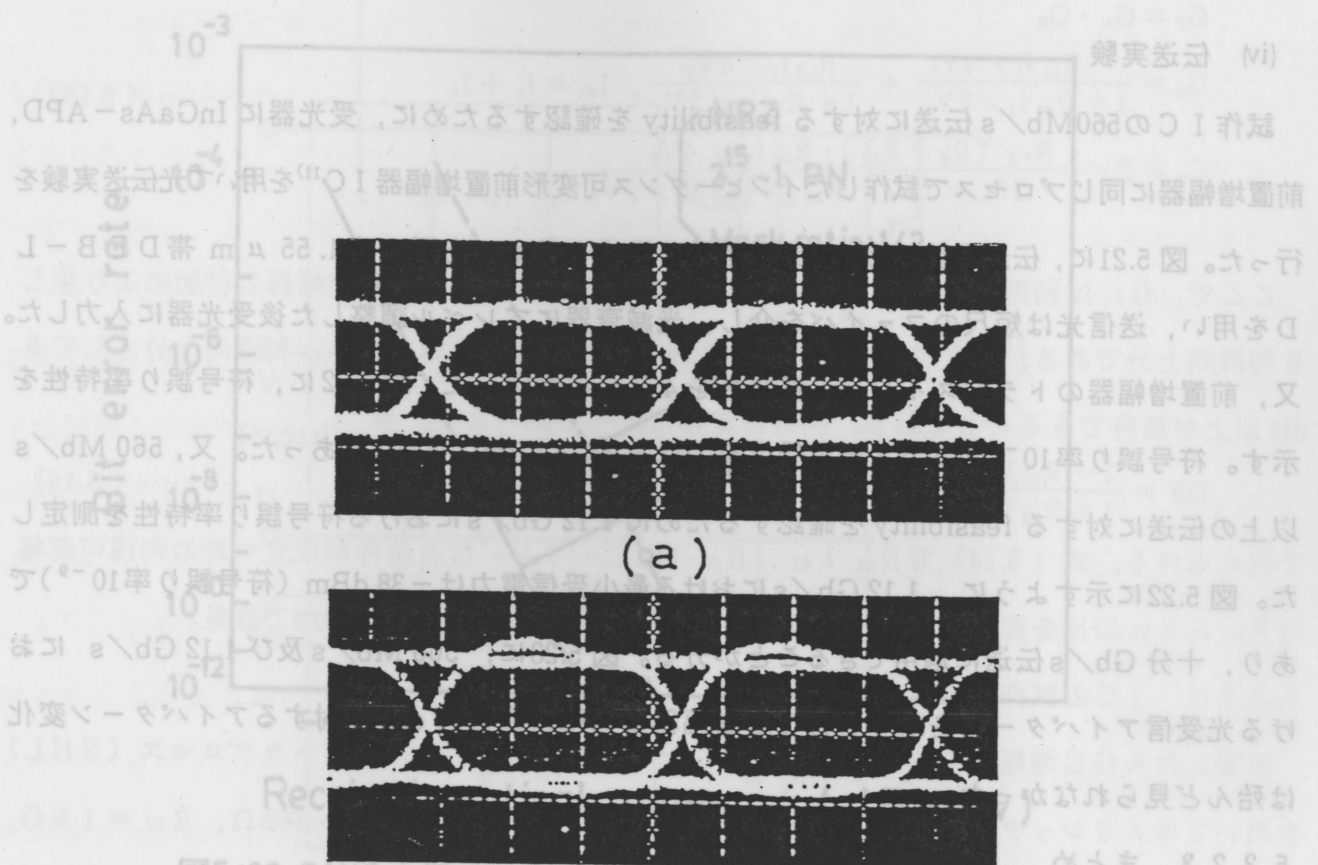


図5.22 560Mb/s及び1.12Gb/sの符号誤り率特性

図 5.20 新AGC増幅器ICの560 Mb/s出力アイパターン。
利得：(a)39 dB, (b)- 5 dB。

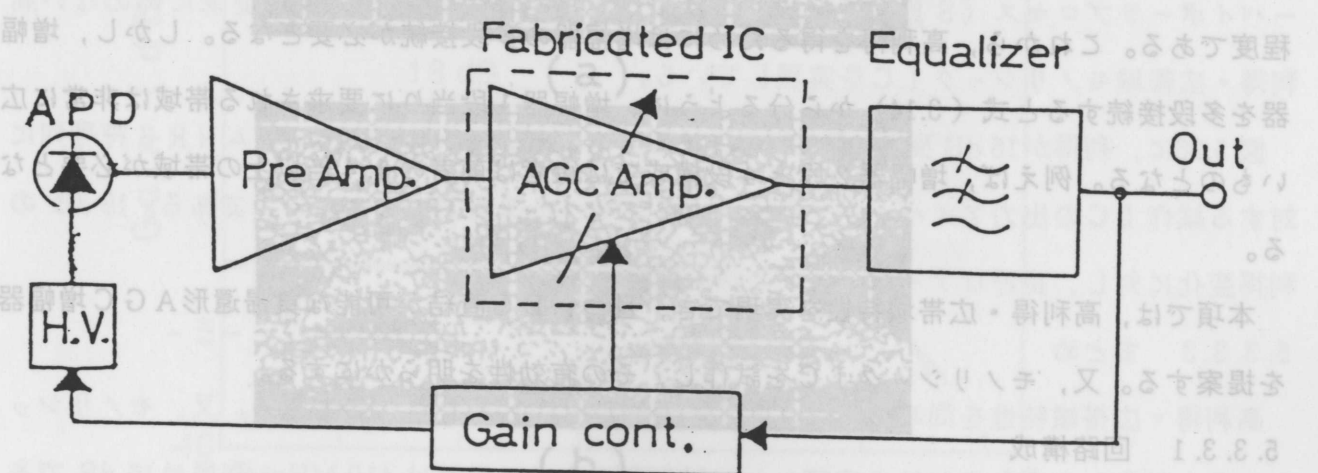


図 5.21 試作ICの利得可変幅測定系

(iv) 伝送実験

試作 IC の 560 Mb/s 伝送に対する feasibility を確認するために、受光器に InGaAs-APD、前置増幅器に同じプロセスで試作したインピーダンス可変形前置増幅器 IC¹¹⁾を用いて光伝送実験を行った。図 5.21 に、伝送実験に用いた光受信系の構成を示す。光源には 1.55 μ m 帯 DFB-LD を用い、送信光は短尺のファイバを介し、光減衰器にてレベル調整した後受光器に入力した。又、前置増幅器のトランスインピーダンスを 4 k Ω に固定した。図 5.22 に、符号誤り率特性を示す。符号誤り率 10^{-9} を満たす最小受信電力は -40.5 dBm (平均) であった。又、560 Mb/s 以上の伝送に対する feasibility を確認するために 1.12 Gb/s における符号誤り率特性を測定した。図 5.22 に示すように、1.12 Gb/s における最小受信電力は -38 dBm (符号誤り率 10^{-9}) であり、十分 Gb/s 伝送に適用できることが分る。図 5.23 に、560 Mb/s 及び 1.12 Gb/s における光受信アイパターンを示す。AGC 増幅器の利得可変幅 44 dB に対するアイパターン変化は殆んど見られなかった。

5.3.2.3 まとめ

広い範囲に亘る利得変化に対し出力直流動作点が安定で、広帯域・高利得を実現できる新しい電流分配形 AGC 増幅器を提案した。又、560 Mb/s 伝送用のモノリシック IC を試作し、新形 AGC 増幅器の有効性を明らかにした。この増幅器は利得変化 44 dB に対する出力動作点変動が 8 mV であり、従来形 AGC 増幅器の 1/10 以下に抑圧できることが分った。

5.3.3 負帰還形 AGC 増幅器¹⁸⁾

図 5.15~17 に示した 3 種類の AGC 増幅器が取り得る最大利得は比較的小さく、高々 10 dB 程度である。これから、高利得を得るためには増幅器の多段接続が必要となる。しかし、増幅器を多段接続すると式 (3.14) から分るように、増幅器 1 段当りに要求される帯域は非常に広いものとなる。例えば、増幅器 2 段と 4 段構成では後者は前者の 1.4 倍以上の帯域が必要となる。

本項では、高利得・広帯域特性を実現でき、且つ、DC 直結が可能な負帰還形 AGC 増幅器を提案する。又、モノリシック IC を試作し、その有効性を明らかにする。

5.3.3.1 回路構成

図 5.24 に、負帰還形 AGC 増幅器の基本構成を示す。この回路の特長は、高利得・広帯域特性を同時に実現するために AGC 増幅器に縦続に負帰還用の差動増幅器を配置し、回路の一部を共用するように接続したことにある。差動増幅器の付加により利得の向上が、負帰還により帯域の拡大が図られる。負帰還形 AGC 増幅器の利得 G_T は次式で与えられる。

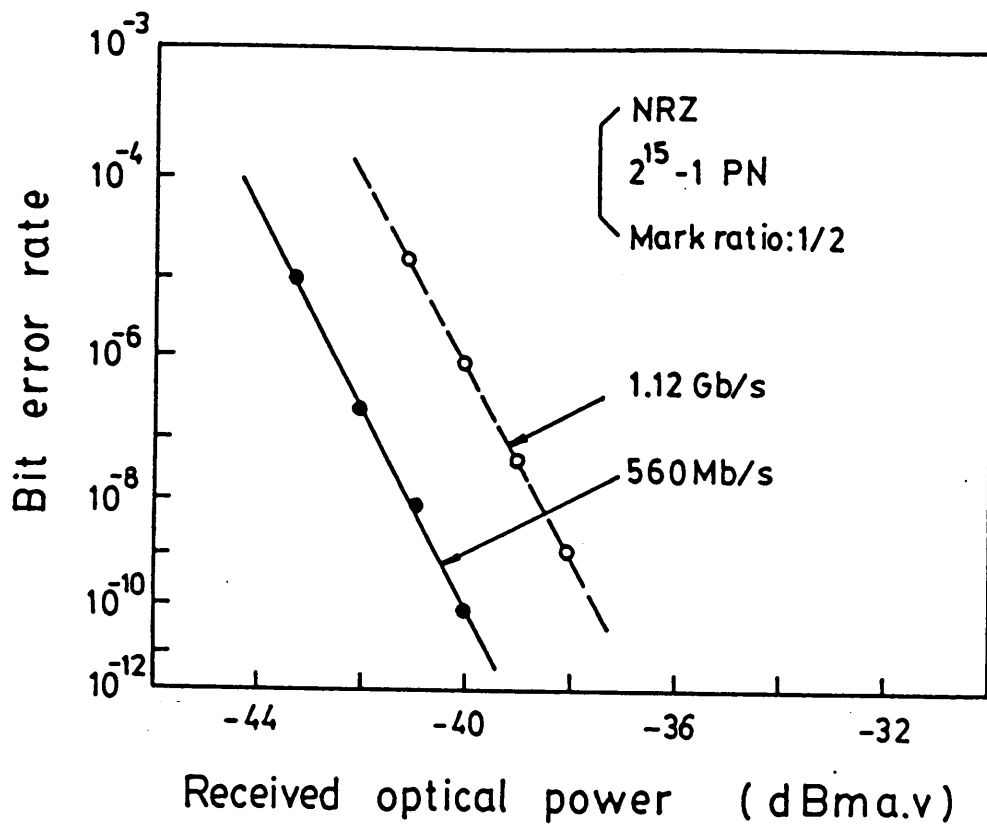
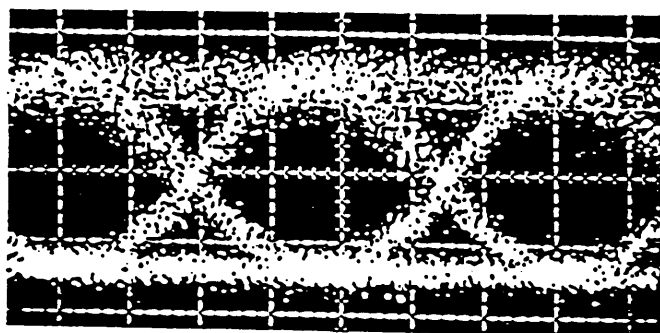
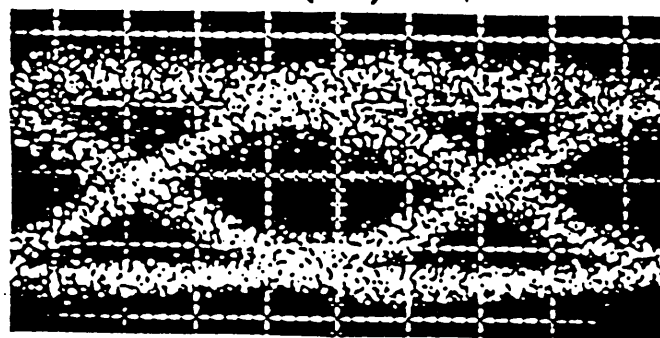


図5.22 560Mb/s及び1.12Gb/sにおける符号誤り率特性



(a)



(b)

図 5.23 560 Mb/s 及び 1.12 Gb/s における光受信アイパターン。

(a) 560 Mb/s, (b) 1.12 Gb/s。

$$\left. \begin{aligned}
 G_T &= G_A \cdot G_B \\
 G_A &= \frac{R_{L1} I_1 / 4V_T}{1 + R_{E1} I_1 / 2V_T} + \frac{R_{L2} I_2 / 4V_T}{1 + R_{E2} I_2 / 2V_T}, \quad I_{E1} = I_1 + I_2 \\
 G_B &= 2 \cdot \frac{R_F / (R_F + R_{L1}) \cdot R_{L2} I_{E2} / 4V_T}{1 + 2R_{L1} / (R_F + R_{L1}) \cdot R_{L2} I_{E2} / 2V_T}
 \end{aligned} \right\} \dots\dots\dots (5.13)$$

ここで、 G_A は利得制御に用いたAGC増幅器の利得、 G_B は差動増幅器の付加により生じる利得向上分である。 G_B を与える式の右辺先頭の2は差動利得であり、利得向上分として6dB以上が期待できることを示す。利得可変幅は式(5.13)より

$$DR = \frac{1 + R_{E1} I_{E1} / 2V_T}{1 + R_{E2} I_{E2} / 2V_T} \dots\dots\dots (5.14)$$

で与えられる。式(5.14)で $R_{E1} I_{E1}$ 、 $R_{E2} I_{E2} \gg 2V_T$ なる条件が成立つ時の利得可変幅は R_{E1} と R_{E2} の比を変えることにより任意に利得可変幅を設定することができる。

5.3.3.2 ICの試作結果

提案したAGC増幅器の有効性を確認するために、 $3\mu\text{mSi}$ -バイポーラプロセス(SHL)を用いてモノリシックICを試作した。図5.24に示す回路定数は $R_{L1} = 870\Omega$ 、 $R_{L2} = 1\text{k}\Omega$ 、 $R_{E1} = 130\Omega$ 、 $R_{E2} = 1.5\text{k}\Omega$ 、 $R_F = 3\text{k}\Omega$ とした。図5.25に、試作したICの周波数特性を示す。測定値は計算値とよく一致している。帯域は410MHz、利得は16dB、利得可変幅は18dBが得られた。表5.4は、同一プロセスにより試作した利得加算形AGC増幅器(図5.24の破線内)と負帰還形AGC増幅器の特性比較を行ったものである。同表から明らかなように、負帰還形AGC増幅器は差動増幅器の活用により従来形AGC増幅器の2.5倍以上の帯域及び利得を実現できることが分る。尚、図5.24と同一回路構成の負帰還形AGC増幅器を $1\mu\text{mSi}$ -バイポーラプロセス(SEPT)にて試作し、利得23dB、帯域1GHzと従来に例のない高利得・広帯域モノリシックICを実現している。

図5.26に、利得が16dB及び-2dBにおける $2^{15} - 1$ ビット長擬似ランダムNRZ符号列に対する試作ICの出力アイパターンを示す。ここで、伝送速度は300Mb/sである。18dBの利得変化に対し、良好なアイパターンが得られている。

5.3.3.3 まとめ

高利得・広帯域特性を同時に実現しうる負帰還形AGC増幅器を提案した。又、モノリシックICを試作し、その有効性を実証した。試作したICの帯域は410MHz、利得は16dBであり、同一プロセスにより試作した従来形AGC増幅器より2.5倍の性能向上が得られることを示した。

5.3.4 可変高域補償形AGC増幅器

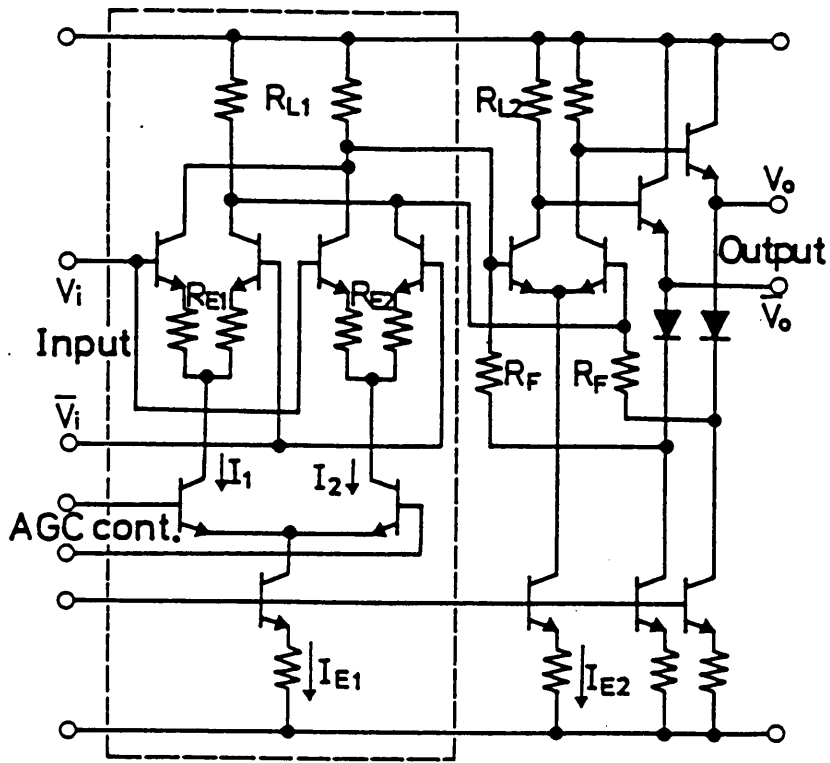


図 5.24 負帰還形 AGC 増幅器

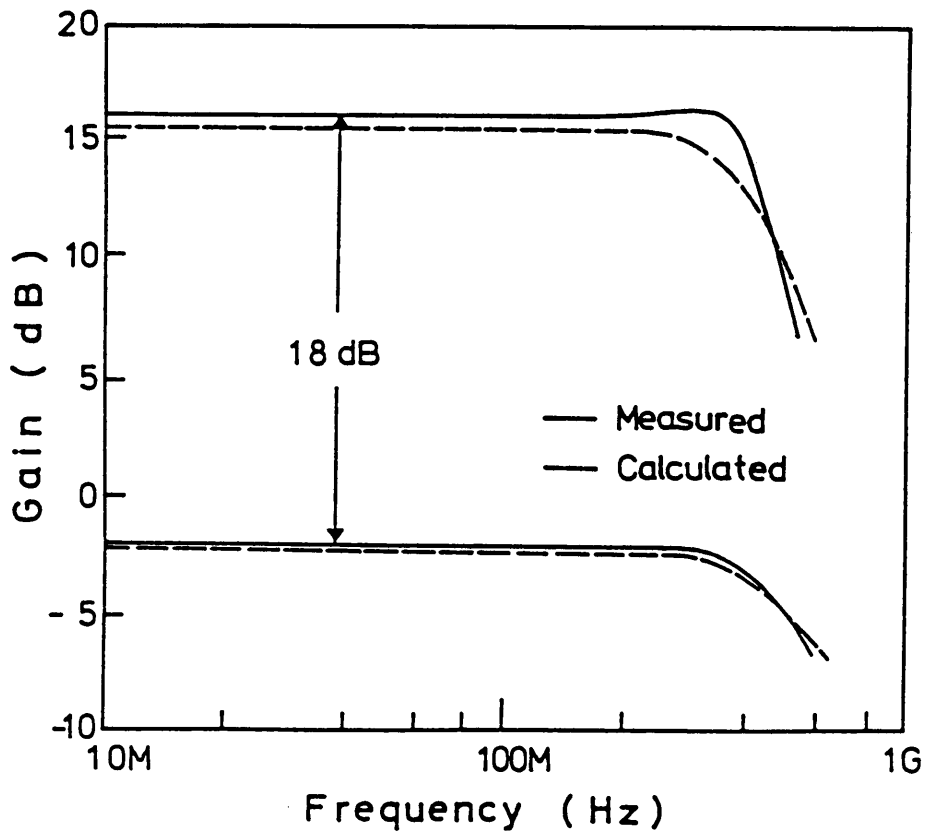


図 5.25 試作 IC の周波数応答特性

$$G_T = G_A \cdot G_B$$

$$G_A = \frac{R_{L1}I_1/4V_T + R_{L2}I_2/4V_T}{1 + R_{E1}I_1/2V_T + 1 + R_{E2}I_2/2V_T}, I_{E1} = I_1 + I_2 \quad (5.13)$$

$$G_B = 2 \cdot \frac{R_F / (R_F + R_{L1}) \cdot R_{L1}I_1/4V_T}{1 + 2R_{L1}/(R_F + R_{L1}) + R_{E1}I_1/2V_T}$$

表 5.4 負帰還形と従来形 AGC 増幅器の性能比較

項目	単位	AGC 増幅器	
		負帰還形	従来形
帯域	MHz	410	160
利得	dB	16	8
利得可変幅	dB	18	18

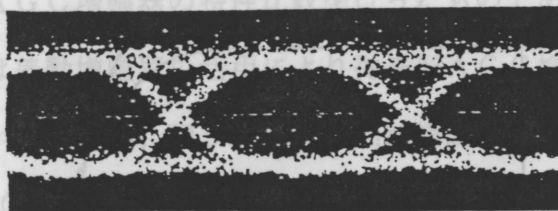
ここで、 G_A は利得向上分である。従来形 AGC 増幅器の付加により生じる利得向上分として 6 dB 以上が期待できる。

$$DR = \frac{1 + R_{E1}I_1/2V_T}{1 + R_{E2}I_2/2V_T}$$

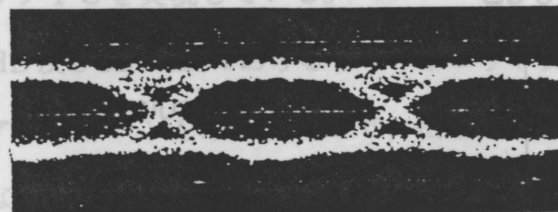
で与えられる。式 (5.14) は R_{E1} と R_{E2} の比を変えることにより任意に利得可変幅を設定する。

5.3.3.2 IC の試作結果

提案した AGC 増幅器の有効性を検証するために、 $3\mu\text{mSi}$ -バイポーラプロセス (SHL) を用いてモノリシック IC を試作した。図 5.24 に示す回路定数は $R_{E1} = 270\Omega$, $R_{E2} = 1\text{k}\Omega$, $R_{F1} = 130\Omega$, $R_{F2} = 1.5\text{k}\Omega$, $R_F = 3\text{k}\Omega$ とした。図 5.25 に、試作した IC の周波数特性を示す。測定値は計算値とよく一致している。帯域は 410 MHz、利得は 16 dB、利得可変幅は 18 dB が得られた。表 5.4 は同一プロセスにより試作した利得加重形 AGC 増幅器 (図 5.24 の破線内) と負帰還形 AGC 増幅器の性能比較を示している。同表から明らかなように、負帰還形 AGC 増幅器は利得加重形 AGC 増幅器の 2.5 倍以上の帯域及び利得を実現できることな



(a) Gain: 16 dB



(b) Gain: -2 dB

図 5.26 に、利得が 16 dB に対する試作 IC の出力アイパターンを示す。利得変化に対し、良好な

5.3.3.3 まとめ

高利得・広帯域特性を同時に実現しうる負帰還形 AGC 増幅器を提案した。又、モノリシック IC を試作し、その有効性を実証した。試作 IC の帯域は 410 MHz、利得は 16 dB であり、同一プロセスにより試作した従来形 AGC 増幅器より 2.3 倍の性能向上が得られることを示した。

図 5.26 試作 IC の 300 Mb/s 出力アイパターン

5.3.4 可変高域補償形 AGC 増幅器

A G C 増幅器を広帯域化する手法には、前節で述べた様な負帰還方式の他にピーキングによる高域補償方式がある。エミッタピーキングによる高域補償方式は利得加算形 A G C 増幅器に適用されている。この方式は利得制御用差動増幅器を構成する対トランジスタのエミッタ間を容量で接続し、この容量とエミッタ抵抗との積分効果を利用して高域を補償するものである。モノリシック I C では、結合容量として金属-絶縁膜-金属構造の並行平板容量が用いられる場合が多いが、この容量は膜厚の再現性が悪いため、製造偏差が大きい。又、エミッタ抵抗や増幅器の帯域もプロセス製造偏差によって大幅に変動する。それ故、並行平板容量による高域補償方式はモノリシック I C には適用が難しい。この欠点を克服する手法として、容量を可変容量とし外部からこの容量を制御して任意の周波数特性を得ようとする方式が試みられている³²⁾。容量として順バイアスされたダイオードの拡散容量を利用したもので、ダイオードに流す電流を制御することにより所望の周波数特性を得ようとする方式である。しかし、この方式はダイオードが順バイアスされるので微分抵抗が小さく、拡散容量の高域補償に対する効き方が弱いため大きな電流 (~20mA) を必要とする。

本項では、高域補償のために費す消費電力が不要な可変高域補償形 A G C 増幅器を提案する。又、モノリシック I C を試作することにより、その有効性を明らかにする。

5.3.4.1 回路構成

図 5.27 に、可変高域補償形 A G C 増幅器の基本構成を示す。A G C 増幅器には利得加算形 A G C 増幅器を用い、高域補償用の可変容量にはダイオードの接合容量を用いている。この方式の特長はダイオードが逆バイアスされるため、電流が流れず消費電力が不要となること、微分抵抗が大きくなるので接合容量を純然たる可変容量として利用できることである。従って、効率の良い可変高域補償を実現することができる。A G C 増幅器固有の帯域を f_{co} 、可変容量を C_j 、エミッタ抵抗を R_E とすると、近似的に高域補償後の帯域 f_c は

$$f_c = \frac{1 + jf/f_p}{1 + jf/f_{co}}, \quad f_p = \frac{1}{2\pi C_j R_E} \quad \dots\dots\dots (5.15)$$

で与えられる。式 (5.15) は、 $f_{co} = f_p$ が実現できれば帯域が無限大の理想的な増幅器を実現できることを示す。

5.3.4.2 I C の試作結果

提案した可変高域補償形 A G C 増幅器の有効性を確認するため、1 μ m Si-バイポーラプロセス (S E P T) を用いてモノリシック I C を試作した。設計では、エミッタ抵抗 R_E を 100 Ω 、可変容量を 6 pF (逆バイアス) に設定した。試作 I C の利得は 9 dB、利得可変幅は 15 dB であり、又、高域補償をしない時の帯域は約 800MHz であった。図 5.28 に、560Mb/s、 2^{15} -1 ビット長

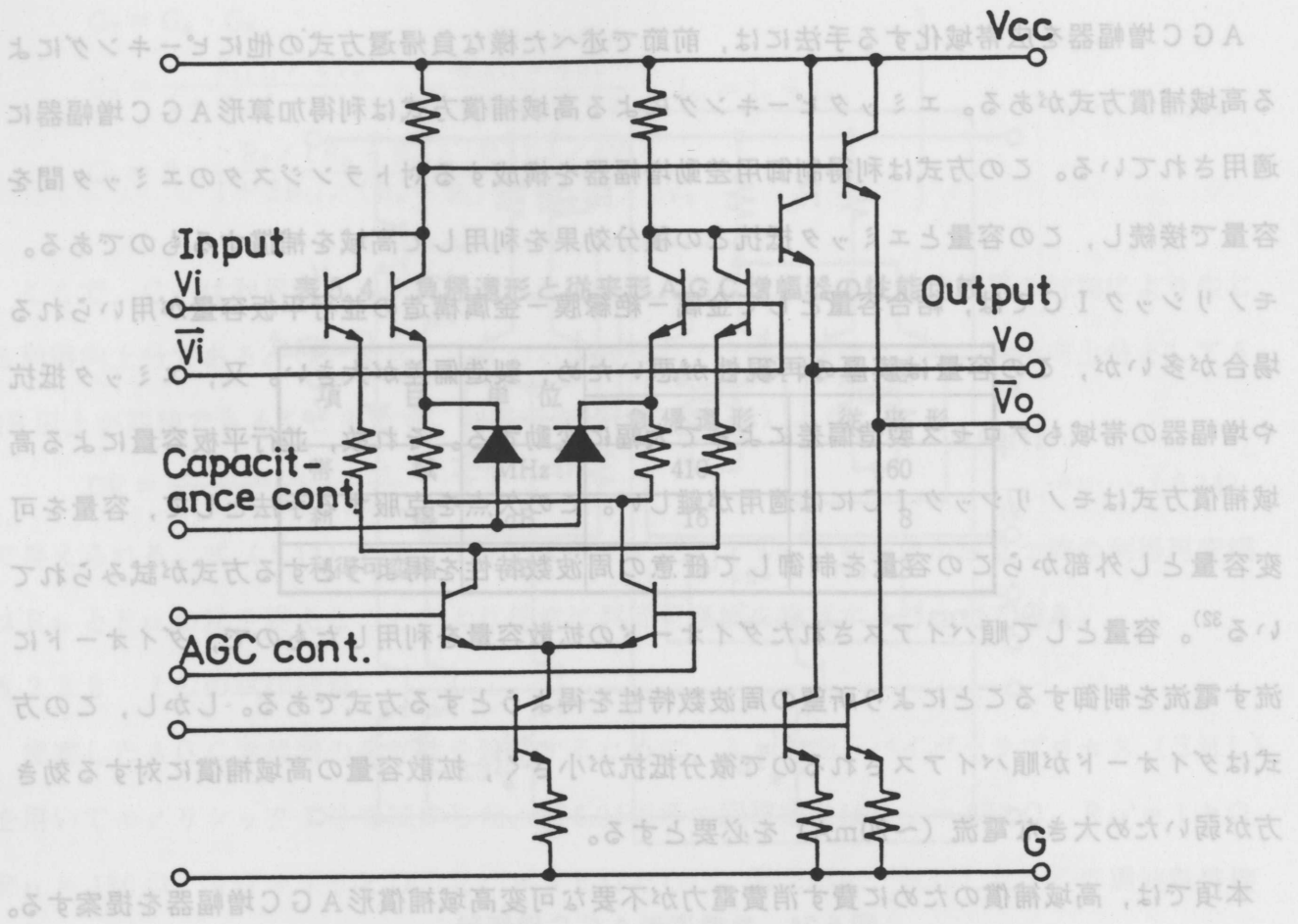
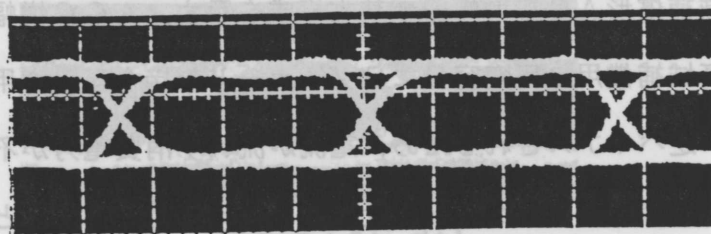
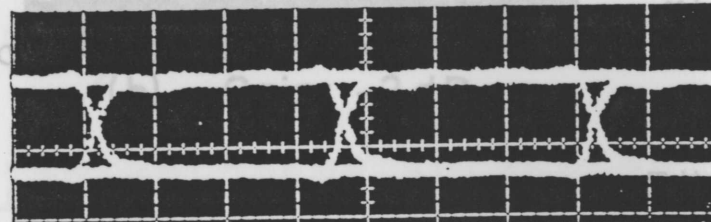


図 5.27 可変高域補償形 AGC 増幅器



(a)



(b)

図 5.28 試作 IC の 560 Mb/s パルス応答特性

擬似ランダムNRZ符号列に対する出力アイパターンを示す。同図(a)は高域補償が無い場合、(b)は高域補償をした場合の例である。同図から明らかなように、高域補償を施すことにより2倍以上の高速化が図られていることが分る。立上り／立下り時間は高域補償無しでは約0.45nsであるが、高域補償有りの場合には約0.2 nsが得られている。この時の帯域は1.8 GHzであり、高域補償をすることによって2倍以上の広帯域化が可能であることを確認した。

5.3.4.3 まとめ

ダイオードの接合容量を利用した可変高域補償形AGC増幅器を提案し、モノリシックICを試作してその有効性を実証した。試作したICの帯域は高域補償無しの場合には800 MHzであるが、補償することにより1.8 GHzとなり、2倍以上の広帯域化を実現できることが明らかとなった。この高域補償方式は容量値を外部より制御できるため、帯域の製造偏差を容易に吸収でき任意の周波数特性を実現できる。又、ダイオードは逆バイアスされるので電流が殆んど流れず、消費電力を殆んど0にできる利点がある。これらの特長から、提案した可変高域補償方式はGb/s帯伝送用のAGC増幅器を実現する上で重要な手法となろう。

5.4 AGC方式

光中継器の受信電力は中継区間長の長短や光ファイバ損失の温度・経年変動等によって大きく変化する。受信々号の“1”，“0”を安定に識別再生するには、この受信電力の変動を自動的に吸収する必要がある。このため、光中継器には光受信系の利得を制御するためのAGC回路が設けられている。受光器にpin-PDを用いる場合、受信電力の変動は増幅器のみで吸収する必要がある。この方式は、回路構成を簡単にできる利点をもつが、光ダイナミック範囲は受信増幅器の利得可変幅で制限されるため狭い。APDを受光器に用いたAGC方式では、APDと受信増幅器の両者によって受信電力の変動を吸収できる。この方式の光ダイナミック範囲は、増幅器の利得制御のみの場合に比べAPD増倍率の有効な可変範囲分（通常、10～15dB）大きくできる。

本節では、APDを用いた光受信系のAGC方式について考察する。最初に、APDを用いたAGC方式の基本となるFull-AGC方式の理論的検討を行い、AGC特性を定量的に明らかにする。次に、Full-AGC方式を基に光ダイナミック範囲を拡大するための手法について検討する。

5.4.1 Full-AGC方式の動作解析¹⁹⁾

受光器にAPDを用いた場合、受信SNRを最大、或いは、所要受信電力を最小とする最適

増倍率が存在する。通常、この最適増倍率は短波長帯で50～150、長波長帯で10～30と大きい
 ため、この近傍ではAPDのバイアス電圧や温度の変動によってその値が大幅に変化する。従
 って、増倍率を最適化した状態で受信性能の安定化を図るためには増倍率の安定化が必須であ
 る。その一手法としてAPDの増倍率制御のみで受信電力の変動を吸収するFull-AGC方式
 が用いられているが、AGC特性については定量的解析が不十分であり、AGC特性は明確に
 されていない。ここでは、このAGC特性を定量的に解析すると共に実験により検証する。

5.4.1.1 APDバイアス制御におけるAGC特性

図5.29に、Full-AGC方式のブロック図を示す。同図でMはAPDの増倍率、G、G_dは、
 夫々、信号及び帰還増幅器の利得である。又、v_iは光入力によって生じる電圧で、光入力を
 P、APDの負荷抵抗及び光電変換係数を、夫々、R_L、RとすればR_LR Pで与えられる。
 v_oは出力電圧である。ここで増倍率の開数形を

$$M^{-1} = 1 - \left(\frac{V - v_a}{V_B} \right)^n \quad \dots\dots\dots (5.16)$$

と仮定する。但し、VはAPDのバイアス電圧、v_aは制御電圧、V_Bは降服電圧、nは定数
 である。

図5.29の状態を表わす方程式は

$$\left. \begin{aligned} M &= M(v_a, V_B, V), V_B = V_B(T_e) \\ v_a &= v_a(v_o, v_r), v_o = v_o(M, v_i) \end{aligned} \right\} \quad \dots\dots\dots (5.17)$$

であるが、基準電圧v_rに温度特性をもたせた場合の増倍率変動は図5.28より、ループ利得及
 び増倍率が1より十分大きいとすると

$$\frac{\Delta M}{M} = - \frac{\Delta v_i}{v_i} - \frac{(G_d \frac{\partial v_r}{\partial T_e} - K)}{G_d v_o} \Delta T_e + \frac{\Delta V}{G_d v_o} \quad \dots\dots\dots (5.18)$$

となる。ここで、Kは降伏電圧の温度係数(V/°C)、T_eは絶対温度である。式(5.18)は増
 倍率の関数形が光入力に対してMv_i = 一定、即ち、光入力に反比例することを示しており、
 これは光入力変動をAPDのバイアス制御により吸収する本方式の本質を表わしている。温度
 や電源電圧に対する増倍率の変動は帰還増幅器の利得を大きくすることによって低減できるこ
 とが分る。尚、式(5.18)で基準電圧と降伏電圧の温度特性が等しくなるように∂v_r / ∂T_e
 を設定すれば、温度変化による増倍率変動を零にすることができる。

光入力とAPDバイアス電圧との関係は同様な手法により求められる。この関係は光受信電
 の最小値をP_{min}、その時の制御電圧をv_{ao}とすれば

$$V - v_a = V - v_{ao} \sqrt{1 + \frac{2G_d G V_B R R_L}{n v_{ao}^2} (P - P_{min})} \quad \dots\dots\dots (5.19)$$

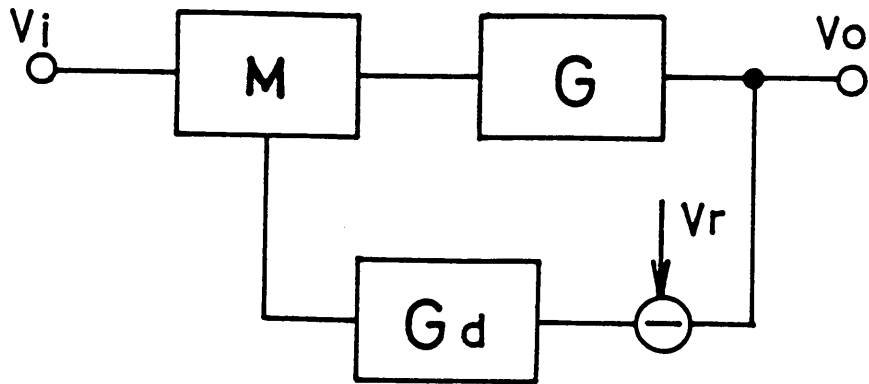


図 5.29 Full-AGC方式のブロック図

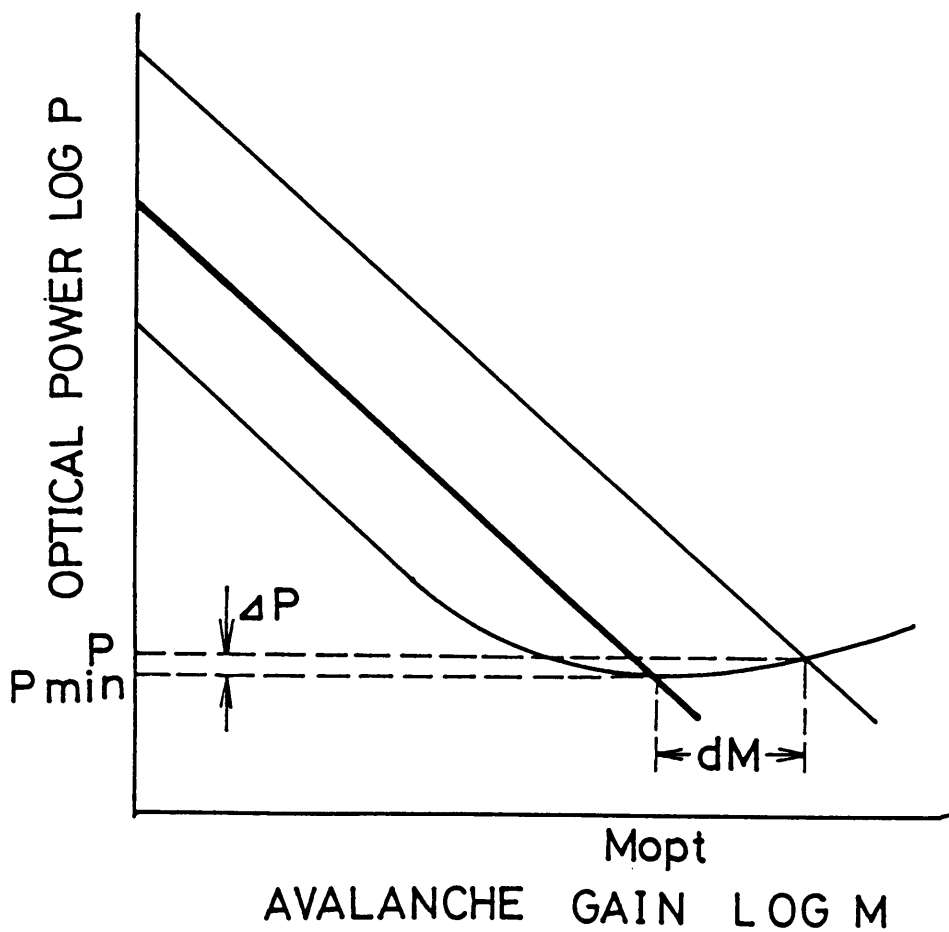


図 5.30 Full-AGC方式における光入力-増倍率特性

又、 $v_a \propto v_o$ であるから v_o も式 (5.19) と同形で示される。

ところで、APDを受光器とする光受信系ではSNR、或いは、符号誤り率が規定されるとそれを満たす光入力と増倍率との関係は式 (3.14) に示すように一義的に定まる。図 5.30はSNRをある値に規定した時の光入力と増倍率との関係を示したもので、曲線上部が規定のSNRを満たす領域である。図中の直線は本方式の制御関数を示したもので、光入力の最小値及び最適増倍率 M_{opt} で定義される点を通るように設定できる。しかし、実際の装置では素子定数の温度依存性や経年変化により設定条件が変動するのは避けられないため増倍率が変動し、SNRの劣化を生じる。それ故、規定のSNRを常に確保するには増倍率の変動に伴うSNR劣化分を補償する光入力の増加が必要となる。この光入力の増加分を Power Penalty ΔP と定義すれば、増倍率と Power Penaltyとの関係は式 (3.14) と $PM = \text{一定}$ なる条件より

$$\Delta P = 10 \log \left(\frac{P}{P_{min}} \right) = 10 \log \left(1 + \frac{\Delta M}{M_{opt}} \right) \cdot \left\{ 1 + (1+x) \frac{\Delta M}{M_{opt}} \right\}^{-\frac{1}{1+x}} \dots (5.20)$$

で表わされる。式 (5.20) は Power Penaltyが過剰雑音指数によって決まることを示す。図 5.31は Power Penalty と増倍率変動との関係を示したもので、増倍率の負変動に対する Power Penalty の変動が、正変動に対するそれよりも大きい急峻な増加傾向を示す。増倍率の負変動がある値を超えると Power Penalty は無限大となるが、これは $PM = \text{一定}$ 曲線が規定のSNRを満たす領域からはずれることを示す。これから、許容される増倍率の変動は $|\Delta M / M_{opt}| < \frac{1}{1+x}$ に制限される。

5.4.1.2 実験結果

解析結果の妥当性を検証するため受光器に短波長帯Si-APDを、又、伝送符号として100 Mb/s 2値AMI符号を用いて光伝送実験を行った。図 5.32は光入力に対するAPDバイアス電圧の変化を示したものである。実線で示した理論値は式 (5.19) より計算した値で、実験値とよく一致した結果が得られた。次に、Power Penalty と増倍率変動との関係を調べた。実験では光入力を符号誤り率 10^{-9} を満たす最小受信電力 (-45 dBm) より 0.2 dB 大きい状態に設定し、温度を $20 \pm 20^\circ\text{C}$ 、 V を $250 \pm 50\text{ V}$ の範囲で変化させた。これらの範囲では、符号誤り率は 10^{-9} 以下であった。この時の増倍率変動は25~30%であるが、使用したSi-APDの $x = 0.46$ と Power Penalty 0.2 dB を式 (5.20) に代入して計算した値にほぼ一致した。尚、実験で用いたSi-APDの K が $0.5\text{ V}/^\circ\text{C}$ であったため、基準電圧に $0.9\text{ mV}/^\circ\text{C}$ の温度係数をもたせた。この場合、温度補償がない時に比べ増倍率の変動を約2.3分の1に低減することができた。次に、光ダイナミック範囲を調べるために光入力を変えて符号誤り率を測定した。符号誤

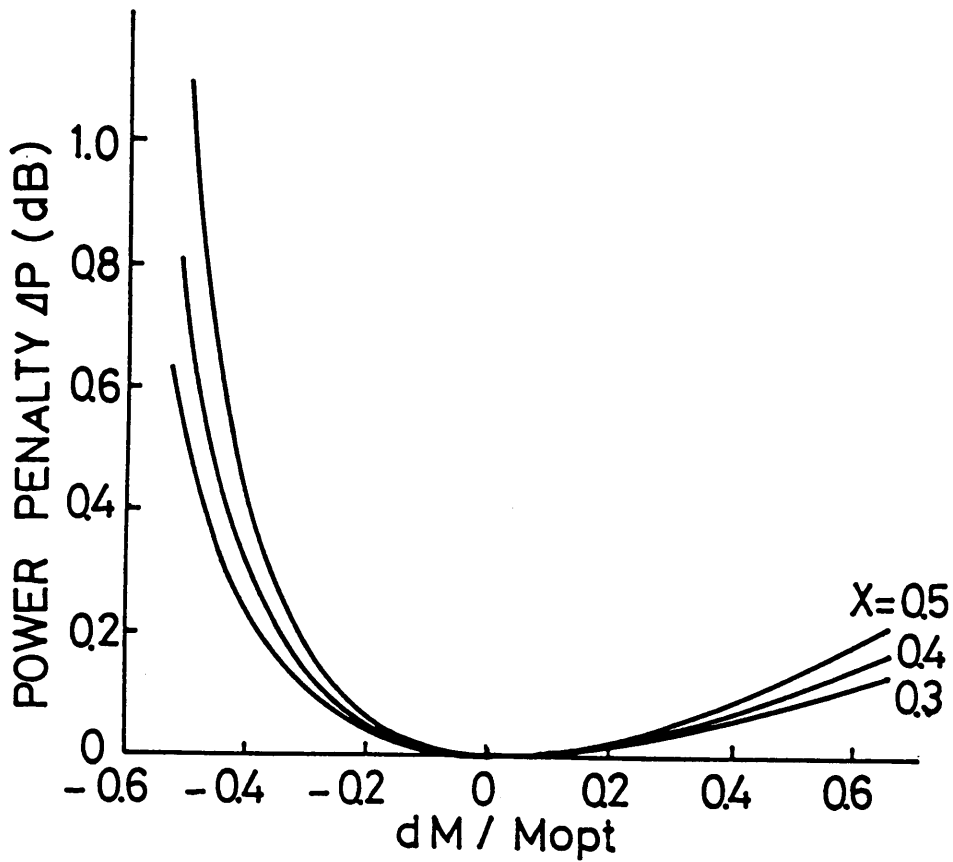


図 5.31 増倍率変動に対するパワーペナルティ

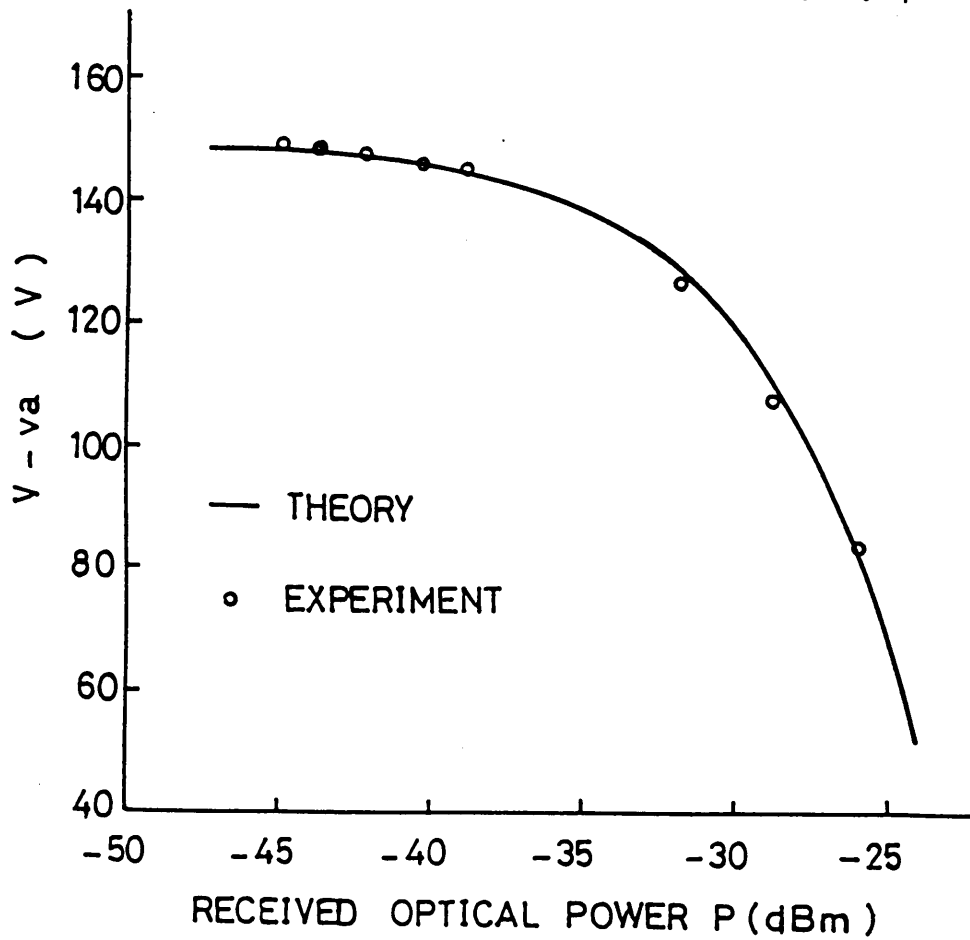


図 5.32 APD バイアス電圧-光受信電力特性。

$P_r = -44.8$ dBm (平均), $P_e < 10^{-9}$ 。

りは、熱雑音の他に波形歪による符号間干渉によっても生じる。光入力が増大すると増倍率は反比例して小さくなるが、増倍率が小さくなると帯域が急に狭くなるため大きな符号間干渉を生じる。このため、符号誤り率は急増する。実験では、符号誤り率が 10^{-9} を越える光入力は-26 dBmであった。これから、光ダイナミック範囲は19 dBであった。光ダイナミック範囲は増倍率の最大値（通常は最適値）と使用可能な最小値との比で決まる。使用したSi-APDの最適増倍率は200，最小増倍率は2～3であり，これから計算される光ダイナミック範囲と実験値はほぼ一致している。

5.4.1.3 まとめ

以上，APDを用いたAGC方式の基本となるFull-AGC方式におけるAGC特性について定量的解析を行い，その性質を明らかにした。又，実験により解析結果の妥当性を明らかにした。この結果，APD受信系の精確な設計基準を得ることができた。

5.4.2 Full-AGC方式の利得可変幅拡張法

Full-AGC方式はAPDを用いた最も基本的なAGC方式であるが，増倍率の有効な可変範囲によって光ダイナミック範囲が制限される。この方式の光ダイナミック範囲を拡大するには，APDと増幅器の利得制御を併用する方法が有効である。代表的な例としてはAPDとAGC増幅器の利得を連続的に順次制御する方式が用いられている⁵⁵⁾。本項では，APDと増幅器の利得制御を併用する新しい方式を提案する。

5.4.2.1 APD-AGC増幅器-前置増幅器3段利得制御方式¹¹⁾

この方式はAPD-増幅器の順次利得制御方式の拡張版であり，AGC増幅器に加えて前置増幅器の利得を制御するものである。利得制御手順及び有効性については，既に第3.5節で述べたので，ここでは割愛する。図5.33は，利得制御の状態をPM曲線上で表わしたものである。光入力小さい領域ではAPDの増倍率が制御されるので，増倍率は光入力レベルに応じて①の線に沿って変化する。そして，増倍率が最小値 M_{\min} となる光入力レベル P_1 で増幅器の利得が制御され始める。 P_1 以上の光入力レベルでは増倍率は M_{\min} に固定されるから，光入力と増倍率の関係は②③の線に沿って変化することになる。従って，光ダイナミック範囲は図で示す $(P_{APD} + P_{AGC} + P_{Pre})$ で与えられる。受光器に長波長APDを用いた実験結果では，従来より1桁以上広い33 dBの光ダイナミック範囲を実現している（第3.5節参照）。

5.4.2.2 APD-増幅器利得切替方式⁵⁶⁾

この方式はFull-AGC方式において増幅器の利得をデジタル的に切替えて光入力レベルの変動を吸収する方式である。光入力レベルの動的な変動はAPDの増倍率制御によって吸収

する。光入力レベルが増加し、増倍率が最小になった時点で増幅器の利得が切替えられる。この模様を図5.33で示すと、①から④に制御曲線が移行することになる。この方式の光ダイナミック範囲は、APD増幅器の順次利得制御方式の場合と同じものが得られる。Si-APDとAGC増幅器を用いた実験では、APDで26 dB、AGC増幅器で14 dB、計40 dBの光ダイナミック範囲が得られた。この方式は第2.2節で述べた2値AMI符号用いた100 Mb/s光中継器に適用されており十分、実用に耐え得ることを確認している。

5.5 結 言

本章ではシステムの高速度・大容量化及び長距離化に対応するため、光受信器の広帯域・低雑音及び光ダイナミック範囲の拡大を目的に、主として、モノリシックIC化に適した受信回路の方式検討を行った。その結果、前置増幅器として2種類、AGC増幅器として3種類の回路方式を考案し、Si-バイポーラプロセスによるIC試作によってその有効性を実証した。又、試作ICを用いた光伝送実験により新回路方式が1 Gb/s以上の伝送を可能とする光受信器の実現に有効であることを示した。

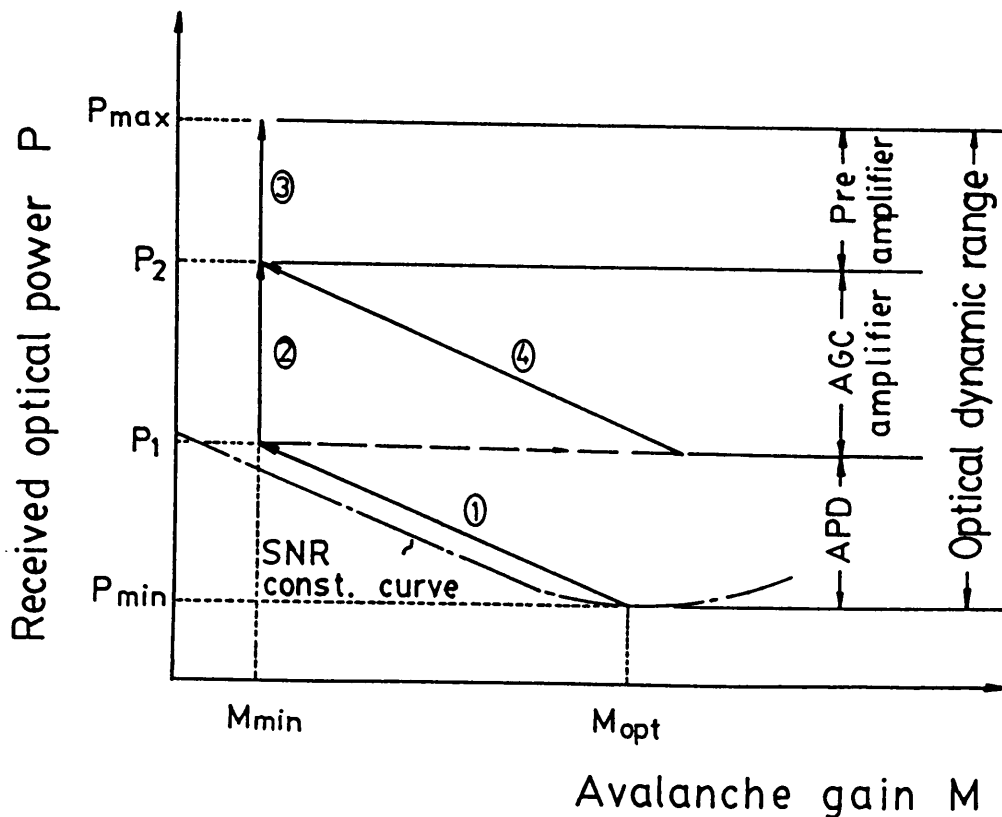


図 5.33 光ダイナミック範囲拡張方式におけるAGC動作原理

第 5.2 節では、最初に広帯域・低雑音化の観点よりコモン・コレクタ入力形前置増幅器を提案した。この回路は、ミラー容量の低減と入力インピーダンスを高くして広帯域・低雑音特性を実現するために、入力段をコモン・コレクタ接地形にしたことが特長である。IC 試作により、新回路方式がコモン・エミッタ形に比べ帯域、雑音共 1.5～2 倍の性能向上を期待できることを示した。次に、長距離化の観点より光ダイナミック範囲を可能とするインピーダンス可変形前置増幅器を提案した。この回路の特長は、2 つの増幅器の利得を制御してトランスインピーダンスを可変にすると共に、このインピーダンスが変化しても安定な動作を常に維持するために増幅器の出力を加算したことにある。試作 IC では 42 dB（光換算で 21 dB）のインピーダンス可変幅が得られており、新方式が光中継器の B O N フリー化に有効であることを明らかにした。

第 5.3 節では、最初に利得可変幅の拡大の観点より多段 DC 直結が可能な出力動作点安定化 A G C 増幅器を提案した。この回路は、従来の電流分配形 A G C 増幅器における直流動作点の変動を 2 個の電流調整用トランジスタを付加することにより抑圧していることが特長で、大きな利得可変幅を得ることができる。試作 IC の利得可変幅は 44 dB であり従来方式より 10 dB 以上の可変幅の拡大ができることを示した。次に、広帯域・高利得化の観点より、負帰還形 A G C 増幅器を提案した。この方式の特長は、基本利得可変増幅器に負帰還用の差動増幅器を縦続接続することにより広帯域・高利得特性を同時に実現できることにある。IC 試作では、この方式により従来の 2.5 倍以上の帯域及び利得が得られることを明らかにした。最後に、広帯域化の観点より可変高域補償形 A G C 増幅器を提案した。この方式はエミッタピーキング効果を利用した高域補償法を採用したものであるが、高域補償用の容量としてトランジスタの接合容量（逆バイアス状態）を利用し外部から周波数特性の適正な補正を可能としたことに特長がある。IC 試作では、帯域 1 GHz を 1.8 GHz まで改善できることを示し、この方式が Gb/s 伝送用 A G C 増幅器を実現する上で有効であることを明らかにした。以上、A G C 増幅器に関し 3 種類の回路方式を独立に提案したが、これらの方式を組合せることにより更に高性能な A G C 増幅器を実現できる可能性が大きい。これについては、今後、更に検討を要する。

第 5.4 節では、A P D 受信器における基本的な方式である Full-A G C 方式を取上げ、その動作解析を行うことにより A G C 特性を明らかにすると共に設計の基礎を確立した。又、光ダイナミック範囲を拡大する観点より A P D-A G C 増幅器-前置増幅器の 3 段利得制御方式と Full-A G C 方式における増幅器のデジタル利得制御方式を提案し、その動作原理を示した。又、実験により 30 dB 以上の光ダイナミック範囲の実現に有効であることを示した。

第6章 識別再生回路

6.1 緒言

伝送路を介して受信された光信号は、受信器で増幅されると同時に受信SNRを最大にするために符号間干渉や雑音妨害が最小になるような波形に等化される。しかし、多中継伝送時にはこれら符号間干渉や雑音は中継器毎に累積し符号誤りを増大させる要因となるので、これを避けるには中継器毎のパルス再生が必須となる。このパルス再生に必要な回路が、識別再生回路である。識別再生回路は、受信々号の“1”、“0”を判別しパルス再生する識別器と同じ受信々号からタイミング情報を抽出してクロック信号を復元するタイミング抽出回路から成り、クロック信号によって再生パルスの時間軸歪の補正を行う。識別再生回路の性能は識別感度（不確定幅）と抽出クロックのジッタ量によって評価され、これらの値は小さい程よい。

識別機能は図6.1に示す入出力特性をもった回路で実現できる。(a)は非線形高利得増幅器、例えば、振幅制限機能をもつ差動増幅器により得られる特性であるが、再生が不完全であり雑音抑圧の点で(b)に示す完全再生に劣る。しかし、(a)の特性は簡易な回路で実現できるため、2R中継器に多く用いられている⁵⁷⁾。(b)は理想的な識別特性を示すが、通常、このようなステップ特性はシュミットトリガ回路やフリップフロップなど正帰還を持つ回路によって得られ、一般に、(c)の如き正帰還量に応じた静的ヒステリシス特性をもつのが普通である。ヒステリシスはその領域内における信号のレベル判定を不確かなものにするため符号誤り率の増加、即ち、識別感度の劣化をもたらす⁵⁸⁾。それ故、静的ヒステリシスによる識別感度の劣化を防ぐために、リセットパルスを用いて前ビットの情報をクリアし、セット側の閾値のみを識別点に用いることが望ましい。

受信々号に含まれるタイミング成分は符号方式によって異なり、RZやCMI符号はシステムクロック周波数 f_c に輝線スペクトルをもつが、NRZやDMI符号はそのままではタイミング成分（輝線スペクトル）をもたない。従って、これらの符号については全波整流などの非線形操作が必要となる。 f_c 成分を抽出する最も簡単な回路は共振回路である。SAW濾波器は小形・軽量で信頼度が高く、中継器の小形・高信頼化に最も適している。又、LC共振回路より1桁以上の高い選択度が得られるため、ジッタの低減に有効であり、広く使用されている¹⁰⁾。タイミング抽出回路の別形式としては、位相同期発振器形タイミング抽出回路がある。この回路は、電圧制御発振器の出力信号と受信々号との位相差を検波し、その検波出力を電圧制御発

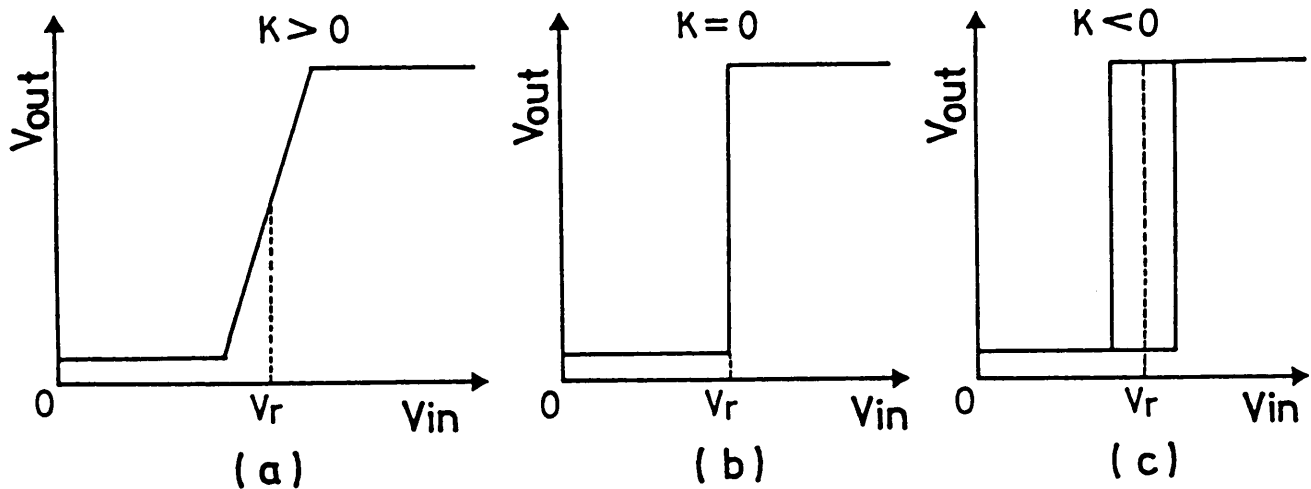


図 6.1 双安定回路の動作モード。

ループ利得(a) < 1, (b) = 1, (c) > 1。

振器に負帰還制御するものである。発振周波数は入力周波数に位相同期し、ループ利得の調整により 10^6 程度の実効選択度が得られるので、ジッタ抑圧効果が大きい。しかし、多中継伝送時のタイミング抽出特性の把握が難しく、又、IC化も困難なため用いられている例は少ない⁵⁹⁾。今後の課題である。

本章では完全再生形識別再生回路方式を取上げ、そのモノリシック IC化の検討を行った。タイミング抽出には SAW 濾波器を用い、 f 。成分の抽出には NRZ 符号を考慮し非線形抽出回路を用いた。第 6.2 節では、シュミットトリガ回路の識別器に対する適用の可否を検討する。第 6.3 節では、デュオバイナリ符号用の 3 値識別再生回路を検討し、識別器とタイミング抽出回路の 1 チップ IC化の feasibility を明らかにする。

6.2 シュミットトリガ回路を用いた 2 値識別再生回路²⁰⁾

シュミットトリガ回路は正帰還量の調整により容易に図 6.1 (b) に示すステップ特性を実現できる。このため、同軸や光通信用の識別器などに応用されている^{60~62)}。これらの例ではハイブリッド IC の形態で適用されているが、高速、高信頼、小形、低消費電力化などの点からモノリシック IC化が必須である。シュミットトリガ回路を識別器へ適用する場合の最も重要な課題は、ヒステリシス制御である。ヒステリシスのない理想的な識別器を実現するには、ループ利得を 1 に設定する必要がある。ループ利得が 1 以下では、応答速度が悪くなる。又、ループ

プ利得が1以上の時に生じる広いヒステリシスは識別感度を劣化させる因となる。従って、モノリシックIC化に際しては正確なループ利得の設定が鍵となる。

本節では、最初にシュミットトリガ回路を適用した新しい識別器の基本回路を提示し、回路の動作解析により最適条件を求める。次に、識別器と基本回路の応用としてのクロック信号矩形化回路の設計及び試作結果について考察する。

6.2.1 回路構成と動作解析

再生中継用の識別器には、高速で正確な信号再生を行うため高い識別感度と高速動作が要求される。これらの要求を満たすには、シュミットトリガ回路のヒステリシス特性を把握する必要がある、動作解析が不可欠となる。図6.2に、基本回路の構成を示す。この回路は抵抗 R_2 を共用するシュミットトリガ回路と差動増幅器を図の如く配置したことが特長である。差動増幅器はヒステリシスを等価的に低減して高感度化を図ると共に任意に識別レベルを調整できるように相補入力とするために用いられた。これは、シュミットトリガ回路が単一入力回路であり、そのままでは識別レベル調整が難しく識別器への適用が困難であることによる。

図6.2において、入力信号 V_i は識別レベルを与える基準電圧 V_r と比較される。この時、入力電圧と基準電圧との差は差動増幅器によって増幅され、トランジスタ Q_3 と Q_4 のベースに供給される。正帰還動作はこの増幅された電圧によってトリガされ、 $Q_4 \rightarrow R_{L1} \rightarrow Q_5 \rightarrow R_2 \rightarrow Q_3 \rightarrow Q_4$ のループを介して行われる。 Q_4 のコレクタ電流が変動すると R_{L1} の電圧降下が変化し、これが Q_5 と R_2 を介して Q_3 に帰還される。この帰還動作を繰返すことによって、シュミットトリガ回路の最終状態が決定される。入力電圧が基準電圧より高い時には、相補出力 V_o 及び \bar{V}_o は、夫々、“1”、“0”の状態をとる。逆の場合には、 V_o 、 \bar{V}_o の状態は反転する。

基本回路の利得は、近似的に次の式で与えられる。

$$G = A_a A_s / K \quad \dots\dots\dots (6.1)$$

$$A_a = \frac{R_L I_a}{4V_T(1 + r_{bb'} I_a / 2h_{FE} V_T)} \quad \dots\dots\dots (6.2)$$

$$A_s = \frac{R_L I_s}{4V_T(1 + r_{bb'} I_s / 2h_{FE} V_T)} \quad \dots\dots\dots (6.3)$$

$$K = \frac{I_s}{4V_T(1 + r_{bb'} I_s / 2h_{FE} V_T)} \times \left(\frac{2R_L}{h_{FE}} - R_{L1} \right) + 1 \quad \dots\dots\dots (6.4)$$

ここで、 A_a 、 A_s 及び I_a 、 I_s は、夫々、差動増幅器とシュミットトリガ回路の開ループ利得及び供給電流、 K は回路の動作状態を表わす係数、 $r_{bb'}$ 、 h_{FE} はトランジスタのベース抵抗及び電流増幅率、 V_T は物理定数で、 $300^\circ K$ で $25mV$ である。図6.1に示す3つの動作モ

ードは、夫々、 $K > 0$ 、 $K = 0$ 、 $K < 0$ に相当する。 K の値、即ち、所望の動作モードは R_{L1} を適当に選ぶことによって得られる。式(6.4)から、 $K = 0$ を満たす R_{L1} は

$$R_{L10} = 2 \cdot (R_2 + r_{bb'}) / h_{FE} + 4V_T / I_s \quad \dots\dots\dots (6.5)$$

で与えられる。従って、動作モードと R_{L1} との関係は次のようになる。

$$R_L > R_{L10} \quad \rightarrow \quad K > 0, \text{ 図 6.1(a)}$$

$$R_L = R_{L10} \quad \rightarrow \quad K = 0, \text{ 図 6.1(b)}$$

$$R_L < R_{L10} \quad \rightarrow \quad K < 0, \text{ 図 6.1(c)}$$

尚、式(6.5)は電流 I_s を制御することによって等価的に R_{L1} の値を調整できることを示す。これは、モノリシックICにおいても所望の動作モードを外部より選択できることを意味する。

6.2.2 回路設計

前節で述べた基本回路はモノリシックIC化を考慮して構成したもので、簡単な回路修正によって識別器及び矩形化回路へ適用できる。本項では、400 Mb/s 伝送用識別器と矩形化回路のモノリシックIC設計について述べる。設計には、回路定数の最適化と性能予測をするために計算機シミュレーションとブレッドボード実験を併用した。プロセスとしては表3.2に示す2 μ m Si-バイポーラプロセスを用いた。

6.2.2.1 設計目標

図6.3に、識別再生回路の機能ブロック図を示す。この回路は、識別器、矩形化回路及び出力バッファ回路とから成る。出力バッファ回路は、識別器の波形劣化を改善するために用いている。この回路は矩形化回路と一緒に同じチップ上にモノリシックIC化されており、エミッタ結合形電流切替回路を基に構成されている⁶³⁾。ICの立上り/立下り時間は振幅1 V_{p-p}、立上り/立下り時間1 nsの入力信号に対し、振幅2 V_{p-p}の時0.5～0.6 nsである。

表6.1に、主な設計目標を示す。これらの目標は、400 Mb/s 伝送への適用を考慮し決定したものである。識別感度の評価基準として、出力ジッタを300 psとした。又、出力ジッタ、立上り/立下り時間は振幅1.5 V_{p-p}、ジッタ300 psの入力信号に対して評価された。識別感度及び出力ジッタは400 Mb/sにおいて、夫々、30mV、100 psを目標とした。

尚、ここではシュミットトリガ回路の識別器応用を主目的としているので、タイミング抽出回路については言及しない。識別器の評価には、外部クロック信号を用いた。

6.2.2.2 設 計

(i) 識別器

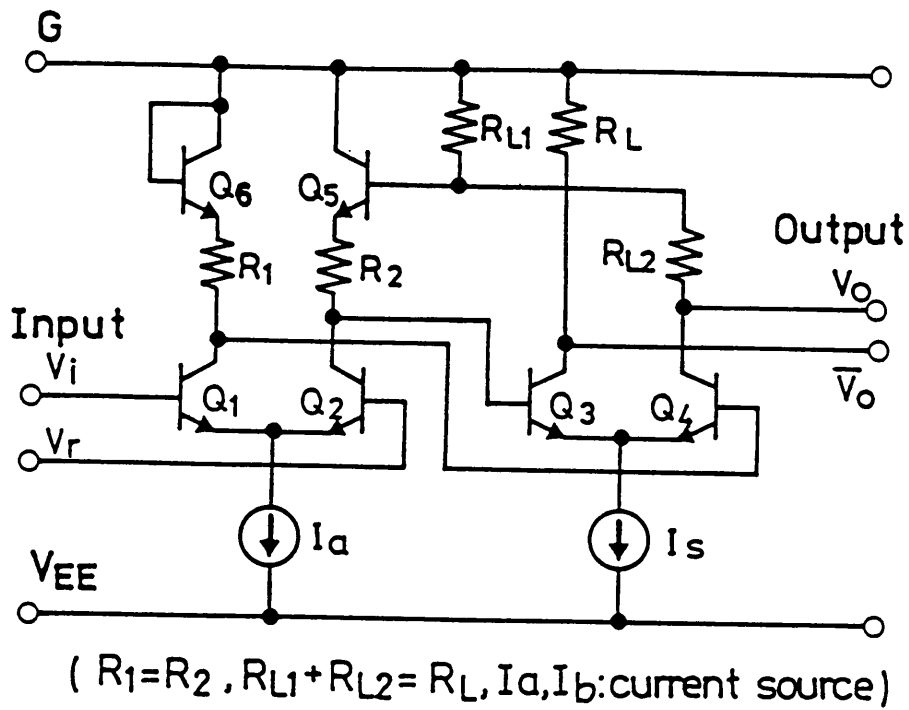


図 6.2 シュミットリガ回路を適用した閾電圧検出回路の基本構成

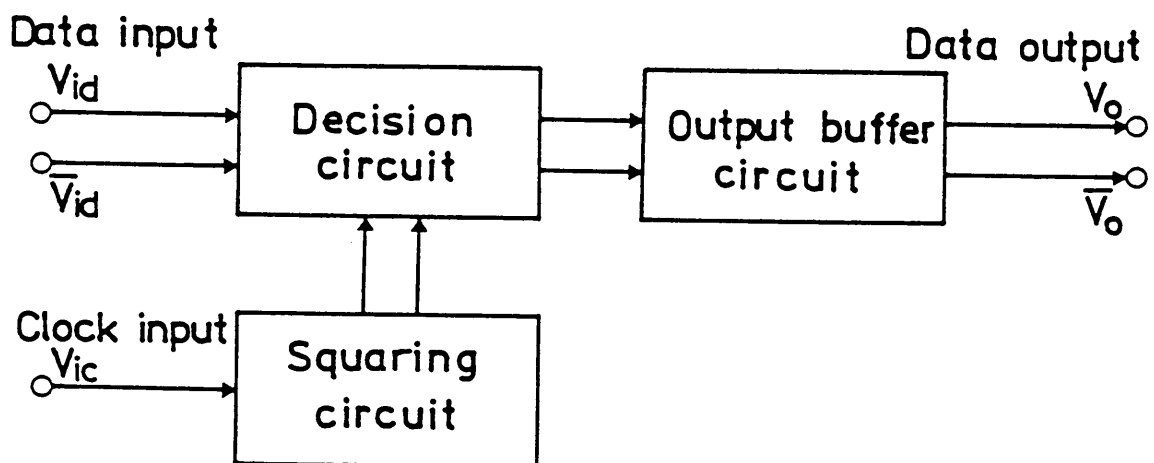


図 6.3 識別再生回路識別部の構成

識別器では、入力信号の標本化、レベル判定及び再生データの保持などの一連の動作が行われる。図 6.4 に、モノリシック IC 化した識別器の回路構成を示す。信号の標本化は、クロック信号によって差動増幅器に供給される電流 I_a を切替えることによって行うことができる。この時の電流の切替えには、トランジスタ Q_{c1} と Q_{c2} が用いられる。レベル判別は、クロック信号の入力時における Q_3 と Q_4 のベース間の信号レベル差によって行われ、シュミットトリガ回路によってデータが保持される。図 6.4 において、 I_{b1} 、 I_{b2} はクロック信号がオフ状態、即ち、差動増幅器が休止期間中、 Q_3 をオン状態に保つためのバイアス電流である。しかし、これらの電流は R_{L1} の値を等価的に減じる方向に働くので、シュミットトリガ回路のステップ特性が実現できなくなる。それ故、この R_{L1} は零ヒステリシスを保つために次の式で置き換える必要がある。

$$R_{L1} = R_{L10} + R_2 \cdot (I_{b1} - I_{b2}) / I_s \quad \dots\dots\dots (6.6.)$$

ここで、 R_{L10} は式 (6.5) で与えられる。前述したように、識別感度は帰還抵抗 R_{L1} の値によって支配される。一般に、双安定回路の立上り／立下り時間は帰還利得の増加と共に速くなる。逆に、帰還利得が高すぎるとヒステリシスが大きくなり、識別感度の大幅な劣化を招く。これから、高感度で高速の識別器を実現するには、 R_{L1} の値選定が鍵となる。図 6.5 に、入力信号振幅を 30 mV 一定とし、 R_{L1} を 20 Ω から 40 Ω まで変えた時の出力信号波形（計算値）を示す。同図から、 $R_{L1} = 30 \Omega$ が最良の識別特性を示していることが分る。この値は、式 (6.6) から計算される理論値とよく一致しており、零ヒステリシス（ループ利得が 1）が最適な識別条件となることを裏付けている。以上のシミュレーション結果から識別感度 30 mV を達成するために $R_{L1} = 30 \Omega$ 、 $I_s = 10 \text{ mA}$ 、 $(I_{b1} - I_{b2}) = 1.6 \text{ mA}$ に設定した。

識別器の出力ジッタはその振幅一位相変換効果とクロックジッタによって生じる。クロックジッタによる出力ジッタは外部クロックの場合には無視できる。振幅一位相変換効果はトランジスタのベース・コレクタ間やコレクタ・基板間接合容量の電圧依存性によって生じ、入力信号のレベルに応じて出力信号とクロック信号間の遅延時間に変動を与える。この遅延時間の変動は入力信号のレベル差が大きい程大きく、レベルが時間的に変動すると動的なジッタとなって現われる。図 6.6 に、3つの入力信号レベルに対する出力信号波形を示す。図から分るように、遅延時間の変動は 30 mV_{p-p} から 1.5 V_{p-p} までの入力信号レベル変動に対し約 0.7 ns である。この結果は、最悪条件において 250 ps の出力ジッタ (r.m.s) が生じることを示す。

(ii) 矩形化回路

矩形化回路は共振器にて選択された正弦波状のクロック信号をパルス状に波形整形するため

に、高速応答特性をもつことが要求される。これは、識別感度や出力ジッタがクロック信号の立上り／立下り時間によって決まるからである。波形整形が可能な入力信号振幅は小さい程、パルス整形する能力は高くなる。図 6.7 に、モノリシック IC 化した矩形化回路を示す。この回路は、識別器の設計を基に構成された。矩形化回路の場合には、クロック信号によって差動増幅器を制御する必要がないので、識別器より大幅に回路が簡略化されている。ここで、スイッチング応答を高速化するためにスピードアップ用容量 C_p が新たに導入された。モノリシック IC 化では、この容量を 2 つのエミッタ（幅 $2\ \mu\text{m}$ 、長さ $25\ \mu\text{m}$ ）をもつ電流供給用トランジスタ Q_s のコレクタ・基板間接合容量を利用して実現した。回路定数は、基本的には識別器と同じものを用いた。出力信号振幅及び立上り／立下り時間は、夫々、 $1.5\ \text{V}_{\text{p-p}}$ 、 $0.5\ \text{ns}/0.5\ \text{ns}$ を目標にした。図 6.8 は、ブレッドボード実験で得られたスピードアップ容量 C_p に対する出力波形の改善効果を示したものである。波形は C_p の増加と共に改善される。しかし、 C_p が $8\ \text{pF}$ 以上になると“0”レベルに“hump”が生じる。これらの結果から、 $C_p = 3\ \text{pF}$ が選ばれた。この時の立上り／立下り時間の予測値は $0.4\ \text{ns}$ 以下であった。

6.2.3 試作結果

図 6.9(a)及び(b)に、 $2\ \mu\text{m}$ Si-バイポーラプロセスを用いて試作した識別器及び矩形化回路のチップ写真を示す。チップ寸法は、両者共 $1.45 \times 1.45\ \text{mm}^2$ である。これらのチップは、 $10 \times 16\ \text{mm}^2$ の 16 ピンセラミックフラットパッケージに収納され、伝送速度が $100 - 400\ \text{Mb/s}$ 、電源電圧 $-7\ \text{V} \pm 5\%$ 、温度 $-10 \sim 40^\circ\text{C}$ の範囲で評価された。試作 IC の消費電力は識別器で $430\ \text{mW}$ 、矩形化回路で $300\ \text{mW}$ であった。図 6.9(b) に示すチップの右半分が矩形化回路、左半分が出力バッファ回路（図 6.3 参照）である。

6.2.3.1 静特性

識別器の設計では、識別感度のみならず入力オフセットも重要である。何故ならば、両者は受信 SNR を劣化させるからである。前者は、レベル判別過程において不確定領域を持たむことになる。後者は、識別レベル変動を惹起する。図 6.10 に、試作 IC の直流伝達特性の測定結果を示す。この時、クロック信号のレベルは“high”に固定された。同図は $3\ \text{mV}$ の静的ヒステリシス h 及び $8\ \text{mV}$ の入力オフセット ΔV があることを示している。これらの値によって生じる SNR の劣化は $0.1\ \text{dB}$ 以下であり、無視できる。

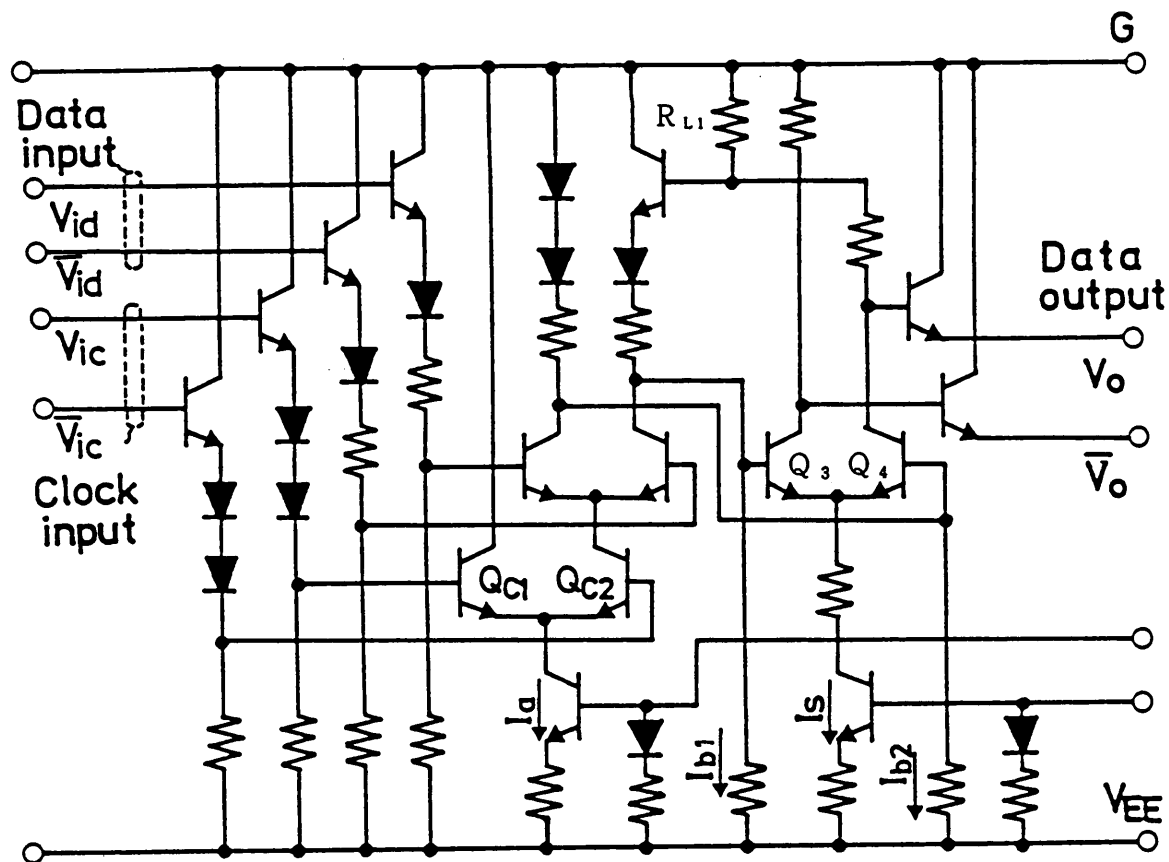


図 6.4 シュミットトリガ回路を適用した 400 Mb/s 識別器

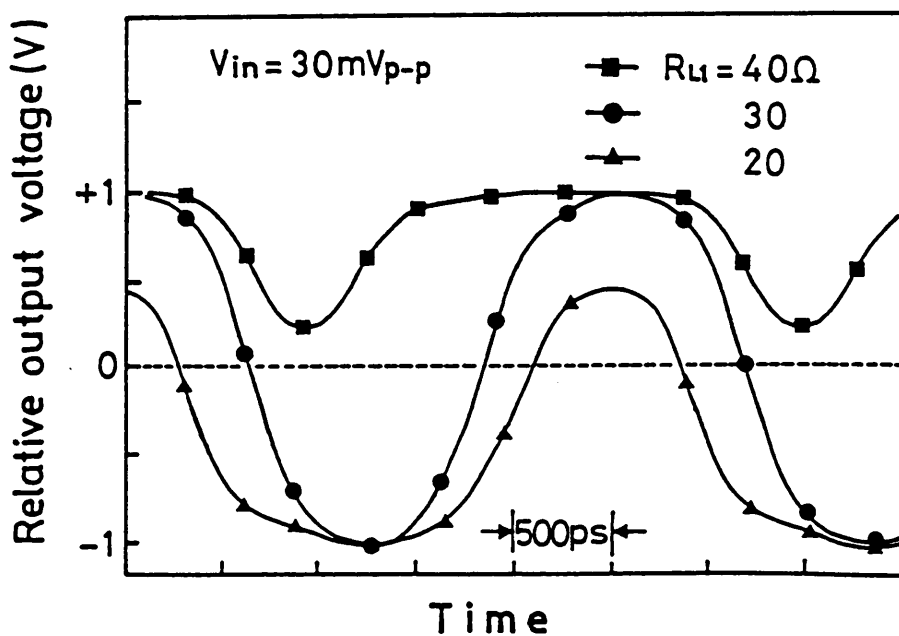


図 6.5 出力信号波形の帰還抵抗依存性。入力信号 30 mV_{p-p} を識別するための最適な帰還抵抗 R_{L1} は $30\ \Omega$ 。

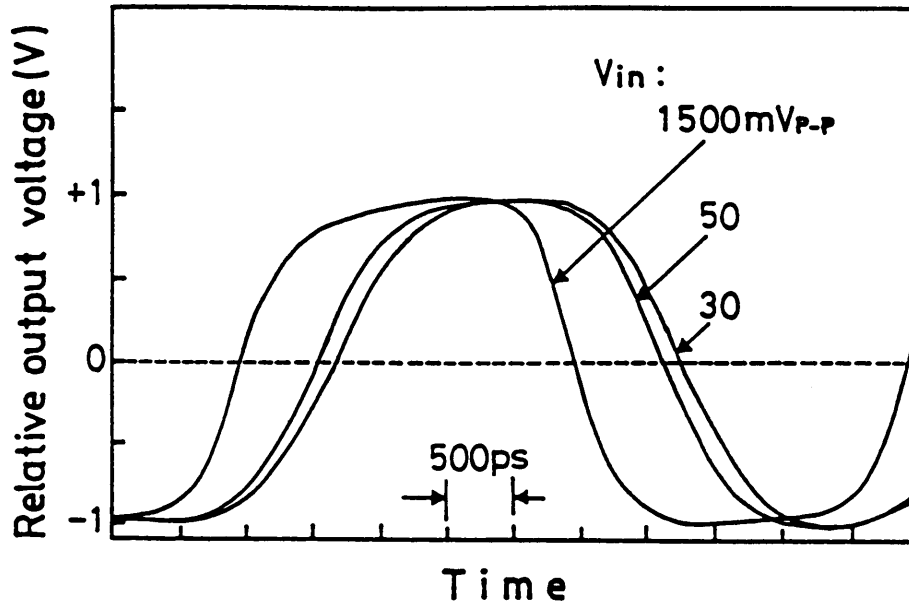


図 6.6 遅延時間の入力信号振幅依存性。入力信号の減少に伴い遅延時間の急増が見られる。

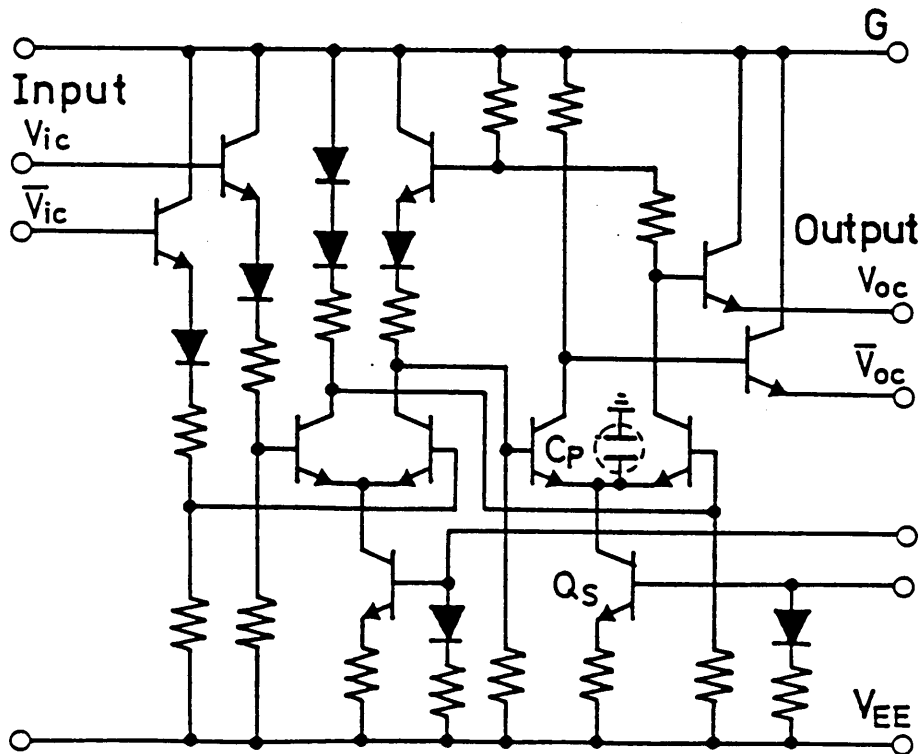


図 6.7 クロック信号矩形化回路

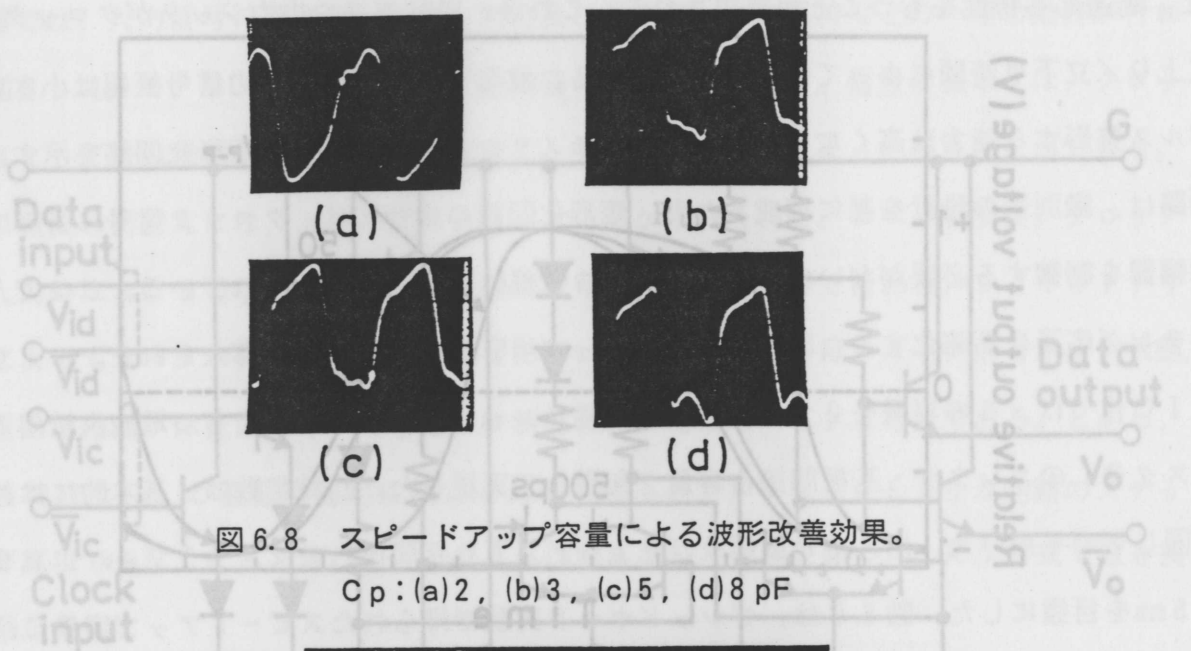
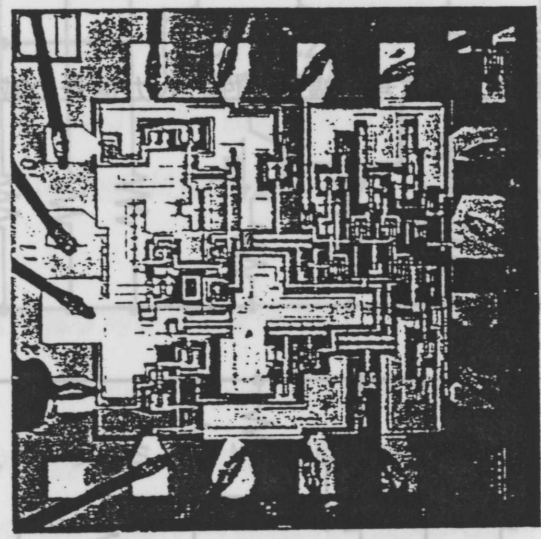
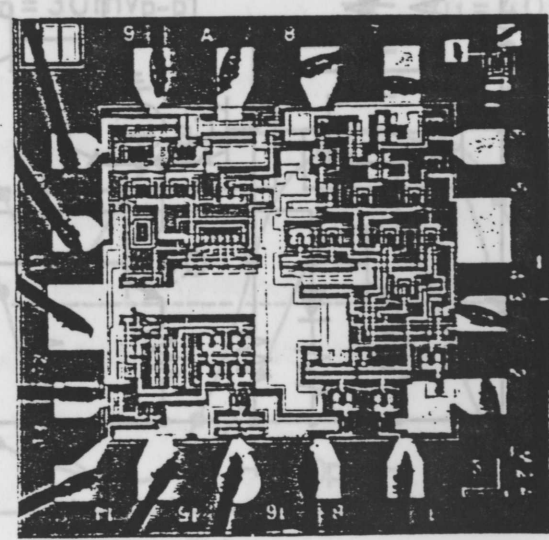


図 6.8 スピードアップ容量による波形改善効果。
 C_p : (a) 2, (b) 3, (c) 5, (d) 8 pF



(a)



(b)

図 6.5 出力信号波形の帯域広帯域依存性。入力信号 30 mV_{rms} を識別するため

図 6.9 試作 IC のチップ外観。(a) 識別器, (b) クロック信号矩形化回路。

6.2.3.2 動特性

〔測定系〕試作 IC を使って構成した識別再生回路の動特性の測定系を図 6.11 に示す。DC 増幅器はパターン発生器から供給される単一の信号を識別器に供給するための相補信号 V_i , $V_{\bar{i}}$ に変換する働きをする。この時、両者の信号振幅は識別感度を評価するために 2 つの可変抵抗減衰器にて調整している。クロック信号はクロックと入力信号間の位相を調整するために遅延線を介して矩形化回路に供給される。出力ジッタ及び立上り／立下り時間はサンプリングオシロで観測された。図 6.12 に 400 Mb/s の $2^{15} - 1$ ビット長擬似ランダム符号に対する入出力波形を示す。入力信号の振幅とジッタは、夫々、 1.5 V_{p-p} , 300 ps であった。図 6.13 に、矩形化回路のパルス整形能力を示す。この時の入力信号振幅は 1 V_{p-p} , 周波数は 400 MHz であり、立上り／立下り時間は $0.4 \text{ ns} / 0.3 \text{ ns}$ であった。又、この立上り／立下り時間は入力信号振幅が $0.9 - 1.5 \text{ V}_{p-p}$ の範囲で殆んど変わらなかった。

〔識別感度／出力ジッタ〕図 6.14 に、クロック周波数 400 MHz における出力ジッタの入力信号振幅に対する依存性を示す。ここで、識別感度は出力ジッタ 300 ps 及び符号誤り率 10^{-9} を満たす最小の入力信号振幅として定義した。図から分るように、出力ジッタは入力信号振幅が小さくなると増加する。入力信号振幅 1.5 V_{p-p} , 電源電圧 -7 V なる標準状態における出力ジッタは 70 ps であった。又、入力信号振幅 30 mV_{p-p} , 電源電圧 $-7 \text{ V} \pm 5\%$ において、270 ps の出力ジッタが得られた。図 6.15 に、出力ジッタの温度依存性を示す。入力信号振幅が 75 mV 以上では出力ジッタの増加は殆んど見られないが、30 mV では温度が 40°C 以上において急激に増加する傾向を示した。この増加は識別レベルの温度依存性が原因である。図 6.16 は、ジッタのマーク率依存性を示したものである。1/8 から 7/8 のマーク率変動に対し、出力ジッタの変化は $\pm 20 \text{ ps}$ 以下であった。以上の結果から、電源電圧 $-7 \text{ V} \pm 5\%$, 温度 $0 \sim 40^\circ\text{C}$ において 30 mV の識別感度を得られることが分った。

〔立上り／立下り時間〕図 6.12 から分るように、出力信号の立上り／立下り時間は $0.5 \text{ ns} / 0.5 \text{ ns}$ であった。又、入力信号振幅 $30 \text{ mV}_{p-p} - 1.5 \text{ V}_{p-p}$, 電源電圧 $-7 \text{ V} \pm 5\%$, 温度 $0 - 40^\circ\text{C}$ に対する立上り／立下り時間の変動は $\pm 0.1 \text{ ns}$ 以下であった。

6.2.3.3 まとめ

以上の結果を表 6.1 にまとめて示す。試作した識別器及び矩形化回路 IC が目標性能を満たし、400 Mb/s 伝送に適用し得ることが分った。これから、シュミットトリガ回路が 400 Mb/s 以上の高速伝送用の識別器として十分適用できることが明らかになった。

6.2.3.2 動特性

〔測定系〕試作 IC を使って構成した識別再生回路の動特性の測定系を図 6.11 に示す。DC 増幅器はパターン発生器から供給される単一の信号を識別器に供給するための相補信号 V_i , $V_{\bar{i}}$ に変換する働きをする。この時、両者の信号振幅は識別感度を評価するために 2 つの可変抵抗減衰器にて調整している。クロック信号はクロックと入力信号間の位相を調整するために遅延線を介して矩形化回路に供給される。出力ジッタ及び立上り／立下り時間はサンプリングオシロで観測された。図 6.12 に 400 Mb/s の $2^{15} - 1$ ビット長擬似ランダム符号に対する入出力波形を示す。入力信号の振幅とジッタは、夫々、 $1.5 V_{p-p}$, 300 ps であった。図 6.13 に、矩形化回路のパルス整形能力を示す。この時の入力信号振幅は $1 V_{p-p}$, 周波数は 400 MHz であり、立上り／立下り時間は 0.4 ns / 0.3 ns であった。又、この立上り／立下り時間は入力信号振幅が 0.9 - 1.5 V_{p-p} の範囲で殆んど変わらなかった。

〔識別感度／出力ジッタ〕図 6.14 に、クロック周波数 400 MHz における出力ジッタの入力信号振幅に対する依存性を示す。ここで、識別感度は出力ジッタ 300 ps 及び符号誤り率 10^{-9} を満たす最小の入力信号振幅として定義した。図から分るように、出力ジッタは入力信号振幅が小さくなると増加する。入力信号振幅 $1.5 V_{p-p}$, 電源電圧 $-7 V$ なる標準状態における出力ジッタは 70 ps であった。又、入力信号振幅 $30 mV_{p-p}$, 電源電圧 $-7 V \pm 5 \%$ において、270 ps の出力ジッタが得られた。図 6.15 に、出力ジッタの温度依存性を示す。入力信号振幅が 75 mV 以上では出力ジッタの増加は殆んど見られないが、30 mV では温度が $40^{\circ}C$ 以上において急激に増加する傾向を示した。この増加は識別レベルの温度依存性が原因である。図 6.16 は、ジッタのマーク率依存性を示したものである。1 / 8 から 7 / 8 のマーク率変動に対し、出力ジッタの変化は $\pm 20 ps$ 以下であった。以上の結果から、電源電圧 $-7 V \pm 5 \%$, 温度 $0 \sim 40^{\circ}C$ において 30 mV の識別感度を得られることが分った。

〔立上り／立下り時間〕図 6.12 から分るように、出力信号の立上り／立下り時間は 0.5 ns / 0.5 ns であった。又、入力信号振幅 $30 mV_{p-p} - 1.5 V_{p-p}$, 電源電圧 $-7 V \pm 5 \%$, 温度 $0 - 40^{\circ}C$ に対する立上り／立下り時間の変動は $\pm 0.1 ns$ 以下であった。

6.2.3.3 まとめ

以上の結果を表 6.1 にまとめて示す。試作した識別器及び矩形化回路 IC が目標性能を満たし、400 Mb/s 伝送に適用し得ることが分った。これから、シュミットトリガ回路が 400 Mb/s 以上の高速伝送用の識別器として十分適用できることが明らかになった。

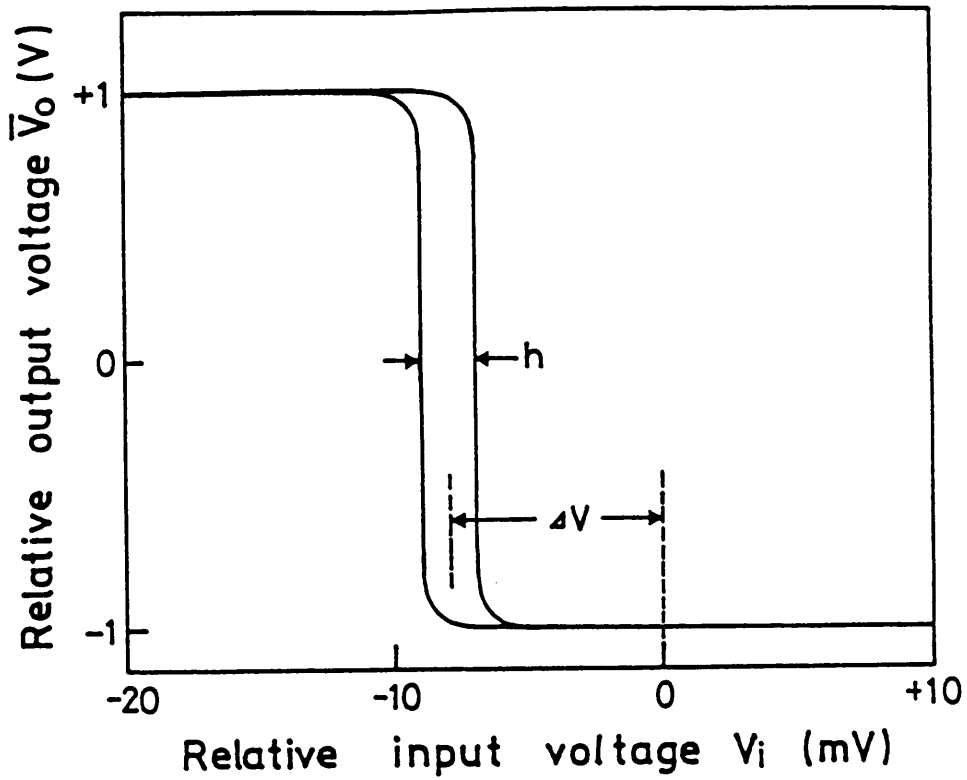


図 6.10 試作 IC の入出力伝達特性

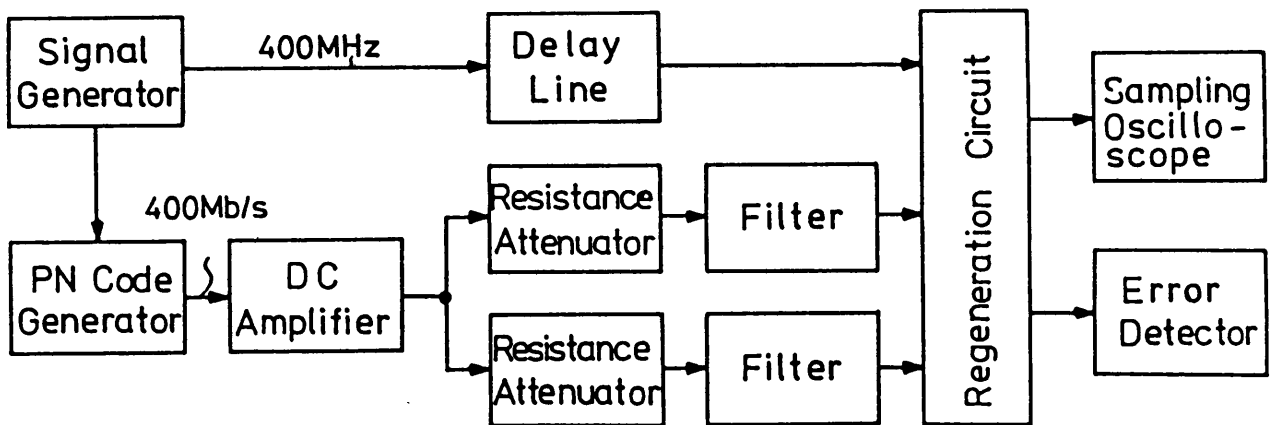


図 6.11 試作 IC の特性評価系

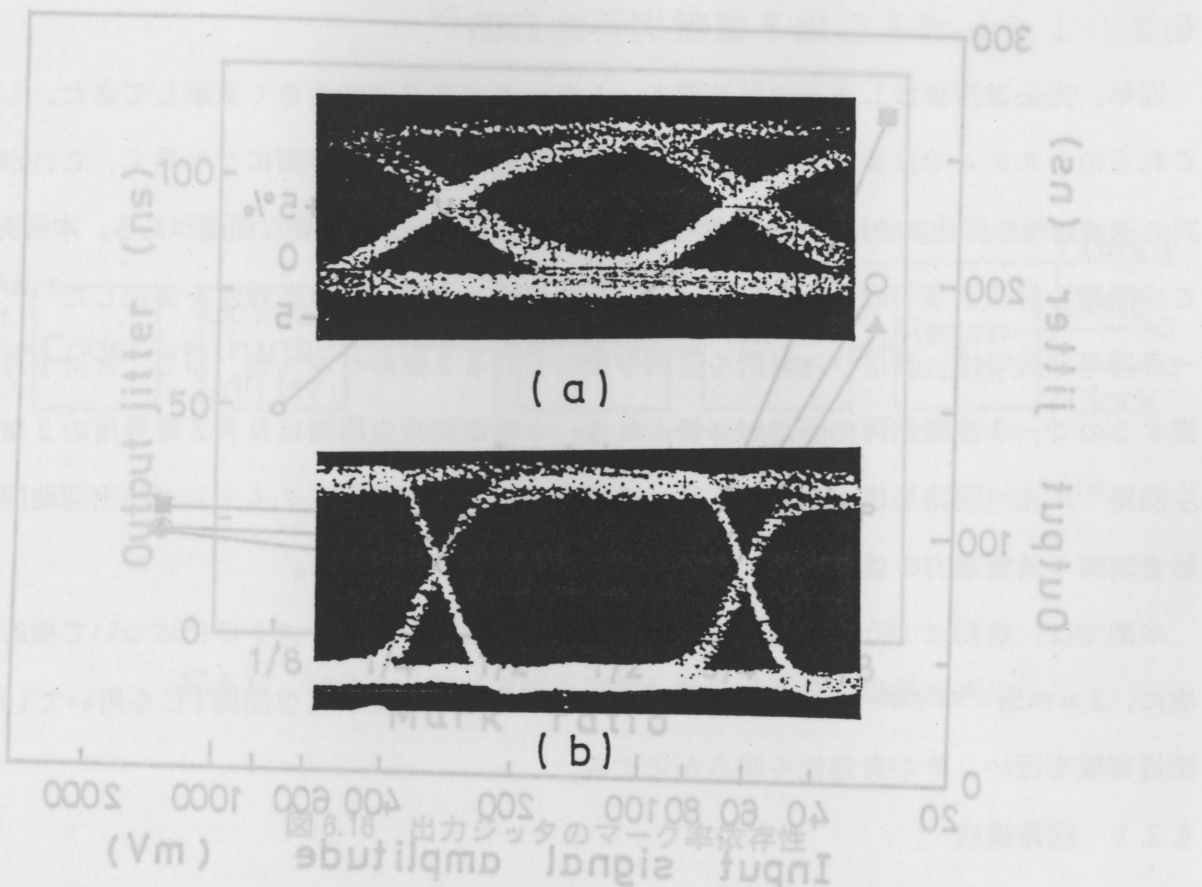


図 6.12 識別再生回路の 400 Mb/s パルス応答特性。

(a) 入力信号, (b) 出力信号。

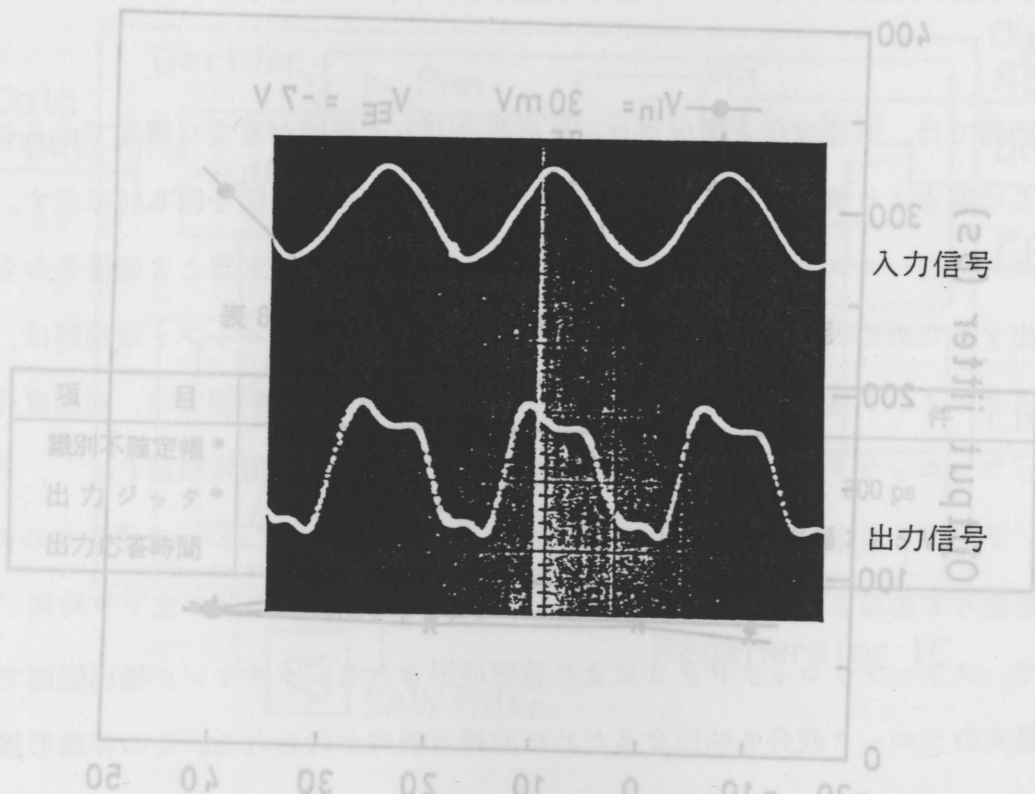


図 6.13 クロック信号矩形化回路 IC の 400 MHz 応答特性

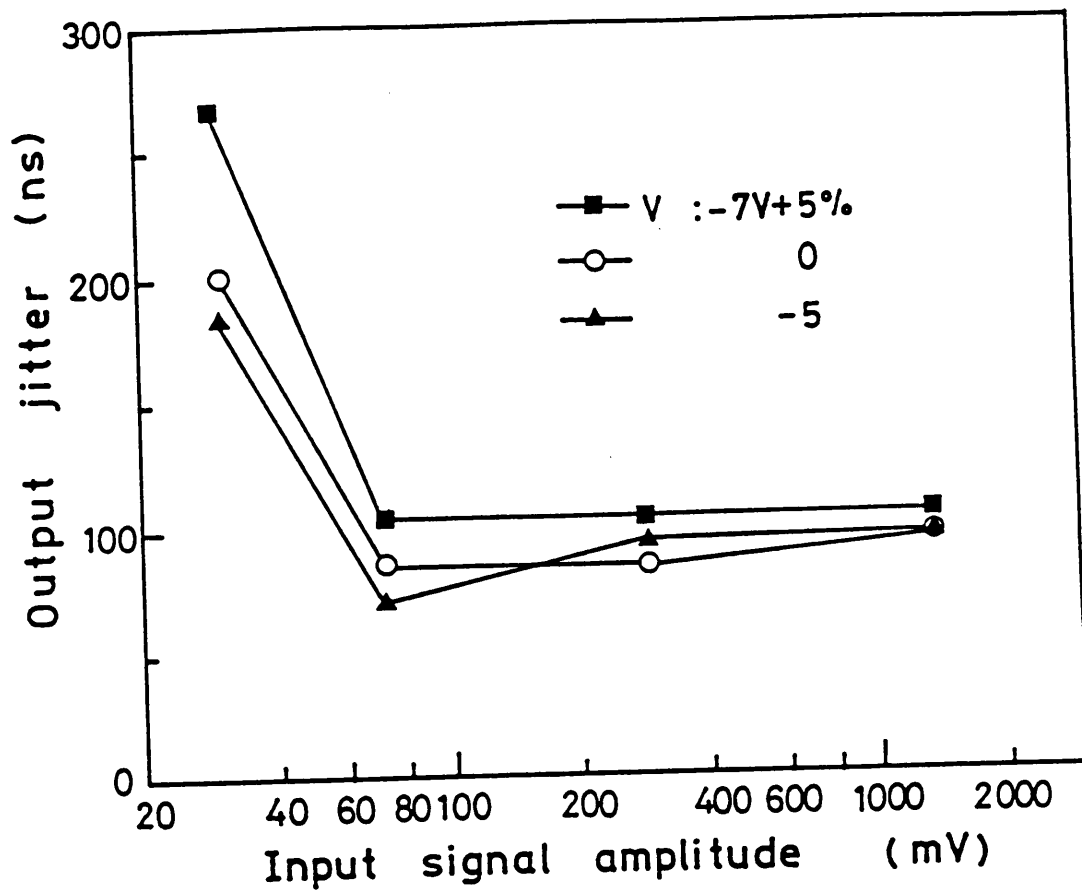


図 6.14 出力ジッタの入力信号振幅依存性

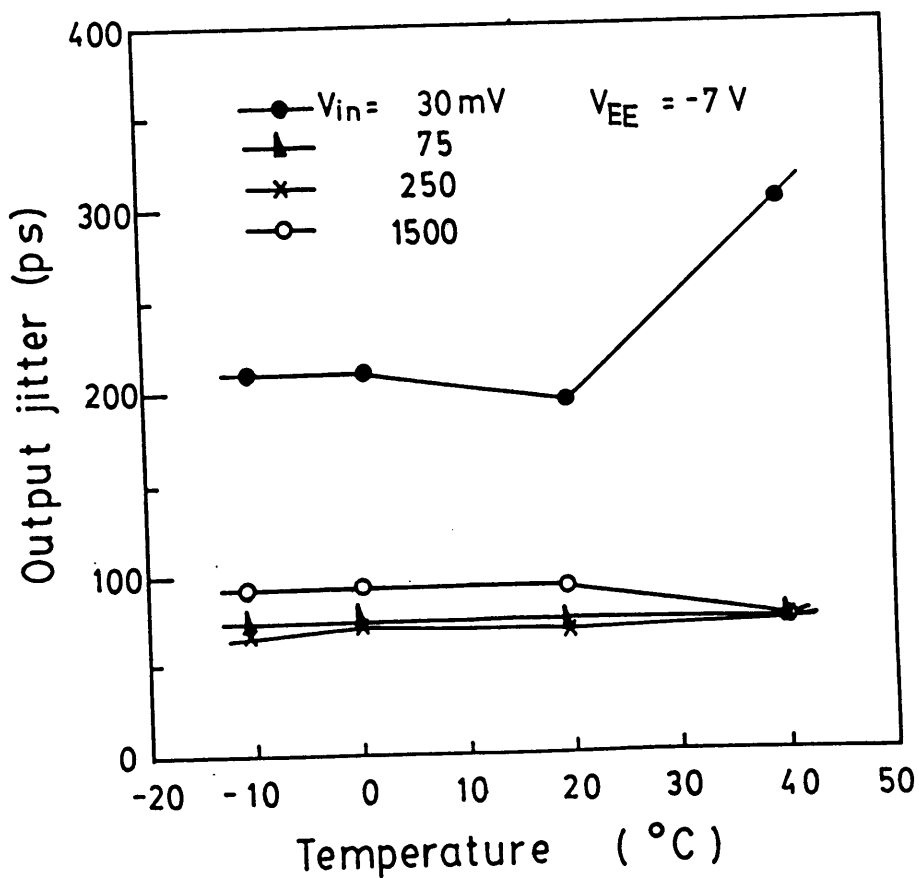


図 6.15 出力ジッタの周波数依存性

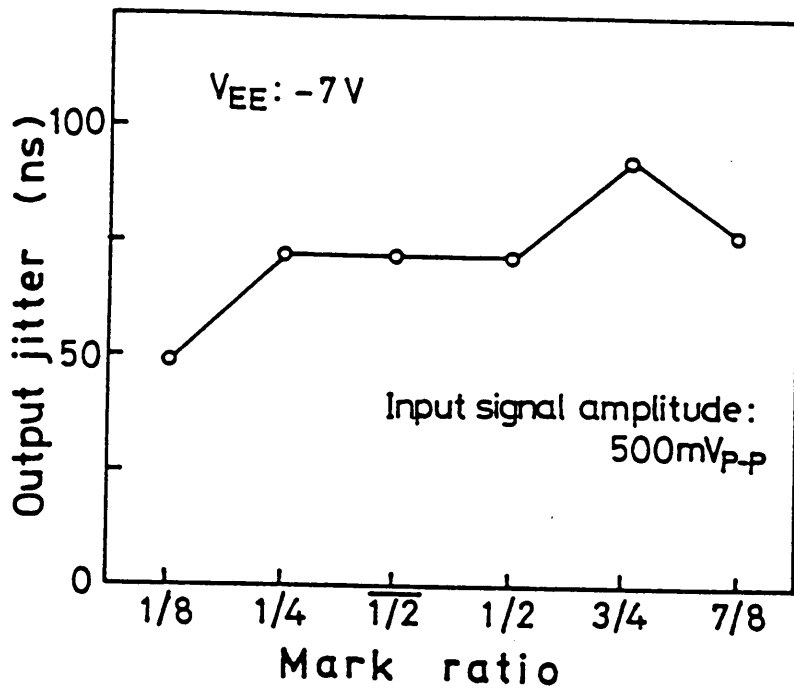


図 6.16 出力ジッタのマーク率依存性

表 6.1 400 Mb/s 識別再生回路の主要性能

項 目	単 位	目 標 値	実 験 値	条 件
識別不確定幅 *	mV	30	30	出力ジッタ: 300 ps 入力信号振幅: 1.5 V _{p-p}
出力ジッタ *	ps	100	70	
出力応答時間	ns	0.6	0.6	

* 外部タイミング

6.3 1チップIC化3値識別再生回路²¹⁾

近年、光伝送技術はLANや計算機ネットワークの高速化に大きく貢献してきた。しかし、これらのシステムでは長周期の同符号連続が生じるので直流不平衡になり易く、これがパルス列の過渡特性を劣化させ符号誤りを発生させる要因となると云う重要な問題がある。本研究では、この問題を解決する手段としてMD-II符号を提案し、又、その有効性を実証した⁷⁾¹⁰⁾。MD-II符号方式では、受信パルス列を直流平衡のとれる3値のパルス列、即ち、AMI符号に変換するので、3値識別再生回路が必要となる。3値識別再生回路はNRZ符号用の2値識別再生回路⁶⁴⁾に比べ回路規模が大きく、又、機能も複雑で、識別器とタイミング抽出回路間の相互雑音誘導や消費電力の低減が1チップIC化における課題となる。

本節では、最初に160 Mb/s伝送用3値識別再生回路の1チップIC化について検討する。次に、3 μ mSi-バイポーラプロセスを用いて試作した3値識別再生回路ICを用いて160 Mb/s伝送実験を行い、その有効性を明らかにする。

6.3.1 回路構成

図6.17に、MD-II符号方式を適用した光伝送システムの簡略化したブロック図を示す。復号は波形成形用の濾波器にて行うが、この場合の成形波形は3値信号となる。識別再生回路はこの3値信号を識別再生して元のNRZ信号を復元し、又、3値信号からシステムクロック信号を抽出する。

識別再生回路では、高感度化と抽出クロック信号のジッタ低減が重要な課題であることは既に述べた。この観点より構成した3値識別再生回路の機能ブロック図を図6.18に示す。この回路は正パルス列と負パルス列を別々に識別再生するための2つの識別器と3値信号からクロック信号を抽出するためのタイミング抽出回路を含む。ここで、入力バッファ増幅器は、3値信号を識別器とタイミング抽出回路に分配するために用いられる。識別器では、高感度化を図るためにフリップフロップFF1、FF2の前に同じ構成の2つの前置増幅器P_{rel1}、P_{rel2}が配置される。FF1、FF2の出力信号は最終的な出力信号(NRZ符号)を得るためにwired-OR回路を使って加算される。又、加算信号は両出力信号の立上り及び立下り時に“ヒゲ”を生じるので、フリップフロップFF3により波形成形される。タイミング抽出回路では、3値信号から最大のクロック成分を抽出するために非線形操作が行われる。この非線形操作が必要となる理由は、NRZ-AMI信号のパワースペクトラムが連続的でありクロック成分をもたないからである。このため、全波整流回路とクリッパが用いられ、非線形操作によるクロック抽出が行われる。所要の正弦波クロック信号は識別再生回路ICに外付けされたSAW濾波

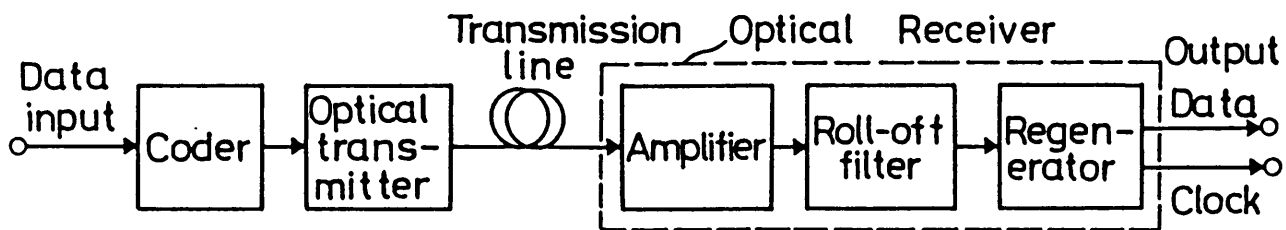


図 6.17 MD-II 符号方式を適用した光伝送系の簡易モデル

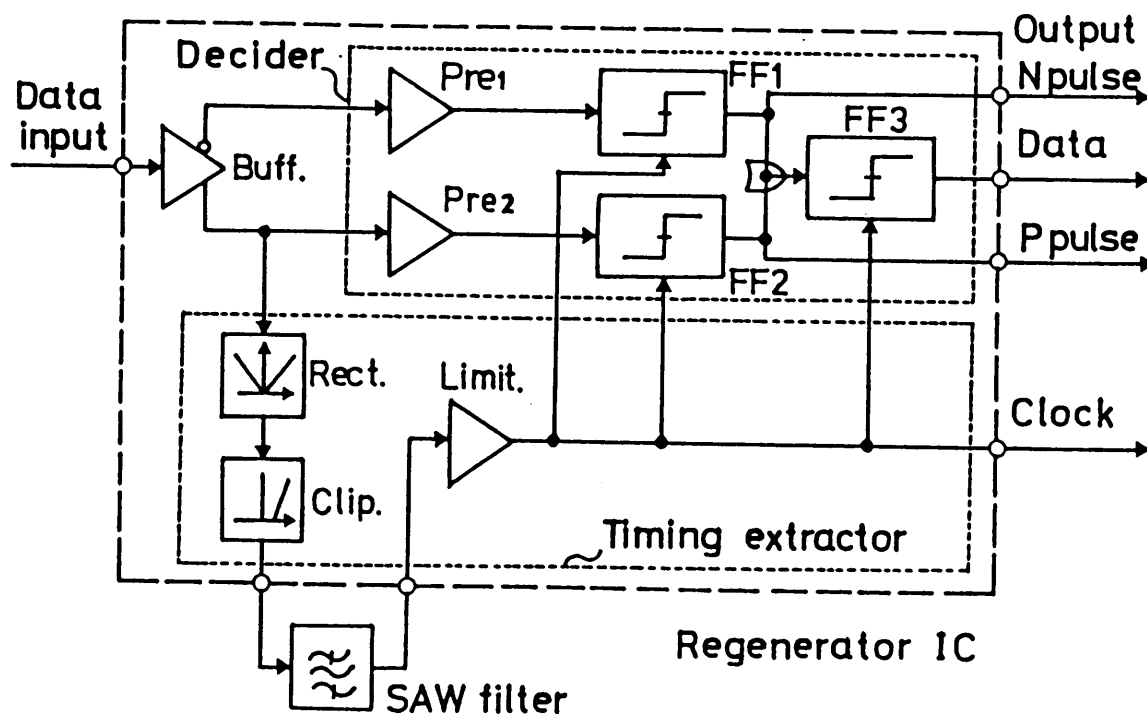


図 6.18 3 値識別再生回路の構成

器に整流した信号を通すことによって抽出できる。この時、抽出クロック信号の振幅は受信パルス列のマーク率によって大幅に変化する。従って、このマーク率変動に拘らず正弦波を常に一定のパルス信号に整形すると共にクロックジッタを低減するためにリミット増幅器が用いられる。パルス整形されたクロック信号はFF1、FF2及びFF3に供給され、受信々号の識別再生とパルス幅修正を行う。

6.3.2 回路設計

6.3.2.1 1チップモノリシックIC化に対する基本方針

3値識別再生回路の1チップIC化においては、高性能で安定な動作状態を維持するために消費電力及び識別器-タイミング抽出回路間の信号漏れ込みによる相互誘導雑音の低減が重要である。動作の安定化に関しては、①帯域と消費電力との間のトレードオフを考慮して各回路の定数最適化を図る、②識別再生回路ICとSAW濾波器間を高いインピーダンス(200Ω)で接続できるようにし、又、③識別再生信号と抽出クロック信号出力も高いインピーダンス(300Ω)で終端することにより消費電力の低減を図るなどが要求される。高性能化に関しては、ICチップ内の電源や接続線の直流レベル変動を低減する必要がある。この変動は信号電流の変化によって生じる。従って、この変動を抑圧するため、①全ての回路に必要な電流は定電流源を用いて供給し、信号レベルの変化に対して電源及び接地線に流れる電流変動を抑圧する、②識別器とタイミング抽出回路間の信号漏れ込みを避けるために両回路の電源及び接地線を別々にレイアウト設計し、且つ、電源及び接地線を太く配線しインピーダンスを低くするなどの対策が必要となる。

6.3.2.2 設計目標

表6.2に、識別再生回路ICに対する設計目標を示す。これらの設計目標は160Mb/s光受信器の性能に基づいて決定されたものである。識別感度は受信SNR劣化を0.2dB以下に抑えるために9mV以下を目標にした。このSNR劣化0.2dBは0.4V_{p-p}の識別入力信号振幅に対して割当てられた。クロックジッタ及びタイミング位相偏移に対しても、夫々、0.2dBのSNR劣化を割当てた。これから、クロックジッタ、タイミング位相偏移共±10以下を目標にした。識別再生信号とクロック信号の出力インターフェイスはECL100Kシリーズと互換性をもつように設計した。

6.3.2.3 IC設計

3値識別再生回路ICの設計は計算機シミュレーションにより行い、回路定数の最適化を図った。計算機シミュレーションでは、3μmSi-バイポーラプロセス(SHL)により得られ

るトランジスタ定数を用いた。又、この時、ICチップやパッケージ、評価基板などに付随する寄生容量やインダクタンスを考慮した。

(i) 識別器

入力バッファ増幅器及び前置増幅器には、差動増幅器を用いた。前者は不平衡入力信号を相補極性をもつ平衡信号に変換するために用いたもので、非線形歪によるクロックジッタの増加を避けるために広い線形動作範囲が要求される。このため、入力信号振幅が $0.8 V_{p-p}$ において、高調波歪が -40 dB 以下になるように設計した。前置増幅器の基準レベルは正パルス及び負パルスに対して同一とし、バッファ増幅器の出力信号振幅の $1/4$ 、即ち、正パルス、負パルスの $1/2$ 振幅となるレベルに設定した。シミュレーションにおけるバッファ増幅器と前置増幅器の総合利得及び帯域は、夫々、 20 dB 、 310 MHz であり、試作ICより得られた測定結果とよく一致した。尚、前置増幅器の信号振幅は全幅で $0.8 V_{p-p}$ である。識別器を構成する3つのフリップフロップFF1-3には図6.19に示すシリーズゲート形のマスタ・スレーブフリップフロップを用いた。図6.18に示すように、この識別器は再生信号の他に正パルス列及び負パルス列を出力することができる。従って、正、負のパルス列を利用して受信々号の変換則の乱れを検出すれば符号誤りの常時監視が可能である。尚、再生信号を得るための正、負パルス列の加算はFF1, 2の出力エミッタホロアによる“wired-OR”回路にて行い、更に、FF3によって波形整形される。フリップフロップの識別感度は動作速度に強く依存し、動作速度が高い程高い識別感度を得ることができる。しかし、フリップフロップの高速化は高感度化を実現できる反面消費電力の増加を招き易い。従って、FF1-3のフリップフロップは動作速度と消費電力のトレードオフを考慮し、最適化する必要がある。シリーズゲート形フリップフロップが採用された理由はこのためであり、消費電力の低減に有効であった。シミュレーションにおけるフリップフロップのトグル周波数は 400 MHz であり、この時の消費電力は 53 mW であった。又、識別感度はクロック周波数 160 MHz において $10-15 \text{ mV}$ 、出力信号の立上り/立下り時間は $0.7 \text{ ns}/0.5 \text{ ns}$ であった。この結果から、前置増幅器とフリップフロップを組合せた識別器の識別感度として $1-1.5 \text{ mV}$ が得られることが分った。

(ii) タイミング抽出回路

全波整流回路とクリッパには、整流と増幅機能をもつ新しい簡易な構成の回路を適用した。図6.20に、全波整流回路とクリッパを含む新回路を示す。この回路は差動増幅機能をもつ全波整流回路として動作し、OR回路によって3値信号の整流を行っている。後段の差動増幅器は整流信号をクリッパするための出力バッファとして動作する。この回路の出力信号振幅は全幅

表 6.2 3 値識別再生回路 IC の主要性能

回路	項目	単位	目標値	実験値
識別器	入力／出力符号形式	—	AMI / NRZ	AMI / NRZ
	識別感度	mV	< 9	5 (100 - 200 MHz)
	立上り／立下り時間	ns	< 1.5	0.75 / 0.6
タイミング抽出回路	入力／出力符号形式	—	AMI / クロック	AMI / クロック
	クロックジッタ	度	< ±10	9.8 / -7.8
	クロック位相偏位	度	< ±10	±7
	立上り／立下り時間	ns	< 1.5	0.6 / 0.5
	濾波器インターフェース	Ω	200	200
消費電力		mW	< 500	470
電源電圧		V	5 ± 0.5	5 ± 0.5
周囲温度		°C	0 - 70	0 - 70

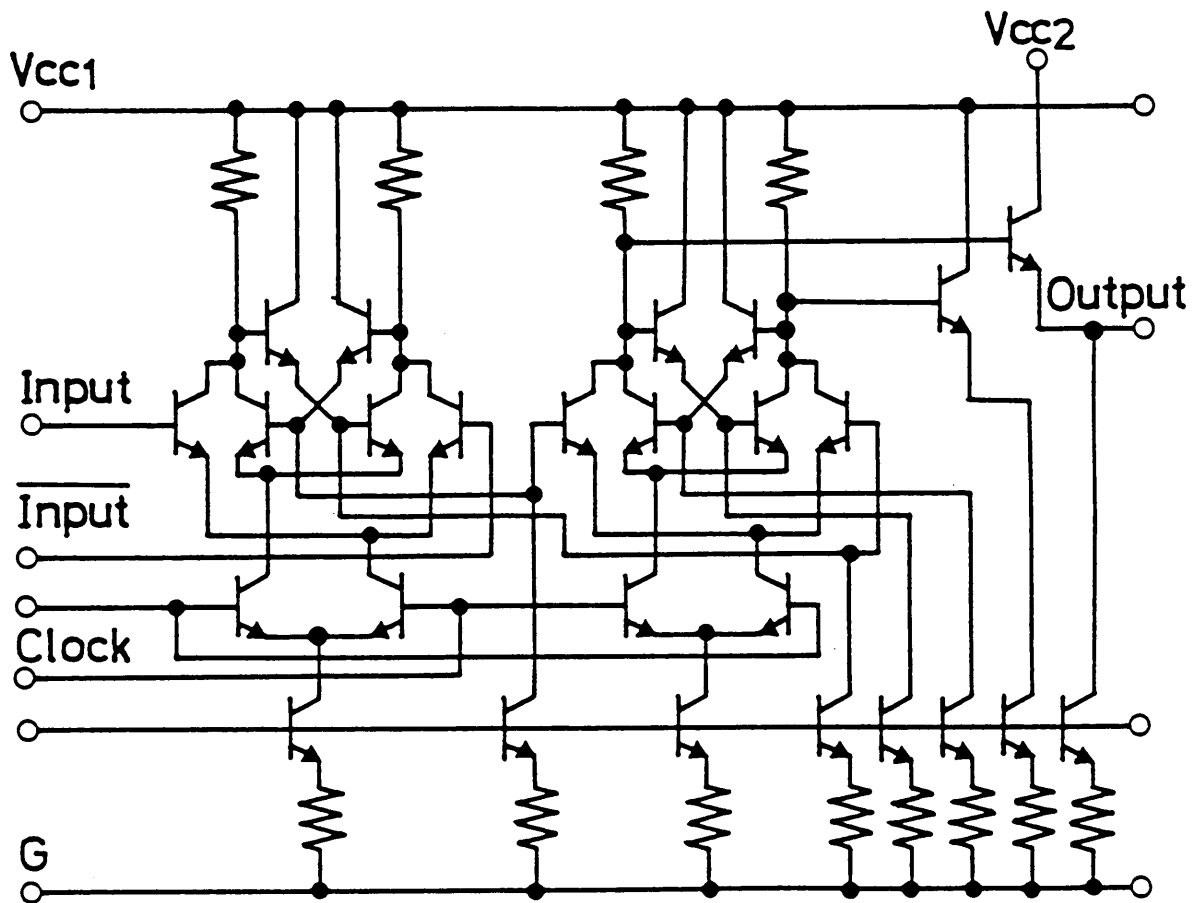


図 6.19 “1”, “0” 識別用 D 形マスタスレーブ・フリップフロップ

で $1.4\text{ V}_{\text{p-p}}$ である。整流信号のクリップは図 6.20 に示す後段の差動増幅器出力とクリッパを接続することによって行うことができる。シミュレーションにおける最適なクリッピングレベルは整流信号の全振幅の 70–75% であり、測定値と一致した結果が得られた。又、このレベルにおいて最大のクロック成分が得られることを確認した。リミット増幅器は正弦波クロック信号をパルス状に波形整形する必要があるため、広帯域で利得の高い差動増幅器を用いるべきである。図 6.21(a) に、これらの要求を満たし得る 4 段構成のリミット増幅器を示す。図 6.21(b) の差動増幅器が 1 から 3 段目の増幅器として用いられた。この増幅器は振幅一位相変換によるジッタ低減とダイナミック範囲の拡大を目的に設計されている。最終段には、3 つのフリップフロップを高速駆動するためのバッファ回路として出力振幅 $0.8\text{ V}_{\text{p-p}}$ の ECL ゲートを用いた。更に、入力オフセットによる識別感度の劣化及びクロックジッタの増加を防ぐため、直流負帰還によるオフセット補償回路を導入した。リミット増幅器の振幅一位相変換量は、入力信号振幅が 5–800 mV において $\pm 5^\circ\text{C}$ であった。これは、ダイナミック範囲として 20 dB 以上が許容できることを示す。尚、クロック信号の立上り/立下り時間は、夫々、 $0.7\text{ ns}/0.5\text{ ns}$ であった。

(iii) 定電流源回路

識別器及びタイミング抽出回路に電流を供給する定電流源回路を図 6.22 に示す。この回路は、電源電圧や温度変動に対して識別再生回路を安定に動作させるために新たに開発したものである。シミュレーションでは、電源電圧 $5\text{ V} \pm 10\%$ 、温度 $0-70^\circ\text{C}$ に対し、電流の変動量は $\pm 5\%$ であり、これらの値は測定値とよく一致し有効性が確認された。

6.3.2.4 レイアウト設計

識別器とタイミング抽出回路間の相互干渉雑音は、電源及び接地線を介して漏れ込む信号電流によって惹き起される。従って、電源線、接地線の分離とそれを可能とする識別器、タイミング抽出回路の配置が、干渉雑音の誘導を避けるための鍵となる。この考え方にに基づき、識別器とタイミング抽出回路の電源線、接地線を別々にレイアウトし、ボンディングパッドで接続するようにした。更に、図 6.19 に示すようにフリップフロップ FF 1–3 のエミッタホロア用電源 V_{cc2} は主電源線 V_{cc1} とは別にレイアウトした。これは終端を外部にて行うため、電源線に大きく変動する信号電流が流れ雑音を誘起するからである。尚、 V_{cc1} と V_{cc2} は IC パッケージの外にて接続される。

6.3.3 試作結果

3 値識別再生回路の IC 化には $3\text{ }\mu\text{m Si}$ -バイポーラプロセスを用いた。図 6.23 に、試作 IC のチップ外観を示す。この IC は寸法が $2.5\text{ mm} \times 2.5\text{ mm}$ で、430 個のトランジスタと抵抗を

含む。消費電力は 470 mW である。IC の特性評価は、チップを 20 ピンチップキャリアパッケージに収納して行った。

6.3.3.1 試作 IC の特性

(i) 識別感度

図 6.24 に、識別感度のクロック周波数依存性を示す。ここで、識別感度は符号誤り率 10^{-8} を満たす最小の入力信号振幅として定義した。図から分るように、識別感度はクロック周波数が高くなるに伴ない低くなる。得られた識別感度はクロック周波数 160 MHz、電源電圧 $5\text{ V} \pm 10\%$ 、温度 $0 - 70^\circ\text{C}$ において 5 mV 以下であった。この値は SNR 劣化量としては 0.1 dB に相当し、目標の 0.2 dB を十分満たすことが分った。しかし、測定値 5 mV は、シミュレーションにより予測された値 $1 - 1.5\text{ mV}$ よりやや大きい。この差は識別器とタイミング抽出回路間の残留干渉雑音によって生じたものである。

(ii) ジッタ

ジッタは識別再生回路 IC と SAW 濾波器を組合せて評価した。ここで使用された SAW 濾波器は 160 Mb/s タイミング抽出用として開発されたもので、挿入損失が 7.8 dB 、負荷 Q が 570、入出力インピーダンスが $200\ \Omega$ である。受信々号から抽出したクロック信号の濾波器出力振幅と静パターンジッタを図 6.25、図 6.26 に示す。これらの特性は、伝送符号のマーク率 $1/2 - 1/24$ に対して評価された。濾波器出力の振幅は図 6.25 に示すようにマーク率と共に増大する。電源電圧 $5\text{ V} \pm 10\%$ 、温度 $0 - 70^\circ\text{C}$ において、この出力振幅は $8 - 160\text{ mV}$ であった。一方、静パターンジッタは、図 6.26 に示すようにマーク率に対して不規則に変動する。測定では、 $+9.8 / -7.8^\circ$ の静パターンジッタが得られた。測定により得られたリミット増幅器の静パターンジッタは入力信号振幅 $7 - 800\text{ mV}$ に対して $\pm 5^\circ$ であるので、残りのジッタは全波整流回路の非線形歪が原因と考えられる。

(iii) タイミング位相余裕

入力信号とクロック信号間のタイミング位相余裕は、電源電圧や温度変動による SNR 劣化を防ぐために大きいことが要求される。図 6.27 に、 $0 - 70^\circ\text{C}$ の温度変化に対する試作 IC のタイミング位相偏移量を示す。図から、この位相偏移量は電源電圧 $5\text{ V} \pm 10\%$ 、温度 $0 - 70^\circ\text{C}$ において 14° 以下であった。この結果はタイミングの初期設定条件を適当に選べば、タイミング位相偏移を $\pm 7^\circ$ にできることを示している。

(iv) 立上り／立下り時間

図 6.28 に、識別入力信号、再生信号及び抽出クロック信号の各波形を示す。再生信号の立上

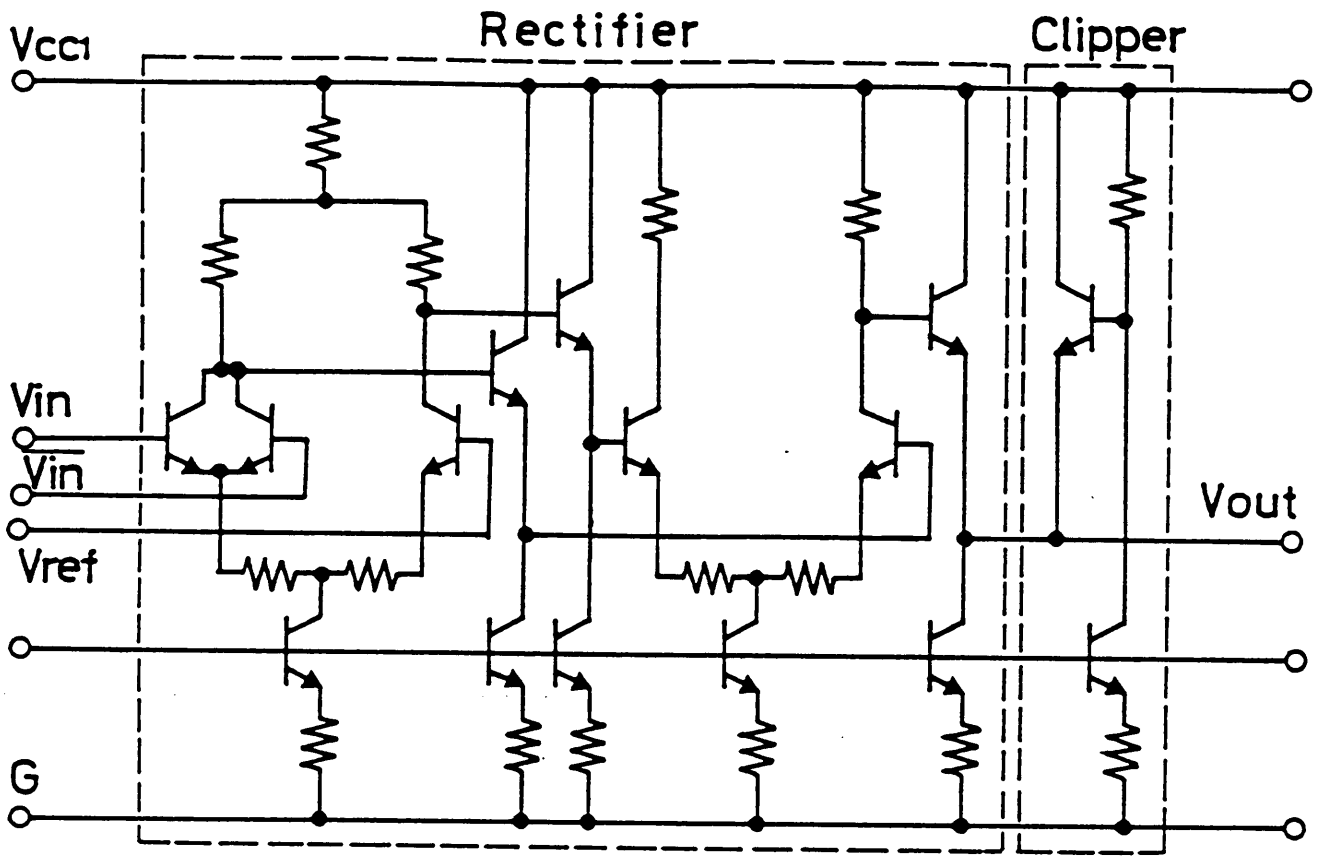
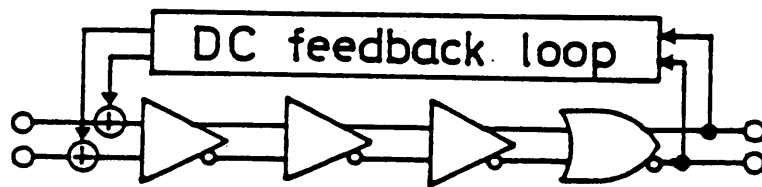
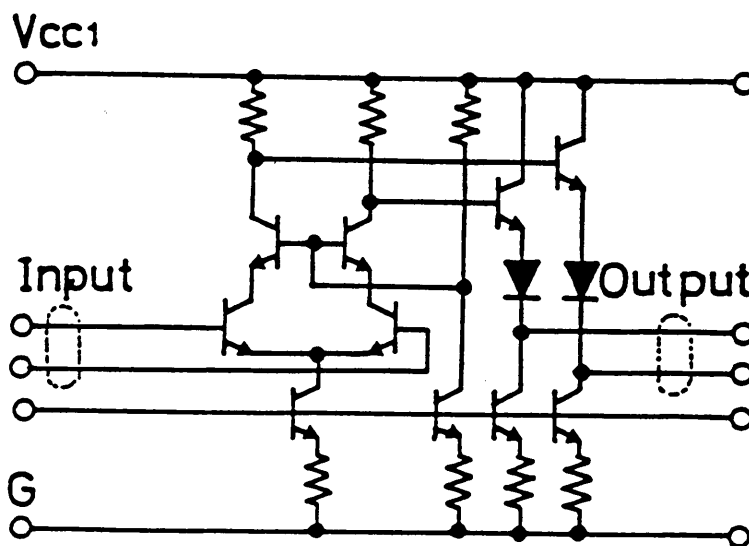


図 6.20 全波整流回路及びクリッパ



(a)



(b)

図 6.21 リミット増幅器

(a)総合ブロック, (b)基本増幅器

含む。消費電力は170 mWである。ICの特性は、チップを20ピンチップキャリアパ

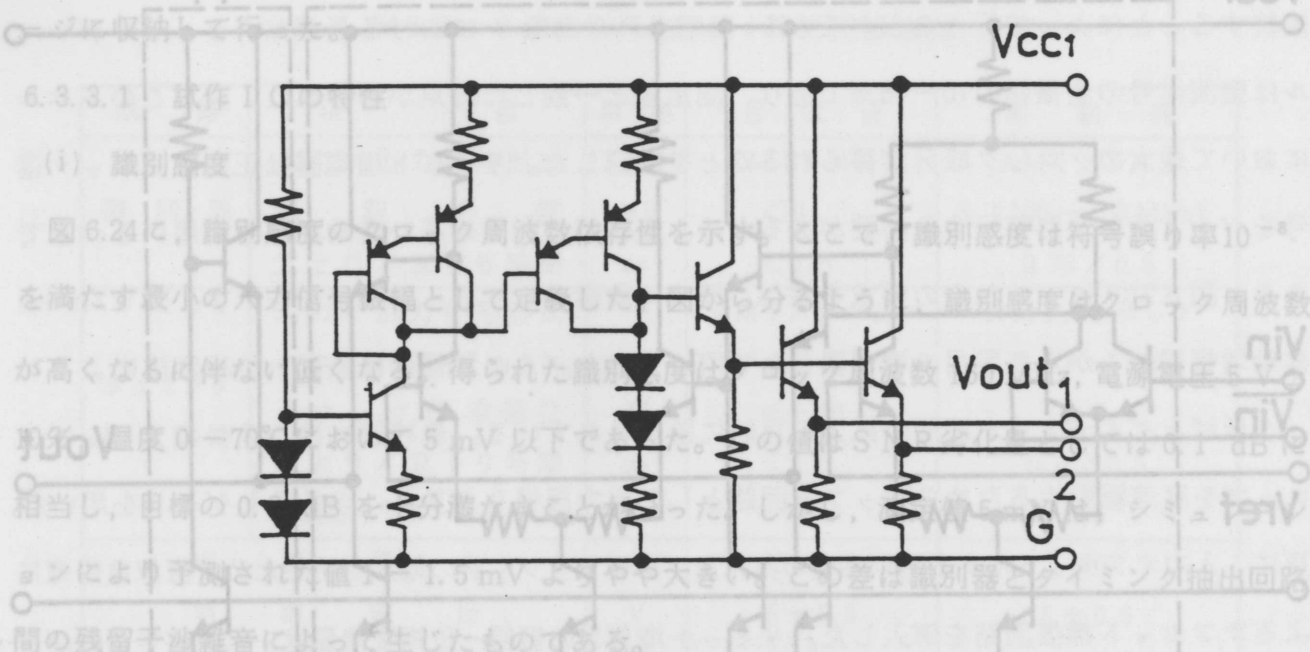


図 6.22 電流安定化回路

波器は160 Mb/s タイミング抽出用として開発されたもので、挿入損失が7.8 dB、負荷Qが570、入出力インピーダンスが200 Ωである。受信々号から抽出したクロック信号の濾波器出力

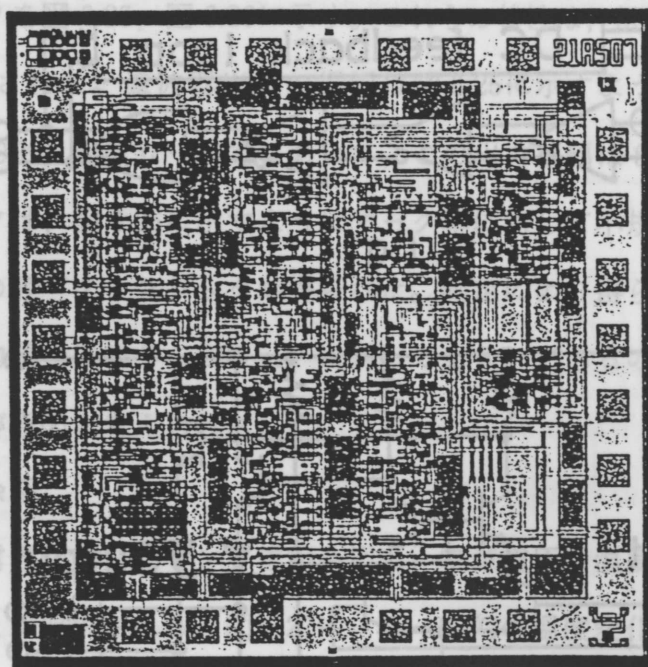


図 6.23 試作 IC のチップ外観

タイミング位相偏差を示す。図から、この位相偏差は電源電圧5 V ± 10%、温度0 - 70°Cにおいて14°以下であった。この結果を適当に選

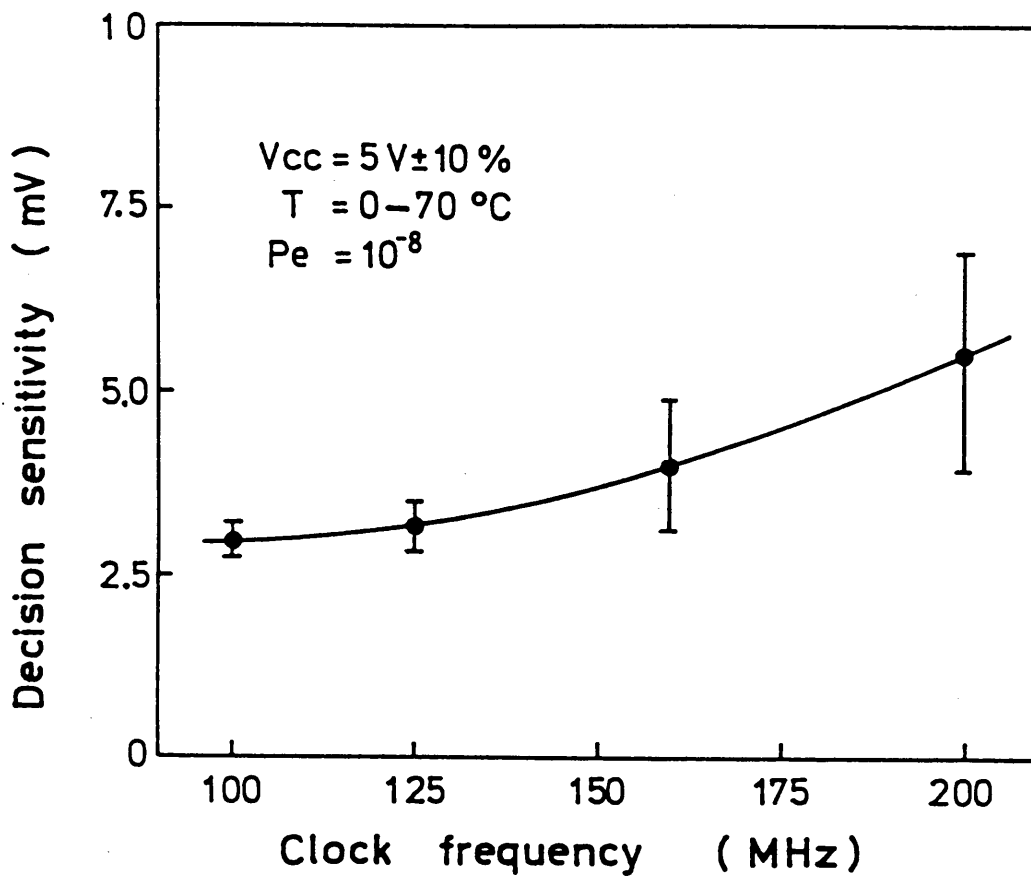


図 6.24 識別感度のクロック周波数依存性

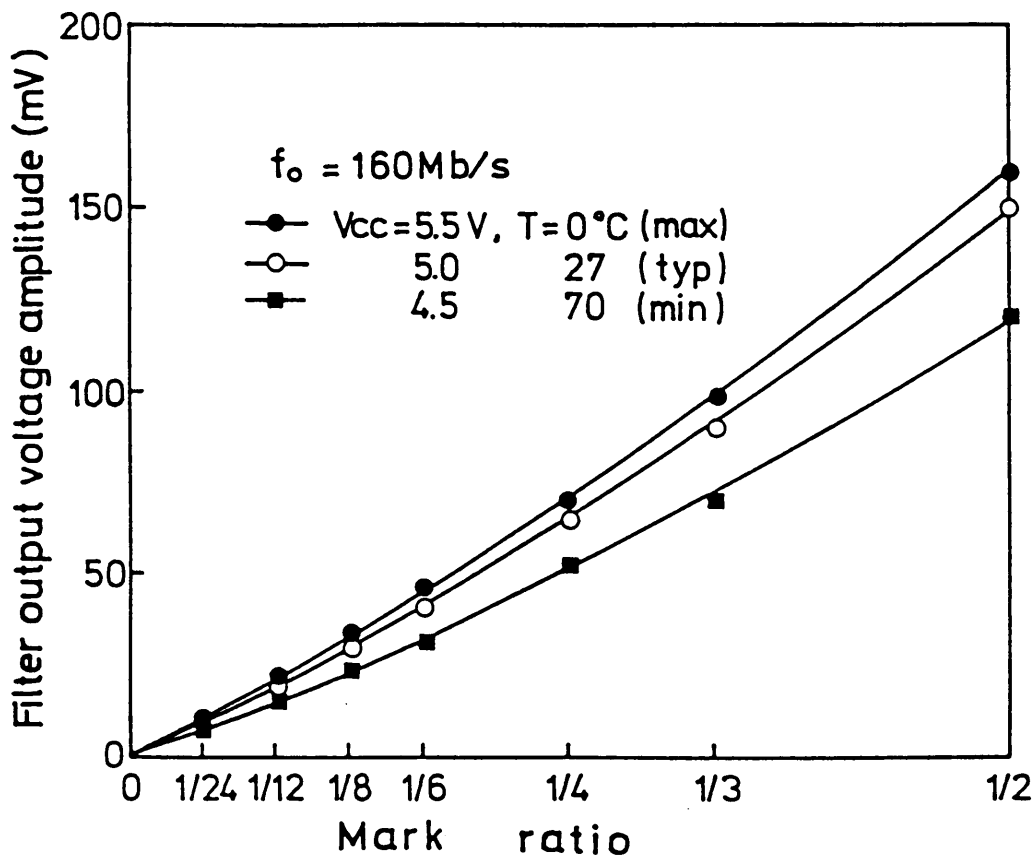


図 6.25 抽出クロック信号振幅のマーク率依存性

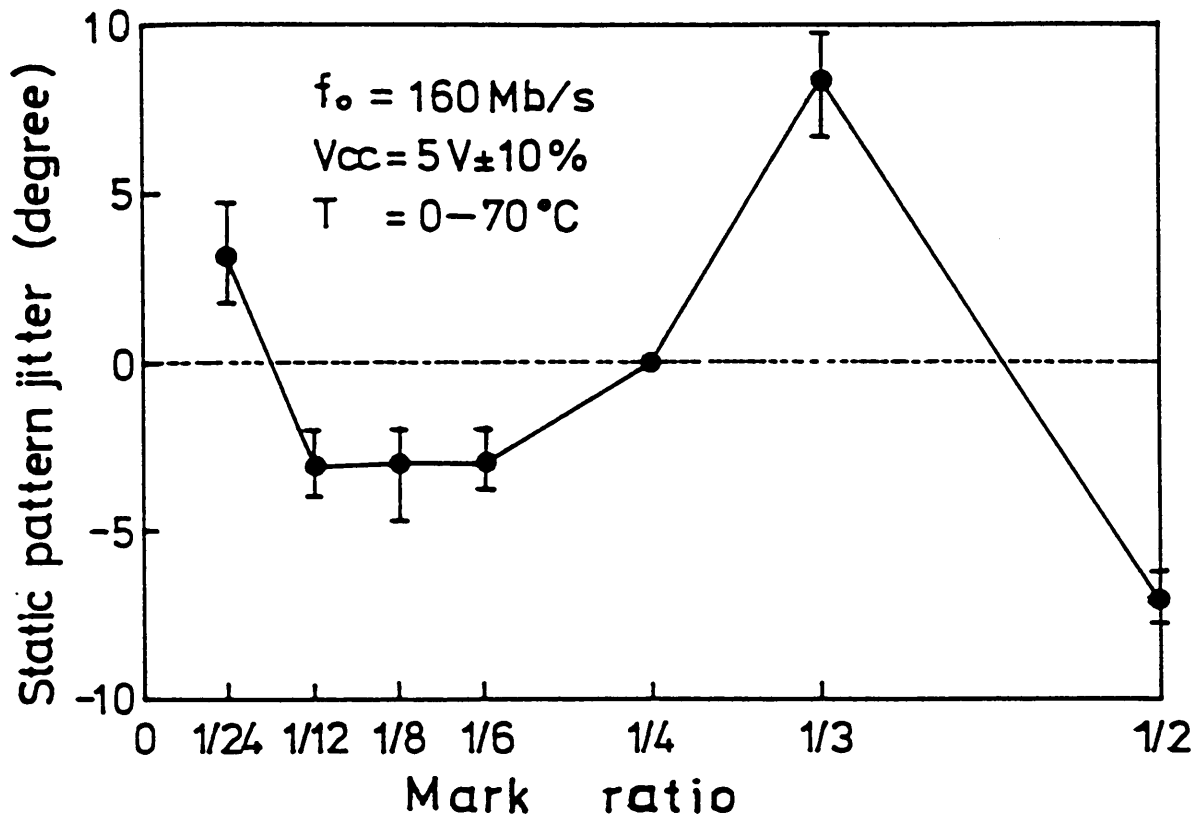


図 6.26 静パターンジッタのマーク率依存性

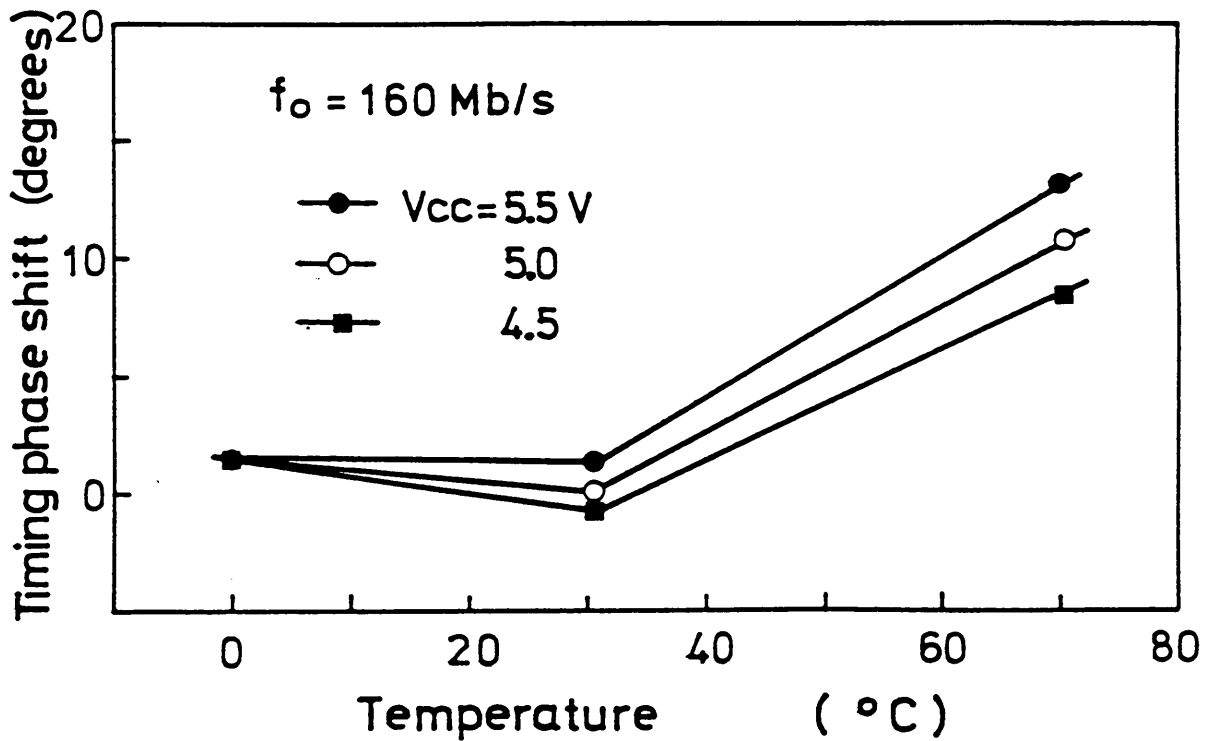
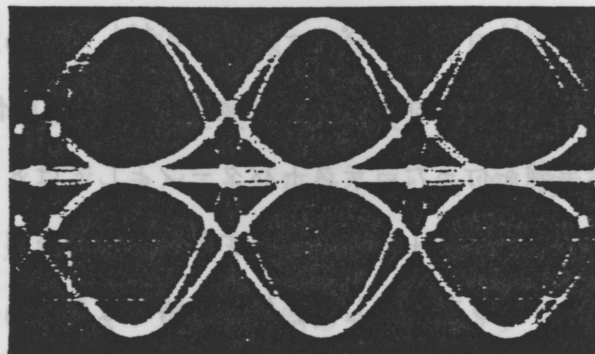
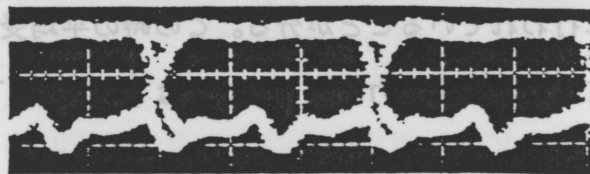


図 6.27 タイミング位相偏移の温度依存性

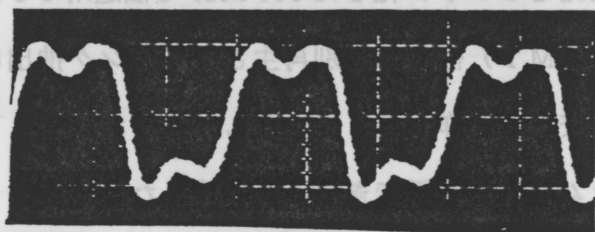
号印適用\の先中補間使用必要\の立の号印のPで抽出、an a、0\angの期間に不立\の
に種別も幾何学的な規則の正立高直生在受のう、本機の動作結果が、4等分をこれ等する値を得
及びレイアウト上の課題を明らかにせ、その結果として、その抽出回路間の高直生在受の値を得られ、その結果
よる干渉雑音の除去と意図する動作の目的を不中補間使用高直生在受の値を得られ、その結果として、その結果
すると共にその方策を示した。次に、3 μm Si-バイポーラプロセスを用い、種別も幾何学的な規則の正立高直生在受の値を得られ、その結果として、その結果



(a)



(b)



(c)

6.4 結 言

本章では、3 R マシンの中継器における信号の "Regeneration", "Retiming" に必要な完
全再生形識別再生回路の回路方式とチップ IC 化について検討を行った。第 6.2 節
では、最初にシミュレーションを実行し、その結果を基に本機を構成するチップ IC 化の検討を行った。又、この
結果を基に、本機を構成するチップ IC 化の検討を行った。

図 6.28 識別 IC の動作波形。

(a)入力信号, (b)出力データ, (c)抽出クロック。

本機を構成するチップ IC 化の検討を行った。第 6.2 節では、最初にシミュレーションを実行し、その結果を基に本機を構成するチップ IC 化の検討を行った。又、この結果を基に、本機を構成するチップ IC 化の検討を行った。

り／立下り時間は 0.75ns／0.6 ns，抽出クロック信号の立上り／立下り時間は 0.6 ns／0.5 ns であり，計算値とよく一致した結果が得られた。これらの立上り／立下り時間の変動量は電源電圧 5 V ± 10%，温度 0 - 70°C において 0.2 ns 以下であった。

表 6.2 に，試作 I C の特性を示す。測定結果はすべて目標値を満足することができた。

6.3.3.2 伝送実験

L A N や計算機ネットワークでは，長周期パターン変動に対して高品質なデータ伝送を保証するため，光受信器の安定性が強く要求される。この観点より，試作 I C を用いた受信器の動特性を調べるために伝送実験を行った。テストパターンとしては 8 ms の周期でマーク率が 1 / 12 から 11 / 12 に，又，11 / 12 から 1 / 12 に変化するパターンを用いた¹⁰⁾。光源及び受光器には 1.3 μm 帯 L E D と pin - P D を適用した。伝送線路には 2.5 km の標準マルチモードファイバを用いた。図 6.28 は実験例を示したものであるが，長周期パターン変動に対して 3 値識別とタイミング抽出が安定に行われていることが分る。この時の平均受信電力は -28 dBm であり，パターン変動によって生じる受信電力のペナルティは 0.2 dB 以下であった。

6.3.3.3 まとめ

識別器とタイミング抽出回路を 1 チップ化した 160 Mb/s 伝送用の 3 値識別再生回路 I C を開発した。この I C は 3 値 (A M I) 信号の識別再生とタイミング抽出に非常に有効であり，長周期パターン変動に対して安定に動作することを示した。これから，この I C がデュオバイナリ符号方式を用いたシステムに十分適用できることが分った。

6.4 結 言

本章では，3 R デジタル中継器における信号の “Regeneration”，“Retiming” に必要な完全再生形識別再生回路の回路方式とそのモノリシック I C 化について検討を行った。第 6.2 節では，最初にシュミットトリガ回路を基本とするセット形 2 値識別器を提案した。又，この識別器の動作解析を行い，シュミットトリガ回路を識別器に応用する場合の鍵となるヒステリシス特性と回路定数との関係を明らかにし，零ヒステリシスを実現するための条件を示した。次に，動作解析結果を基に 2 μm Si - バイポーラプロセスを用いてモノリシック I C 化を行い，400 Mb/s で動作する識別器 I C を実現できることを実証した。この結果から，シュミットトリガ回路が高速モノリシック識別器へ十分適用可能であることを明らかにした。更に，シュミットトリガ回路が正弦波状のクロック信号をパルス状に波形整形するための矩形化回路として有効であることを併せて示した。第 6.3 節では，伝送符号としてモディファイド・デュオバイナリ符

号を適用した光中継器に必要な3値識別再生回路の1チップモノリシックIC化のfeasibilityについて検討した。最初に、高感度化及びジッタ低減の観点より1チップIC化における回路及びレイアウト上の課題を明らかにし、識別器とタイミング抽出回路間の相互信号漏れ込みによる干渉雑音の除去と電源・アース線への不平衡電流の流入防止が特に重要であることを指摘すると共にその方策を示した。次に、3 μ m Si-バイポーラプロセスを用いて3値識別再生回路のモノリシックIC化を行い、160 Mb/s伝送に十分適用できる識別感度(5 mV)、ジッタ($\pm 10^\circ$ 以下)特性が得られることを実証した。又、マーク率が8 ms毎に1/12 \leftrightarrow 11/12に変化するモディファイド・デュオバイナリ符号を用いた160 Mb/s伝送実験を行い、試作した3値識別再生回路ICが長周期パターン変動に対して安定に動作することを示した。これらの結果から、3値識別器とタイミング抽出回路のモノリシックIC化が可能であることを明らかにした。

第7章 端局装置

7.1 緒言

端局装置は、主として符号／復号化装置と同期多重化／分離装置とで構成される。前者は多数の音声や画像信号などのアナログ信号をデジタル化してパルス符号列に変換する符号器と受信パルス符号列を元の音声や画像信号に復元する復号器から成る。又、後者は各チャンネル毎にパルス符号化されたデジタル信号の時分割多重・分離に必要な多重化／分離回路、パルス発生・供給回路及び受信パルス符号列の中から送信側と一致したパルスの識別を行うための同期回路から成る。本研究では、これら端局装置に必須の基本回路のうち高速化が最も要求される画像伝送用の符号／復号器と多重化／分離回路の回路方式及びモノリシック I C 化の可能性について検討を行った。前者については、振幅 4 V_{p-p} 、立上り／立下り時間 0.5 ns の標本化ゲート駆動用 I C⁶⁵⁾ と高速・高感度信号判別を実現するために提案したベース駆動形電圧比較器⁶⁶⁾ を導入することにより 7.5 ビット相当の S N R を有する 100 Mb/s 逐次帰還形符号／復号器⁶⁷⁾ を実現し、モノリシック I C 化が可能であることを確認した。後者については、多重化／分離回路の高速・多機能化を実現するための鍵を握る 2 モード可変分周器 (タイミング回路に適用) の高速化を論理構成、回路方式の面から検討し、従来の分周器の約 2 倍で動作する直接帰還形論理構成法を提案し、I C 化によりその有効性を確かめた。

本章では、端局装置の高速・多機能化に最も重要な多重化／分離回路を取上げる。最初に、多重化／分離回路の高速論理構成法について論じ、次に、2 モード可変分周器の回路方式及びモノリシック I C 化について検討する。

7.2 多重化／分離回路

最近、高速多重化／分離回路のモノリシック I C 化が活発化している^{68)~71)}。本節では、最初に多重化／分離回路の論理構成法を呈示し、次に、高速・多機能化に必須の 2 モード可変分周器について述べる。

7.2.1 多重化回路

図 7.1 (a) に 4 : 1 多重化回路のブロック図を示す。この多重化回路は主に 4 ビットラッチ回路、4 : 1 多重化論理回路及びタイミング回路とから成る。4 ビットラッチ回路は 4 チャンネルの入力信号を同時に読込み、データを保持するために用いられるもので、入力信号間の位相差

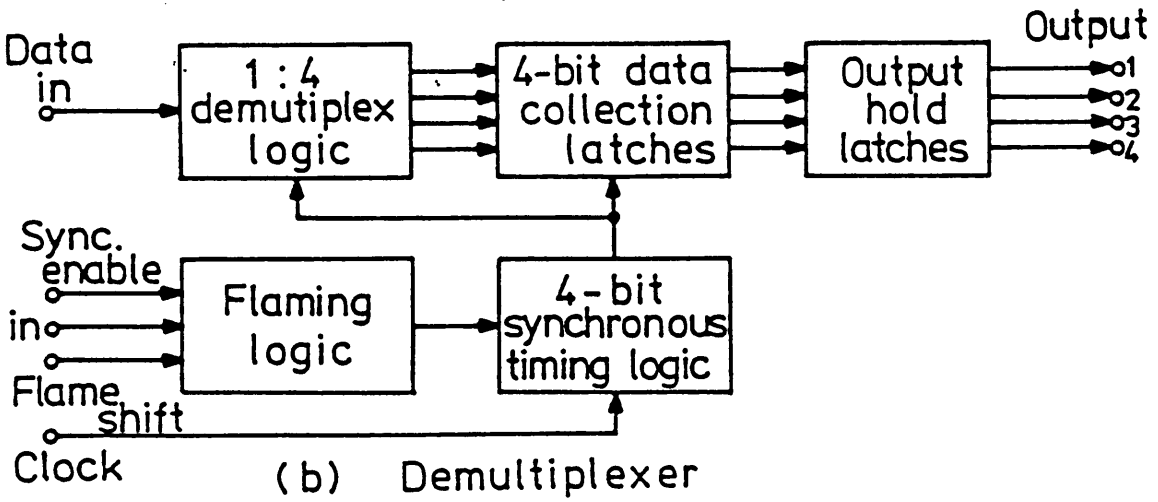
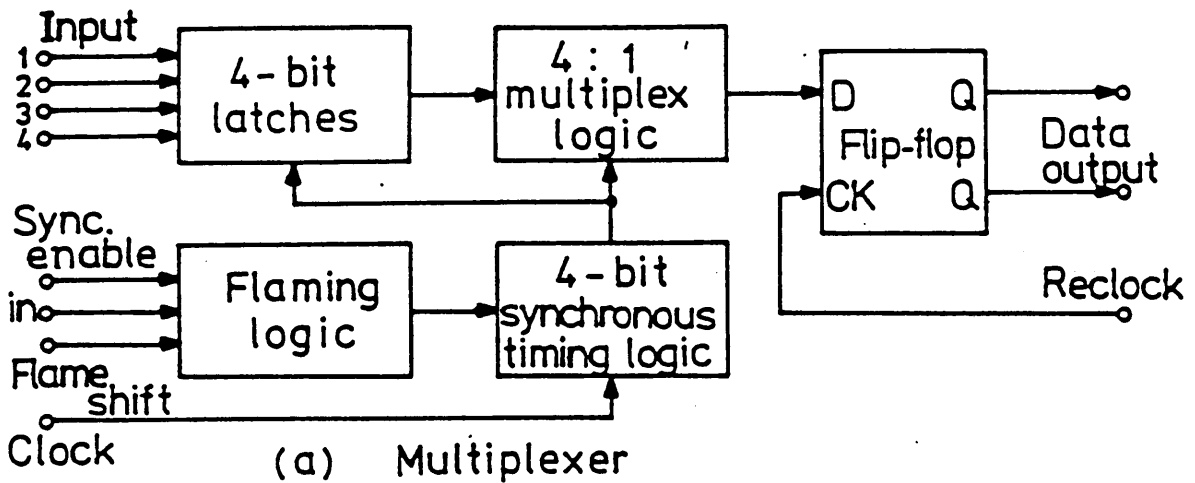


図 7.1 デジタル信号多重化/分離回路

を補正し、多重化におけるタイミング位相余裕を大きくすることができる。タイミング回路は $1/4$ クロック信号と多重化に必要なチャネル1～4の信号読出しパルスを生成するためのもので、同期式2ビットカウンタとこのカウンタ出力を論理演算するゲート群から成る。多重化論理部はラッチ回路から読出された信号を多重化するためのもので、論理ゲートが用いられる。尚、最終段のフリップフロップは論理回路で多重化された信号をリクロックすることにより波形整形するために用いられる。フレーミング回路は、タイミング回路に2モード可変分周器を導入し、多機能化を図る場合に必要な回路で、通常の固定分周器を用いる場合には省略される。

図7.2に、タイムチャートを示す。(2)～(4)がラッチ回路に保持されている各チャネルデータの読出しクロックで、クロック信号(1)の $1/4$ の周波数をもつ。(6)～(9)が $1/4$ クロック信号(2)でラッチ回路に読み込まれたデータである。各チャネル毎に読出しクロックとデータとの論理積をとるとデータの1部を切出した(10)～(13)の読出しデータが得られる。従って、これらのデータを論理加算すれば(14)の4チャネル多重化信号が得られる。図で示した t_{pd} は論理演算によって生じるゲートやフリップフロップの遅延時間であるが、これがデータを切出す場合の動作余裕を減じる因となる。例えば、チャネル1ではこの位相関係ではデータを切出すことができないので、チャネル2～4のいずれかの読出しクロックにてラッチ回路に保持されているデータをシフトする必要がある。この操作を行った結果を(6)の破線で示すが、データ読出し時のタイミング位相余裕を大きくすることができる。又、新たに提案したチャネル2のデータと読出しクロック間の位相差を常に $1/2$ タイムスロットにする自動位相整合方式を適用した。この方式の適用により、フリップフロップと等しい速度で動作する多重化回路を実現できる見通しを得ることができた。GaAs ICのシミュレーション結果では、フリップフロップのトグル周波数と等しい 6Gb/s で動作することを確認した。

7.2.2 分離回路

図7.1(b)に、1:4の分離回路を示す。この回路は基本的には直-並列信号変換回路であり、4ビットのシフトレジスタと出力バッファメモリ(ラッチ回路)及びデータをシフトし、メモリに読込むためのクロック信号を生成するタイミング回路とで構成される。図7.3に、タイムチャートを示す。(3)～(6)はクロック信号(1)によって1ビットずつシフトされた受信パルス符号列である。図から分るように、 $1/4$ クロック信号でこれらの符号列を同時にメモリに書込めば(7)～(10)に示す各チャネルデータを再生することができる。分離回路の動作速度を決める要因は $1/4$ クロック信号と受信パルス符号列の位相余裕である。通常は、ゲートの遅延時間を利用して位相関係を調整しているが、モノリシックICの場合には遅延時間の設定が難しく、又、

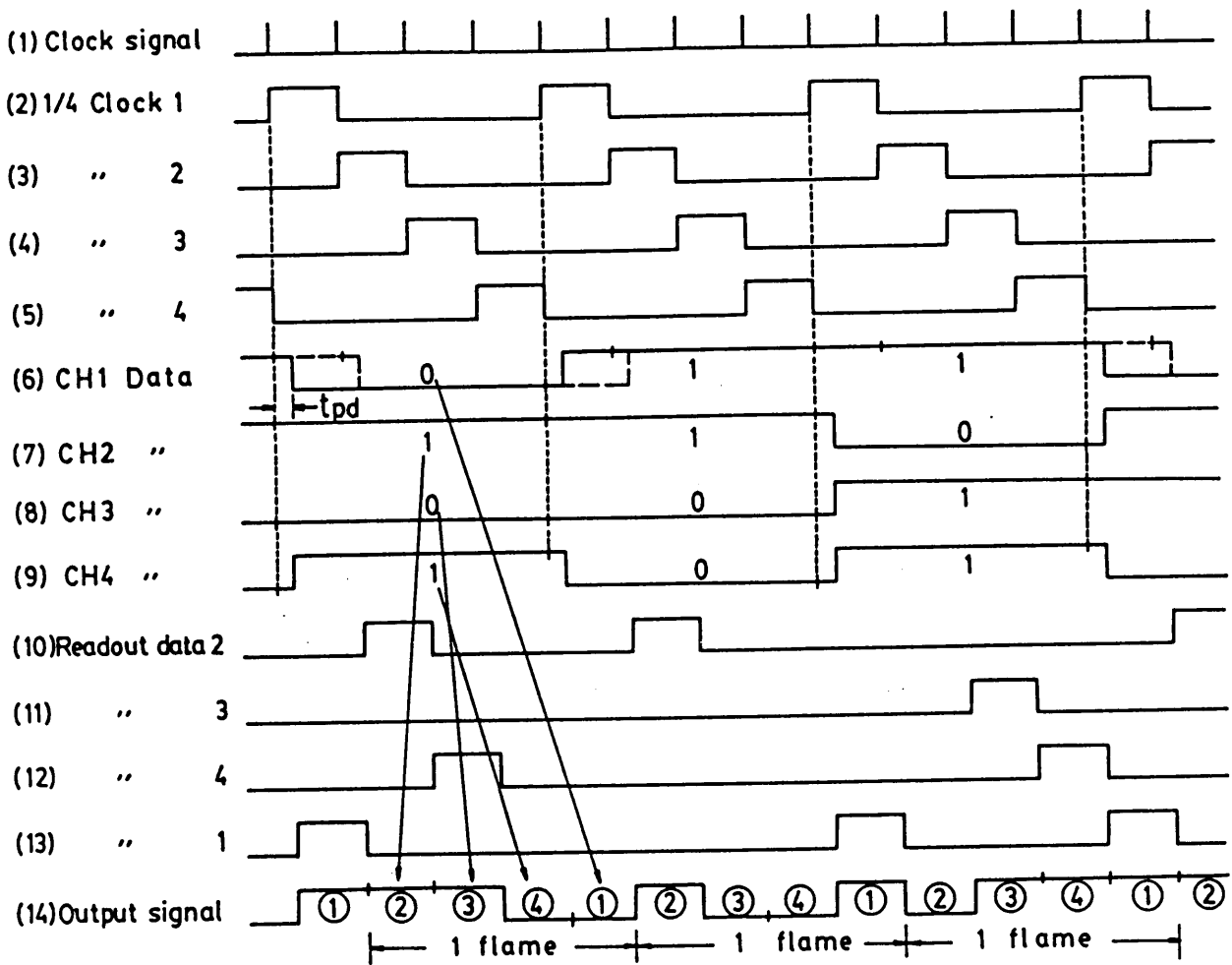


図 7.2 4:1 多重化回路のタイムチャート

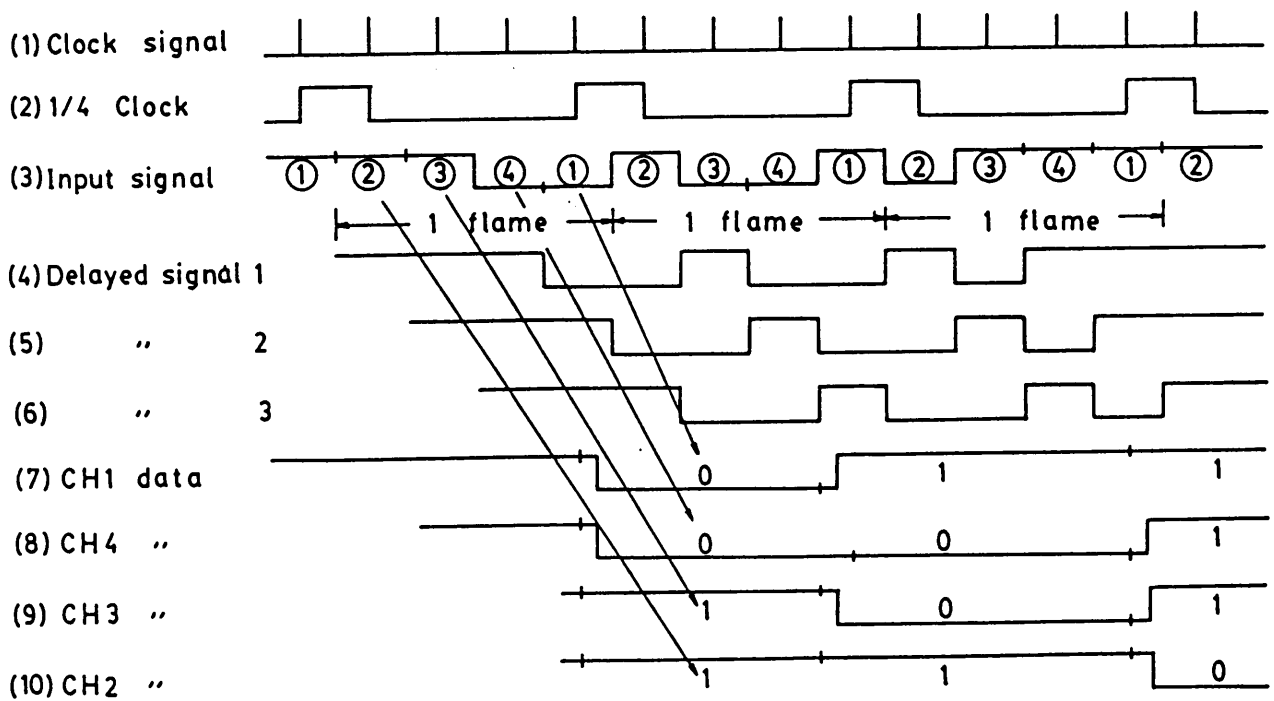


図 7.3 4:1 分離回路のタイムチャート

位相差が固定されるため、この位相差によって動作速度が制限される。従って、本研究では、この位相差をクロック周波数が変化しても常に $1/2$ タイムスロット ($T/2$) になるような論理構成上の工夫を施し高速化を図った。GaAs ICのシミュレーション結果では、フリップフロップと等しい速度の 6Gb/s まで動作する見通しを得ている。尚、 $T/2$ 遅延回路としては構成を簡易化するためラッチ回路を用いている。

7.2.3 2モード可変分周器

高速可変分周器は自動車電話や計測、家電等の分野におけるデジタル信号処理装置の高速化には不可欠なものであり、このためその開発が活発に進められている⁷²⁾⁷³⁾。最近、光通信の分野においても信号多重化/分離回路の多機能化(ビット制御、多重度の拡大等)の要請に伴ない高速可変分周器、特に、2モード可変分周器がタイミング回路に積極的に活用されるようになってきた⁷⁰⁾⁷¹⁾。しかし、2モード可変分周器の速度によって多重化/分離回路の動作速度が決まるため、導入に当ってはその高速化が鍵となる。

2モード可変分周器の高速化にはプロセスの改良による方法と論理構成や回路方式などの工夫による方法とが考えられる。しかし、プロセスの改良による高速化には限界があり、実用的な観点からは素子性能を最大限に活かす論理構成法及び回路方式の工夫による高速化が必須となる。本項では、最初に論理構成面から2モード可変分周器の高速化について検討し、従来の2倍近い動作速度を実現できる直接帰還形2モード可変分周器を提案する。次に、直接帰還形論理構成法を適用した2モード可変分周器のモノリシックIC化について検討し、その有効性を明らかにする。更に、多モード可変分周器の直接帰還形論理構成法に言及し、一般的な分周数を与える基本式を導出する。

7.2.3.1 直接帰還形論理構成法の提案²²⁾

(i) 高速化の条件

図7.4に分周数が4と5の場合の従来形2モード可変分周器の代表的な論理構成例を、表7.1にその真理値表を示す。図7.3に示すように、分周動作はフリップフロップFF2、FF3の論理和信号をFF1に帰還することにより行う。表7.1のクロック4でFF1、FF2、FF3の出力状態 $[Q_1, Q_2, Q_3]$ が $[1, 1, 1]$ から $[1, 0, 1]$ に遷移した後、次のクロック5の入力時点までにFF3の出力状態“1”レベルがFF1のデータ入力に伝わっているか否かによって分周数が決定される。例えば、モード切換え信号(Mode Cont.)が“0”の場合にはFF3の出力“1”は図7.4に示すANDゲートを通らず、FF1のデータ入力にはFF2の出力状態“0”だけが加わる。従って、この状態でクロック5が入ると

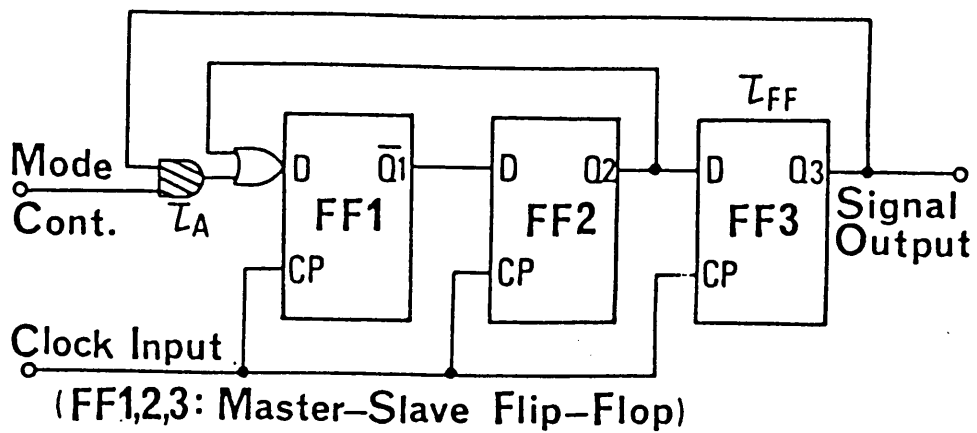


図 7.4 従来形論理構成による 2 モード可変分周器

表 7.1 従来形 2 モード可変分周器の真理値表

クロック番号	Q_1	Q_2	Q_3
1	1	0	0
2	0	0	0
3	0	1	0
4	1	1	1
5	1	0	1

Diagram showing feedback paths from the Q_3 output to the Q_1 and Q_2 inputs of the flip-flops, labeled $1/4$ and $1/5$ respectively.

FF2の出力“0”がFF1とFF3に加わる。このため、各々のフリップフロップの出力状態は〔1, 0, 1〕から〔0, 0, 0〕に遷移し、分周数は4になる。同様に、モード切換え信号が“1”の場合にはANDゲートが開きFF3の出力信号がデータ入力に伝わるためクロック5の入力により出力状態は〔1, 0, 1〕から〔1, 0, 0〕に遷移し、分周数は5となる。

一般に、帰還ループの動作速度はループ遅延時間で決まる。図7.4に示す論理構成の場合には、モード切換え信号が“1”の時FF3の出力がANDゲートを介してFF1に帰還されるので、ループ遅延時間はフリップフロップとANDゲートの遅延時間の和となる。従って、各々の遅延時間を τ_A 、 τ_{FF} とすると動作限界周波数 f_{maxc} は

$$f_{maxc} = \frac{1}{2(\tau_{FF} + \tau_A)} \dots\dots\dots (7.1)$$

で与えられる。図7.4の説明で明らかのように、ANDゲートは分周数を切替えるのみで本来の分周動作には不要なものであり、 τ_A は τ_{FF} に比べて短い程、2モード可変分周器は高速で動作する。しかし、実際の高速フリップフロップではその遅延時間がゲートの1~1.5段分であり、 τ_A と τ_{FF} はほぼ同等となる。このため、従来形論理構成法では本質的に高速化を図ることは難しい。従って、高速で動作する2モード可変分周器を実現するにはANDゲートを用いずに分周数を切換え、フリップフロップの遅延時間のみで動作速度が決まるような新しい形態の論理構成を考えることが必要となる。

次に、高速化の一手段として図7.1でANDゲートを介することなくフリップフロップFF3の出力をFF1に直接帰還する論理構成が実現できるものを考える。この場合のループ遅延時間は τ_{FF} に等しくなるから、動作限界周波数 f_{maxN} は

$$f_{maxN} = \frac{1}{2\tau_{FF}} \dots\dots\dots (7.2)$$

となる。従って、式(7.1)と式(7.2)を使えば従来形論理構成を直接帰還形論理構成とすることによる高速化の度合を計算できる。式(7.1)(7.2)より、両者の動作限界周波数の比は

$$\frac{f_{maxN}}{f_{maxc}} = 1 + \frac{\tau_A}{\tau_{FF}} \dots\dots\dots (7.3)$$

となる。式(7.3)は従来形論理構成において τ_A が τ_{FF} に比べ無視できない場合、即ち、ゲート換算段数(= τ_{FF} / τ_A)の少ない高速フリップフロップを用いる場合には直接帰還形論理

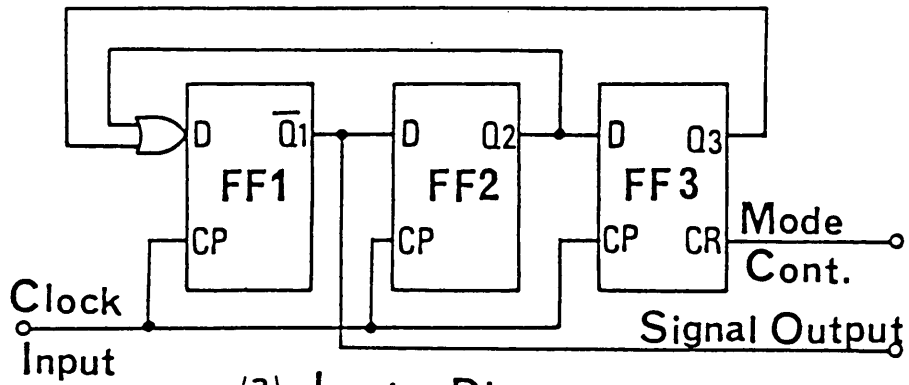
構成とすることにより大幅な高速化が実現できることを示す。例えば、ゲート換算段数が1～1.5段のフリップフロップを用いた場合には、直接帰還形論理構成は従来形論理構成の1.7～2倍の動作限界周波数をもつことになる。

(ii) 直接帰還形論理構成法

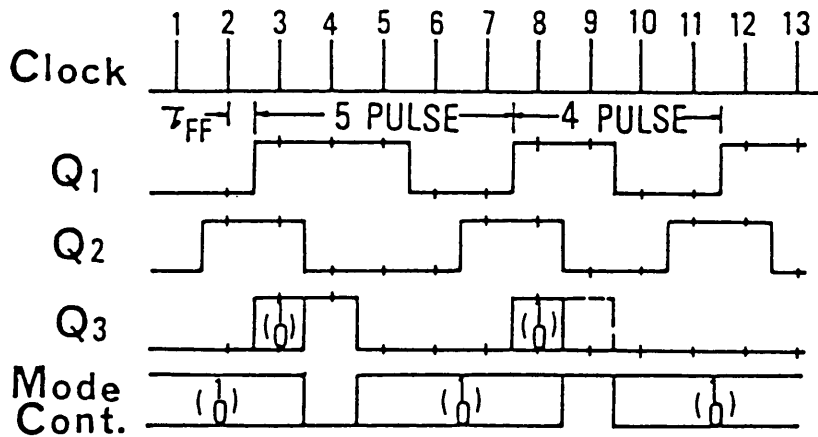
直接帰還形2モード可変分周器の動作速度は、フリップフロップの速度で決まるので原理上最も高速で動作する。この場合、速度を落さずに分周数を切替えることが重要となる。これを実現する一手段として、新たにスイッチ機能を兼ねたクリア付きフリップフロップを開発した。このフリップフロップを図7.4に示すFF3と置換し、モード切換え信号によって強制的に出力をクリアさせて分周数を切替える。図7.5に、直接帰還形2モード可変分周器の論理構成及びタイムチャートを示す。FF3からFF1への直接帰還、FF3にスイッチ機能があることなど論理構成上の大きな相違があるが、基本的な動作は従来形2モード可変分周器と同じである。次に、直接帰還形2モード可変分周器の動作原理を簡単に述べる。まず、モード切換え信号が“0”レベルの時であるが、この場合の動作モードは従来構成と基本的には同じである。最初に、FF1、FF2、FF3の出力状態 $[Q_1, Q_2, Q_3]$ が $[0, 0, 0]$ にあったとすればFF1、FF3への入力状態は“0”，FF2への入力状態は“1”となるからクロック1により $[Q_1, Q_2, Q_3]$ は $[0, 1, 0]$ に遷移する。従って、次のクロック2の入力時点では Q_2 の“1”がFF1、FF3に入るから出力状態は順次 $[1, 0, 1]$ $[1, 0, 0]$ $[0, 0, 0]$ に遷移することになる。即ち、クロック5個毎に状態遷移は一巡するから、2モード可変分周器は1/5分周器として動作することになる。次に、モード切換え信号が“1”レベルの時であるが、この場合の動作は従来形と異なり、FF3の出力が強制的に“0”に設定されるため、分周動作はFF1とFF2のみで行われる。この時の分周数は4となり、出力はFF1、或いは、FF2より取出される。以上の動作は図7.5(b)のタイムチャートに示されているが、図中()で記してある期間はモード切換え信号のレベルが任意でよいことを示す。

(iii) 実験結果

直接帰還形2モード可変分周器はフリップフロップと等しい動作速度をもつが、ここではこれを実証するために行った実験結果について述べる。図7.6(a)はフリップフロップにフェアチャイルド社のIC(11C06)を用いて構成した分周数が4と5の実験例である。この構成では、FF3の出力を強制的にオフさせる方法としてデータ入力を2端子とし、一方にモード切換え信号の“1”を加える方法を用いている。最初に、実験では動作限界を調べるために正弦波ク



(a) Logic Diagram



(b) Time Chart

图 7.5 直接帰還形 2 モード可変分周器

ロック信号に直流バイアスを重畳させ、動作周波数が最高となるバイアス条件を求めた。図7.6(b)はこの時の分周動作を示したもので、動作限界周波数は785MHzであった。次に、同じバイアス条件下で各フリップフロップのトグル限界周波数を求めたが、FF1が最低速度で785MHzであった。これから、直接帰還形2モード可変分周器がフリップフロップと同じ速度で動作することを実証することができた。これは、直接帰還形2モード可変分周器が、多重化/分離回路のタイミング回路に用いられている固定分周器と置き換えても動作速度の劣化を生じることなく多機能化を実現できる有力な手段になり得ることを示す。

7.2.3.2 直接帰還形2モード可変分周器のモノリシックIC化²³⁾

前項では、論理構成の面から高速化の検討を行い、最終段フリップフロップFF3の出力を初段フリップフロップFF1の入力に直接帰還し、FF3をオン、オフさせて分周数を切替える新しい論理構成の直接帰還形2モード可変分周器を提案した。又、この直接帰還形2モード可変分周器がフリップフロップと同じ速度で動作し、従来の論理構成による可変分周器の約2倍で動作することを実証した。本項では、直接帰還形論理構成法を適用した2モード可変分周器のモノリシックIC化について検討する。

(i) IC設計

直接帰還形2モード可変分周器の動作速度はフリップフロップの速度によって決まるので、フリップフロップの高速化が最も重要である。特に、帰還信号をオン、オフさせる機能を付加したフリップフロップの高速化が鍵となる。ここでは、1GHz以上で動作するICを実現するための論理設計、回路設計及びレイアウト設計の要点について述べる。

① 設計諸元

表7.2に、試作する2モード可変分周器の主な設計諸元を示す。ICの動作速度は電源電圧 $5V \pm 10\%$ 、周囲温度 $-40 \sim +85^{\circ}\text{C}$ の範囲において1GHz以上を目標とした。分周数は光通信の場合、(7, 8), (5, 6), (4, 5)などの組合せが用いられるが、ここでは汎用性を考慮し64及び65とした。フリップフロップの基本回路には高速化を図ると共に消費電力を低減し、且つ、雑音余裕を考慮してシリーズゲート形ECLを採用し、論理振幅を0.5Vとした。トランジスタは高速部にエミッタ寸法が $3 \times 5 \mu\text{m}^2$ 、低速部に $4 \times 10 \mu\text{m}^2$ のものを使うことを基本とし、抵抗は高速部にn形、低速部にp形のものを使用した。ゲート電流、エミッタホロア電流の供給には定電流源を用い、高抵抗の使用によるチップ面積の増大を避けた。尚、プロセスには $3 \mu\text{mSi}$ -バイポーラプロセスを使用し量産化を目指した。

表 7.2 試作 2 モード可変分周器 MS I の主要設計諸元

動作周波数	1 GHz以上
分周数	64, 65
伝播遅延時間	25 ns 以下 (M→Q _{TTL})
電源電圧	5 ± 0.5 V
周囲温度	-40~+85°C
消費電力	420 mW typ.
出力形式	ECL及びTTL
分周数切換え信号入力形式	ECL
基本回路形式	シリーズゲート型ECL
基本エミッタ寸法	3 ^W × 5 ^L μm ² , 4 ^W × 10 ^L μm ²
チップ寸法	2 × 2 mm以下
使用プロセス	酸化物分離Siバイポーラ量産プロセス

② 論理設計

(1) 論理構成

一般に、分周数の大きな2モード可変分周器を構成する場合、低消費電力化の観点より高速で動作する2モジュール（基本的には2モード可変分周器）の分周数を小さく選び、エクステンダにより更に大きな分周数に拡張する方法がとられる。図7.7に、この考え方を基に構成した分周数64及び65の直接帰還形2モード可変分周器の論理構成を示す。この分周器は2モジュール（分周数が4と5）、エクステンダ（分周数が16）、クロック分配器、ECL-TTL変換器、分周数切換え回路（ORゲート）から構成される。これらのうち、分周動作に関与するのは2モジュールとエクステンダであり、2モジュールの分周数4、5を所定の64、65に拡張している。2モジュールは最も高速で動作することが要求され、この速度で全体の動作速度が決まる。このため、2モジュールはFF1～FF3による3ビットの直接帰還形同期式カウンタ構成とし、エクステンダは消費電力を低減するためフリップフロップFF4～7による4ビットの非同期式バイナリカウンタ構成とした。尚、2モジュールの分周数切換えにはFF5～7の出力のwired-OR信号とFF4の出力信号及び外部から供給されるモード切換え信号の論理和演算により得られる信号を用いている。クロック分配器は外部信号源から供給されるクロック信号をFF1～3に波形整形して伝達することと、外部信号源の負荷を軽減するために設けた。出力インタフェースは標準のECL、TTL回路と互換性をもたせた。

(2) 動作原理

先ず、2モード可変分周器の分周動作を把握するため、図7.7を参照しながら動作原理を簡単に説明する。既に述べたように、エクステンダは4ビットのバイナリカウンタであるから4個のフリップフロップFF4～7が取り得る論理状態の組合せは16となる。従って、これらの論理和信号は“1”の状態が15、“0”の状態が1となる。それ故、論理信号が“1”の時には2モジュールの制御信号はモード切換え信号とは無関係に“1”となり2モジュールの分周数4が選択されるので、この期間の総カウント数は60となる。次に、論理和信号が“0”の時であるが、この場合には2モジュールの制御信号のレベルはモード切換え信号のレベルで決まるから、2モジュールの分周数はモード切換え信号が“1”の時4、“0”の時5となる。即ち、2モジュールの総カウント数はモード切換え信号が“1”の時64、“0”の時65となり、FF4～7の論理和信号が“0”レベルにある時のみ分周数が切換えられる。これらの分周過程をすべての場合についてまとめたものを表7.3に示す。表7.3では分周数が65→64→64→65→65に遷移する例を示すが、他の遷移過程の場合でも基本動作は同じである。尚、表中の□印で囲んだ情報の

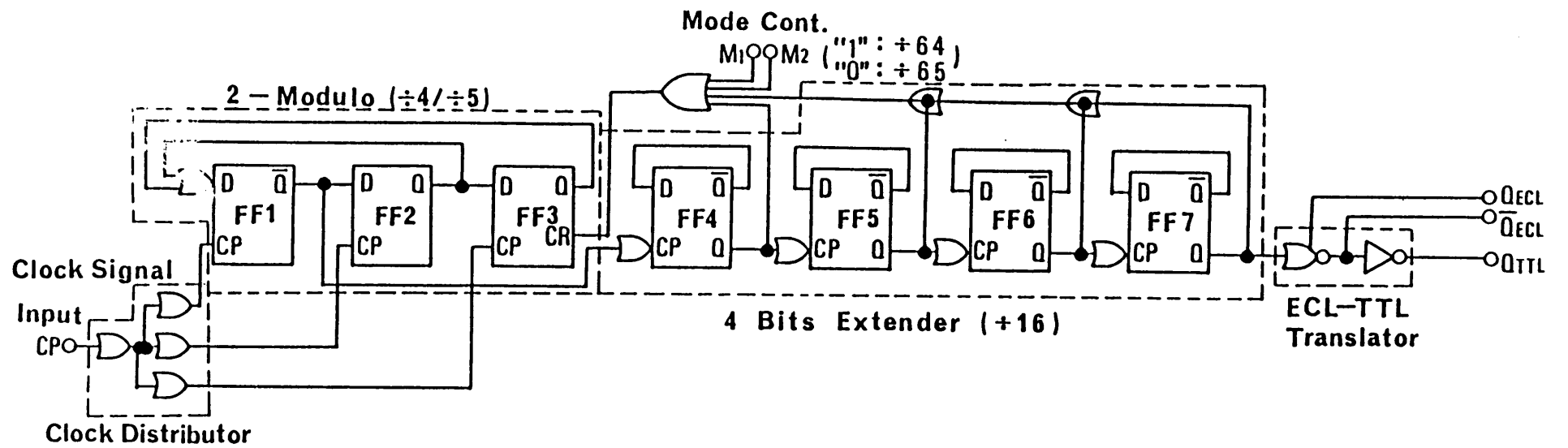


図 7.7 試作した直接帰還形 2 モード可変分周器 IC の論理構成

表 7.3 分周数64及び65の2モード可変分周器の真理値表

分周数	状態番号	2モジュール分周数	エクステンダ論理和	2モジュール制御信号	Mode Cont.
初期状態	0	4	1	1	×
65	1	5	0	0	0
	2	4	1	1	×
	5	5	5	5	5
	60	16	4	1	×
↓					
64	17	4	0	1	1
	4	4	1	1	×
	60	5	5	5	5
	32	4	1	1	×
↓					
64	33	4	0	1	1
	4	4	1	1	×
	60	5	5	5	5
	48	4	1	1	×
↓					
65	49	5	0	0	0
	5	4	1	1	×
	60	5	5	5	5
	64	4	1	1	×
↓					
65	65	5	0	0	0
	5	4	1	1	×
	60	5	5	5	5
	80	4	1	1	×

□印：この時の情報のみが分周数を決める。 ×印：任意レベル

みが分周数の決定に関与する。状態番号が 1, 17, 33, 49, 65の時点でモード切換え信号が“0”であれば2モジュールの分周数が5, “1”であれば4となることが分る。

③ 回路設計及びレイアウト設計

回路設計で最も重要な事柄は分周動作の基本となるフリップフロップであるが、これには使用実績の高いMECLⅢ形マスタスレーブフリップフロップを採用した。特に、直接帰還形2モード可変分周器を実現する上で必要なクリア付きフリップフロップについてはオン、オフ機能を追加することにより速度劣化が生じないような回路構成及びレイアウトの工夫が要求される。図7.8に今回新たに開発したクリア付きフリップフロップの回路構成を示すが、出力を強制的にクリア(ANDゲートによるスイッチング機能と同じ機能)するために2個のトランジスタを図の位置に付加しゲート電流を吸収する方法を用いた。しかし、この構成ではコレクタを共通とするトランジスタが4個となり、コレクタ・基板間容量が増大して速度劣化を惹き起すので、これを避けるために4個のトランジスタを図7.9に示すような1個のクラスタ構造にして容量の低減を図った。クラスタ構造を最適化することによりこの容量を0.55pF(零バイアス時)以下に抑え、又、回路定数の最適化を図った結果、クリア機能のないフリップフロップとほぼ同じ動作速度を得ることができた。この時の消費電力の増加は僅かで約3mWであった。クロック分配器は信号源からのクロック信号を2モジュールに忠実に伝達するためのものであるが、実際にはゲートの帯域不足により波形が歪み、OR, NOR出力の直流分に差異を生じる。それ故、設計ではゲートのOR, NOR出力の直流分に波形歪によって生じる直流分変動に相当する補正量を予め与えている。これは、高速化の他にクロック信号の無入力時における自己発振を防止する点からも有効な手段となる。尚、クロック入力信号の直流レベルは内蔵した基準バイアス回路により与えられる。

式(7.2)より1GHz以上の動作周波数を得るにはフリップフロップの遅延時間は0.5ns以下でよく、現状のSi-バイポーラプロセスで十分実現できる値である。表7.4に計算機シミュレーションに用いたトランジスタ定数の標準値を示す。シミュレーションではフリップフロップの遅延時間0.35~0.4nsを目標にして回路設計及びレイアウト設計を行い、高速フリップフロップのゲート電流が2mA, エミッタホロア電流が1mA, コレクタ負荷抵抗が250Ωなる条件で1GHz以上の動作速度が得られる見通しを得た。図7.10に、試作した2モード可変分周器ICのサブ回路の配置図及びチップの外観写真を示す。チップ寸法は1.78×2.08mm²で、トランジスタ285個, n形抵抗84個, p形抵抗86個を集積化している。

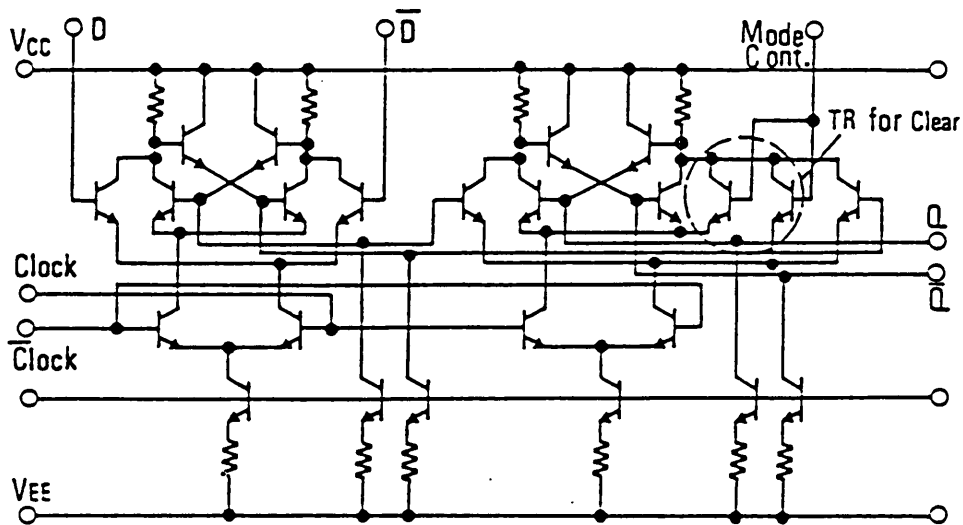


図 7.8 クリア付きフリップフロップの回路構成

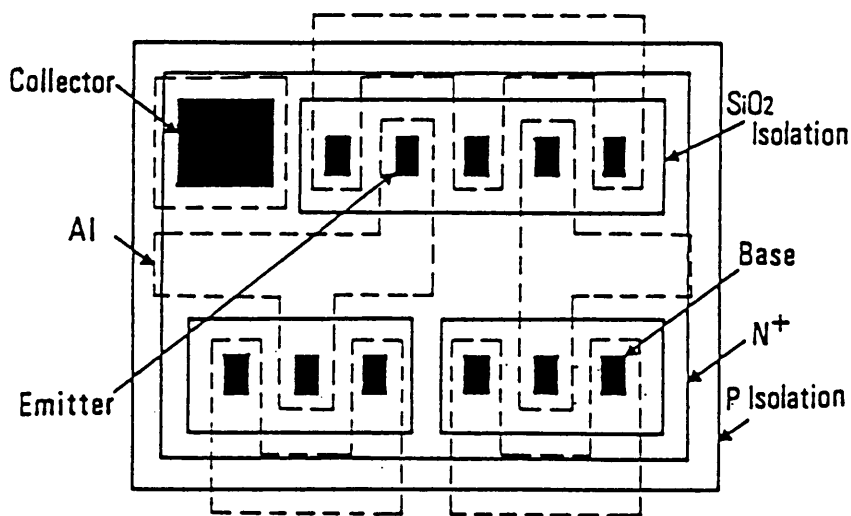
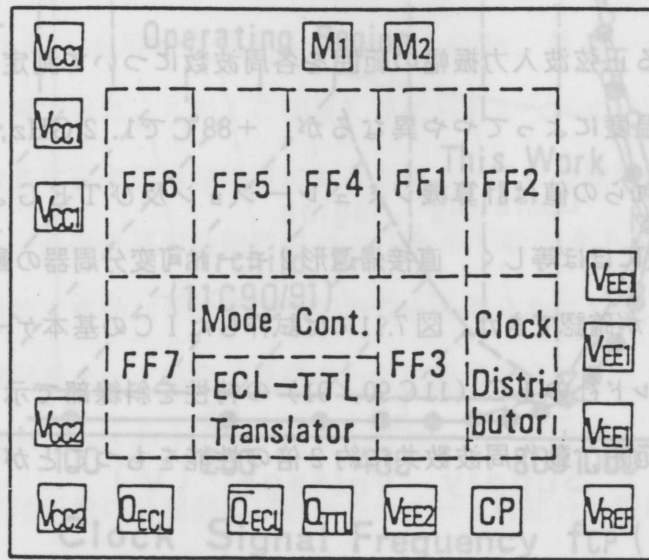


図 7.9 4トランジスタのクラスタ構造

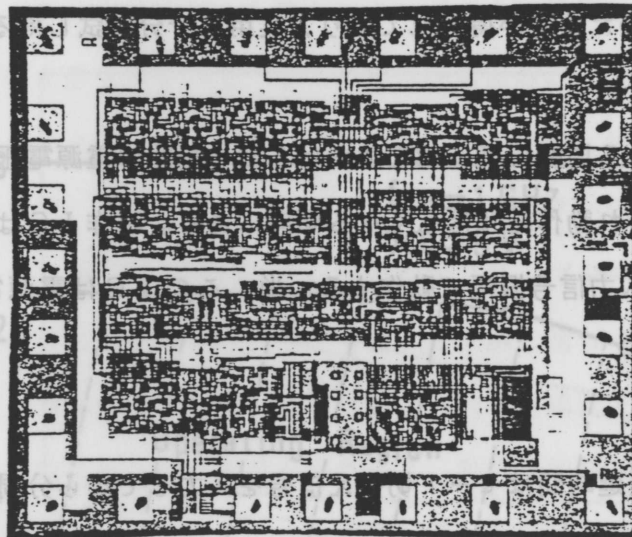
表 7.4 使用トランジスタ定数の標準値

デバイス定数		回路	高速部	低速部
ベース構造			ダブルベース	シングルベース
エミッタ寸法			$3 \times 5 \mu\text{m}^2$	$4 \times 10 \mu\text{m}^2$
接合容量**	コレクター-基板間	C_{sr}	0.28 pF	0.27 pF
	コレクター-ベース間	C_{cb}	0.076 pF	0.15 pF
	エミッター-ベース間	C_{eb}	0.085 pF	0.15 pF
利得・帯域幅積		$*f_T$	4.5 GHz	4.5 GHz
ベース抵抗		$*r_{bb}$	200 Ω	360 Ω
電流増幅率		h_{fe}	80	80

* エミッタ電流 = 2 mA, ** 零バイアス時



(a) Configuration of Sub-Circuits



(b) Photograph of a MSI chip (Size: 1.78x2.08mm²)

図 7.10 試作 IC のサブ回路配置及びチップ外観

(ii) 試作結果

① 動作範囲

(1) 周波数依存性

試作した IC が動作する正弦波入力振幅の範囲を各周波数について測定した結果を図 7.11 に示す。動作限界周波数は温度によってやや異なるが、 $+88^{\circ}\text{C}$ で 1.2 GHz 、 25°C 以下では 1.3 GHz が得られている。これらの値は計算機シミュレーション及び TEG より得られるフリップフロップのトグル周波数にはほぼ等しく、直接帰還形 2 モード可変分周器の動作速度がフリップフロップの速度で決まることが確認できた。図 7.11 には試作した IC の基本ゲートとほぼ同じ遅延時間を有するフェアチャイルド社の IC (11C90/91) の特性を斜線部で示してあるが、この IC に比べ試作 IC は動作範囲、動作周波数共に約 2 倍の性能をもつことが分る。

(2) 周囲温度依存性

図 7.12 は正弦波入力信号の周波数を 1 GHz とした時の動作範囲を各周囲温度において測定した結果を示したものである。動作範囲は高温でやや狭くなるが、 $+88^{\circ}\text{C}$ で入力振幅が $0.5 \sim 1.8\text{ V}_{\text{p-p}}$ と広い範囲にわたる値が得られており、実用に十分供試し得ることが分る。

(3) 電源電圧依存性

図 7.13 に、最悪条件である周囲温度 $+88^{\circ}\text{C}$ における動作範囲の電源電圧依存性を示す。図より電源電圧が高くなるにつれ動作範囲は広くなる傾向にある。試作 IC は電源電圧が 4.5 V の時、 $0.4 \sim 1.6\text{ V}_{\text{p-p}}$ の入力信号振幅で動作する。尚、この IC は電源電圧 3.5 V まで動作することを確認している。

② 伝播遅延時間

2 モード可変分周器の遅延時間はモード切換え信号を入力してから分周数の切換った信号が出力に得られるまでの時間、即ち、図 7.7 に示す $M \rightarrow Q_{\text{ECL}}$ 、或いは、 $M \rightarrow Q_{\text{TTL}}$ 間の時間で定義される。この遅延時間は、実際の場合、分周器単体で測定するのは難しい。そこで遅延時間を間接的に求める方法として IC の出力 Q_{ECL} 、或いは、 Q_{TTL} とモード切換え信号の入力 M との間に可変の遅延線を挿入し、この遅延線の遅延量を変えながら分周数が切換わる最小の遅延時間を求める方法を用いた。この方法では、入力クロック信号の 64 周期分からこの遅延時間を差し引くことにより 2 モード可変分周器固有の遅延時間を求めることができる。図 7.14 に、この方法により求めた試作 IC の遅延時間の周囲温度依存性を示す。同図から遅延時間は ECL 出力では温度に対する依存性が殆んど見られず、 $9 \sim 10\text{ ns}$ であった。尚、遅延時間の電源電圧依存性も小さく、 $4.5 \sim 5.5\text{ V}$ の範囲で $1 \sim 2\text{ ns}$ 変化するのみであった。

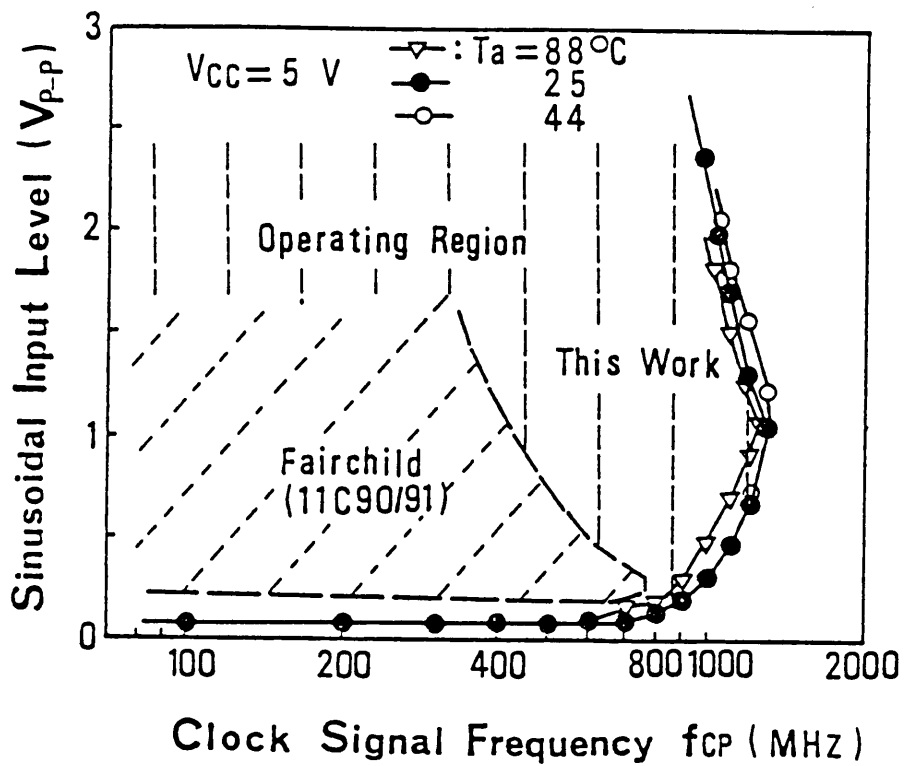


図 7.11 動作範囲の周波数依存性

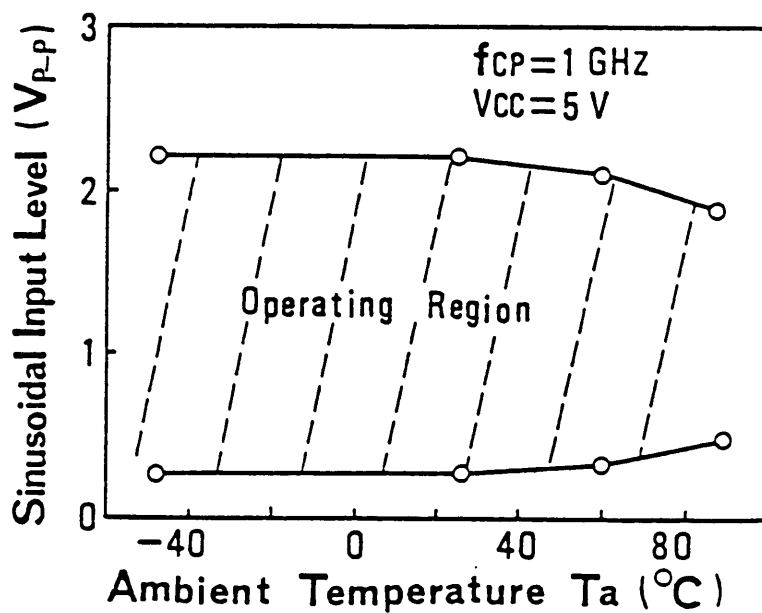


図 7.12 動作範囲の周囲温度依存性

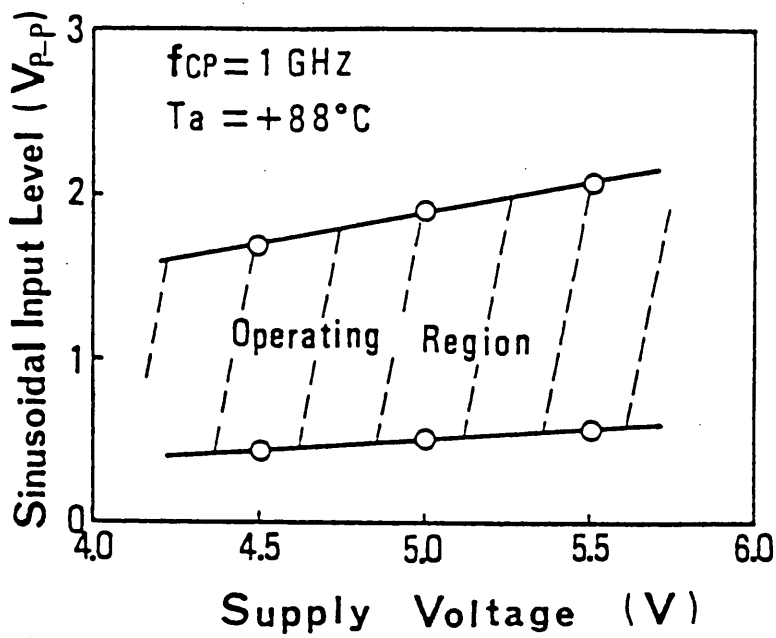


図 7.13 動作範囲の電源電圧依存性

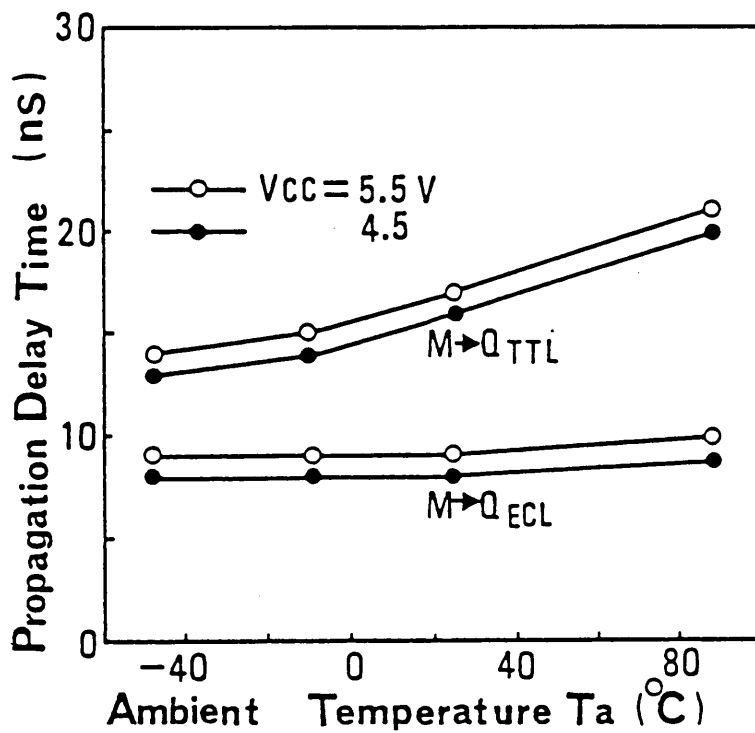


図 7.14 伝播遅延時間の周囲温度依存性

(iii) まとめ

以上、分周数が64及び65の直接帰還形2モード可変分周器のモノリシックIC化を検討し、実現が可能であることを示した。高速化の観点から回路方式、論理構成に工夫を加え、 $3\mu\text{m}$ Si-バイポーラプロセスを用いて実用レベルで1GHz、最高レベルで1.3GHzなる動作速度をもつICを実現できた。このICは表7.5に示すようにすべて目標を満たしており、動作範囲、動作周波数共に従来形論理構成による2モード可変分周器の約2倍の性能をもつことを示した。これから、直接帰還形論理構成法がGHz帯で動作する分周器やカウンタなどのICを開発する上で極めて有効な手段となり得ることを明らかにした。

7.2.3.3 直接帰還形多モード可変分周器の一般的論理構成法⁷⁴⁾

前項までは分周数が4と5の2モード可変分周器について述べたが、直接帰還形論理構成法を汎用的に用いるには任意の分周数の組合せや多モード可変分周機能をもつ論理構成法が要求される。ここでは、この要求を満たす一般的論理構成法を提案する。図7.15に、直接帰還形多モード可変分周器の一般的論理構成を示す。この構成は図7.5に示すFF1、FF2をLビットのリングカウンタ、FF3をKビットのシフトレジスタに拡張したものである。

最初に、モード切換え信号がすべて“1”の場合を考える。この場合の動作は単純である。Kビット・シフトレジスタ内のフリップフロップ $FF_{s_1} \sim FF_{s_k}$ はすべてクリアされ、出力は“0”となる。このため、シフトレジスタからリングカウンタへの帰還信号が“0”となり、分周動作はリングカウンタだけで行われる。この時のフリップフロップFF1とFFLの状態遷移は表7.6の真理値表に示すように、“1”と“0”がL個ずつ連続した信号系列となる。即ち、多モード可変分周器は分周数 $2L$ なる偶数進系列の分周器として動作する。

次に、モード切換え信号が“0”の場合を考える。動作を理解し易くするために、 $FF_{s_1} \sim FF_{s_4}$ 以外はすべてクリアされており、初めに図7.15の×印点が切り離され、シフトレジスタからの論理和信号が帰還されないものとする。この時、リングカウンタは $FF_{s_1} \sim FF_{s_k}$ がすべてクリアされている場合と同様、分周数 $2L$ の分周器として動作する。但し、 $FF_{s_1} \sim FF_{s_k}$ はFFLの出力状態を1ビットずつシフトしているので、この時の各フリップフロップの状態遷移は表7.7(a)のようになる。さて、この状態で×印点を接続してシフトレジスタからの論理和信号をFF1に帰還させると、クロックLで FF_{s_1} の出力 Q_{s_1} の“1”がFF1に加わるので“1”→“0”に遷移すべきところが“1”→“1”に遷移する。同様にクロック $L+1$ 、 $L+2$ 、 $L+3$ では各々 $FF_{s_2} \sim FF_{s_4}$ の“1”がFF1に加わるので“1”→“1”の遷移を起す。即ち、クロックLから $L+3$ までの期間は $FF_{s_1} \sim FF_{s_4}$ の出力“1”が見掛け上

表 7.5 試作 2 モード可変分周器 MS I の主要性能

動作周波数		1 GHz typ. 1.3 GHz max.
伝播遅延時間	M→Q _{ECL}	9~10 ns
	M→Q _{TTL}	14~20 ns
消費電力*		400~450 mW typ.
電源電圧*		4.5~5.5 V
周囲温度		-44~+88°C

* 最小電源電圧は 3.5 V, 消費電力は 200 mW。

FF1 を強制的にセットするため、リングカウンタの出力は固定される。又、この期間、シフトレジスタは FF_{s1} より順次 “0” に移行する。従って、FF_{s1} ~ FF_{s_k} がすべて “0” になりクロック L+4 で初めて FF1 が “1” → “0” の遷移を起すので、これ以降は再び FFL が “1” → “0” に遷移する時まで分周数 2L の分周器として動作することになる。以上の状態遷移を整理すると表 7.7 (b) のようになる。この表から、リングカウンタは分周数 2L の分周動作期間と 4 クロックの固定分周期間から成り立っていることが分る。即ち、この例では分周数は 2L+4 となるが、固定分周期間が動作状態にあるフリップフロップの数に対応すること

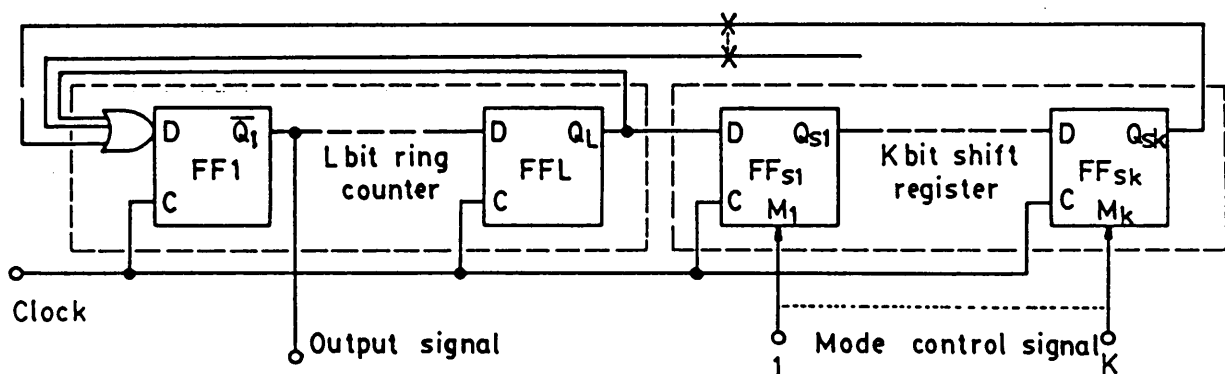


図 7.15 直接帰還形多モード周波数分周器の一般的論理構成。分周数は K ビット・シフトレジスタ内のフリップフロップを順次クリアすることによって変える。

表 7.6 モード切り替え信号がすべて“1”の場合の真理値表

クロック 番号	リング・カウンタ			シフト・レジスタ					
	Q ₁	Q _L	Q _{s1}	Q _{s2}	Q _{s3}	Q _{s4}	Q _{sn}
⋮	⋮		⋮	すべて“0”					
“1” L個	L-2	1	1						
	L-1	1	1						
	L	1	0						
	L+1	0	0						
	L+2	0	0						
“0” L個	L+3	0	0						
	L+4	0	0						
⋮	⋮		⋮						
⋮	⋮		⋮						

表 7.7 モード切り替え信号が4ビット“0”の場合の真理値表

クロック 番号	リング・カウンタ			シフト・レジスタ					
	Q ₁	Q _L	Q _{s1}	Q _{s2}	Q _{s3}	Q _{s4}	Q _{sn}
⋮	⋮		⋮	⋮	⋮	⋮	⋮	すべて “0”	
“1” L個	L-2	1	1	1	1	1	1		
	L-1	1	1	1	1	1	1		
	L	1	0	①	1	1	1		
	L+1	0	0	0	①	1	1		
	L+2	0	0	0	0	①	1		
“0” L個	L+3	0	0	0	0	0	①		
	L+4	0	0	0	0	0	0		
	L+5	0	0	0	0	0	0		
⋮	⋮		⋮	⋮	⋮	⋮	⋮		

(a) 図 A-1 の × 印点が切り
離されている時の状態遷移

⋮	⋮		⋮	⋮	⋮	⋮	⋮	すべて “0”	
“1” L個	L-2	1	1	1	1	1	1		
	L-1	1	1	1	1	1	1		
	L	1	0	①	1	1	1		
	L+1	①	0	0	①	1	1		
“1” 4個	L+2	①	0	0	0	①	1		
	L+3	①	0	0	0	0	①		
	L+4	①	0	0	0	0	0		
“0” L個	L+5	0	0	0	0	0	0		
⋮	⋮		⋮	⋮	⋮	⋮	⋮		

(b) 正規接続の場合の状態遷移

* この状態を固定する

を考えると、一般的な分周数 m は

$$m = 2L + K_x \quad \dots\dots\dots (7.4)$$

となる。ここで、 K_x はシフトレジスタ内の動作状態にあるフリップフロップの個数で、 $0 \sim$ 最大 K までの値をとる。この式で $K_x = 0$ は先に述べた $FF_{s1} \sim FF_{s4}$ がすべてクリアされている場合を表わすから、結局、直接帰還形多モード可変分周器の分周数を統一的に記述したものとなる。例えば、分周数 $4, 5$ の組合せの 2 モード可変分周器は $L = 2, K_x = 1$ とすることにより実現できる。

7.3 結 言

本章では、端局装置の主要な要素回路の一つであるデジタル信号の多重化／分離回路の論理構成法を高速化の観点より検討した。最初に、多重化／分離回路の高速論理構成法について論じ、データと読出し、読込みタイミングクロック間の位相差を常に $1/2$ タイムスロットに設定できる自動位相整合方式を提案した。又、この方式の適用によりフリップフロップと等しい速度で動作する多重化／分離回路を実現できることを示した。次に、多重化／分離回路の高速・多機能化を実現するために必須の 2 モード可変分周器について論理構成及び回路方式を検討し、従来形 2 モード可変分周器の約 2 倍の速度で動作する直接帰還形 2 モード可変分周器を提案した。又、この形の 2 モード可変分周器がフリップフロップと等しい速度で動作することを実証した。更に、 $3 \mu\text{mSi}$ -バイポーラプロセスを用いて分周数が 64 と 65 をもつ直接帰還形 2 モード可変分周器のモノリシック IC 化を行い、動作周波数、動作範囲共従来 IC の約 2 倍で動作する IC を実現した。以上の結果から、提案した直接帰還形論理構成法が GHz 帯で動作する可変分周器やカウンタを実現する上で有力な手段となり得ることを示した。又、直接帰還形多モード可変分周器を実現するための論理構成法を提案すると共に一般的な分周数を与える式を導出し、任意の分周数をもつ高速可変分周器が得られることを示した。

第 8 章 結 論

高度情報化社会の担い手として期待されているデジタル光伝送方式の大容量・長距離化に対応するため、高速化・長距離化、実用化の観点からシステムの要である光中継器と端局装置に不可欠な伝送回路の検討を行い、モノリシック IC 化及びその核となる回路技術を確立した。又、光中継器の動作安定化と回路の簡易化を可能とする符号方式の検討を行った。伝送回路に関しては、光中継器及び端局装置の高速化と長距離システムへの適用を可能とする各種回路方式を提案するとともにモノリシック IC 化によってその有効性を実証した。符号方式に関しては、BSI 化の観点より 2 種類の符号方式を提案し、光中継器が安定に動作することを実証した。以下、その内容を要約して述べる。

光中継器に関しては、最初に光中継器の安定な動作を保証するための BSI 符号として 2 値 AMI 符号とモディファイド・デュオバイナリ符号を提案した。又、これら 2 種類の伝送符号を適用した 100Mb/s 系光中継器を試作し、長周期パターン変動に対して光中継器が安定に動作することを示した。次に、長距離光伝送システムへの適用を目的に中継区間長の無調整化を実現するための 3 段利得制御方式を提案した。又、試作した IC を用い、伝送速度 565Mb/s において 33dB 以上の光ダイナミック範囲を実現し、光中継器の BON フリー化による区間長の無調整化が可能であることを明らかにした。

光送信器に関しては、LED 或いは LD を光源とする光送信器の高速化並びに光出力安定化を実現するための回路方式を提案し、モノリシック IC 化によりその有効性を実証した。特に、LED 送信器については、短距離通信用光源として有望な長波長 LED の応答速度を約 3 倍高速化できる抵抗と容量から成る簡易な回路構成の速度補償方式を提案し、400Mb/s で動作する光送信器の実現を可能にした。次に、LD/LED 送信器のマススライス・モノリシック IC 化技術の確立を目的に、高速変調及び光出力安定化のための回路・レイアウト設計法を呈示し、3 μ mSi-バイポーラプロセスを用いて 300~400Mb/s の速度で LD、或いは、LED を直接変調できる駆動用モノリシック IC の実現が可能であることを実証した。これらの結果から、高速光送信器のマススライス IC 化が十分可能であることを明らかにした。

光受信器に関しては、システムの高速度・大容量及び長距離化に対応するため、広帯域化、低雑音化の観点よりコモン・コレクタ入力形前置増幅器と出力直流動作点安定化、負帰還形及び可変高域補償形 AGC 増幅器を、又、長距離化の観点より光ダイナミック範囲の拡張が可能な

トランスインピーダンス可変形前置増幅器を提案した。次に、これら新回路方式の有効性を実証するために1 μ mSi-バイポーラプロセスを用いてモノリシックICを試作し、565Mb/s～1Gb/sで動作する光伝送システムに適用可能な光受信器を実現できることを明らかにした。又、インピーダンス可変形前置増幅器ICを導入することにより従来の光受信器の10倍以上の光ダイナミック範囲(33dB以上)をもつ光受信器の実現が可能であることを示した。

識別再生回路に関しては、最初に、シュミットトリガ回路を基本とするセット型識別器を提案し、2 μ mSi-バイポーラプロセスを用いて400Mb/sで動作するモノリシックICを実現できることを示した。この結果から、シュミットトリガ回路を高速モノリシック識別器へ適用できることを明らかにした。次に、伝送符号としてモデファイド・デュオバイナリ符号を用いた光中継器に適用するための3値識別再生回路の1チップモノリシックIC化を検討し、タイミング抽出回路と3値識別器を同一チップ上に集積化できることを実証した。

端局装置に関しては、時分割多重による複数の信号を同時伝送するために必要な多重化/分離回路の構成法を呈示すると共に、高速化、多機能化の鍵を握る直接帰還形2モード周波数分周器を提案した。又、この分周器が従来回路の2倍の速度で動作することを理論と実験の両面より明らかにした。

謝 辞

本研究に関しては多くの方々からの御指導，ご協力を戴いた。

静岡大学工学部，角正雄教授には本論文をまとめるにあたり懇切なる御指導とご助言を賜った。また，同大学工学部，今井哲二教授，宇野正美教授および水品静夫教授には本論文の内容全般にわたる御検討，ご教示を賜った。

本研究は日立製作所中央研究所において行われたものであり，研究の機会を与えて下さいました武田康嗣所長はじめ，歴代第5部長の御指導，ご鞭撻に負うところが大きい。芳根寛樹光技術開発推進本部長および北靖洋国際電気副技師長には本研究の期間における所属部長として本研究を軌道に乗せて下さり，全般にわたって御指導，ご鞭撻を戴いた。中央研究所，高崎喜孝主管研究員並びに前田主管研究員には，研究内容に関する御討論，ご教示と共に本論文をまとめるにあたり御助言と一方ならぬ励ましを戴いた。光技術推進本部開発部の古寺博主管技師長，前田成道主任技師および長野主任技師には，研究の推進に御尽力戴き，また，光伝送方式，光中継器の設計法等について御討論，ご教示を戴いた。戸塚工場の南幸雄主任技師および太田紘一主任技師には光中継器を実用面より御検討，ご討論戴いた。デバイス開発センタの原躬千夫第2設計部長，今泉一郎主任技師および加地忠雄主任技師には光中継器のモノリシックIC化について御討論，ご教示を戴くと共にIC試作の便宜を図って戴いた。

光中継器やICの試作および伝送実験については，中央研究所の佐々木慎也研究員，高橋靖研究員，木下泰三企画員，花谷昌一企画員，滝安美弘企画員，デバイス開発センタの関根康企画員，並びに，日立通信システムの前沢克嘉氏に御協力戴いた。この他にも本研究を進めるにあたり，所内，所外の関係各位に多大の御協力を戴いた。特に，筆者の属する中央研究所第5部674研究ユニットの方々には，御討論，実験への御協力などにより本研究の遂行を円滑ならしめて戴いた。

本研究を完成することができたのは，上記の方々の御指導，ご助力，ご協力の賜物であり，本論文を結ぶにあたり心からの謝意を表する次第である。

参 考 文 献

- 1) T. Ito, S. Shinohara, Y. Chida, and N. Uchida, "Results and experience of the field trial for the first fully engineered single-mode fiber cable transmission system at 400Mb/s", in Proc. IOOC '83, June 1983, paper 28C 2-2.
- 2) D. C. Gloge, C. J. McGrath, and K. Ogawa, "Characteristics and operation of the FT 4 E-432 Mbit/s repeater line", in Proc. ICC '84, May 1984, paper 26-4.
- 3) K. Nakagawa, K. Iwashita, M. Ohara, and S. Horiguchi, "1.6 Gb/s optical transmission experiment with monolithic integrated circuits", ICC '84, pp.771-774.
- 4) D. G. Ross, R. M. Paski, D. G. Ehrenberg, and G. M. Homsey, "A highly integrated regenerator for 295.6Mbit/s undersea optical transmission", IEEE J. Selected Area Commun., vol. SAC-2, no.6, pp.935-940.
- 5) 川端, 佐野, 滝本, "バス型ローカルネットワークを結ぶ100Mビット/秒のリング型光ローカルエリアネットワーク", 日経エレクトロニクス, no.331, pp.173-199, 1983.
- 6) 清水, 明石, 長谷川, 大照, 中井, "400Mbps同期式パケットループの基本アーキテクチャ", 昭和59年度信学通信部門全大 No.188.
- 7) Y. Takasaki, M. Tanaka, N. Maeda, K. Yamashita, and K. Nagano, "Optical pulse formats for fiber optic digital communications", IEEE Trans., communications, vol. COM-24, no. 4, pp. 404-413, 1976.
- 8) Y. Takasaki, K. Yamashita, and Y. Takahashi, "Two-level AMI line coding family for optical fiber systems," Int. Electron. vol.55, no.1, pp.121-131, 1983.
- 9) 山下, 前田, 長野, 高崎, 田中, "PCM100Mb/s光ファイバ伝送装置," 信学技報CS74-161 (1975-01).
- 10) K. Yamashita, Y. Takasaki, Y. Takahashi, and M. Maeda, "100Mb/s LED/pin transmitter and receiver modules for high-speed local area networks", IEEE J. Lightwave Technology, vol. LT-3, no.3, pp. 560-564, 1985.
- 11) K. Yamashita, S. Sasaki, T. Kinoshita, S. Hanatani, M. Maeda, and Y. Sekine, "A 1.55 μ m 565Mb/s monolithically integrated optical repeater with very

wide optical dynamic range, "OFC '87, Tech. Dig. Paper TUB5.

- 12) 山下, 長野, 田中, "半導体レーザー光出力安定化の一検討", 信学技報CS76-155 (1976-12).
- 13) 山下, 高崎, 前田稔, 加地, 前田成, "1.3 μ m帯LEDを用いた100Mb/s IC 化光送信器", 信学論(C), vol. J69-B, no.1, pp.46-53, 1986.
- 14) K. Yamashita, Y. Takasaki, M. Maeda, and N. Maeda, "Master-slice monolithic integration design and performance of LD/LED transmitters for 100-400Mb/s optical transmission systems," IEEE J. Lightwave Technology, vol. LT-4, no.3, pp.353-359, 1986.
- 15) K. Yamashita, T. Kinoshita, M. Maeda, and K. Nakazato, "A simple common-collector full-monolithic preamplifier for 560Mb/s optical transmission," IEE Electron. Lett., vol.22, no.3, pp.146-147, 1986.
- 16) K. Yamashita, T. Kinoshita, Y. Takasaki, M. Maeda, and T. Kaji, "A variable transimpedance preamplifier for wide dynamic range optical receivers", IEEE J. Solid-State Circuits, vol. SC-21, no.2, pp.324-330, 1986.
- 17) T. Kinoshita, K. Yamashita, M. Maeda, and Y. Sekine, "A DC-coupling wide dynamic range AGC amplifier IC for 560Mb/s optical transmission," IEEE J. Lightwave technology, to be published.
- 18) K. Yamashita, T. Kinoshita, Y. Takasaki, M. Maeda, T. Kaji, and N. Maeda, "Wideband and high-gain negative-feedback AGC amplifier for high-speed lightwave digital transmission," Electron. Lett., vol.21, no.10, pp.419-420, 1985.
- 19) 山下, 前田, "APDのバイアス制御による光受信系のAGC特性", 信学論(C), vol. J61-C, no.1, pp.55-56, 1978.
- 20) K. Yamashita, and A. Fujioka, "Monolithic threshold detectors for 400Mb/s digital repeaters applying the Schmitt trigger circuit", IEEE J. Solid-State Circuits, to be submitted.
- 21) K. Yamashita, S. Sasaki, Y. Takasaki, Y. Takiyasu, M. Maeda, and N. Maeda, "A single-chip 3-level regenerator IC for high-speed optical transmission systems applying duo-binary coding schemes," IEEE J. Solid-State Circuits, vol. 21, no.6, pp. 1096-1102, 1986.

- 22) 山下, "直接帰還形 2 モジュラスプリスケラの提案," 信学論 (C), vol. J 64-C, no. 8, pp.507-508, 1981.
- 23) 山下, 加地, 叶多, 関根, "1 GHz直接帰還形 2 モジュラスプリスケラ MSI", 信学論 (C), vol. J 65-C, no. 3, pp.147-153, 1982.
- 24) A.H. Gnack, S.K. Korotky, B.L. Kasper, J. C. Campbell, J. R. Talman, J. J. Veselka, and A. R. McCormic, "Information-bandwidth-limited transmission at 8 Gb/s over 68.3km of optical fiber," OFC '86, paper PD9-1.
- 25) B. L. Kasper, R. A. Link, K. L. Walker, L. G. Cohen, T. L. Koch, T. J. Bridges, E. G. Burkhardt, R. A. Logan, R. W. Dawson, and J. C. Campbell, "A 130km transmission experiment at 2 Gb/s using silica-core fiber and a vapor phase transported DFB laser," GLOBECOM '84, paper 34.2.
- 26) N. A. Olsson, H. Temkin, R. A. Logan, L. F. Johnson, G. F. Dolon, J. Vanderziel, and J. C. Campbell, "Chirp-free transmission over 82.5km of single mode fibers at 2 Gb/s with injection locked DFB semiconductor lasers," IEEE J. Lightwave Technology, vol. LT-3, no. 1, pp.63-67, 1985.
- 27) S. K. Korotkey, G. Eisenstein, A. H. Gnack, B. L. Kasper, J. J. Veselka, R. C. Alferness, L. L. Burrus, T. C. D. Hno, L. W. Stulz, K. C. Nelson, L. G. Cohen, R. W. Dawson, and J. C. Campbell, "4 Gb/s transmission experiment over 117km of optical fiber using a TiLiNbO external modulator," OFC '85, paper PD1-1.
- 28) 山下, 中野, 花谷, 佐々木, 高橋, 茅根, 前田, 梶岡, "1.5 μ m帯 DFB レーザを用いた 1 Gb/s 長距離伝送実験", 昭和60年度信学総全大 No.2641.
- 29) M. Ohara, T. Kamoto, and S. Kanamori, "Integrated optical submarine repeater circuits using a high reliability process technology," IEEE J. Lightwave Technology, vol. LT-2, no. 6, pp.933-938, 1984.
- 30) T. Kamoto, M. Ohara, Y. Kobayashi, and M. Aiki, "Bipolar monolithic very wide-band amplifier," Trans. IECE Japan, vol. J 66-C, no. 12, pp. 967-973, 1983.
- 31) H. Fukinuki, T. Ito, M. Aiki, and Y. Hayashi, "The FS-400M submarine system," IEEE J. Lightwave Technology, vol. LT-2, no. 6, pp.754-760, 1984.

- 32) M. Ohara, Y. Akazawa, N. Ishihara, and S. Konaka, "Bipolar monolithic amplifiers for a Gigabit optical repeater," *IEEE J. Solid-State Circuits*, vol. SC-19, no.4, pp.491-497, 1984.
- 33) 手束, 長谷川, 田村, 西井, 反保, 板東, 長野, 小沼, "光伝送用GaAsIC", *信学技報 SSD85-141* (1986-01).
- 34) S. D. Personick, "Receiver design for digital fiber-optic communication systems, Part I and II," *Bell Syst. Tech. J.*, vol. 52, no. 6, pp.843-886, 1973.
- 35) J. E. Goell, "Input amplifiers for optical PCM repeaters," *Bell Syst. Tech. J.*, vol.53, no.9, pp.1771-1793, 1974.
- 36) J. M. Steininger, and E. J. Swanson, "A 50Mb/s CMOS optical data link receiver integrated circuit", *ISSCC Tech. Dig. paper WPM 6.2*.
- 37) R. G. Swartz, A. M. Voshchenkov, G. M. Chin, S. N. Finegan, M. Y. Lau, M. D. Morris, and V. D. Archer, "A 2 Gb/s silicon NMOS laser driver," *ISSCC '86 Tech. Dig., paper WPM 6.4*.
- 38) P. Oconner, P. G Flohiv, W. Clemetson, R. L. Panock, S. H. Wemple, S. C. Shunk, and D. P. Takahashi, "A monolithic multi-gigabit/second DC FL GaAs decision, circuit", *IEEE Electron Dvice Lett*, vol.EDL-5, no.7, pp.226-227, 1984.
- 39) 上原, 樋口, 飯島, "ポリシリコンの選択エッチングによる自己整合サブミクロンバイポーラトランジスタ", *信学論(C)*, vol. 69-C, no. 2, pp.176-181, 1986.
- 40) T. Nakamura, T. Miyazaki, S. Takahashi, T. Kure, T. Okabe, and M. Nagata "Self-aligned transistor with sidewall base electrodes," *IEEE Trans. Electron Devices*, vol. ED-29, no.4, pp.596-600, 1982.
- 41) F. Aoki, and H. Nabeshima, "Optical-fiber communications for electric-power companies in Japan", *Proc. IEEE*, vol.68, no.10, pp.1280-1285, 1980.
- 42) 山下, 前田, 南, "PCM100Mb/s NRZ-2値AMI符号変換器," 昭和50年度信学総全大 NO.1719.
- 43) 南, 太田, 山下, "2値AMI-NRZ符号変換における同期方式及び誤り検出方式," 昭和52年度信学総全大 NO.1962
- 44) Y. Takasaki, K. Yamashita, Y. Takahashi, and Y. Nakano "Instantaneous in-

- service fault location scheme for digital transmission systems, " ICC '84, proc., vol. 3, pp.1484—1487.
- 45) Opto-Electronic Devices Data Book, " Hitachi, Ltd., (in Japanese), 1984.
 - 46) 同上
 - 47) M. Shikada, S. Fujita, I. Takano, N. Henmi, I. Mito, K. Taguchi, and K. Minemura, " 1.5 μ m high bit rate long span transmission experiments a high power DFB—DC—PBH laser diode, " IOOC '85 pp.49—52.
 - 48) S. Yamamoto, H. Sakaguchi, M. Nunokawa, and Y. Iwamoto, " 253km, 140Mb/s regenerated optical fiber transmission experiment, " OEC '86 (in Japan), Post-deadline Tech. Dig., paper C11—5.
 - 49) T. V. Muoi, " Receiver design high-speed optical-fiber systems, " IEEE J. Lightwave Technology, vol. LT—2, no. 3, pp.243—267, 1984.
 - 50) M. H. EI—Diwany, D. J. Roulston, and S. G. Chamberlain, " Design of low-noise bipolar transimpedance preamplifier for optical receivers ", Proc. Inst. Elec. Eng., vol.128, Pt. G, no. 6, pp.299—305, 1981.
 - 51) M. J. N. Sibley, R. T. Smith, B. A. Boxall, and R. J. Hawkins, " A monolithic common-collector from-end optical preamplifier, " IEEE J. Lightwave technology, vol. LT—3, no. 1, pp.13—15, 1985.
 - 52) G. F. Williams, " Wide-dynamic-range fiber optic receivers, " ISSCC '82 Tech Dig., paper 13—2.
 - 53) 堤, 首藤, 加本, " モノリシック I C 化400Mb/s光中継器回路の検討, " 信学技報 C S 82—63, (1982).
 - 54) T. Kinoshita, K. Yamashita, M. Maeda, and T. Nakamura, " A wideband monolithic AGC amplifier for 400Mb/s optical repeaters using an advanced Si-bipolar technology — SICOS " IEE Electron. Lett., vol. 22, no. 4, pp. 188—190, 1985.
 - 55) T. L. Maione, and D. D. Sell, " Experimental fiber-optic transmission system for interoffice trunks, " IEEE trans. communications, vol. COM—25, no. 5, pp.517—523, 1977.
 - 56) 山下, 前田, " 光受信系 A G C 方式の検討, " 信学技報 C S 76—157 (1976—12).

- 57) 入江, 生島, 加地, 山下, "100Mb/s帯光通信用受信増幅器 IC," 昭和61年度信学総全大 NO.2491
- 58) 小川, 栗田, "PCM中継器におけるヒステリシスを有する識別系の誤り率について," 信学技報 CS72-63 (1972-09)
- 59) J. F. Ewen, W. J. McFarland, D. L. Rogers, and J. M. Mosley, "Single-chip 100Mbit/s fiber-optic receiver/phase lock loop circuit," OFC '85 paper TUG1.
- 60) H. Marko, R. Weib, and G. Binkert, "A digital hybrid transmission system for 280Mbits/s and 560Mbits/s," IEEE Trans. Communications vol. COM-23, no.2, pp.274-281, 1975.
- 61) B. Enning, "Retiming circuit for NRZ signals in 1.2Gbits/s optical transmission system" Electron. Lett., vol.16, no.21, pp.815-817, 1980.
- 62) L. Brickers, "Schmitt trigger circuit with picosecond risetimes," Electron. Lett. vol.17, no.19, pp.695-697, 1981.
- 63) 山下, 竹野, 小川, 藤岡, "超高速・大振幅モノリシック集積化波形整形回路," 昭和49年度信学総全大 NO.2216.
- 64) D. W. Faulkner, R. J. Hawkins, and I. Hawker, "A single chip regenerator for transmission systems operating in the range 2-320 Mbit/s," IEEE J. Solid-State circuits, vol.SC-17, no.3, pp.553-557, 1982.
- 65) 山下, 大西, 石塚, 中川, "高速標本化回路," 昭和49年度信学総全大 NO.2207.
- 66) 山下, 日本特許, 特公昭58-54.
- 67) 中川, 山下, 石塚, 北, "100Mb/s IC化符号装置," 信学技報CS74-47 (1974-06)
- 68) R. Reimann, and H. M. Rein, "A bipolar 4:1 time division multiplexer IC operating up to 5.5Gb/s," ISSCC '86, paper THMIS-1.
- 69) N. Yoshikai, S. Kawashima, S. Suzuki, and S. Konaka, "Monolithic integrated 4:1 multiplexer and demultiplexer operating up to 4.8Gb/s," Electron. Lett., vol.21, pp.149-151, 1985.
- 70) R. M. Hickling, P. Argyroudis, H. Lai, J. Chow, F. S. Lee, and R. C. Eden, "Monolithic 1.6Gb/s 8:1 multiplexer and 1:8 demultiplexer sub-systems using CDFL," GaAs IC symp., pp.79-82, 1985.

- 71) M. S. J. Mudd, D. G. Taylor, I. C. Childs, and P. H. Saul, "A multiplexing/demultiplexing transceiver for 565 Mbit/s fiber-optic links," IEEE J. Solid-State Circuits, vol. SC-20, no. 3, pp.708-714, 1986.
- 72) J. Nakagawa, K. Yamashita, Y. Fujiwara, and M. Toya, "Direct frequency synthesizer using a high-speed prescaler for 800MHz mobile telephone transceivers," 32nd Vehicular Tech. Conf., Record, pp.310-314, 1982.
- 73) Y. Akazawa, H. Kikuchi, A. Iwata, T. Matsuura, and T. Takahashi, "Low power 1 GHz Frequency synthesizer LSI's," IEEE J. Solid-State circuits, vol. SC-18, no. 1, pp.115-120, 1983
- 74) 山下, 加地, 叶多, 関根, "従来より高速動作が可能な回路構成の 1 GHz 2 モジュール・プリスケータ," 日経エレクトロニクス, pp.199-213 (昭56-06-08)