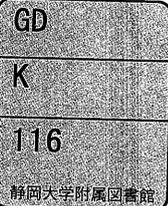


電子科学研究科

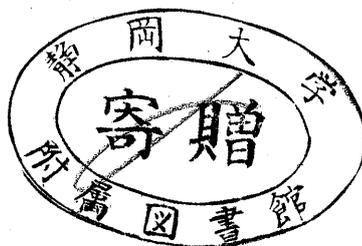


0002513349

R

静岡大学 博士論文

階層分割及び動的分割に基づく 大規模回路シミュレーションの高速化



平成7年2月

大学院電子科学研究科

電子応用工学専攻

西垣 正勝

A dissertation submitted in partial fulfillment of the
requirements for obtaining the
Degree of Doctor of Philosophy in Engineering

LSI circuit simulation techniques
based on dynamic and hierarchical
partitioning

by

Masakatsu NISHIGAKI

Graduate School of Electronic Science and Technology
Shizuoka University
Japan

February, 1995

論文要旨

近年の VLSI 技術, MCM 技術の進歩にともない, 大規模論理回路の解析を高速に, それも, アナログ的な挙動をも考慮した詳細レベルの解析により高精度で行うことに対する要求が高まっている. また, VHDL・AHDL 指向の解析 (システム解析) では大規模回路全体を一括して詳細シミュレーションする必要がある, これを高速化する意義は大きい. 速度と精度の両者を満足する次世代回路シミュレーション技術の構築が叫ばれている. シミュレーションの効率化には回路の分割が大きく関与する. 本論文では, 回路の階層分割及び動的分割に基づいた, 大規模デジタル回路網の詳細解析に対する高速化手法について述べる. 提案された高速化手法により詳細回路シミュレーションが効果的に効率化され, 高速かつ高精度な大規模回路シミュレーションが実現する.

本論文では, まず, 階層分割に基づく解析の有効性が示される. 階層分割の適用は, 階層設計されている大規模回路の回路構造を考慮した解析を可能にする. 直接法による数値解析では, 階層分割により, 回路の階層構造を反映した階層的縁付きブロック対角構造の回路行列が生成される. 回路行列の階層化はフィル・インの抑制効果を高め, 更に, 階層的な行列演算を実現する. 階層的な演算アルゴリズムを用いた数値解析においては, 各部分回路が信号伝搬順序に従い階層的に処理されるので, 階層的な潜在性の導入が可能である. 階層的潜在性を考えることによって, 部分回路が潜在的であれば一括してその解析の省略を行い, また, その部分回路が活性的な場合でも部分回路を構成する小部分回路が潜在的であればその潜在性を利用することができる. 潜在性の活用は解析を大きく高速化することが知られており, 階層的潜在性を適用し潜在回路の規模に応じて潜在性をどん欲に活用することにより, 非常に効率的な解析が行われる. 本論文では, 特に, 階層分割のフィル・イン抑制能力と階層的な反復域潜在性の活用効果に対する検討が行われる.

VHDL・AHDL によるトップダウン設計では, 回路全体のシステム解析が設計と並行して行なわれ, 効率的に設計が進行する. ここで, アナログ回路を扱う AHDL ではもちろん, デジタル回路を扱う VHDL においても回路が高速に動作する場合にはそのアナログ的な振舞いが問題となるため, システム解析は詳細回路シミュレーションにより行われる必要がある. つまり, 回路全体を一括して詳細解析

する重要性は非常に大きい。しかし、実際に大規模回路全体を詳細解析することは非現実的である。従って、各部分回路を適切なレベルで解析する Mixed-signal シミュレーションが有効であり、その実現のために階層の概念は不可欠となる。すなわち、Mixed-signal シミュレーションの構築の観点からも、階層分割は大きな意味を持つ。

続いて、回路の動的分割に基づく解析の有効性が述べられる。結合強度の面から考えた場合、弱結合部で回路を分割することが望ましい。ここで、部分回路間の結合強度は時間とともに変化するので、その変化にともない回路の分割状態を動的に更新するアルゴリズムが有用である。本論文では、動的”回路分離”手法を用いた直接法・緩和法混合モード解析が提案される。回路の分離とは部分回路ごとの解析が完全に独立して実行できるほど結合強度の弱い節点間での分割を指す。回路の分離は緩和法の概念に類似しており、分離された部分回路を直接法により個別に解析することにより、結合強度に応じて動的に直接法・緩和法を選択する混合モード解析が実現する。ここで、分離された部分回路間の相互影響はほとんどゼロであるので、部分回路間の緩和操作は必要ない。つまり、本混合モード解析は直接法がベースとなっており、強結合回路の解析にも適する。

通常の直接法では、一部分でも活性的な部分回路があった場合には回路全体を処理する必要が生じるため、階層分割を適用しても階層的な時間域潜在性を利用することができない。これに対し、回路分離を適用することにより、活性的な部分回路のみを独立に解析し、潜在的な部分回路の解析を省略する(階層的な時間域潜在性を活用する)ことが可能となる。本論文では、動的回路分離手法と論理シミュレーションで用いられるセレクトティブ・トレース方式の解析を結合することにより、活性的な部分回路のみを動的かつ階層的に選択して解析するアルゴリズムを実現している。この結果、各部分回路の活性度に応じて解析ポイントが選出されるので、直接法においてもマルチレート性を活用することが可能となる。

最終的に、提案された高速化技術を実装した回路シミュレータ SPLIT が作成され、幾つかの回路に対する過渡解析の結果からその有効性が検証される。

ABSTRACT

For these years, the next-generation LSI circuit simulator, which can perform high-speed and accurate verification, has been required.

Following the above requirement, a mixed-mode circuit simulation by direct and relaxation-based methods using dynamic and hierarchical partitioning is proposed in this thesis. This algorithm employs dynamic "network separation" technique based on the tightness of coupling between subcircuits and exploits hierarchical latency associated with hierarchical partitioning.

The dynamic network separation means to entirely partition the circuit into subcircuits, where the coupling between separated subcircuits is so weak that each subcircuit can be analyzed individually. Since the network separation has the same concept as the relaxation approach, the mixed-mode circuit simulation, in which the direct method and relaxation method are dynamically selected according to the type and/or conditions of circuits, is realized. Here, each subcircuit can be analyzed by the direct method individually, and relaxation between subcircuits is never required. That is, this mixed-mode algorithm is developed from the viewpoint of the direct method, and thus this is applicable to not only MOS circuits but also bipolar transistor circuits.

Moreover, separation technique makes it easy to exploit the latency available in the respective subcircuits, since only active subcircuits can be analyzed intensively by using separation. High-speed simulation can be performed by skipping the analysis of the latent subcircuit. Even if the subcircuit is not latent, the smaller one in the subcircuit may be inactive. By exploitation of hierarchical latency associated with hierarchical partitioning, the block size of the latent subcircuit can be determined dynamically, and thus it is expected that efficient simulation can be carried out. In this thesis, by combining selective trace with dynamic network separation, the mixed-mode algorithm, in which subcircuits to

be analyzed are dynamically and hierarchically determined in accordance with activity of subcircuits, is developed.

Simulator SPLIT with the above techniques is constructed. Finally, its validity is confirmed from experimental results.

目次

1	序論	1
1.1	背景	1
1.2	古典的解析アルゴリズム (直接法)	2
1.3	回路の分割と緩和アルゴリズム	3
1.4	潜在性とマルチレート性	6
1.5	次世代回路シミュレーション	7
2	階層分割	12
2.1	概要	12
2.2	直接法における回路の分割	12
2.2.1	節点分割手法	12
2.2.2	ゲートレベル節点分割手法	15
2.2.2(1)	バイポーラトランジスタ回路網におけるゲート レベル節点分割	15
2.2.2(2)	MOS 回路網におけるゲートレベル節点分割	16
2.2.3	階層的節点分割手法	18
2.3	階層分割システム	20
2.3.1	階層分割システム HIDE	20
2.3.2	階層分割アルゴリズム	21
2.4	行列計算の効率化に対する階層分割の有効性	24
2.4.1	バイポーラトランジスタ回路網に対する階層分割の効果	24
2.4.2	MOS 回路網に対する階層分割の効果	30
2.5	総括	37
3	階層的潜在性	38
3.1	概要	38
3.2	階層分割に基づく階層的行列計算アルゴリズム	38
3.2.1	階層的 LU 分解アルゴリズム	40
3.2.2	階層的代入計算アルゴリズム	41

3.2.2(1)	階層的前進代入アルゴリズム	43
3.2.2(2)	階層的後退代入アルゴリズム	44
3.3	潜在性の導入	44
3.3.1	潜在性	44
3.3.1(1)	時間域潜在性	45
3.3.1(2)	反復域潜在性	45
3.3.2	階層的潜在性	46
3.3.2(1)	時間域潜在性	47
3.3.2(2)	反復域潜在性	47
3.4	階層的な分割と潜在性を利用した回路シミュレータ SPLIT	47
3.4.1	回路解析支援システム ASSIST	49
3.4.2	階層分割システム HIDE	49
3.4.3	階層的潜在性を利用した数値計算システム WHITE	49
3.5	階層的な分割と潜在性導入の効果	49
3.6	総括	53
4	動的回路分離に基づく直接法・緩和法混合モード解析	54
4.1	概要	54
4.2	回路の動的分離	55
4.2.1	ニュートン法レベルでの回路の動的分離手法	55
4.2.2	ゲートレベル回路分離手法	58
4.2.3	潜在的な部分回路に対する回路分離手法	60
4.3	直接法・緩和法混合モード解析アルゴリズム	61
4.3.1	階層的回路分離手法	61
4.3.2	混合モード解析アルゴリズム	64
4.4	混合モードシミュレータ SPLIT2 の評価	67
4.5	総括	71
5	動的回路分離とセレクトティブ・トレースに基づく直接法・波形緩和法混合モード解析	72
5.1	概要	72

5.2	回路分離に基づくセレクトティブ・トレース方式	73
5.2.1	セレクトティブ・トレース方式の導入	73
5.2.2	直接法・波形緩和法混合モード解析アルゴリズム	76
5.3	混合モードシミュレータ SPLIT2.1 の評価	79
5.4	総括	84
6	結論	86
6.1	総括	86
6.2	将来的展望	88
	謝辞	92
	参考文献	93
	著者による論文	99

1 序論

1.1 背景

高密度に集積された VLSI とブレッドボード上の回路では信号伝搬の速度等が大きく異なる。従って、ブレッドボード上に構成された同論理の回路を用いて LSI の回路検証をすることができなくなった。LSI の高集積化にともなう設計・試作の高額化、内部節点のプローピングの難化等も実測による回路解析を不可能にしている。こうして、VLSI 技術の進歩と計算機の発達にともない回路の動作検証はブレッドボード方式からシミュレーション方式へと移行した。回路シミュレーションでは、キルヒホッフの電流・電圧則に基づく非線形連立微分方程式(回路方程式)を解くことにより回路検証が行われる [16]。従って、解析に要する時間は回路中の状態変数の数に依存する。回路方程式は抵抗、容量等の回路要素(アナログ素子)の特性式を結合したものであり、回路シミュレーションはアナログ的な挙動をも考慮した詳細解析である。本論文では、特に論理シミュレーション等の上位レベルの解析と区別する場合には、回路シミュレーションを”詳細”回路シミュレーション(もしくは”詳細レベル”シミュレーション)と記す [25]。

近年、VLSI 技術、そして、複数の LSI を搭載する MCM(Multi-Chip Module) 技術は目ざましい発展を遂げ、1 チップ内に実現される素子数は著しく増加した。回路の大規模化、高密度化にともなう状態変数の激増により、解析時間は非現実的なほどに膨大となっている。この問題に対し、スパース処理 [1][4]、回路の分割 [3][6]-[8][10][13][19][24]、緩和アルゴリズム [5][9][14][15][20] 等、詳細回路シミュレーションの高速化技術に関する研究が続けられている。しかし、回路の大規模化に対する技術革新に詳細回路シミュレーションの高速化が追従できずにいるのが現状で、工業的には、解析精度を落とし論理検証のみを行う上位レベルのシミュレーション方式(論理シミュレーション)が採用されている [25]。ところが、最近における LSI の高密度化と動作速度の高速化は、デジタル回路においてもアナログ的な影響を考慮する必要性を引き起こした。これにともない、詳細回路解析の重要性が非常に高まっており、大規模論理回路の解析を高速に、かつ、詳細レベルの解析で高精度に行うことのできる次世代回路シミュレータの開発が急務となっている [23][25][27]。本論文は、詳細回路解析による大規模回路シミュレーションを効果的

に高速化し、速度と精度の両者を満足する次世代回路シミュレーション技術を確立することを目的とする。

大規模なアナログ回路やデジタル・アナログ混在回路の効率的な解析のためにも詳細回路シミュレーションの高速化は大きな意義を持つ。しかし、本論文では、特に大規模デジタル回路の設計支援に焦点を当て、解析対象をデジタル回路に限定し、その動作を高速かつ高精度で検証するための方法が議論される。また、LSIの微細化、動作速度の高速化が更に進んだ場合、配線遅延や信号の反射等の影響が無視できなくなり、配線を伝送線路として扱う必要が生じる [12][18]。しかし、本論文では、このような状況はあえて考えず、集中定数系回路の解析の効率化に論点が絞られる。

研究の序となる本章では、以下、回路解析の手順と従来の高速化手法を概説し、次世代回路シミュレータ構築の方向性を示す。

1.2 古典的解析アルゴリズム (直接法)

回路の動作はキルヒホッフの電流・電圧則に基づく非線形連立微分方程式

$$\mathbf{f}(\dot{\mathbf{v}}, \mathbf{v}) = \mathbf{0} \quad (1.1)$$

により記述される [16]。ここで、 \mathbf{v} は節点電圧等の状態変数 (内部変数及び外部入力変数) ベクトル、 $\dot{\mathbf{v}}$ はその時間微分である。直接法による数値解析では、まず、この非線形連立微分方程式全体に対してグローバル・タイムステップ数値積分 [16]

$$\dot{\mathbf{v}} = \frac{\mathbf{v}^t - \mathbf{v}^{t-1}}{dt} \quad (1.2)$$

を適用し、時刻 t における状態変数のみの非線形連立代数方程式

$$\mathbf{F}(\mathbf{v}^t) = \mathbf{f}\left(\frac{\mathbf{v}^t - \mathbf{v}^{t-1}}{dt}, \mathbf{v}^t\right) = \mathbf{0} \quad (1.3)$$

に変形する。ここで、 dt は数値積分における時間刻み、 \mathbf{v}^t は時刻 t における状態変数ベクトルである。更に、式 (1.3) にはニュートン法 [16] が適用され、線形連立代数方程式

$$\mathbf{J}(\mathbf{v}^{t,k}) \cdot \Delta \mathbf{v} = -\mathbf{F}(\mathbf{v}^{t,k}) \quad \text{for} \quad \Delta \mathbf{v} \quad (1.4)$$

$$\Delta \mathbf{v} = \mathbf{v}^{t,k+1} - \mathbf{v}^{t,k} \quad (1.5)$$

として解析される. ここで, $\mathbf{J}(= \partial \mathbf{F}(\mathbf{v}^{t,k}) / \partial \mathbf{v}^{t,k})$ はヤコビアン行列または回路行列と呼ばれる. $\mathbf{v}^{t,k}$ は時刻 t , 第 k ニュートン反復時における状態変数ベクトルである. 計算機では式 (1.4) を三角化分解, 前進・後退代入のプロセスにより解く [16]. ニュートン反復は $\Delta \mathbf{v}$ がニュートン法打ち切り誤差 ε_{newton} より小さくなるまで続けられる (本論文では, 全ての解析例において, 経験的に, $\varepsilon_{newton} = 10^{-5}[\text{V}]$ が採用されている).

回路の局所結合性から回路行列 \mathbf{J} は要素の 95% 以上がゼロであるというスパース性を持ち, 三角化分解におけるフィル・イン発生が問題となる. 更に, 行列の三角化に要する計算量は \mathbf{J} の次元 N (状態変数の数に等しい) に対して N^3 のオーダーであり, 近年の回路の大規模化にともなう回路行列次元の増加が解析時間の激増を引き起こした. これらの問題に対し, 行列の三角化に要する計算量を数学的に低減させるスパース処理手法が検討された [1][4]. スパース処理として, 行列のゼロ要素の計算の省略, 及び, ピボット順序の最適化による三角化過程におけるフィル・インの抑制等が挙げられる. 回路行列がスパース性を有すること, また, 数値計算の大部分がヤコビアン要素の導出に費やされることからスパース処理手法はかなり効果的であった (スパース処理は計算量を $N^{1.2} \sim N^{1.5}$ のオーダーにまで減少させた). しかし, 結局, 大規模回路行列をその大きさのまま処理する必要があり, また, 並列処理性の低さから, シミュレーションの高速化に対する限界が生じた.

1.3 回路の分割と緩和アルゴリズム

回路の大規模化が進むにつれてスパース処理による高速化は限界を迎え, 回路を幾つかの部分回路に分割し解析するアルゴリズムが注目されるようになった. 分割により生じた部分回路は互いに独立して解析することが可能となるため, 回路次元が縮小されその取り扱いが容易となるのと同時に並列処理性も増す.

直接法に基づく回路分割では, 節点電圧を状態変数に採った場合は節点分割手法 [7][8][19][24] が, 電流変数の場合には枝分割手法が用いられる [28]. 節点分割では, 回路内の部分節点集合を局所基準節点 (部分回路どうしをつなぐ基準節点) として選択することにより回路を分割する. 分割における局所基準節点に対応する行と

列を行列の縁に集めることにより回路行列は縁付きブロック対角 (bordered block diagonal, 以下 BBD) 構造となる. 縁付きブロック対角構造を持つ回路行列においては, 回路行列の各ブロックが各部分回路の情報に対応するため回路構造を考慮した解析が容易となる. また, 縁付きブロック対角行列を構成することにより, フィル・インの発生率及び発生場所が制限される. 更に, 分割後の回路行列においては, 局所基準節点を除き, 各対角ブロックごとに三角化分解を独立に実行することができる. ただし, 最後に各ブロックの情報を基に局所基準節点に対する三角化計算が必要であり, 結局, 完全に回路を分割できるわけではない.

節点分割が直接法による回路行列 (式 (1.4) 中の \mathbf{J}) の分割 (行列の三角化手順の分割) を対象としているのに対し, 回路方程式のレベルでの回路分割を行うアルゴリズムを緩和法 [5][9][14][15][20] と呼ぶ. 緩和法による数値解析では, 回路の分割にともない回路方程式が幾つかの連立方程式の組へと分割される. 分割された各連立方程式はそれぞれの部分回路に対応しており, 部分回路内の状態変数以外を定数と仮定することにより, より小さな次元の連立方程式として扱われる. この結果, 回路次元は小型化され, 特に, 回路を節点単位に分割する節点緩和法では各ブロックの状態変数は一つとなり行列計算が不要になる. 各連立方程式は独立に直接法で解かれる. しかし, 他の部分回路における変数を定数と考えたために誤差が生じ, 収束解を求めるには部分回路間での緩和反復計算が必要となる. 緩和法は直接法と異なり行列計算に三角化分解を使用しないのでフィル・インは発生しない (ただし, 直接法で解かれる部分回路内にはフィル・インが生じ得る). 従って, メモリ効率や計算効率が改善される.

これまで, 緩和法の研究は盛んに行われており, 多くの解析アルゴリズムが提案され, 成果が挙げられてきた [5][9][14][15][20]. 数値解析では回路の動作を表す非線形連立微分方程式が非線形連立代数方程式を経て, 線形連立代数方程式に変換される. 緩和法をどのレベルで適用するかによって, 波形緩和法 [9], 反復タイミング解析 [5], 線形緩和法 [15] に大別できる. すなわち, 非線形連立微分方程式 (式 (1.1)) に緩和法を適用すれば波形緩和法, 非線形連立代数方程式 (式 (1.3)) に適用すれば反復タイミング解析 (または非線形緩和法), 線形連立代数方程式 (式 (1.4)) に適用すれば線形緩和法となる. しかし, いずれの緩和アルゴリズムも厳密な解を得るために多くの緩和反復が必要となり, 特に, 帰還の強い回路等に対する解の収束性の

低さが指摘される。緩和アルゴリズムにおける収束性は回路行列の対角優位性に依存する。行列 \mathbf{J} の要素が

$$|\mathbf{J}_{ii}| / \sum_{\substack{j=1 \\ j \neq i}}^N |\mathbf{J}_{ij}| \geq 1 \quad (1.6)$$

を満たせば行列は対角優位である。ここで、 \mathbf{J}_{ij} は行列の (i, j) 要素を表わす。(ただし、回路が K 個の部分回路に分割されたのであれば、 \mathbf{J} も部分行列 \mathbf{J}_{IJ} ($I, J = \{1, 2, \dots, K\}$) にブロック化され、

$$\|\mathbf{I} - \mathbf{J}_D^{-1} \cdot \mathbf{J}\| \leq 1 \quad (1.7)$$

が対角優位の定義となる(ブロック対角優位)[14]。ここで、各対角ブロック(\mathbf{J}_{II} ($I = \{1, 2, \dots, K\}$)) は正方行列であり、 $\mathbf{J}_D \triangleq \text{diag}(\mathbf{J}_{11}, \mathbf{J}_{22}, \dots, \mathbf{J}_{KK})$ である。また、 \mathbf{I} は単位行列、 $\|\cdot\|$ は最大ノルムである。なお、全てのブロックが各々一つの要素のみからなる場合はブロック対角優位は対角優位と同義となる。) 回路行列が対角優位ならば緩和法の収束が証明されている[15]。MOS回路網では一般に回路行列の対角優位性が保証され、緩和法による解析が有効である。一方、バイポーラトランジスタ回路網では回路行列の対角優位性を常に確保することができず、緩和法の適用が困難である。このため、汎用的な回路シミュレータでは直接法による解析が一般的となっている。

分割とは相互影響を無視して部分回路を他の部分回路から切り離すことである。従って、分割を用いた回路解析では無視された部分回路間の相互影響を何等かの方法で補足する必要があり、節点分割における局所基準節点ブロックの取り扱いや緩和アルゴリズムの緩和反復操作がこれに相当する。直接法における節点分割が回路行列の分割にすぎないのに対して、緩和アルゴリズムでは部分回路間の相互影響を無視したまま実際に方程式を解いてしまうので分割による精度の劣化が激しい。このため、相互影響が強い部分での分割は緩和反復の収束が得られない等の問題を生じさせてしまう。よって、バイポーラトランジスタ回路網のような強結合回路を緩和アルゴリズムを用いて解析するには、相互影響が小さい弱結合部での分割を行う必要がある。すなわち、強結合部を一つの部分回路としてブロック化し、ブロック内を直接法で解き、部分回路間で緩和を行う。回路行列の (i, j) 要素は節点 i, j 間のカップリングの強さを表わしていることから、弱結合している部分

回路間の節点間のヤコビアンは十分小さくなる事が分かる。従って、弱結合部での分割により対角優位の回路行列を作ることができ、対角優位性の観点からも結合強度を考慮した分割が緩和法の収束性の向上に有効であることが示される。結合強度を考慮した分割を利用した緩和アルゴリズムは直接法と緩和法の長所を結合した直接法・緩和法混合モード解析である [17][25]。実際には、結合強度は回路の種類・状態により変化するので、それに依りて分割箇所を動的に選択する混合モード解析アルゴリズムが有効である [17][39][50]。

1.4 潜在性とマルチレート性

分割された回路の解析には信号伝搬順序を考慮した解析手法が有効である。ここで、前時刻から入力変化のない部分回路が前時刻の状態を保持することを利用すれば、現時刻の解析を省略することが可能となり、解析の高速化が実現できる [3][6][8]。この性質は回路の潜在性と呼ばれる。一般に大規模回路の潜在率は 90% を越えると言われており、不活性 (潜在的) 部分の解析の省略によって大幅な高速化が期待できる。

潜在性には時間域潜在性と反復域潜在性が存在する。時間域潜在性とは入力に変化がなければその部分回路の状態は変化しないという性質を示す。論理シミュレーションにおいては時間域潜在性の利用がイベント・ドリブン、セレクトティブ・トレース [25] に通じる。ただし、キャパシタを含むような部分回路においては、キャパシタの充放電による過渡状態が終わるまでは電圧等の変化が現れる。一般に潜在性と呼ばれるのは時間域潜在性である。なお、節点分割は行列演算手順を分割するにすぎず、潜在的な部分回路が存在しても回路内に変化が一部分でも生じれば全体の行列計算 (後退代入) が必要となる。つまり、直接法による解析では回路全体が潜在的でない限り時間域潜在性を利用することができない。一方、反復域潜在性はニュートン反復時における潜在性で、ニュートン法の修正量が十分小さくなればその部分回路のヤコビアンはほとんど変化しないという性質を指す。一般に、部分回路ごとにニュートン法の収束性は異なり、反復域潜在性の利用はニュートン法が収束した時点で部分回路ごとにニュートン法を打ち切ることに対応する。

マルチレート性とは部分回路によって時定数が異なる性質を言う [9][20]。部分回路の時定数に即した時間刻みを用いることにより効率の良い解析が行われる。

つまり、マルチレート性とは部分回路ごとの潜在性を効果的に利用することに他ならない。非線形連立微分方程式(式(1.1))を分割する波形緩和法では、部分回路ごとに数値積分が適用されるので独立な時間刻みを採用することが可能である(マルチレート数値積分[9])。逆に言えば、波形緩和法を用いない限り、本来のマルチレート性を利用することはできない。次世代回路シミュレーションにおいては、波形緩和法以外の解析アルゴリズムにおけるマルチレート性の活用技術を確立する必要がある。

回路の潜在性、マルチレート性は回路の幾何学的構造と分割方法に大きく依存する。有効な回路分割アルゴリズムはこれらの活用をより効果的にすることが期待できる。

1.5 次世代回路シミュレーション

近年は回路の大規模化、高密度化に加え、LSIの動作速度の高速化が進み、デジタル回路においてもアナログ的な影響を無視することができなくなった。論理解析等の上位レベルのシミュレーションでは精度が不十分であり、詳細レベルのシミュレーションにより大規模論理回路の解析を高速に行う必要性が生じている。また、デジタル・アナログ混在回路の集積化技術、AHDL[22]を用いたアナログ回路の上位レベルの設計技術も実用化されはじめており、アナログ回路においても大規模化の傾向は著しい。アナログ回路は詳細回路解析により動作検証が行われるので、効率的な大規模アナログ回路解析のためにも詳細回路シミュレーションの高速化は大きな意義を持つ。

更に、回路の大規模化にともない、設計方式はハードウェア記述言語(HDL)[21][22]によるトップダウン設計へと移行している。トップダウン設計の長所は、全体の動作をシステム解析により確認しながら効率的に回路の設計が行える点にある。従来のボトムアップ設計では、まず、各モジュールがそれぞれ個別に設計され、独立に動作検証が行われる。従って、モジュールを接続し、回路を組み上げた場合のカップリングが考慮されず、回路全体の動作を完全に保証することができなかった。これは、アナログ回路設計に対しては大きな問題となる。デジタル回路では各モジュール(ゲート)の入力インピーダンスが高く出力インピーダンスが低いため、ボトムアップの設計を行っても実用的には支障はなかったが、回路の大規模化、動

作クロックの高速化にともない、モジュール間の相互影響が無視できなくなってきたおり、ボトムアップ設計に対する限界が生じている。つまり、回路全体は一括して解析されることが望ましい。HDLによるトップダウン設計、及び、回路全体のシステム解析では、設計の初期段階から部分回路間のカップリングを含んだ設計・解析が可能である。ここで、アナログ回路を扱うAHDLではもちろん、デジタル回路を扱うVHDL[21]においても回路が高速に動作する場合にはそのアナログ的な振舞いが問題となるので、システム解析は詳細回路シミュレーションにより行われる必要がある。以上の様に、HDLによるトップダウン設計の観点からも回路全体を一括して詳細解析する重要性は大きく、その高速化が強く求められる。

詳細回路シミュレーションを高速化する方法としては数学的なアプローチと物理的なアプローチが考えられる。数学的な方法は数値解析アルゴリズムそのものを効率化するものであり、従来の直接法に対する緩和アルゴリズム等がこれに当たる。また最近では、論理シミュレーションと詳細回路シミュレーションを融合したデジタル・アナログ混合解析[25]、直接法と緩和法の長所を融合した混合モード解析[17]等も提案されている。これらは、従来、別個のシミュレーションアルゴリズムで用いられていた手法の長所を融合することで効率化を図るというもので、効果的な次世代回路シミュレータを実現するには有効な手段であると言える。なお、汎用性の面から考えると、強結合回路にも対応可能な直接法を基幹とする混合モード解析が望ましいと思われる。一方、物理的なアプローチとは回路の持つ様々な特性を有効に利用し計算を高速化するもので、回路の階層構造の利用、及び、潜在性、マルチレート性等の活用が挙げられる。次世代回路シミュレーションでは、これらの回路特性を効果的に活用する必要があると考える。

ここで重要となるのは大規模回路の分割である。回路の分割手法は解析の高速化技術のほとんどと密接な関わりを持つ。例えば、回路分割により直接法の計算量を激減させることができるし、緩和アルゴリズムは部分回路ごとに解析を行うという観点から考え出されている。そして、回路のマルチレート性とは部分回路ごとの潜在性を効果的に利用することに他ならない。解析の効率化は分割アルゴリズムに依存する。適切な分割を行うには回路の構造と部分回路間の結合強度を考慮しなければならない。構造(回路トポロジ)的には、回路の疎結合部で分割し、密結合部をブロック化することが望ましい[11][29]。また、デジタル・アナログ混合

解析における回路のデジタルブロック, アナログブロックへの分割も構造的なものである。更に, CAD を利用した現在のデジタル回路設計においては回路は階層的に設計されることから, 回路の階層構造を反映した分割方法が適当であると考えられる。一方, 結合強度の面から考えると, 弱結合部で回路を分割することが望ましい。分割とは相互影響を無視して部分回路を他の部分回路から切り離すことであり, 相互影響が強い部分での分割は緩和反復の収束が得られない等の問題を生じさせる。回路の構造が一意的に定まるのに対し部分回路間の結合強度は時間とともに変化するので, 結合強度の変化にともない回路の分割状態を動的に更新するアルゴリズムが有用であると考えられる。直接法・緩和法混合モード解析では, 各時刻において直接法で解く必要のある強結合ブロックを検出しなければならないので回路の動的分割が特に重要となる。

本論文では分割の階層化と動的分割に基づく詳細回路シミュレーションの高速化技術を検討し, 速度と精度の両者を満足する次世代回路シミュレータ SPLIT を構築する。階層分割にともなう階層的潜在性の活用と, 結合強度を考慮した動的”回路分離”による直接法ベースの直接法・緩和法混合モード解析が SPLIT の特徴である。VHDL・AHDL 指向型の設計・解析では回路全体のシステム解析を詳細シミュレーションにより行う必要がある。しかし, 実際に大規模回路全体を詳細解析することは非現実的であるため, 各部分回路を適切なレベルで解析する Mixed-signal シミュレーションが有効となる [25][27]。よって, 詳細回路シミュレーションによる回路全体の解析を効率的に行うことを目的としている SPLIT も, 将来的には Mixed-signal シミュレータへと進化する必要がある。Mixed-signal シミュレーションの実現には階層の概念, 部分回路間の結合強度の考慮が不可欠であり, 階層分割と動的分割に基づく SPLIT はこれに適した仕様となっていると言える。なお, 現段階の SPLIT は大規模デジタル回路に対する設計支援を主眼としており, 解析対象はデジタル回路に絞られる。

以下, 2 章では回路の幾何学的な階層分割の有効性を示す [32][33][35][36]。CAD を利用した現在の回路設計においては, 回路はトップダウンもしくはボトムアップで階層的に設計される。回路の潜在性は回路の階層構造に大きく依存するので解析の高速化には回路の階層構造を反映した分割方法が適すると考えられる。ここでは, 回路の階層構造を利用した解析技術を構築する上で第一に必要な階

層分割システムの作成が行われる。階層分割は直接法における行列計算を効率化させる能力をも備える。階層分割により、従来のスパース処理に基づく行列計算の効率化に匹敵する効果が得られることが検証される。2章の焦点は階層分割による回路行列(式(1.4)中の J)の効率化(フィル・イン抑制)である。

3章では階層分割にともなう階層的潜在性の活用技術について述べる[37]。分割の階層化により、回路解析における潜在性の有効的な利用が可能になる。つまり、ある部分回路が潜在的でなくともその部分回路を構成している小部分回路は潜在的であるかもしれないという階層的な潜在性を考えることができる。この結果、潜在回路の規模を動的に判断することが可能となる。すなわち、部分回路が潜在的であれば一括してその解析の省略を行い、また、その部分回路が活性的な場合でも部分回路を構成する小部分回路が潜在的であればその潜在性を利用することができる。ここでは特に階層的な反復域潜在性の利用効果に焦点が当てられる。階層的な(反復域)潜在性を適用し、部分回路の潜在性をどん欲に活用することにより、非常に効率的な解析が実現する。本アルゴリズムを実装した回路シミュレータ SPLIT が作成され、実際の回路解析からその有効性が示される。3章の焦点は式(1.4)における J に対する潜在性の活用である。

4章では動的”回路分離”の適用について述べる[40][42]。回路の分離とは、部分回路間の相互結合の弱い節点間で分割することを意味する。本手法により、結合強度に応じて動的に直接法・緩和法を選択する混合モード解析が実現される。分離手法によれば回路は完全に分割される。分離された部分回路は全く別個に直接法により解析することが可能であり、部分回路間の緩和反復も必要ない。従って、回路分離を利用した直接法・緩和法混合モード解析は直接法ベースであり、強結合回路に対しても有効である。つまり、本混合モード解析は汎用性を兼ね備えた回路シミュレーション技術であると言える。本アルゴリズムを実装した回路シミュレータ SPLIT2 が作成され、幾つかの回路に対する過渡解析の結果からその有効性が示される。4章の焦点は分離によるニュートン法の解析(式(1.4))の効率化である。

5章では、回路分離手法と論理シミュレーションで用いられるセレクトティブ・トレース方式を結合することにより、直接法に基づく解析において疑似的にマルチレート数値積分を実行する方法を提案する[47][48]。本アルゴリズムでは、数値積分の時間刻みはグローバルで採り、その時刻における活性的な部分回路のみを選

択して解析する。通常の直接法では、活性な部分回路の影響で回路の全体を処理する必要が生じるため、部分回路ごとに時間域潜在性を利用することが難しい(階層分割を行っても階層的な時間域潜在性を活用することができない)。各部分回路の独立な解析を可能とする回路分離を用いれば、活性的な部分回路のみを選択し処理するアルゴリズムが構築できる。すなわち、回路分離手法は直接法による解析における階層的な時間域潜在性の活用技術でもある。潜在的な部分回路の解析を省略することはその部分回路に対する数値積分の刻み幅を大きく採ることに相当する。従って、回路全体にグローバル数値積分を適用しながらも(直接法ベースの解析にも関わらず)、実質的には各部分回路ごとに時間刻みを決定していることになる。各部分回路の活性度に応じて解析ポイントを選出することがマルチレート数値積分の考え方であるので、本アルゴリズムにより直接法・波形緩和法混合モード解析が実現する。本アルゴリズムを実装した回路シミュレータ SPLIT2.1 が作成され、幾つかの回路の解析結果からその有効性が示される。5章の焦点は直接法における階層的な時間域潜在性の活用にともなう数値積分(式(1.2))の効率化である。最後に、将来的な展望を含め、本論文の総括が6章に述べられる。

2 階層分割

2.1 概要

直接法に基づく詳細回路シミュレーションの高速化のために回路分割手法が研究されてきた [7][8][19][24]. 分割により生じた部分回路は互いに独立して解析することが可能となるため, その取り扱いが容易となるのと同時に並列処理性も増す. 更に, 回路行列を縁付きブロック対角 (bordered block diagonal, 以下 BBD) 行列化することでフィル・イン数が抑制され, その発生場所も限定されることが知られている [7]. 最近では, 分割の階層化についても述べられるようになり [10][13][28], 回路の階層構造に即した分割手法が研究されている. 回路の階層を考慮した分割により, 潜在性及び並列処理の有効利用が可能となる.

本章では, まず, 回路の階層構造を利用した効率的な解析技術を構築する上で第一に必要な, 回路の幾何学的構造を反映した階層分割を行うシステムを作成する [32][33][35][36]. ここで, 階層を考慮した回路図エディタ, 回路記述, 及び, 分割アルゴリズムが用いられている. 回路入力は, 部分回路をモジュール化することで回路を階層的に入力できる回路図エディタ GRACE[30] を用いて行われる. GRACE で入力された回路図は階層化構造記述言語 HAL[30] に変換され, そのネットリストを入力データとしてゲートレベルまでの自動階層分割が実行される.

理論的には階層分割の有効性は論じられていたが, 具体的にそれを示した研究は未だ少ない. 本章では, 階層分割システムの構築に続いて, 直接法による解析におけるフィル・インの抑制, つまり, 行列計算の効率化の観点から階層分割の効果に対する検証を行う. 実際のバイポーラトランジスタ回路及び MOS 回路が本システムにより階層分割され, その結果生じた回路行列の三角化分解等に要する計算量の評価から, 直接法における行列計算の効率化に対しても階層分割が十分有効であることが示される.

2.2 直接法における回路の分割

2.2.1 節点分割手法

節点分割法 [7] では, 回路内の部分節点集合を局所基準節点 (部分回路どうしを

解くことを可能にしている) わけではない。また、縁部内には多量のフィル・イン発生が認められる。なお、計算機上の数値解析では、並列処理性を阻害する行列の縁部を分散させた方が有利であると考えられる。

回路の分割に応じて回路行列を縁付きブロック対角化することにより、回路のトポロジ(幾何学的構造)を行列計算に反映させることが可能となる。縁付きブロック対角構造を持つ行列の並列LU分解アルゴリズムを以下に示す。Fig.2.1の回路行列, 及び、そのLU分解後の回路行列(Fig.2.2)において、

$$\begin{aligned}
 \mathbf{M} &= \text{diag}\{\mathbf{M}_i \mid i = 1, 2, \dots, k\} \\
 \mathbf{P} &= \{\mathbf{P}_i \mid i = 1, 2, \dots, k\} \\
 \mathbf{Q}^T &= \{\mathbf{Q}_i^T \mid i = 1, 2, \dots, k\} \\
 \mathbf{L}_d &= \text{diag}\{\mathbf{L}_i \mid i = 1, 2, \dots, k\} \\
 \mathbf{U}_d &= \text{diag}\{\mathbf{U}_i \mid i = 1, 2, \dots, k\} \\
 \mathbf{V} &= \{\mathbf{V}_i \mid i = 1, 2, \dots, k\} \\
 \mathbf{W}^T &= \{\mathbf{W}_i^T \mid i = 1, 2, \dots, k\}
 \end{aligned} \tag{2.1}$$

と記述すると、LU分解は式(2.2)～式(2.7)となる。

$$\begin{bmatrix} \mathbf{M} & \mathbf{P} \\ \mathbf{Q}^T & \mathbf{R} \end{bmatrix} = \begin{bmatrix} \mathbf{L}_d & \mathbf{0} \\ \mathbf{W}^T & \mathbf{L}_r \end{bmatrix} \begin{bmatrix} \mathbf{U}_d & \mathbf{V} \\ \mathbf{0} & \mathbf{U}_r \end{bmatrix} \tag{2.2}$$

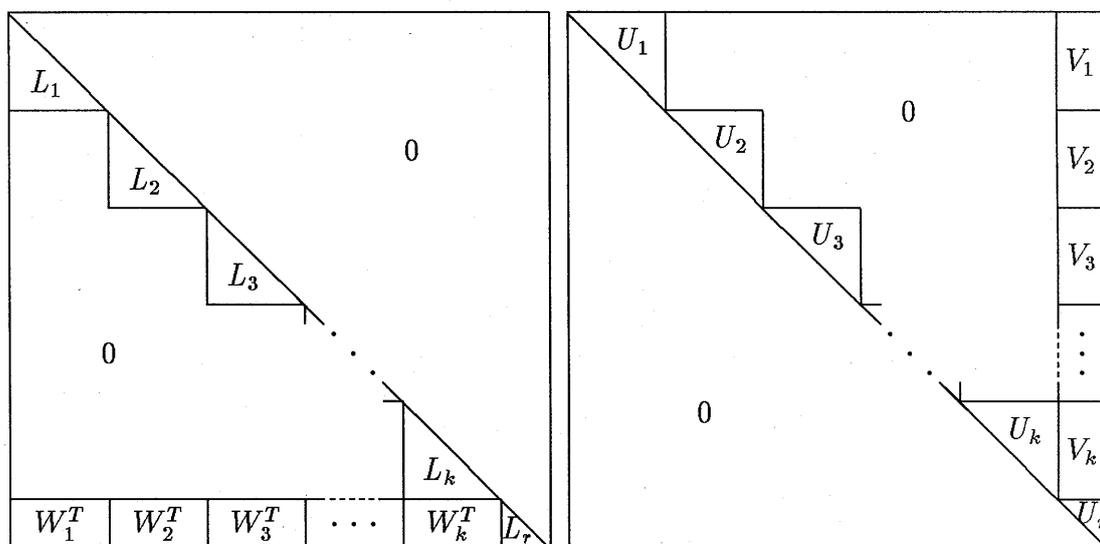


Fig.2.2. L and U matrices produced from BBD matrix by LU decomposition.

$$M \rightarrow L_d U_d \quad (2.3)$$

$$V = L_d^{-1} P \quad (2.4)$$

$$W^T = Q^T U_d^{-1} \quad (2.5)$$

$$R' = R - W^T V \quad (2.6)$$

$$R' \rightarrow L_r U_r \quad (2.7)$$

ここで、記号'→'は何らかの方法でLU分解を行うことを表す。式(2.3)～式(2.6)は各ブロックごとに並列に処理が可能であるので、これを明示し、並列LU分解は式(2.8)～式(2.12)により表される。

$$M_i \rightarrow L_i U_i \quad (i = 1 \sim k) \quad (2.8)$$

$$V_i = L_i^{-1} P_i \quad (i = 1 \sim k) \quad (2.9)$$

$$W_i^T = Q_i^T U_i^{-1} \quad (i = 1 \sim k) \quad (2.10)$$

$$R' = R - \sum W_i^T V_i \quad (i = 1 \sim k) \quad (2.11)$$

$$R' \rightarrow L_r U_r \quad (2.12)$$

2.2.2 ゲートレベル節点分割手法

(1) バイポーラトランジスタ回路網におけるゲートレベル節点分割

数種類のゲート回路から構成されるようなデジタル回路の場合、ゲートごとに回路の節点分割を実行することが考えられる[29]。これはゲートレベル節点分割と呼ばれ、各ゲートの出力節点が局所基準節点として選択される。ここでは、回路行列中の各部分行列 (Fig.2.1 中の各 M_i) が各ゲートのヤコビアンに対応する。バイポーラトランジスタ回路網におけるゲートレベル分割の有効性は以下のとおりである。

1. 回路分割による計算の効率化のためには分割後の回路行列の各対角ブロック内が比較的密行列であることが要求される[11]。また、フィル・イン抑制の観点からも疎結合部での分割が望ましい。一般にバイポーラトランジスタ回路網ではゲート内の節点どうしの結合は比較的密であり、ゲート間の結合

は疎である。よって、ゲート回路の出力節点を局所基準節点とするゲートレベル分割を行うことで密行列を切断することなく分割できる。

2. ゲート回路の内部節点は外部とつながっていないので同一ゲートならば内部節点の行列構造は同型となる。計算機はゲートの情報のみを蓄えればよくメモリ効率の大幅な向上が期待される。
3. フィル・インを大量発生させる原因となる対角位置から離れた非対角要素（以下、単に非対角要素）は、節点 i と隣接している節点 j の節点番号の差が大きい場合に生じる。多くの節点と接続している密結合な節点が存在した場合、その節点と連続した節点番号を割り付けることができるのは隣接節点集合中で高々2個であるため、隣接節点の数に比例する非対角要素が生じることになる。ゲート回路を基本ブロックとする回路網では、ゲート内の節点には連続した節点番号を割り付けることが可能であるので、隣接ゲートに連続したラベル付けを行うことができれば非対角要素は発生しない。しかし、多数のファン・イン、ファン・アウトを持つゲート（密結合なゲート）が存在する場合はゲートの入出力節点に対して非対角要素が生じてしまう。ゲートレベル分割法においては、非対角要素に対する節点（ゲートの入出力節点）が局所基準節点として選ばれ行列の縁部に移されるため、フィル・イン発生が抑制される効果がある。ただし、非対角要素が集まる縁部の部分行列内には多量のフィル・イン発生が認められる。
4. ゲート集合に対するラベル付けにおいて、隣接したゲートに対しては連続したラベルを与えることが要求される。帰還ループを含むような回路では、多くの場合、ラベル付けの最適化が困難となるが、ゲートレベル分割法によればブロックごとの処理が独立に行えるためゲートの適切なラベル付けは考慮する必要がなくなる。

(2)MOS 回路網におけるゲートレベル節点分割

MOS 回路網に対してもゲート回路を基本ブロックとするゲートレベル分割が可能である。2.2.2(1)の性質2.~4.はバイポーラトランジスタ回路網と同様に成立し、MOS 回路網に対してもゲートレベル分割は有効であると期待される。しか

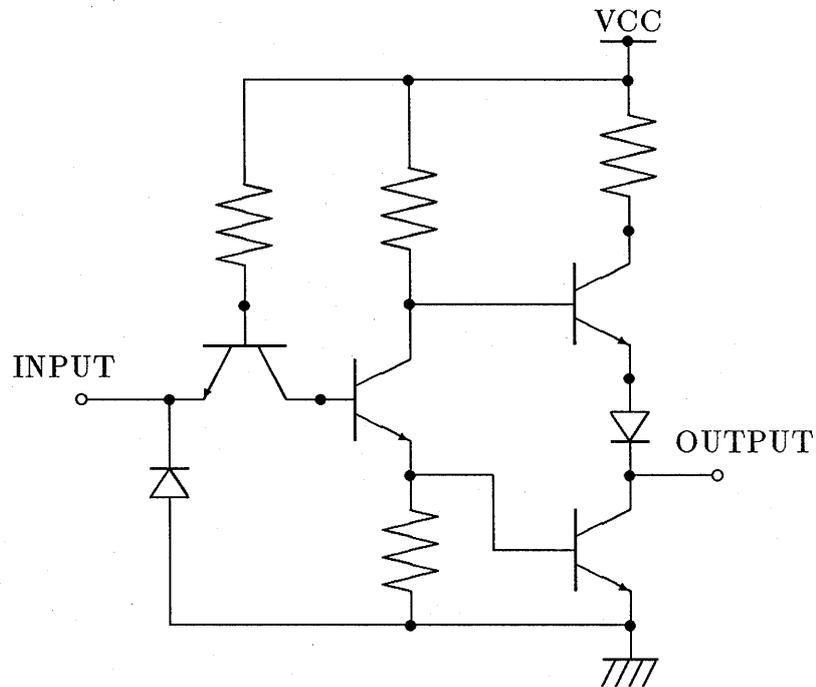


Fig.2.3(a). TTL inverter.

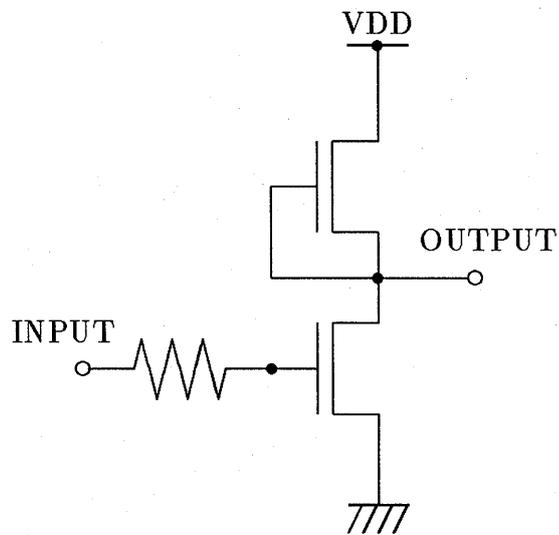


Fig.2.3(b). MOS inverter.

し、MOS 回路網では各ゲート内の節点数が TTL ゲートのそれと比べて少ないため、回路全体としての結合の疎密がバイポーラトランジスタ回路網ほど明確ではないと考えられる。例えばインバータゲートでは、Fig.2.3 のようにゲート内の節点数が 2 個であるので、その出力節点を局所基準節点として行列の縁に移してしまうと内部節点数は 1 個になる。従って、各ゲート回路の出力節点を局所基準節点とするゲートレベル節点分割では、回路行列内における縁部の部分行列 (Fig.2.1 中の部分行列 R) の占める割合が大きくなることになる。縁部の部分行列は、並列処理性を阻害する、多量のフィル・インを発生させる等、回路行列の性質を劣化させる部分である。よって、全ての MOS 回路網に対してはゲートレベル節点分割が有効であるとは限らないと考えられる。

なお、実際の MOS ゲートの回路に入力部の抵抗は存在しない (Fig.2.3(b) 参照)。つまり、インバータゲートの内部節点は 1 個である。これでは、分割の結果、インバータゲートに対応する部分行列が現れない。本論文では、理論体系を単純化するために、あえて全ての MOS ゲートの回路の入力部に抵抗を挿入し、各ゲートに対応する部分行列が必ず作られるようにしている。

2.2.3 階層的節点分割手法

回路を無作為に節点分割するのに対して、回路の階層構造を回路行列そのものが反映するように、順次、大きな部分回路から小さな部分回路へ再帰的に分割することにより階層分割が実現される [10][13]。この結果、縁付きブロック対角 (BBD) 行列の各ブロック内が階層的に縁付きブロック対角行列へと分割され、回路行列は Fig.2.4(a) に示されるような再帰的縁付きブロック対角 (recursive bordered block diagonal, 以下 RBBD) 構造となる。なお、Fig.2.4(a) の RBBD 型回路行列は Fig.2.4(b) に示される回路の階層構造を反映している。

階層分割を行い回路行列に回路の階層構造を反映させることにより回路のトポロジ (階層構造) を考慮した行列計算が可能となる。すなわち、回路解析を行う場合に大規模回路を小規模の部分回路に分けて考えることが容易となる。それ故、節点分割を一階層だけで実行する一階層節点分割 (従来の節点分割) に比べ、フィードバックの大きさや信号の伝搬順序 (イベント・ドリブン) を考慮し易い。回路の潜在性や並列処理性は回路の階層構造に大きく依存する。従って、階層分割は、節

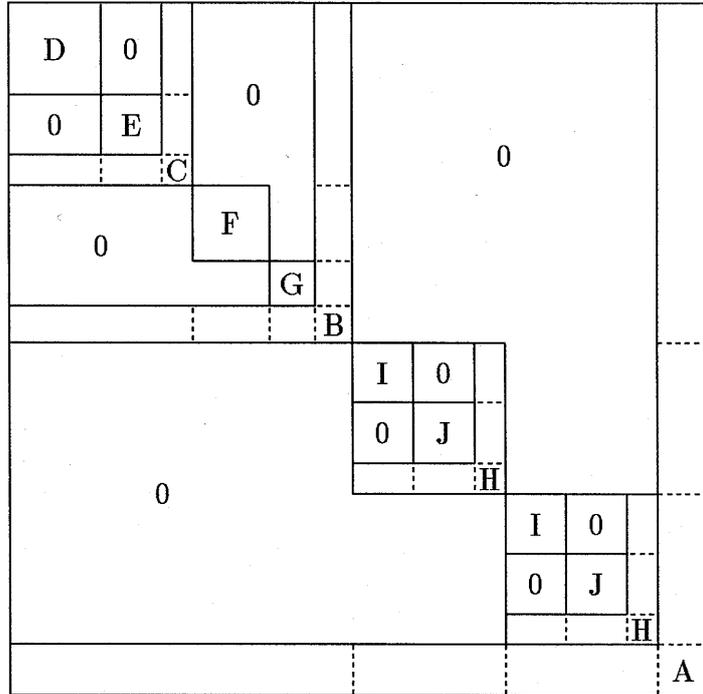


Fig.2.4(a). Recursive bordered block diagonal structure.

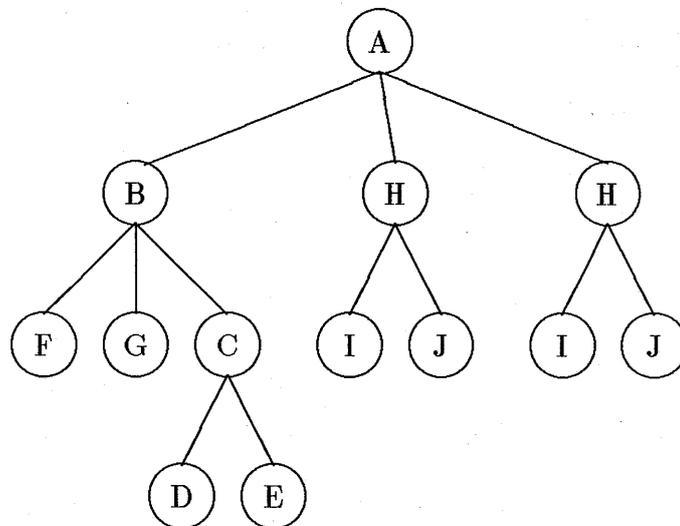


Fig.2.4(b). Hierarchical circuit structure.

点分割法の利点に加え, 回路解析における潜在性や並列処理の有効的な利用を可能にすることが期待できる. つまり, ある部分回路が潜在的でなくともその部分回路を構成している小部分回路は潜在的であるかもしれないという階層的な潜在性や, ある部分回路レベルで並列処理を行う場合に更にその部分回路を構成している小部分回路レベルでも並列処理を行うという階層的な並列処理を考えることが可能となる. 階層的潜在性・並列処理を利用した解析では, 適切な潜在部分回路のレベル, 及び, 並列処理を行う部分回路のレベルが動的に決定されるので, それらのどんな活用が可能となる.

更に, 階層分割では局所基準節点に対する部分行列 (Fig.2.1 中の部分行列 R) を分散できるので, 2.2.2(2) で述べた MOS 回路網に対するゲートレベル節点分割の問題点も緩和されることが期待できる.

2.3 階層分割システム

本節では, 回路の階層構造を利用した効率的な解析技術を構築する上で, 第一に必要な階層分割システムについて述べる. ここで, 階層を考慮した回路図エディタ, 回路記述, 及び, 分割アルゴリズムが用いられている.

2.3.1 階層分割システム HIDE

ゲートレベル分割を基礎とする階層分割システム HIDE を構築した [33]. 本システムは大規模デジタル回路の分割を対象としている.

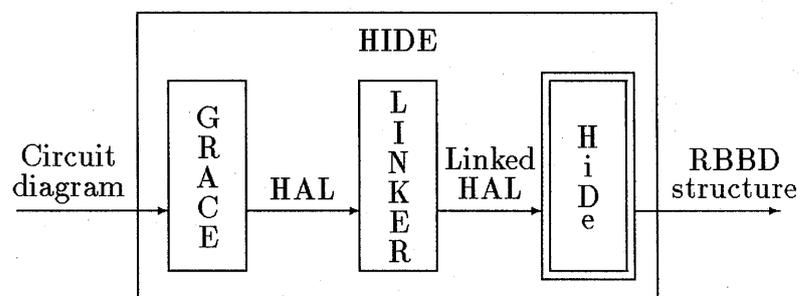


Fig.2.5. System diagram of HIDE.

HIDE は, Fig.2.5 に示すように, 3つのサブシステム GRACE, LINKER, そして HiDe から成る. 構造記述には階層化記述言語 HAL(Hardware Analysis Language)[30] が採用されている. HAL では, モジュールを4つのレベル (LEVEL0:アナログ素子, LEVEL1:ゲート回路, LEVEL2:簡単な機能回路, LEVEL3:LEVEL0~LEVEL3の複合回路) に分類して記述すること, 及び, モジュールごとのネットリストをリンクすることにより階層記述を可能にしている. GRACE[30] は階層化入力が可能な回路図エディタであり, かつ, HAL へのトランスレータである. GRACE では, まず, 部分回路を一つの本モジュール (ブラックボックス) として全体の回路を入力する. この時点で, 入力された回路に対するネットリスト (HAL ファイル) が出力される. 続いて, 各モジュールに対し, その内部回路の入力が同様の方法で行われ, 各モジュールに対する HAL ファイルが作成される. この操作を繰り返すことにより, 階層的な回路図入力が行われ, HAL により記述されたモジュールごとのネットリスト (HAL ファイル) が得られる. 最終的に, 全ての HAL ファイルは回路の階層構造に従って LINKER により結合され, 回路全体の階層化ネットリスト (LINK ファイル) が完成する [30][34]. そして, これを入力データとしてサブシステム HiDe が自動的にゲートレベルの階層節点分割を実行する.

HIDE では, 設計者が GRACE で入力した階層に即した階層分割が行われる. 言わば, HIDE における階層分割はユーザー定義である.

2.3.2 階層分割アルゴリズム

本システムはゲートレベル分割に基づいているためゲートの出力節点が局所基準節点となる. 階層化記述言語 HAL を用いて階層節点分割を自動的に実行するためには, サブシステム HiDe はネットリスト (LINK ファイル) から階層情報を獲得しなければならない. LINK ファイルは構造記述ファイルであるので, モジュールの接続情報が階層的に記されているにすぎない. よって, どここの階層でどの節点が局所基準節点に割り当てられるかという, 局所基準節点に対する階層情報の抽出が必要となる. これを処理するために本システムではゲートの全出力節点に対し入力フラグ・出力フラグという一対のフラグを定義する. そして, 最上位 (ルート) 階層から階層化ネットリストをたどり, 各々の階層に存在する全てのモジュール (ゲートを含む) の入出力節点にそれぞれ入力フラグ, 出力フラグを立てる. 各

節点は入・出力フラグが揃った時点で局所基準節点として選ばれ、行列上ではその階層に対応するブロックの縁に配置される。

Fig.2.6 に示される簡単な構造の回路を例に採って本システムの動作を説明する。この回路を GRACE により入力すると、LINKER を通じて Fig.2.7 のネットリスト (LINK ファイル) が得られる。回路 A を 1 つの部分回路と考えている階層では節点 3 は部分回路 A の入力節点でも出力節点でもない。HAL ネットリストは

```
module_name[{input_nodes}; {output_nodes}]
```

の記述で各モジュールの入出力情報を含んでいる。本システムは Fig.2.7 の MAIN 回路の記述部分から部分回路 A の入力節点が { 節点 1 } で出力節点が { 節点 2 } であることを読み取り、節点 1 に入力フラグを、節点 2 に出力フラグを立てる。従って、節点 3 は両フラグが揃わず、局所基準節点とならない。次に、階層が進んで回路 A が部分回路 B1, B2 から成ると考える時点では、節点 3 は部分回路 B1 の出力節点であり、かつ、部分回路 B2 の入力節点である。本システムはネットリスト中の A 回路の記述部分からこれを読み取り、節点 3 に入力フラグ、出力フラグを立てる。よって、この階層で節点 3 の両フラグが揃う。この結果、節点 3 が局所基準節点として選ばれ、回路は部分回路 B1 と部分回路 B2 に分割される。分割後、節点 3 は部分回路 A に対応する部分行列の縁に割り付けられ、Fig.2.8 に示されるような行列構造が得られる。以下の階層では、同様の方法で、部分回路 B1, B2 はより小さなモジュールに分割され、その時点で選ばれた局所基準節点は、それぞれ、B1 の部分行列の縁、B2 の部分行列の縁に割り付けられる。このように、各部分回路の分割が階層的に順次進んでいき、階層分割が実現される。

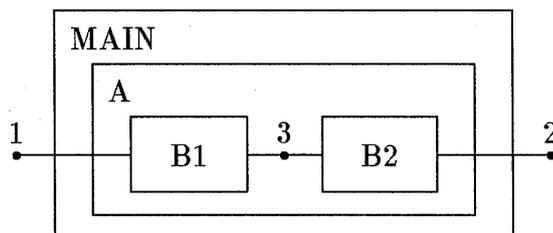


Fig.2.6. Example circuit.

NAME:MAIN[]	NAME:001 A[1;2]
ROOT:MAIN	ROOT:001 A<MAIN
LEVEL0	LEVEL0
begin	begin
end	end
LEVEL1	LEVEL1
begin	begin
end	end
LEVEL2	LEVEL2
begin	begin
end	end
LEVEL3	LEVEL3
begin	begin
001 A[1;2]*	002 B1[1;3]
end	003 B2[3;2]
	end

Fig.2.7. HAL netlist of the example circuit shown in Fig.2.6.

B1	0	
0	B2	
		node 3

Fig.2.8. Circuit matrix of the example circuit shown in Fig.2.6.

2.4 行列計算の効率化に対する階層分割の有効性

階層分割は、主に回路解析に潜在性や並列処理性の導入を容易にする目的で提起されたが、同時に、高いフィル・イン抑制能力を持つ。

2.4.1 バイポーラトランジスタ回路網に対する階層分割の効果

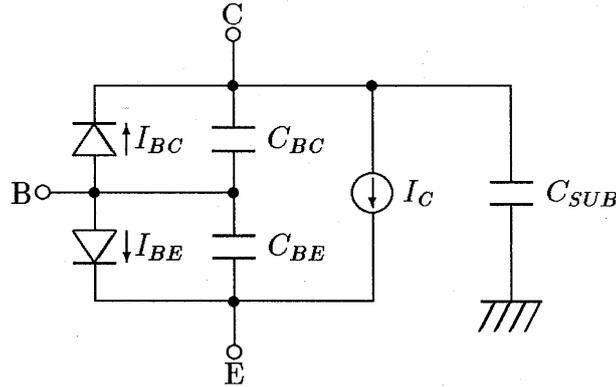
幾つかのバイポーラトランジスタ回路網に対し、

1. 分割を実行しない場合 (FILT)
2. ゲートレベル階層分割 (従来の節点分割) を実行した場合 (BORD)
3. ゲートレベル階層分割を実行した場合 (RBBD)

の回路行列構造に関する比較を行った。回路例は並列結合、縦続結合、フィードバックを含むものとして、それぞれデコーダ、非同期式カウンタとジョンソンカウンタを扱った。トランジスタモデルは Fig.2.9 に示される Ebers-Moll モデルを用いた。

3 ビットデコーダ、4 ビット非同期式カウンタ、3 ビットジョンソンカウンタに対する LU 分解後の回路行列構造の比較をそれぞれ Fig.2.10~Fig.2.12 に示す (図では、行列の非ゼロ要素 (フィル・インを含む) に点が打たれている)。また、5 つの回路例に対する回路行列の性質及び LU 分解に必要な計算量を Table 2.1 に示す。Table 2.1 より、回路分割を行うことにより劇的なフィル・インの減少と、それにもなう演算回数の減少が確認できる。これは、フィル・インを大量発生させる原因となる対角成分から離れたところに存在する非対角要素 (以下、単に非対角要素) を縁に移して行列をブロック化することにより、フィル・インの発生率・発生場所を抑えているためである。Fig.2.10~Fig.2.12 からブロック部 (各ゲートに対応) にはフィル・インがさほど生じていないことが確認できる。また、一階層分割よりも階層分割を行った方がフィル・インの抑制効果が高い結果となっている。これは階層分割を行うことによりフィル・インの大量伝搬を起こす縁部が分散させられることに起因する。縁部は独立して LU 分解が行えないところであるので、縁部の分散は同時に並列処理性も向上させることが期待できる。

今回の回路例では、並列結合 (デコーダ)、縦続結合 (非同期式カウンタ)、フィードバック回路 (ジョンソンカウンタ) を扱っているが、回路が密結合な場合ほど (並

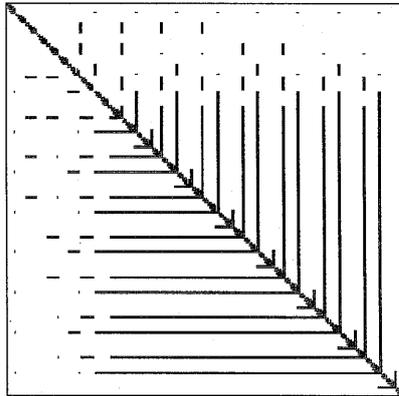


$$\begin{aligned}
 V_{BC} &: \text{ B-C 間電圧} & I_{EC} &= I_S \left(\exp \left(\frac{V_{BC}}{V_T} \right) - 1 \right) \\
 V_{BE} &: \text{ B-E 間電圧} & I_{CC} &= I_S \left(\exp \left(\frac{V_{BE}}{V_T} \right) - 1 \right) \\
 I_C &= I_{CC} - I_{EC} & C_{JE} &= \frac{C_{JE0}}{(1 - V_{BE}/V_{JE})^{M_{JE}}} \\
 I_{BE} &= I_{CC}/B_F & C_{JC} &= \frac{C_{JC0}}{(1 - V_{BC}/V_{JC})^{M_{JC}}} \\
 I_{BC} &= I_{EC}/B_R & C_{DC} &= T_R \cdot I_{EC}/V_T \\
 C_{BE} &= C_{JE} + C_{DE} & C_{DE} &= T_F \cdot I_{CC}/V_T \\
 C_{BC} &= C_{JC} + C_{DC}
 \end{aligned}$$

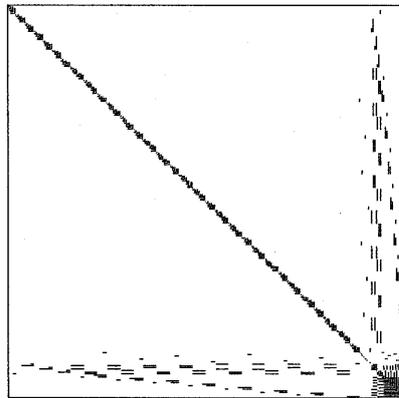
パラメータ:

I_S	=	1.0^{-15}	[A]	:飽和電流
B_F	=	100.0		:理想順方向最大電流利得
B_R	=	1.0		:理想逆方向最大電流利得
C_{JE0}	=	10^{-12}	[F]	:B-E 接合零バイアスでの空乏層容量
C_{JC0}	=	5×10^{-12}	[F]	:B-C 接合零バイアスでの空乏層容量
V_{JE}	=	0.8	[V]	:B-E 接合ビルトイン・ポテンシャル
V_{JC}	=	0.7	[V]	:B-C 接合ビルトイン・ポテンシャル
M_{JE}	=	0.5		:B-E 接合形状因子係数
M_{JC}	=	0.5		:B-C 接合形状因子係数
T_F	=	10^{-10}	[sec]	:理想順方向キャリア走行時間
T_R	=	10^{-8}	[sec]	:理想逆方向キャリア走行時間
V_T	=	0.026	[V]	:熱電圧
C_{SUB}	=	2×10^{-12}	[F]	:C-サブストレート間接合容量

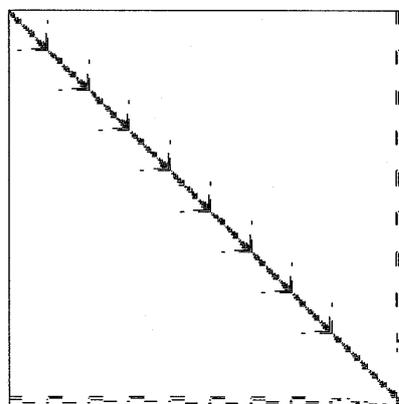
Fig.2.9. Ebers-Moll model.



FILT

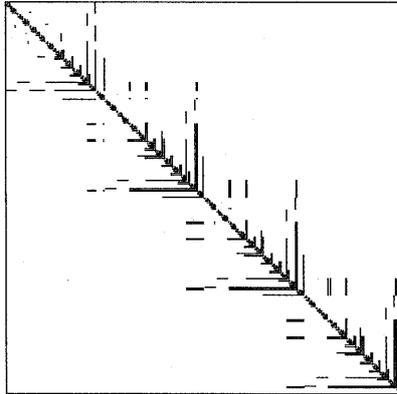


BORD

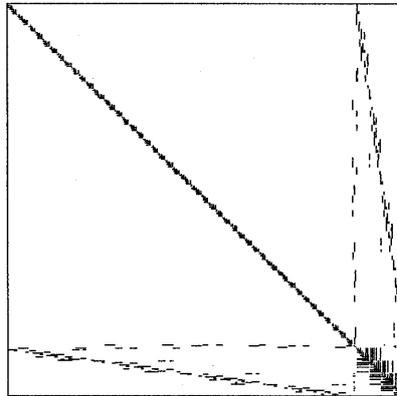


RBB

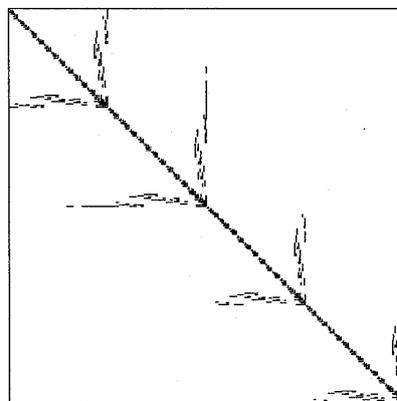
Fig.2.10. Comparison of matrix structures for 3 bits decoder.



FILT

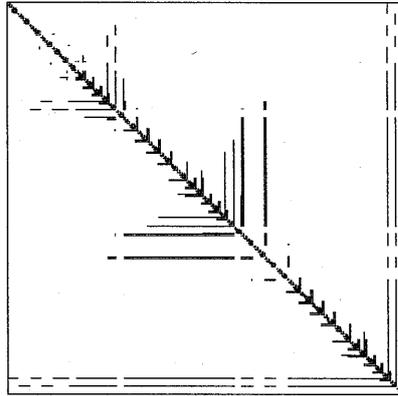


BORD

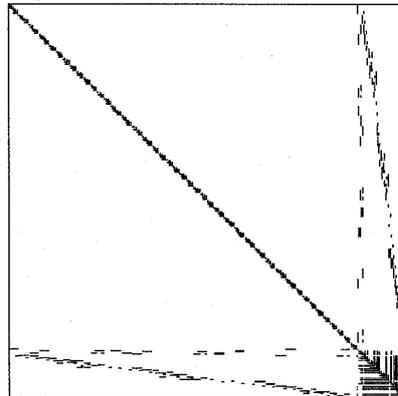


RBB

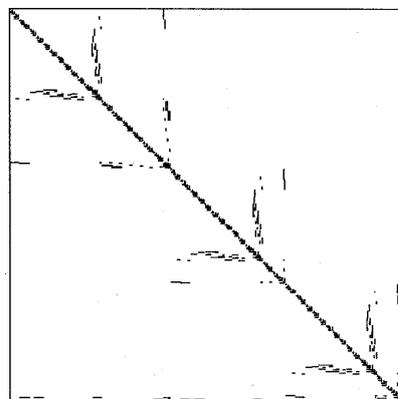
Fig.2.11. Comparison of matrix structures for 4 bits asynchronous counter.



FILT



BORD



RBBD

Fig.2.12. Comparison of matrix structures for 3 bits Johnson counter.

Table 2.1. Comparison results for bipolar transistor circuits.

Bipolar transistor circuits

No.	node		Non0	F.in	av.	max	h.	div.	update
1	265	<i>FILT</i>	1187	6524	29.166038	179	1396.440356	3732	70908
		<i>BORD</i>	1187	1158	8.849057	86	69.422499	1040	4928
		<i>RBBB</i>	1187	972	8.147170	90	84.631171	947	3665
2	332	<i>FILT</i>	1496	3202	14.150602	82	186.194186	2187	17453
		<i>BORD</i>	1496	1538	9.138554	46	68.396465	1351	6639
		<i>RBBB</i>	1496	1258	8.295181	58	47.961061	1211	4825
3	349	<i>FILT</i>	1547	3748	15.171920	280	594.079326	2473	22179
		<i>BORD</i>	1547	1804	9.601719	53	104.497533	1501	9821
		<i>RBBB</i>	1547	1296	8.146132	58	49.832514	1247	4875
4	452	<i>FILT</i>	2012	5242	16.048673	371	1006.771967	3401	29765
		<i>BORD</i>	2012	2622	10.252212	60	143.281522	2091	16405
		<i>RBBB</i>	2012	1730	8.278761	59	56.311673	1645	6515
5	655	<i>FILT</i>	2977	54494	87.741985	565	13700.609764	28408	1704684
		<i>BORD</i>	2977	4580	11.537405	132	310.966158	3451	43685
		<i>RBBB</i>	2977	2590	8.499237	172	153.025572	2456	9808

FILT : without network tearing.
BORD : with node tearing.
RBBB : with hierarchical node tearing.

Example circuits.

- No.1 : 3 bits decoder.
- No.2 : 4 bits asynchronous counter.
- No.3 : 3 bits Johnson counter.
- No.4 : 4 bits Johnson counter.
- No.5 : 4 bits decoder.

node : Dimension of matrix.
F.in : Number of fill-ins after LU decomposition.
av. : Average number of nonzero elements in every row after LU decomposition.
max : Maximum number of nonzero elements in every row after LU decomposition.
h. : Standard deviation of nonzero elements in every row after LU decomposition.
div. : Number of divisions required for LU decomposition.
update: Number of updates required for LU decomposition.

列>フィードバック>縦続) 階層分割の効果が高いことが確認された。これは、密結合な回路ほど多数の非対角要素を有すること、また、その非対角性が強く(非対角要素が対角から大きく離れた位置に現れる)各非対角要素の引き起こすフィル・イン数が多いことが原因である。回路行列の性質を劣化させる非対角要素の関与が大きい回路ほど階層分割の有効性は高い。

2.4.2 MOS 回路網に対する階層分割の効果

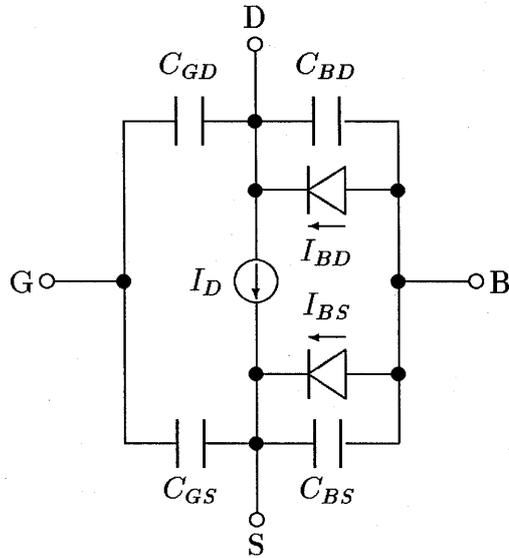
幾つかの MOS 回路網に対し、

1. 回路分割を実行しない場合 (FILT)
2. ゲートレベル一階層分割(従来の節点分割)を実行した場合 (BORD)
3. ゲートレベル階層分割を実行した場合 (RBBD)

の回路行列構造に関する比較を行った。回路例は 2.4.1 と同様にデコーダ、非同期式カウンタとジョンソンカウンタを扱った。トランジスタモデルは Fig.2.13 に示される Shichman-Hodges モデルを用いた。

3 ビットデコーダ、4 ビット非同期式カウンタ、3 ビットジョンソンカウンタに対する LU 分解後の回路行列構造の比較をそれぞれ Fig.2.14~Fig.2.16 に示す。また、5 つの回路例に対する回路行列の性質及び LU 分解に必要な計算量を Table 2.2 に示す。

2.4.1 では、TTL ゲートにより構成される同回路に対し、ゲートレベル節点分割(一階層分割)がフィル・イン及び計算量の削減という点から有効であることが確認された。これに対し、Fig.2.16, Table 2.2(No.3,4) から、MOS 回路においてはフィードバックを含む回路に対してはゲートレベル一階層分割が有効に働かないことが分かる。並列結合回路(デコーダ)では、ゲート間の結合が比較的密であり、非対角要素が多い。よって、もともとの回路行列の性質が悪く、節点分割が有効に働く。縦続結合回路(非同期式カウンタ)では、ブロック間の結合が疎であり、局所基準節点に対応する部分行列の性質が比較的良い。よって、縁部(Fig.2.1 中の部分行列 R) の多大なフィル・イン発生という節点分割の欠点が現れない。一方、フィードバック回路(ジョンソンカウンタ)では、ゲートレベル節点分割が性質の



V_{DS} : D-S 間電圧
 V_{BS} : B-S 間電圧
 V_{GS} : G-S 間電圧
 V_{GD} : G-D 間電圧
 V_{BD} : B-D 間電圧

$$I_{BD} = I_S(\exp[kV_{BD}] - 1)$$

$$I_{BS} = I_S(\exp[kV_{BS}] - 1)$$

(i) $V_{DS} > 0$ のとき

$$V_{Te} = V_{T0} + \gamma(\sqrt{|\phi - V_{BS}|} - \sqrt{\phi})$$

(a) $V_{GS} - V_{Te} < 0$ のとき (遮断領域)

$$I_D = 0$$

(b) $0 < V_{DS} < V_{GS} - V_{Te}$ のとき (線形 (抵抗性) 領域)

$$I_D = \beta V_{DS} \{2(V_{GS} - V_{Te}) - V_{DS}\} (1 + \lambda V_{DS})$$

(c) $0 < V_{GS} - V_{Te} < V_{DS}$ のとき (飽和領域)

$$I_D = \beta (V_{GS} - V_{Te})^2 (1 + \lambda V_{DS})$$

(ii) $V_{DS} < 0$ のとき

$$V_{Te} = V_{T0} + \gamma(\sqrt{|\phi - V_{BD}|} - \sqrt{\phi})$$

(a) $V_{GD} - V_{Te} < 0$ のとき (遮断領域)

$$I_D = 0$$

(b) $0 < -V_{DS} < V_{GD} - V_{Te}$ のとき (線形 (抵抗性) 領域)

$$I_D = \beta V_{DS} \{2(V_{GD} - V_{Te}) + V_{DS}\} (1 + \lambda V_{DS})$$

(c) $0 < V_{GD} - V_{Te} < -V_{DS}$ のとき (飽和領域)

$$I_D = -\beta (V_{GD} - V_{Te})^2 (1 - \lambda V_{DS})$$

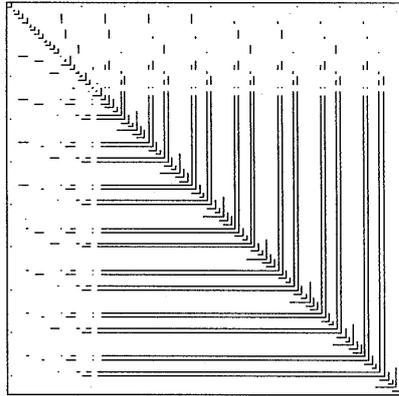
Fig.2.13(a). Shichman-Hodges model.

パラメータ:

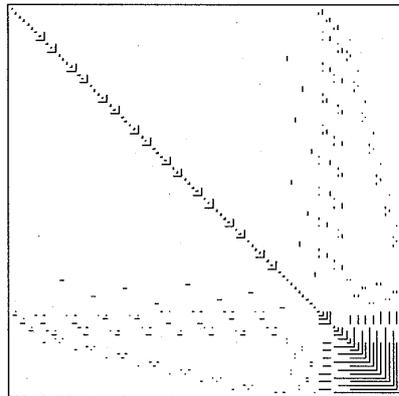
k	=	38.7	$[V^{-1}]$:熱電圧値の逆数
I_S	=	10^{-15}	$[A]$:ダイオードの飽和電流値
V_{T0}	=	1.0	$[V]$:零バイアスしきい値電圧値 (E 型)
	=	-3.0	$[V]$:零バイアスしきい値電圧値 (D 型)
β	=	1.0	$[mA/V^2]$:ゲイン定数 (E 型)
	=	0.25	$[mA/V^2]$:ゲイン定数 (D 型)
γ	=	0.37	$[V^{1/2}]$:Bulk threshold parameter
ϕ	=	0.65	$[V]$:Bulk junction potential
λ	=	0.02	$[V^{-1}]$:チャンネル長モジュレーション係数
C_{GD}	=	1.0	$[pF]$:ゲート、ドレイン間キャパシタ
C_{GS}	=	5.0	$[pF]$:ゲート、ソース間キャパシタ
C_{BD}	=	2.0	$[pF]$:ベース、ドレイン間キャパシタ
C_{BS}	=	2.0	$[pF]$:ベース、ソース間キャパシタ

Fig.2.13(b). Shichman-Hodges model (parameters).

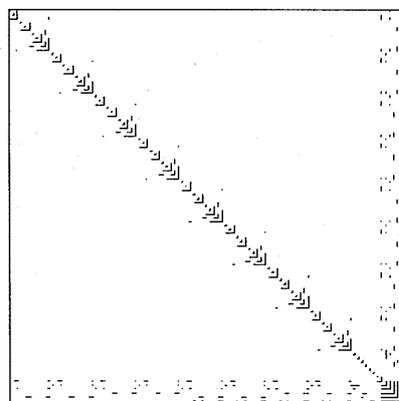
悪い縁部を生成してしまい、縁部内のフィル・イン発生量が行列のブロック化によるフィル・イン抑制量を越えてしまう。よって、分割を実行しない場合よりフィル・イン、ひいては計算量を増加させることになる。これに対し、階層分割ならば全ての MOS 回路の効率化に有効であることが認められる。かつ、そのフィル・イン抑制率は一階層分割よりも高い。この理由は、階層分割がフィル・インの大量伝搬を起こす局所基準節点に対する部分行列（縁部）を分散させるためであると考えられる。以上のように、通常の節点分割では回路行列が効果的に働かない場合もある MOS 回路網に対しても、階層分割は十分有効であることが確認された。なお、バイポーラトランジスタ回路と同様に回路が密結合な場合ほど（並列>フィードバック>縦続）階層分割によるフィル・イン抑制効果が高い。



FILT

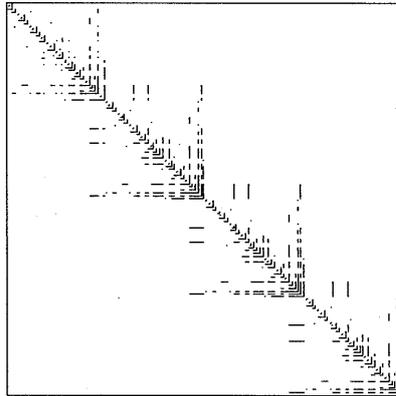


BORD

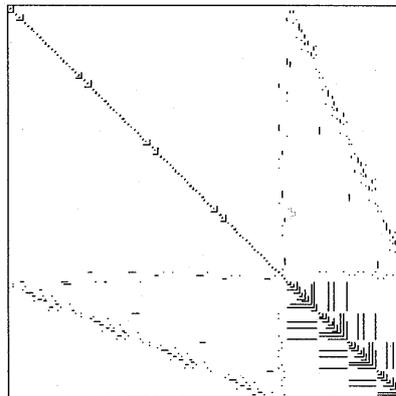


RBB

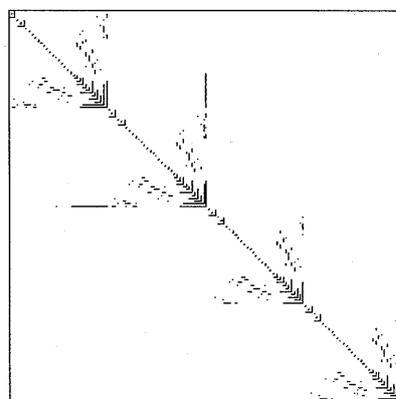
Fig.2.14. Comparison of matrix structures for 3 bits decoder.



FILT

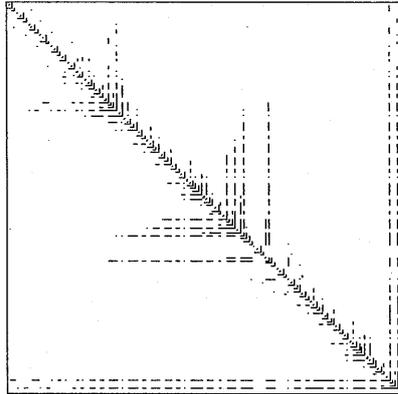


BORD

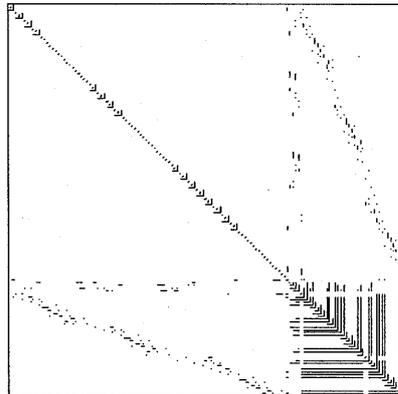


RBBD

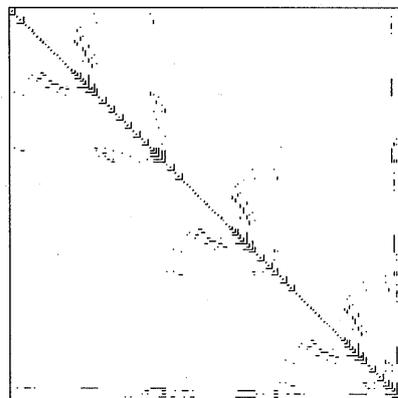
Fig.2.15. Comparison of matrix structures for 4 bits asynchronous counter.



FILT



BORD



RBB

Fig.2.16. Comparison of matrix structures for 3 bits Johnson counter.

Table 2.2. Comparison results for MOS circuits.

MOS circuits

No.	node		Non0	F.in	av.	max	h.	div.	update
1	102	<i>FILT</i>	346	2386	26.784314	80	472.855440	1315	23499
		<i>BORD</i>	346	436	7.666667	28	55.222222	340	1938
		<i>RBBD</i>	346	250	5.843137	32	30.151865	247	675
2	136	<i>FILT</i>	466	624	8.014706	29	37.514490	477	2173
		<i>BORD</i>	466	486	7.000000	25	40.294118	408	1756
		<i>RBBD</i>	466	330	5.852941	30	26.228374	330	982
3	142	<i>FILT</i>	472	844	9.267606	94	143.942472	587	3351
		<i>BORD</i>	472	888	9.577465	41	123.103154	609	5811
		<i>RBBD</i>	472	378	5.985915	29	30.239238	354	1090
4	184	<i>FILT</i>	616	1326	10.554348	120	256.018785	879	5643
		<i>BORD</i>	616	1410	11.010870	53	190.315099	921	11087
		<i>RBBD</i>	616	514	6.141304	32	35.762642	473	153
5	258	<i>FILT</i>	892	17738	72.209302	228	3873.212006	9186	452622
		<i>BORD</i>	892	2702	13.930233	55	371.592032	1668	35910
		<i>RBBD</i>	892	712	6.217054	90	67.704825	673	2033

- FILT* : without network tearing.
BORD : with node tearing.
RBBD : with hierarchical node tearing.
- Example circuits.
 No.1 : 3 bits decoder.
 No.2 : 4 bits asynchronous counter.
 No.3 : 3 bits Johnson counter.
 No.4 : 4 bits Johnson counter.
 No.5 : 4 bits decoder.
- node : Dimension of matrix.
 F.in : Number of fill-ins after LU decomposition.
 av. : Average number of nonzero elements in every row after LU decomposition.
 max : Maximum number of nonzero elements in every row after LU decomposition.
 h. : Standard deviation of nonzero elements in every row after LU decomposition.
 div. : Number of divisions required for LU decomposition.
 update: Number of updates required for LU decomposition.

2.5 総括

本章では、回路のゲートレベル階層節点分割の自動化アルゴリズムを示し、階層分割システム HIDE を構築した。本システムの回路入力は回路図エディタ GRACE を用いて行われ、GRACE で入力された回路図は階層化構造記述言語 HAL に変換される。本システムは HAL ネットリストを入力データとし、入・出力フラグを設けることによりゲートレベルまでの階層分割を実行する。本システムにより、実際のバイポーラトランジスタ回路網及び MOS 回路網の階層分割を行い、その結果生じた回路行列を評価した。一般に、大規模回路解析に回路分割が有効であることが知られているが、MOS 回路ではフィル・インの抑制効果に対するゲートレベル節点分割（一階層分割）の有効性が認められない場合があった。これに対し、階層分割は全ての回路において高いフィル・イン抑制とそれにとまなう LU 分解の効率化を実現することができた。かつ、その効果は一階層分割の結果をも上回る。回路の階層構造を反映した再帰的縁付きブロック対角 (RBB) 構造の回路行列を生成する階層分割は、回路解析に潜在性や並列処理性の導入を容易にする目的で提起されたが、同時に、詳細回路解析における行列計算の効率化にも十分有効であることが確認された。階層分割はアルゴリズム的には簡素である上に、スパース処理によるフィル・イン抑制に匹敵する能力を有する。

なお、HIDE の階層分割は GRACE により入力された階層に即して行われており、ユーザー定義であると言える。ユーザー定義の分割は、回路設計の観点からは不自然ではないが、数値解析の観点からは最良の分割とならない場合も有り得ると思われる。その場合には、適切な分割箇所を自動的に検出するアルゴリズムが有用になると考える。

3 階層的潜在性

3.1 概要

分割された回路の解析には信号伝搬順序を考慮した解析手法が有効である。ここで、前時刻から入力変化のない部分回路が前時刻の状態を保持することを利用すれば、現時刻の解析を省略することが可能となる。この性質は回路の潜在性と呼ばれる。一般に大規模回路の潜在率は90%を越えると言われており、不活性(潜在的)部分の計算の省略によって大幅な解析の高速化が期待できる [3][6][8]。

回路の潜在性や並列処理性は回路の階層構造に大きく依存するため、回路行列そのものが回路の階層構造を反映する(行列計算に回路の階層構造を反映させることができる)階層分割が、潜在性や並列処理の導入を容易にすることが期待できる。つまり、階層的な潜在性や並列処理を考えることが可能となる。階層的潜在性・並列処理を利用した解析では、適切な潜在部分回路のレベル、及び、並列処理を行う部分回路のレベルが動的に決定されるので、それらのどんな活用が可能となる。

本章では、階層分割とそれに基づく階層的潜在性を利用した回路シミュレータ SPLIT について述べる [37]。本シミュレータは、回路図入力から自動階層分割までを行うサブシステム HIDE[33] と階層的潜在性を利用した過渡解析を行うサブシステム WHITE により構成される。ここでは、まず、階層分割にともなう階層的行列計算アルゴリズムと階層的潜在性利用のためのアルゴリズムを示す。そして、これらを融合し階層的な分割と(反復域)潜在性を導入した詳細回路解析アルゴリズムを構築する。最終的に、本シミュレータにより MOS 回路の過渡解析を実行してその有効性を検証する。

3.2 階層分割に基づく階層的行列計算アルゴリズム

階層分割を行い回路行列に回路の階層構造を反映させることにより、回路のトポロジ(階層構造)を考慮した行列計算が可能になる。すなわち、回路の階層構造に応じて階層的に行列計算を進めることができる。この結果、階層構造を反映した解析が実現し、階層的な潜在性や並列処理を考えることが可能となる。本節では、階層的な潜在性や並列処理を回路シミュレーションに導入するための準備として、

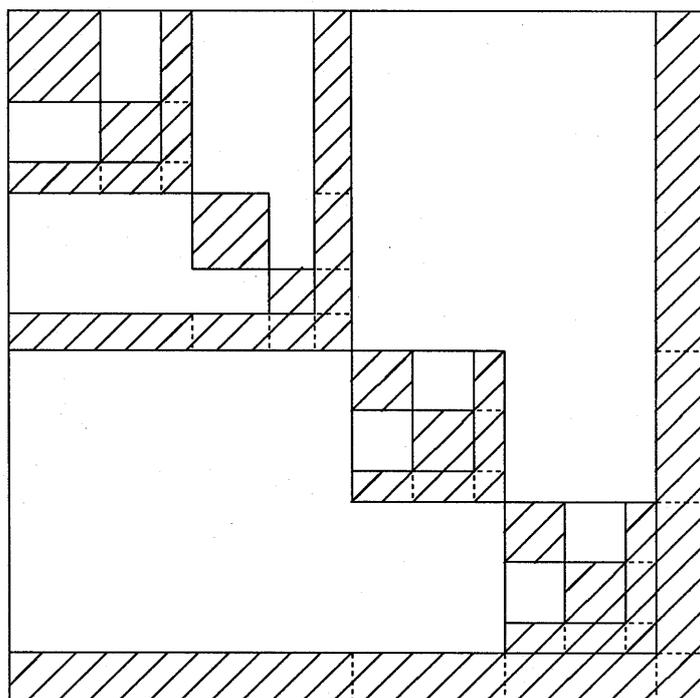


Fig.3.1. Recursive bordered block diagonal matrix.

階層分割に基づく行列計算アルゴリズムの階層化が行われる。

2.2 では縁付きブロック対角 (BBD) 行列の並列 LU 分解アルゴリズムを示した (式 (2.8)~式 (2.12)). BBD 行列の各ブロック内が更に BBD 行列へと階層的に分割されているという再帰的縁付きブロック対角 (RBBD) 行列 (Fig.3.1) の性質から, BBD 行列用の並列計算手順を各ブロックに対して再帰的に用いることにより RBBD 行列用の計算アルゴリズムを導くことができる. 本アルゴリズムは各対角ブロックを階層的に処理していくので, 階層的な潜在性と並列処理の導入が容易である. また, 対角ブロックのみを処理するということは自動的にゼロ要素ブロックの計算はスキップされるので, 本アルゴリズムはスパース处理的な操作を含んだ計算方法であると言える.

3.2.1 階層的 LU 分解アルゴリズム

2.2 における縁付きブロック対角 (BBD) 行列の並列 LU 分解アルゴリズムを再び示す. Fig.3.2, Fig.3.3 において

$$\begin{aligned}
 M &= \text{diag}\{M_i \mid i = 1, 2, \dots, k\} \\
 P &= \{P_i \mid i = 1, 2, \dots, k\} \\
 Q^T &= \{Q_i^T \mid i = 1, 2, \dots, k\} \\
 L_d &= \text{diag}\{L_i \mid i = 1, 2, \dots, k\} \\
 U_d &= \text{diag}\{U_i \mid i = 1, 2, \dots, k\} \\
 V &= \{V_i \mid i = 1, 2, \dots, k\} \\
 W^T &= \{W_i^T \mid i = 1, 2, \dots, k\}
 \end{aligned} \tag{3.1}$$

と記述すると, 並列 LU 分解は次式となる.

$$\begin{bmatrix} M & P \\ Q^T & R \end{bmatrix} = \begin{bmatrix} L_d & \mathbf{o} \\ W^T & L_r \end{bmatrix} \begin{bmatrix} U_d & V \\ \mathbf{o} & U_r \end{bmatrix} \tag{3.2}$$

また, その計算手順は式 (3.3)~式 (3.7) で表される.

$$M_i \rightarrow L_i U_i \quad (i = 1 \sim k) \tag{3.3}$$

$$V_i = L_i^{-1} P_i \quad (i = 1 \sim k) \tag{3.4}$$

$$W_i^T = Q_i^T U_i^{-1} \quad (i = 1 \sim k) \tag{3.5}$$

$$R' = R - \sum W_i^T V_i \quad (i = 1 \sim k) \tag{3.6}$$

$$R' \rightarrow L_r U_r \tag{3.7}$$

これに基づき, 縁付きブロック対角行列に対する LU 分解アルゴリズムは以下のように示される.

1. 各対角ブロック M_i 部に対する LU 分解を行う ($i = 1 \sim k$).
2. 操作 1. の結果 L_i, U_i を用いて各 P_i, Q_i^T 部に対する LU 分解を行う ($i = 1 \sim k$).
3. 操作 2. の結果 V_i, W_i^T を用いて R 部を更新する ($i = 1 \sim k$).
4. R 部に対する LU 分解を行う.

操作 1. において M_i 内 が 更 に 縁 付 き ブ ロ ッ ク 対 角 行 列 に 分 割 さ れ て い る 場 合 に は, M_i の LU 分 解 を 行 う た め に 再 帰 的 に 操 作 1.~4. を 実 行 す る. こ の 結 果, 本 ア ル ギ ギ ズ ム は 階 層 化 さ れ, 再 帰 的 縁 付 き ブ ロ ッ ク 対 角 (RBBD) 行 列 用 の 並 列 LU 分 解 ア ル ギ ギ ズ ム と な る. 計 算 手 順 の 階 層 化 に と も な い, 必 要 な ヤ コ ビ ア ン 行 列 も 階 層 的 に 求 め る こ と に な る. な お, 式 (3.3)~式 (3.6) は 各 ブ ロ ッ ク M_i, P_i, Q_i^T ご と に 独 立 (並 列) に 処 理 が 可 能 で あ る.

3.2.2 階層的代入計算アルゴリズム

1.2 で 回 路 解 析 が 式 (1.4) の 連 立 代 数 方 程 式 に 帰 着 す る こ と を 述 べ た. 本 節 で は, 簡 略 化 の た め に, こ れ を 次 式 で 表 す.

$$Ax = b \quad \text{for} \quad x \quad (3.8)$$

LU 分 解 の 結 果, 式 (3.8) は 次 式 に 変 換 さ れ る.

$$LUx = b \quad \text{for} \quad x \quad (3.9)$$

前 進 ・ 後 退 代 入 で は

$$Ux = y \quad (3.10)$$

と 置 き 直 す こ と に よ り, 式 (3.9) を

$$Ly = b \quad \text{for} \quad y \quad (3.11)$$

$$Ux = y \quad \text{for} \quad x \quad (3.12)$$

の プロセスで解く. 式 (3.11) を 前 進 代 入, 式 (3.12) を 後 退 代 入 と 呼 ぶ. 縁 付 き ブ ロ ッ ク 対 角 (BBD) 行 列 の LU 分 解 で は フィル ・ イン は 対 角 ブ ロ ッ ク と 縁 部 内 に し か 発 生 し な い た め (Fig.3.3), LU 分 解 後 の L 行 列, U 行 列 も 縁 付 き ブ ロ ッ ク 対 角 行 列 に な る. 従 っ て, 前 進 ・ 後 退 代 入 に お い て も ブ ロ ッ ク ご と の 並 列 処 理 が 可 能 で あ り, こ れ を 再 帰 的 に 用 い る こ と に よ り 階 層 的 前 進 ・ 後 退 代 入 が 実 行 で き る.

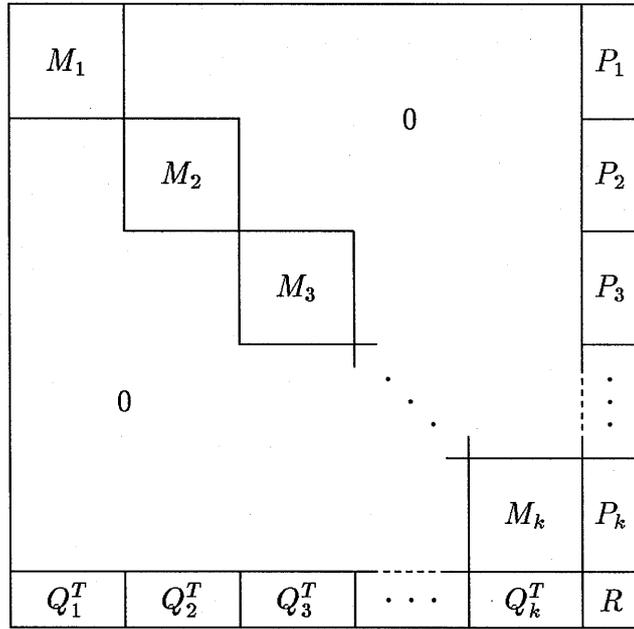


Fig.3.2. Bordered block diagonal structure.

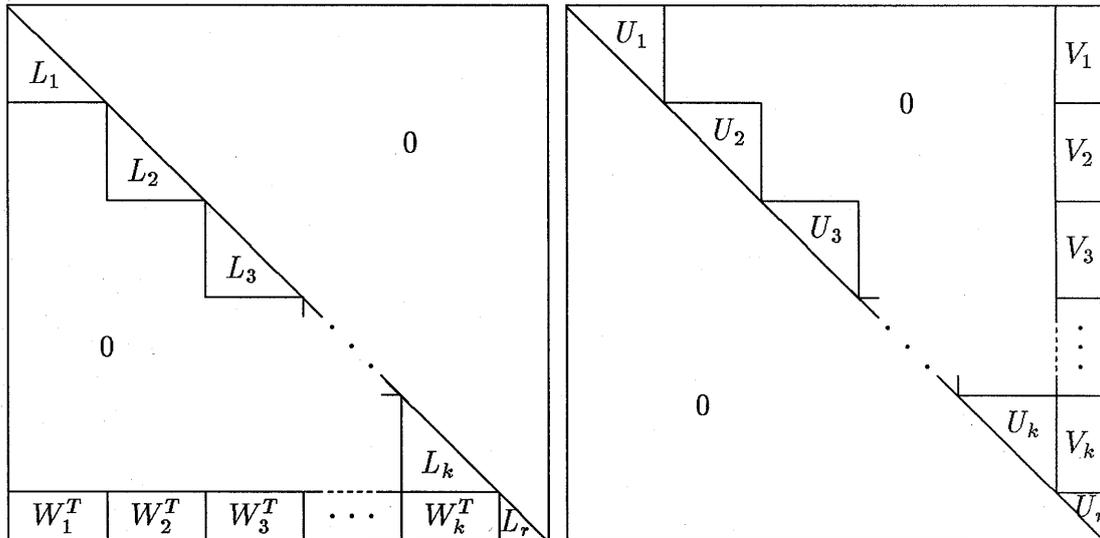


Fig.3.3. L and U matrices produced from BBD matrix by LU decomposition.

(1) 階層的前進代入アルゴリズム

Fig.3.3 の縁付きブロック対角 (BBD) 型の L 行列, U 行列を式 (3.1), 式 (3.2) のように表したのと同様に, 式 (3.9), 式 (3.10) 中の $\mathbf{b}, \mathbf{x}, \mathbf{y}$ を各ブロック成分 $\mathbf{b}_i, \mathbf{x}_i, \mathbf{y}_i$ と R 部成分 $\mathbf{b}_r, \mathbf{x}_r, \mathbf{y}_r$ で表し, 更に

$$\begin{aligned} \mathbf{b}_d &= \{\mathbf{b}_i \mid i = 1, 2, \dots, k\} \\ \mathbf{x}_d &= \{\mathbf{x}_i \mid i = 1, 2, \dots, k\} \\ \mathbf{y}_d &= \{\mathbf{y}_i \mid i = 1, 2, \dots, k\} \end{aligned} \quad (3.13)$$

と置く. これにともない式 (3.10) を

$$\begin{bmatrix} \mathbf{U}_d & \mathbf{V} \\ \mathbf{0} & \mathbf{U}_r \end{bmatrix} \begin{bmatrix} \mathbf{x}_d \\ \mathbf{x}_r \end{bmatrix} = \begin{bmatrix} \mathbf{y}_d \\ \mathbf{y}_r \end{bmatrix} \quad (3.14)$$

と記述することにより, 式 (3.11) に示される前進代入は次式となる.

$$\begin{bmatrix} \mathbf{L}_d & \mathbf{0} \\ \mathbf{W}^T & \mathbf{L}_r \end{bmatrix} \begin{bmatrix} \mathbf{y}_d \\ \mathbf{y}_r \end{bmatrix} = \begin{bmatrix} \mathbf{b}_d \\ \mathbf{b}_r \end{bmatrix} \quad (3.15)$$

また, その計算手順は式 (3.16)~式 (3.18) で表される.

$$\mathbf{y}_i = \mathbf{L}_i^{-1} \mathbf{b}_i \quad (i = 1 \sim k) \quad (3.16)$$

$$\mathbf{b}'_r = \mathbf{b}_r - \sum \mathbf{W}_i^T \mathbf{y}_i \quad (i = 1 \sim k) \quad (3.17)$$

$$\mathbf{y}_r = \mathbf{L}_r^{-1} \mathbf{b}'_r \quad (3.18)$$

これに基づき, 縁付きブロック対角型 L 行列に対する前進代入アルゴリズムは以下のように示される.

1. 各 \mathbf{L}_i 部に対する前進代入を行う ($i = 1 \sim k$).
2. 操作 1. の結果 \mathbf{y}_i を用いて \mathbf{b}_r 部を更新する ($i = 1 \sim k$).
3. \mathbf{L}_r 部に対する前進代入を行う.

操作 1. において \mathbf{L}_i 内が更に縁付きブロック対角行列に分割されている場合には, \mathbf{L}_i の前進代入を行うために再帰的に操作 1.~3. を実行する. この結果, 本アルゴリズムは階層化され, 再帰的縁付きブロック対角 (RBBD) 行列用の並列前進代

入アルゴリズムとなる。なお、式 (3.16), 式 (3.17) は各ブロック L_i ごとに並列に処理が可能である。

(2) 階層的後退代入アルゴリズム

式 (3.12) で示される縁付きブロック対角型 U 行列に対する後退代入は次式となる。

$$\begin{bmatrix} U_d & V \\ \mathbf{0} & U_r \end{bmatrix} \begin{bmatrix} \mathbf{x}_d \\ \mathbf{x}_r \end{bmatrix} = \begin{bmatrix} \mathbf{y}_d \\ \mathbf{y}_r \end{bmatrix} \quad (3.19)$$

また、その計算手順は式 (3.20)～式 (3.22) で表される。

$$\mathbf{x}_r = U_r^{-1} \mathbf{y}_r \quad (3.20)$$

$$\mathbf{y}_i' = \mathbf{y}_i - \mathbf{V}_i \mathbf{x}_r \quad (i = 1 \sim k) \quad (3.21)$$

$$\mathbf{x}_i = U_i^{-1} \mathbf{y}_i' \quad (i = 1 \sim k) \quad (3.22)$$

これに基づき、縁付きブロック対角型 U 行列に対する後退代入アルゴリズムは以下のように示される。

1. U_r 部に対する後退代入を行う。
2. 操作 1. の結果 \mathbf{x}_r を用いて各 \mathbf{y}_i 部を更新する ($i = 1 \sim k$)。
3. 各 U_i 部に対する後退代入を行う ($i = 1 \sim k$)。

操作 3. において U_i 内が更に縁付きブロック対角行列に分割されている場合には、 U_i の後退代入を行うために再帰的に操作 1.～3. を実行する。この結果、本アルゴリズムは階層化され、再帰的縁付きブロック対角 (RBBD) 行列用の並列後退代入アルゴリズムとなる。なお、式 (3.21), 式 (3.22) は各ブロック U_i ごとに並列に処理が可能である。

3.3 潜在性の導入

3.3.1 潜在性

大規模回路になると一時刻に節点電圧の変化している部分は全体の数%～数十%であると言われており、不活性 (潜在的) 部分の解析を省略することが可能である [3][6][8]。

(1) 時間域潜在性

ある部分回路#nの入力が前時刻と変わらなければ ($|\mathbf{v}_{IN_n}^t - \mathbf{v}_{IN_n}^{t-1}|/dt < \epsilon_{latent}^t$), その部分回路の内部及び出力節点電圧は変化しない. ここで, $\mathbf{v}_{IN_n}^t$ は時刻 t における部分回路#nの入力節点電圧ベクトル, ϵ_{latent}^t は時間域潜在性判定定数である. ただし, キャパシタを含むような部分回路においては, 入力が前時刻から不変であっても充放電による過渡状態が終るまでは部分回路の節点電圧の変化が生じる.

一般的に潜在性と呼ばれるのは時間域潜在性である.

なお, 局所基準節点を入力としている部分回路では (局所基準節点は内部変数であるので) 時刻 t の解析の前に $\mathbf{v}_{IN_n}^t$ を知ることはできない. 従って, $|\mathbf{v}_{IN_n}^{t-1} - \mathbf{v}_{IN_n}^{t-2}|/dt < \epsilon_{latent}^t$ の判定を行い, 時刻 t の潜在性を予測するという方法が採られる. 判定定数はこれを考慮して適切に選ばれる必要がある.

(2) 反復域潜在性

ニュートン反復時に, ある部分回路#nの入出力, 内部節点の全ての節点電圧の修正量 $\Delta \mathbf{v}_n$ が十分小さければ ($|\Delta \mathbf{v}_n| < \text{反復域潜在性判定定数} \epsilon_{latent}^i$), その部分回路に関するヤコビアンはほとんど変化しない. ニュートン反復における計算式 (式 (1.4), 本章では式 (3.8) に対応) は,

$$\begin{aligned} \mathbf{J}(\mathbf{v}^{t,k}, \mathbf{u}^t, dt) \cdot \Delta \mathbf{v} &= -\mathbf{F}(\mathbf{v}^{t,k}, \mathbf{u}^t, \mathbf{v}^{t-1}, dt) \\ \text{for } \Delta \mathbf{v} & \\ \text{until } \Delta \mathbf{v} < \text{ニュートン法打ち切り誤差} \epsilon_{newton} & \end{aligned} \quad (3.23)$$

なお,

$$\Delta \mathbf{v} = \mathbf{v}^{t,k+1} - \mathbf{v}^{t,k} \quad (3.24)$$

と表される. ここで, \mathbf{J} はヤコビアン行列, \mathbf{F} は差分化後の回路方程式であり, $\mathbf{v}^{t,k}$, \mathbf{u}^t , \mathbf{v}^t , dt はそれぞれ, 時刻 t , 第 k 反復の内部及び出力節点電圧ベクトル, 時刻 t の入力節点電圧ベクトル, 時刻 t の内部及び出力節点電圧ベクトル, 数値積分の時間刻みである. 式 (3.23) から \mathbf{J} も \mathbf{F} も $\mathbf{v}^{t,k}$ の関数であることが分かる. 従って, ある部分回路の入出力, 内部節点電圧の修正量が十分小さければその部分回路に関する \mathbf{J} と \mathbf{F} の値はほとんど変化しないことは明らかである.

ニュートン法のアルゴリズムでは式 (3.23)(式 (1.4)) の計算が収束するまで反復して解かれる。ここでは、ヤコビアン行列 \mathbf{J} の精度が悪くてもニュートン法が収束してしまえばその解は正しい [16]。一方、 \mathbf{F} の精度の劣化はニュートン法の精度の劣化に結び付く。本論文では、潜在部分の \mathbf{J} の計算のみを省略し、 \mathbf{F} の値は必ず更新する方法を採る。従って、反復域において潜在的であっても (前進・後退) 代入計算は必ず行われる。

ニュートン法では、適当な初期値 $\mathbf{v}^{t,0}$ (過渡解析では通常 \mathbf{v}^{t-1}) から反復計算により真値 \mathbf{v}^t を求める。ここで、 $\mathbf{v}^{t,0} \rightarrow \mathbf{v}^{t,1} \rightarrow \dots \rightarrow \mathbf{v}^{t,k} \rightarrow \mathbf{v}^{t,k+1} \rightarrow \dots \rightarrow \mathbf{v}^t$ の追跡は $\mathbf{v}^{t,k}$ における非線形関数 \mathbf{F} の傾き \mathbf{J} を用いて行われる。反復域潜在性の利用とは、 $\mathbf{v}^{t,k+1}$ における傾き $\mathbf{J}(\mathbf{v}^{t,k+1})$ が $\mathbf{v}^{t,k}$ における傾き $\mathbf{J}(\mathbf{v}^{t,k})$ と大差ない場合には $\mathbf{J}(\mathbf{v}^{t,k+1})$ を $\mathbf{J}(\mathbf{v}^{t,k})$ で代用することであると解釈される。

一般に、部分回路ごとにニュートン法の収束性は異なる。反復域潜在性の利用はニュートン法が収束した時点で部分回路ごとにニュートン法を打ち切ることに相当する。(ただし、正確に言えば、打ち切られるのはヤコビアンの導出と LU 分解であり、代入計算については回路全体のニュートン法が収束するまで続けられる。)

3.3.2 階層的潜在性

ある部分回路が潜在的でなくともその部分回路を構成している下位レベルの部分回路は潜在的であるかもしれない。階層分割は回路の階層構造を反映した解析を実現する。従って、時間域潜在性と反復域潜在性において、階層的な潜在性を導入することが可能である。階層的潜在性を考えることにより潜在回路の規模を動的に判断できる。すなわち、部分回路が潜在的であれば一括してその解析の省略を行い、また、その部分回路が活性的な場合でも部分回路を構成する小部分回路が潜在的であればその潜在性を利用することができる。この結果、潜在性をどん欲に活用することが可能となり、非常に効率的な解析が実現すると考えられる。

階層的潜在性のチェックは最上位 (ルート) 階層から下位階層の部分回路へと行われる。従って、同順序で再帰的に演算対象を移していく 3.2 の階層的行列計算アルゴリズムへの適用が容易である。つまり、最上位階層から下位階層の部分回路へ階層的に演算を行う際に、各階層で潜在性の判定を行い、不活性な部分回路についてはそれ以降の計算を省略することにより、階層的潜在性と階層的行列計算アル

ゴリズムが簡単に融合される。

(1) 時間域潜在性

解析時刻更新時に以下の操作を最上位(ルート)階層から行う。

1. 部分回路の入力が変化したかをチェックする。
2. 潜在的ならその部分回路の節点電圧は前時刻と同じとして現時刻の解析を省略する。
3. 活性的ならその部分回路内の下位部分回路に対して操作 1. 及び 2. を再帰的に繰り返す。

(2) 反復域潜在性

ニュートン反復更新時に以下の操作を最上位(ルート)階層から行う。

1. 部分回路の節点電圧の修正量が十分小さいかをチェックする。
2. 潜在的ならその部分回路に関するヤコビアンは前反復と同じとして現反復のヤコビアン導出計算を省略し, 前反復のヤコビアン J とその LU 分解の値を現反復で使用する。
3. 活性的ならその部分回路内の下位部分回路に対して操作 1. 及び 2. を再帰的に繰り返す。

3.4 階層的な分割と潜在性を利用した回路シミュレータ SPLIT

階層的な分割と潜在性を導入したシミュレータ SPLIT を作成した [37]. 本システムは大規模デジタル回路網解析を対象としている. SPLIT のシステム構成を Fig.3.4 に示す. 階層的潜在性を加味した数値計算部を WHITE と呼ぶ. WHITE の前処理として回路を階層分割する必要があり, 2.3 で構築した階層分割システム HIDE[33] によりこれを行っている. そして, HIDE と WHITE を回路解析支援システム ASSIST[34][38] 上で稼働させることにより, 回路図入力から過渡解析までの一貫したシミュレーションを行うシミュレータ SPLIT を実現している.

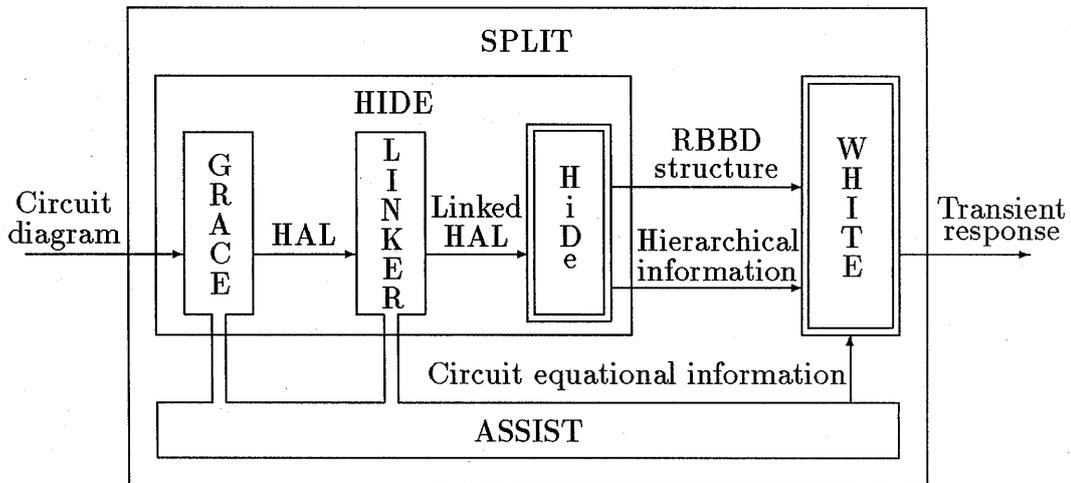


Fig.3.4. System diagram of SPLIT.

SPLIT では階層的節点分割を用いた直接法によって回路解析が行われる。節点分割は回路行列の三角化手順を分割しているにすぎず、回路内に一部分でも変化が生じれば、式 (3.18) によって局所基準節点部の要素 y_r (式 (3.18)) にその影響が伝わってしまう。この結果、式 (3.20)、式 (3.21) の計算を通じて全ての y_i (式 (3.21)) が更新されてしまうので、潜在的な部分回路に対しても後退代入計算が必要となる。結局、直接法では、一部分でも活性的な部分回路が存在すれば全体の行列計算をしなければならない。言いかえると、直接法による解析では回路全体が潜在的でない限り時間域潜在性を利用することができない (階層分割を行っても部分回路ごとの階層的な時間域潜在性を利用することができない)。現段階の SPLIT では、時間域において潜在的な部分回路が発見された場合、ヤコビアン導出の省略のみが行われ、代入計算は実行される。つまり、本章 (及び次章) では、SPLIT における階層的な時間域潜在性の利用とはその時刻の全てのニュートン反復において階層的な反復域潜在性が適用されることとする。時間域で潜在的な部分回路に対しては、その時刻の全てのニュートン反復において潜在性のチェックを行わずとも無条件に反復域潜在性が適用される。

本来の意味での階層的な時間域潜在性を利用した解析アルゴリズムは 5 章で扱われる。

3.4.1 回路解析支援システム ASSIST

ASSIST[34][38]は回路シミュレータにおける開発環境統合[23]の思想の下に構築された回路シミュレータ開発用支援システムの一つである。ASSISTは回路解析支援用ツール及びライブラリから成る。主なツールとしてグラフィック回路図エディタ GRACE, 回路方程式作成ツール等が存在し, これにより生成された方程式情報を核に素子電流値やヤコビアンを計算するライブラリが用意されている。ASSISTを用いることにより, 回路方程式導出部等を数値計算部に置く必要がなくなりシミュレーションエンジンの構築を容易にすることができる。シミュレーションが ASSIST 上で実行されているように見えるため, ASSISTは回路解析支援環境であるとも言えよう。

3.4.2 階層分割システム HIDE

SPLITにおけるゲートレベル階層分割は, 2.3で構築した自動階層分割システム HIDEにより行われる。HIDEでは, 回路図入力からの一貫した階層分割システムを形成することにより, 設計者の入力した階層をそのまま反映した再帰的縁付きブロック対角型回路行列を生成する階層節点分割が可能となっている。

3.4.3 階層的潜在性を利用した数値計算システム WHITE

階層的潜在性を利用した数値計算プログラム WHITEを作成した。そのアルゴリズムは3.2の階層的行列計算アルゴリズムに3.3.2の階層的潜在性のチェックを適用したものである。WHITEの前処理として回路を階層分割する必要があり, HIDEがこれを行う。WHITEはHIDEから階層構造情報を, ASSISTから回路方程式情報を獲得して回路網の過渡解析を実行する。

3.5 階層的な分割と潜在性導入の効果

階層的(反復域)潜在性の有効性を検証するために, SPLITにより1ビット, 2ビット, 4ビット非同期式カウンタに対する過渡解析を行った。回路はMOSゲート回路で構成されるマスタ・スレーブ型Tフリップ・フロップ1段, 2段, 4段から成っている。ここでTフリップ・フロップ, 4ビットカウンタはそれぞれFig.3.5,

Fig.3.6 の様に階層化入力されている. トランジスタモデルは Shichman-Hodges モデル (Fig.2.13) を, 計算機は NEWS/NWS-821 を使用した.

まず, 潜在性の有効性の比較のために, 幾つかの反復域潜在性判定定数 ϵ_{latent}^i を使用して1ビットカウンタの過渡解析を行った. なお, 時間域潜在性判定定数 ϵ_{latent}^t は, 経験的に, 内部節点電圧に対しては 10^{-4} [V/nsec], 外部入力節点電圧に対しては 10^{-3} [V/nsec] を選び, 全ての場合で固定とした. (前述したように, SPLIT は正

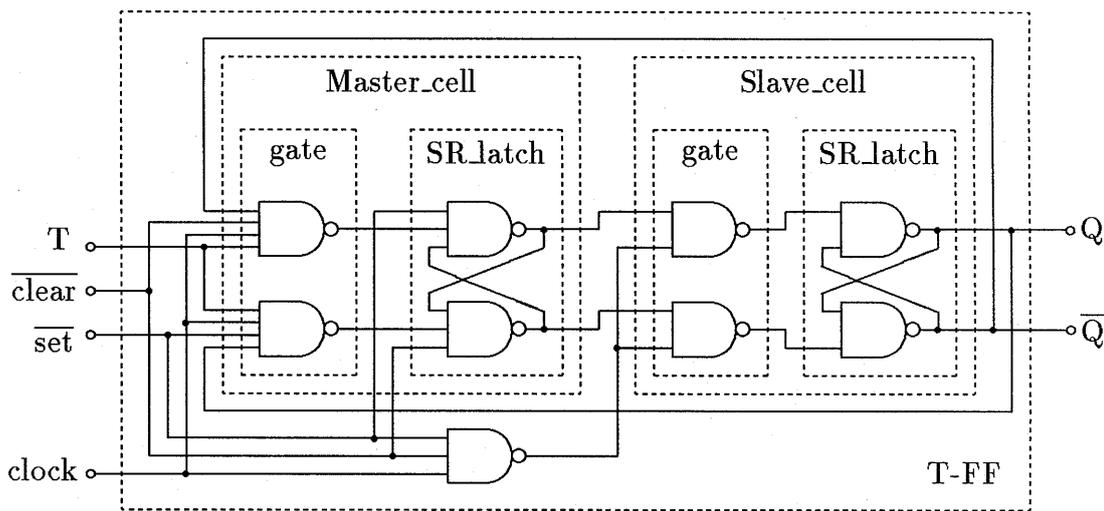


Fig.3.5. Master-slave T flip-flop circuit.

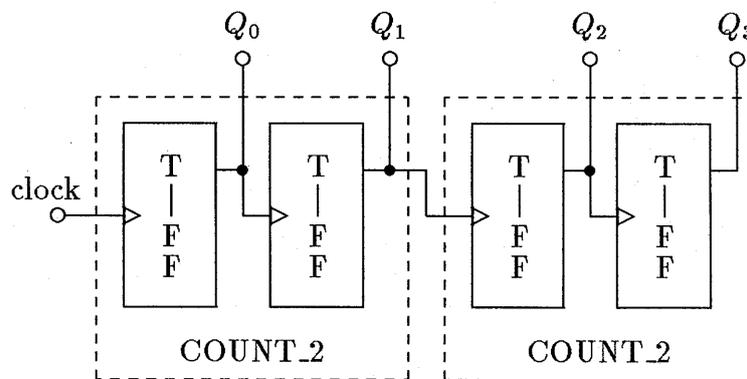


Fig.3.6. 4 bits asynchronous counter.

Table 3.1. CPU time required for the analysis
by various parameters ϵ_{latent}^i .

ϵ_{latent}^i [V]	CPU time [sec]
0 (without latency)	4647
10^{-4}	3956
10^{-3}	2812
10^{-2}	2293
10^{-1}	-
1	-

確には時間域潜在性を利用していない。よって、ここでは、反復域潜在性の検討に
的が絞られている。) ただし、 $\epsilon_{latent}^i = 0[V]$ の場合には ϵ_{latent}^t も $0[V/nsec]$ とし、潜
在性を利用しない場合の解析を行っている。解析に要した時間 (CPU タイム) を
Table 3.1 に示す。Table 3.1 から階層的潜在性の利用による解析の高速化が認め
られる。これは第一に、階層的時間域潜在性の利用により、活性化部分回路のみを
抽出し計算している (時間域で潜在的な部分回路に対しては自動的に反復域潜在
性が適用され、ヤコビアン導出が省略される) ことによる。また、第二の理由として
反復域潜在性の利用効果が挙げられる。通常、節点電圧変化の大きい部分回路と小
さい部分回路では、その時刻での解析に必要となるニュートン反復の回数が異な
る。つまり、部分回路ごとにニュートン法の収束の速さが違う。階層的反復域潜在
性の利用により、すでに収束した部分回路のヤコビアン計算の省略が可能となった。
また、反復域潜在性判定定数に最適値が存在することが確認できる。当然のことな
がら、潜在性の判定値が大きいほどその有効性が現れるが、大きく採りすぎると解
析に誤差が生じることになる (ニュートン法の収束が得られなくなる)。結果とし
て、階層分割のみを行い潜在性を利用しないシミュレーション方式 ($\epsilon_{latent}^i = 0[V]$,
 $\epsilon_{latent}^t = 0[V/nsec]$) に比べて、それほど大きな波形精度の劣化なしに約 2 倍の高速
化を実現した。ここで、 $\epsilon_{latent}^i = 10^{-2}[V]$ に対する過渡解析波形を Fig.3.7 に示す。
Fig.3.7 では、 T が立ち上がった影響で出力 Q の電圧が少々落ち込む結果が得られ
た (時刻 $30[nsec] \sim 100[nsec]$)。シミュレーションで用いられた MOS ゲート回路は
2.2.2(2) で述べたように入力部に (実際には存在しない) 抵抗が挿入されている。

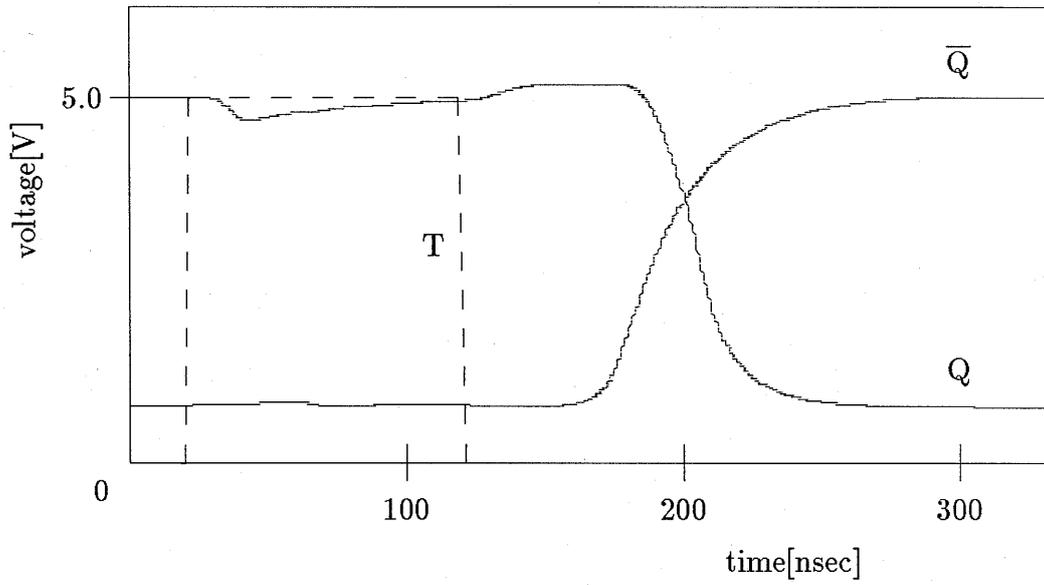
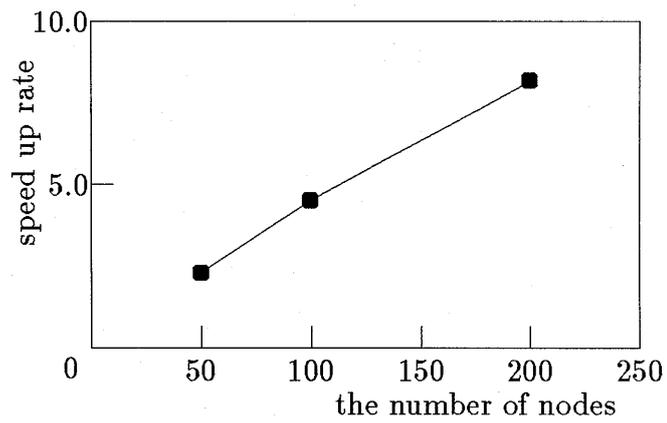


Fig.3.7. Transient waveform obtained by the simulation of M/S T-FF.



the number of nodes:

- 1 bit asynchronous counter = 50,
- 2 bits asynchronous counter = 100,
- 4 bits asynchronous counter = 200.

Fig.3.8. Speed-up rate.

今回のシミュレーションでは(仮想的な抵抗としては)比較的大きな抵抗 ($1[k\Omega]$) が使用されており, この抵抗における電圧降下により過渡状態時にゲートの入力部の電圧が必要以上に下がってしまい出力 Q がふらついたらと推測される. 実際の回路ではこの現象はこれほど顕著には現れないと予想される.

次に, 1ビット, 2ビット, 4ビットカウンタの過渡解析における階層的潜在性の導入による速度改善比を Fig.3.8 に示す. 全ての解析で $\epsilon_{latent}^i = 10^{-2}[V]$ を使用した. 一般に, 回路の潜在率は回路規模にともない大きくなると言われている. Fig.3.8 より非同期式カウンタの解析において節点数の多い回路ほどその潜在率が高く, 解析効率が向上することが確認できた.

3.6 総括

本章では, 直接法による回路網解析に関し, 階層分割に基づく階層的潜在性を利用したシミュレータ SPLIT を作成し, その効果について述べた. まず, 時間域潜在性, 反復域潜在性について述べ, それらを利用するための階層的アルゴリズムを示した. 次に, 階層的行列計算アルゴリズムに階層的潜在性を融合させることにより, 階層的潜在性を導入した行列計算アルゴリズムを構築した. 更に, 本アルゴリズムを回路解析支援システム, 階層分割システムと共に稼働させることにより, 回路図入力から過渡解析までの一貫したシミュレーションを行うことのできるシミュレータを実現した. 最終的に, 実際に MOS 回路からなる非同期式カウンタを解析し, 階層的な分割と(反復域)潜在性が詳細回路シミュレーションの高速化に十分有効なことを検証した.

4 動的回路分離に基づく直接法・緩和法混合モード解析

4.1 概要

詳細回路シミュレーションは直接法と緩和法に大別される。直接法は回路方程式を一括して解くため、各部分回路の計算を完全に分離することができないかわりに強結合回路の解析に対しても適したアルゴリズムとなっている。緩和法は回路方程式を分割して解くため、部分回路ごとの独立な計算が可能であるが、収束解を求めるために反復計算が必要であり、強結合回路の解析は不得意である。これに対し、近年では、回路の種類・状態に応じて直接法・緩和法を動的に選択する混合モード解析アルゴリズムの開発が進められている [17][25][39][50]。直接法・緩和法混合モード解析は両手法の長所を融合することにより解析の効率化を図るものであり、効果的な回路シミュレーションの実現に対して有効な手段であると言える。既存の混合モード解析のほとんどは緩和法に基づいている。すなわち、収束性の悪い強結合の節点をブロック化し、ブロック間の緩和を行う。このタイプの混合モード解析は比較的緩和法の収束性が良い MOS 回路網のシミュレーションに適している。一方、強結合回路は緩和法による収束性が乏しいので、バイポーラトランジスタ回路網解析には直接法ベースの混合モード解析が有効であると考えられる。更に、バイポーラトランジスタ回路等では回路内の結合強度は時刻ごとに変化するため、ブロック化すべき強結合節点集合を前もって決定することが難しい。従って、強結合回路用の(直接法ベースの)混合モード解析の中で使用される分割には、強結合部のブロック化を動的に行うようなアルゴリズムが有用であると思われる。

直接法における詳細回路解析に有効な節点分割手法では局所基準節点集合の取り扱いが問題となる。局所基準節点も分割できれば、回路は部分回路に完全に分割され各部分回路は直接法により全く独立に解析することができる。本論文では、このような回路の完全なる分割を回路の”分離”と定義する。本章では、結合強度を基準にした動的回路分離手法を提案する [40][42]。本手法は分離が可能であるほど弱結合なブロックを動的に探索して分割する。分離された各部分回路を個別に直接法で解くことは、ブロック緩和法を緩和反復なしで一回だけ実行することに等しい。従って、回路分離を利用した直接法による回路解析は直接法・緩和法混合モード解析である。本アルゴリズムは緩和操作を必要としない。この特徴故に、本混合

モード解析は直接法ベースであると言うことができ、強結合回路の解析にも適する汎用的なアルゴリズムとなっている。

以下では、まず、バイポーラトランジスタ回路網における節点電圧の変化に対する結合強度の変化の関係を明らかにし、弱結合時の動的回路分離アルゴリズムを示す。次に、階層分割にともなう回路の分離の階層化について言及する。更に、実際に、階層的分割・潜在性を利用したシミュレータ SPLIT に分離手法を導入し、動的に潜在回路のレベルを決定し、かつ、動的に直接法と緩和法の選択を行う混合モードシミュレータを構築する。

4.2 回路の動的分離

4.2.1 ニュートン法レベルでの回路の動的分離手法

回路の動作はキルヒホッフの電流・電圧則に基づく非線形連立微分方程式 (式 (1.1)) により記述される。再記すると

$$\mathbf{f}(\dot{\mathbf{v}}, \mathbf{v}) = \mathbf{0} \quad (4.1)$$

ここで、 \mathbf{v} は節点電圧ベクトル、 $\dot{\mathbf{v}}$ はその時間微分である。直接法による数値解析では、1.2 で説明したように、この非線形連立微分方程式全体に対してグローバル・タイムステップ数値積分、ニュートン法を適用して解析する。この結果、式 (4.1) は各時刻における線形連立代数方程式

$$\mathbf{J}(\mathbf{v}^{t,k}) \cdot \Delta \mathbf{v} = -\mathbf{F}(\mathbf{v}^{t,k}) \quad \text{for} \quad \Delta \mathbf{v} \quad (4.2)$$

$$\Delta \mathbf{v} = \mathbf{v}^{t,k+1} - \mathbf{v}^{t,k} \quad (4.3)$$

へと変換される。ここで、 \mathbf{J} はヤコビアン行列、 $\mathbf{v}^{t,k}$ は時刻 t 、第 k ニュートン反復時における節点電圧ベクトルである。また、 \mathbf{F} は回路方程式 \mathbf{f} を差分化した式であり $\mathbf{F} = \mathbf{f}\left(\frac{\mathbf{v}^{t,k} - \mathbf{v}^{t-1}}{dt}, \mathbf{v}^{t,k}\right)$ で表される。なお、 \mathbf{v}^t は時刻 t における節点電圧ベクトル、 dt は数値積分における時間刻みである。

いま、回路が部分回路 #1 と #2 に分割されたとする。各々の部分回路内の節点電圧ベクトルを $\mathbf{v}_1, \mathbf{v}_2$ として、全節点電圧ベクトル \mathbf{v} を

$$\boldsymbol{v} = \{\boldsymbol{v}_1, \boldsymbol{v}_2\} \quad (4.4)$$

と分割する. この結果, 式 (4.2) は以下のように行列形式で表される.

$$\begin{bmatrix} \boldsymbol{J}_{11} & \boldsymbol{J}_{12} \\ \boldsymbol{J}_{21} & \boldsymbol{J}_{22} \end{bmatrix} \begin{bmatrix} \Delta \boldsymbol{v}_1 \\ \Delta \boldsymbol{v}_2 \end{bmatrix} = \begin{bmatrix} -\boldsymbol{F}_1 \\ -\boldsymbol{F}_2 \end{bmatrix} \quad (4.5)$$

ここで, 各部分ベクトル \boldsymbol{J}_{ij} , \boldsymbol{F}_i ($i, j = \{1, 2\}$) は, \boldsymbol{v}_1 及び \boldsymbol{v}_2 の関数である.

節点分割を用いた直接法による解析では, 非対角ヤコビアン $\boldsymbol{J}_{12}, \boldsymbol{J}_{21}$ に起因する節点を局所基準節点として選択する. 局所基準節点を行列の縁に再割付けすることによりヤコビアン行列は縁付きブロック対角構造 (BBD) となる (2章参照). 局所基準節点の電圧ベクトルを \boldsymbol{v}_L とし, $\boldsymbol{v}_1, \boldsymbol{v}_2$ から \boldsymbol{v}_L の要素を除いた節点電圧ベクトルを $\boldsymbol{v}'_1, \boldsymbol{v}'_2$ と置き直すと, 式 (4.4), 式 (4.5) は

$$\boldsymbol{v} = \{\boldsymbol{v}'_1, \boldsymbol{v}'_2, \boldsymbol{v}_L\} \quad (4.6)$$

$$\begin{bmatrix} \boldsymbol{J}'_{11} & \mathbf{0} & \boldsymbol{J}_{1L} \\ \mathbf{0} & \boldsymbol{J}'_{22} & \boldsymbol{J}_{2L} \\ \boldsymbol{J}_{L1} & \boldsymbol{J}_{L2} & \boldsymbol{J}_{LL} \end{bmatrix} \begin{bmatrix} \Delta \boldsymbol{v}'_1 \\ \Delta \boldsymbol{v}'_2 \\ \Delta \boldsymbol{v}_L \end{bmatrix} = \begin{bmatrix} -\boldsymbol{F}'_1 \\ -\boldsymbol{F}'_2 \\ -\boldsymbol{F}_L \end{bmatrix} \quad (4.7)$$

となる. この結果, 対角ヤコビアン行列 $\{\boldsymbol{J}'_{ii} (i = \{1, 2\})\}$ の三角化分解は独立に実行できる. ただし, 最後に部分回路 #1, #2 の情報を基に \boldsymbol{J}_{LL} (局所基準節点ブロック) に対する三角化計算が必要で, 結局, 完全には回路を分割できない. すなわち, 節点分割は三角化分解 (行列計算) の手順を分割するにすぎず, 式 (4.2) が一括して解かれることに変わりはない. 従って, 各部分回路を全く個別に解析する (各部分回路ごとに回路方程式を立ててそれを解く) ことは難しい. 反面, 節点分割は行列における行, 列を交換するだけなので連立方程式が変化することはなく, 強結合部で分割を行ってもニュートン法の収束性に影響はない.

一方, 緩和法による解析では, 常に $\boldsymbol{J}_{12}, \boldsymbol{J}_{21}$ の値を無視して方程式を次のように分割する.

$$\boldsymbol{J}_{11} \cdot \Delta \boldsymbol{v}_1 = -\boldsymbol{F}_1 \quad (4.8.a)$$

$$\boldsymbol{J}_{22} \cdot \Delta \boldsymbol{v}_2 = -\boldsymbol{F}_2 \quad (4.8.b)$$

ここでは、 J_{11} , F_1 , 及び、 J_{22} , F_2 はそれぞれ v_1 のみ、 v_2 のみの関数であると考え
 る。この結果、式 (4.8.a), 式 (4.8.b) は独立に計算が可能となり、計算量やメモリ使
 用率が減少する。ただし、非対角ヤコビアンを無視した (部分回路間の相互影響を
 ゼロと考えた) ため、収束解を求める緩和反復計算が部分回路間で必要となる。緩
 和操作は、部分回路間の相互影響を考慮して、独立に行われた各部分回路の解析の
 結果を補正する作業である。緩和法では、各部分回路を独立に解析する (個別に回
 路方程式を立てて解く) ことが可能であるが、緩和操作が解析の独立性を低下させ
 ている。

これらに対し、回路分離手法では部分回路間の結合状態を考慮した行列計算を
 行う。ヤコビアン要素 $J_{ij} (= \partial F_i / \partial v_j)$ の値は部分回路 i と j の間の結合強度 (カッ
 プリング), すなわち、部分回路 j の変化が部分回路 i に与える影響の大きさを表し
 ている。従って、部分回路 #1 と #2 を結ぶ全ての素子のコンダクタンスが十分小さ
 い場合には、部分回路間の結合が弱いので

$$J_{12} \approx 0, \quad J_{21} \approx 0 \quad (4.9)$$

が成立する。この結果、ヤコビアン行列がブロック対角構造となる。行列計算の性
 質上、行列がブロック対角構造であるならば計算は各対角ブロックごとに独立に
 行うことができる。この結果、式 (4.5) は式 (4.8.a), 式 (4.8.b) に分離される。部分
 回路間の結合がないのであるから、実際に、 J_{11} , F_1 , 及び、 J_{22} , F_2 はそれぞれ v_1
 のみ、 v_2 のみの関数となる。この場合、局所基準節点に対する処理も、緩和反復操
 作も必要でない。すなわち、回路は回路方程式レベルで完全に分割され、各部分回
 路の全く独立な解析が可能となる。これを、従来の回路分割と区別して、回路の”分
 離”と呼ぶ [42]。この結果、ニュートン法を各部分回路ごとに独立に適用するこ
 とができる。回路の分離は部分回路間が弱結合している場合に可能であり、強結合の
 場合には回路は全体で直接的に解かれる。

各部分回路を個別に直接法で解くことは、ITA(反復タイミング解析)[5] のよう
 なブロック緩和法を緩和反復なしで一回だけ実行することに等しい。従って、回路
 分離を利用した直接法による回路解析は直接法・緩和法混合モード解析である。本
 アルゴリズムは緩和操作を必要としない。この特徴故に、本混合モード解析は直接
 法ベースであると言うことができ、強結合回路の解析にも適用可能な汎用性の高

いアルゴリズムとなっている。一般的に、緩和法の問題として強結合回路間の緩和の収束性の低さが指摘される。回路分離手法は、強結合部を連結して解析することにより緩和法の収束性を向上させている。(緩和反復が必要ないのは一回の計算で必ず収束するためである。)逆に言えば、回路分離手法は緩和反復を必要としないほど結合強度の弱い部分回路を探索する。すなわち、分離手法は、回路の分割に適切な条件を与えることにより緩和法の性能を高める方法であると捕らえることもできる。

バイポーラトランジスタ回路等では、部分回路間の結合強度は時間とともに変化するため、各時刻で結合強度を調べ、動的に分離を行う必要がある。

4.2.2 ゲートレベル回路分離手法

論理ゲート回路は大きい入力インピーダンスを持つことから、各ゲート回路の入力節点での分離が適当であると予想される。よって、本論文では、回路の分離の最小単位をゲートレベルに設定する。この結果、結合強度を調べる分離判定節点は

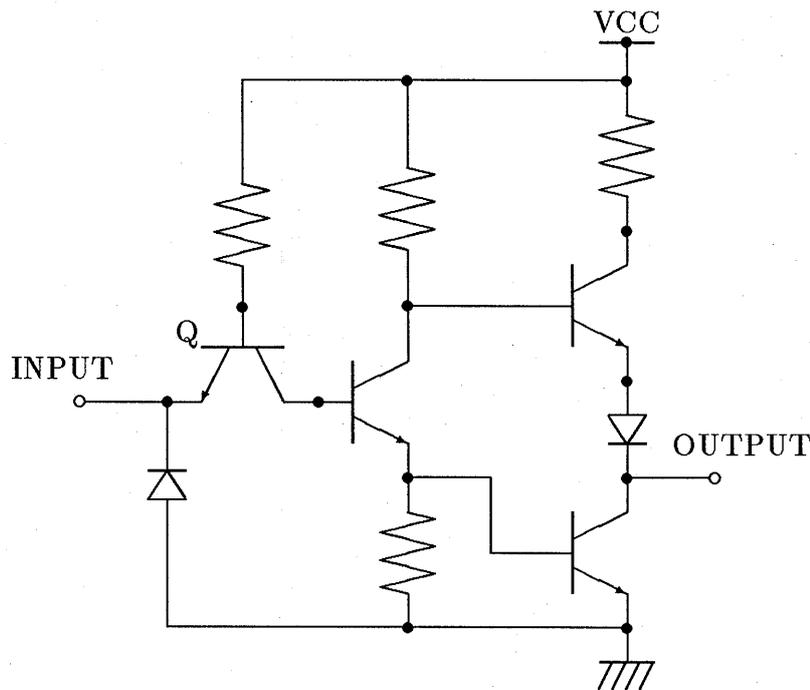


Fig.4.1. TTL inverter.

各ゲート回路の入力節点となる。

TTL ゲート回路では、一般に、トランジスタがゲートの入力部を構成している (例えばインバータ回路では Fig.4.1 のトランジスタ Q)。このトランジスタは High 入力の場合に off, Low 入力の場合に on となる。従って, High 入力の場合には入力電流は流れず, 入力インピーダンスが大きくなるはずである。実際に, Fig.4.2(a) の 2 段インバータ回路におけるゲート入力節点 L の電圧 v_L とヤコビアン行列の非対角ブロック要素 (Fig.4.2(b) 中の '*') の大きさ (正確には非対角ブロック要素と対角要素の比) の関係を調べたところ, Fig.4.2(c) に示される結果を得た。これより, インバータ #2 (Fig.4.2(a)) の入力が High レベルであるときに, ヤコビアン行列の非対角要素が十分小さいことが確認できる。従って, ゲートレベル回路分離手法に

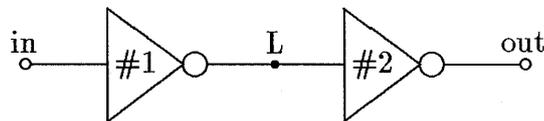


Fig.4.2(a). 2-stage inverter circuit.

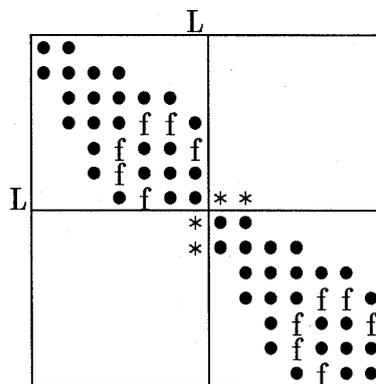


Fig.4.2(b). Jacobian matrix of inverter circuit shown in Fig.4.2.(a), where '•' and '*' express nonzero elements and 'f' means fill-ins.

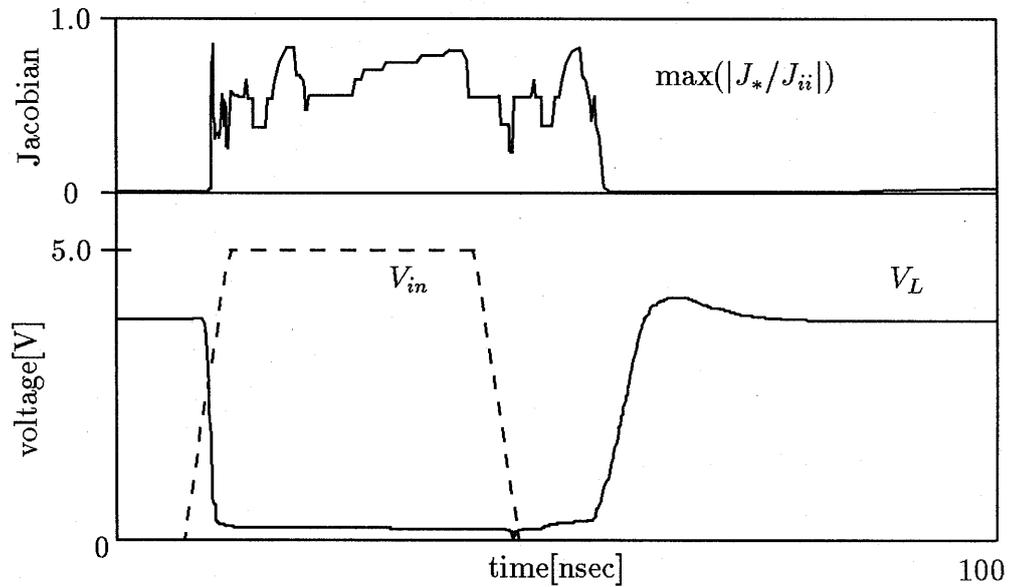


Fig.4.2(c). Relationship between the voltage of node L, v_L , and off-diagonal-block elements.

より、各ゲート回路の入力の電圧値の High/Low から (ヤコビアン評価を行うことなしに) 弱結合部 (分離可能部分) を知ることが可能となる。本研究では、

$$v_L^t > Th_{High} \quad (4.10)$$

を満たすときにゲート間は弱結合であると判定し、次時刻 $t+1$ において分離判定節点 L で回路を分離する。ここで、 v_L^t は時刻 t における分離判定節点 L (ゲートレベル分離では各ゲートの入力) の電圧、 Th_{High} は分離に対するしきい値である。

ここでは、現時刻の節点電圧から次時刻の分離状態を予測しているので、 Th_{High} にはゲートの High/Low のしきい値にある程度のマージンを与えた値を選ぶ必要があると思われる。

4.2.3 潜在的な部分回路に対する回路分離手法

一般に、潜在的な解析区間における緩和法の収束性は良い。従って、節点電圧の変化の小さい場合には強制的にゲート間の分離を行ってもその収束性は大きく劣化しないことが予想される。

式 (4.5) において, 部分回路#1 が潜在的であったとする.

$$\mathbf{v}_1^t \approx \mathbf{v}_1^{t-1} \quad (4.11)$$

であるので, 全てのニュートン反復において

$$\Delta \mathbf{v}_1 = \mathbf{v}_1^{t,k+1} - \mathbf{v}_1^{t,k} \approx 0 \quad (4.12)$$

が成立する. この結果, 式 (4.5) の部分回路#2 に対する式は

$$\mathbf{J}_{22} \cdot \Delta \mathbf{v}_2 = -\mathbf{F}_2 \quad (4.13)$$

となり, 非対角ヤコビアン要素 \mathbf{J}_{21} が小さくない場合でも, 方程式の分離が可能となる. ここで, $\mathbf{J}_{22}, \mathbf{F}_2$ は \mathbf{v}_2 のみの関数であるとは限らないが, 部分回路#1 が潜在的であるため \mathbf{v}_1 の値は一定であるという条件の下に, \mathbf{v}_2 のみの関数であるとして扱って良い.

ゲートレベル回路分離手法によれば, 回路の潜在性はゲート回路の入力の変化により判断できるので, 本研究では,

$$|\mathbf{v}_L^t - \mathbf{v}_L^{t-1}| / dt < \varepsilon_{separate} \quad (4.14)$$

を満たす場合も次時刻 $t+1$ において回路を分離する. ここで, \mathbf{v}_L^t は時刻 t における分離判定節点 L (ゲートレベル分離では各ゲートの入力) の電圧, dt は時間刻み, $\varepsilon_{separate}$ は分離判定定数である. $\varepsilon_{separate}$ の選定に対しても, 現時刻の節点電圧から次時刻の分離状態を予測していることを考慮しなければならない.

式 (4.14) は回路の分離性をチェックするための基準であり, 本来の潜在性のチェック (解析が省略できるか否かのチェック) を行うものではない. 従って, $\varepsilon_{separate}$ と 3.3 の時間域潜在性判定定数 ε_{latent}^t とを同じ値に設定する必要はない.

4.3 直接法・緩和法混合モード解析アルゴリズム

4.3.1 階層的回路分離手法

一般に部分回路ごとにニュートン法の収束性は異なる. 分離された各部分回路には独立にニュートン法を適用できるので, 各部分回路の収束の速さに応じた解

析が可能となる。ここで、収束した部分回路が動的に探知できれば、その部分回路を構成している全ての下位部分回路のニュートン法は無条件に打ち切ることができる。すなわち、回路の分離を階層化できれば、ニュートン法を階層的に適用することが可能となる。しかし、上位階層の部分回路が強結合している場合、そこは連結されてしまう。従って、それより下位の階層でその部分回路が小部分回路へ分離されても、分離によって生じた部分回路（以下、単なる部分回路と区別するために分離回路と呼ぶことにする）が回路の階層構造をまたいでしまい (Fig.4.3 参照)、回路の階層構造に即した階層的分離が困難である。回路分離を利用した解析では、ニュートン法を分離回路ごとに適用するのでノルム計算、収束判定は分離回路ごとに行われる。一方、回路の階層構造を利用した解析では、回路の階層構造に従い行列計算をトップダウンで進める (3章参照)。従って、回路の分離が回路の階層構造を反映しない限り、ニュートン法を階層的に適用することは不可能である。つまり、回路の階層構造を利用した回路解析手法への回路分離の導入は難しいと言える。

本節では、ニュートン法の階層的な収束判定を可能とする効果的なアルゴリズムを提案する。本アルゴリズムでは、ニュートン法は回路全体に適用され、3.2 に示された階層的行列計算が行われる。一方、ニュートン法の収束判定は分離回路ごとに行われる。ここでは、ゲートレベル回路分離スイッチ、及び、階層的収束判定フラグが定義され、これらを活用することにより、ニュートン法を回路全体に適用しながらも階層的な収束判定を実現している。

Fig.4.3(a) に示されるインバータ・チェーン回路を用いて本アルゴリズムを説明する。ある時刻 t において節点 L_1, L_3 が弱結合、節点 L_2 が強結合であったとすると、次時刻 $t + dt$ (dt は時間刻み) で回路は Fig.4.3(b) のように分離され、回路の階層構造と分離回路が対応しない。そこで、各ゲート回路の分離スイッチにそのゲート回路の所属する分離回路番号をセットすることにより、各ゲートがどの分離回路に含まれるかの情報を与える。つまり、ゲート#4 の分離スイッチに 1、ゲート#5 及び#6 の分離スイッチに 2、ゲート#7 の分離スイッチに 3 が与えられる。この結果、ニュートン法を回路全体に適用して回路の階層構造に従う順序で行列計算を実行しても、分離スイッチから各論理ゲートがどの分離回路に所属するかが分かるので、分離回路ごとのノルムが計算できる。また、収束した分離回路に所属するゲートには収束フラグが立てられる。更に、ある部分回路を構成する全ての

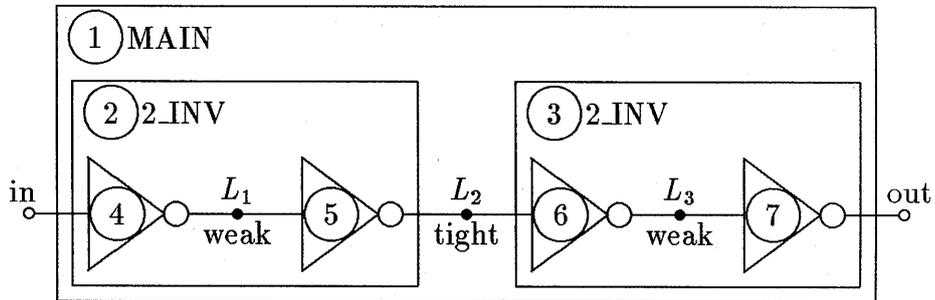


Fig.4.3(a). 4-stage inverter chain circuit and an example of the coupling.

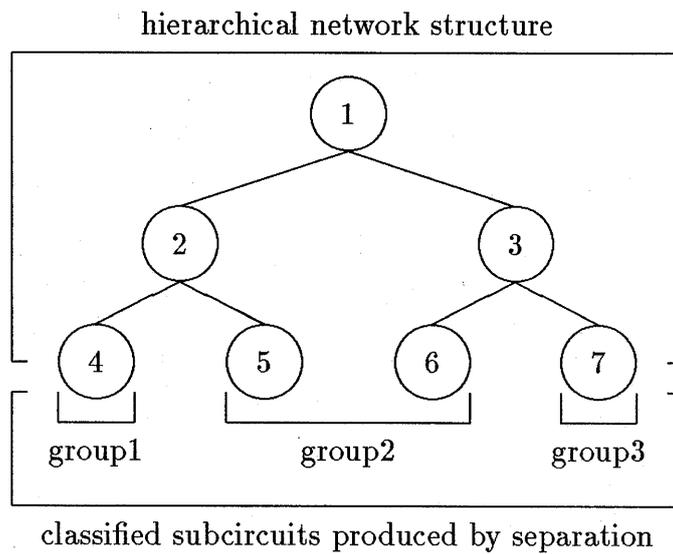


Fig.4.3(b). The hierarchical structure and the classified groups produced by separation of the circuit shown in Fig.4.3(a).

下位部分回路に対するニュートン法が収束したときにその部分回路の階層的収束フラグが立てられる。例えば、Fig.4.3において分離回路 group1(ゲート#4), 及び, group2(ゲート#5,#6) が収束した場合, 分離回路 group1 に所属するゲート#4, 及び, group2 に所属するゲート#5,#6 の収束フラグが立つ。そして, 収束したゲート#4,#5 により構成される部分回路#2 の階層的収束フラグが立つ。この結果, 分離回路ごとの収束情報は部分回路の階層的な収束情報に変換され, 収束している最上位部分回路の動的探知が可能となる。

本論文では, 回路分離手法と回路の階層構造を利用した行列計算とを融合するために提案したゲートレベル回路分離スイッチ, 階層的収束判定フラグを加えた回路分離手法を階層的回路分離手法と呼ぶ。

階層的回路分離手法ではニュートン法は回路全体に適用される。つまり, 回路方程式を立ててヤコビアンを導出する過程では回路は分割されていない(分離回路間は弱結合ではあるが結合が切れているわけではない)ので, ヤコビアンの非対角ブロック要素は(十分小さい値ではあるが)完全にはゼロにならない。つまり, 各分離回路は全く独立に解析されているわけではない。ただし, 十分にゼロに近い非対角ヤコビアンは, 数値計算上, ニュートン法を回路全体に適用しながらも各分離回路ごとにニュートン法のノルム計算・収束判定を行うことを可能にしている。

4.3.2 混合モード解析アルゴリズム

ゲートレベル階層分割では各論理ゲートの出力節点を局所基準節点に採る。ゲートレベル回路分離では各論理ゲートの入力節点での分離を行う。デジタル回路網では論理ゲートの出力節点は次段の論理ゲートの入力節点となっているので, 式(4.10), 式(4.14)による回路分離の判定は, 結局, ゲートレベル節点分割における局所基準節点に対して行えば良い。また, 4.3.1に示した階層的回路分離手法を用いれば回路分離と階層的行列計算を結合できるため, あとは階層的に部分回路の(反復域)潜在性を判定する前にその部分回路に対するニュートン法の収束判定を行うだけで, 前章に示された階層的分割・潜在性を利用した回路解析に回路分離手法を融合することができる。この結果, 動的に直接法と緩和法の選択を行い, かつ, 動的に適切な潜在回路のレベルを決定する混合モード解析が実現される。以下にそのアルゴリズムを示す。なお, t_0, t_{end}, dt はそれぞれ解析開始時刻, 解析終了

時刻, 数値積分の時間刻みである.

```
· MAIN(){  
  1.  $t = t_0$ .  
  2. 数値積分を適用.  
  3. Newton-Raphson ルーチンを実行.  
  4. 全局所基準節点に対して式 (4.10), 式 (4.14) を用いて結合強度を調べる.  
  5. 次時刻に対する分離を行う.  
  6. 各ゲート回路のゲートレベル回路分離スイッチをセットする.  
  7.  $t = t + dt$ .  
  8. if( $t < t_{end}$ )  
      then{  
        操作 2. に戻る.  
      }  
}  
· Newton-Raphson(){  
  1. 'ルート回路' を引数として Newton-iteration ルーチンを実行.  
  2. 各分離回路の収束判定を行う.  
  3. 階層的収束判定フラグをセットする.  
  4. if(ルート回路の収束判定フラグ=1)  
      then{  
        return.  
      }  
}
```


4.4 混合モードシミュレータ SPLIT2 の評価

階層的な分割と潜在性を利用したシミュレータ SPLIT(3章)[37]を母体として、本アルゴリズムに基づき階層的な回路分離を導入し、SPLIT2[40]を作成した。本システムはゲートレベル分離に基づいており、大規模デジタル回路網解析を対象としている。

有効性を調べるために TTL ゲートにより構成されるインバータ・チェーン回路と D フリップ・フロップの解析をそれぞれ行った。ここで回路は Fig.4.3, Fig.4.4 のように階層化入力されており、トランジスタモデルは Ebers-Moll モデル (Fig.2.9) を用いた。また、経験的に $Th_{High}=2.5[V]$ (式 (4.10)), $\epsilon_{separate}=0.5[V/nsec]$ (式 (4.14)) とした。ここで、ノーマル TTL ゲートの場合、ゲート入力電圧=2.0[V] が High 入力に対する最悪規定値であるが、過渡解析時のトランジスタ Q (Fig.4.1) の空乏層における非線形容量の影響等を考慮して、マージンを取って $Th_{High}=2.5[V]$ としている。なお、3.2 における潜在性判定定数は、経験的に、 $\epsilon_{latent}^t = 0.005[V/nsec]$, $\epsilon_{latent}^i = 0.01[V]$ を選んだ。計算機は NEWS/NWS-821 を使用した。

まず、4 段インバータ・チェーン回路の過渡応答中の分離状態を Fig.4.5 に示す。図中、'▷' が一つのインバータゲートを表し、'▷' どうしを結ぶ線は強結合部で

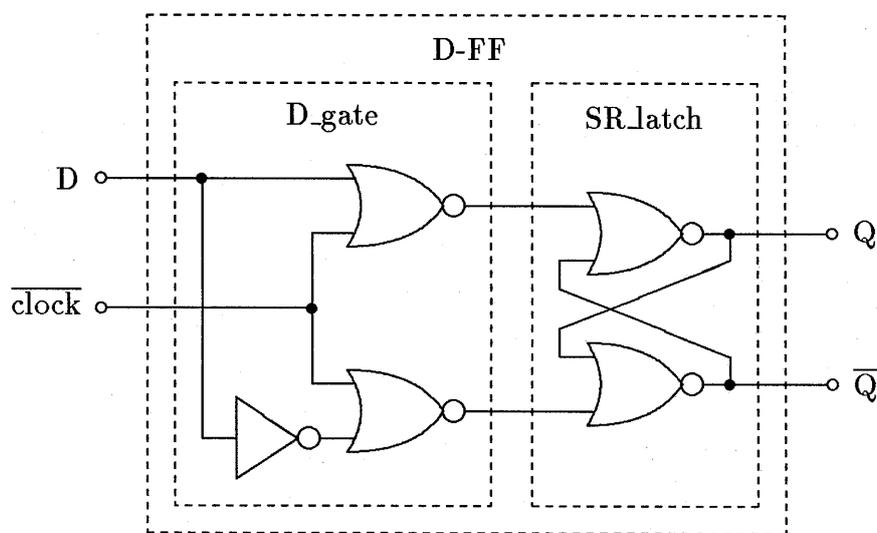


Fig.4.4. D flip-flop circuit.

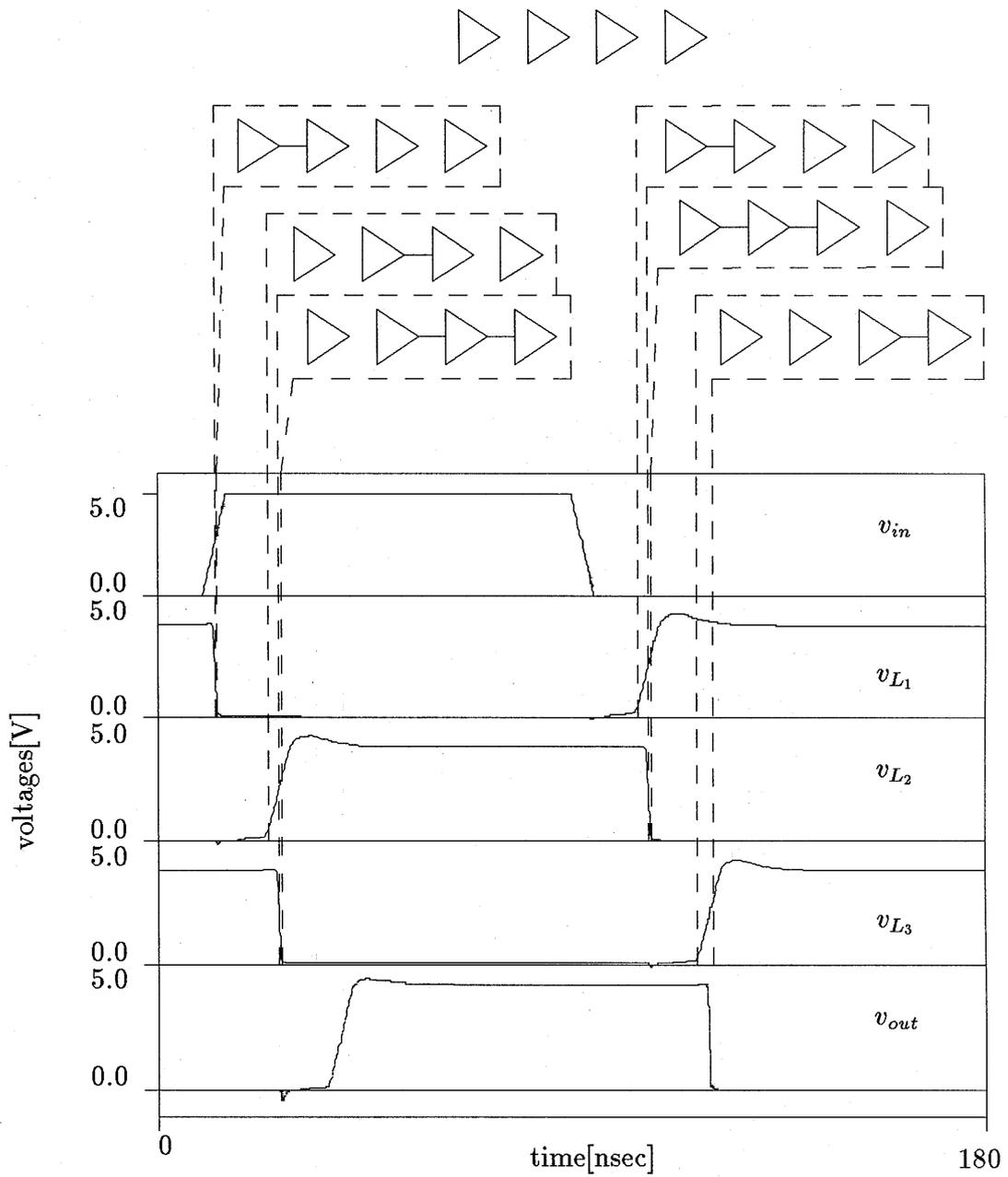


Fig.4.5. An example of mixed mode simulation.

あることを意味する。また, $v_{in}, v_{L1}, v_{L2}, v_{L3}, v_{out}$ はそれぞれ入力節点, 節点 L_1, L_2, L_3 , 出力節点 (Fig.4.3(a)) の電圧である。図から動的分割が実現していることが確認できる。

次に, 解析速度改善に対する効果を調べるためにインバータ・チェーン回路と D フリップ・フロップ回路のパルス入力に対する過渡解析をそれぞれ行った。結果を Table 4.1 に示す。ここで,

1. 本手法 (階層分割・階層的 (反復域) 潜在性, 及び, 回路分離による混合モード解析;SPLIT2)

との比較のために

2. 従来手法 1(階層分割のみを行い階層的潜在性・回路分離を導入しない解析 (2章);HIDE)
3. 従来手法 2(階層分割・階層的 (反復域) 潜在性を利用した解析 (3章);SPLIT)

による所要時間も併記した。

節点電圧変化の大きい部分回路と小さい部分回路では, その時刻での解析に必要なニュートン反復の回数が異なる。つまり, 部分回路ごとにニュートン法の収束の速さが違う。まず, 階層的反復域潜在性の利用により, ニュートン法が収束した部分回路のヤコビアン導出を省略できる。ヤコビアン導出は直接法による解析時間の大部分を占めるため, 解析の大幅な高速化が実現されている。更に, 階層

Table 4.1. Comparison results of CPU time required for the simulations.

circuits	CPU time [sec]		
	previous method 1 (HIDE)	previous method 2 (SPLIT)	present method (SPLIT2)
4-stage inverter chain	2469	1239	1150
D flip-flop	20361	10562	9855

的回路分離を活用することにより, 収束した部分回路のニュートン反復そのものが省略可能となった. また, 高速化のもう一つの理由として次のことが考えられる. ニュートン法の収束性の良い部分回路 GOOD と悪い部分回路 BAD が強結合しており, GOOD のニュートン法が収束したとする. それ以降のニュートン反復で BAD の節点電圧が変化した場合, その変化が強結合している GOOD へ大きく影響することは明らかである. 反復域潜在性のみを利用した解析においては, 2つの部分回路は個別に反復域潜在性のチェックが行われるので, GOOD が一旦潜在的となった後に BAD の節点変化の影響により GOOD のニュートン法が再開されることが有り得る. この結果, 再び GOOD の節点電圧の変化が起こり, これが更に強結合している BAD に影響を及ぼす. すなわち, 解の探索軌道に振動が生じることが有り得る. 回路分離手法によれば, ニュートン反復における節点電圧の変化が影響を及ぼし合う強結合回路は連結して解析するため, 一旦収束した分離回路は

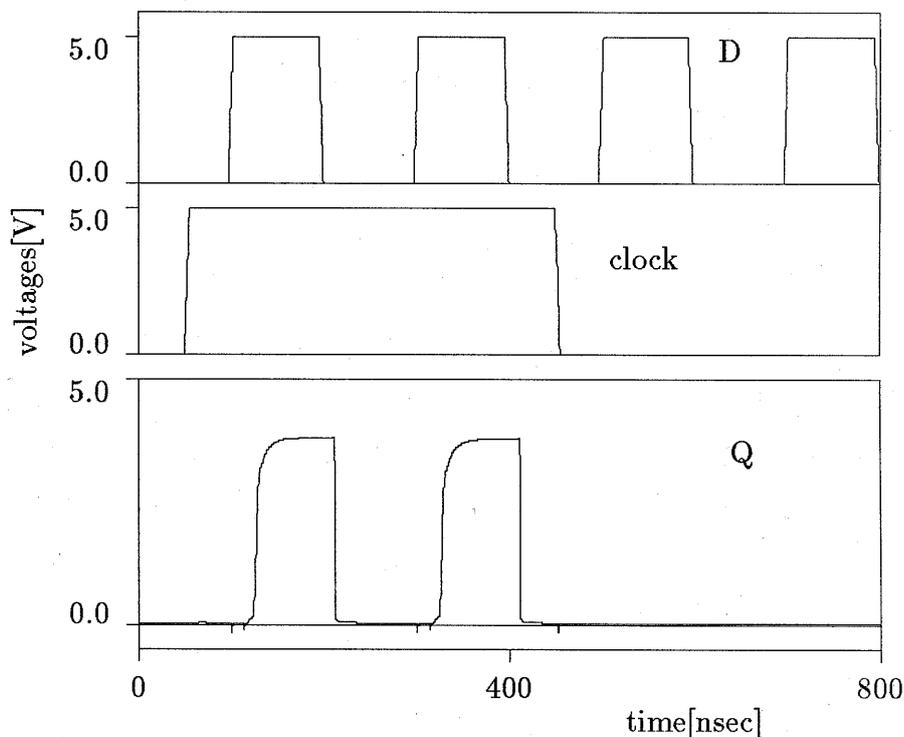


Fig.4.6. Transient waveform obtained by the simulation of D-FF.

二度と計算をする必要はなく、発振を抑制することが可能である。

これらの結果、階層的分割・(反復域)潜在性を利用した解析(SPLIT)よりも更に解析速度が向上した。ただし、ヤコビアン導出と比べると解析におけるこれらのタイムシェアは低く、SPLITからの大きな解析時間短縮には至っていない。

また、全ての解析でその波形の劣化はほとんど現れていない。フリップ・フロップの解析波形については Fig.4.6 に示す。

4.5 総括

本章では、直接法による詳細回路解析における結合強度に基づく回路分離手法を提案した。回路の分離性に対する性質を調べ、分離条件を明確にした。分離された各部分回路に対してニュートン法を全く独立に適用できるため、回路分離手法は直接法に緩和法の概念を導入する。そして、階層的な分割と潜在性を利用した解析に回路分離を融合するアルゴリズムを示した。更に、実際に本アルゴリズムによる直接法・緩和法混合モードシミュレータ SPLIT2 を作成した。SPLIT2 は直接法をベースとした混合モード解析であるので強結合回路網のシミュレーションに対しても有効な、汎用性の高いシミュレータとなっている。バイポーラトランジスタ回路の解析からその有効性を検証した。

部分回路の全く独立な計算を実現する回路分離手法は、並列処理性の向上という観点からも大きな意義を持つものと考えられる。

本システムでは分離手法を階層的行列計算アルゴリズムに組み込む際にニュートン法を回路全体に対して適用する方法が採られた。つまり、現段階では、正確には直接法を部分回路ごとに適用しているわけではない。従って、階層的な時間域潜在性のハンドリングに対してはまだ十分なアルゴリズムであるとは言えない。この問題は次章で扱う。

5 動的回路分離とセレクトティブ・トレースに基づく直接法・波形緩和法混合モード解析

5.1 概要

回路シミュレーションの高速化に、潜在性の利用が非常に有効であることが報告されている [3][6][8][25]. 特に, 部分回路ごとの潜在性を階層的に使用すると効果が大きい [10][13][37]. しかし, 直接法による詳細回路解析では時間域潜在性の活用技術がまだ十分に確立されていない. なぜなら, 直接法では回路方程式全体を共通時間刻みにより解析するので, 回路の一部でも過渡状態にあると全体を解析する必要が生じるためである. たとえ節点分割を適用したとしても, 行列計算手順が分割されるにすぎない (方程式レベルで分割が行われるわけではない) ので, 結局, 一部でも回路が変化したならば時間域潜在性を活用することができない.

前章では, 動的回路分離手法を組み込んだ直接法ベースの直接法・緩和法混合モード解析アルゴリズムについて説明した [40][42]. 回路分離手法によれば, 直接法においても回路を完全に (回路方程式レベルで) 分割する (分離する) ことができる. この結果, 回路全体で共通時間刻みを採りながら, 各時刻で所望の部分回路のみを直接法により解析することが可能となる. 本章では, 部分回路間の結合強度を基準にした (階層的) 回路分離手法と論理シミュレーションで利用されているセレクトティブ・トレース方式の解析を結合することにより, 活性的な部分回路のみを動的かつ階層的に選択して解析するアルゴリズムを提案する [47][48]. 各部分回路の活性度に応じて解析ポイントを選出することはマルチレート数値積分 [9] の考え方に相当するため, 疑似的に直接法・波形緩和法混合モード解析が実現される. すなわち, 本手法により, 直接法ベースの詳細回路解析における, 階層的な時間域潜在性の活用技術, 並びに, マルチレート性の活用技術が確立される. 最終的に, SPLIT2[40] に本アルゴリズムを導入し, 直接法・波形緩和法混合モードシミュレータ SPLIT2.1[48] を構築し, 解析結果からその有効性を示す.

5.2 回路分離に基づくセレクトティブ・トレース方式

5.2.1 セレクトティブ・トレース方式の導入

一般に、部分回路ごとにニュートン法の収束性は異なる。回路分離手法の利用により、分離された各部分回路（以下、単なる部分回路と区別するために分離回路と呼ぶ）ごとに独立にニュートン法を適用できるので、各分離回路の収束の速さに応じた解析が可能となる。

更に、波形緩和法 [9] に見られるように、分離回路の活性度に応じて分離回路ごとに時間刻みを決定できれば、より高速な解析が期待できる。しかし、直接法による数値解析では、式 (1.1) の非線形連立微分方程式全体にグローバル・タイムステップの数値積分を適用するので、マルチレート数値積分を行うことができない。そこで、本論文では、分離された回路に対して独立にニュートン法を適用することが可能となることを利用し、論理シミュレーションで利用されているセレクトティブ・トレース方式 [25] による解析法を詳細回路シミュレーションに導入する。すなわち、数値積分の時間刻みはグローバルで採り、その時刻における活性的な分離回路のみを選択して解析する。潜在的な分離回路の解析を省略することはその分離回路に対する数値積分の刻み幅を大きく採ることに相当する。従って、回路全体にグローバル数値積分を適用しながらも、実質には各部分回路ごとに時間刻みを決定していることになる。これはマルチレート数値積分の考えに相当し、疑似的に直接法・波形緩和法混合モード解析が実現される。

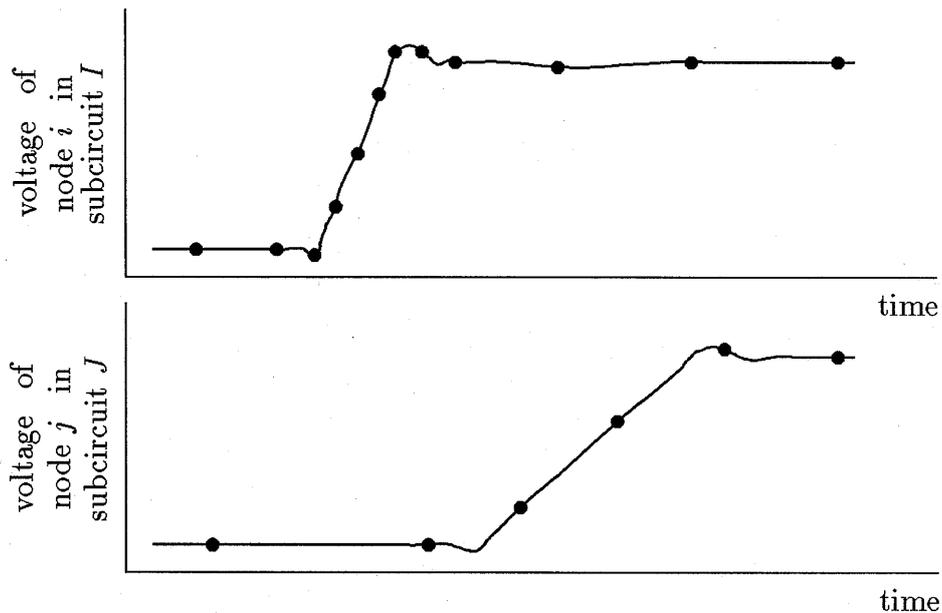
セレクトティブ・トレースにより変化の生じた部分回路のみが解析される。これは部分回路ごとに時間域の潜在性を活用することに相当する。節点分割を用いた直接法による解析では、局所基準節点の影響により、回路の一部でも変化が生じれば全体の行列計算が必要となる。つまり、回路全体が潜在的でない限り時間域潜在性を活用することができなかつた。これに対し、本手法により、直接法においても分離回路ごとに時間域潜在性を有効に活用することが可能となる。すなわち、直接法におけるマルチレート性の利用を可能にする本手法は、階層分割を用いた直接法ベースの詳細回路解析における階層的な時間域潜在性の活用技術でもある。また、本手法は、前章では各時刻ごとに考えていた回路の分離を時間域で行う技術であり、拡張された分離手法であると言える。

分離回路の潜在性は

$$\max\{|\mathbf{v}_n^t - \mathbf{v}_n^{t-1}|\}/dt < \epsilon_{latent} \quad (5.1)$$

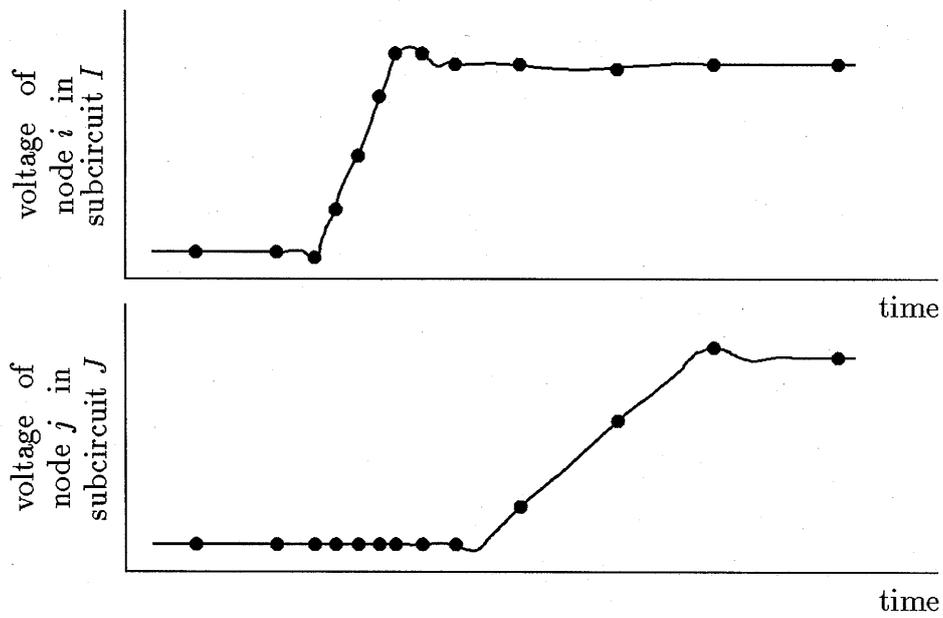
で判断する。ここで、 \mathbf{v}_n^t は時刻 t における分離回路# n 内の節点電圧ベクトル、 ϵ_{latent} は時間域潜在性判定定数である。式(5.1)は次時刻の潜在性を予測する。それを考慮して ϵ_{latent} を選定する必要がある。

なお、 ϵ_{latent} は3.3の時間域潜在性判定定数 ϵ_{latent}^t と同じものである。ただし、本論文では、部分回路ごとの時間域潜在性を使用することができないという従来の直接法の性質を考慮して、前章まで、時間域潜在性とはその時刻での全てのニュートン反復において反復域潜在性を利用することであるとしていた。ここで、潜在的(解析を完全に省略することが可能)な状態と活性的(解析の省略が不可能)な状態の間に、解析は行わなければならないがその時に反復域潜在性を利用することが可能である(ヤコビアンを前時刻の値で代用してもニュートン法の収束が損なわれない程度には潜在的である)状態が存在する。従って、この2つの潜在性判定

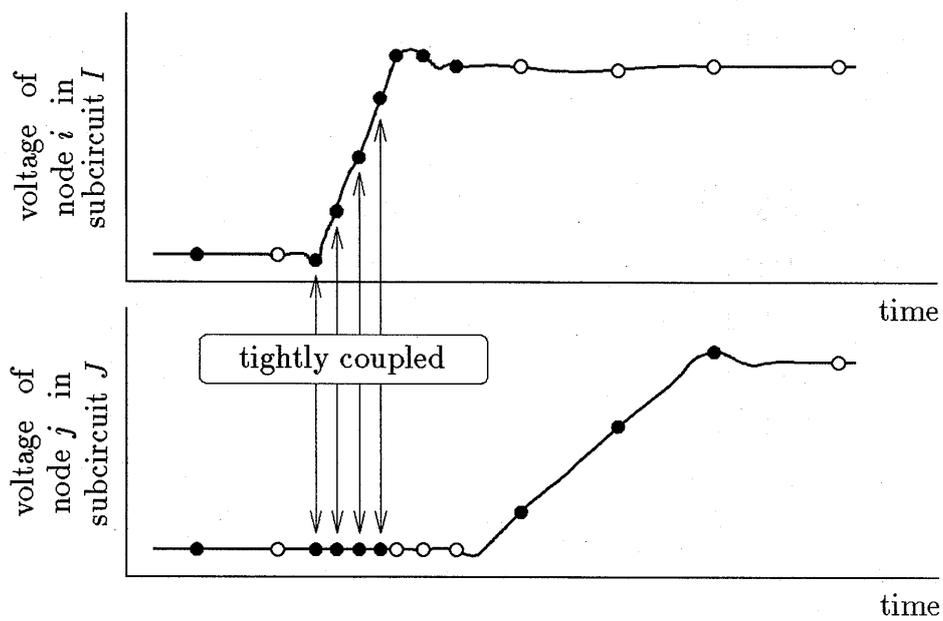


(a). multirate time-step numerical integration formula.

Fig.5.1-i. Comparison of time points to be analyzed.



(b). global time-step numerical integration formula.



(c). global time-step integration with network separation and selective trace.

Fig.5.1-ii. Comparison of time points to be analyzed.

定数もあえて同一値とする必要はない。通常, $\epsilon_{latent}^t > \epsilon_{latent}$ として使用し, 電圧変化が ϵ_{latent}^t より小さければヤコビアン の導出が省略され, 更に, ϵ_{latent} より小さいときに解析の省略が行われる。また, 3.3 で述べたように, 本来ならば, 入力をチェックすれば部分回路が時間域で潜在的であるかを判定することができる。しかし, (実際にキャパシタンスを含まなくとも) 部分回路には寄生容量が存在するため, 入力の変化により過渡反応が起こる。よって, 入力部が潜在的となっても部分回路の内部状態が遷移している (活性的である) ことが十分に考えられる。これに対処するために式 (5.1) では部分回路内の全ての節点の電圧変化をチェックしている。部分回路全体が変化しなくなった状態 (部分回路内の過渡応答が終了した状態) においてその部分回路が時間域で潜在的であると判定される。

グローバル・タイムステップ数値積分, マルチレート数値積分, そして本手法における解析ポイントの比較を Fig.5.1 に模式的に示す。Fig.5.1 では解析ポイントを '●' で表している。本手法の解析ポイントは基本的にグローバル・タイムステップ数値積分の解析ポイントと同じであるが, 潜在的である部分回路については解析がスキップできる。この解析ポイントを '○' で表した。ただし, 本手法は回路分離に基づいているため, ある部分回路が活性的な部分回路と強結合している時間区間においては, その部分回路が潜在的であっても解析を省略することはできない。

5.2.2 直接法・波形緩和法混合モード解析アルゴリズム

4.3.2 に示された直接法・緩和法混合モード解析アルゴリズムに階層的な時間域潜在性の判定を加える。4.3 で述べたように, 回路分離手法を階層化するにあたりニュートン法は回路全体に対して適用される必要があった。つまり, ここでは, 3.2 で構築された階層分割に基づく行列計算が実行されており, 正確には部分回路ごとの独立な解析は行われていない。よって, 本アルゴリズムにおいても, 4.3 と同様に収束判定フラグを有効利用することにより階層的な時間域潜在性 (部分回路ごとの時間域潜在性) の活用を可能にしている。なお, 3.2 の階層的行列計算アルゴリズムでは局所基準節点の計算は分割処理されない。従って, 局所基準節点に対しては, 時間域で活性的な部分回路が一つでもつながっている限りその計算は行われる。

以下にそのアルゴリズムを示す。ここで, t_0, t_{end}, dt はそれぞれ解析開始時刻, 解

析終了時刻, 数値積分の時間刻みである.

```
· MAIN(){  
  1.  $t = t_0$ .  
  2. 数値積分を適用.  
  3. Newton-Raphson ルーチンを実行.  
  4. 全局所基準節点に対して式 (4.10), 式 (4.14) を用いて結合強度を調べる.  
  5. 次時刻に対する分離を行う.  
  6. 各ゲート回路のゲートレベル回路分離スイッチをセットする.  
  7. 階層的時間域潜在性を判定.  
  8. for(全ての階層の各部分回路に対して) {  
    if(部分回路が時間域において潜在的)  
      then{  
        その部分回路は次時刻において常に収束判定フラグ=1.  
      }  
  }  
  9.  $t = t + dt$ .  
  10. if( $t < t_{end}$ )  
    then{  
      操作 2. に戻る.  
    }  
}
```

・ Newton-Raphson(){

1. 'ルート回路' を引数として Newton-iteration ルーチンを実行.

2. 各分離回路の収束判定を行う.

3. 階層的収束判定フラグをセットする.

4. if(ルート回路の収束判定フラグ=1)

 then{

 return.

 }

 else{

 操作 1. に戻る.

 }

}

・ Newton-iteration('部分回路'){

1. if('部分回路' の収束判定フラグ=1)

 then{

 return.

 }

2. else if('部分回路' が反復域において潜在的)

 then{

 '部分回路' のヤコビアンを前反復の値で代用し, '部分回路' ブロック
 の行列計算を行う.

 }

```

3. else if('部分回路'が最下位の部分回路)
    then{
        '部分回路'のヤコビアンを計算し,'部分回路'ブロックの行列計算を
        行う.
    }
4. else{
    for('部分回路'を構成する全て下位部分回路に対して){
        '下位部分回路'を引数として Newton-iteration ルーチンを再帰コール.
    }
}
}

```

5.3 混合モードシミュレータ **SPLIT2.1** の評価

SPLIT2(4章)[40]を本アルゴリズムに基づき拡張し、直接法・波形緩和法混合モードシミュレータ SPLIT2.1[48]を作成した。本システムは大規模デジタル回路網解析を対象としている。

有効性を調べるために TTL ゲート回路から成るインバータ・チェーン回路と D フリップ・フロップ回路のパルス入力に対する過渡解析をそれぞれ行った。回路は Fig.5.2, Fig.5.3 の様に階層化入力されている。トランジスタモデルは Ebers-Moll モデル (Fig.2.9) を用いた。また、経験的に、分離の定数 (4.2.2, 4.2.3 参照) は $Th_{High} = 2.5[V]$ (式 (4.10)), $\epsilon_{separate} = 0.01[V/nsec]$ (式 (4.14)), 時間域潜在性判定定数は $\epsilon_{latent} = 0.005[V/nsec]$ (式 (5.1)) とした。3.2 における潜在性判定定数は、経験的に、 $\epsilon_{latent}^t = 0.005[V/nsec]$, $\epsilon_{latent}^i = 0.005[V]$ を選んだ。解析に要した時間 (NEWS/NWS-821 使用) を Table 5.1 に示す。ここで、

1. 本手法 (階層分割・階層的 (反復域) 潜在性及び回路分離に基づくセレクトティブ・トレース方式による解析;SPLIT2.1)

との比較のために

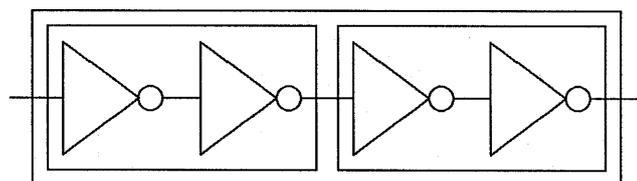


Fig.5.2. 4-stage inverter chain circuit.

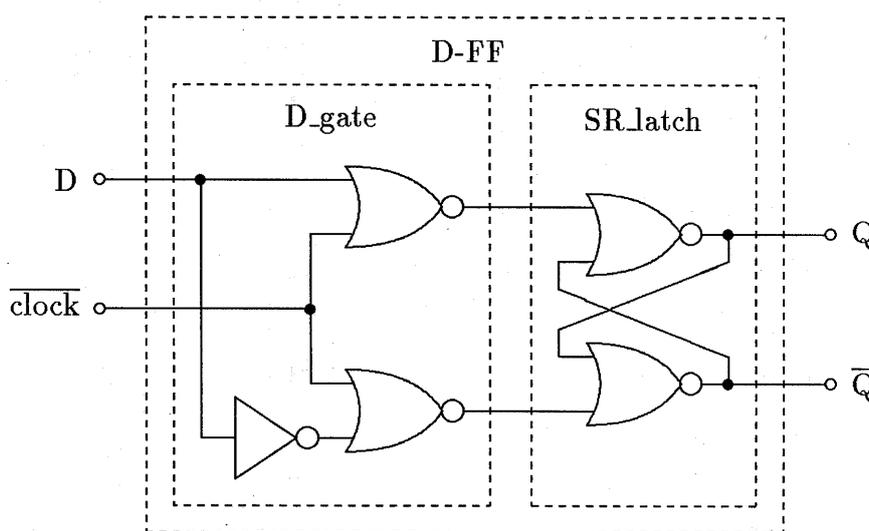


Fig.5.3. D flip-flop circuit.

2. 従来手法 1(階層分割のみを行い階層的潜在性・回路分離を導入しない解析 (2章);HIDE)
3. 従来手法 2(階層分割・階層的(反復域)潜在性を利用した解析(3章);SPLIT)
4. 従来手法 3(従来手法 2に回路分離を導入した解析(4章);SPLIT2)

による所要時間も併記した。

活性的な部分回路と不活性的な部分回路では、その時刻での解析に必要なニュートン反復の回数が異なる。まず、階層的な反復域潜在性を利用により(SPLIT)、ニュートン法が収束した部分回路のヤコビアン導出及びヤコビアン行列の三角化が省略できる。ヤコビアン導出は直接法による解析時間の大部分を占めるため、解析の大

Table 5.1. Comparison results of CPU time required for the simulations.

circuits	CPU time [sec] (function evaluation [sec])			
	previous method 1 (HIDE)	previous method 2 (SPLIT)	previous method 3 (SPLIT2)	present method (SPLIT2.1)
4-stage inverter chain	1171 (121)	729 (177)	670 (178)	562 (105)
D flip-flop	7738 (746)	4528 (1007)	4208 (984)	3448 (581)

幅な高速化が実現されている。次に、動的回路分離を活用することにより (SPLIT2), 収束した部分回路のニュートン反復そのものが省略可能となった。更に、セレクトティブ・トレース方式の解析を行うことにより (SPLIT2.1), 時間域で潜在的な部分回路の解析が (つまり, ニュートン法そのものが) 省略できるようになった。これは, 潜在的な部分回路におけるヤコビアン導出・ヤコビアン行列の三角化の省略に加え, 電流値 (式 (4.2) 中の F) の計算をも省略していることに相当する。Table 5.1 には, () 内に全解析時間中の電流値計算に要する時間が記してある。潜在性を活用した解析 (従来手法 2(SPLIT), 従来手法 3(SPLIT2), 及び, 本手法 (SPLIT2.1)) では, ニュートン反復域で潜在的な部分回路のヤコビアンを前反復のヤコビアンで代用する。この結果, ニュートン法の収束速度が少しだけ劣化し, ニュートン反復回数が増えることになる。つまり, 潜在性を利用することにより, 全体の解析速度は向上するが電流値計算時間は増加する。本研究ではセレクトティブ・トレースを導入することにより, 潜在性を活用しながら, かつ, 電流値計算時間の減少をも実現している。

次に, マスタ・スレーブ型 T フリップ・フロップ回路 (Fig.5.4) を 1 段, 2 段, 4 段 縦続接続した, 1 ビット, 2 ビット, 4 ビット非同期式カウンタ (Fig.5.5) を SPLIT2.1 により解析した。節点数に対する解析時間の増加を Fig.5.6 に示す。比較として, 従来手法 1(HIDE), 従来手法 2(SPLIT), 従来手法 3(SPLIT2) による結果も記した。

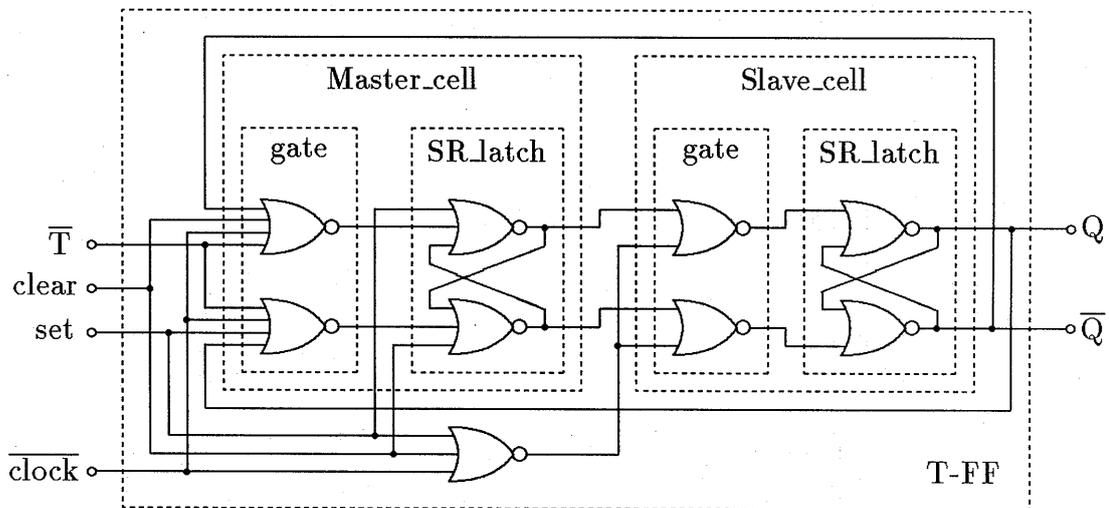


Fig.5.4. Master-slave T flip-flop circuit.

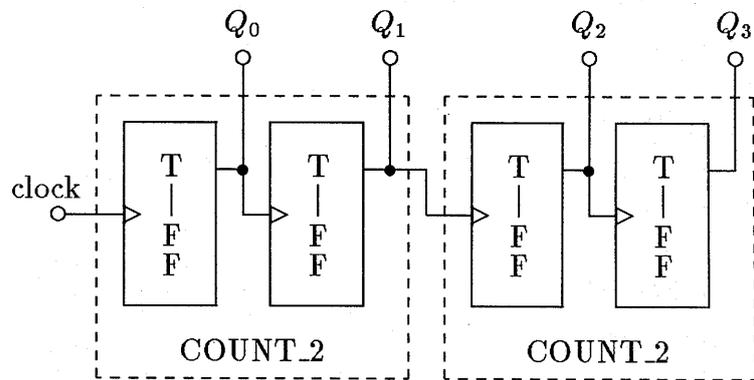
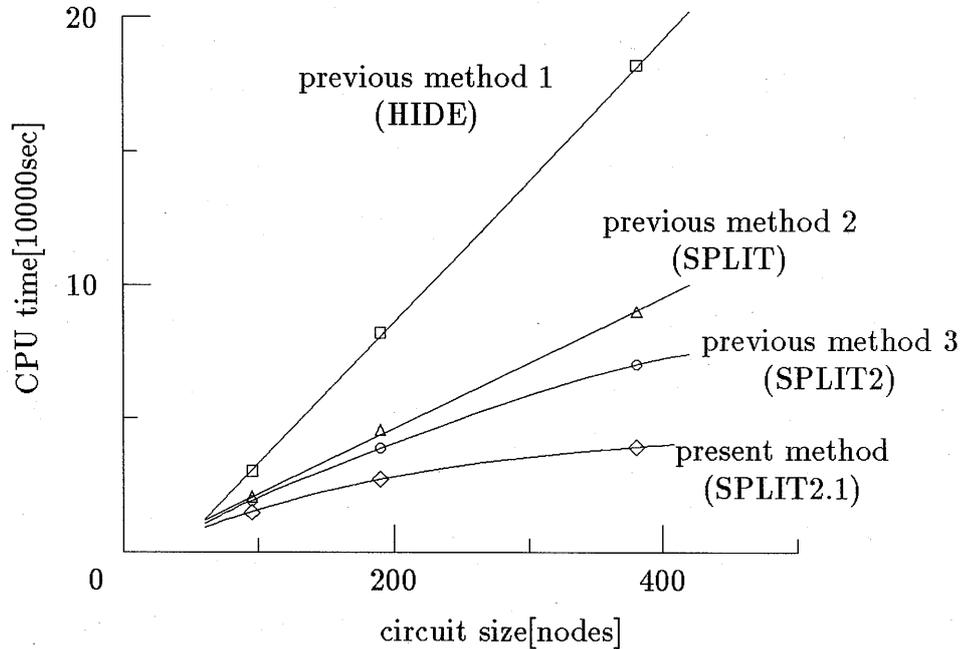


Fig.5.5. 4 bits asynchronous counter.



the number of nodes:

- 1 bit asynchronous counter = 95,
- 2 bits asynchronous counter = 190,
- 4 bits asynchronous counter = 380.

Fig.5.6. The number of nodes versus the CPU time.

回路規模の増大にともない本手法 (SPLIT2.1) による解析の効果が顕著になることが分かる。これは、回路規模が増加するにつれて回路の潜在率も大きくなるという事実裏付けられる。

なお、精度の比較のために4ビットカウンタの1ビット目、4ビット目の出力、 Q_0 と Q_3 の波形を Fig.5.7 に示す。太線が本手法 (SPLIT2.1) による解析、細線が従来法 1(HIDE) による解析である。図からは大きな波形の劣化は確認されないが、実際には、潜在的な部分回路の解析を省略したため、波形に最高で潜在性判定数

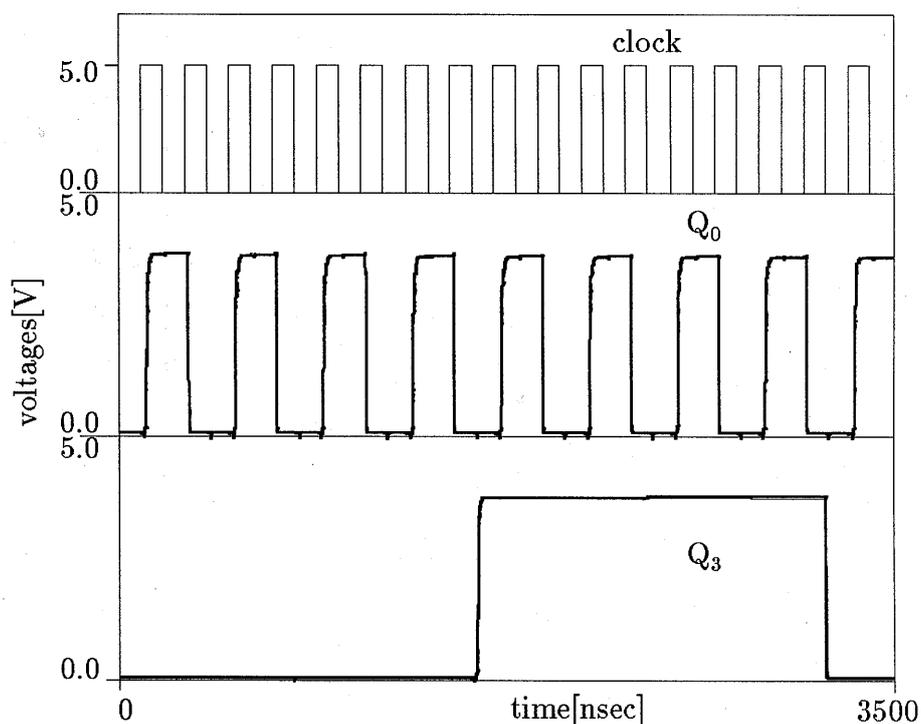


Fig.5.7. Transient waveforms for Q_0 and Q_3 of 4 bits counter.

bold line : by present method,
thin line : by previous method 1.

ϵ_{latent} の大きさの誤差が生じてしまう。

5.4 総括

本章では、動的回路分離とセレクトティブ・トレースを利用した効果的な詳細回路シミュレーション方式を提案した。回路分離手法によれば、分離された部分回路は独立に解析できるため、直接法に緩和法概念を導入できる。更に、セレクトティブ・トレース方式の解析を行うことにより、活性な部分回路のみを選択して解析することが可能となった。これは、階層分割を用いた直接法による解析における階層的な時間域潜在性の活用を可能にする。また、各部分回路の活性度に応じて解析ポイントを選出することはマルチレート数値積分の考え方に相当するため、本アルゴリズムにより疑似的に直接法・波形緩和法混合モード解析が実現されること

となる. 本アルゴリズムを実装したシミュレータ SPLIT2.1 を作成し, 幾つかの回路の解析から, その有効性を確認した.

時間域潜在性の利用は波形に最高で潜在性判定定数 ϵ_{latent} の大きさの誤差を許容させてしまうという欠点を合わせ持つ. このため, ゆっくりと変化する回路に対処できないという問題が起きる. 特に, モジュールの入力電圧が High 論理と Low 論理のしきい値付近でゆっくり変化した場合, 潜在性の使用によりしきい値を越えるタイミングに誤差が生じ, この結果, 出力に決定的な差異が現れることになる. この問題を解決することは今後の課題としたい.

6 結論

6.1 総括

近年、大規模論理回路の解析を高速に、それも、アナログ的な挙動をも考慮した詳細レベルの解析により高精度で行うことに対する要求が高まっている。また、VHDL・AHDL 指向型の回路解析（システム解析）では大規模回路全体を一括して詳細シミュレーションする必要がある、これを高速化する意義は大きい。本論文では、大規模デジタル回路の設計支援に焦点を当て、デジタル回路網解析を高速かつ高精度に解析できる、効果的な次世代回路シミュレーション技術の検討を行った。

回路分割は取り扱う回路の次元を縮小し、並列処理性を向上させる。適切な回路分割手法は解析を効果的に高速化する。本論文では、回路の階層分割及び動的分割を利用した効率的な詳細回路解析アルゴリズムを提案した。階層分割は大規模回路の階層構造を考慮した解析を可能にする。潜在性、マルチレート性等、解析の高速化に有効な回路特性は回路の階層構造に大きく依存する。分割の階層化による潜在性の効果的な利用法、つまり、階層的な潜在性の活用技術が示された。また、動的回路分割の適用により、結合強度の変化にともない回路の分割状態を動的に更新することが可能となる。動的”回路分離”手法を用いて回路の弱結合部を探索し分割することにより、直接法と緩和法の長所を結合した効率的な数値解析アルゴリズムである直接法・緩和法混合モード解析が確立された。

はじめに、回路の階層構造を利用した解析技術を構築する上で第一に必要な階層分割システムの作成を行った。階層分割の自動化アルゴリズムを明らかにし、階層化構造記述言語 HAL を用いた階層分割システム HIDE を構築した。本システムの回路入力には回路図エディタ GRACE を用いて行われ、GRACE で入力された回路図は階層化構造記述言語 HAL に変換される。本システムは、HAL ネットリストを入力データとし、入・出力フラグを設けることによりゲートレベルまでの階層分割を実行する。階層分割は直接法における行列計算を効率化させる能力をも備える。本システムにより、実際のバイポーラトランジスタ回路網及び MOS 回路網の階層分割を行い、その結果生じた回路行列を評価した。MOS 回路では通常の節点分割が行列計算の効率化に対して有効に働かない場合があった。これに

対し、階層分割は全ての回路において高いフィル・イン抑制とそれにとまなう LU 分解の効率化を実現することを確認した。かつ、その効果は通常の節点分割の結果をも上回る。効果的な(階層的な)潜在性や並列処理性を回路解析に導入する目的で提起された階層分割が、同時に、従来のスパース処理に基づく行列計算の効率化に匹敵する効果を発揮することが検証された。

次に、階層分割に基づく階層的潜在性の活用技術について述べた。分割の階層化にとまなう階層的な潜在性を考えることにより、部分回路が潜在的であれば一括してその解析の省略を行い、また、その部分回路が活性的な場合でも部分回路を構成する小部分回路が潜在的であればこれを利用することができるようになる。この結果、潜在回路の規模を動的に判断することが可能となり、回路解析を非常に高速化することができた。ここでは、まず、階層的な時間域潜在性、反復域潜在性について述べ、それらを利用するためのアルゴリズムを示した。そして、再帰的縁付きブロック対角 (RBB) 行列に対する階層的行列計算アルゴリズムに階層的潜在性を融合させることにより、階層的潜在性を導入した行列計算アルゴリズムを構築した。更に、本アルゴリズムを回路解析支援システム、階層分割システムと共に稼働させることにより、回路図入力から過渡解析までの一貫したシミュレーションを行うことのできるシミュレータ SPLIT を作成した。SPLIT では、階層的な(反復域)潜在性を利用し、部分回路の潜在性をどん欲に活用することにより、非常に効率的な解析が行われる。実際に MOS ゲートからなる非同期式カウンタを解析し、階層的な分割と潜在性が回路解析の高速化に十分有効なことを確認した。

続いて、直接法による解析における、結合強度に基づく動的回路分離手法を提案した。部分回路間の相互結合が非常に弱い節点間で動的に分割を行う回路分離手法を用いることにより、部分回路を全く独立に解析することが可能となった。各部分回路を個別に直接法で解くことはブロック緩和法を緩和反復なしで一回だけ実行することに等しい。よって、回路分離手法は直接法に緩和法の概念を導入する。この結果、結合強度に応じて動的に直接法・緩和法を選択する混合モード解析手法が確立された。本アルゴリズムは回路間の緩和反復を必要としない。従って、回路分離を利用した直接法・緩和法混合モード解析は直接法ベースであり、強結合回路に対しても有効である。つまり、本混合モード解析は汎用性を兼ね備えた回路シミュレーション技術であると言える。ここでは、まず、回路の分離性に対する性質を

調べ、分離条件を明らかにした。次に、階層的な分割と潜在性を利用した解析に回路分離を融合するアルゴリズムを示した。そして、本アルゴリズムを実装した回路シミュレータ SPLIT2 が作成され、バイポーラトランジスタ回路網に対する過渡解析の結果からその有効性が検証された。

更に、回路分離手法と論理シミュレーションで利用されているセレクトティブ・トレース方式の解析を結合することにより、直接法におけるマルチレート性の活用技術を確立した。本アルゴリズムでは、回路分離により各部分回路が独立に解析可能となることを利用して、活性的な部分回路のみを個別に（マルチレートで）処理する方法が採用されている。すなわち、数値積分の時間刻みはグローバルで採られ、各時刻における活性的な部分回路のみが選択され、解析される。潜在的な部分回路の解析を省略することはその部分回路に対する数値積分の刻み幅を大きく採ることに相当するため、回路全体にグローバル数値積分を適用しながらも、実質的には各部分回路ごとに時間刻みを決定していることになる。各部分回路の活性度に応じて解析ポイントを選出することがマルチレート数値積分の考え方であるので、本アルゴリズムは直接法・波形緩和法混合モード解析であると言える。なお、通常の直接法では、活性的な部分回路の影響で回路の全体を処理する必要が生じるため、部分回路ごとに時間域潜在性を利用することが難しかった。活性的な部分回路のみを解析する本アルゴリズムは、階層分割を用いた直接法による解析における階層的な（部分回路ごとの）時間域潜在性の活用技術でもある。本アルゴリズムを実装した回路シミュレータ SPLIT2.1 が作成され、幾つかの回路の解析結果からその有効性が確認された。

6.2 将来的展望

本論文では、階層分割と動的分割に基づいた詳細回路解析アルゴリズムの検討を行い、シミュレータ SPLIT2.1 を作成した。SPLIT2.1 は効率的な回路解析を行うが、まだ幾つかの克服すべき点が残されている。

まず、SPLIT2.1 は大規模デジタル回路網の設計支援を主目的としており、ゲートレベルでの階層分割、回路分離が利用されている。つまり、SPLIT2.1 は基本的には大規模デジタル回路網解析を対象としている。しかし、SPLIT2.1 では、アナログ回路の解析と同様、キルヒホッフの電流・電圧則より回路方程式を立ててこ

れを解くという詳細解析が行われており、アナログ回路をハンドリングする能力を兼ね備えて然るべきである。工業的な観点から考えても、すでに、デジタル・アナログ混在の集積回路が開発されており、また、AHDLによる大規模アナログ回路の設計技術も確立されつつある。従って、SPLIT2.1をデジタル・アナログ混在回路解析用及びアナログ回路解析用に拡張することは急務と考える。このためには、デジタル・アナログ混在回路及びアナログ回路に対する階層分割手法、回路分離手法の研究を急がねばなるまい。SPLIT2.1の階層分割システムは回路図エディタにより入力された階層を反映した分割を行う。部分回路が必ず高い入力インピーダンス・低い出力インピーダンスを持つとは限らないアナログ回路では、この様なユーザー定義の分割では不十分の場合が起こり得る。また、ゲートレベルの回路分離ではゲートの入力のHigh/Lowにより分離の可/不可が規定されたが、アナログ回路における分離の判断はHigh/Lowの2値では行えず、複雑になると予想される。これらは研究を進めていく上で特に考慮すべきポイントであると考えられる。これに加え、LSIの微細化、動作速度の高速化が更に進んだ場合、配線遅延や信号の反射等の影響が無視できなくなり、配線を伝送線路として扱う必要が生じる。(クロックがさほど高速でない場合でも、信号が理想的なステップパルスのように急峻に変化する部分は高周波成分を含むため伝送線路的な扱いが求められる。ただし、例えばこの様なパルス入力が回路に印加されても、入力端子部の寄生容量等で信号の急激な立ち上がり/立ち下がりは緩慢化されてしまうので、この場合は集中定数系の解析を行っても大きな誤差は現れないと予想される。) また、高速クロックで動作する回路や高周波の交流回路ではトランジスタモデルも高周波用モデルを用いる必要がある。よって、伝送線路(分布定数系の要素)を含む回路や高周波用トランジスタモデルを適用した回路に対する階層分割及び動的分離の効果についても検討を行うべきである。

また、SPLIT2.1では直接法における階層的な(部分回路ごとの)時間域潜在性が活用されているが、この結果、波形に最高で潜在性判定定数 ϵ_{latent} の大きさの誤差を許容させてしまう。このため、ゆっくりと変化する回路に対処できないという問題が起きる。特に、デジタルモジュールの入力電圧がHigh論理とLow論理のしきい値付近でゆっくり変化した場合、潜在性の使用によりしきい値を越えるタイミングに誤差が生じ、出力に決定的な差異が現れることになる。デジタル回路

においては、入力変化の後、ある微小時間（遅延）内に状態の High と Low が切り替わるので、通常では節点電圧が High 論理と Low 論理のしきい値付近でゆっくり変化することはないと思われる。従って、デジタル回路網解析を対象としている現段階の SPLIT2.1 では大きな解析誤差が生じることはないと言える。しかし、デジタル的な動作を越えるほどの高速クロックで稼動している回路等の解析や、将来的にデジタル・アナログ混在回路、アナログ回路を扱った場合には、この問題は非常に重大となる。より適切な潜在性判定条件、また、適当な wake-up 機構等を確立する必要があると考える。

更に、SPLIT2.1 では様々なしきい値（潜在性判定定数、回路分離のしきい値等）を用いているが、これらの値は全て経験的に定められている。しきい値の選出方法を理論的に確立できれば、更に効果的な解析が可能となると思われる。また、本論文で示された各手法を用いた際の数値解析の安定性に対する数学的な検討が行われることが望ましいと言える。特に、連立微分方程式の差分化に対するトランケーション・エラーは適切な時間刻みの決定アルゴリズムとも関連しており興味深い。

これらの問題を解決することは今後の課題としたい。

なお、本論文では、使用した計算機の性能的な理由等で、SPLIT2.1 の有効性を検証する際に中・小規模の回路が用いられていた。大規模回路ではゲート数や階層のレベルが増加し、階層的潜在性、ゲートレベル回路分離を適用する際のオーバーヘッド（プログラムのロス）が大きくなる可能性が高い。SPLIT2.1 の大規模回路解析に対する実用性を早急に確認する予定である。

最後に、次世代の設計・解析技術として注目されている VHDL・AHDL 構想に対する展望を述べる。VHDL・AHDL によるトップダウン設計では、回路全体の解析（システム解析）が行われる。ここで、アナログ回路を扱う AHDL ではもちろん、デジタル回路を扱う VHDL においても回路が高速に動作する場合にはそのアナログ的な振舞いが問題となるので、システム解析は詳細回路シミュレーションにより行われる必要がある。しかし、実際に大規模回路全体を一括して詳細シミュレーションすることは非現実的であるため、各部分回路を適切なレベルで解析する Mixed-signal シミュレーションが有効となる。SPLIT2.1 は階層分割と動的分割に基づいた詳細回路解析を行う。階層の概念はトップダウン設計、及び、Mixed-signal シミュレーションにおいて非常に重要である。SPLIT2.1 は、GRACE による階層

的な回路図入力, 記述言語 HAL による階層的な構造記述, 上位階層から下位階層へと順次計算対象を移す階層的演算アルゴリズム等を備えており, 将来的にデジタル・アナログ混在回路及びアナログ回路設計支援用 VHDL・AHDL 指向型 Mixed-signal シミュレータへと進化できる仕様となっている. 更に, 回路中において信号のアナログ的な影響がどこまで伝搬するかは, 回路の状態 (トランジスタの on/off) 等により変化する. この点からも, 動的分割を考慮している SPLIT2.1 は効果的な Mixed-signal シミュレータの母体となり得ると考えられる.

謝辞

本研究を進めるにあたって、終始、御勉強いただいた浅井秀樹助教授に心より御礼申し上げます。また、本論文の審査をして下さいました市川朗教授、宮川達夫教授、池田弘明教授、阿部圭一教授、渡辺健蔵教授に深く感謝いたします。

私の研究生生活の基礎を築いて下さり、また、本研究において、終始、有益なる御討論及び御助言をしていただいた田中伸幸氏(現在,NTT(株))に深謝いたします。更に、これまでの研究において浅井研究室歴代の皆様には活発な討論を通じて大変お世話になりました。特に、林宏一氏(現在,ブラザー工業(株)),小松満氏(同,日立製作所(株)),石田雅基氏(同,TOKAI(株)),米原武史氏(同,村上開明堂(株))は共に研究を行った仲間であり、都築正明氏(同,日本電装(株)),入井久氏(同,VIC TOKAI(株)),河野健人氏は本シミュレータのシステム化に尽力して頂きました。また、宇佐美元氏(同,ブラザー工業(株)),汲田敦氏(同,三信工業(株)),松野本祐司氏(同,ミネルバ(有))は本論文の礎となる研究に従事された先輩方であります。そして、古門健氏(同,松下電器(株)),川嶋隆宏氏(同,ヤマハ(株)),牧野浩招氏(同,三菱電機(株)),木下英俊氏(同,松下電器産業(株)),妹尾豪氏との活発な討議は本研究に不可欠のものでした。この場を借りて、皆様に深謝の意を表します。

Dr.Bandi Vijaya Gopalをはじめ、Mr.&Mrs.Don E McKee, Ms.Pat Johnson, Mr.Bernard Smithには研究ならびに英会話の勉強を通じて公私ともにお世話になりました。御礼を申し上げます。

また、本論文を作成するにあたり、夜遅くまでお手伝い頂いた二宮洋氏、神尾武司氏、藤森新五氏には御功労いただきました。陳謝するとともに謝意を表します。

私の学生生活を有意義なものとしてくれた、掛替えの無い友人達に心から御礼を申し上げます。

最後に、私を常に陰から支えてくれた両親をはじめ家族の皆にこの上のない感謝の言葉を送りたいと思います。

参考文献

- [1] R.D.Berry, "An optimal ordering of electronic circuit equations for a sparse matrix solution", IEEE Trans. Circuits Theory, **CT-18**, 1, pp.40-50, Jan. 1971.
- [2] L.Nagel, "SPICE2, A computer program to simulate semiconductor for circuits", ERL Memo ERL-M 520, University of California, Berkeley, May. 1975.
- [3] N.B.Rabbat and H.Y.Hsieh, "A latent macromodular approach to large-scale sparse networks", IEEE Trans. Circuits & Systems, **CAS-23**, 12, pp.745-752, Dec. 1976.
- [4] I.S.Duff, "A survey of sparse matrix research", Proceedings of the IEEE, **vol.65**, 4, pp.500-535, April 1971.
- [5] A.R.Newton, "Techniques for the simulation of large-scale integrated circuits", IEEE Trans.Circuits & Syst., **CAS-26**, 9, pp.741-749, Sep. 1979.
- [6] Rabbat N.B., Sangiovanni-Vincentelli A.L. and Hsieh H.Y. , "A multilevel newton algorithm with macromodeling and latency for the analysis of large-scale nonlinear circuits in the time domain", IEEE Trans. Circuits & Syst., **CAS-26**, 9, pp.733-741, Sep. 1979.
- [7] I.N.Hajj, "Sparsity consideration in network solution by tearing", IEEE Trans. Circuits & Systems, **CAS-27**, 5, pp.357-366, May 1980.
- [8] P.Yang, I.N.Hajj and T.N.Trick, "Slate : a circuit simulation program with latency exploitation and node tearing", Proc. ICC'80, pp.353-355, Oct. 1980.
- [9] E.Lelarsmee, A.E.Ruehli and A.L.Sangiovanni-Vincentelli, "The waveform relaxation method for time-domain analysis of large scale integrated circuits", IEEE Trans. Computer-Aided Design, **CAD-1**, pp.131-145, July 1982.

- [10] M.Vlach," *LU decomposition and forward-backward substitution of recursive bordered block diagonal matrix*", Proc. 1983 IEEE International Symposium on Circuits And Systems, pp.427-430, May 1983.
- [11] 清水尚彦, 田中 衛,"ビットシリアル系 LU 分解プロセッサ", 信学論 (D), **J66-D**, 12, pp.1416-1423, 1983 年 12 月.
- [12] H.Hasegawa and S.Seki," *Analysis of interconnection delay on very high speed LSI/VLSI chips using an MIS microstrip line model*", IEEE Trans. Electron Devices, **ED-31**, pp.1954-1960, Dec. 1984.
- [13] M.Vlach," *LU decomposition and forward-backward substitution of recursive bordered block diagonal matrices*", IEE Proc., **132**, Pt.G,1, pp.24-31, Feb. 1985.
- [14] 浦浜喜一,"波形緩和法の局所収束性", 信学論 (A), **J69-A**, 10, pp.1219-1225, 1986 年 10 月.
- [15] J.K.White and A.Sangiovanni-Vincentelli," *Relaxation techniques for the simulation of VLSI circuits*", Kluwer Academic Publishers, 1987.
- [16] W.J.McCalla," *Fundamentals of computer-aided circuit simulation*", Kluwer Academic Publishers, 1988.
- [17] B.Chen, M.Onoda and M.Kaneko," *MMAPC : an effective mixed-mode circuit simulator using dynamic circuit partition process*", Trans. IEICE, **E71**, 4, pp.388-393 , April 1988.
- [18] R.Sainati and T.Moravee," *Estimating high speed circuit interconnect performance*", IEEE Trans. Circuits and Systems, **36**, 4, pp.533-541, April 1984.
- [19] S.Moriyama," *Large scale circuit simulation based on the direct method*", Trans. IEICE, **E72**, 12, pp.1326-1335, Dec. 1989.

- [20] R.A.Saleh and R.A.Newton, "The exploitation of latency and multirate behavior using nonlinear relaxation for circuit simulation", IEEE Trans. Computer-Aided Design, **CAD-8**, 12, pp.1286-1298, Dec. 1989.
- [21] R.Lipsett, C.Schaefer and C.Ussery, "VHDL:Hardware description and design", Kluwer Academic Publishers, 1989.
- [22] C.M.Kurker, J.J.Paulos, B.S.Cohen and E.S.Cooley, "Development of an analog hardware description language", Proc. 1990 IEEE Custom Integrated Circuits Conference, 1990.
- [23] 大谷純一, 今野大介, 足立武彦, "新世代回路シミュレーション技法の共同開発のための一提案", 信学論, **J74-A**, 8, pp.1197-1207, 1991年8月.
- [24] 鹿毛, 新妻, 寺前, 下郡, 泉田, "並列回路シミュレータ PARACS の開発", 第5回回路とシステム軽井沢ワークショップ論文集, pp.213-218, 1992年4月.
- [25] R.A.Saleh and A.R.Newton, "Mixed-mode simulation", Kluwer Academic Publishers, 1990.
- [26] "Schematic design Tools OrCAD/SDTHP", OrCAD Systems Corporation.
- [27] T.Murayama, "Mixed-signal simulation of a pulse width modulation circuit", 信学技報, **NLP93-85**, pp.9-16, 1994年3月.
- [28] 浅井秀樹, 田中 衛, 森 真作, "階層分割法による回路網解析", 信学論, **J68-D**, 2, pp.83-90, 1985年2月.
- [29] H.Asai and A.Kumita, "Availability of gate level node tearing in bipolar circuit simulation by direct method", Trans. IEICE, **E71**, 10, pp.962-964, Oct. 1988.
- [30] H.Asai, H.Usami and Y.Matsunomoto, "Hierarchical language for structural description with facility of level transformation and its application to LSI simulators", Proc. ICCAS'89, pp.345-348, July 1989.

- [31] N.Tanaka and H.Asai," *Special parallel machine for LU decomposition of a large scale circuit matrix and its performance*", Trans. IEICE, **E72**, 12, pp.1336-1343, Dec. 1989.
- [32] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition for circuit simulation by direct method*", Trans. IEICE, **E73**, 12, pp.1948-1956, Dec. 1990.
- [33] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai," *HIDE : Hierarchical decomposition system for preprocessing of circuit simulation by direct method*", Proc. 1990 Joint Technical Conference on Circuits/Systems, Computers and Communications, pp.518-523, Dec. 1990.
- [34] 田中伸幸, 浅井秀樹,"回路シミュレータ開発用支援ツール ASSIST", 信学技報, **NLP90-68**, pp.9-16, 1991年3月.
- [35] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition system and its availability for network solution*", Proc. 1991 IEEE International Symposium on Circuits And Systems, pp.884-887, June 1991.
- [36] 西垣正勝, 田中伸幸, 浅井秀樹,"MOS回路網に対する階層節点分割の有効性", 信学論, **J74-A**, 8, pp.1176-1179, 1991年8月.
- [37] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition and latency for circuit simulation by direct method*", IEICE Trans. Fundamentals, **E75-A**, 3, pp.347-351, March 1992.
- [38] 都築正明, 西垣正勝, 浅井秀樹,"回路シミュレータ開発用支援ツール -ASSISTの改良-", 信学技報, **NLP91-93**, pp.1-7, 1992年3月.
- [39] K.Hayashi, M.Komatsu, M.Nishigaki and H.Asai," *Bipolar transistor circuit analysis by waveform relaxation method with consideration of the operation point*", IEICE Trans. Fundamentals, **E75-A**, 7, pp.914-916, July 1992.

- [40] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai, "Mixed mode circuit simulator SPLIT2 using dynamic network separation and latency", Proc. 35th Midwest Symposium on Circuits And Systems, pp.1369-1372, Aug. 1992.
- [41] Koich Hayashi, Mitsuru Komatsu, Masakatsu Nishigaki and Hideki Asai, "Waveform relaxation method with the dynamic partitioning technique for bipolar transistor circuits", Proc. 35th Midwest Symposium on Circuits And Systems, pp.400-403, Aug. 1992.
- [42] M.Nishigaki, N.Tanaka and H.Asai, "Mixed mode circuit simulation using dynamic partitioning", IEICE Trans. Fundamentals, **E76-A**, 3, pp.292-298, March 1993.
- [43] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms for bipolar circuit analysis", Proc. 1993 Joint Technical Conference on Circuits/Systems, Computers and Communications, pp.566-569, July 1993.
- [44] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms with dynamic partitioning technique for bipolar circuit analysis", Proc. 1993 Int. Symposium on Nonlinear Theory and its Applications, pp.659-662, Dec. 1993.
- [45] 西垣正勝, 浅井秀樹, "回路の動的分離に基づく大規模回路解析用混合モードシミュレーションとシミュレータの構築", 静岡大学大学院電子科学研究科研究報告 第15号, pp.71-76, 1994年3月.
- [46] 入井 久, 林宏一, 河野健人, 西垣正勝, 浅井秀樹, "SPLIT2.2:混合モード回路シミュレータ", 信学技報, **NLP93-86**, pp.9-16, 1994年3月.
- [47] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai, "Mixed mode circuit simulation using dynamic network separation and selective trace", IEICE Trans. Fundamentals, **E77-A**, 3, pp.454-460, March 1994.

- [48] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai, "Mixed mode circuit simulator SPLIT2.1 using dynamic network separation and selective trace", Proc. 1994 IEEE International Symposium on Circuits And Systems, pp.9-12, May 1994.
- [49] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Iterated timing analysis with dynamic partitioning technique for bipolar transistor circuits", Proc. 1994 IEEE International Symposium on Circuits And Systems, pp.411-414, May 1994.
- [50] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms for bipolar circuit analysis", IEICE Trans. Fundamentals, E77-A, 6, pp.1023-1027, June 1994.

著者による論文

(A) 論文

- [1] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition for circuit simulation by direct method*", Trans. IEICE, **E73**, 12, pp.1948-1956, Dec. 1990.
- [2] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai," *HIDE : Hierarchical decomposition system for preprocessing of circuit simulation by direct method*", Proc. 1990 Joint Technical Conference on Circuits/Systems, Computers and Communications, pp.518-523, Dec. 1990.
- [3] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition system and its availability for network solution*", Proc. 1991 IEEE International Symposium on Circuits And Systems, pp.884-887, June 1991.
- [4] 西垣正勝, 田中伸幸, 浅井秀樹,"MOS回路網に対する階層節点分割の有効性", 信学論, **J74-A**, 8, pp.1176-1179, 1991年8月.
- [5] M.Nishigaki, N.Tanaka and H.Asai," *Hierarchical decomposition and latency for circuit simulation by direct method*", IEICE Trans. Fundamentals, **E75-A**, 3, pp.347-351, March 1992.
- [6] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai," *Mixed mode circuit simulator SPLIT2 using dynamic network separation and latency*", Proc. 35th Midwest Symposium on Circuits And Systems, pp.1369-1372, Aug. 1992.
- [7] M.Nishigaki, N.Tanaka and H.Asai," *Mixed mode circuit simulation using dynamic partitioning*", IEICE Trans. Fundamentals, **E76-A**, 3, pp.292-298, March 1993.

- [8] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai, "Mixed mode circuit simulation using dynamic network separation and selective trace", IEICE Trans. Fundamentals, **E77-A**, 3, pp.454-460, March 1994.
- [9] 西垣正勝, 浅井秀樹, "回路の動的分離に基づく大規模回路解析用混合モードシミュレーションとシミュレータの構築", 静岡大学大学院電子科学研究科研究報告 第15号, pp.71-76, 1994年3月.
- [10] Masakatsu Nishigaki, Nobuyuki Tanaka and Hideki Asai, "Mixed mode circuit simulator SPLIT2.1 using dynamic network separation and selective trace", Proc. 1994 IEEE International Symposium on Circuits And Systems, pp.9-12, May 1994.

(B) その他の論文

- [1] K.Hayashi, M.Komatsu, M.Nishigaki and H.Asai, "Bipolar transistor circuit analysis by waveform relaxation method with consideration of the operation point", IEICE Trans. Fundamentals, **E75-A**, 7, pp.914-916, July 1992.
- [2] Koich Hayashi, Mitsuru Komatsu, Masakatsu Nishigaki and Hideki Asai, "Waveform relaxation method with the dynamic partitioning technique for bipolar transistor circuits", Proc. 35th Midwest Symposium on Circuits And Systems, pp.400-403, Aug. 1992.
- [3] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms for bipolar circuit analysis", Proc. 1993 Joint Technical Conference on Circuits/Systems, Computers and Communications, pp.566-569, July 1993.
- [4] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms with dynamic partitioning technique for bipolar circuit analysis", Proc. 1993 Int. Symposium on Nonlinear Theory and its Applications, pp.659-662, Dec. 1993.

- [5] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Iterated timing analysis with dynamic partitioning technique for bipolar transistor circuits", Proc. 1994 IEEE International Symposium on Circuits And Systems, pp.411-414, May 1994.
- [6] Masaki Ishida, Koich Hayashi, Masakatsu Nishigaki and Hideki Asai, "Relaxation-based algorithms for bipolar circuit analysis", IEICE Trans. Fundamentals, **E77-A**, 6, pp.1023-1027, June 1994.

(C) 口頭発表など

- [1] 西垣正勝, 田中伸幸, 浅井秀樹, "直接法による回路シミュレーションのための階層分割", 1990年電子情報通信学会春季全国大会予稿集, p.1-5, 1990年3月.
- [2] 西垣正勝, 田中伸幸, 浅井秀樹, "直接法による回路シミュレーションのための階層分割", 第3回回路とシステム軽井沢ワークショップ論文集, pp.238-245, 1990年5月.
- [3] 西垣正勝, 田中伸幸, 浅井秀樹, "回路解析における階層的な分割と潜在性", 1991年電子情報通信学会春季全国大会予稿集, p.1-74, 1991年3月.
- [4] 西垣正勝, 田中伸幸, 浅井秀樹, "直接法に基づく回路解析における階層的な分割と潜在性", 第4回回路とシステム軽井沢ワークショップ論文集, pp.139-144 1991年4月.
- [5] 都築正明, 西垣正勝, 浅井秀樹, "回路シミュレータ開発用支援ツール-ASSISTの改良-", 信学技報, **NLP91-93**, pp.1-7, 1992年3月.
- [6] 西垣正勝, 田中伸幸, 浅井秀樹, "動的回路分割を用いた混合モード回路シミュレーション", 1992年電子情報通信学会春季全国大会予稿集, p.1-61, 1992年3月.

- [7] 西垣正勝, 田中伸幸, 浅井秀樹, ”動的回路分割を用いた混合モード回路シミュレーション”, 第5回回路とシステム軽井沢ワークショップ論文集, pp.219-224
1992年4月.
- [8] 林宏一, 西垣正勝, 浅井秀樹, ”DESIRE3:パイポーラ回路解析のための波形緩和法”, 信学技報, **NLP92-97**, pp.25-30, 1993年1月.
- [9] 石田雅基, 林宏一, 西垣正勝, 浅井秀樹, ”緩和アルゴリズムによるパイポーラ回路解析”, 信学技報, **NLP92-119**, pp.127-132, 1993年3月.
- [10] 西垣正勝, 田中伸幸, 浅井秀樹, ”回路の動的分離とセレクトティブ・トレース方式による混合モードシミュレーション”, 1993年電子情報通信学会春季全国大会予稿集, p.1-53, 1993年3月.
- [11] 西垣正勝, 田中伸幸, 浅井秀樹, ”回路の動的分離とセレクトティブ・トレース方式による混合モードシミュレーション”, 第6回回路とシステム軽井沢ワークショップ論文集, pp.297-302, 1993年4月.
- [12] 入井久, 林宏一, 河野健人, 西垣正勝, 浅井秀樹, ”SPLIT2.2:混合モード回路シミュレータ”, 信学技報, **NLP93-86**, pp.9-16, 1994年3月.
- [13] 米原武史, 石田雅基, 西垣正勝, 浅井秀樹, ”緩和シューティング法による非線形回路の定常解析”, 信学技報, **NLP93-87**, pp.17-24, 1994年3月.