

氏名・(本籍)	西 川 幸 成 (三重県)		
学位の種類	博 士 (工 学)		
学位記番号	工博甲第 292 号		
学位授与の日付	平成 19 年 3 月 23 日		
学位授与の要件	学位規程第 5 条第 1 項該当		
研究科・専攻の名称	電子科学研究科 ナノビジョン工学		
学位論文題目	高速度イメージセンサと画像圧縮回路の集積化に関する研究		
論文審査委員	(委員長)		
	教授	下 平 美 文	助教授 橋 本 岳
	教授	竹 林 洋 一	教授 川 人 祥 二

論 文 内 容 の 要 旨

高速度イメージセンサは、高速動作の機器開発や科学技術計測など様々な分野において広く用いられている。最近では、並列読み出し、ランダムアクセス、高集積化が可能という理由から、CMOSイメージセンサを用いた高速度イメージセンサの研究開発が活発に行われている。科学技術計測等の高い信頼性が要求される分野では、高感度・高階調が必要とされるが、これらの要求を満たす高速度CMOSイメージセンサの実現はなされていないのが現状である。さらに、高速度イメージセンサでは、データレートが高速であるために、センサチップと外部半導体メモリ間のデータ転送がボトルネックとなっており、これが超高速撮像の障害となっている。高速度イメージセンサ上に画像圧縮機能を集積し、撮像データを外部半導体メモリに記憶する前に圧縮することが非常に有効な手法であるが、単線出力を前提とした従来の画像圧縮技術は必ずしも適しておらず、画像圧縮を行う演算要素を並列に実装し、圧縮後のデータを並列に出力するための画像圧縮アルゴリズム、ハードウェアの構成が必要となる。

本論文は、高速度イメージセンサに要求される高感度・高階調を実現するためのCMOSイメージセンサに関する研究と高速度イメージセンサ上で超高速画像圧縮処理を実現することを目的とし、そのための画像圧縮アルゴリズムとそのハードウェア構成についての研究を取りまとめたものである。

第1に、高感度・高階調を実現するための高速度イメージセンサの構成について考察し、試作による性能評価の結果について述べている。画素回路では、短い蓄積時間で、十分な感度と低雑音特性を得るために画素内で電圧増幅を行うことが理想的である。そこで、画素回路にチャージアンプと2つのサンプルホールド回路で構成される電子シャッタ機能を持つ高感度画素回路を提案した。高階調を実現するためには、高速度イ

イメージセンサのカラムにおいて、高速で高分解能なA/D変換器をアレイ上に配置することである。カラムにA/D変換器を集積するためには、小面積で低消費電力なA/D変換器が必要とされる。本研究では、従来よりも容量の数を減らし、より高速動作に適した巡回型A/D変換器を提案している。これらの回路を用いて試作したイメージセンサの評価結果から、3,500fps以上の撮像速度と高速度イメージセンサとして初めての12ビット分解能を実現した。感度特性として19.9V/lx・sが得られ、これまでに報告されている高速度イメージセンサの約2倍の感度を実現した。

第2に、高速度イメージセンサ上への並列実装に適した画像圧縮アルゴリズムに関し、符号化効率、ハードウェア規模の両面から検討を行った。そのアルゴリズムとしては、2次元DCTを用いた変換符号化方式に着目した。2次元DCTを用いた変換符号化は、比較的小さいサイズの画素ブロックを単位とした局所的な演算により画像圧縮が行えるために、小容量の入力バッファメモリで済む。また、2次元DCTの処理を行う最適なブロックサイズに関しては、これまで多くの研究がなされ、それらを踏まえて、静止画・動画圧縮の標準規格に8 x 8点2次元DCTが採用されている。しかし、高速度イメージセンサ上への集積化に適した画素ブロックサイズに関しては、検討の余地があり、特に4 x 4点の比較的小規模の画素ブロックサイズに対する処理は、符号化効率を下げることなく、回路規模を削減できる可能性がある。そこで、2次元DCTの処理ブロックや符号化テーブルをいくつ変えた方式を計算機シミュレーションと論理合成ツールによって、符号化効率と回路規模の比較検討を行った。その結果、4 x 4点2次元DCT、4ブロックにまたがるジグザグスキャン、1次元ハフマンテーブルを用いた方式が、少ない回路規模と高い符号化効率を両立でき、並列実装に適していることを明らかにした。

第3に、高速度イメージセンサ上で高速画像圧縮が行えることを実証するための高速度イメージセンサの設計と評価について述べている。イメージセンサ上に集積する画像圧縮回路は、回路の小規模化に有効なDistributed Arithmetic法を適用した4x4点2次元DCT回路、回路が複雑になる除算器の代わりに、2のべき乗を係数とする量子化テーブルによりビットシフト演算のみで実現できる量子化回路、符号化テーブル規模を削減した1次元ハフマンテーブル用いるハフマンエンコーダで構成した。さらに、圧縮された符号データの並列読み出しのために可変長の符号データを固定長の符号データに変換する出力バッファメモリを提案した。これらの回路を用いて、0.25umCMOSイメージセンサプロセスにより設計を行った結果、256 x 256画素、撮像速度10,000fpsの高速度イメージセンサが画像圧縮演算要素を16個並列に実装することで実現可能であることを論理合成・レイアウト合成およびポストレイアウトシミュレーションにより明らかにした。これらにより、並列画像圧縮回路を集積した初めての高速度イメージセンサの実現可能性が示された。

論文審査結果の要旨

本論文は、次世代高速度カメラの実現に向け、従来にない高感度・低雑音特性を実現する CMOS イメージセンサに関する研究と、高速度イメージセンサの I/O ボトルネックを解消し、より高解像度での高速撮像を可能にするイメージセンサ上での高速画像圧縮に関する研究についてのものである。

第1に、高感度・低雑音特性と電子シャッタ機能を両立する高速度イメージセンサの構成について考察し、試作による性能評価の結果について述べている。

本研究では、チャージアンプの原理を高速度イメージセンサの画素回路に応用した新しい電子シャッタ画素回路を提案した。本画素回路と高分解能巡回型 A/D 変換器を集積した高速度 CMOS イメージセンサを試作し、3,500[frame/s]以上の撮像速度、高速度イメージセンサとして初めての12ビット分解能、及びこれまで報告されている最高感度の高速度イメージセンサの約2倍に相当する $19.9[V/lx \cdot s]$ を得た。

第2に、高速度イメージセンサの集積化に適した画像圧縮アルゴリズムおよびハードウェア構成を明らかにするために、比較的回路規模の点で有利であり、高い符号化効率を得られる 4×4 点2次元 DCT に、1次元ハフマンテーブルを組み合わせた方式は画質の劣化の少ない低圧縮率の領域で有利な性質をもち、 8×8 点2次元 DCT と比較して、回路規模を $1/4$ に削減し、符号化速度の点で有利なことを明らかにした。

第3に、並列に画像圧縮回路を集積し、イメージセンサ上で効果的に画像圧縮を行うために、1次元の A/D 変換器アレイ、その出力をブロック単位で記憶するバッファの1次元アレイ及び、それらに対して、2次元 DCT により画像圧縮を行う演算要素を1次元のアレイ状に配置し、1つのコントローラでアレイ全体を制御する SIMD(Single Instruction Multiple Data Stream)型の並列画像圧縮回路を集積化することを提案した。さらに、画像圧縮回路から出力される圧縮された複数の信号に対して、定レートで出力するためのバッファメモリからなる構成を高速度イメージセンサ上で超高速圧縮処理を実現する初めてのアーキテクチャとして提案した。

このようなアーキテクチャを CMOS イメージセンサ上に集積化を行い、 256×256 画素、撮像速度 $10,000$ [frame/s]の高速度イメージセンサが画像圧縮演算要素を16チャンネル並列に実装することで実現可能であることを明らかにした。また、試作チップの性能評価から画像圧縮回路を集積した初めての高速度イメージセンサの実現を確認した。このようなイメージセンサ上での画像圧縮の効果は、特に、100万画素以上の高解像度かつ高速のイメージセンサの実現に有効であることを示し、100万画素の解像度において、 $2,500$ [frame/s]というデジタルイメージセンサとしては、これまでに報告されていない撮像速度の実現可能性を示した。

以上のように、本研究の成果は従来にない高解像度、高速な CMOS イメージセンサ実現に道を拓いたものであり、工学的な価値が高い。よって、本論文は博士(工学)に相応しいものであることを認める。