

電子科学研究科

GD

K

0002513596

R

141

静岡大学附属図書館

静岡大学博士論文

GaAsの液相エピタキシャル成長と
静電誘導デバイスへの応用に関する研究



1996年2月

大学院電子科学研究科
電子応用工学専攻

神谷俊幸

本論文の概要

静電誘導 (SI) デバイスは、高速、高耐圧、低損失といった特長を有しており、高性能なパワーデバイスとして注目されているが、そのほとんどがSiを材料として作製されている。一般的にパワーデバイスにおいては、その内部電力損失を可能な限り低減する必要があり、スイッチングモードで使用される。そのため、オフ時に高耐圧でありインピーダンスが十分に高いこと、オン時にオン抵抗ができる限り小さいこと、スイッチング時間が極めて短いこと等が要求される。また、実際の使用において複数の素子を直列に動作させる場合には、個々の入力電気が電氣的にアイソレートされていることが必要となり、光制御が重要となっている。このような観点において、Siと比較して、直接遷移型、広い禁制帯幅、高い電子移動度、短いキャリア寿命等の物性上の特長をもつGaAsは、パワーデバイス材料として優れており、SIデバイスをGaAsで作製すれば、より一層の高速化、低損失化ができ、また高感度の光制御やオン時の発光が得られ、高性能・新機能パワーデバイスが実現できる。そのため、その実用化が緊急課題となっているが、最適設計ならびに作製プロセス技術が確立されていない。本研究では、GaAsパワーSIデバイスの実用化を目指し、数値シミュレーションにより最適設計値を得て、それを指針としてGaAs SIデバイスの作製技術となる新しい液相エピタキシャル成長技術の開発をおこなっている。

最初に、デバイス作製技術開発の指針として、数値シミュレーションによって、GaAsバイポーラモード静電誘導トランジスタやGaAs静電誘導サイリスタの最適設計値を得た。その結果、高耐圧で大電流・低損失であるGaAsパワーSIデバイスを実現するためには、活性層として厚さが $20 \sim 30 \mu\text{m}$ 、不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、キャリア寿命が $1 \times 10^{-8} \text{ sec}$ 以上である高純度・高品質GaAs層が要求されることがわかった。現在、そ

のような高純度 GaAs 層を活性層に持つデバイスを作製する技術はなく、高純度 GaAs 層の成長はもちろんであるが、オン抵抗の低減に対する要求から基板領域へ高濃度に不純物を添加して低抵抗率にすることが不可欠であり、そのためには格子補償効果や逆エピタキシー等のデバイス作製技術の確立が必要である。

そこで、まずデバイスの基本構造である高濃度不純物添加領域と低不純物濃度領域との接合部で生ずる格子不整合の問題を解決するために、各種不純物を添加した GaAs を LPE 成長して、GaAs 格子定数の不純物に対する依存性を調べ、さらに Te と Si の同時添加により GaAs における格子補償効果の確認実験をおこなった。その結果、Te ドープおよび Se ドープ GaAs の格子定数はアンドープ GaAs に比べて大きく、Si ドープでは逆にアンドープの格子定数より小さくなるが、Ge ドープ GaAs の格子定数はアンドープ GaAs の格子定数とほぼ等しいことがわかった。また、Te と Si の同時添加により高不純物濃度エピタキシャル層の格子定数を制御して、アンドープ基板との格子整合を得ることができるとがわかり、GaAs LPE 成長における格子補償効果が確認できた。

つぎに、高不純物濃度の基板上にデバイス活性領域となる低不純物濃度層をエピタキシャル成長させる通常の方法ではオートドーピングが問題となるので、それを解決するために低不純物濃度の基板上に高濃度不純物添加の厚い結晶層を成長させ、逆にこの高不純物濃度の成長層をデバイスを支持する基板として、もとの低不純物濃度の基板側をデバイスの活性領域とする逆エピタキシーの概念を導入する実験をおこなった。すなわち、本研究ではアンドープ GaAs 基板上への Ge ドープ GaAs 厚膜の LPE 成長をおこなって p^+-i 接合を形成した。その結果、900 °C から 600 °C までの 1 回の徐冷成長により、素子の基板とするのに十分な、300 μm 以上の厚さをもち且つ高キャリア濃度で均一な低抵抗率の p^+ GaAs 層が得られ、さらにキャリア濃度変化が急峻で格子整合性の良い接合が形成できた。

しかし、この格子整合 p^+i 接合を用いて作製した GaAs pin ダイオードを評価した結果、 i 層とした半絶縁性の成長用基板が熱変性して導電性の p 型となっており、高温かつ長時間の成長中に As 抜けが起こっていることがわかり、逆エピタキシーをより低温で短時間に行うことが必要となった。

そのため、逆エピタキシーの低温化・短時間化の方法として、新たに逆エピタキシーの機能である接合の形成およびデバイス基板の形成という二つを分けることを提唱し、Ge/GaAs 構造の使用と Ga-As-Ge 三元溶液の性質を利用した「Ge/GaAs 連続液相エピタキシャル成長」を提案し、その成長実験と評価を行った。その結果、厚い p^+ Ge/ p^+ GaAs ヘテロエピタキシャル成長層が比較的低温・短時間に得られた。成長後においても成長基板は半絶縁性を示しており、低温化・短時間化の効果が表れていた。また、試料の湾曲の GaAs 厚依存性を測定した結果、GaAs 厚が約 $15 \mu\text{m}$ で曲率が零となり、 $10 \mu\text{m}$ 程度の活性層を持つ GaAs SI デバイスの作製法として使用可能であることがわかり、SI デバイスの基本構造となる H-L 接合の形成技術の基礎が確立できた。

そこで最後に、高性能な GaAs SI デバイス活性層領域に要求される高純度かつ高品質な GaAs の成長法を確立を目的として、従来の LPE 成長法で不純物汚染源となっていた高温合成された GaAs 結晶を原料として使用しない、全く新しい LPE 成長法である「溶質“その場”合成 LPE 法」を提案し、実験による原理確認を行った。この方法は、金属 As から蒸発させた As 蒸気を、溶媒かつ溶質原料となる Ga に低温で直接反応させて GaAs を合成し、それを成長溶液として低温で LPE 成長を行うので高純度化に有利である。今後、高純度化のための検討を行うことにより、GaAs SI デバイス活性層に要求される $1 \times 10^{13} \text{cm}^{-3}$ 以下の不純物濃度で、 $1 \times 10^{-8} \text{sec}$ 以上のキャリア寿命をもつ GaAs 層の成長が期待できる。

目 次

第 1 章	序 論	1
1.1	静電誘導デバイス	1
1.1.1	静電誘導デバイスの開発史	1
1.1.2	静電誘導デバイスの動作原理と特徴	3
1.1.3	GaAs 静電誘導デバイス	11
1.2	液相エピタキシー	13
1.3	本研究の目的と各章の概要	14
第 2 章	GaAs 静電誘導デバイスの数値シミュレーション	21
2.1	緒 言	21
2.2	数値解析法	23
2.3	GaAs BSIT のシミュレーション	26
2.3.1	解析方法	26
2.3.2	解析結果	26
2.4	GaAs SITHy のシミュレーション	31
2.4.1	解析方法	31
2.4.2	解析結果	32
2.5	結 言	36

第 3 章	不純物添加の格子定数への影響と格子補償効果	41
3.1	緒 言	41
3.2	不純物添加 GaAs の格子定数と格子補償効果	42
3.3	実験方法	44
3.3.1	液相エピタキシャル成長法による試料の作製	44
3.3.2	成長層と基板の格子定数差の測定	46
3.3.3	成長層のキャリア濃度の測定	47
3.4	結果および考察	48
3.4.1	単一不純物ドーピングの場合	48
3.4.2	二種類の不純物を同時添加した場合	52
3.5	結 言	54
第 4 章	GaAs 格子整合 H-L 接合の LPE 成長	59
4.1	緒 言	59
4.2	GaAs 格子整合 p ⁺ -i 接合の形成の原理	60
4.3	成長実験	61
4.3.1	成長溶液の作成	61
4.3.2	成長方法	62
4.4	成長結果	64
4.5	GaAs pin ダイオードの試作と評価	67
4.5.1	GaAs pin ダイオードの試作	67
4.5.2	pin ダイオードの特性および i 層の評価	69
4.6	結 言	73
第 5 章	Ge/GaAs 連続 LPE 成長	77
5.1	緒 言	77

5.2	Ge/GaAs 構造	78
5.3	Ge/GaAs 連続液相エピタキシャル成長	79
5.4	成長方法	79
5.5	成長結果および成長層の評価	82
5.6	基板の湾曲の評価	88
5.6.1	測定方法	88
5.6.2	測定結果および考察	89
5.7	結 言	93
第 6 章	溶質“その場”合成 LPE 法による高純度 GaAs の成長	97
6.1	緒 言	97
6.2	溶質“その場”合成 LPE 法の原理	98
6.3	実験方法	99
6.3.1	実験装置	99
6.3.2	実験手順	101
6.4	実験結果および考察	101
6.5	結 言	105
第 7 章	結 論	107
	謝 辞	110
	研究業績目録	111

第 1 章

序 論

1.1 静電誘導デバイス

1.1.1 静電誘導デバイスの開発史

今世紀後半，エレクトロニクスは我々の生活環境および産業のあらゆる分野を著しく変革し，進展させてきた。このエレクトロニクスは，トランジスタに代表される半導体デバイスの出現によって急速な発展を遂げたものであり，半導体技術こそがエレクトロニクスの中核を成すものである。すなわち，現代の我々の生活は半導体技術によって支えられていると言っても過言ではない。そのため，半導体デバイスの高性能化・新機能化を目指した研究・開発が一層盛んに行われている。

そのような中，近年注目されてきたデバイスの一つが，静電誘導 (Static Induction : SI) デバイスである。しかし，SIデバイスの歴史は意外に古く，Shockleyによりpn接合理論が明らかにされ，バイポーラトランジスタ (BPT) が発明された [1] 翌年にあたる1950年には，すでに西澤により静電誘導トランジスタ (Static Induction Transistor : SIT) の基本原理が発明され，「高抵抗を有する半導体器具」として特許出願されている [2]。西澤は，彼が同年既に発明していたpinダイオードの理論を応用して，理想的なトランジスタとしてこれを考え出した。

これとほぼ同時期の1952年、基本的にSITと同じ構造をもつアナログトランジスタがShockleyによって提案されている [3]。このトランジスタの発想の概念は、三極真空管の各部をそれとほぼ同等の役割をする半導体に置き換えることにより、真空管と同様の三極管特性を持つ半導体素子を得ようというものであった。

1964年にTesznerによって提案されたグリッドスタと [4]、1967年にZuleegによって発表されたマルチチャネル電界効果トランジスタは [5]、接合型電界効果トランジスタ (JFET) の高性能化の観点から生み出されたもので、SITと非常に類似した構造を持っている。これらのデバイスは、電流飽和のない三極管特性を示したが、活性領域の不純物濃度が十分に低くないため空間電荷制限理論に基づいて動作しておりSITとは別のデバイスであると理解される。

1971年に西澤らはSITの試作に成功し、その動作機構を理論的に解析した。彼らは、まず電界効果トランジスタ (FET) の電流飽和が、チャネル (channel) の直列抵抗による負帰還効果により起こることを示した。そして、チャネル長を短くしてこの負帰還抵抗を可能な限り小さくしたSITでは、電流が飽和しない三極管特性が得られることと、低電流域では電流は電圧に対して指数関数的に増加し、空間電荷制限理論には従わないことを実験的および理論的に証明した [6]。

その後、零ゲートバイアス時にオフ状態を示すノーマリオフ型のSITも考案された [7]。これは、ゲートに順方向バイアスをしてチャネルに少数キャリアの注入を行うことにより動作し、バイポーラモード静電誘導トランジスタ (Bipolar mode Static Induction Transistor : BSIT) と名付けられた [7]。

また、1975年にはSITをサイリスタ化した静電誘導サイリスタ (Static Induction Thyristor : SIThy) が発明されている [8]。SIThyの大きな特長は、自己消弧能力を持つことで

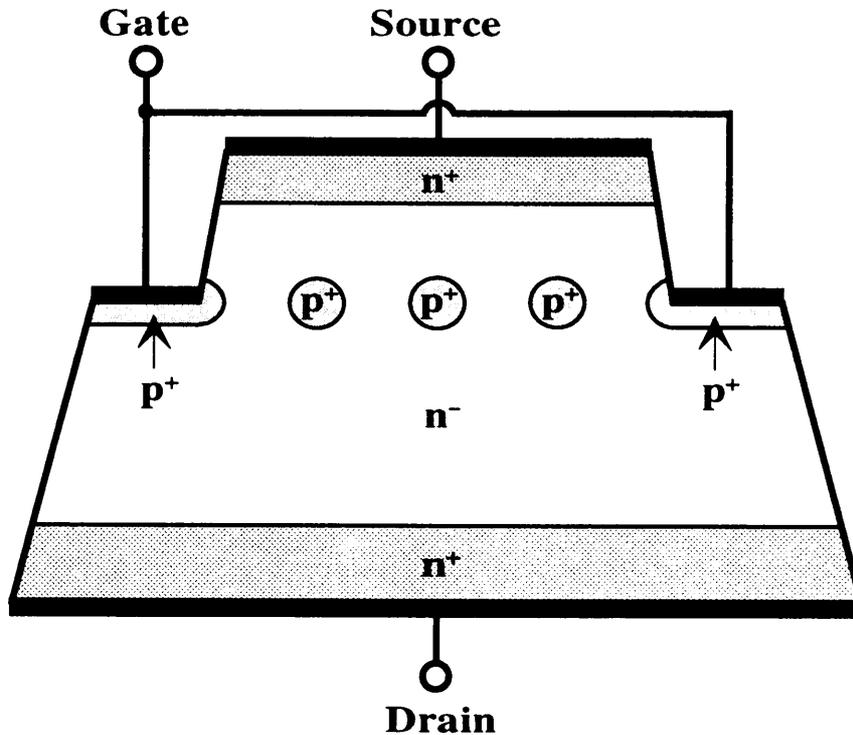


図1.1 SITの断面構造(埋め込みゲート構造)

ある。ゲートターンオフサイリスタ (Gate Turn-Off Thyristor : GTO) も自己消弧能力を持つが、SIThyの方が高速性能および低損失性能の点ではるかに優れている。

SITやSIThyは、ゲートーソース(又はカソード)間がpin構造となっているため、これを受光部として高感度の光制御が可能であり、光制御のSIデバイスとして静電誘導フォトトランジスタ (Static Induction Phototransistor : SIPT) [9,10]や、光トリガ光クエンチSIサイリスタ (Light Trigered and Light Quenched SIThy : LTQ-SIThy) [11-13]が開発されている。

1.1.2 静電誘導デバイスの動作原理と特徴

SIデバイスはその名に示されるように、静電誘導効果を利用して流れる電流を制御するデバイスである。SITの断面構造の概念図を図1.1に示す。SITにはゲートの構造に幾つかのタイプがあり、それぞれに特徴があるが、これは埋め込みゲート構造と呼ばれるも

ので、高耐圧、大電力に向いている。SITの構造は、JFETのそれと類似しているが、その特徴は極端に短いチャネル長(すなわちゲート長)とチャネル領域の不純物濃度の低さである。チャネル長が短いために、非常に低いチャネル抵抗が実現される。また、チャネル領域が低不純物濃度であるために、零ゲートバイアスないし微小ゲートバイアスでチャネル中に空乏層が拡がり、電位障壁が形成される。

図1.2は、ノーマリオン形SITの動作メカニズムを説明したもので、(a)のようにSITにドレイン電圧 V_{DS} 、ゲート電圧 V_{GS} を印加したときの、ソースドレイン間のチャネル中心線上に沿った電位分布(b)、ゲート-ゲート間のチャネル横方向の電位分布のゲート電圧に対する変化(c)およびドレイン電圧に対する変化(d)を示している。ピンチオフ電圧 V_P に対して、高いゲート電圧 V_{GS} を印加するとゲート近傍の電位は上昇し、チャネル内に真性ゲートと呼ばれる電位障壁が形成される。この電位障壁は、ソースからのキャリアの注入を阻止するので、ゲート電圧により電位障壁高を変化させ、ドレイン電流の制御が可能となる。この電位障壁が十分に高くなると、ソースからのキャリアの注入は完全に阻止され、オフ状態となる。ピンチオフ電圧 V_P に対して、ゲート電圧 V_{GS} が小さい場合は、電位障壁がなくなりオン状態となる。一方、ドレイン電圧 V_{DS} を増加するとそれに伴ってデバイス活性領域の電位分布は引き下げられ電位障壁高が低下する。このように、チャネル内の電位障壁の高さは、静電誘導効果のためにゲートやドレインに印加するバイアスによって変化する。電位障壁を乗り越えるキャリアの濃度は、マクスウェル・ボルツマン分布則に従い、電位障壁を越えたキャリアは印加されている電界によってドレインまで飽和速度でドリフト走行する。したがって、低電流領域においてSITのドレイン電流はドレイン電圧に対して指数関数的に増大する。

ノーマリオン形のSITは、次のような特徴を持っている。ユニポーラデバイスであり、

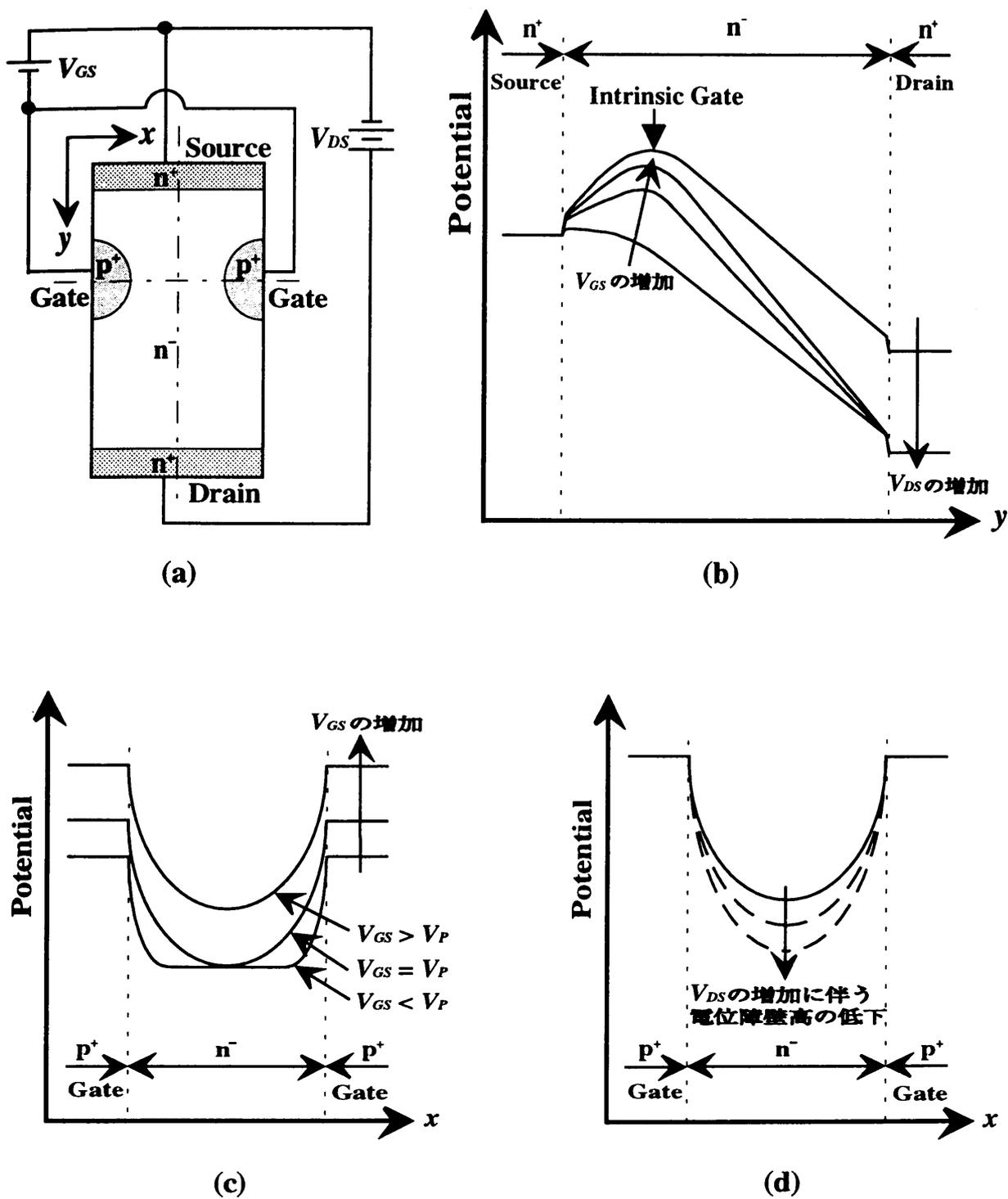
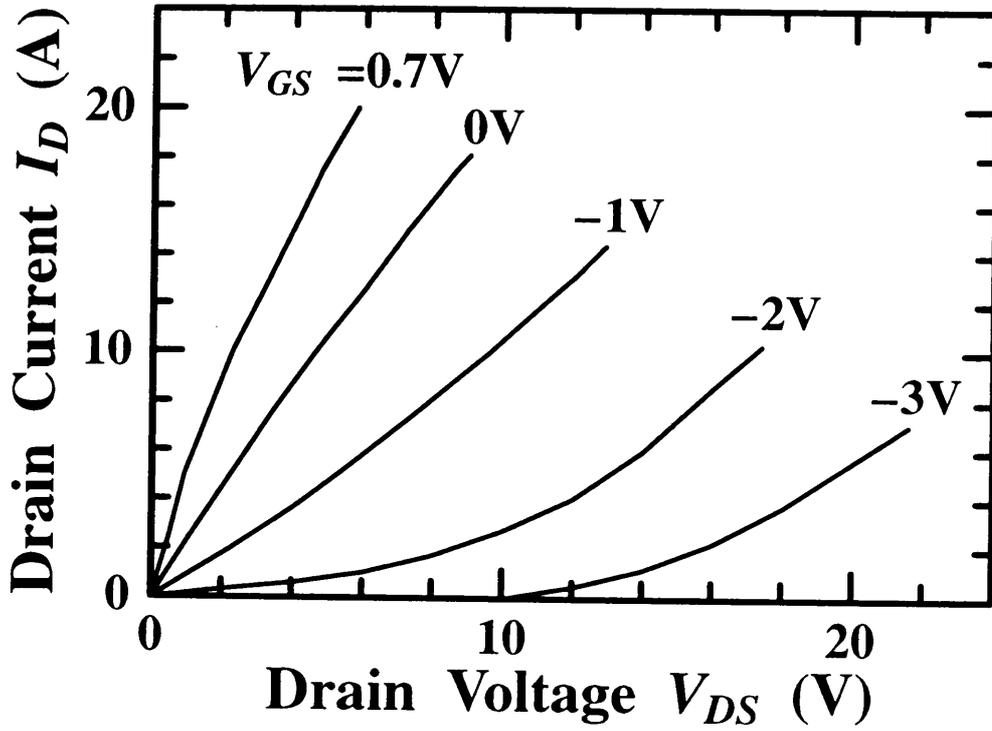


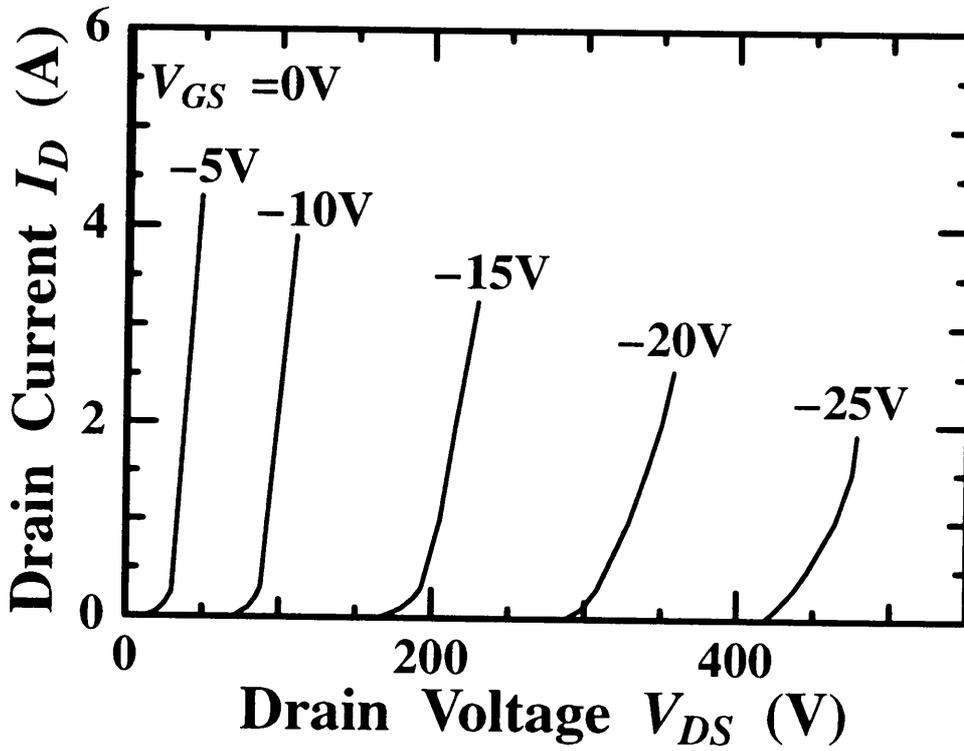
図 1.2 SIT の動作メカニズム : (a) 断面構造, (b) チャネル中心線上における電位分布, (c) ゲート電圧に対するチャネルの横方向電位分布の変化, (d) ドレイン電圧に対するチャネルの横方向電位分布の変化

キャリアの蓄積がないので高速スイッチングが可能である。ゲートの逆方向バイアス電圧によって制御されるデバイスであり、入力インピーダンスが高く、駆動電力が小さい。チャンネル抵抗とゲート分布容量が共に小さく、高周波特性に優れている。また、チャンネル抵抗が小さいため、熱雑音が非常に少なく、出力電流電圧特性は指数関数特性を示し飽和しない。大電流領域では僅かに残っている内部抵抗のため、電流の温度特性が負となり、熱暴走が起こりにくい。図1.3にドレイン電圧対ドレイン電流の特性例を示す。同図(a)は大電流低電圧領域、(b)は小電流高電圧領域のものである。さらに、SITは各電極間に低不純物濃度領域が存在する構造であるため、電極間の降伏電圧が比較的高い。このように、SITは高速、高周波、高耐圧、低歪、低雑音、負の温度特性等の優れた特長を有しているため、様々な応用に適しており、特にパワーデバイスとしてその超高速・大電力性能は他に類するデバイスがない。

SITのゲートとゲートの間隔を狭くしたり、チャンネル領域の不純物濃度を低くすると、拡散電位によって十分に高い電位障壁がチャンネル内に形成され、ゲートソース間にバイアスを印加しない状態でドレイン電流が流れないノーマリオフ特性のSITとなる。ノーマリオフ特性のSITでは、ゲートソース間に順方向バイアスを印加して、ゲートから少数キャリアを注入し、電位障壁を下げることによって、ドレイン電流が流れるというバイポーラ動作をする。そのため、ノーマリオフタイプのSITはバイポーラモードSIT (BSIT) と呼ばれる。BSITは、BPTとほぼ同様の飽和特性を示し、ゲートに流す電流に応じてドレイン電流が変化する。図1.4にBSITの出力電流電圧特性を示す。BSITは、オン状態においてデバイス活性領域のほぼ全域が導電率変調を起こすので、非常に高い電流密度と、極めて低いオン電圧が得られる。BSITの最大の特長は、この大電流かつ低損失であることで、非常に優れたパワーデバイスである。しかし、キャリアの蓄積によりターンオフ時



(a)



(b)

図1.3 SIT の出力電流電圧特性例 : (a) 大電流低電圧領域, (b) 小電流高電圧領域 [14]

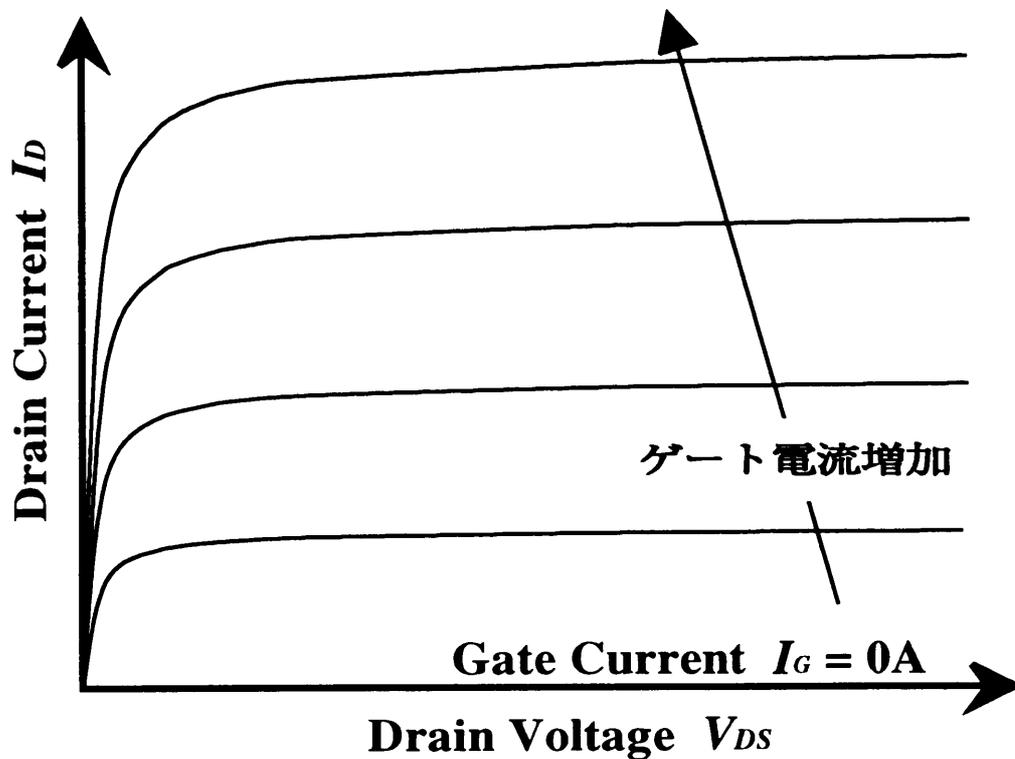


図1.4 BSIT の出力電流電圧特性

に蓄積時間が存在するため、高周波動作においてはスイッチング損失が大きくなることが問題となっている。

図1.5はSIThyの断面構造 (a), およびカソードーアノード間のチャンネル中心線上に沿った縦方向の電位分布 (b) を示す。SIThyは、pinダイオードのi層内に p^+ ゲートを設けた構造となっている。このゲート構造は、表面ゲート構造と呼ばれるもので、プロセスが簡単で量産性が高いこととゲート抵抗が低くできる長所がある。SIThyの動作原理は、基本的にはSITと何等変わりがなくチャンネルに形成される電位障壁により電流が制御される。従ってSIT同様、ノーマリオンおよびノーマリオフタイプがある。SIThyは、導通状態ではpinダイオードとして動作している。ゲートーカソード間に逆方向バイアスを印加すると、ゲート近傍の活性領域内の正孔がゲートに、また電子がカソードに掃き出され、チャンネル部に空乏層が形成される。このとき、チャンネル内には電子に対する電位障壁が形

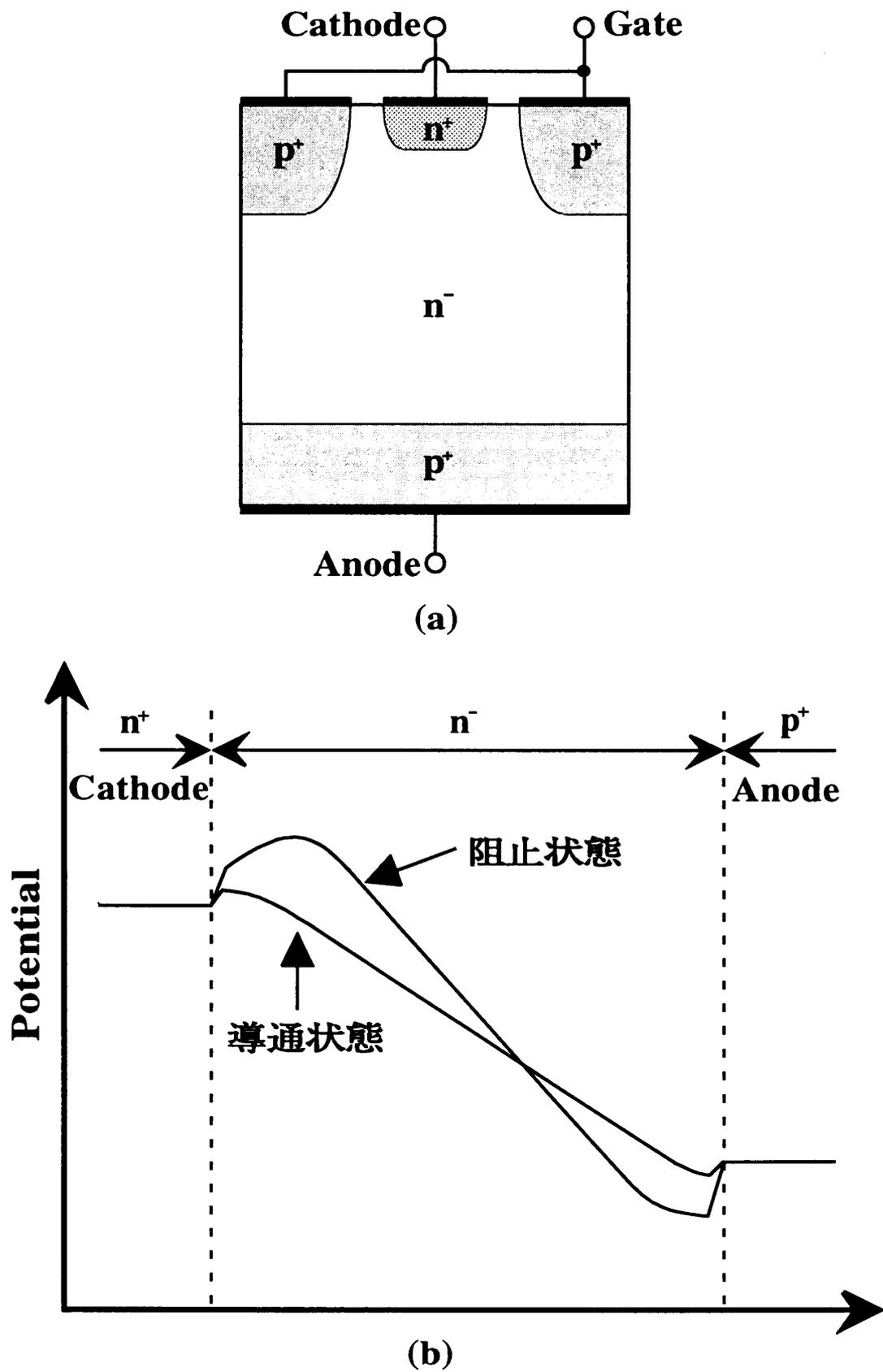


図1.5 (a) SITHyの断面構造 (表面ゲート構造), (b) カソードーアノード間のチャネル中心線上に沿った縦方向の電位分布

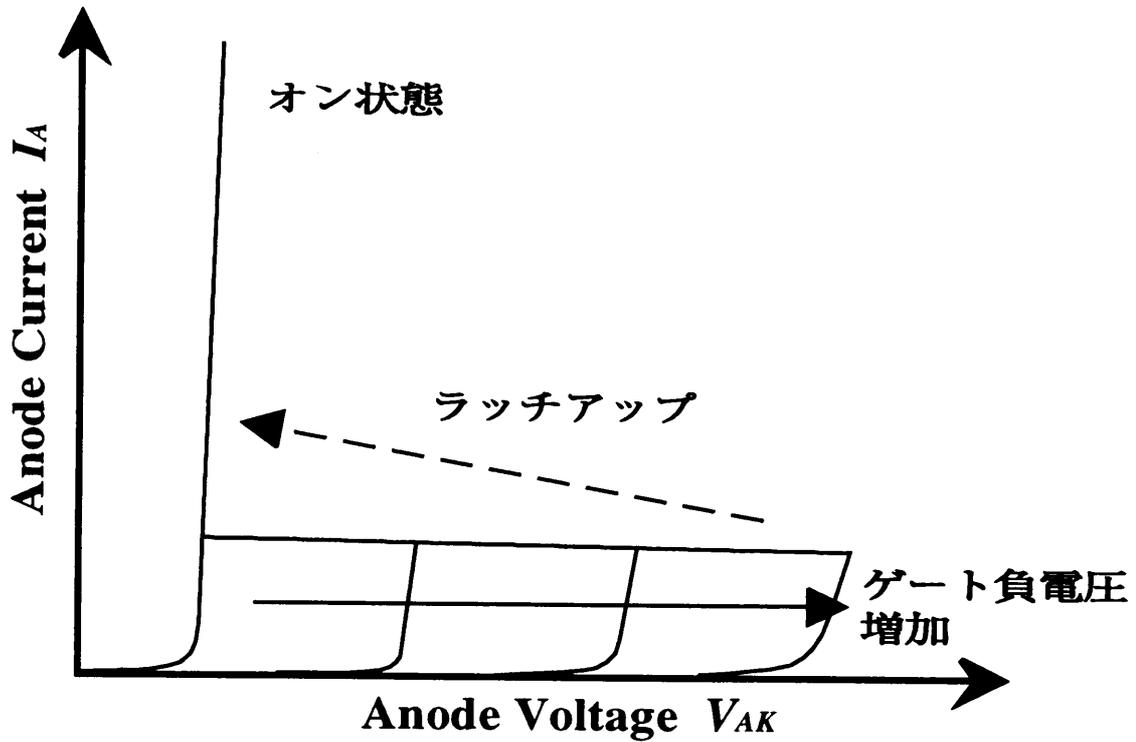


図 1.6 SIThy の電流電圧特性

成され、カソードからの電子の注入は停止し、次いでアノードからの正孔注入もなくなるので、SIThy はターンオフする。一方、阻止状態にある SIThy の電位障壁を下げ、カソードから電子が注入されると、アノード近傍のデバイス活性領域の正孔に対する電位を低下させるので、アノードから正孔が注入される。この正孔は、さらにチャネルの電位障壁を低下させる正帰還が働き、ターンオンする。この電位障壁の高さは、ゲートに印加する逆バイアスを大きくすると増大し、アノード電圧を高くすると減少するという静電誘導効果を生じる。

図 1.6 に、SIThy の電流電圧特性を示す。ゲートに印加する逆電圧を大きくしていくと阻止電圧が増大する。ノーマリーオフ特性の場合は、零ゲートバイアスにおいて高い電圧が阻止でき、ゲートに電流を流し込むことによってオン状態となる。この特性は、GTO と同様な特性であるが、オンに必要なゲート電流は非常に小さく、オン感度は高い。

SIThyは、その電流経路が基本的にpinダイオードなので、オン状態において活性領域内が導電率変調され、非常に高い電流密度が得られ、また非常に低損失である。そして、従来のサイリスタやGTOに比べて駆動電力が小さく、高速である。また、GTO等の他形式のサイリスタのようなpnpnの4層構造デバイスに比較して、接合数が少ない分オン電圧を低くできる。しかし、バイポーラデバイスであるので、BSITと同様、キャリアの蓄積のためにターンオフ時のスイッチング速度が遅く、スイッチング損失が大きいという問題点がある。一般に、ターンオフ損失を低減するために、電子線照射、プロトンやヘリウム照射、重金属拡散といったキャリアライフタイム制御技術によって、蓄積時間を短縮する方法がとられているが、その結果オン電圧が上昇するというトレードオフがある。

1.1.3 GaAs 静電誘導デバイス

一般的に、パワーデバイスには内部電力損失を可能な限り低減することが要求され、そのためスイッチングモードで使用される。スイッチングにおける素子の内部電力損失は、オフ時の漏れ電流による損失、オン電圧降下による損失およびスイッチングの過渡期間における損失の三種に分けられる。従って、これらを低減するために、パワーデバイスが具備すべき基本的条件として、

- (1) スイッチ・オフのとき、高耐圧であり、またインピーダンスが十分に高いこと。
- (2) スイッチ・オンのとき、オン抵抗ができる限り小さいこと。すなわちオン電圧が小さいこと。
- (3) ターンオン、ターンオフにおけるスイッチング時間が極めて短いこと。

等が挙げられる。さらに、実際のパワーエレクトロニクス回路での使用において、定格電流値および定格電圧値が十分に高いこと、必要な制御入力ができる限り小さいこと等の条件が要求される。また、高電圧化等のため複数の素子を直列に使用する場合など、個々の

入力が電氣的にアイソレートされている必要があり、容易に信頼性の高い回路を実現するために、光入力制御できることが重要となっている。

既に述べたようにSIデバイスは非常に優れたパワーデバイスであり、精力的に研究が行われているが、これまでに作製されたSIデバイスはそのほとんどがSi (シリコン) を材料として作製されたものであった。しかし、III-V族化合物半導体であるGaAs (砒化ガリウム) を材料とした場合には、Siよりもさらに高性能で、また新機能を有するSIデバイスを実現することができる。

GaAsはSiよりも禁制帯幅が大きいために、高耐圧となり且つ高温での動作が可能となる。また、GaAs結晶内ではSi結晶内と比較して電子の移動度が高い上に、キャリアのライフタイムが非常に短いので、素子のより一層の高周波・高速動作が可能となり、素子内部の電力損失を大きく低減することができる。とくに、バイポーラデバイスであるBSITやSIThyでは、ライフタイム制御を行わなくても真性半導体の特長を生かしたままで、本質的な問題であるターンオフ時のキャリアの蓄積時間が大幅に短縮できる。さらに、GaAsは直接遷移型の半導体なので、光入力信号に対する高い受光感度が得られる上に、バイポーラモードで動作するSIデバイスではオン状態において、電子、正孔の活性領域内への高注入が起きるので高効率の赤外発光が得られる。従来のSiのSIデバイスでも、光制御は可能であったが [9,12]、オン状態での発光はGaAs等直接遷移型半導体特有の性質である。このようにGaAs SIデバイスは受発光型の電力用超高速スイッチング素子というこれまでにない高性能・新機能パワーデバイスとして大きな可能性を秘めている。

ところが、GaAsのデバイス作製技術はSiと比較するとはるかに問題点が多く、GaAsを用いて作製されたSIデバイスに関する報告は未だ数少なく、SITやBSITに関してはいくつも見られるものの [15-19]、GaAs SIThyに関する報告はまだない。

高利得，高耐圧，低損失といった高性能な GaAs SI デバイスを実現するためには，まず素子の直列抵抗の低減や高濃度のキャリア注入のために電極領域には高濃度に不純物が添加されていることが不可欠であり，さらにキャリア注入および静電誘導効果の高効率化の観点から，SI デバイスの活性領域となる低不純物濃度層 (L 層) が十分に低い不純物濃度で，その L 層と電極領域の高不純物濃度層 (H 層) との接合 (H-L 接合) において急峻な不純物濃度プロファイルをもつ必要がある。また高耐圧化のためには，L 層にはある程度の厚さが要求される。

しかし，GaAs は蒸気圧の著しく違う二元素からなる化合物半導体であるため，完全に化学量論的組成の結晶を得ることが困難であり，その上原料も Si のように高純度に精製する技術がないので，真性半導体といえるような十分に不純物濃度が低く完全性の高い GaAs 結晶の成長法はなく，その確立が必要である。また，高不純物濃度の低抵抗基板上に低不純物濃度のエピタキシャル層を成長させる従来の技術ではオートドーピングの問題や大きな不純物濃度差による格子不整合の問題から，高品質で急峻な不純物濃度プロファイルをもつ H-L 接合を得ることは非常に困難であるので [20,21]，逆に低不純物濃度の成長基板上に高濃度に不純物を添加した厚いエピタキシャル層を成長させて，この高不純物濃度層をデバイスを支持する基板として，もとの低不純物濃度の成長基板側をデバイス活性領域とする逆エピタキシー [22] の概念を導入した格子整合 GaAs H-L 接合の作製法の開発が急務となっている。

1.2 液相エピタキシー

液相エピタキシー (Liquid Phase Epitaxy : LPE) とは，低融点金属を溶媒とし，成長させるべき半導体原料を溶質として飽和溶解した溶液をつくり，溶解度の温度依存性を利

用して過飽和状態にした溶質を，種子基板結晶上にそれと結晶方位が一致した単結晶として析出させる方法である。溶質は外部から作用を受けずに，それ自身の拡散によって基板に到達し析出するために，熱平衡に近い状態で成長が行われる。

従来，LPE 成長法は，半導体レーザや発光ダイオード等の III-V 族化合物半導体デバイスの主要な製作技術として，重要な役割を果たしてきた。しかし，デバイスに対する一層の高性能化の要求から，より微細構造が必要となっており，有機金属気相エピタキシー (OMVPE) 法や分子線エピタキシー (MBE) 法等の技術の進歩と共に，それらに主役の座を明け渡している。

しかしながら LPE 法は，成長速度が大きく厚い層の成長が可能，熱平衡状態に近い成長のため構造欠陥の少ない完全性の高い結晶が容易に得られる， H_2 ベーキングによる溶液の精製が可能で高純度な成長層が得られる [23] 等，他の成長法にはない特長を有している。

従って，LPE 法は高純度・高品質 GaAs の成長法や逆エピタキシーによる高品質 H-L 接合の形成法として最適な方法であるので，本研究では LPE 法を用いてこれら GaAs パワー SI デバイスの作製技術を開発を行っている。

1.3 本研究の目的と各章の概要

本研究は，高性能・新機能デバイスとして期待される GaAs パワー SI デバイスの作製技術となる新しい液相エピタキシャル成長技術の開発に関するものであり，以下の点を目的としている。

- (1) GaAs SI デバイスが性能を発揮できる活性層の厚さやキャリア濃度などの最適な構造を明らかにする。

- (2) GaAs の格子定数の不純物に対する依存性を明らかにし, GaAs LPE における格子補償効果を確立する。
- (3) 逆エピタキシーによる急峻な H-L 接合をもつ GaAs SI デバイス用基板の作製技術を確立する。
- (4) GaAs SI デバイスの活性層に使用できる高純度・高品質 GaAs 層の成長法を開発する。

本論文の構成は次のとおりである。第 2 章では, デバイス作製技術の開発指針となる GaAs BSIT や GaAs SIThy の最適設計値を得るために, 数値シミュレーションを行う。BSIT については二次元シミュレーションにより, 定常状態での特性をキャリア寿命を変化させて求め, キャリア寿命の短い GaAs での BSIT の動作を検討する。また, SIThy についてはその基本的構造である pin ダイオードの一次元シミュレーションを行い, その順方向特性が活性層厚にどのように依存するか調べる。これらの結果から, GaAs SI デバイス活性層に要求される厚さ, キャリア濃度, キャリア寿命を明らかにする。

第 3 章では, アンドープ GaAs 基板上に各種不純物を添加した GaAs を LPE 成長して, GaAs の格子定数の不純物に対する依存性を調べる。その結果をもとに Te と Si の同時添加を行い, GaAs LPE 成長における格子補償効果の基礎的な知見を得る。

第 4 章では, アンドープ GaAs 基板上に Ge ドープ GaAs 厚膜を LPE 法によって逆エピタキシーすることにより, 格子整合 p^+i 接合を作成し, その接合部での不純物濃度分布の急峻性や格子整合性の評価を行う。次に, この技術によって形成した格子整合 p^+i 接合を用いて GaAs pin ダイオード試作し, 本方法の GaAs SI デバイス作製技術としての評価を行う。

第 5 章では、第 4 章でおこなった逆エピタキシーによる p^+i 接合作製の低温化・短時間化の方法として、新たに Ge/GaAs 構造の使用と Ga-As-Ge 三元溶液の性質を利用した「Ge/GaAs 連続液相エピタキシャル成長」を提案する。そして、連続 LPE 成長による厚い $p^+ \text{Ge}/p^+ \text{GaAs}$ ヘテロ構造の成長実験を行い、その成長層を評価する。また、試料の湾曲の GaAs 厚依存性を測定し、逆エピタキシーの成長法としての検討を行う。

第 6 章では、GaAs SI デバイスの活性層として要求されるこれまでにない高純度・高品質な GaAs 層の成長を目的として、全く新しい LPE 成長法である「溶質“その場”合成 LPE 法」を提案し、実験により原理の確認を行う。

第 7 章は本論文の結論であり、本研究で得られた研究成果および今後の研究課題を総括して述べる。

参考文献

- [1] W. Shockley, "The theory of p-n junctions in semiconductors and p-n junction transistors," *Bell Syst. Tech. J.*, **28**, pp. 435–489, 1949.
- [2] 西澤潤一，渡辺寧：高抵抗を有する半導体器具，日本国特許第205068号（1950年12月出願，特許公報28-6077）.
- [3] W. Shockley, "Transistor electronics : Imperfections, unipolar and analog transistor," *Proc. of IRE.*, **40**, pp. 1289–1313, 1952.
- [4] S. Tetzner and R. Gicquel, "Gridistor – a new field-effect device," *Proc. IEEE*, **52**, pp. 1502–1513, 1964.
- [5] R. Zuleeg, "Multi-channel field-effect transistor," *Solid-State Electron.*, **10**, pp. 559–576, 1967.
- [6] J. Nishizawa, T. Terasaki and J. Shibata "Field effect transistor versus analog transistor (static induction transistor)," *IEEE Trans. Electron Devices*, **ED-22**, pp. 185–197, 1975.
- [7] J. Nishizawa, T. Ohmi, Y. Mochida, T. Matsuyama and S. Ishida, "Bipolar mode static induction transistor (BSIT) – high speed switching devices," *IEDM Tech. Dig.*,

pp. 676–679, 1978.

- [8] J. Nishizawa and K. Nakamura, “Characteristics of a new thyristor,” *Proc. 1976. Int. Conf. on Solid State Devices*. (Tokyo, Japan). *Jap. J. Appl. Phys.*, suppl., **16-1**, p. 541, 1977.
- [9] J. Nishizawa, T. Tamamushi and S. Suzuki, “A very high gain and a wide dynamic range static induction phototransistor,” *IEEE Electron Device Letters*, **EDL-6**, pp. 17–19, 1985.
- [10] J. Nishizawa, T. Tamamushi and T. Ohmi, “Static induction transistor image sensors,” *IEEE Trans. Electron Devices*, **26**, pp. 1970–1977, 1979.
- [11] J. Nishizawa, T. Tamamushi and K. Nonaka, “A very high-sensitivity, high-speed light triggered and light quenched static induction thyristor (LTQ SI Thy),” *IEDM Tech. Dig.*, pp. 435–438, Dec. 1984.
- [12] J. Nishizawa, T. Tamamushi, K. Nonaka and H. Watanabe, “Fabrication and optical-switching results on the integrated light-triggered and light-quenched static induction thyristor,” *IEEE Trans. Electron Devices*, **ED-33**, pp. 2031–2040, 1986.
- [13] J. Nishizawa, T. Tamamushi, K. Nonaka and S. Shimomura, “Fabrication and optical-switching results of the double-gate static induction thyristor with the first planar-gate and the second buried-gate structure,” *IEEE Electron Device Letters*, **EDL-7**, pp. 175–178, 1986.
- [14] 西澤潤一, *SI デバイス*, p. 19, (オーム社, 1995 年)

- [15] P. M. Campbell, W. Garwacki, A. R. Sears, P. Menditto and B. J. Baliga, "Trapezoidal-groove shottky-gate vertical-channel GaAs FET (GaAs static induction transistor)," *IEEE Electron Device Letters*, **EDL-6**, pp. 304–306, 1985.
- [16] M. Mori and T. Yatsuo, "A high voltage GaAs power static induction transistor," *Extended Abstract of the 19th Conf. on Solid State Devices and Materials*, (Tokyo), pp. 279–282, 1987.
- [17] G. Schweeger, G. Cocorullo F. G. Della Corte, H. L. Hartnagel, G. Vitale and P. Spirito, "GaAs vertical JFET operated in bipolar mode (GaAs BMFET)," *Electronics Letters*, **27**, pp. 1097–1098, 1991.
- [18] G. Schweeger, F. G. Della Corte and H. L. Hartnagel, "Design and characteristics GaAs BMFET." *Microelectronic Engineering*, **15**, pp. 313–316, 1991.
- [19] P. Hadizad, J. H. Hur, H. Zhao, K. Kaviani, M. A. Gundersen and H. R. Fetterman, "A high-voltage optoelectronic GaAs static induction transistor," *IEEE Electron Device Letters*, **EDL-14**, pp. 190–192, 1993.
- [20] G. R. Srinivasan, "Autodoping effects in silicon epitaxy," *J. Electrochem. Soc.*, **127**, pp. 1334–1342, 1980.
- [21] Y. Sugita, M. Tamura and K. Sugawara, "Misfit dislocations in bicrystals of epitaxially grown silicon on boron-doped silicon substrates," *J. Appl. Phys.*, **40**, pp. 3089–3094, 1969.

- [22] T. Sukegawa, M. Kimura and A. Tanaka, "Fabrication of p-i-n Photodiodes on LPE-grown Substrates," *IEEE Electron Device Lett.*, **EDL-10** pp. 20-22, 1989.
- [23] T. Amano, S. Kondo, H. Nagai and S. Maruyama, "Ultrahigh purity liquid phase epitaxial growth of GaAs," *Jpn. J. Appl. Phys.*, **32**, pp. 3692-3699, 1993.

第 2 章

GaAs 静電誘導デバイスの数値シミュレーション

2.1 緒 言

半導体デバイスのシミュレーションとは、理論に基づいた解析を通じてデバイスに関する様々な情報を得る技術である。すなわち、半導体の電気伝導現象に関する基本方程式を解き、得られた結果を用いて、デバイスの動作原理の解析や電気的特性の予測やデバイス設計等を行うことである。半導体の基本方程式は、Poisson 方程式と電流連続方程式からなるが、これらの方程式は非線形であるために解析的に解くには限界があり、現実のデバイス構造における厳密な解を求めることはできない。そこで、これらの方程式をコンピュータを用いて数値計算により厳密に解くのが、数値解析法であり、これから得られるデバイスについての情報は、半導体デバイスの開発における要求を充分満たすものであり、試作をしなくてもその性能が予測できる。

これまでに、SIデバイスに対しても数値シミュレーションが行われ、その動作機構や設計基準が明確にされてきた [1-5]。しかし、これらはすべて Si によって作製されたデバイスについてのシミュレーションであった。

パワーデバイスにおいては、その内部での電力損失が限りなく少ないことが要求され

る。そこで、一般にパワーデバイスはスイッチングモードで使用される。従って、パワーデバイスには、オフ時に高耐圧でありインピーダンスが十分に高いこと、オン時にオン抵抗ができる限り小さいこと、スイッチング時間が極めて短いこと等が必要である。また、高電圧化等のため複数の素子を直列に使用する場合には、個々の入力電圧が電氣的にアイソレートされている必要があり、光制御が重要となっている。そのような観点において、GaAsはSiに比べて、広い禁制帯幅、高い電子移動度、短いキャリア寿命、直接遷移型等の物性上の特長をもつので、GaAs SIデバイスは、高耐圧、高速、光入力信号に対する高い受光感度、高効率の赤外発光等の特長を有する高性能・新機能パワーデバイスとして有望である。しかし、その作製プロセス技術が確立されていないため、数例の試作の報告 [6-10] があるだけで十分な検討がなされてはいない。GaAsでは極端にキャリア寿命が短いため、デバイスの性能や最適設計値はSiの場合とは全く違って来るはずであるが、これらは明らかにされていない。電力用GaAs SIデバイスの作製技術の開発を行うためには、これらの検討をしておく必要がある。

そこで本章では、電力用GaAs SIデバイスの最適な設計値を得ることを目的としておこなった、GaAs BSITやSIThyの数値シミュレーションについて述べる [11, 12]。まず、二次元シミュレーションにより、BSITの定常状態での特性をキャリア寿命を変化させて求め、キャリア寿命の短いGaAsにおけるBSITの動作を検討する。また、SIThyについてはその基本的構造であるpinダイオードの一次元シミュレーションを行い、その順方向特性が活性層厚にどのように依存するかを調べる。これらの結果から、GaAs SIデバイス活性層として要求される厚さ、キャリア濃度、キャリア寿命を明らかにする。

2.2 数値解析法

以下に、本章の GaAs SI デバイスの数値シミュレーションに用いたモデルを示す。半導体デバイスの動作解析に用いる基本方程式は、電荷の保存を表す Poisson 方程式、

$$\nabla^2 \psi = -\frac{q}{\varepsilon} (p - n + N_D - N_A) \quad (2.1)$$

および、キャリア数の保存を意味する電子、正孔の連続方程式、

$$\frac{\partial n}{\partial t} - \frac{1}{q} \nabla \mathbf{J}_n = -R \quad (2.2)$$

$$\frac{\partial p}{\partial t} + \frac{1}{q} \nabla \mathbf{J}_p = -R \quad (2.3)$$

からなる。ここで、 ψ は電位、 q は素電荷、 ε は誘電率、 n と p は電子および正孔の濃度、 N_D と N_A はイオン化されたドナーおよびアクセプタ濃度、 R はキャリアの生成・再結合割合である。また、 \mathbf{J}_n と \mathbf{J}_p は電子と正孔の電流濃度であり、ドリフト・拡散モデルを用いて次式で表される。

$$\mathbf{J}_n = qn\mu_n \mathbf{E} + qD_n \nabla n \quad (2.4)$$

$$\mathbf{J}_p = qp\mu_p \mathbf{E} - qD_p \nabla p \quad (2.5)$$

$$\mathbf{J} = \mathbf{J}_n + \mathbf{J}_p - \varepsilon \frac{\partial}{\partial t} (\nabla \psi) \quad (2.6)$$

ここで、 μ_n と μ_p は電子および正孔の移動度、 \mathbf{E} は電界、 D_n と D_p は電子および正孔の拡散係数である。ここで行うのは素子の直流定常状態のシミュレーションであるので、式(2.2)、(2.3)、(2.6)の時間微分項は零となる。

電子濃度 n と正孔濃度 p はボルツマン分布で近似して、

$$n = n_i \exp \left[\frac{q}{kT} (\psi - \phi_n) \right] \quad (2.7)$$

$$p = n_i \exp \left[\frac{q}{kT} (\phi_p - \psi) \right] \quad (2.8)$$

と表される。ここで、 n_i は真性キャリア濃度、 k はボルツマン定数、 T は絶対温度、 ϕ_n と ϕ_p は電子と正孔の擬フェルミ電位である。

キャリア移動度 μ_n , μ_p は、以下のように不純物濃度 N_B と電界強度 E に依存するとした [13]。

$$\mu_n = \mu(N_B) \frac{1 + \left(\frac{v_{sat}}{\mu(N_B) \cdot E} \right) \left(\frac{E}{E_0} \right)^4}{1 + \left(\frac{E}{E_0} \right)^4} \quad (2.9)$$

$$\mu_p = \mu(N_B) \frac{1}{1 + \frac{\mu(N_B) \cdot E}{v_{sat}}} \quad (2.10)$$

ただし、

$$\mu(N_B) = \mu_{min} + \frac{\mu_{max}}{1 + \left(\frac{N_B}{N_0} \right)^\alpha} \quad (2.11)$$

ここで、各定数は表 2.1 に示す値を用いた。

表 2.1 キャリア移動度のモデルに用いた定数

	μ_{max} (cm ² /V·s)	μ_{min} (cm ² /V·s)	α	E_0 (V/cm)	v_{sat} (cm/s)	N_0 (cm ⁻³)
μ_n	5700	1500	0.5	4000	10^7	1.3×10^{17}
μ_p	330	50	0.5	—	10^7	3.2×10^{17}

キャリアの生成・再結合過程としては、最も基本的な Shockley-Read-Hall モデル (SRH モデル) と Auger 再結合を仮定した。SRH モデルは、半導体の禁制帯中に単一準位の再結合中心が存在する場合の再結合過程を記述するものであり次式で与えられる [14]。

$$R_{SRH} = \frac{pn - n_i^2}{\tau_p(n + n_0) + \tau_n(p + p_0)} \quad (2.12)$$

ここで、 τ_n , τ_p はそれぞれ電子および正孔の寿命、 n_0 , p_0 はそれぞれ再結合中心準位に換算した熱平衡電子濃度および正孔濃度であり次式で表される。

$$n_0 = n_i \exp\left(\frac{E_t - E_i}{kT}\right) \quad (2.13)$$

$$p_0 = n_i \exp\left(-\frac{E_t - E_i}{kT}\right) \quad (2.14)$$

ここで、 E_t は再結合中心準位、 E_i は真性半導体の Fermi 準位である。

Auger 再結合は、バンド間遷移による再結合においてエネルギーを他のキャリアへ与える再結合過程で、次式で表される。

$$R_{Auger} = C (n^2 p + n p^2) \quad (2.15)$$

ここで、 C は Auger 捕獲係数であり、GaAs の場合 1×10^{-31} cm⁶/sec である [15]。

境界条件としては、金属電極とのオーミックコンタクト面では、空間電荷が存在せず、キャリア濃度は熱平衡状態での値と等しくなると仮定する。したがって、

$$p - n + N_D - N_A = 0 \quad (2.16)$$

$$pn = n_i^2 \quad (2.17)$$

$$\psi = V_{appl} + \frac{kT}{q} \ln \frac{n}{n_i} \quad (2.18)$$

$$\psi = V_{appl} - \frac{kT}{q} \ln \frac{p}{n_i} \quad (2.19)$$

となる。ここで、 V_{appl} は電極への印加電圧である。式(2.18)および(2.19)はそれぞれ n 型および p 型電極に関する境界条件である。

また、絶縁膜との界面では、電子および正孔電流の法線成分が存在しないと仮定する。それは、以下の条件により満たされる。

$$\frac{\partial n}{\partial \mathbf{n}} = \frac{\partial p}{\partial \mathbf{n}} = \frac{\partial \psi}{\partial \mathbf{n}} = 0 \quad (2.20)$$

ここで、 \mathbf{n} は単位法線ベクトルである。

以上のようなモデルを仮定して、解析領域を不均一な矩形メッシュで分割する有限差分法に基づいて基本方程式を離散化し、電子濃度 n 、正孔濃度 p 、電位 ψ の3つのパラメータを求めるべき未知量としてNewton法により線形化して、数値計算をおこなった。

2.3 GaAs BSIT のシミュレーション

2.3.1 解析方法

BSITのオン状態の動作では、ゲートからの少数キャリアの注入が非常に重要な点である。そこで、GaAs BSITのシミュレーションは、**図2.1**に示すような二次元断面構造の解析によっておこなった。**表2.2**に、その構造の各パラメータの値を示す。ソース領域、ゲート領域、ドレイン領域、活性領域のそれぞれが均一な不純物濃度で、各接合は階段状のドーピングプロファイルを設定している。活性領域の不純物濃度は、拡散電位によってゲートから十分に空乏層が伸び電位障壁が形成されるように $1 \times 10^{13} \text{ cm}^{-3}$ とし、また、ソースドレイン長は、400~500 V 程度の素子の耐圧を得るために $22.5 \mu\text{m}$ とした。活性領域のキャリア寿命 $\tau (= \tau_n = \tau_p)$ は 1×10^{-10} から $1 \times 10^{-7} \text{ sec}$ の範囲で変化させて解析をおこなった。

2.3.2 解析結果

図2.2に、活性領域のキャリア寿命を $1 \times 10^{-7} \text{ sec}$ とした場合のGaAs BSITの出力電流電圧 (I - V) 特性を示す。ゲートの順方向バイアス V_{GS} によってドレイン電流 I_D が制御され、またドレイン電圧 V_{DS} の増加によりドレイン電流 I_D が飽和を示す典型的なBSITの静特性を示しており、非常に低いオン電圧降下で大電流密度が得られることがわかる。

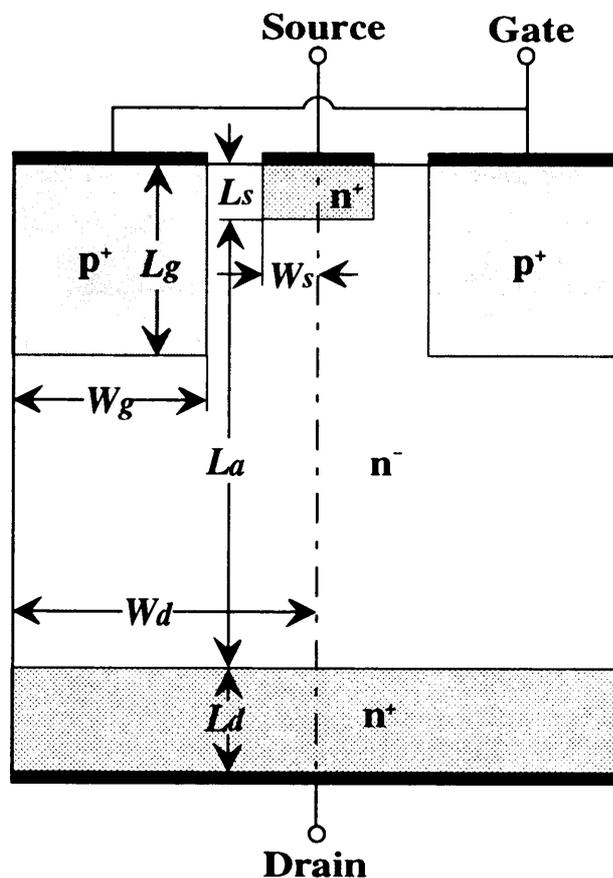


図 2.1 シミュレーションした GaAs BSIT の断面構造

表 2.2 シミュレーションに用いた素子構造パラメータ

	記号	値
ソース領域ドナー濃度	N_s	$1 \times 10^{19} \text{ cm}^{-3}$
ドレイン領域ドナー濃度	N_d	$1 \times 10^{19} \text{ cm}^{-3}$
ゲート領域アクセプタ濃度	N_g	$1 \times 10^{19} \text{ cm}^{-3}$
活性領域ドナー濃度	N_a	$1 \times 10^{13} \text{ cm}^{-3}$
ソースドレイン長	L_a	22.5 μm
ソース長	L_s	2.0 μm
ゲート長	L_g	7.0 μm
ドレイン長	L_d	5.0 μm
ソース半幅	W_s	1.25 μm
ゲート半幅	W_g	3.5 μm
ドレイン半幅	W_d	5.75 μm

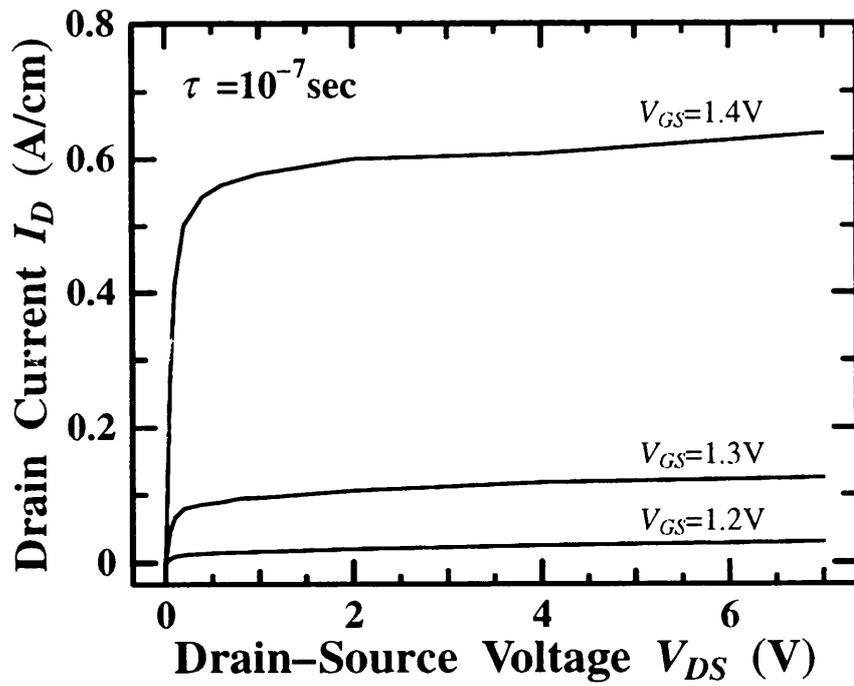


図 2.2 GaAs BSIT の出力電流電圧特性

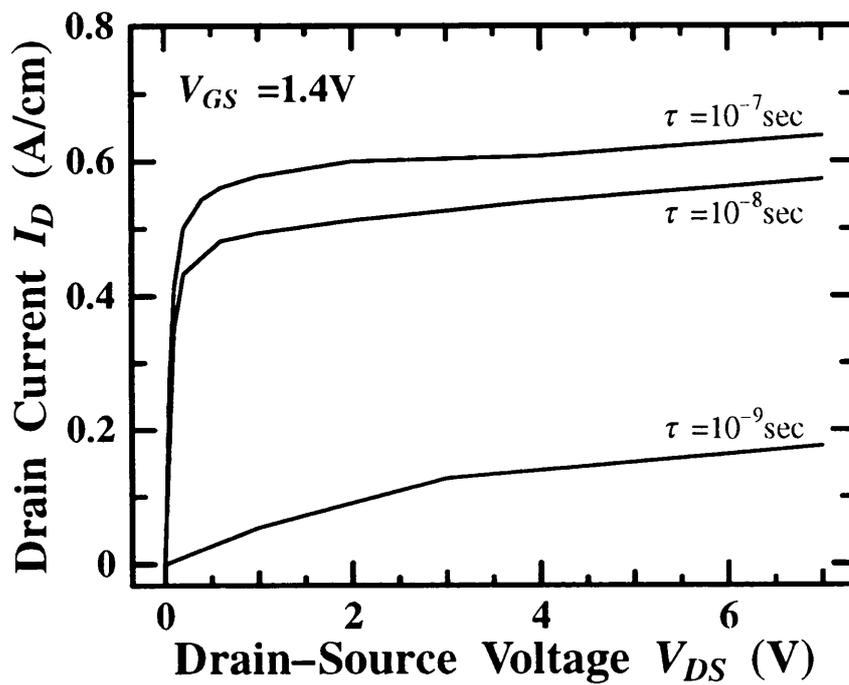


図 2.3 GaAs BSIT の出力電流電圧特性のキャリア寿命による違い

図2.3は、ゲート電圧 V_{GS} を 1.4 V 一定として、活性領域のキャリア寿命 τ を 1×10^{-7} sec, 1×10^{-8} sec, 1×10^{-9} sec と変えた場合の I - V 特性である。キャリア寿命 τ が、 1×10^{-7} sec, 1×10^{-8} sec のときは、ほぼ同様な特性となっており、非常に低いドレイン電圧 V_{DS} において高い電流密度が得られているが、 τ が 1×10^{-9} sec になると急激にオン抵抗が増加し電流密度が低下している。

図2.4に、GaAs BSIT のオン抵抗のキャリア寿命依存性を示す。 1×10^{-8} sec 以上のキャリア寿命を持つ場合、 $0.2 \sim 0.3 \Omega \cdot \text{cm}$ とオン抵抗は非常に低く抑えられているが、キャリア寿命が 1×10^{-8} sec 以下では、キャリア寿命が短くなるとともにオン抵抗が急激に増加している。

図2.5は、 τ を 1×10^{-9} sec から 1×10^{-7} sec まで変化させた場合の、ソースドレイン間のチャンネルの中央線に沿ったキャリア濃度分布を示している。キャリア寿命 τ が 1×10^{-8} sec 以上のときは、電子、正孔の両方が同程度に高濃度で存在する導電率変調された部分がソースドレイン間の活性領域のほぼ全体に広がっているが、 τ を 1×10^{-9} sec とするとキャリア寿命の減少に伴い拡散長が減少するために、ドレイン近傍に正孔がほとんど存在しない領域が形成されてきている。さらに τ を短くすると、ゲート近傍のみにしか導電率変調が起こっていない。BSIT の活性領域は非常に低不純物濃度の GaAs であるため、導電率変調されない部分は高い直列抵抗となってしまうので、GaAs BSIT のオン抵抗は急増してしまう。従って、低オン抵抗の GaAs BSIT を実現するためには、活性領域全体にわたって導電率変調が達成されるように、活性領域において 1×10^{-8} sec 以上のキャリア寿命をもつ必要があることがわかる。

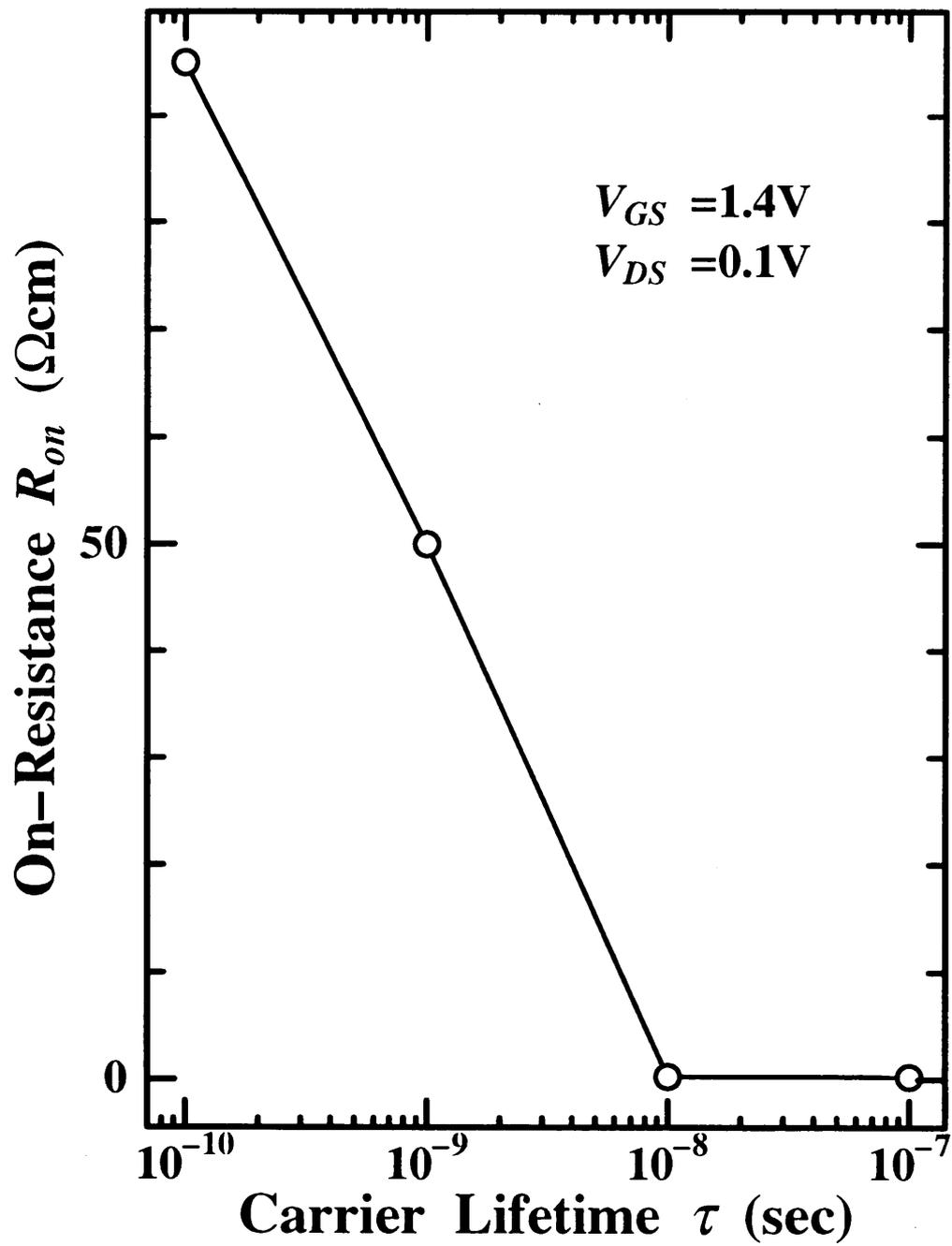


図 2.4 GaAs BSIT のオン抵抗のキャリア寿命依存性

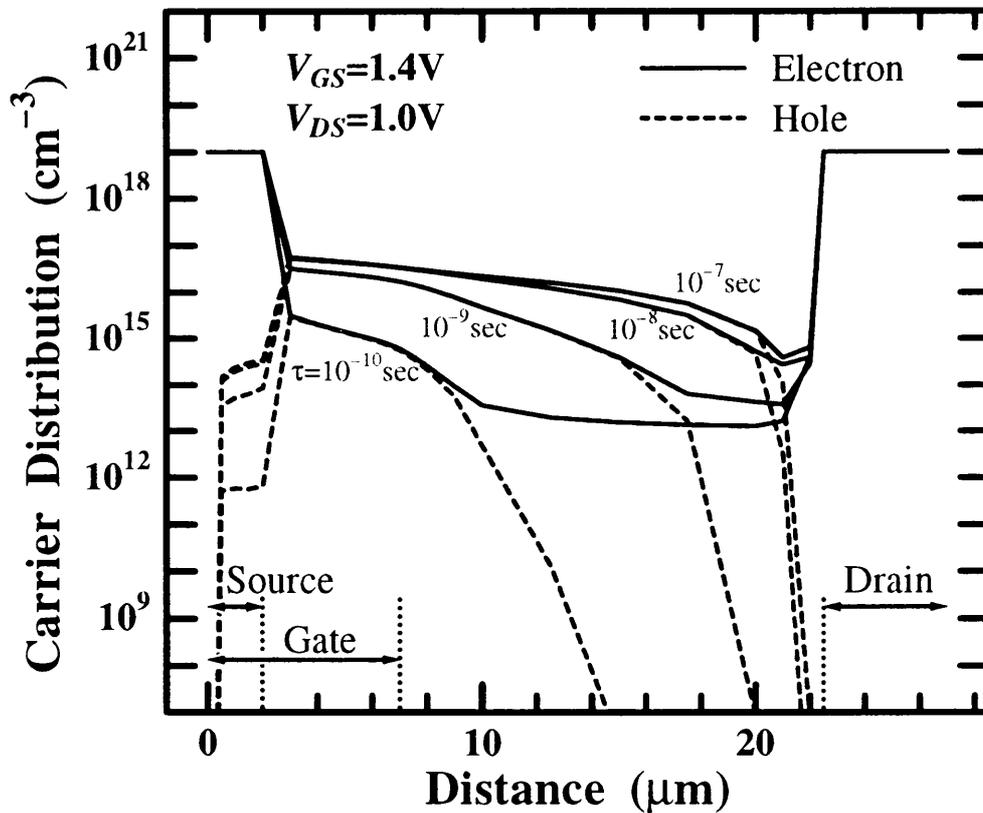


図 2.5 ソースドレイン間のチャネル中央に沿ってのキャリア濃度分布のキャリア寿命による違い

2.4 GaAs SITHy のシミュレーション

2.4.1 解析方法

SITHy のゲートーカソード間およびカソードーアノード間は pin 構造であり、pin ダイオードは SITHy を構成する基本的な部分であるので、pin ダイオードの特性によって SITHy の検討を行うことができる。どちらの接合も SITHy の動作の上では重要ではあるが、ここでは、素子の定常状態における特性、特にオン状態での素子の損失や発光特性を支配するアノードーカソード間の pin ダイオードについて 1 次元シミュレーションを実行し、GaAs SITHy の検討を行った。

表2.3に解析に用いた素子パラメータの値を示す。 p^+ , n^- , n^+ の各領域の不純物濃度はそれぞれ $1 \times 10^{19} \text{ cm}^{-3}$, $1 \times 10^{13} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$ に、また p^+ , n^+ 層厚はそれぞれ $25 \mu\text{m}$ および $20 \mu\text{m}$ に設定して、 n^- 層厚の変化に対する pin ダイオードの順バイアス損失について検討を行った。ダイオードの高注入状態においては、Auger 再結合の効果も考慮することが望ましいが、この解析においては大体の設計指針を得ることを第一目的としているので、計算の簡単化のため Auger 再結合は取り入れなかった。

表2.3 GaAs pin ダイオードの解析に用いた各部の不純物濃度およびキャリア寿命

	p^+	n^-	n^+
不純物濃度 (cm^{-3})	1×10^{19}	1×10^{13}	5×10^{18}
電子および正孔の寿命 τ_n, τ_p (sec)	1×10^{-10}	1×10^{-8}	1×10^{-10}

2.4.2 解析結果

図2.6に n^- 層内のキャリア寿命を $\tau_n = \tau_p = 1 \times 10^{-8} \text{ sec}$ としたときの n^- 層の厚さを $15 \mu\text{m}$ から $100 \mu\text{m}$ まで変化させたときの GaAs pin ダイオードの順バイアスでの I - V 特性の解析結果を示す。図の縦軸は電流密度が対数表示されており、横軸に電圧が示してある。約 1 V 程度までは厚さによる電流密度の変化はそれほどないが、それ以上のバイアスでは、 n^- 層の厚さが増加するに伴い電流密度の増加は鈍くなる傾向がはっきりと現れており、 n^- 層を厚くすればオン状態での損失が大きくなることがわかる。とくに、 $30 \sim 50 \mu\text{m}$ 以上の n^- 層厚では急激にオン損失が増大している。

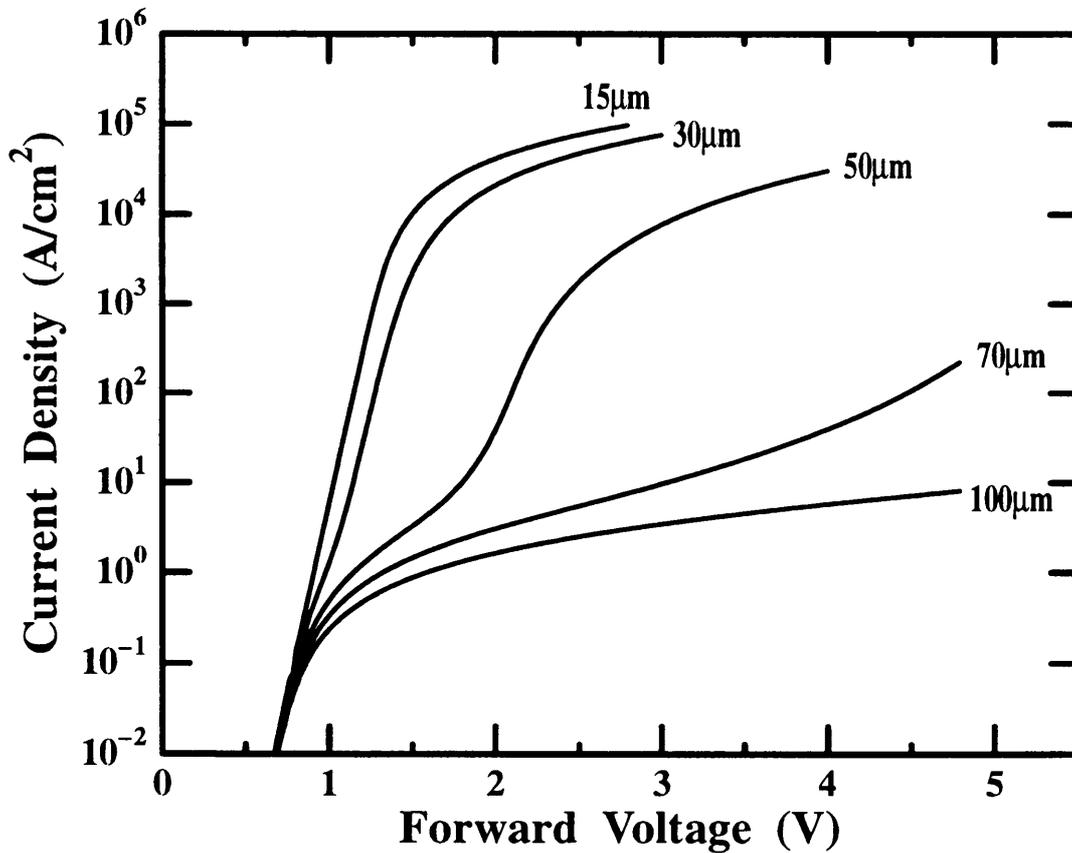


図2.6 GaAs pin ダイオードの電流電圧特性のn⁻層厚依存性

図2.7と図2.8にn⁻層の厚さが30 μmと100 μmの場合のpinダイオード内の電位分布と電子および正孔の濃度分布を示す。ここで、n⁻層の厚さが30 μmの場合には1.5 V、100 μmの場合には4.8 Vの順バイアスが印加されている。明らかに30 μmの場合には、n⁻層内全体において電子、正孔ともに高注入状態になり、元々の不純物濃度よりはるかに多いキャリアが存在する、いわゆる導電率変調が達成されている。従って、n⁻層内の電圧降下がほとんどなく、非常に高い電流密度が得られる。これに対して、100 μmの場合には4.8 Vの順バイアスにもかかわらずキャリアの拡散長が短いために、n⁻層内のほとんどは導電率変調が起こっておらず、n⁻層の大部分で電圧降下が生じている。

n⁻層の厚さは、薄くすれば素子の耐圧は減少するので、オン損失が増大しない範囲でなるべく厚く設定した方が良い。従って、オン状態において低電圧降下で大電流が流せる

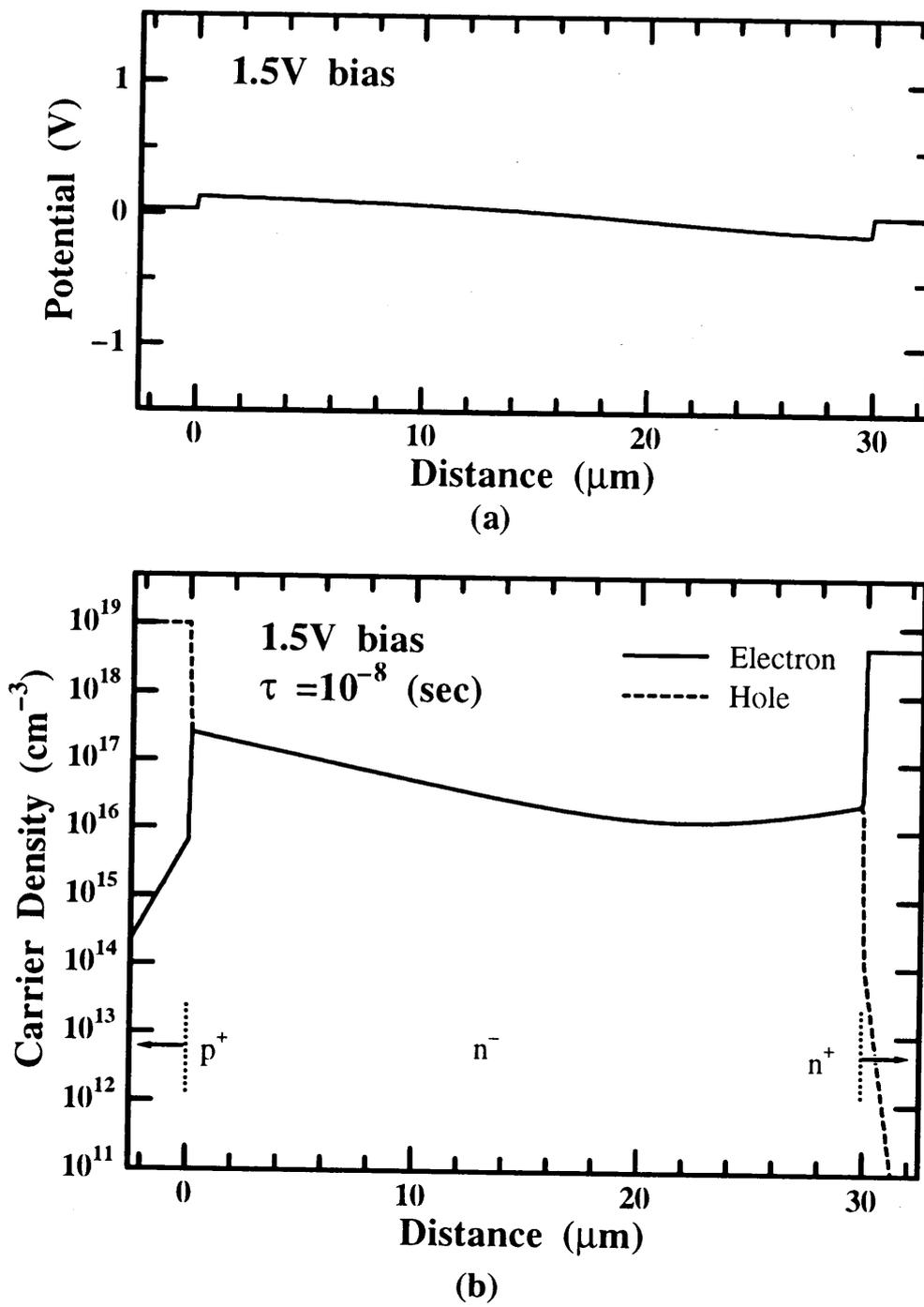


図 2.7 n^- 層厚 $30 \mu\text{m}$ の場合の pin ダイオード内の電位分布 (a) と電子および正孔の濃度分布 (b)

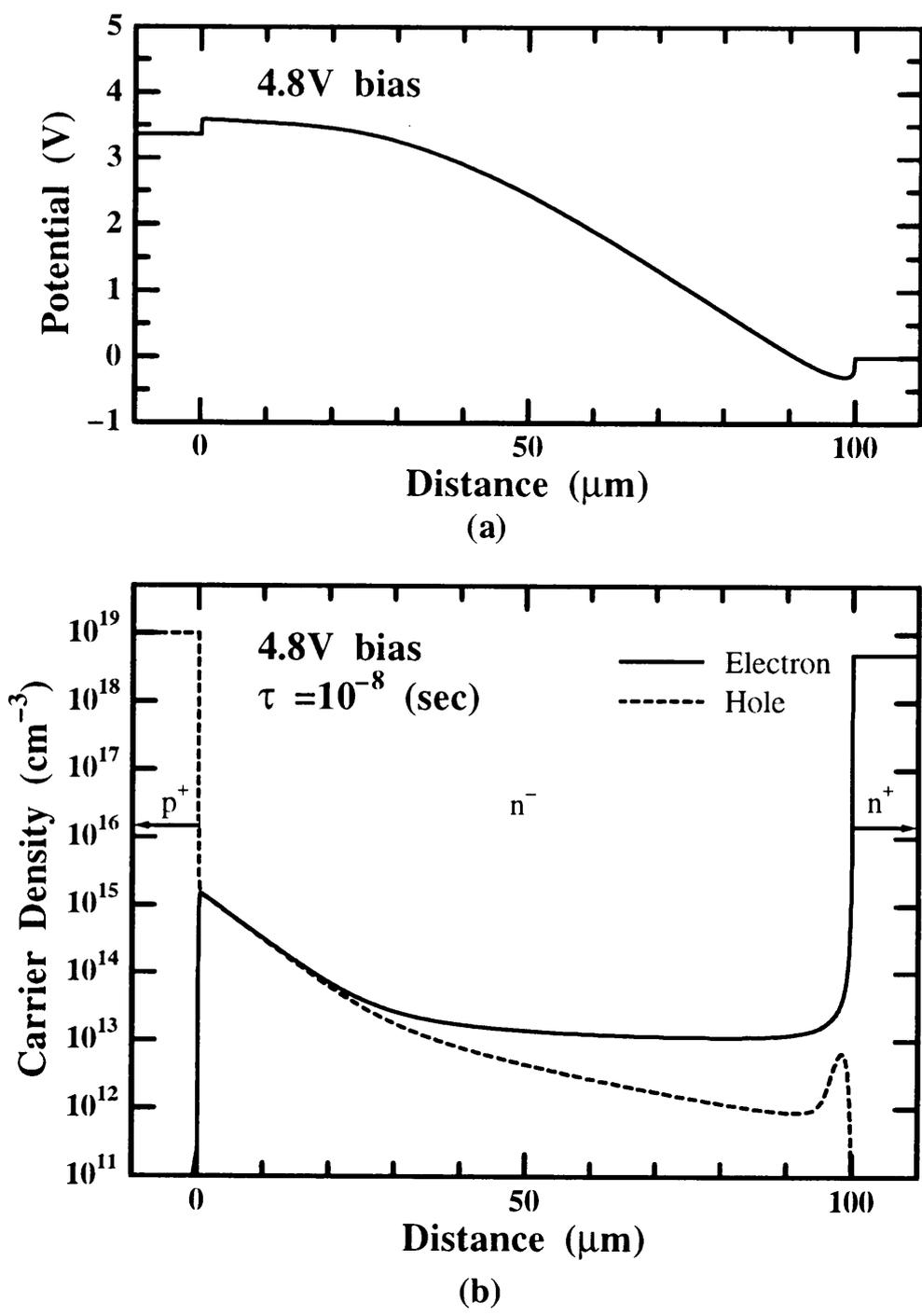


図 2.8 n^- 層厚 $100 \mu\text{m}$ の場合の pin ダイオード内の電位分布 (a) と電子および正孔の濃度分布 (b)

SIThy を実現するためには、図 2.6 の特性より、 n^- 層はキャリア寿命が 1×10^{-8} sec で約 $30 \mu\text{m}$ 程度とする必要があることがわかる。このとき、 $700 \sim 800$ V 程度の素子耐圧が得られる。

2.5 結 言

本章では、電力用 GaAs SI デバイスの最適設計値を得ることを目的として、GaAs BSIT や SIThy の数値シミュレーションおこなった。

まず、GaAs BSIT の動作を二次元シミュレーションによって検討した。その結果、キャリア寿命が短いと活性領域内が十分に導電率変調されず、オン抵抗が高くなってしまったことがわかった。ソースドレイン長 $22.5 \mu\text{m}$ の BSIT が導電率変調を起こして低いオン電圧と高電流密度が得られるためには、活性領域は 1×10^{-8} sec 以上のキャリア寿命が必要であることがわかった。

次に、SIThy の基本構造である pin ダイオードについて 1 次元シミュレーションを行って、GaAs SIThy のオン状態での損失等についての検討を行った。その結果、 n^- 層はキャリア寿命が 1×10^{-8} sec で $30 \mu\text{m}$ 程度にすれば、オン状態において低電圧降下で大電流が流せる SIThy が実現できることがわかった。

これらの結果を総合すると、高性能な電力用 GaAs SI デバイスを実現するためには、 $20 \sim 30 \mu\text{m}$ 程度の厚さで、不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、 1×10^{-8} sec 以上のキャリア寿命をもつ高純度で高品質な GaAs 層を活性層に使用する必要がある。

現在そのような高純度 GaAs 層を活性層に持つデバイスを作製する技術はなく、高純度 GaAs 層の成長はもちろんであるが、格子補償効果や逆エピタキシー等のデバイス作製技術の確立が必要となっている。

参 考 文 献

- [1] K. Yamaguchi and H. Kodaera, "Optimum design of triode-like JFET's by two-dimensional computer simulation," *IEEE Trans. Electron Devices*, **ED-24**, pp. 1061–1069, 1977.
- [2] I. Bencuya, A. I. Cogan, S. J. Butler, and R. J. Regan, "Static induction transistors optimized for high-voltage operation and high microwave power output," *IEEE Trans. Electron Devices*, **ED-32**, pp. 1321–1327, 1985.
- [3] T. Yamamoto, K. Matsumoto, and A. Yusa, "Analysis of SIT I - V characteristics by two-dimensional simulation," *Solid-State Electron.*, **30**, pp. 549–557, 1987.
- [4] C.-W. Kim, M. Kimura, K. Yano, A. Tanaka, and T. Sukegawa, "Bipolar-mode static induction transistor : experiment and two-dimensional analysis," *IEEE Trans. Electron Devices*, **37**, pp. 2070–2075, 1990.
- [5] K. Yano, C.-W. Kim, M. Kimura, A. Tanaka, S.-I. Motoyama, and T. Sukegawa, "Effect of Shielded Gate Structure on On-Resistance of the SIT with a High-Purity Channel Region," *IEEE Trans. Electron Devices*, **39**, pp. 1257–1260, 1992.
- [6] P. M. Campbell, W. Garwacki, A. R. Sears, P. Menditto and B. J. Baliga,

- “Trapezoidal-groove shottky-gate vertical-channel GaAs FET (GaAs static induction transistor),” *IEEE Electron Device Letters*, **EDL-6** pp. 304–306, 1985.
- [7] M. Mori and T. Yatsuo, “A high voltage GaAs power static induction transistor,” *Extended Abstract of the 19th Conf. on Solid State Devices and Materials*, (Tokyo), pp. 279–282, 1987.
- [8] G. Schweeger, G. Cocorullo F. G. Della Corte, H. L. Hartnagel, G. Vitale and P. Spirito, “GaAs vertical JFET operated in bipolar mode (GaAs BMFET),” *Electronics Letters*, **27** pp. 1097–1098, 1991.
- [9] G. Schweeger, F. G. Della Corte and H. L. Hartnagel, “Design and characteristics GaAs BMFET,” *Microelectronic Engineering*, **15** pp. 313–316, 1991.
- [10] P. Hadizad, J. H. Hur, H. Zhao, K. Kaviani, M. A. Gundersen and H. R. Fetterman, “A high-voltage optoelectronic GaAs static induction transistor,” *IEEE Electron Device Letters*, **EDL-14**, pp. 190–192, 1993.
- [11] 木村雅和, 神谷俊幸, 富田晃吉, 田中 昭, 助川徳三, “高純度半導体領域を用いた新しい光パワーデバイスの開発 — GaAs SIサイリスタの実現をめざして —,” 静岡大学電子工学研究所研究報告, 第**26**巻, 第1号, pp. 45–56, 1991.
- [12] 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “GaAsパワーデバイス製作技術の開発,” 電気学会電子デバイス・半導体電力変換合同研究会資料, **EDD-91**, [38-43],EDD-91-40, SPC-91-40, pp. 17–26, 1991.
- [13] 堀尾和重, 柳沢芳明, 柳井久義, “半絶縁性 GaAs 基板の絶縁効果および MESFET

における短チャネル効果の計算機解析,” 電子情報通信学会技術研究報告, **86**, [151],
SSD86-87, pp. 71–78, 1986.

[14] W. Shockley and W. T. Read, “Statistics of the recombinations of holes and electrons,
” *Phys. Rev.*, **87**, pp. 835–842, 1952.

[15] A. Gopinath and H. Atwater, “Simulation of GaAs p-i-n diodes,” *IEEE Trans. Elec-
tron Devices*, **ED-35**, pp. 414–417. 1988.

第 3 章

不純物添加の格子定数への影響と格子補償効果

3.1 緒 言

一般的にエピタキシャル成長において、基板と成長層との間の格子定数差や熱膨張係数の違いから、成長後の試料が湾曲を起こしたり、さらにはミスフィット転位が導入されたりすることが知られている [1-4]。この現象はヘテロエピタキシャル成長においてしばしば問題となるが、ホモエピタキシャル成長においても高濃度に不純物添加した場合には結晶の格子定数が変化するため、基板と成長層の間に格子不整合による応力が発生し、試料が湾曲したりやミスフィット転位が導入される [5-8]。

この問題に対して、Si 結晶中への B (ホウ素) や P (燐) の不純物拡散において Sn (錫) を同時に添加することにより格子歪みが補償されることが見出され [9,10]、その考えに基づいて、西澤らにより Si の気相成長において格子補償技術が提案されている。それは、Si 原子に対して大小異なる共有結合半径をもつ二つの不純物元素を同時に添加することにより、成長層の格子定数を制御し、基板の格子定数と一致させる方法である。これを用いることにより、不純物濃度が大きく違っても、基板と成長層の間の格子歪みがなくなり、湾曲やミスフィット転位の無い完全結晶の成長が可能となっている [11]。また、助川らは

同様な考えをSiの液相成長法に適用し、低不純物濃度の高抵抗基板上に格子整合した高不純物濃度の低抵抗層を厚く成長することにより、遷移領域が急峻な高不純物濃度層と低不純物濃度層の接合 (H-L 接合) をもつ湾曲のないパワーデバイス用基板の作製法を開発し、pin ダイオードやBSITの作製をおこなった [12-14]。

GaAsにおいてもパワーデバイスを作製するためには、急峻なH-L接合を持つ湾曲のないパワーデバイス用基板が必要である。とくに、GaAs SIデバイスにおいては、非常に高純度・高品質の活性領域が必要である上に、接合の急峻性がデバイス性能を大きく左右する。そのため、格子補償効果はGaAs SIデバイス作製上、重要な技術である。ところが、GaAsでは格子補償効果という観点から、不純物添加の格子定数に与える影響を調査した研究はこれまでなかった。

本章では、GaAsの格子補償技術の確立を目的としておこなった基礎的な実験について述べる [15-17]。まず単独にTe, Si, Ge, Seを添加してLPE成長したGaAsの格子定数の変化を調査し、次にその結果をもとに、Te, Siの同時添加をおこないGaAsにおける格子補償効果を確認する。

3.2 不純物添加 GaAs の格子定数と格子補償効果

一般に、不純物無添加の結晶と不純物を高濃度に添加した結晶では格子定数に違いが生じる。これは、不純物原子の結合半径が結晶のホスト原子の結合半径と異なるために起こる。不純物添加したGaAs結晶の格子定数 a_d は、不純物添加による相対変化として、不純物無添加のGaAs結晶の格子定数 a_0 によって、以下の式で表される。

$$a_d = a_0 \left[\frac{R_{Ga}^3 (N_{GaAs} - N_{iGa}) + R_{As}^3 (N_{GaAs} - N_{iAs}) + R_{iGa}^3 N_{iGa} + R_{iAs}^3 N_{iAs}}{(R_{Ga}^3 + R_{As}^3) N_{GaAs}} \right]^{\frac{1}{3}} \quad (3.1)$$

ここで、 R_{Ga} , R_{As} は Ga および As の結合半径, $R_{i_{Ga}}$ および $R_{i_{As}}$ は Ga と置換した不純物および As と置換した不純物の結合半径, N_{GaAs} は GaAs の分子密度, $N_{i_{Ga}}$, $N_{i_{As}}$ はそれぞれ Ga および As と置換した不純物密度である。表 3.1 に Pauling による代表的な原子の共有結合半径を示す。GaAs は完全な共有結合性結晶ではないので、厳密には共有結合半径は GaAs 結晶中の原子の結合半径とは異なるが、共有結合性に比べイオン結合性はかなり弱いので、近似的に共有結合半径を代用できる。

表 3.1 代表的な原子の共有結合半径 [18]

	Be	B	C	N	O	F
	1.06	0.88	0.72	0.70	0.66	0.64
	Mg	Al	Si	P	S	Cl
	1.40	1.26	1.17	1.10	1.04	0.99
Cu	Zn	Ga	Ge	As	Se	Br
1.35	1.31	1.26	1.22	1.18	1.14	1.11
Ag	Cd	In	Sn	Sb	Te	I
1.52	1.48	1.44	1.40	1.36	1.32	1.28
	Hg					(Å)
	1.48					

GaAs 結晶は、III 族および V 族元素からなる閃亜鉛鉱構造をもつので、II 族元素は Ga サイトに置換しアクセプタとなり、VI 族元素は As サイトに置換しドナーとして作用する。また、IV 族元素は両性不純物であるので、Ga サイトにも As サイトにも同じオーダーで添加される。したがって、アンドープの GaAs の格子定数に対して、Zn, Sn, Te などを高濃度添加すると格子定数は大きくなり、Si, Se などを添加すると逆に格子定数が小さくなり、そして Ge を添加した場合は格子定数はほとんど変化しないことが予測される。

このように、結晶のホスト原子の結合半径に対して、結合半径が小さい不純物原子が

置換した場合、隣接する原子との距離が小さくなるため、そのような不純物が添加されると、格子定数が無添加の場合より小さくなる。逆に、結合半径が大きい不純物が置換すると、格子定数が大きくなる。そのため、不純物無添加の基板の上に不純物を高濃度に添加したエピタキシャル成長を行うと、格子歪のために基板の湾曲やミスフィット転位が発生したりする。

そこで、不純物を添加するにあたって、ホスト原子に対して結合半径の小さい不純物と大きい不純物を同時に適量添加することにより、格子定数の変化を補償し、不純物無添加の結晶と格子整合をとるのが格子補償効果である。

3.3 実験方法

3.3.1 液相エピタキシャル成長法による試料の作製

不純物無添加 GaAs の種子結晶基板の上に、不純物を添加した GaAs 層を LPE 成長した。試料は、Te, Si, Ge, Se をそれぞれ添加したものと、Te と Si を同時に添加したものを作製した。

種子結晶基板には、LEC 法により成長されたアンドープ半絶縁性 GaAs(100) ウエハを $10 \times 10 \text{ mm}^2$ にカットして用いた。溶媒には Ga を 2 g, 不純物としては Te, Si, Ge, Se をそれぞれ所定量, また溶質にはアンドープ GaAs 多結晶板を使用した。これらの材料はすべて純度 6N 以上のものである。

成長手順を以下に述べる。図 3.1 に示すようなカーボン製のスライドポートに、GaAs 基板, GaAs ソース, Ga および不純物を仕込み、石英反応管内にセットする。反応管内はソープションポンプにより真空排気した後、高純度 H_2 を流す。電気炉の温度を 803°C まで昇温し、3 時間程度保持して溶液の均質化と飽和を図った後、冷却速度 $0.1^\circ\text{C}/\text{min}$ で徐

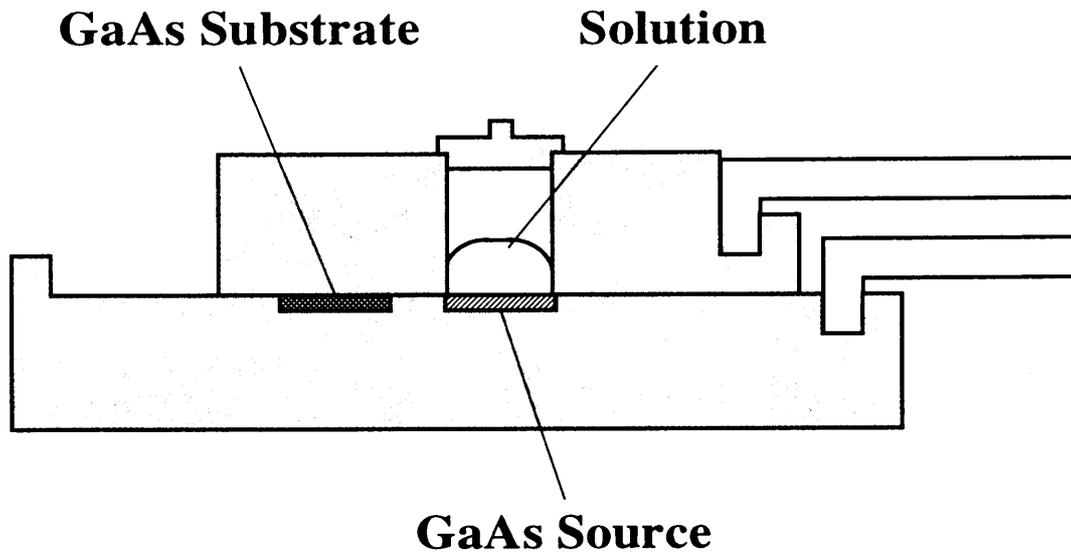


図 3.1 成長に使用したカーボンスライドボートの概略図

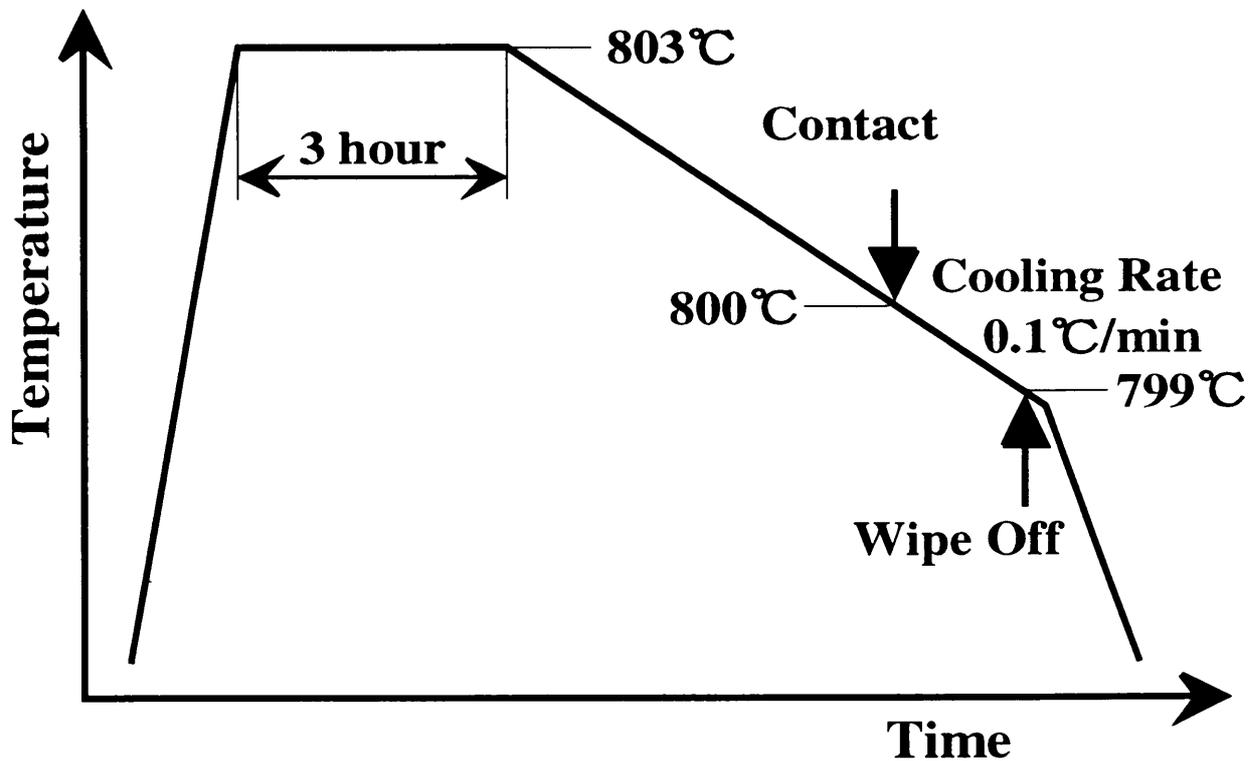


図 3.2 成長温度プログラム

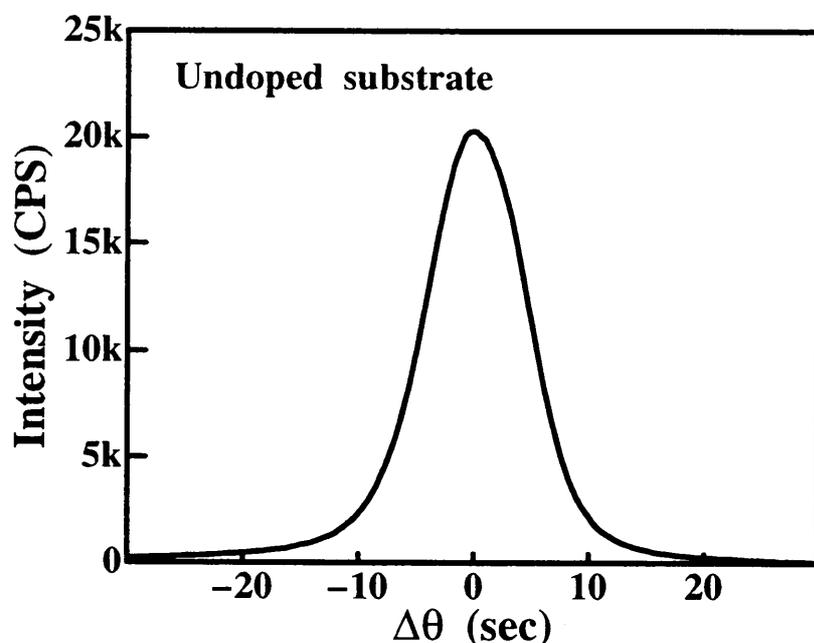


図3.3 成長前のアンドープ GaAs 基板の X 線回折ロックンングカーブ

冷を開始する。800°C になったところで溶液を基板に接触させ成長を開始する。そのまま 1°C 冷却を行い、799°C で溶液を基板から切り離し成長を終了した。その後、電気炉を急冷した (図3.2)。この条件で、Teドーピング及びSeドーピングでは n 型、Siドーピング及びGeドーピングでは p 型を示す 2 ~ 5 μm のエピタキシャル成長層が再現性よく得られた。

3.3.2 成長層と基板の格子定数差の測定

試料の成長層と基板の格子定数差を測定するために、X線回折を行った。ここでは、4結晶モノクロメータにより単色化した $\text{CuK}\alpha_1$ 線 ($\lambda = 0.1540562 \text{ nm}$) を試料に入射し、400回折のロックンングカーブを測定した。4結晶モノクロメータは、4回のGe 440回折によりX線の波長および空間分散を極僅かにするので、これを用いることにより非常に高精度・高分解能な測定が可能となる。この装置で測定した成長前の基板のロックンングカーブは、約 10 sec の半値全幅 (FWHM) をもつ非常にシャープなピークが得られた (図3.3)。

測定されたロッキングカーブの成長層と基板のピーク位置を以下のように決定した。成長層および基板の個々のロッキングカーブをガウス曲線と仮定した。一つのガウス曲線は、3個のパラメータ（ピーク位置、ピーク強度、半値幅）で規定されるので、成長層のカーブと基板のカーブの計6個のパラメータを測定値との残差2乗和が最少になるように計算機を用いて数値解析により最適化した。

基板のピーク位置に対するエピ層のピーク位置の角度差 $\Delta\theta$ が十分微小であれば、基板の格子定数 a に対するエピ層の格子定数の変化量 Δa は、次式のように表される [11]。

$$\Delta a = -a \cdot \Delta\theta \cdot \cot \theta_B \quad (3.2)$$

ここで、 a は 0.56537 nm、 θ_B は 33.025° である。基板はアンドープ GaAs なので、得られた Δa は、不純物が添加されたことによる格子定数の変化量である。

3.3.3 成長層のキャリア濃度の測定

成長層のキャリア濃度は、van der Pauw 法による Hall 効果の測定から求めた。まず、成長層厚が厚い試料の周辺部分を、劈開して取り除き、一辺が 6~8 mm 程度の正方形にした。そして、その成長層表面の四つの頂点近傍に In 粒を半田付けし、高純度 H₂ ガス雰囲気中 350°C で 5 min シンターすることによりオーミック電極を形成した。ここで、試料は、半絶縁性の基板上に低抵抗の薄い成長層があるので、基板に流れる電流や電極が表面に在ることによる深さ方向への電流の拡がりによる誤差は無視できるほど小さい。その試料に、電磁石により磁束密度 1.0 Wb/m² の磁界をかけて室温で Hall 効果測定を行った。また、成長層厚は、劈開断面をステインエッチングして成長界面を出して、光学顕微鏡を用いて測定した。

3.4 結果および考察

3.4.1 単一不純物ドープの場合

図3.4に測定された典型的なX線回折ロックンクカーブを示す。それぞれ、Teドープ GaAs (溶液中のTe濃度 0.1 at%, 電子濃度 $n = 7.5 \times 10^{18} \text{ cm}^{-3}$) を成長した試料 (a), Siドープ GaAs (溶液中のSi濃度 2.4 at%, 正孔濃度 $p = 7.0 \times 10^{18} \text{ cm}^{-3}$) を成長した試料 (b), Geドープ GaAs (溶液中のGe濃度 10 at%, 正孔濃度 $p = 1.0 \times 10^{19} \text{ cm}^{-3}$) を成長した試料 (c), Seドープ GaAs (溶液中のSe濃度 0.05 at%, 電子濃度 $n = 1.0 \times 10^{19} \text{ cm}^{-3}$) を成長した試料 (d) のものである。

Teドープの試料の場合、ロックンクカーブには二つのピークが観察された。低角度側のピークのFWHMが約 17 sec, 高角度側のピークのFWHMは約 11 sec なので, 低角度側が成長層からのピーク, 高角度側が基板からのピークと推定される。なぜならば, 成長層はTeが高濃度ドーピングされているので, 面間隔や面方位のばらつきがノンドープのものよりも大きく, FWHMが大きいと考えられることと, 高角度側のFWHMが成長前の基板のFWHMとほぼ等しいからである。Siドープの試料の場合も, ロックンクカーブは二つのピークを持っていた。しかし, Teドープの場合とは逆に, 低角度側が基板で, 高角度側が成長層であった。Geドープの試料のロックンクカーブは, 基板および成長層からの回折がほぼ完全に重なってピークは一つしか見られなかった。Seドープの場合は, 二つに分離してはいないが, 低角度側に成長層からの, 高角度側に基板からの回折ピークがあり, 共有結合半径からの予測に反してSeをドープしてLPE成長したGaAsは格子定数が大きくなっていた。

図3.5に Δa とキャリア濃度の関係を示す。ここには, 他の報告 [19-21] のデータもあわせて記した。LPE成長されたTeドープ GaAsの格子定数はアンドープのGaAsに比べ

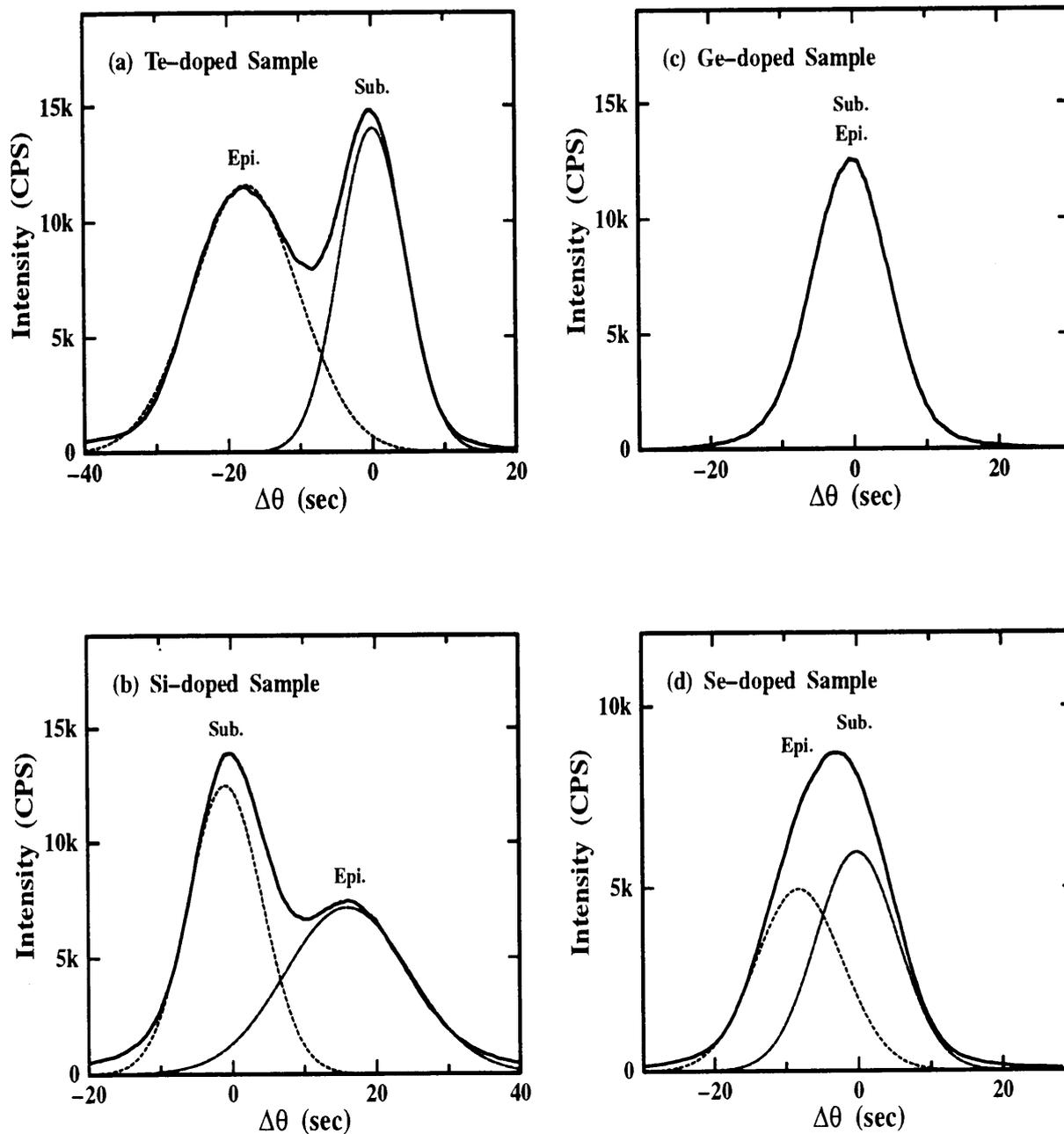


図 3.4 X線回折ロックンングカーブ : (a) Teドープ GaAs (溶液中の Te 濃度 0.1 at%) を成長した試料, (b) Siドープ GaAs (溶液中の Si 濃度 2.4 at%) を成長した試料, (c) Geドープ GaAs (溶液中の Ge 濃度 10 at%) を成長した試料, (d) Seドープ GaAs (溶液中の Se 濃度 0.05 at%) を成長した試料の場合

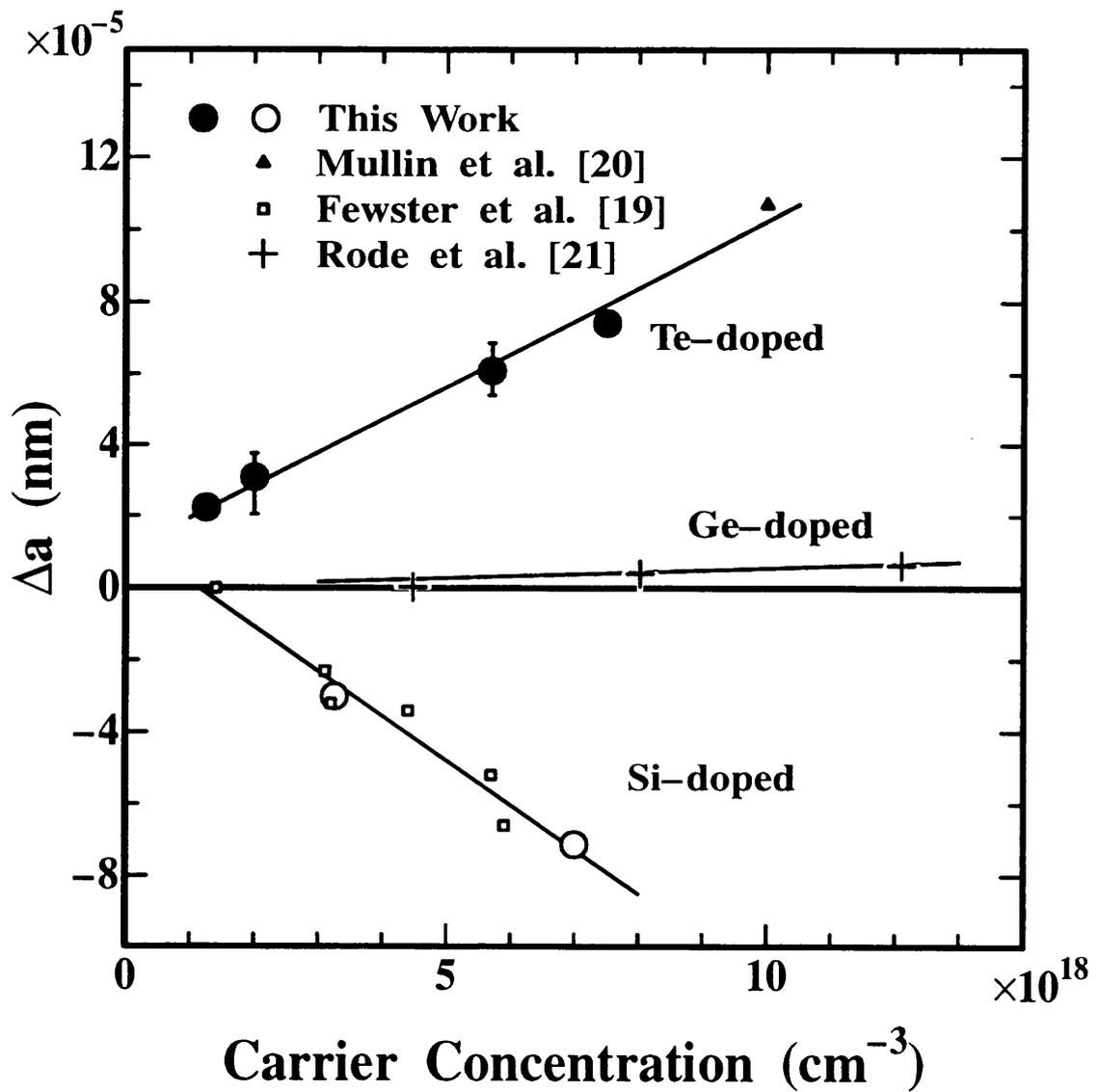


図3.5 不純物を添加した場合のキャリア濃度と格子定数の変化量の関係

て大きく、その差が電子濃度の増加に対してほぼ線形に増加していた。TeはVI族元素なのでGaAs結晶中ではAsサイトにのみ置換されるとして、またキャリア濃度を不純物密度として、表3.1の値を用いて式(3.1)から Δa を計算すると、測定値の約7分の1にしかならない。これは、Teを高濃度に添加すると単にAsと置換するだけでなく、他の結晶欠陥が同時に導入されていることを示唆しており、単純にAsサイトのみに置換すると思えるだけでは不十分であることがわかる。

SiドープGaAsの格子定数は、Teドープの場合とは逆に、アンドープのものより小さくなっていて、その差は正孔濃度の増加に対しほぼリニアに減少していた。SiはIV族元素であるのでGaAs結晶中では、GaサイトにもAsサイトにも置換され、Gaサイトではドナーに、Asサイトではアクセプタになる。したがって、電氣的補償が起こっているので、SiドープGaAsにはキャリア濃度よりずっと多量のSiが添加されている。測定値に適合するように、表3.1の値を用いて式(3.1)からGaサイトのSi密度とAsサイトのSi密度の比を求めると約10:11となる。これから、成長時のSiの偏析係数を求めると0.14となり報告されている値と一致する[22]。このことから、Siの添加においては、添加されたSi密度が直接GaAsの格子定数変化と関係付けられており、Teの場合のような他の結晶欠陥を考慮する必要はないと考えられる。一般に、GaサイトおよびAsサイトに置換されるSi密度の比は、溶液中のSi濃度や成長温度などの成長条件で変化する[23]。

GeドープGaAsでは、正孔濃度が $1 \times 10^{19} \text{ cm}^{-3}$ という高濃度ドーピングにおいても、 Δa は約 $0.5 \times 10^{-5} \text{ nm}$ と非常に小さく、アンドープのGaAsの格子定数とほとんど変化していない。したがって、Geを不純物として用いれば、アンドープGaAsと p^+ GaAsとの接合がほぼ格子整合下で実現できる。

3.4.2 二種類の不純物を同時添加した場合

GaAsのLPE成長における格子補償効果について調査するために、不純物を単独にドーピングした場合の結果に基づいて、TeとSiの同時添加を行った。TeとSiを不純物として選んだのは、GaAsの格子定数を大きくするものと小さくするものの組み合わせであり、どちらも添加による格子定数の変化量が大きく、ロックンクカーブによる格子定数差の測定で十分にその効果が確認できるからである。図3.6にTe, Siドーピングの試料のX線回折ロックンクカーブを示す。これらは、溶液中のSi濃度が2.4 at%で、Te濃度がそれぞれ0.010 at% (a), 0.025 at% (b), 0.040 at% (c)の試料のものである。(a)では二つのピークが観察され、FWHMの大きいピークがより高角度側に在り、アンドープ基板に対して、成長層の格子定数が小さいことがわかる。逆に、(c)では基板より成長層の方が大きな格子定数を持つことがわかる。ところが、(b)ではピークが一つだけで、基板と成長層の格子定数はほぼ完全に等しくなっている。このように、格子定数を大きくする不純物Teと小さくする不純物Siを適量、同時に添加することによって格子補償効果が得られ、高不純物濃度のエピタキシャル層でもアンドープ基板と格子整合がとれることがわかった。しかし、この成長条件では格子整合がとれた成長層はp型であった。

格子補償効果をデバイス作製技術として確立するためには、高濃度ドーピングしたn型エピタキシャル層においてもアンドープGaAsとの格子整合が得られるようにすることが必要である。GaAs LPEにおいて、Siは溶液中のSi濃度と成長温度に依存して、高濃度・低温でp型、低濃度・高温でn型を示す。また、Teの代わりにSeを用いれば、補償のために添加するSiの量は少なくできる。したがって、成長条件や添加不純物を適切に選べば、二種類の不純物の同時添加でアンドープ基板と格子整合した高濃度n型エピタキシャル層が得られると考えられる。

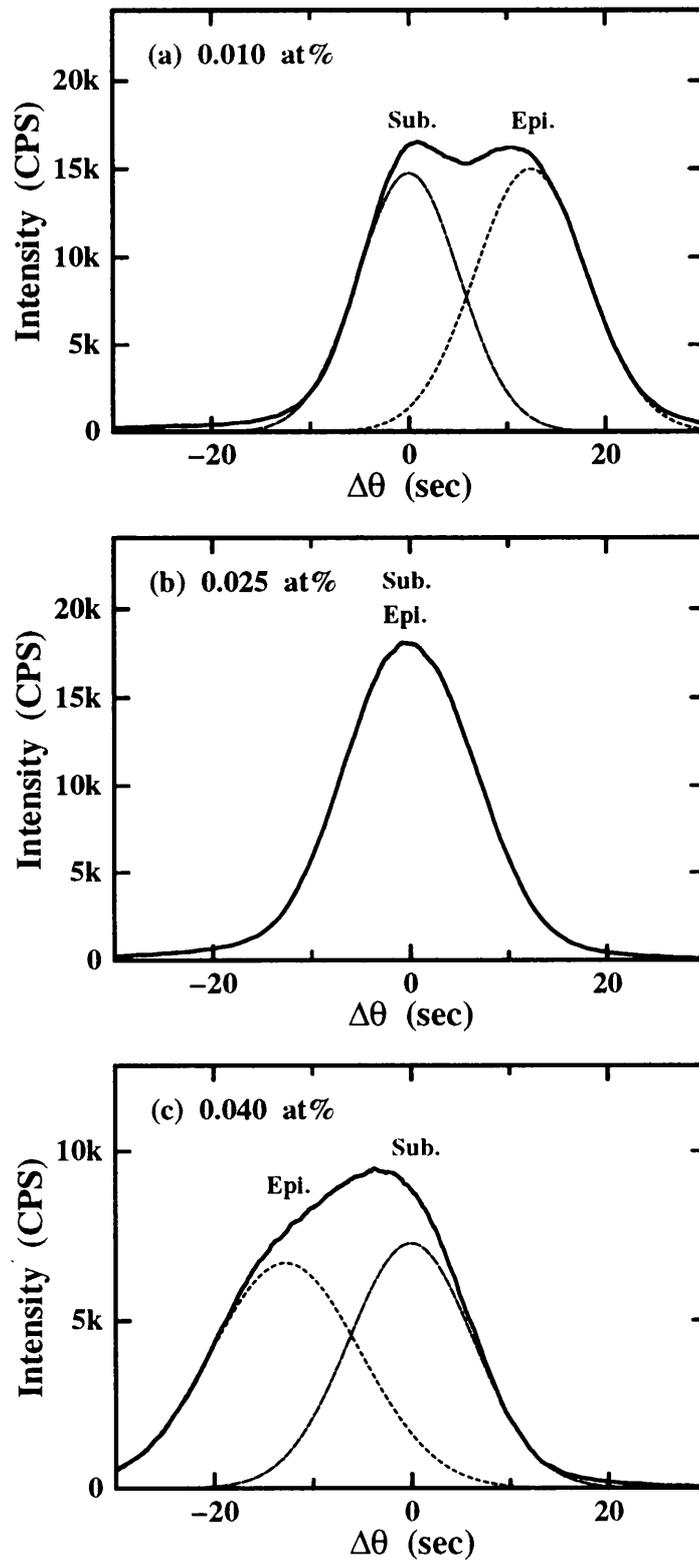


図 3.6 Te, Siドープの試料の X 線回折ロックングカーブ:溶液中の Si 濃度が 2.4 at% で, Te 濃度がそれぞれ 0.010 at% (a), 0.025 at% (b), 0.040 at% (c) の試料の場合

3.5 結 言

GaAsにおける格子補償効果の基礎的な知見を得るために、Te, Si, Ge, Seを単独に、またTeとSiを同時にドーピングしたLPE成長GaAsの格子定数を、X線ロックアップカーブを用いて評価した。TeドーピングおよびSeドーピングのGaAsの格子定数は、アンドーピングのGaAsに比べて大きく、Siドーピングでは逆にアンドーピングの格子定数より小さくなるが、GeドーピングGaAsの格子定数はアンドーピングGaAsの格子定数とほぼ等しいことがわかった。そして、それら不純物が添加されたことによる格子定数の変化量は、キャリア濃度に依存していた。また、TeとSiを同時に適量添加することにより、格子補償効果が得られ、高不純物濃度のエピタキシャル層とアンドーピング基板との格子整合をとることができた。今後、添加不純物や成長条件等に検討を加えることにより、GaAsにおいても格子補償技術が確立され、SIデバイスの作製技術としてのみでなく、広くGaAsパワーデバイスの作製に重要な基礎技術となることが期待できる。

参 考 文 献

- [1] R. S. Mroczkowski, A. Witt and H. C. Gatos, "Accommodation of lattice mismatch at heterojunctions," *J. Electrochem. Soc.*, **115**, pp. 750-752, 1968.
- [2] T. B. Light, M. Berkenblit and A. Reisman, "Plastic deformation in epitaxial Ge layers grown on single crystal semi-insulating GaAs," *J. Electrochem. Soc.*, **115**, pp. 969-974, 1968.
- [3] R. H. Saul, "Effect of $\text{GaAs}_x\text{P}_{1-x}$ transition zone on the perfection of GaP crystals grown by deposition onto GaAs substrates," *J. Appl. Phys.*, **40**, pp. 3273-3279, 1969.
- [4] M. S. Abrahams, L. R. Weisberg and J. J. Tietjen, "Stresses in heteroepitaxial layers : $\text{GaAs}_{1-x}\text{P}_x$ on GaAs," *J. Appl. Phys.*, **40**, pp. 3754-3758, 1969.
- [5] S. Prussin, "Generation and distribution of dislocations by solute diffusion," *J. Appl. Phys.*, **32**, pp. 1876-1881, 1961.
- [6] J. Washburn and G. Thomas, "Diffusion-induced dislocations in silicon," *J. Appl. Phys.*, **35**, pp. 1909-1914, June 1964.
- [7] W. Czaja, "Conditions for the generation of slip by Diffusion of phosphorus into silicon," *J. Appl. Phys.*, **37**, pp. 3441-3446, 1966.

- [8] Y. Sugita, M. Tamura and K. Sugawara, "Misfit dislocations in bicrystals of epitaxially grown silicon on boron-doped silicon substrates," *J. Appl. Phys.*, **40**, pp. 3089–3094, 1969.
- [9] T. H. Yeh and M. L. Joshi. "Strain compensation in silicon by diffused impurities," *J. Electrochem. Soc.*, **116**, pp. 73–77, 1969.
- [10] K. Yagi, N. Miyamoto and J. Nishizawa, "Anomalous diffusion of phosphorus into silicon," *Jpn. J. Appl. Phys.*, **9**, pp. 246–254, 1970.
- [11] J. Nishizawa, T. Terasaki, K. Yagi and N. Miyamoto, "Perfect crystal growth of silicon by vapor phase epitaxy," *J. Electrochem. Soc.*, **122**, pp. 664–669, 1975.
- [12] T. Sukegawa, M. Kimura and A. Tanaka, "Compensation Effect of Lattice Constant in Silicon $n^+ - n^-$ Junction by Liquid Phase Epitaxy," *J. Crystal Growth*, **96**, pp. 584–588, 1989.
- [13] T. Sukegawa, M. Kimura and A. Tanaka, "Fabrication of p-i-n Photodiodes on LPE-grown Substrates." *IEEE Electron Device Lett.*, **EDL-10**, pp. 20–22, 1989.
- [14] C.-W. Kim, M. Kimura, K. Yano, A. Tanaka and T. Sukegawa, "Bipolar-mode static induction transistor: experiment and two-dimensional analysis," *IEEE Trans. Electron Devices*, **37**, pp. 2070–2075, 1990.
- [15] T. Kamiya, A. Tomita, M. Kimura, A. Tanaka and T. Sukegawa, "Lattice Compensation Effect in LPE-grown GaAs," *11th Symposium Record of Alloy Semiconductor Physics and Electronics*, pp. 295–299, 1992.

- [16] T. Sukegawa, T. Kamiya, A. Tomita, M. Kimura and A. Tanaka, "LPE growth of heavily doped GaAs layer on non doped substrate in lattice matching condition," *Proc. of the Third China-Japan Symposium on Thin Films*, pp. 51–55, 1992.
- [17] 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, "LPE成長GaAsの格子定数における不純物添加効果," 静岡大学電子科学研究科研究報告, 第16号, pp. 41–44, 1995.
- [18] L. Pauling, *The Nature of the Chemical Bond*, 3rd ed., p. 205, (Cornell University Press, 1960).
- [19] P. F. Fewster and A. F. W. Willoughby, "The effect of silicon doping on the lattice parameter of gallium arsenide grown by liquid-phase epitaxy, vapour-phase epitaxy and gradient-freeze techniques," *J. Crystal Growth*, **50**, pp. 648–653, 1980.
- [20] J. B. Mullin, B. W. Straughan, C. M. H. Driscoll and A. F. W. Willoughby, "Lattice superdilation phenomena in doped GaAs," *J. Appl. Phys.*, **47**, pp. 2584–2587, 1976.
- [21] D. L. Rode, R. L. Brown and M. A. Afromowitz, "Measurement of lattice dilatation in LPE GaAs due to Ge acceptor doping," *J. Crystal Growth*, **30**, pp. 299–303, 1975.
- [22] 日本産業技術振興協会 新材料技術委員会編, 化合物半導体デバイス, p. 361, (日本産業技術振興協会, 1973).
- [23] B. H. Ahn, R. R. Shurtz and C. W. Trussell, "Dependence of growth properties of silicon-doped GaAs epitaxial layers upon orientation," *J. Appl. Phys.*, **42**, pp. 4512–4513, 1971.

第 4 章

GaAs 格子整合 H-L 接合の LPE 成長

4.1 緒 言

GaAs パワー SI デバイスは、高性能・新機能デバイスとして期待されているが、現在十分な結晶成長技術やデバイスプロセス技術がなく、全く実用化されていない。GaAs パワー SI デバイスの作製においては、デバイス活性領域となる高抵抗の低不純物濃度層 (L 層) と電極部分となる低抵抗の高不純物濃度層 (H 層) との接合の形成が非常に重要であり、デバイスの高周波化や高耐圧化などの高性能化の観点から、この接合の不純物濃度変化が大きく、また急峻な方が良い。

通常、GaAs パワーデバイスを作製する場合には、デバイスの電極かつ基板となるように低抵抗の高不純物濃度成長基板上にクロライド VPE 法によってデバイス活性層となる低不純物濃度層を成長させる。しかし、この方法ではオートドーピングによって十分に低い不純物濃度や急峻な接合を実現することは困難である [1]。また、急峻な H-L 接合においては、その不純物濃度差に起因する格子不整合から基板が湾曲しデバイスプロセスを困難にしたり、ミスフィット転位が発生し特性を劣化させたりする [2]。そこで、これらの問題点を解決するために、すでに Si のパワーデバイス作製に用いられている逆エピタキシー技術 [8] を導入することにした。逆エピタキシーとは、低不純物濃度結晶を成長基

板として高不純物濃度のエピタキシャル層を非常に厚く成長し、デバイス作製時には元の成長基板を所望の厚さにしてデバイス活性層として、また成長層をデバイス基板として使用する方法である。高不純物濃度の基板上に低不純物濃度の層を成長させる通常のエピタキシー技術においてオートドーピングの問題が生ずるのに対して、本方法ではオートドーピングの問題を避けることができる。

本章では、逆エピタキシーとしてのLPE法によるGaAs格子整合H-L接合の形成技術の確立を目的として、アンドープGaAs基板上へのGeドーピングGaAs厚膜のLPE成長実験を行い、それにより形成された p^+i 接合の評価と、GaAs SIデバイスの作製技術としての検討を行ったので述べる [3-7]。

4.2 GaAs 格子整合 p^+i 接合の形成の原理

GaAs パワー SI デバイス 作製 に 要求 される のは、プロセス が 行える よう に デバイス の 基板 として の 十分 な 厚さ を もち、電極 として 十分 に 低い 抵抗 である 高不純物濃度層 の 上に、 $20 \sim 30 \mu\text{m}$ の 厚さ の 非常 に 高純度 かつ 高品質 な 活性層 を もつ 急峻 な 接合 の 形成 技術 の 確立 である。GaAs において は、Si の よう に 高品質 な バルク 結晶 成長 は 非常 に 困難 であり、SI デバイス 活性層 となる よう な GaAs 結晶 基板 は 実現 されて いない。しかし、アンドープ 基板上 に LPE 法 や CVD 法 で エピタキシャル 成長 した 高純度 の GaAs 層 では 10^{13} cm^{-3} 台 の キャリア 濃度 が 実現 されて おり、さらなる 研究 を 行な えば GaAs パワー SI デバイス の 活性領域 に 要求 される 高純度・高品質 GaAs 層 の 成長 が 可能 になると 期待 される。そこで、アンドープ 成長 基板上 に エピタキシャル 成長 した 高純度 GaAs 層 に 逆エピタキシー を 行な えば オートドーピング の ない 高純度 GaAs 層 が 活性層 として 利用 でき、さらに 格子補償 効果 を 用いて 格子不整 の ない 高品質 な H-L 接合 が 形成 できると 考えられる。

以上のような観点から、逆エピタキシーとしてLPE法によってGaAs p⁺-i接合の形成を行う。本研究において、p⁺のドーパントとしてGeを選んだ。GeはGaAs中においては両性不純物であるが、Ga溶媒を用いてGaAsのLPE成長をおこなう場合、成長層はp型となる。表3.1に示したように、Geの共有結合半径は1.22 Åであり、ちょうどGaとAsの共有結合半径の平均値となっている。また、GaAsとGeの単結晶の格子定数はそれぞれ5.6537 Åと5.6579 Åと非常に近い値を持っている [9]。これらのことから、Geをドーパントとして用いた場合、異なる不純物を同時添加することなく、Geを高濃度にドーブしたp⁺ GaAs層とアンドープGaAs層との格子整合がとれることが期待できる。実際、第3章で既に述べたように、GeをドーパントとしてLPE成長したGaAsは $1 \times 10^{19} \text{ cm}^{-3}$ という非常に高い正孔濃度においても、アンドープのGaAsとほぼ等しい格子定数を持つ。従って、高濃度Geドーブ層をアンドープGaAs層の上に成長しても格子整合が取れており、基板が湾曲することはない。

4.3 成長実験

4.3.1 成長溶液の作成

Ga-As-Ge三元状態図 [10] をもとに、900°Cで飽和組成となる溶液を作成した。Ga(純度：6N)を15g、GaAs多結晶(純度：6N)を2.4g、Ge(純度：6N)を2.0gそれぞれ秤量した後、以下の処理をおこなった。Gaは、HCl : H₂O = 1 : 9, 25°Cの溶液を用いて10分間エッチングした。GaAs多結晶は、トリクレン、アセトン、メタノールでそれぞれ5分間ずつ超音波洗浄した後、純水で置換し、H₂SO₄ : H₂O₂ : H₂O = 4 : 1 : 1, 60°Cの溶液を用いて30秒間攪拌しながらエッチングした。Geは、トリクレン、アセトン、メタノールで5分間ずつ超音波洗浄した後、純水で置換し、HNO₃ : HF : CH₃COOH = 5 : 3 : 3,

25°C の溶液で10分間エッチングした。どれもエッチング後は、純水、メタノールで置換した。

前処理をおこなったGa, Geを石英アンブルに仕込み、一旦 1.33×10^{-4} Pa 以下迄真空排気した後、そのまま真空排気しながら 950°C で30分間ベーキングを行った。冷却後、前処理をしたGaAs多結晶を仕込み、 1.33×10^{-4} Pa 以下迄真空排気した後、石英アンブルを封じ切った。この石英アンブル中に仕込まれた材料を950°Cで24時間揺動攪拌をおこなった後、急冷し固化した。このように作成した合金を成長溶液として、LPE成長実験に使用した。

4.3.2 成長方法

成長実験に用いたLPE成長装置は、電気炉に3ゾーンの抵抗加熱炉を用い、成長は雰囲気ガスとしてPd膜を拡散させて純化したH₂を流した石英反応管内で、カーボン製スライドポートを用いておこなった。図4.1に実験に用いたカーボンポートの概略図を示す。スライドポートは溶液の飽和を完全にするための原料結晶基板が底に配置された成長溶液溜めがある本体と成長用基板を移動させるため石英操作棒で電気炉外部から操作できるスライダから成る。基板は成長溶液上側に配置され、成長が行われる。これは、重力の効果による密度対流のため、溶質が溶液上側に輸送されるので、溶液上側に基板を置いて成長した方が成長速度が速く [11,12], 厚い成長層を得るという目的に適しているからである。

成長基板には、LEC(Liquid Encapsulated Czochralski)アンドープ半絶縁性GaAs(100)ウエハ($\rho \geq 1 \times 10^7 \Omega \cdot \text{cm}$)を用いた。基板には、高純度エピタキシャル層を成長したものをを用いる方がよいが、ここでは逆エピタキシーによる格子整合したp⁺-i接合の形成法の確立を目的としており、アンドープの格子定数をもつGaAs結晶であれば良いので、市販

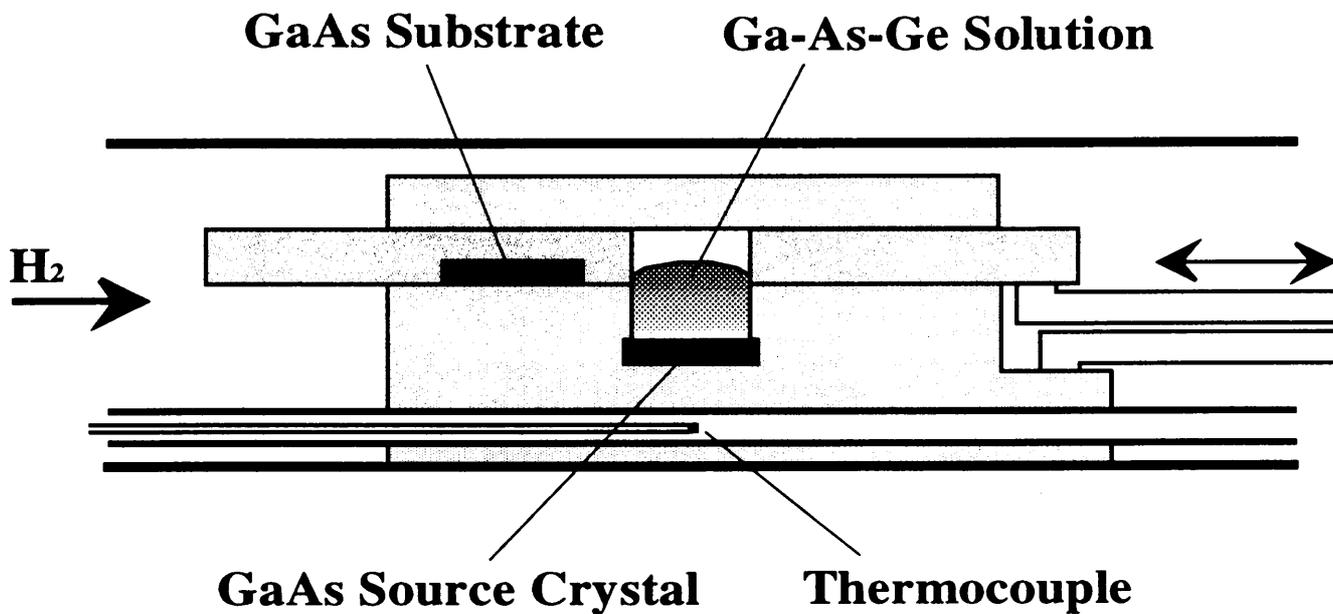


図 4.1 成長実験に使用したカーボン製スライドボートの概略図

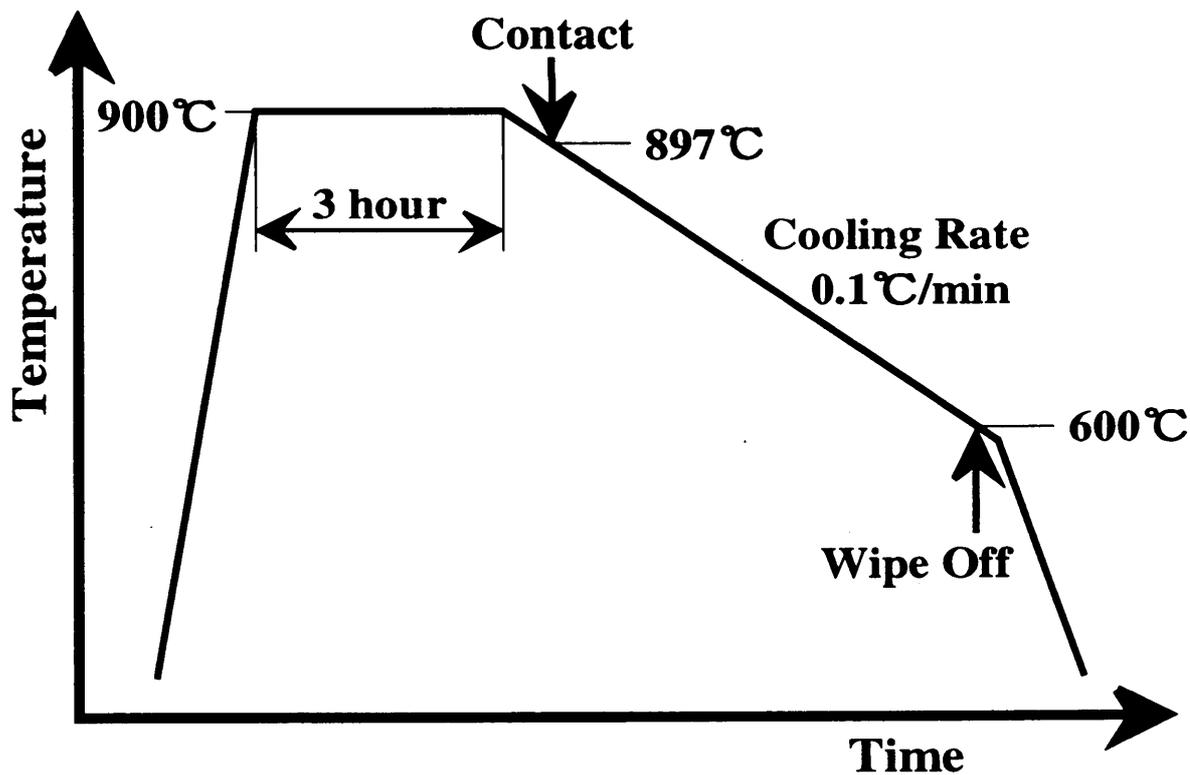


図 4.2 成長実験に用いた温度プログラム

のアンダーブ GaAs 基板をそのまま使用した。また成長溶液の飽和の補償用として成長溶液の下側に仕込んだ原料結晶基板にはアンダーブ GaAs 多結晶ウエハを用いた。両基板とも成長前に、有機洗浄後、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 4 : 1 : 1$ 、 60°C の溶液を用いて 30 秒間攪拌しながらエッチングをおこない、純水、メタノールで置換した。前述の様に作成した成長溶液は、成長前に $\text{HCl} : \text{H}_2\text{O} = 1 : 9$ 、 25°C の溶液を用いて 10 分間エッチングをおこない、純水、メタノールで置換した。

図 4.2 に成長温度プログラムを示す。 900°C で 3 時間保持し溶液を飽和させた後、冷却速度 $0.1^\circ\text{C}/\text{min}$ で徐冷し始め、そして 3°C の冷却をおこなった後、基板と溶液を接触させて成長を開始した。その後 600°C まで徐冷をおこなった後、基板と溶液を切り離して成長を終了した。

4.4 成長結果

図 4.3 に典型的な成長層の表面写真を示す。一部に成長終了時に成長溶液が拭いきれなかったため析出した Ge が付着しているが、成長表面は滑らかな鏡面であった。

図 4.4 に典型的な成長層の断面顕微鏡写真を示す。界面は全面にわたり平坦で、約 $350\ \mu\text{m}$ の厚い成長層が均一に成長している。この 1 回の徐冷で得られた成長層厚は、デバイスプロセス中、素子の形状を支えるのに十分な厚さであり、デバイス基板として使用可能である。

また、van der Pauw 法による Hall 効果の測定から、この成長層は伝導型は p 型で、キャリア濃度は約 $1 \times 10^{19}\ \text{cm}^{-3}$ であることがわかった。この値は、素子の低抵抗基板のキャリア濃度として十分な値である。

図 4.5 に成長方向に測定した成長層の拡がり抵抗分布を示す。拡がり抵抗は針の形状

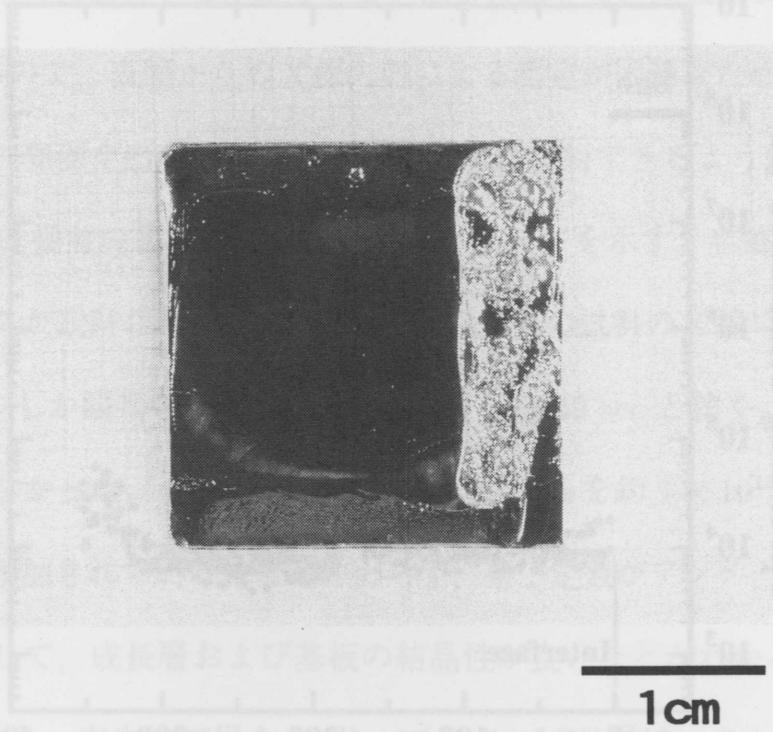


図4.3 典型的な成長層の表面写真

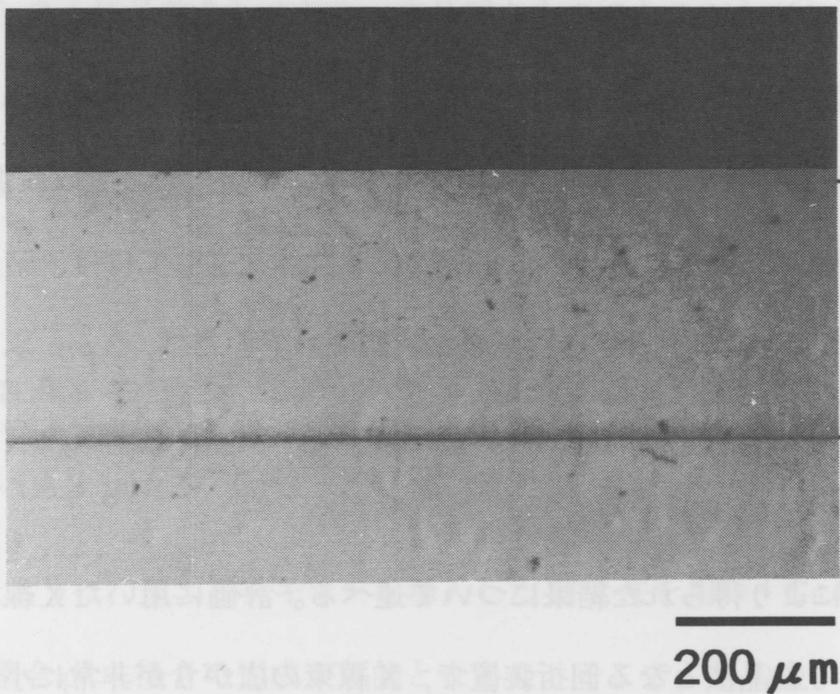


図4.4 典型的な成長層の断面顕微鏡写真

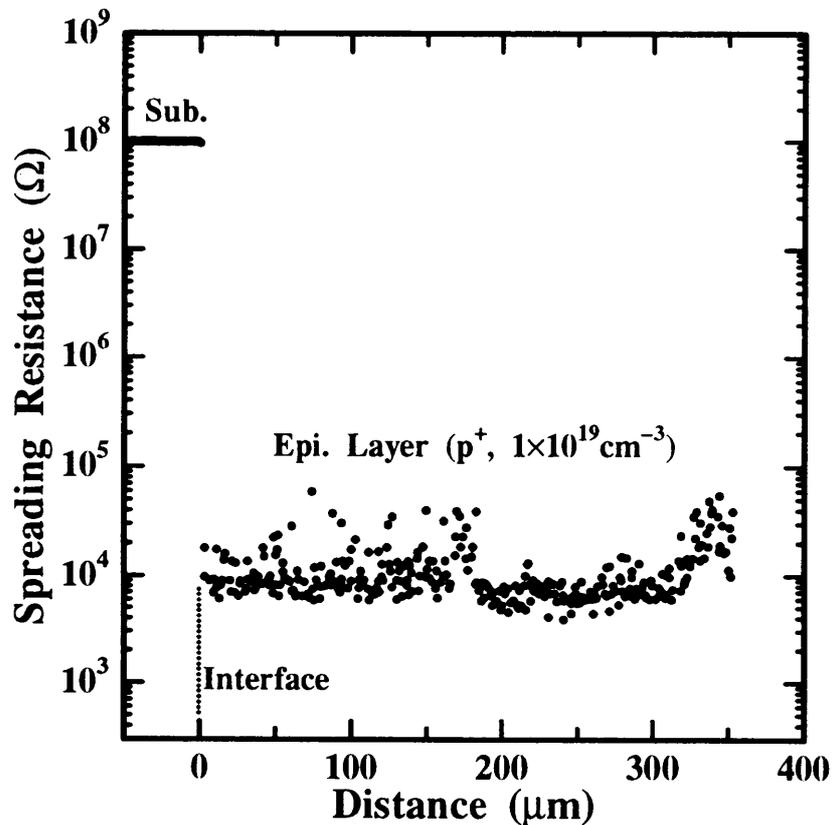


図4.5 成長方向への成長層の拡がり抵抗分布

や結晶との接触状態によって変化してしまうため、その抵抗値は絶対的なものではないが、抵抗値の分布からキャリア濃度の分布を推測することができる。成長温度が 900 °C から 600 °C まで変化しているにも関わらず、成長層全体を通してほぼ一定のキャリア濃度が得られていることがわかる。さらに基板と成長層の界面では、2 μm 以下の範囲で抵抗率が急峻に変化しており、非常に急峻なキャリア濃度プロファイルをもつ接合が形成されている。

次に、X線回折により得られた結果について述べる。評価に用いたX線回折装置は測定試料も含めれば、5結晶法となる回折装置で、X線束の広がり非常に小さく、小さな格子定数差による Bragg 角の差を検出できるので、相対的ではあるが、基板と成長層の格

子定数の違いを精密に測定する事ができる。測定において、基板および成長層ともに数百 μm の厚さがあるので、表面からの X 線入射による測定が困難なため、試料を斜め研磨して基板と成長層の界面を出した上で、両方に X 線が入射できるようにして測定を行った。

図 4.6 (a) に成長前の基板の X 線ロックアップカーブを示す。半値幅が 9.58 秒の非常にシャープなピークが観察された。図 4.6 (b) に成長後の試料の X 線ロックアップカーブを示す。ピークは 1 つしか観察されず、その FWHM も 12.49 sec と狭く、基板の FWHM と比較しても遜色がなかった。このことから、成長層は Ge を約 $1 \times 10^{19} \text{ cm}^{-3}$ 以上も含む高濃度に不純物が添加されているにもかかわらず、格子定数がアンドープ基板とほぼ一致していること、そして、成長層および基板の結晶性が良いことがわかる。

以上の結果から、本方法で得た Ge ドープ GaAs LPE 層は、キャリア濃度分布が均一かつ非常に低抵抗率で十分な厚さを持つので素子の基板として使用可能であることが確認できた。また、形成された接合は急峻なキャリア濃度プロファイルをもつうえに、アンドープ基板と良く格子整合しており、高品質なものであることがわかった。このように、Ge ドープ GaAs の LPE 成長により GaAs SI デバイス作製のキープロセスであるデバイス活性領域となる i 層と電極かつデバイス基板となる p^+ 層の接合を格子整合下で形成することができる。

4.5 GaAs pin ダイオードの試作と評価

4.5.1 GaAs pin ダイオードの試作

前述したように、逆エピタキシーを導入した LPE 法を用い、GaAs SI デバイスで重要となる格子整合 p^+ -i 接合の形成が可能となった。そこで、この逆エピタキシーによって形成した p^+ -i 接合を用いて GaAs pin ダイオードを試作して、GaAs SI デバイス作製技術

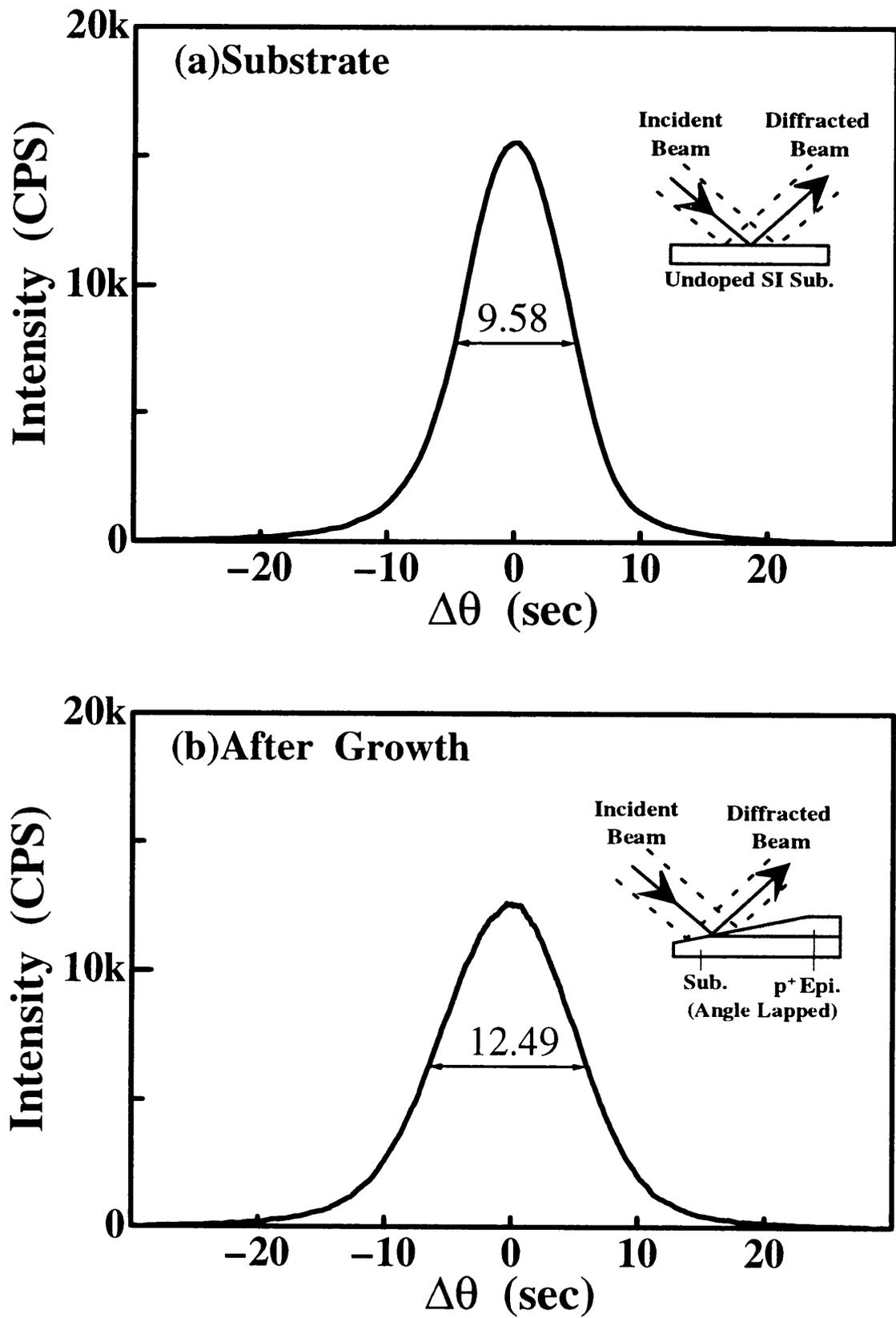


図4.6 成長前の基板 (a) と成長後の試料 (b) のX線回折ロックンングカーブ

として適当かどうかを評価した。ここでは、アンドープ半絶縁性 GaAs 基板上に直接 Ge ドープ層の逆エピタキシーをおこない、アンドープ GaAs 基板が i 層となる pin ダイオードを作製した。以下に、GaAs pin ダイオードの作製手順について述べる (図 4.7)。

- (a) LEC アンドープ半絶縁性 GaAs 基板 (n^- , $\rho \geq 1 \times 10^7 \Omega \cdot \text{cm}$) 上に、LPE 法により約 $350 \mu\text{m}$ の p^+ 層 (Ge-doped, $1 \times 10^{19} \text{ cm}^{-3}$) を成長させた。
- (b) i 層を、数十 μm の厚さに研磨し、鏡面に仕上げた。
- (c) i 層上に、再び LPE 法を用いて $2 \sim 3 \mu\text{m}$ の n^+ 層 (Te-doped, $5 \times 10^{18} \text{ cm}^{-3}$) を成長させ、pin 構造を形成した
- (d) p^+ 側には全面に Au-Zn を、 n^+ 側にはメタルマスクを使用してドット状に Au-Ge を真空蒸着して、 H_2 中でシンターして、オーミックコンタクトを形成した。

4.5.2 pin ダイオードの特性および i 層の評価

図 4.8 に試作した GaAs pin ダイオードの $I-V$ 特性を示す。横軸は 0.5 V/div 、縦軸は 1 mA/div である。順方向で、 1.1 V 付近から急激な電流の立ち上がりが見られる。また逆方向には若干の漏れ電流が見られるが、この漏れ電流は電圧に対して比例しており、これはダイオードにパッシベーション処理を施していないための表面漏れ電流と考えられる。

この pin ダイオードの i 層を評価するため、電子線照射による誘起電流 (EBIC: Electron Beam Induced Current) [13, 14] を用いた解析をおこなった。EBIC 解析により、電子線照射で励起され生成したキャリアによって生じる誘起電流の強度 (EBIC 信号の強度) と電子線の照射位置との関係から、空乏層幅やその位置などがわかる。図 4.9 に i 層と n^+ 層の接合部近辺に電子線を照射したときの EBIC 信号の分布状態を示す。縦方向は EBIC 信号の強度を表しており、横方向は n^+ 表面から深さ方向への距離を表している。 $n^+ - i$ 接合部で、はっきりとした EBIC 信号のピークが見られる。 $p^+ - i$ 接合部ではこのようなピークは見ら

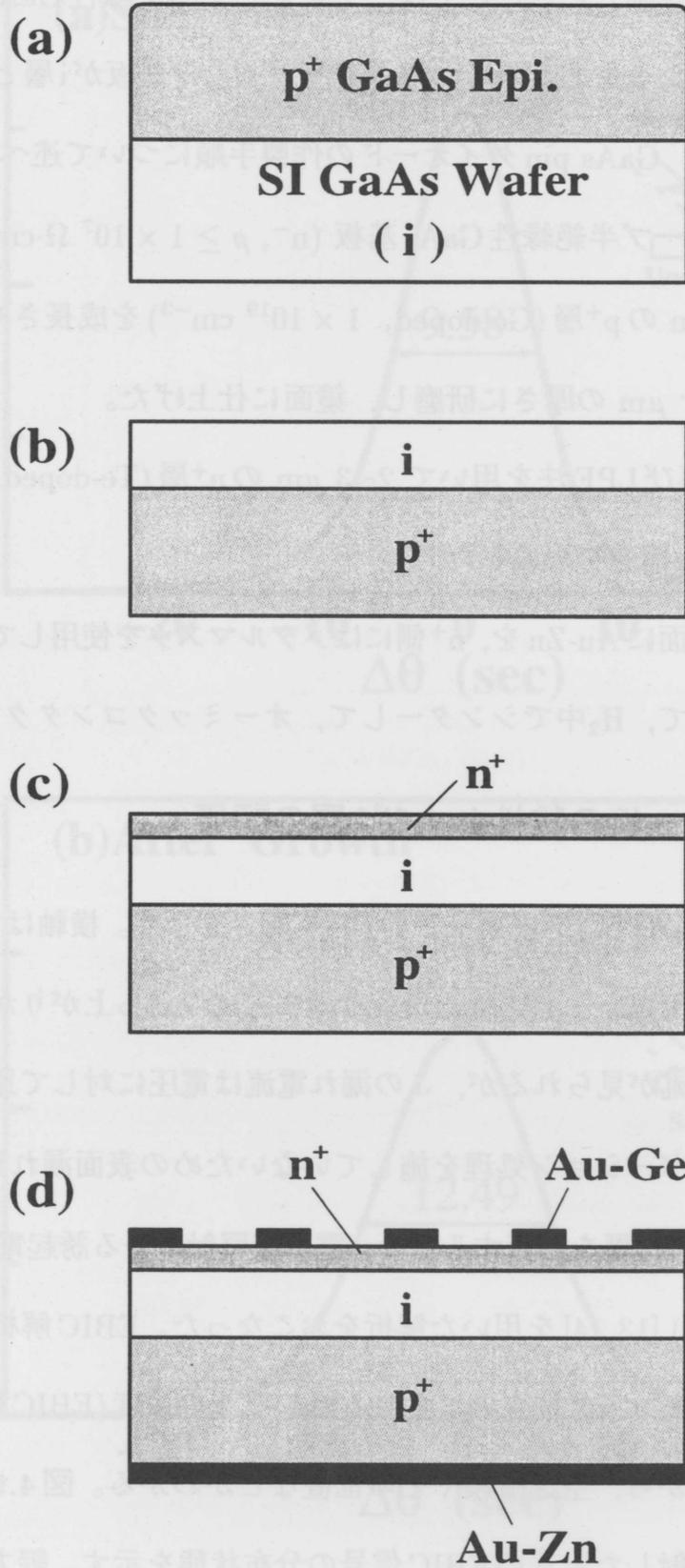
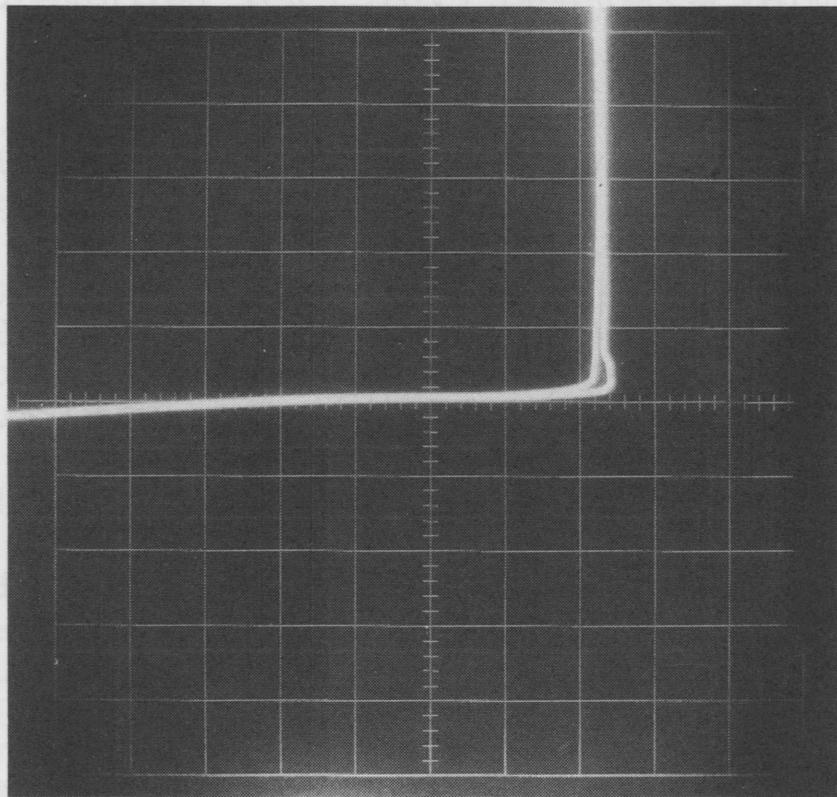


図4.7 GaAs pin ダイオードの作製手順



VERT.
1 mA/div

HORIZ.
0.5 V/div

図4.8 試作したGaAs pinダイオードのI-V特性

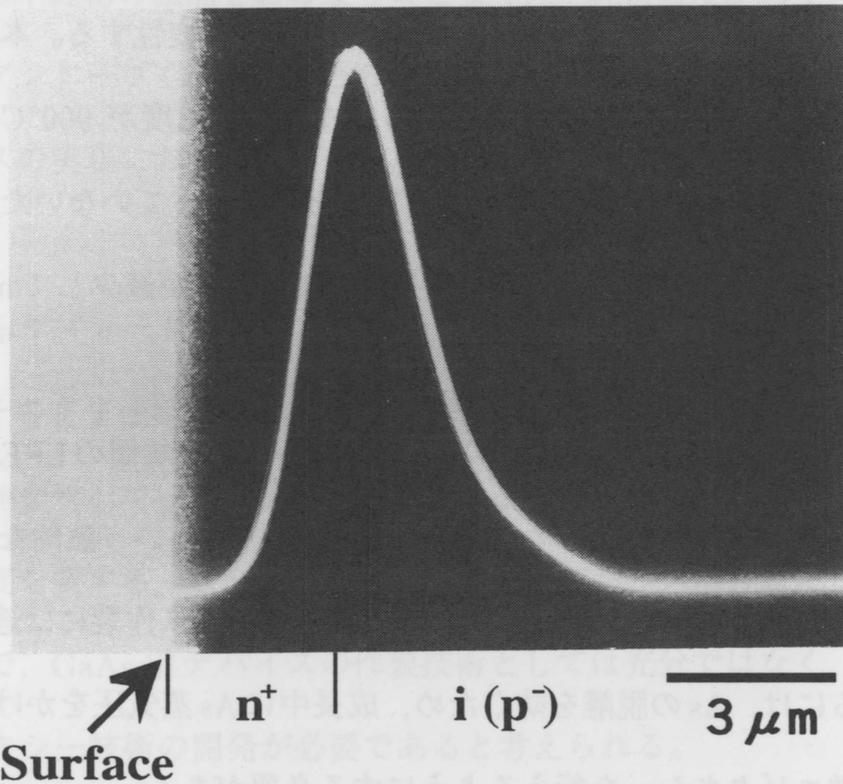


図4.9 試作GaAs pinダイオードのEBIC特性

れず、 n^+ - i 接合部のみに空乏層が存在していることから、 i 層は p 型となっていることがわかる。また、この空乏層幅からその不純物濃度は $10^{14} \sim 10^{15} \text{ cm}^{-3}$ と見積もられる。

LEC法で得られるバルク GaAs 中には、通常 EL2 と呼ばれる深いドナー準位 (活性化エネルギー $E_a = 0.825 \text{ eV}$) となる欠陥が約 10^{16} cm^{-3} 程含まれている。LEC アンドープ GaAs ウェーハが半絶縁性になるのは、残留不純物である C (炭素) による浅いアクセプタ ($10^{14} \sim 10^{15} \text{ cm}^{-3}$) をバンドギャップの中央付近にある EL2 が補償しているためである。EL2 は、バルク結晶の成長条件が As 過剰になる程その濃度が増加し、過剰 As が関与した結晶欠陥によるものと考えられているが、そのミクロな構造についてはまだ明らかにされていない。この EL2 は、As 蒸気圧を制御しない状態で LEC 半絶縁性 GaAs ウェーハを熱処理すると減少し、高抵抗の n 型ウェーハは p 型に反転することが知られている [15,16]。最初、C による浅いアクセプタは、EL2 によって補償されているが、熱処理によってウェーハ表面から As が蒸発して EL2 が消滅し、EL2 濃度が減少する。このため浅いアクセプタ濃度と EL2 濃度の逆転がおこり、ウェーハは n 型から p 型へ変性する。本研究で行った p^+ GaAs 層の LPE 成長は、厚い成長層を得るために成長開始温度が 900°C と高温であると同時に長時間の成長であり、また As 蒸気圧の制御をおこなっていないため、LPE 成長中に、LEC GaAs 成長基板からの As の蒸発が生じ、EL2 濃度が減少して n 型から p 型へ反転する熱変性が生じたと考えられる。

すなわち、本章でおこなった 900°C という高温からの長時間の LPE 成長による逆エピタキシー技術はデバイス活性層となる GaAs 層に As 抜けという熱的な損傷を与えており、SI デバイスのように高品質な活性層が必要となるデバイス作製には適当ではない。この問題を解決するには、As の脱離を防ぐため、成長中に As 蒸気圧をかけたり、より低温でかつ短時間に逆エピタキシーを行えるようにする必要がある。

4.6 結 言

本章では、逆エピタキシーの発想を導入したLPE法による格子整合H-L接合の形成技術の開発を目的として、アンドープGaAs基板上へのGeドープGaAs厚膜のLPE成長実験とそれにより形成された接合の評価をおこなった。更にこの新しいLPE法によって形成したLECアンドープ半絶縁性GaAs基板をi層として使用した格子整合p⁺-i接合を用いてGaAs pinダイオードの試作をおこない、GaAs SIデバイス作製技術としての評価をした。

H層としてGeドープGaAs層のLPE成長をおこなった結果、900°Cから600°Cまでの1回の徐冷成長で、素子の基板とするのに十分な300 μm以上の厚さを持つ均一で低抵抗率のp⁺GaAs層が得られることがわかった。また、GaAs SIデバイス作製に必要な、非常に急峻な不純物濃度分布を持つH-L接合が得られている事も確認できた。さらに、格子補償用の不純物の添加をおこなうことなく、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ 以上のp⁺GaAs層とアンドープGaAs基板との格子整合がとれることがわかった。この結果、GaAs SIデバイスの実現において非常に重要な技術となるGaAs格子整合p-i接合形成技術が開発できた。

またGaAs pinダイオードを試作して評価をおこなった結果、LECアンドープ半絶縁性GaAs基板をそのまま使用して形成した格子整合p⁺-i接合のi層は、LPE成長中のAsの蒸発によって熱変性してp型に反転していた。このことから、成長開始温度900°Cの高温からの長時間を要する、この逆エピタキシー法はデバイス活性層になるGaAsに熱的損傷を与えるので、GaAs SIデバイスの作製技術としては充分ではなく、低温・短時間でできる逆エピタキシー技術の開発が必要であると考えられる。

参考文献

- [1] G. R. Srinivasan, "Autodoping effects in silicon epitaxy," *J. Electrochem. Soc.*, **127**, pp. 1334-1342, 1980.
- [2] Y. Sugita, M. Tamura and K. Sugawara, "Misfit dislocations in bicrystals of epitaxially grown silicon on boron-doped silicon substrates," *J. Appl. Phys.*, **40**, pp. 3089-3094, 1969.
- [3] T. Sukegawa, M. Suzuki, M. Kimura, T. Kamiya, A. Tomita and A. Tanaka, "A new fabrication technique of GaAs power devices using LPE," *Proc. of Symposium on Materials and Devices For Power Electronics-MADEP*, (Firenze), pp. 19-29, 1991.
- [4] 木村雅和, 神谷俊幸, 富田晃吉, 田中 昭, 助川徳三, "高純度半導体領域を用いた新しい光パワーデバイスの開発—GaAs SI サイリスタの実現をめざして—," 静岡大学電子工学研究所研究報告, 第**26**巻, 第1号, pp. 45-56, 1991.
- [5] A. Tomita, T. Kamiya, M. Kimura, A. Tanaka and T. Sukegawa, "Application of a new fabrication technique to GaAs SITHy using LPE," *Proc. of 1992 International Symposium on Power Semiconductor Devies & ICs*, (Tokyo), pp. 198-201, 1992.
- [6] T. Sukegawa, T. Kamiya, A. Tomita, M. Kimura and A. Tanaka, "LPE growth of

heavily doped GaAs layer on non doped substrate in lattice matching condition,”
Proc. of the Third China-Japan Symposium on Thin Films, pp. 51-55, 1992.

- [7] 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “新しい LPE 法を用いた GaAs p-channel BSIT の製作,” 静岡大学大学院電子科学研究科研究報告, 第 15 号, pp. 39-46, 1994.
- [8] T. Sukegawa, M. Kimura and A. Tanaka, “Fabrication of p-i-n Photodiodes on LPE-grown Substrates,” *IEEE Electron Device Lett.*, **EDL-10**, pp. 20-22, 1989.
- [9] 岡田安正, “格子定数の精密測定法による半導体単結晶の不完全性の研究,” 電子技術総合研究所研究報告, 第 913 号, p. 44, 1990.
- [10] M. B. Panish, “The gallium-arsenic-tin and gallium-arsenic-germanium ternary systems,” *J. Less-Common Metals*, **10**, pp. 416-424, 1966.
- [11] 渡部信一, “yo-yo Solute Feeding 法による III-V 族化合物混晶の成長,” 静岡大学大学院工学研究科修士論文, 1988.
- [12] 金井 宏, 角辻文康, 木村雅和, 田中 昭, 助川徳三, “yo-yo 溶質供給法による GaAs の液相成長,” 電子情報通信学会技術研究報告, ED95-29, CPM95-11, pp.25-29, 1995.
- [13] 日置, “電子線照射による各種材料の解析,” 日本電子ニュース, **18**, pp. 12-19, 1978.
- [14] G. Oelgart, J. Fiddicke and R. Reulke, “Investigation of minority-carrier diffusion lengths by means of the scanning electron microprobe(SEM),” *Phys. Stat. Sol.*, **66**, pp. 283-292, 1981.

- [15] L. B. Ta, H. M. Hobgood, A. Rohatgi and R. N. Thomas, "Effects of stoichiometry on thermal stability of undoped, semi-insulating GaAs," *J. Appl. Phys.*, **53**, pp. 5771-5775, 1982.
- [16] M. Matsui and T. Kazuno, "Abnormal outdiffusion behavior of the deep level EL2 at the surface layer of undoped semi-insulating GaAs," *Appl. Phys. Lett.*, **51**, pp. 658-660, 1987.

第 5 章

Ge/GaAs 連続 LPE 成長

5.1 緒 言

前章では、GaAs SIデバイスの作製技術として、LPE法による逆エピタキシーを用いたGaAs p⁺-i接合の形成法を開発した。しかしながら、Geを高濃度ドーピングした非常に厚いGaAs層をLPE成長するために、高温から低温に至る長時間の成長をおこなっていたので、成長基板として用いたアンドープ半絶縁性GaAsが熱変性を起こした。これは、長時間、高温の環境に置かれたことにより、蒸気圧の高いAsが結晶中から蒸発したことが原因である。

実際にSIデバイスを作製する時には、成長基板にはアンドープ基板上へデバイス活性層となる高純度・高品質GaAs層をエピタキシャル成長したものを用いることになるが、Asが解離すれば結晶欠陥となりキャリア濃度の上昇やキャリア寿命の低下が起き、SIデバイス活性層としての要求を満たさなくなってしまう。

この問題を解決するためには、逆エピタキシーの低温化や短時間化を図ったり、適当なAs蒸気圧をかけて成長を行う必要がある。しかし、単に前章の成長を低温化・短時間化しても十分な厚さのGaAs成長層は得られない。また、適切なAs蒸気圧をかけて成長を行うことは、基板や溶液を密閉された系内に納めなければならない上に、基板や溶液と

は別に As の温度を独立に制御する必要があり容易ではない。

そこで本章では、逆エピタキシーの低温化と短時間化を図るために、新たに逆エピタキシーにおける Ge/GaAs 構造の使用と Ga-As-Ge 三元溶液の性質を利用した Ge/GaAs 連続液相エピタキシャル成長を提案し、連続 LPE 成長による厚い p^+ Ge/ p^+ GaAs ヘテロ構造の成長実験とその成長層の評価について述べる [1,2]。

5.2 Ge/GaAs 構造

第 4 章では、逆エピタキシーとしてデバイス構造に必要な接合とデバイスを機械的に支持する基板を単一の p^+ GaAs 層の成長によって形成していた。そのため、厚い GaAs 成長層が必要となり、高温から低温にいたる非常に長時間の成長が不可欠であった。しかしながら、接合の形成およびデバイス基板の成長という二つの機能を実現できればよいのであるから、これらの機能を分けて達成することを考えた。すなわち、 p^+ GaAs は、デバイスの動作に必要な分だけ薄く成長して、素子を支える基板となる部分には、厚い層が低温で短時間に成長できるものを用いればよい。

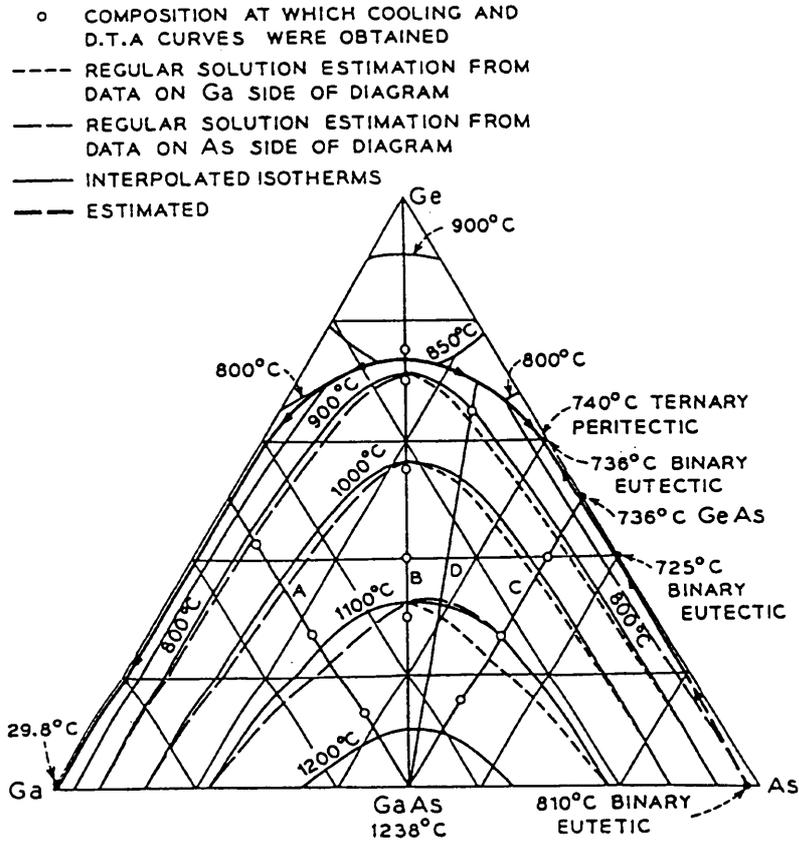
そこで、その素子の基板部分として逆エピタキシーする材料として、以下のような特長を持つ Ge を選択した。GaAs と比較して、Ge は、機械的強度、熱伝導率が大きく、また、より高キャリア濃度が達成でき一層の低抵抗化が可能なうえ、格子定数および熱膨張係数がほぼ等しい。さらに、Ge は、溶媒である Ga への溶解度が比較的低温でも大きく、温度に対する溶解度の変化量が大きいので、低温で短時間に厚いエピタキシャル層が得られることが期待される。従って、Ge は、デバイスの基板部分として逆エピタキシーを行うのに適した材料であると考えられるからである。

5.3 Ge/GaAs 連続液相エピタキシャル成長

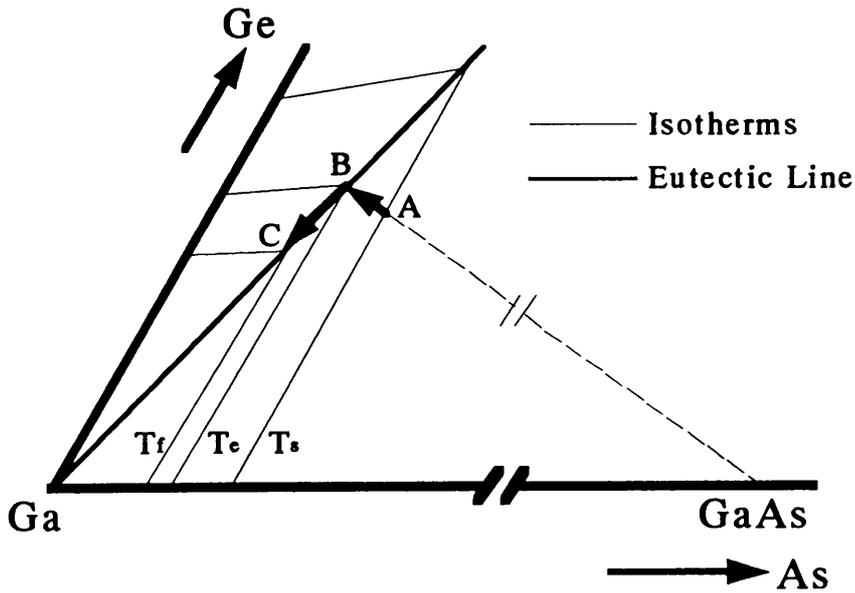
図5.1 (a) に、Ga-As-Ge の三元系状態図を示す [3]。この系は共晶線を持ち、それより GaAs 側の組成領域からは GaAs が析出する。図5.1 (b) に、その状態図の Ga-rich 部分の模式図を示す。この図では、説明のために As 方向をとくに拡大して描いてある。いま、組成 A を持つ溶液を準備し、それを冷却していく。温度が T_c になると溶液が飽和して、GaAs が析出し始める。そのため、溶液組成は、温度が下がるにつれて、GaAs 点 (Ga 組成 0.5, As 組成 0.5) と A 点を結ぶ直線上に沿って矢印のように変化し、温度 T_c で共晶組成 B となる。この共晶線上で、液相面が Ga 頂点方向を下流とする谷底を形成しているので、さらに温度を下げると、溶液組成は共晶線に沿って B から C 方向へ変化し、過飽和分が GaAs と Ge の共晶として析出する。このとき溶液は As 濃度が非常に低いので、析出する共晶はほとんど Ge によって構成されている。すなわち、Ga-As-Ge 溶液を冷却すると、まず GaAs が析出し、温度 T_c で GaAs の析出はほぼ終わり、次に Ge の析出がおこる。従って、種子結晶として GaAs 基板を用いれば、基板の溶解や格子不整合等の問題がないので、GaAs 基板上に GaAs エピタキシャル層が、引き続きその上に Ge エピタキシャル層が成長できると考えられる。また、温度変化に対して、この Ge の溶解度は大きく変化するので、非常に厚いエピタキシャル層が低温度でしかも短時間に成長できることが期待できる。

5.4 成長方法

実験に用いた LPE 成長装置は、第 4 章と同様なもので、3ゾーンの抵抗加熱炉を用い、成長は雰囲気ガスとして Pd 膜を拡散させて純化した H_2 を流した石英反応管内で、カーボン製スライドボートを用いておこなった。図5.2に、この実験に用いたカーボンスライドボートの概略図を示す。このカーボンボートは一般的なスライドボートであり、種子結



(a)



(b)

図 5.1 (a) Ga-As-Ge の三元系状態図 [3], (b) Ge/GaAs 連続成長の説明図

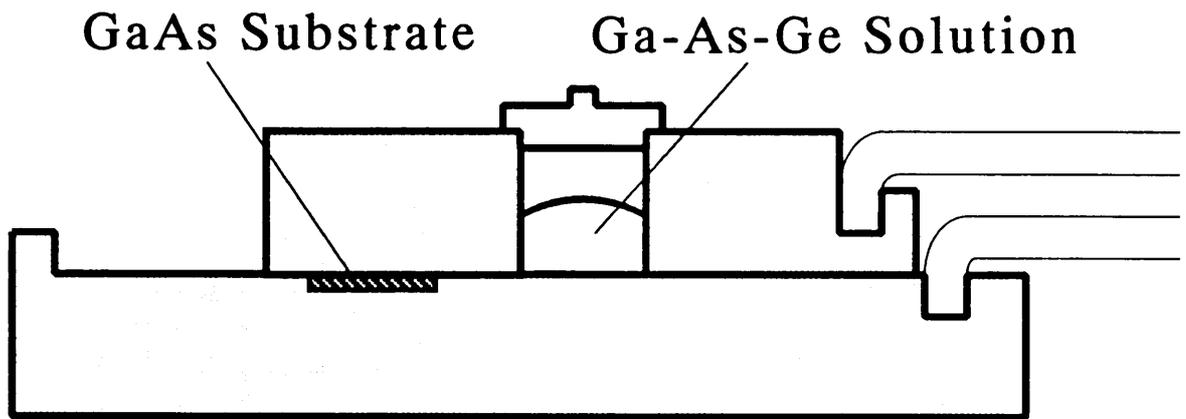


図5.2 カーボン製スライドボート

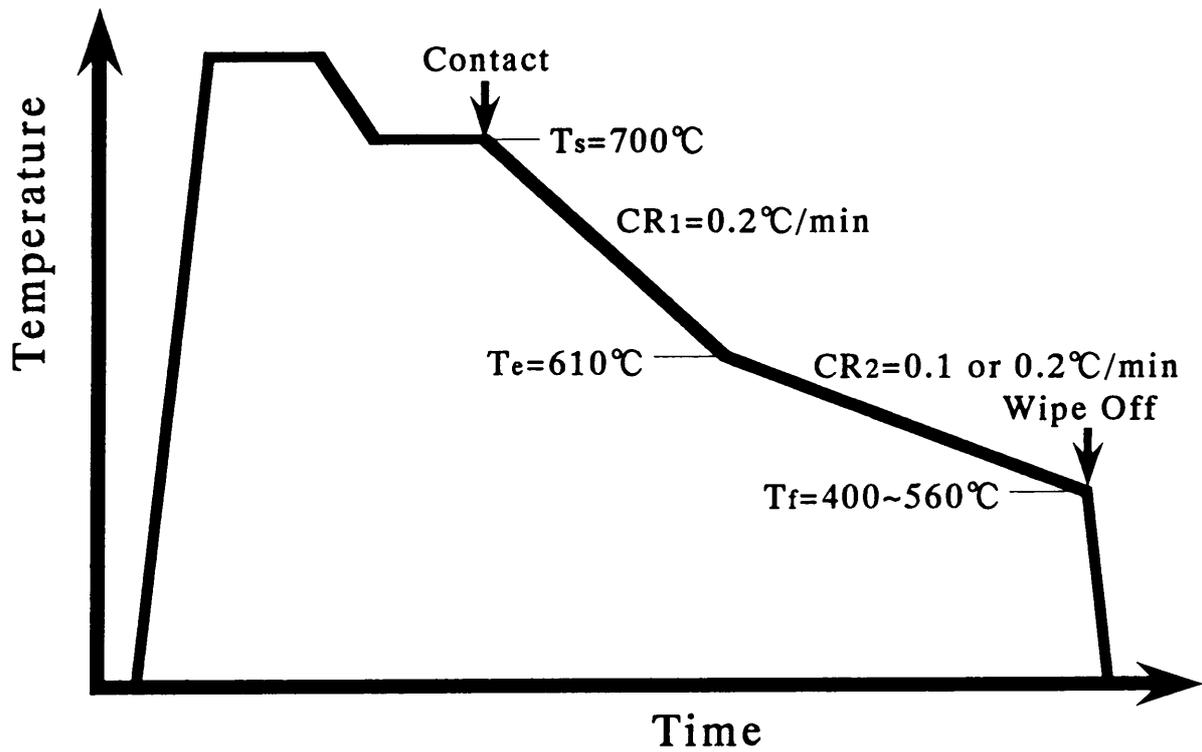


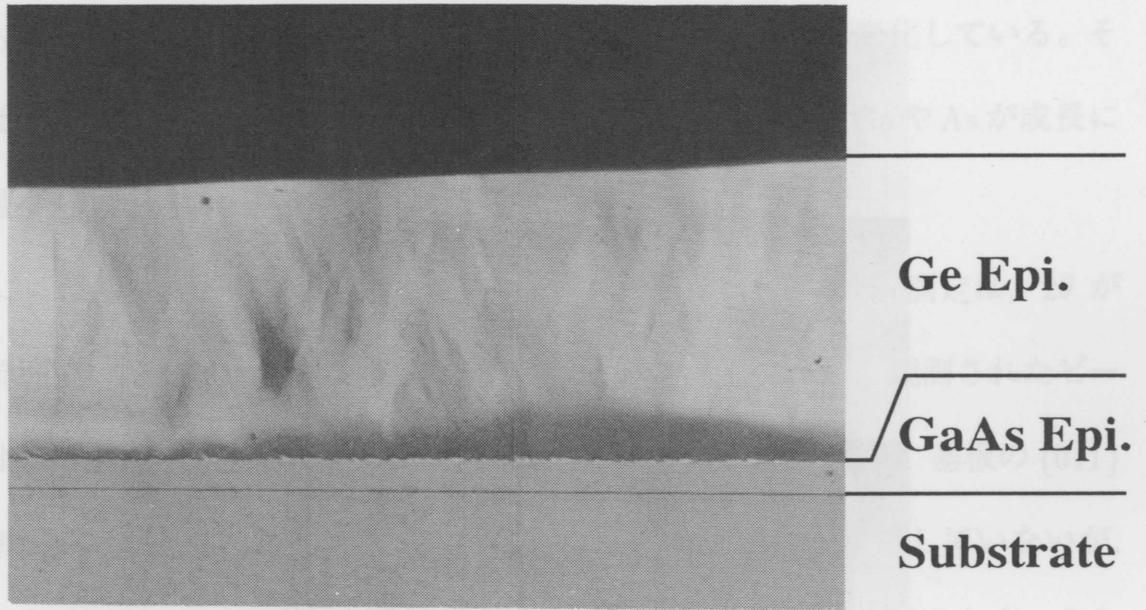
図5.3 成長に用いた温度プログラム

晶基板が配置される本体と溶液溜めのあるスライダ部からなる。種子結晶基板は、 $15 \times 15 \text{ mm}^2$ のアンドープ半絶縁性 GaAs (100) を使用した。成長溶液には、5 g の Ga, 2.14 g の Ge に、あらかじめ 700°C で GaAs を飽和溶解させた後急冷したものをを用いた。成長実験は以下のような手順でおこなった。カーボンボートに GaAs 基板と成長溶液を仕込んで、反応管内を一旦真空排気した後に、 H_2 ガスを流す。その後、図 5.3 に示すように、 720°C まで昇温し溶液を完全に溶解してから、成長開始温度 700°C まで徐冷し、20 分間保持して溶液を安定させた後、溶液を基板の上に接触させ成長を開始した。同時に冷却速度 $0.2^\circ\text{C}/\text{min}$ で徐冷を開始し、共晶が析出し始めると予想される温度 610°C まで冷却する。さらに、冷却速度 0.1 または $0.2^\circ\text{C}/\text{min}$ で成長終了温度 $400 \sim 560^\circ\text{C}$ まで徐冷をおこなった後、溶液を基板から切り離して成長を終了した。

5.5 成長結果および成長層の評価

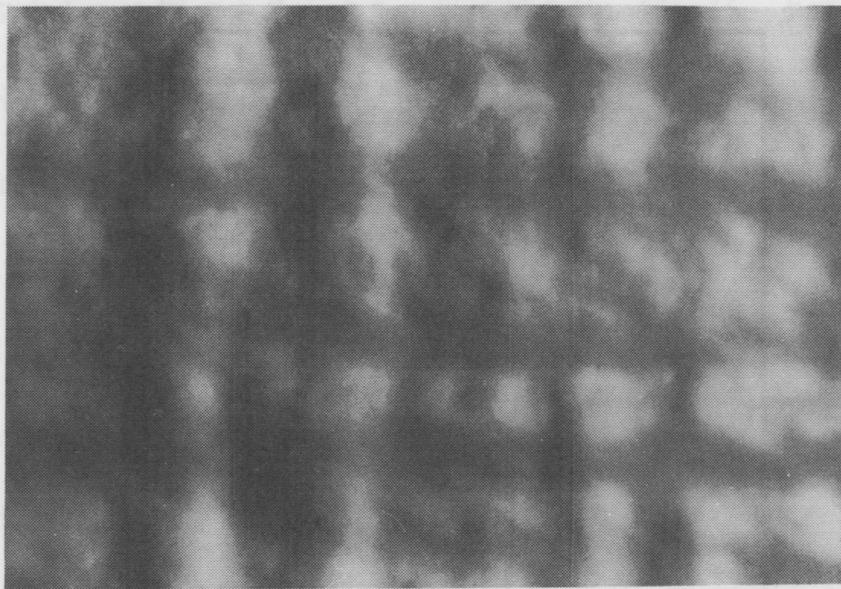
図 5.4 に、冷却速度 $CR_2=0.1^\circ\text{C}/\text{min}$, $T_f=560^\circ\text{C}$ の試料の成長層の劈開断面および成長層表面の顕微鏡写真を示す。成長層は 2 層になっており、厚さ $20 \mu\text{m}$ の GaAs 層の上に、約 $200 \mu\text{m}$ の厚い共晶層があり、それぞれの界面および成長層表面共にほぼ平坦なであることがわかる。また、成長層表面は、極小さな周期的な凹凸が $\langle 011 \rangle$ 方向にあり、メッシュ状のモフォロジーとなっていた。冷却速度 $CR_2=0.2^\circ\text{C}/\text{min}$ とした場合では、図 5.5 に示すように、成長層表面は、底面の四辺が $\langle 011 \rangle$ 方向に向いたピラミッド形で覆われており、(111) ファセットが発達してくる。このような表面構造は、組成的過冷却が原因となり形成され、セル構造と呼ばれる [4]。

図 5.6 は、EPMA により断面線分析を行った結果で、成長方向への組成分布を示している。GaAs 層は、その組成比が Ga が約 0.5, As が約 0.5 であり、Ge は定性分析でかろう



(a)

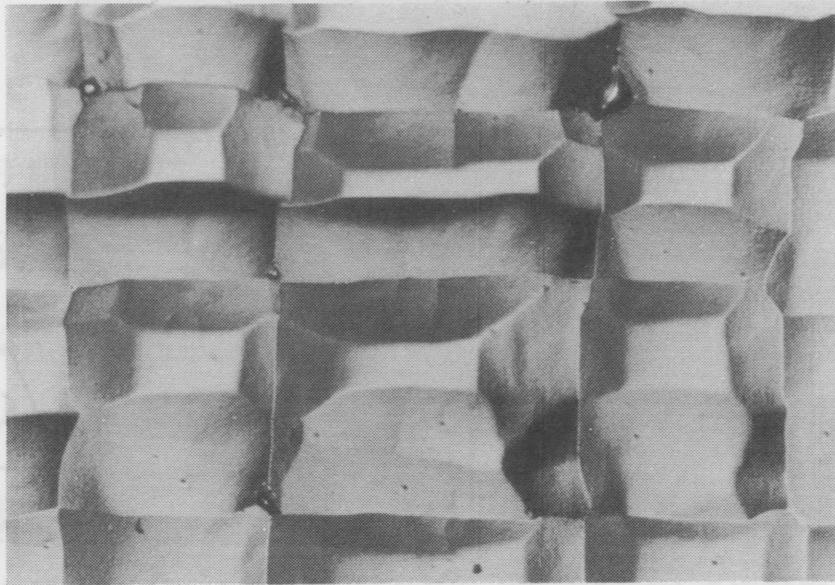
100 μm



(b)

50 μm

図5.4 成長層劈開断面 (a) および成長層表面 (b) のノマルスキー型
微分干渉顕微鏡写真 ($CR_2=0.1^\circ\text{C}/\text{min}$, $T_f=560^\circ\text{C}$ の試料)



100 μm

図 5.5 成長層表面のノルスキー型微分干渉顕微鏡写真 ($CR_2=0.2^\circ\text{C}/\text{min}$, $T_f=400^\circ\text{C}$ の試料)

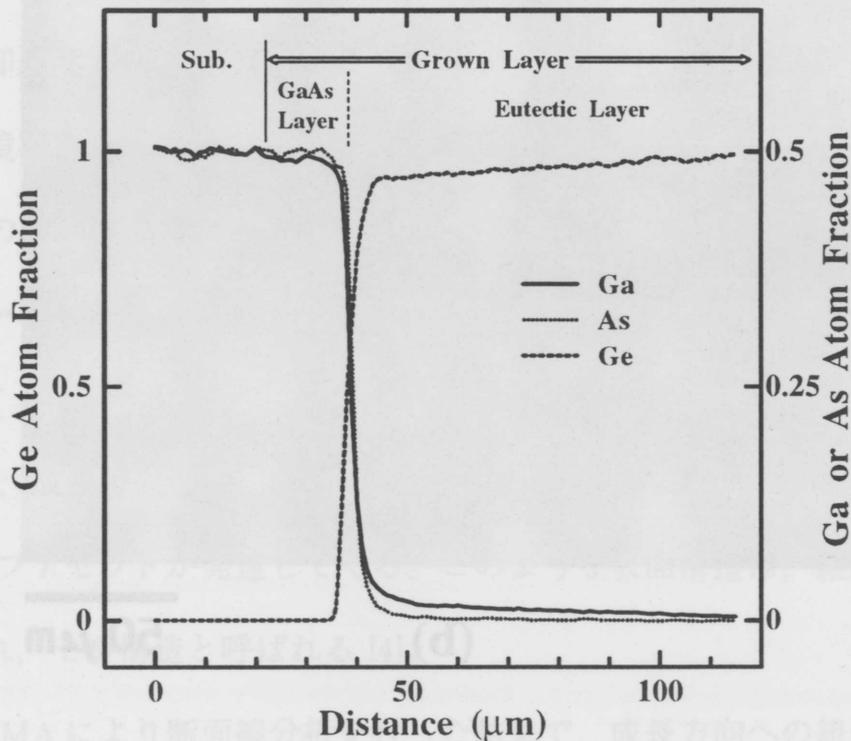


図 5.6 EPMA により測定した試料の成長方向への組成分布

じて検出できる程度しか含まれていなかった。GaAs層と共晶層の界面では、僅かに組成変化のダレがあり数 μm 程度の遷移領域があるが、かなり急激に組成が変化している。そして、共晶層はほとんどGeで構成されており、わずかに含まれているGaやAsが成長に従って次第に減少している。

図5.7 (a) に、 $\text{CuK}\alpha$ 線による成長層表面のX線回折パターンを示す。測定は、 2θ が $10^\circ \sim 100^\circ$ の範囲で行ったが、回折のあった 66° 付近のみを示してある。観測されたピークは、 $\text{CuK}\alpha_1$ および $\text{K}\alpha_2$ のGe 400回折と一致した。また、図5.7 (b) には、基板の{011}面で劈開した断面のX線回折パターンを示す。ここには、 101° 付近しか示していないが、 2θ が $10^\circ \sim 115^\circ$ の範囲で測定を行った結果、 45° 付近にも同様なピークが得られた。これらのピークは、 $\text{CuK}\alpha_1$ および $\text{K}\alpha_2$ のGe 220回折、GaAs 220回折、Ge 440回折、GaAs 440回折と一致した。表面および断面ともに基板と同一の結晶面からの回折しかないので、成長層はエピタキシャル層である。また、半値幅の狭い鋭いピークであること、 $\text{K}\alpha_1$ および $\text{K}\alpha_2$ の分離がよいことから、結晶性の良いことも示唆される。以上のことから、本成長法でGaAsエピタキシャル層に続き、Geエピタキシャル層が結晶性よく得られることがわかった。

そこで、次に試料の電気的特性を調べた。図5.8 に、試料の成長方向の拡がり抵抗分布を示す。GaAs層、Ge層ともに、それぞれ成長方向にほぼ一定の抵抗率をもっていた。Ge層は、成長に従ってGaやAsの含有量が大きく減少しているのに、非常に厚いGe層全体で抵抗率はほとんど変化していない。Ga-richのGa-As-Ge溶液から成長したGaAsは、 p^+ 型になることがわかっている [5]。また、このGe層は、熱起電力の測定からp型であり、GaAs基板およびGaAs成長層を研磨除去してGe層の抵抗率を四探針法によって測定した結果、 $3 \times 10^{-4} \Omega\text{-cm}$ とデバイス基板として十分に低抵抗率となっていることがわ

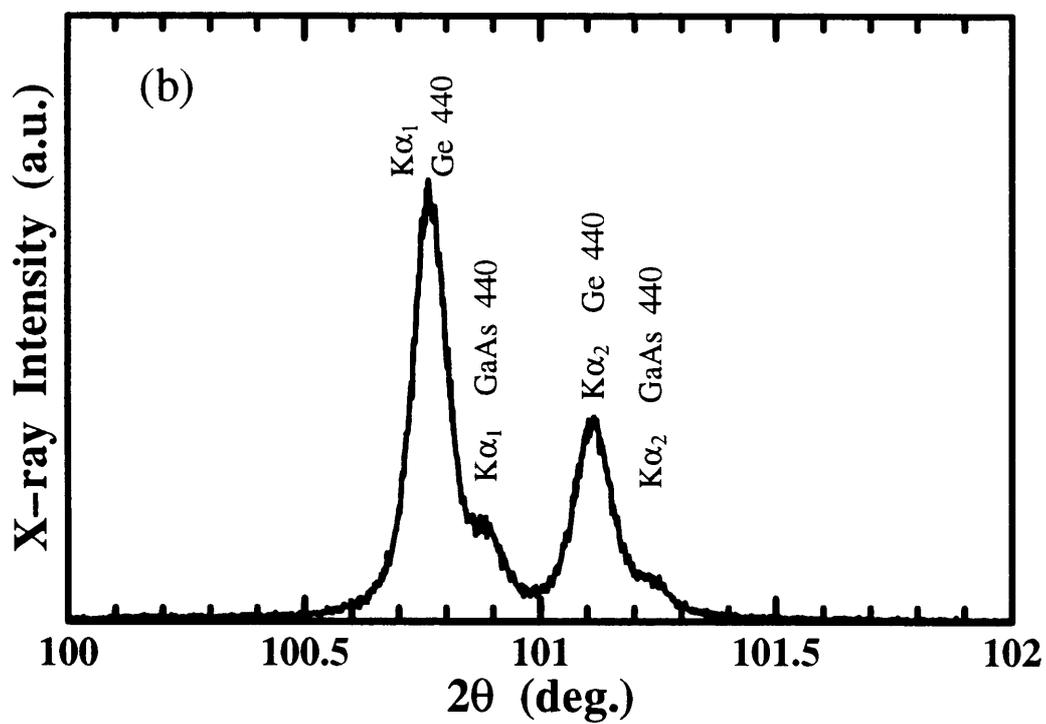
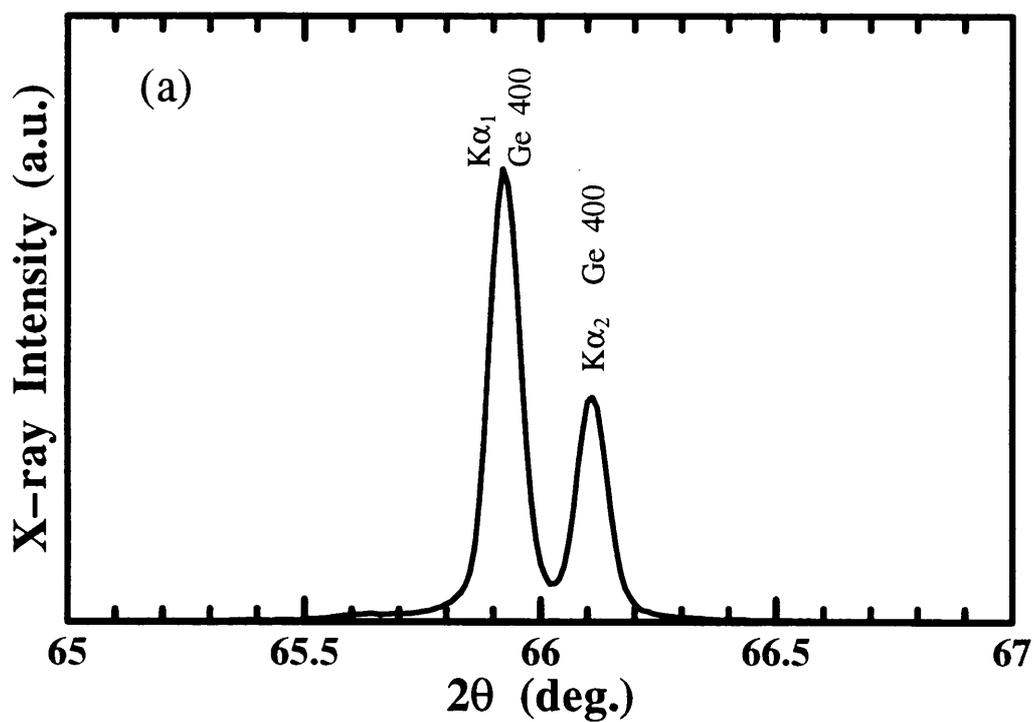


図 5.7 CuK α 線による X 線回折パターン : (a) 成長層表面, (b) {011} 劈開断面

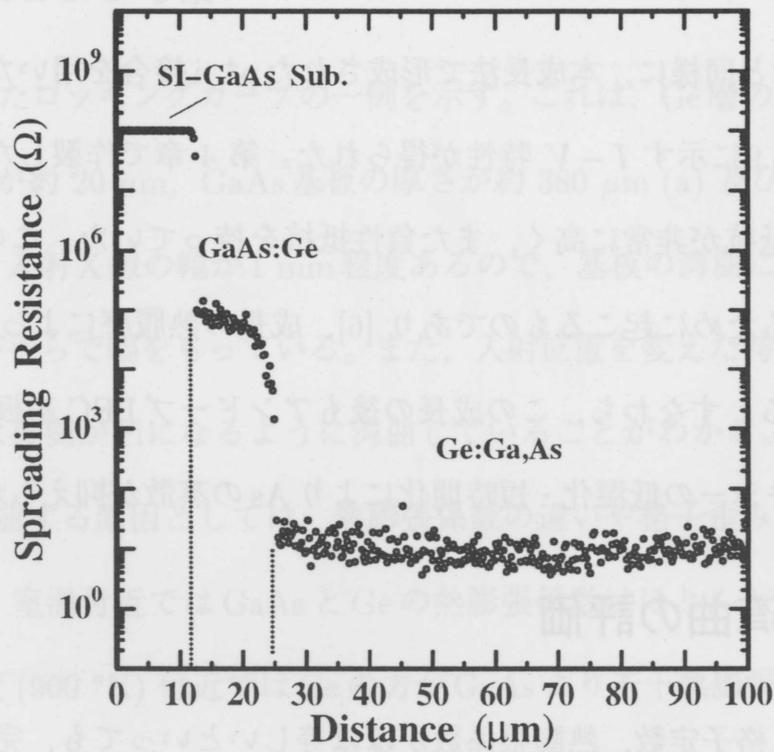


図 5.8 試料の成長方向の拡がり抵抗分布

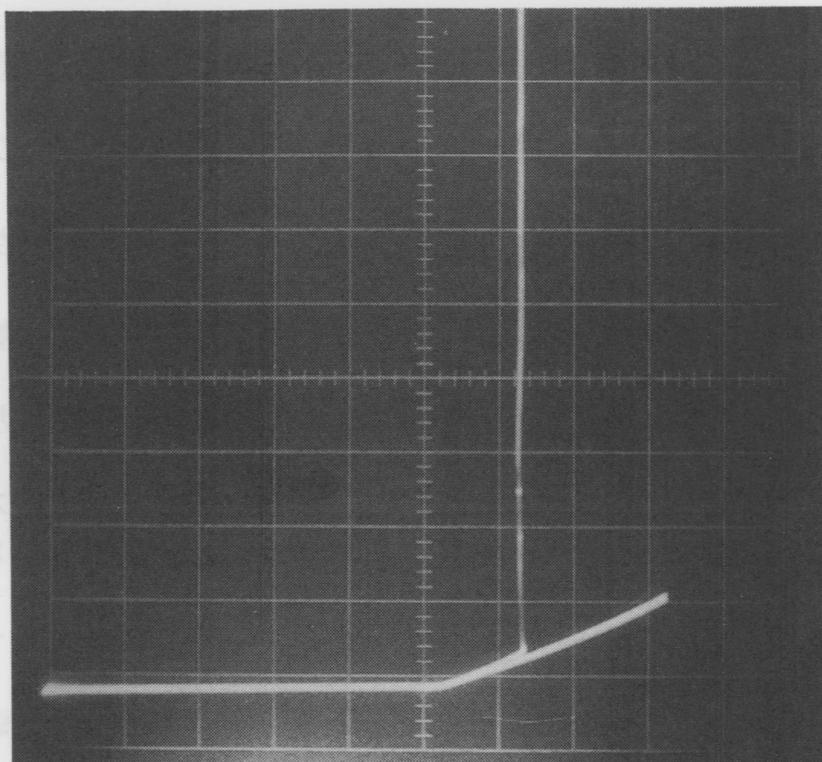


図 5.9 連続 LPE 成長を用いて作製した pin ダイオードの電流電圧特性

かった。

さらに、第4章と同様に、本成長法で形成された p^+i 接合を用いたpinダイオードを試作した結果、図5.9に示す $I-V$ 特性が得られた。第4章で作製したpinダイオードとは違い、順方向の抵抗が非常に高く、また負性抵抗を持っていた。この負性特性は、 i 層に深い準位を有するために起こるものであり [6]、成長の熱履歴によってEL2が消滅していないことがわかる。すなわち、この成長の後もアンドープLEC基板は半絶縁性を示しており、逆エピタキシーの低温化・短時間化によりAsの蒸散が抑えられたことがわかる。

5.6 基板の湾曲の評価

GaAsとGeは、格子定数、熱膨張係数がほぼ等しいといっても、完全に一致しているわけではないので、Ge/GaAsのヘテロ構造を作ると界面に応力が発生し基板が湾曲するはずである。ここでは、連続成長によって作製したGe/GaAs/GaAs構造の湾曲を測定し、パワーデバイス基板として使用可能かどうか評価する。

5.6.1 測定方法

単結晶X線回折装置を用いて基板の湾曲を測定した。以下にその手順を示す。まず、GaAs基板の裏面を軽く研磨、エッチングして、鏡面にする。そして、基板裏面にX線を入射してロックンクカーブを測定する。次に、試料ステージを基板面方向に平行移動させ、試料のX線入射位置を変えて、ロックンクカーブを測定する。試料ステージの移動前後の回折角のずれ $\Delta\theta$ から曲率 C を以下の式で求めた。

$$C = \frac{1}{R} = \frac{\tan \Delta\theta}{l} \quad (5.1)$$

ここで、 R は曲率半径、 l は試料ステージの移動量である。

5.6.2 測定結果および考察

図5.10に測定したロックンクカーブの一例を示す。これは、Ge層の厚さが約200 μm 、GaAs成長層の厚さが約20 μm 、GaAs基板の厚さが約380 μm (a) 及び約180 μm (b) の試料のものである。入射X線の幅が1 mm程度あるので、基板の湾曲によって、ロックンクカーブはピークが平らで幅をもっている。また、入射位置を変えた時の回折角の変化する方向から、基板は裏側が凹になるように湾曲していることがわかる。

一般に基板が湾曲する原因としては、熱膨張係数の違いや格子歪みが考えられる。図5.11に示すように、室温付近ではGaAsとGeの熱膨張係数はほとんど等しいが、結晶成長をおこなった温度(900 °K)付近ではGeの方がGaAsより若干熱膨張係数が大きい。したがって、成長温度から室温まで冷却したとき、Geの方がGaAsより収縮が大きく、熱膨張係数差が湾曲の原因ならば成長層側が凹になるはずであり、熱膨張係数差はこの場合の湾曲の原因ではない。

一方、格子不整合による応力は、GaAsの格子定数が0.56537 nm、Geの格子定数が0.56579 nmなので[7]、GaAs側が凹になるように働く。したがって、この湾曲の原因は、格子歪みによるものであると推定される。理想的には格子不整合による試料の湾曲の曲率は、格子不整合率 $f = \Delta a/a$ を用いることにより、次式で表される[8]。

$$\frac{1}{R} = \frac{6t_{Ge}t_{GaAs}f}{(t_{Ge} + t_{GaAs})^3} \quad (5.2)$$

ここで、 R は曲率半径、 t_{Ge} はGeの厚さ、 t_{GaAs} はGaAsの厚さである。

GaAsの厚さをエッチングにより変化させていった時の共晶層厚174 μm の試料の曲率の変化を図5.12に示す。図には、共晶層を均一なGe層と仮定して、式(5.2)を用いて計算した試料の曲率も同時に示した。格子不整合による試料の湾曲の曲率は、理論的に

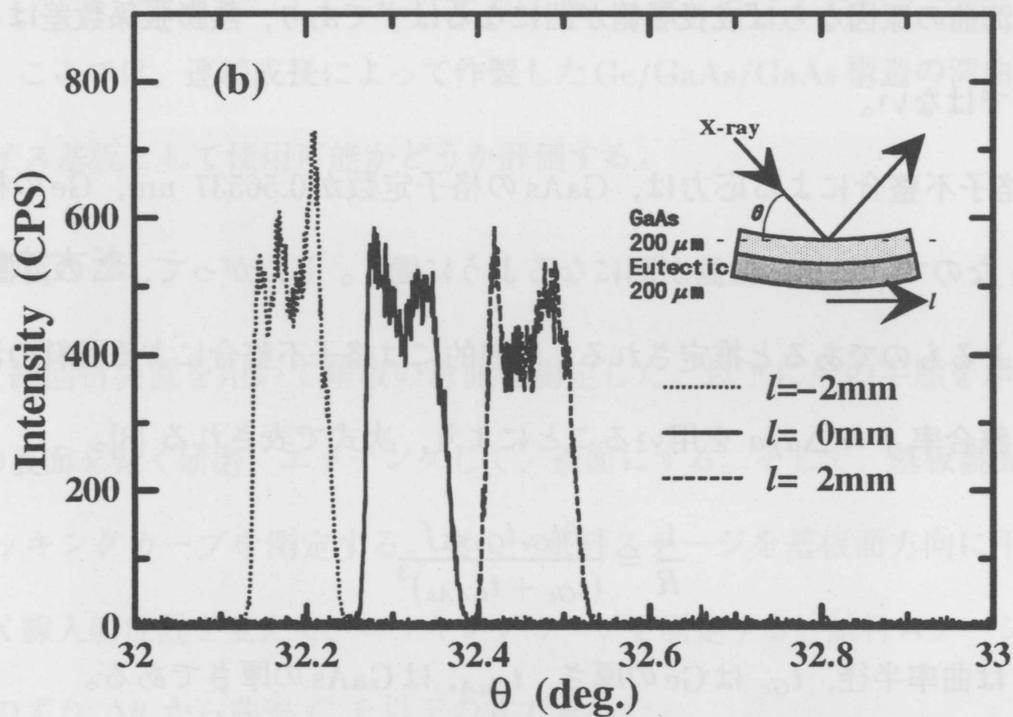
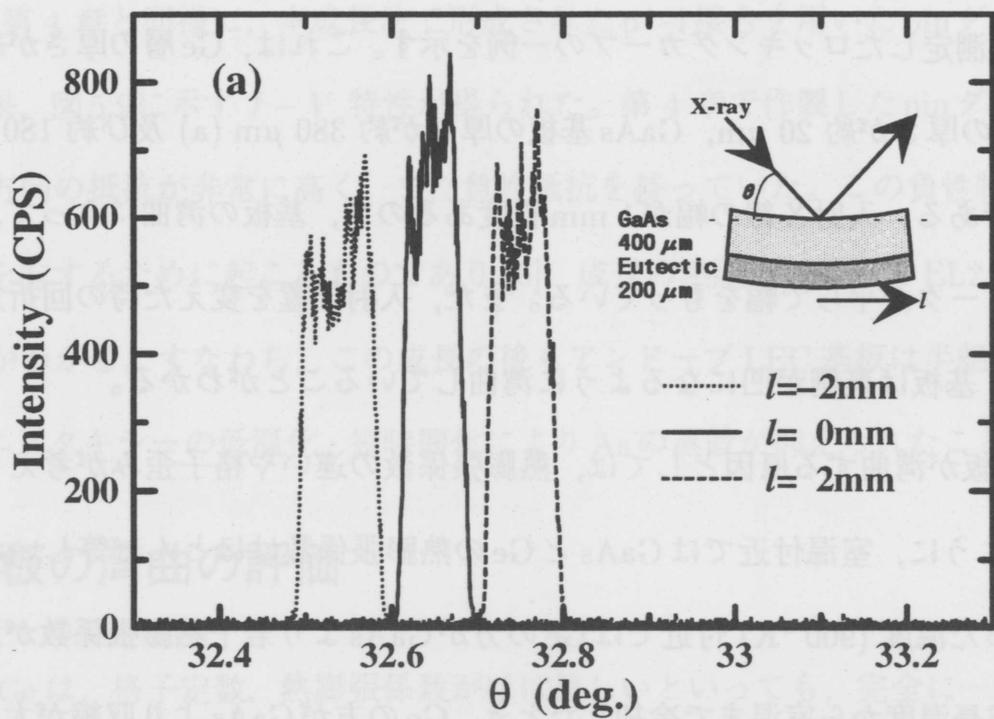


図5.10 X線回折ロックアップカーブ：(a) GaAs厚 400 μm の場合，
(b) GaAs厚 200 μm の場合

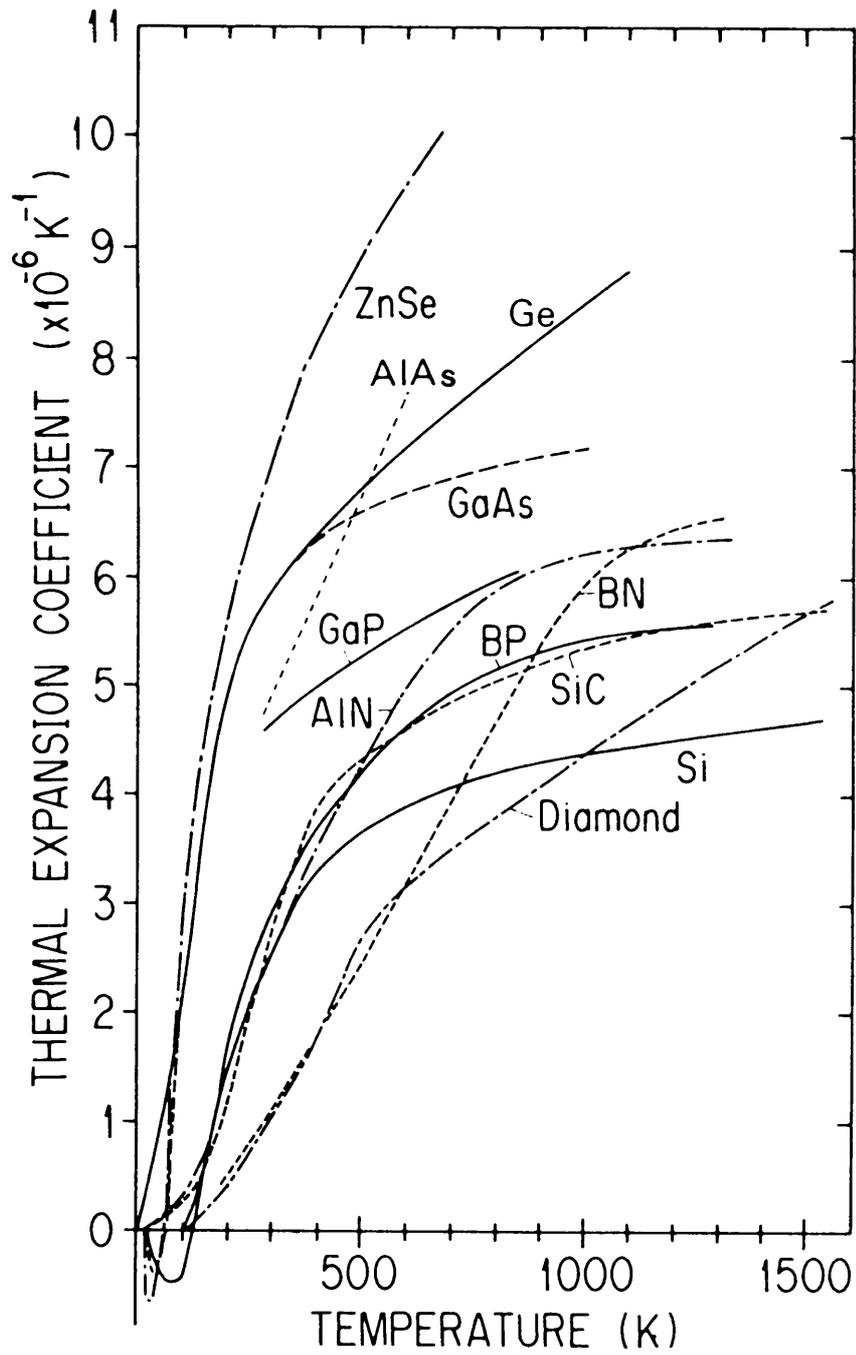


図5.11 半導体物質の熱膨張係数 [7]

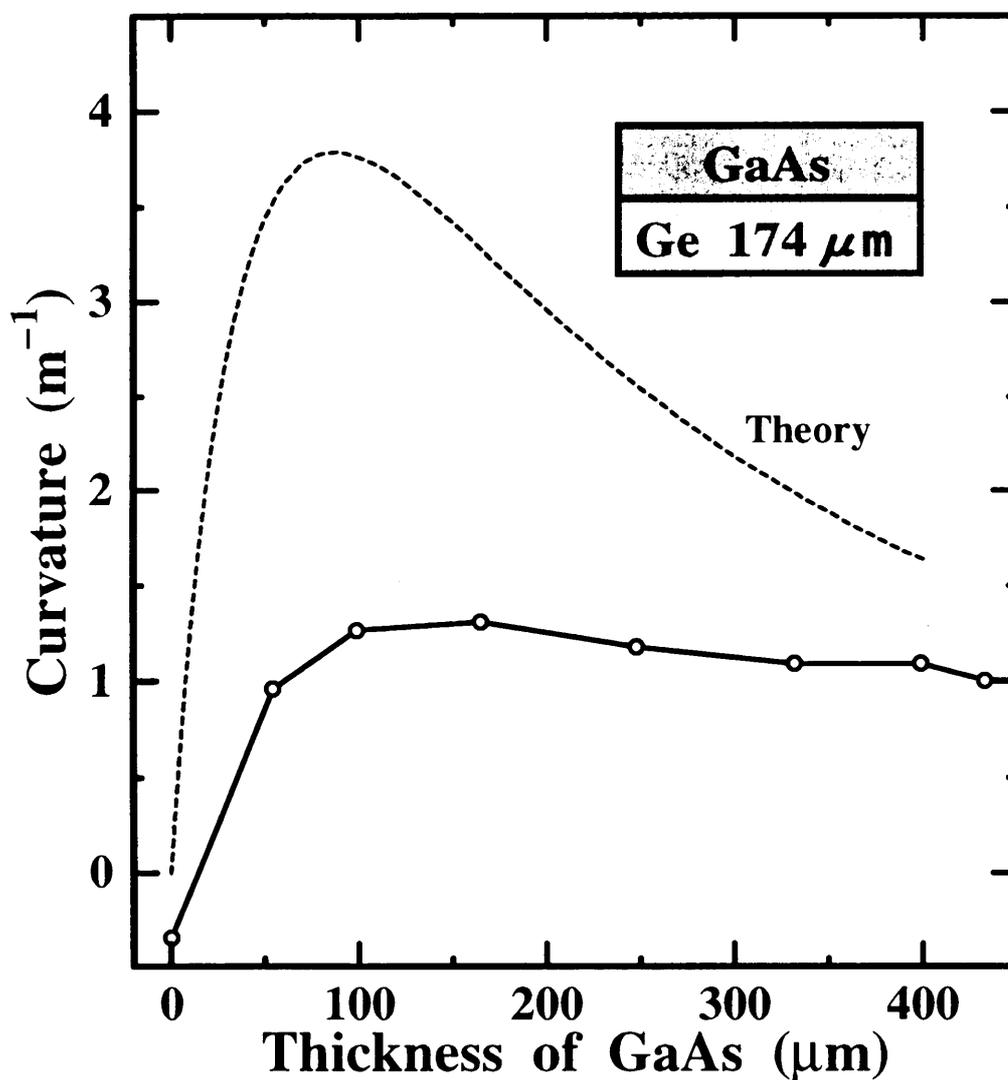


図5.12 試料の湾曲のGaAs厚依存性

はGaAsが厚いうちは厚さが減少するにつれ、曲率が増加していく。しかし、ある程度以上GaAsが薄くなると急激に曲率は減少していき、GaAs厚が零で曲率も零になる。曲率の測定値は、理論値より小さくて、GaAsの厚さ変化に対して変化量が少なく、GaAsを全部取り去ったとき、共晶層は逆に成長層表面側が凹となるように湾曲していた。共晶層は、既に示したように成長方向にGaやAsの組成が変化している。その変化に伴って格子定数が連続的に変化しているので、共晶層自体が湾曲していると考えられる。

GaAsの厚さが約 15 μm のとき曲率が零となるので、成長条件を変えることによって p^+ GaAs 成長層の厚さを数 μm にすれば、10 μm 程度の活性層を持つ GaAs パワーデバイス用基板の作製技術として本成長法は期待できる。

5.7 結 言

GaAs の逆エピタキシーにおける低温化・短時間化を目的に、逆エピタキシーの機能分化のための Ge/GaAs 構造の導入と連続 LPE 成長を提案し、Ga-As-Ge 溶液から Ge/GaAs 連続 LPE 成長を行った。

その結果、非常に厚い Ge/GaAs 構造を持つ成長層が、比較的低温度で短時間に得られた。この成長層は、基板の結晶構造を受け継ぎエピタキシャル層となっていた。成長層は、GaAs 層、Ge 層共に p 型の低抵抗率層となっており、それぞれ深さ方向にほぼ一定の抵抗率分布であった。これらのことより、Ga-As-Ge 溶液を一度冷却するだけで非常に厚い p^+ Ge/ p^+ GaAs 構造の成長が連続的にできることが確認された。アンドープ LEC 基板はこの成長の後でも、半絶縁性を示しており、逆エピタキシーの低温化・短時間化により As 抜けが抑えられたことがわかる。

また、本成長をした試料には格子不整合を原因とした湾曲が観察された。しかし、Ge 層自身が、GaAs との格子不整による応力とは逆の応力を内部に持っており、GaAs 層厚が十数 μm のとき曲率が零になる。本成長法は GaAs の逆エピタキシーの方法として、GaAs SI デバイスの作製技術として期待できる。

参考文献

- [1] 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “Ge/GaAs 連続液相エピタキシャル成長—GaAs 静電誘導サイリスタの実現をめざして—,” 静岡大学電子工学研究所研究報告, 第 29 卷, 第 1 号, pp. 67-72, 1994.
- [2] 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “Ga-As-Ge 溶液からの Ge/GaAs 連続成長,” 電子情報通信学会技術研究報告, **94**, [47], ED94-24, CPM94-25, pp. 57-62, 1994.
- [3] M. B. Panish, “The gallium-arsenic-tin and gallium-arsenic-germanium ternary systems,” *J. Less-Common Metals*, **10**, pp. 416-424, 1966.
- [4] D. T. J. Hurle, and B. Cockayne, “Czochralski Growth,” *Handbook of Crystal Growth*, **2**, D. T. J. Hurle, Ed. pp. 99-211. (North-Holland, 1994).
- [5] F. E. Rosztochy, F. Ermanis, I. Hayashi and B. Schwartz, “Germanium-doped gallium arsenide,” *J. Appl. Phys.*, **41**, pp. 264-270, 1970.
- [6] 秋葉幸男, 黒須楯生, 野田克史, 崔 一英, 飯田昌盛, “深い不純物準位を有する p-i-n ダイオードの負性抵抗発生条件,” 応用物理, **49**, pp. 555-562, 1980.
- [7] 岡田安正, “格子定数の精密測定法による半導体単結晶の不完全性の研究,” 電子技術総合研究所研究報告, 第 913 号, 1990.

- [8] Y. Sugita, M. Tamura and K. Sugawara, "Misfit dislocations in bicrystals of epitaxially grown silicon on boron-doped silicon substrates," *J. Appl. Phys.*, **40**, pp. 3089–3094, 1969.

第 6 章

溶質“その場”合成 LPE 法による高純度 GaAs の成長

6.1 緒 言

第 2 章で示したように、高性能な GaAs SI デバイスを実現するためには、活性層領域に、低不純物濃度が 10^{13} cm^{-3} 以下で、キャリアのライフタイムが 10^{-8} sec 程度であり、 $20 \sim 30 \mu\text{m}$ の厚さをもつ GaAs 層が要求される。しかし、GaAs は蒸気圧の著しく違う二種類の元素からなる化合物半導体であるために結晶成長においては種々の問題があり、真性半導体といえるような十分に高品質かつ高純度な GaAs は未だ実現されていない。従って、高性能な GaAs パワー SI デバイスを作製するためには、高純度 GaAs の成長法を確立する必要がある。

現在、GaAs の成長法において最も高純度化の進んでいるのは LPE 法である。これまで高純度 GaAs を LPE 成長するために、多くの努力が払われ、種々の工夫が為されてきた。まず、成長系からの不純物の混入を防ぐため、高純度の石英反応管や高純度のグラフィイト製のボートを用いる。そして、雰囲気ガスである H_2 の酸素濃度を減らし、溶液中の残留酸素を減らすために溶液のベーキングを行う。このようなことを行なって成長溶液の純度を上げる。しかし、従来、溶質となる原料結晶には融液成長された市販の GaAs

結晶が用いられてきた [1-4]。ところが、融液成長された GaAs は、融点付近の高温での成長のため、石英のボートや坩堝から混入する Si の汚染に代表されるような、成長装置からの不純物の汚染が避けられず、 10^{15} cm^{-3} 以上の不純物が含まれている。このような材料を溶質原料として使用している限り、成長層の高純度化には限界がある。

本章では、高純度 GaAs 成長を目的として、As 蒸気を Ga に直接反応させて GaAs を非常に低温で合成し、それをそのまま成長溶液として用いてエピタキシャル成長するという、新しい LPE 成長法を提案する。そして、実験によってこの成長法の原理確認を行い、高純度 GaAs 成長法の確立を目指す。

6.2 溶質“その場”合成 LPE 法の原理

従来、一般に溶質原料として使用されている融液成長された GaAs は、融点 ($1238 \text{ }^{\circ}\text{C}$) 付近の高温で成長されるため、成長装置からの不純物の汚染が避けられず、 10^{15} cm^{-3} 以上の不純物が含まれている。そのため、成長層の高純度化には限界があった。

そこで、新たに原料結晶を使用せずに、金属 As から蒸発させた As 蒸気を低温で Ga に直接反応させて GaAs を合成し、それを成長溶液として低温で LPE 成長を行う「溶質“その場”合成 LPE 法」という新しい成長法を提案する。この方法では、As を蒸気にして供給するため、蒸留の効果があり、原料 As 中に含まれる蒸気圧の低い残留不純物はほとんど溶液中に混入することはない。蒸気圧の高い不純物は、合成前の原料 As や合成後の成長溶液のベーキングを行うことによって取り除くことができる。また、低温で合成および成長を行うので、Ga に対する Si や C などの不純物の溶解度が極めて小さくなり、プロセス中の成長装置などからの不純物の混入は最小限に抑えることができる。その上、低温では、理論的に化学量論的組成からのズレが少ない GaAs が析出すると考えられており [5],

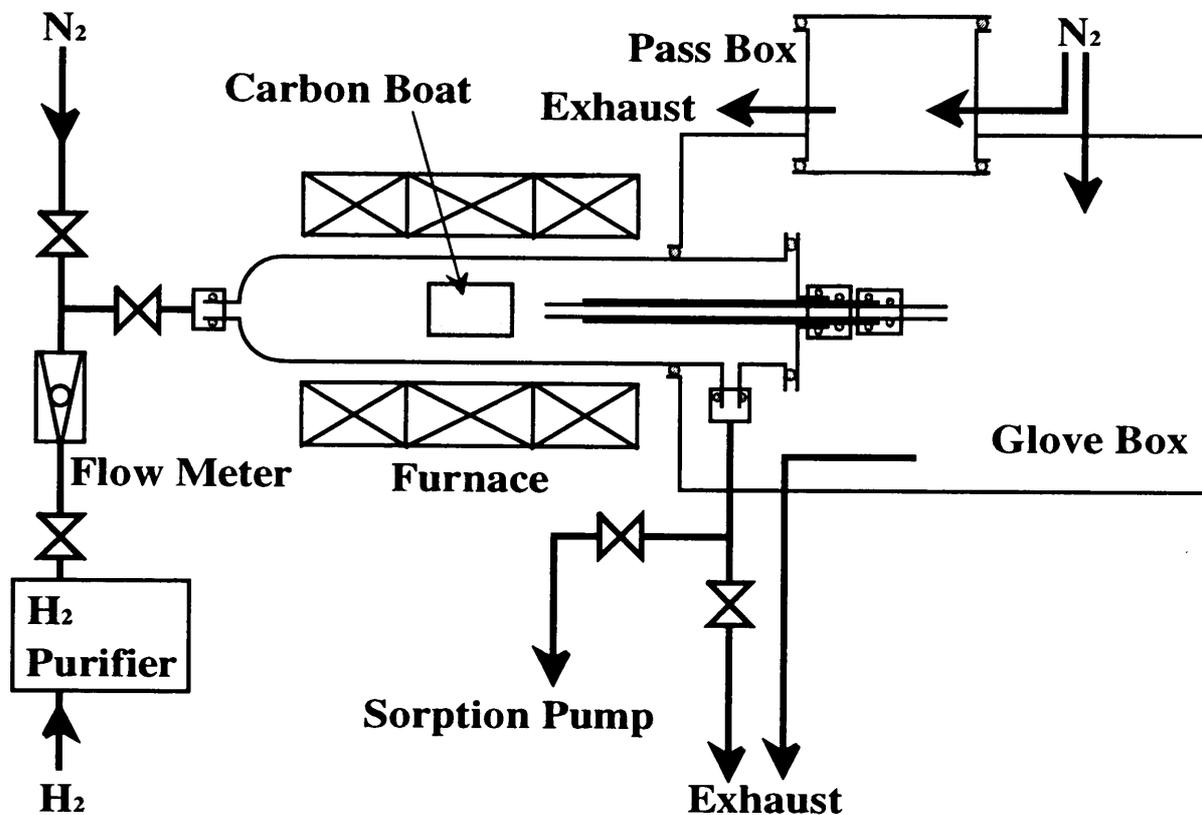


図6.1 実験に使用したLPE装置の概略図

高品質なエピタキシャル成長層が得られる。

これらのことから、溶質“その場”合成LPE法は、従来のLPE法と比べ、高純度・高品質 GaAs 成長に適している。

6.3 実験方法

6.3.1 実験装置

実験に用いたLPE装置は、図6.1に示すような3ゾーンの横形抵抗加熱炉を用いたもので、高純度化のために成長系からの不純物の汚染を極力減らすように留意してある。まず、ボートへの材料の仕込み時に、ボートや反応管内部を大気にさらさないため、精製したN₂で置換したグローブボックスをもち、その中でボートを取り出して材料の仕込みが

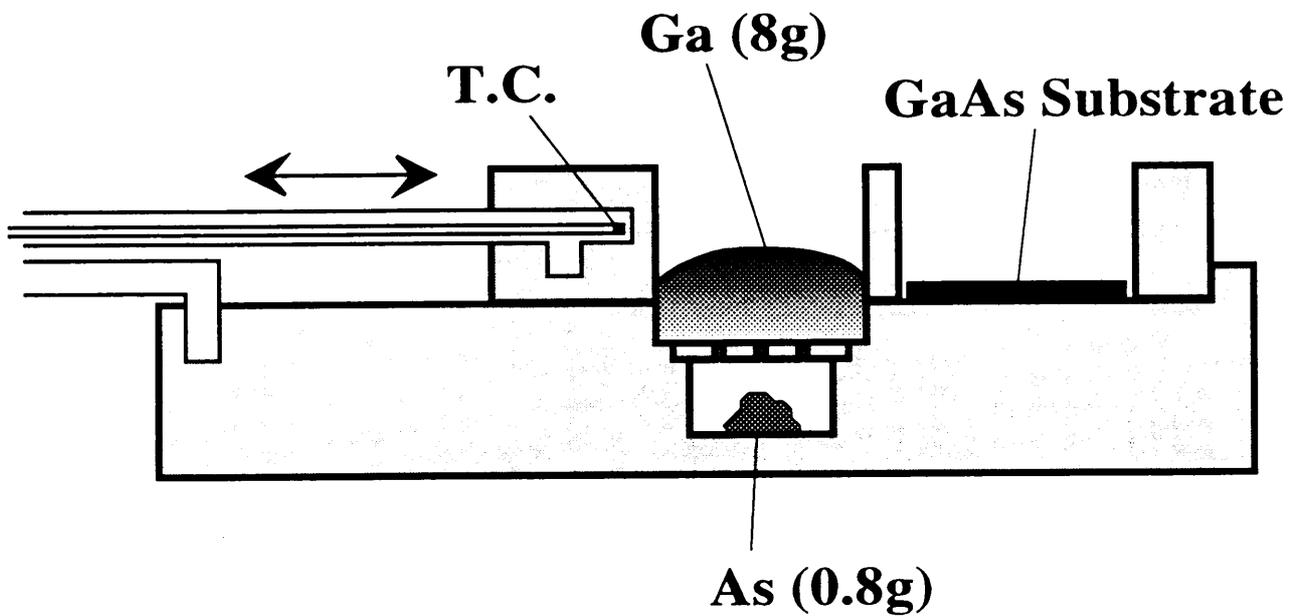


図6.2 実験に使用したスライドポートの概略図

行えるようになっている。また、反応中の雰囲気となる H_2 ガスは、 O_2 濃度を減らすため反応管直前でPd膜を拡散させることにより精製して使用した。

図6.2に実験に用いたスライドポートの概略図を示す。このポートは、蒸気としてAsを成長溶液に供給するために、溶液溜めの下に穴のあいた蓋をもつAs溜めがある。この構造は、As溜めの蓋を成長溶液が完全に覆うので、それがシールとなりAs蒸気が逃げるのを防止できる上、溶液の下側にGaAsが合成されるのでyo-yo溶質供給法(yo-yo法)[6,7]の原理を利用して溶質を溶液上方に輸送することができ、低温でもより多量の溶質の合成が可能となる。また、スライダー部分を操作することにより、成長基板を成長溶液へ接触させたり切り離したりできる。

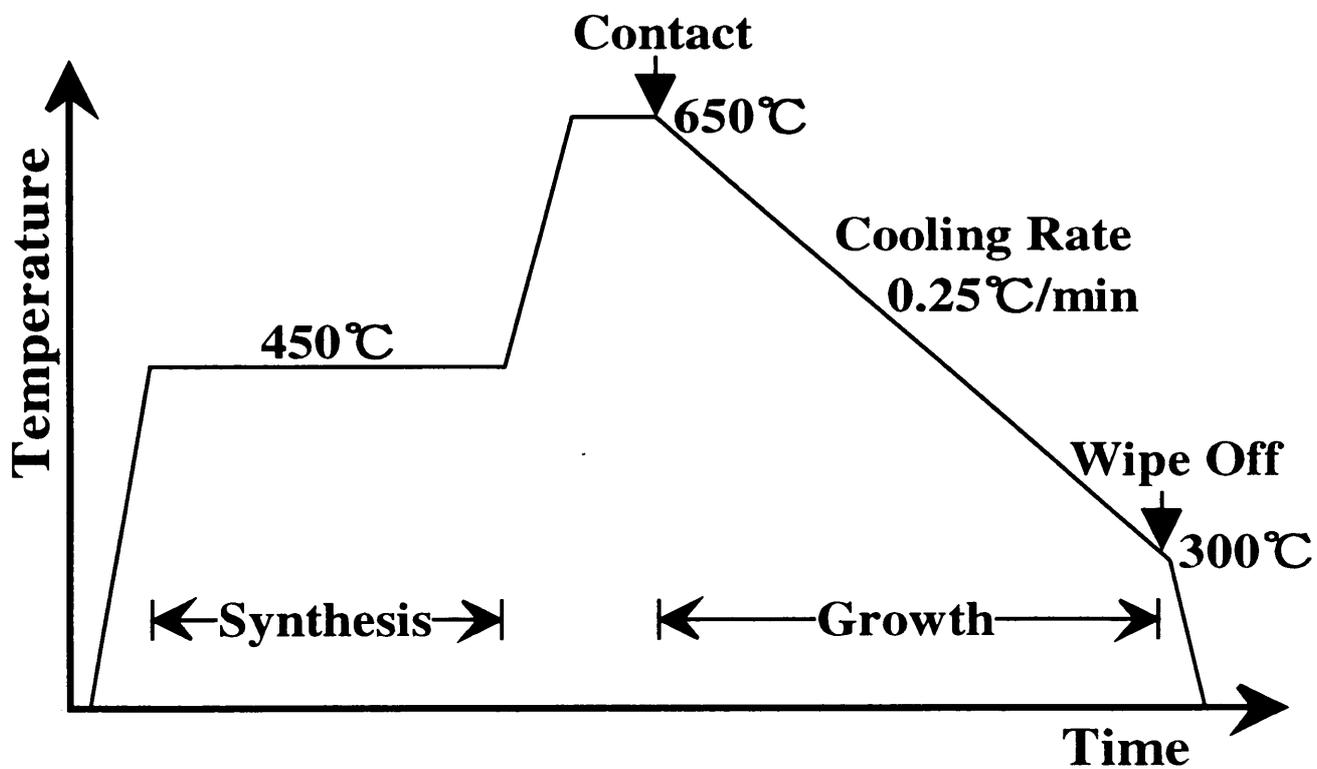
6.3.2 実験手順

種子結晶基板には、 $15 \times 15 \text{ mm}^2$ のアンドープ半絶縁性 GaAs (100) ウエハを使用した。溶媒かつ溶質原料となる Ga は、純度 6N のものを 8 g 使用した。溶質原料である As は、純度 6N のものを 0.8 g 使用した。高純度 GaAs の成長のためには使用する材料を精製して高純度化する必要があるので、まず Ga を H_2 中でベーキングする。 $\text{HCl} : \text{H}_2\text{O} = 1 : 9$ 、 25°C の溶液を用いて 10 分間エッチングした Ga をボートに仕込み、一旦ソープションポンプで真空排気した後、高純度 H_2 を導入してから電気炉を昇温し、 700°C で 20 時間ベーキングした。その後、電気炉をオフして室温まで冷却した。

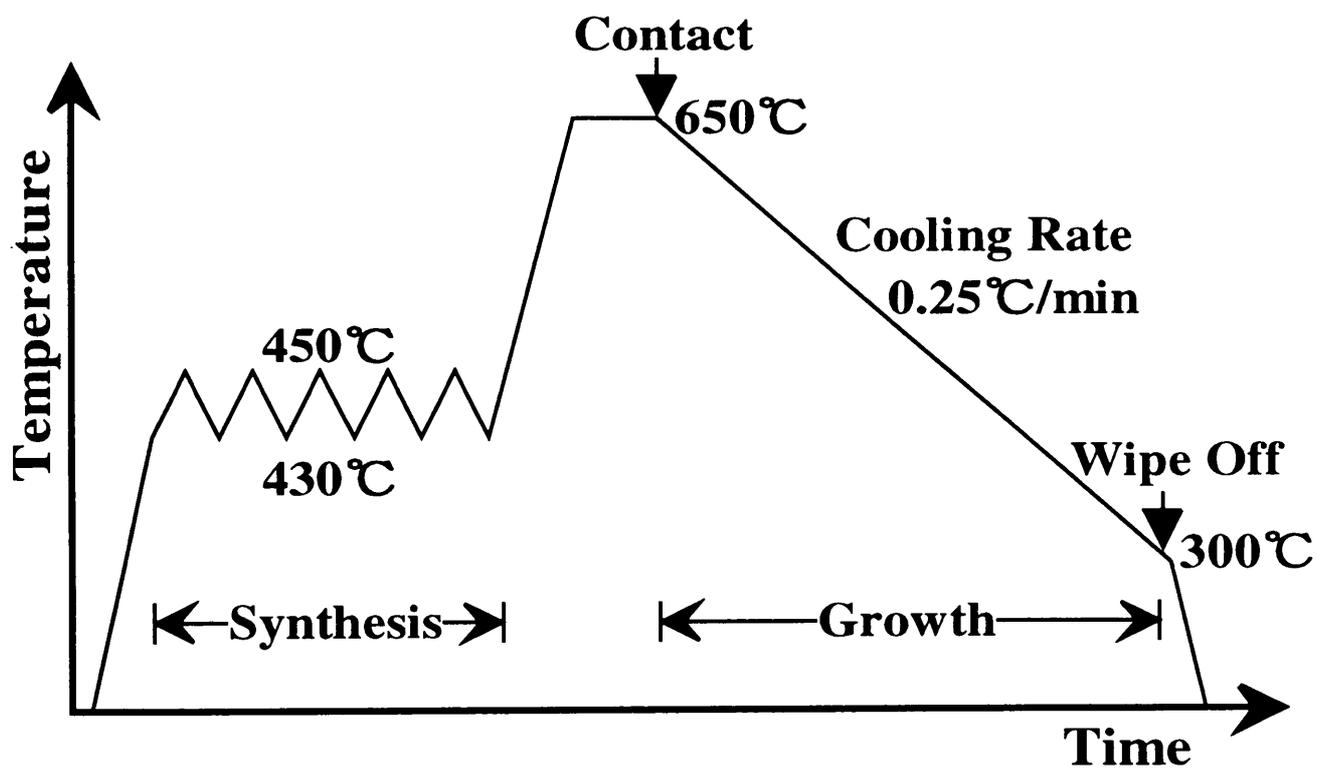
次に、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 4 : 1 : 1$ 、 60°C の溶液で 30 秒間エッチングした GaAs 基板と As をボートに仕込み、ソープションポンプで真空排気した後、高純度 H_2 を導入してから電気炉を昇温し、図 6.3 に示すような温度プログラムで GaAs の合成及び成長を開始する。GaAs の合成は、時間を 10 時間一定として、 450°C で温度を一定に保持した場合 (a) と $430 \sim 450^\circ\text{C}$ の範囲を $0.5^\circ\text{C}/\text{min}$ で昇温、 $0.25^\circ\text{C}/\text{min}$ で冷却を繰り返した場合 (b) の二通りの実験を行った。それから、成長開始温度 650°C まで昇温して、1 時間温度を保持し溶液の飽和と安定を図った後、基板を溶液に接触させ、同時に $0.25^\circ\text{C}/\text{min}$ で冷却を開始して成長を行った。 300°C まで冷却した後、基板を溶液から切り離して成長を終了した。

6.4 実験結果および考察

図 6.4 に、一定温度で合成を行った場合の成長層断面のノマルスキー型微分干渉顕微鏡写真を示す。これは、基板の端の部分であり写真の左端は溶液が接触していない元の基板表面である。この場合、溶質の合成量が十分でないため成長温度での溶液の飽和が達



(a)



(b)

図 6.3 実験に用いた温度プログラム : (a) 一定温度での合成の場合, (b) yo-yo 法を利用した合成の場合

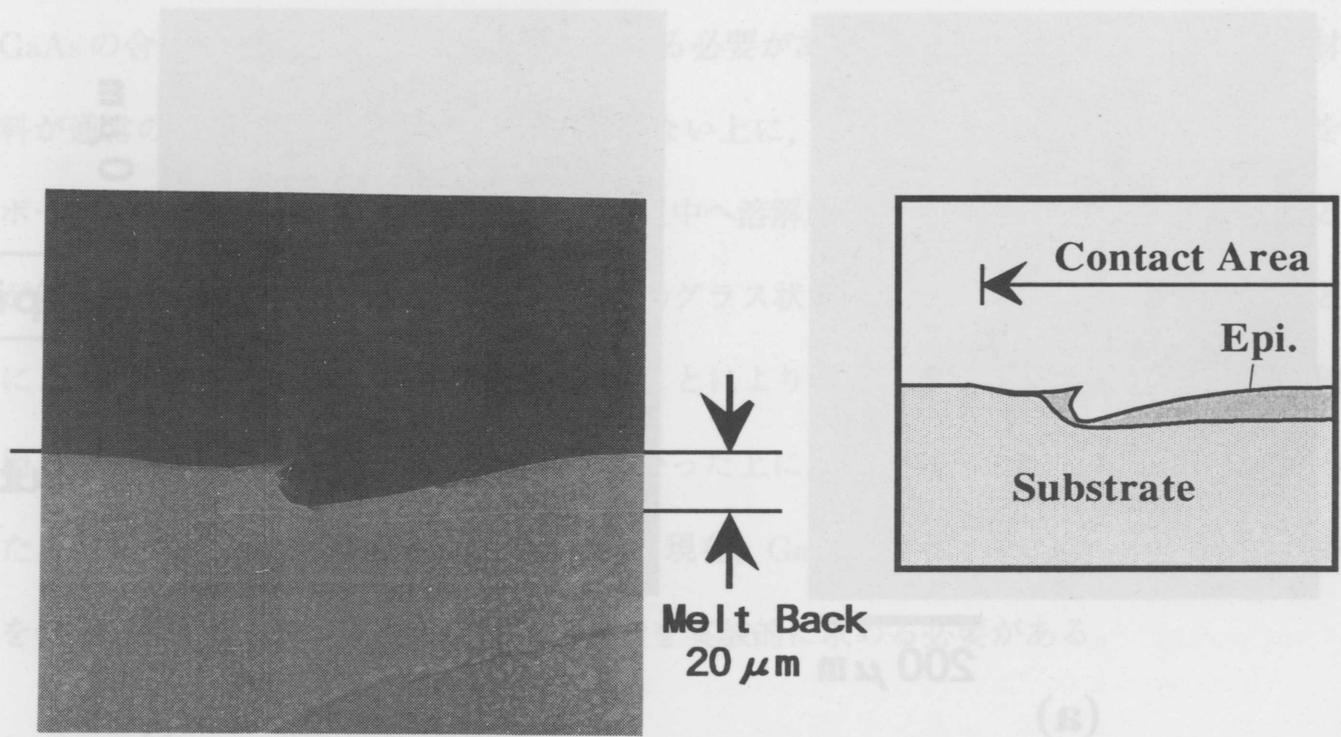


図6.4 一定温度で合成を行った場合の成長層断面の顕微鏡写真

成できず、基板が約 $20\ \mu\text{m}$ メルトバックしており、その上に GaAs 層が再成長している。一定温度での合成の場合では、As 蒸気圧のかかる溶液の下側全体に GaAs の薄い固相膜が形成されるため、溶液が合成温度 450°C での飽和になると、それ以降 As はその固相を通して供給されなければならなくなる。そのため、大部分の As 蒸気は合成に寄与せず飛散してしまい、ほとんど GaAs の合成は進まないため、成長温度での飽和を達成するのに必要な量の GaAs の合成ができない。

そこで、この問題を解決するために、合成期間中 yo-yo 法の原理を利用して、合成された GaAs を溶液上方に輸送して析出させることによって、より多量の GaAs の合成が行えると考えて、yo-yo 法を利用した合成の実験を行った。図6.5に、yo-yo 法を用いて合成を行った試料の成長層表面 (a)、および劈開断面 (b) のノマルスキー型微分干渉顕微鏡写

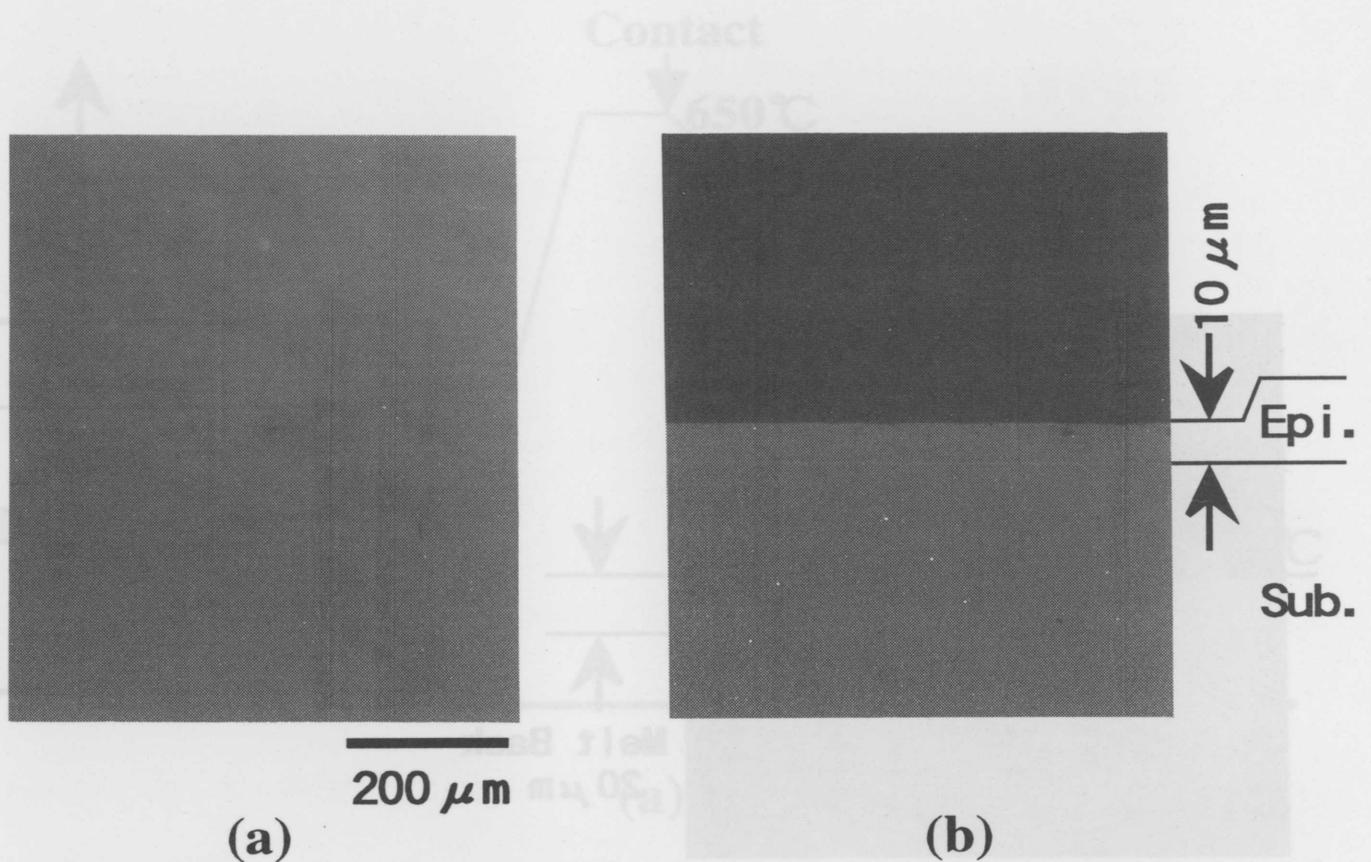


図6.5 yo-yo法を用いて合成を行った場合の顕微鏡写真：(a) 成長層表面，(b) 断面

真を示す。成長層は、滑らかな鏡面で基板全面に亘って約 $10\ \mu\text{m}$ の厚さで一様に得られた。成長層表面は、LPE成長した試料によく見られるマクロステップによる波状モフォロジーとなっていた。また、基板・成長層界面は平坦で、基板がメルトバックすることなく成長が行われていることから、yo-yo法を利用することにより合成された溶質が上方へ輸送され、より多くの溶質が合成できたことがわかる。

この成長層を van der Pauw 法によるホール効果の測定によって評価したところ、77 K で電子濃度が $4.50 \times 10^{15}\ \text{cm}^{-3}$ 、電子移動度が $20100\ \text{cm}^2/\text{V}\cdot\text{sec}$ であり、高純度化は十分実現されていなかった。これには、いくつかの原因が考えられる。第一は、金属 As は非常に酸化しやすく N_2 置換されたグローブボックス内でも表面が酸化されるので、原料として As を仕込むことによって系に酸素を導入してしまっている。As 溜めの構造上、原

料Asに含まれる蒸気圧の高い不純物は、成長溶液中に非常に取り込まれ易い。このため、GaAsの合成の前にAsの精製の過程を設ける必要がある。第二は、ボートのカーボン材料が通常のグラファイトで純度が十分ではない上に、多孔質であるため O_2 等の不純物をボート材料の内部に吸蔵しやすく、また溶液中へ溶解度は小さいがCの溶解も起こることが考えられる。この点については、高純度のグラス状カーボン等をコーティングすることにより、ボート表面の緻密性を向上させることにより解決できると思われる。第三に、使用した材料の純度が6Nであり十分ではなかった上に、ベーキングの時間も不十分であった。今後、Ga, As共にさらに純度の高い(現在, Ga, As共に純度7Nが入手可能)材料を使用し、またベーキングの時間の最適値を実験的に求める必要がある。

6.5 結 言

本章では、Gaに直接As蒸気を低温で反応させGaAsを合成し、それを低温でLPE成長させる「溶質“その場”合成LPE法」という新しいLPE成長法の提案と開発を行った。この方法は、Asを精製して供給する効果があり、低温で合成・成長を行うので成長装置からの不純物の混入が抑えられ、従来法より高純度なGaAsの成長が可能になるとと思われる。また、低温でのLPE成長であるため、化学的量的組成に近いGaAsエピタキシャル層が得られると考えられる。GaAs合成時に、yo-yo法を用いることにより、溶質を溶液の上方に輸送でき、飽和に必要な量の溶質の合成ができることがわかった。

今後、原料やボート材料等の純度を向上させたり、作業手順の検討を行うことにより、SIデバイス活性層に必要な高純度・高品質GaAsエピタキシャル層の成長が可能になると期待される。

参考文献

- [1] T. Amano, S. Kondo, H. Nagai and S. Maruyama, “Ultrahigh Purity Liquid Phase Epitaxial Growth of GaAs.” *Jpn. J. Appl. Phys.*, **32**, pp. 3692–3699, 1993.
- [2] M. Otsubo, K. Segawa and H. Miki, “The influence of oxygen on the properties of GaAs grown by liquid phase epitaxy,” *Jpn. J. Appl. Phys.*, **12**, pp. 797–803, 1973.
- [3] Y. Nanishi, “Liquid phase epitaxial growth of high purity GaAs by sliding boat method,” *Jpn. J. Appl. Phys.*, **17**, pp. 1177–1184, 1978.
- [4] J. Ohsawa, A. Tomita and M. Migitaka, “LPE growth of undoped n-type GaAs at 676 °C with extremely low compensation,” *J. Crystal Growth*, **116**, pp. 351–356, 1992.
- [5] R. M. Logan and D. T. J. Hurle, “Calculations of point defect concentrations and nonstoichiometry in GaAs.” *J. Phys. Chem. Solids*, **32**, pp. 1739–1753, 1971.
- [6] T. Sukegawa, M. Kimura and A. Tanaka, “Gravity effect on dissolution and growth of silicon in the In-Si system,” *J. Crystal Growth*, **92**, pp. 46–52, 1988.
- [7] 金井 宏, 角辻文康, 木村雅和, 田中 昭, 助川徳三, “yo-yo 溶質供給法による GaAs の液相成長,” 電子情報通信学会技術研究報告, ED95-29, CPM95-11, pp. 25–29, 1995.

第 7 章

結 論

静電誘導 (SI) デバイスは、高速、高耐圧、低損失といった特長を有しており、高性能なパワーデバイスとして注目されているが、そのほとんどが Si を材料として作製されている。Si と比較して、直接遷移型、広い禁制帯幅、高い電子移動度、短いキャリア寿命等の物性上の特長をもつ GaAs はパワーデバイス材料として優れており、SI デバイスを GaAs で作製することにすれば、より一層の高速化、低損失化ができ、また高感度の光制御やオン時の発光が得られる。本研究では、高性能・新機能デバイスとして有望な GaAs パワー SI デバイスの実用化をめざし、数値シミュレーションによりその開発指針を得て、それを実現するための作製技術として新しい液相エピタキシャル成長技術の検討をおこなった。以下に本研究で得られた結果および今後の課題をまとめる。

GaAs BSIT や GaAs SITHy の最適設計値を得るために、数値シミュレーションをおこなった結果、大電流・低損失である GaAs パワー SI デバイスを実現するためには、活性層として $20 \sim 30 \mu\text{m}$ 程度の厚さで、不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、 $1 \times 10^{-8} \text{ sec}$ 以上のキャリア寿命をもつ高純度で高品質な GaAs 層が要求され、従来の技術では十分な性能の GaAs パワー SI デバイスを実現できず、新しいデバイス作製技術の開発が必要であることがわかった。

各種不純物を添加したGaAsをLPE成長して、GaAsの格子定数の依存性を調べた結果、TeドーピングおよびSeドーピングGaAsの格子定数は、アンドーピングGaAsに比べて大きく、Siドーピングでは逆にアンドーピングの格子定数より小さくなるが、GeドーピングGaAsの格子定数はアンドーピングGaAsの格子定数とほぼ等しいことがわかった。そして、それら不純物が添加されたことによる格子定数の変化量は、キャリア濃度に依存していた。また、TeとSiを同時に適量添加することにより、格子補償効果が得られ、p型の高不純物濃度エピタキシャル層とアンドーピング基板との格子整合をとることができ、GaAs LPE成長における格子補償効果が確認された。添加不純物や成長条件等に検討を加えれば、アンドーピングGaAsに格子整合したn⁺型のGaAsも実現され、格子補償技術が確立できる見通しが得られた。

アンドーピングGaAs基板上にGeドーピングGaAs厚膜をLPE法によって逆エピタキシーすることによって格子整合p⁺-i接合を得た。この方法で、素子の基板とするのに十分な、300 μm以上の厚さを持ち且つ高キャリア濃度で均一な低抵抗率のp⁺GaAs層が得られることがわかった。この技術によって形成した格子整合p⁺-i接合を用いてGaAs pinダイオード試作した結果、LECアンドーピング半絶縁性GaAs基板は、高温・長時間のLPE成長中にAsが抜け、導電性のp型に反転していた。従って、この成長法はデバイス活性層になるGaAsに熱的損傷を与えるので、逆エピタキシー法としてGaAs SIデバイスの作製に使用するには適しておらず、Asの脱離を防ぐため、成長中にAs蒸気圧をかけたり、低温・短時間でできる逆エピタキシー技術の開発が必要であることがわかった。

逆エピタキシーによるp⁺-i接合作製の低温化・短時間化の方法として、新たに逆エピタキシーのもつ接合の形成およびデバイス基板の成長という二つの機能を分割することを提唱し、Ge/GaAs構造を成長することにした。そこで、Ga-As-Ge三元溶液の性質を利用した「Ge/GaAs連続液相エピタキシャル成長」を提案し、成長実験を行った。その結

果、非常に厚い Ge/GaAs 構造を持つ成長層が、比較的低温で短時間に得られた。成長層は、GaAs 層、Ge 層共に p 型の低抵抗率層となっており、それぞれ深さ方向にほぼ一定の抵抗率分布であった。基板は、この成長の後でも半絶縁性を示しており、逆エピタキシーの低温化・短時間化により As 抜けが抑えられたことがわかる。また、試料の湾曲の GaAs 厚依存性を測定した結果、GaAs 層厚が十数 μm のとき曲率が零になるので、連続 LPE 成長は 10 μm 程度の活性層をもつ GaAs SI デバイスの作製法として利用できる。

GaAs SI デバイスの活性層となる高純度・高品質 GaAs 層の成長を目的として、全く新しい LPE 成長法である「溶質“その場”合成 LPE 法」の提案をし、成長実験を行った。本方法は、金属 As からの As 蒸気を、溶媒かつ溶質原料となる Ga に低温で直接反応させて GaAs を合成し、それを成長溶液として低温で LPE 成長を行うので高純度化に有利である。現在、まだ十分高純度な成長層は得られていないが、高純度化のための検討を行うことにより、GaAs SI デバイス活性層に要求される $1 \times 10^{13} \text{ cm}^{-3}$ 以下の不純物濃度で、 $1 \times 10^{-8} \text{ sec}$ 以上のキャリア寿命をもつ高純度な GaAs 層の成長が実現されると期待できる。

以上のように、本研究によって、逆エピタキシー技術や高純度 GaAs の成長といった GaAs パワー SI デバイスの作製技術の基礎が確立できた。今後さらなる研究をおこなって、格子補償技術によるアンドープ GaAs に格子整合した n^+ 層の成長や、溶質“その場”合成 LPE 法における高純度 GaAs 層の成長を確立すれば、GaAs パワー SI デバイスの実用化が可能となるであろう。

謝 辞

本研究を行うにあたり終始懇切なる御指導を賜るとともに、本論文の提出にあたって種々の御高配を賜った静岡大学電子工学研究所・助川徳三教授に心から感謝の意を表します。また、本論文をまとめるにあたり、多くの有益な御指導、御討論を賜りました静岡大学工学部電子工学科・福家俊郎教授、静岡大学電子工学研究所・畑中義式教授ならびに同所・田中 昭助教授に深謝致します。

本研究を遂行するにあたりまして適切な御指導および御助言をいただきました静岡大学電子工学研究所・木村雅和助手ならびに、実験および測定におきまして多大な御助力をいただきました同所・勝野廣宣文部技官に心から感謝致します。また、本研究を進めるにあたり御協力や御討論をいただきました静岡大学電子工学研究所光デバイス分野の鈴木光弘氏 [現：日立精工 (株)]，富田晃吉博士 [現：矢崎部品 (株)]，鈴木康弘氏 [現：ヤマハ発動機 (株)]，竹内秀彰氏 [現：小糸製作所 (株)]，遠藤雅和氏および同分野の皆様方に厚く御礼申し上げます。さらに、本研究の遂行および本論文の提出において、御協力、御援助いただきました静岡大学電子工学研究所ならびに静岡大学電子科学研究科のすべての皆様方に感謝致します。

最後に、健康な身体を授け、今日まで筆者を育てて下さいました両親に心から御礼申し上げます。

研究業績目録

(a) 論文

1. T. Sukegawa, M. Suzuki, M. Kimura, T. Kamiya, A. Tomita and A. Tanaka, “A new fabrication technique of GaAs power devices using LPE,” *Proc. of Symposium on Materials and Devices For Power Electronics-MADEP*, (Firenze), pp. 19–29, Sept. 1991.
2. 木村雅和, 神谷俊幸, 富田晃吉, 田中 昭, 助川徳三, “高純度半導体領域を用いた新しい光パワーデバイスの開発— GaAs SI サイリスタの実現をめざして—,” 静岡大学電子工学研究所研究報告, 第26巻, 第1号, pp. 45–56, 1991.
3. A. Tomita, T. Kamiya, M. Kimura, A. Tanaka and T. Sukegawa, “Application of a new fabrication technique to GaAs SITHy using LPE,” *Proc. of 1992 International Symposium on Power Semiconductor Devies & ICs*, (Tokyo), pp. 198–201. May 1992.
4. T. Sukegawa, T. Kamiya, A. Tomita, M. Kimura and A. Tanaka, “LPE growth of heavily doped GaAs layer on non doped substrate in lattice matching condition,” *Proc. of the Third China-Japan Symposium on Thin Films*, pp. 51–55, Sept. 1992.
5. 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “新しい LPE 法を用いた GaAs p-channel BSIT の製作,” 静岡大学大学院電子科学研究科研究報告, 第15号, pp. 39–46, 1994年3月.

6. 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “Ge/GaAs 連続液相エピタキシャル成長 – GaAs 静電誘導サイリスタの実現をめざして –,” 静岡大学電子工学研究所研究報告, 第 29 巻, 第 1 号, pp. 67–72, 1994 年.
7. 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “LPE 成長 GaAs の格子定数における不純物添加効果,” 静岡大学大学院電子科学研究科研究報告, 第 16 号, pp. 41–44, 1995 年 3 月.
8. T. Kamiya, M. Kimura, A. Tanaka and T. Sukegawa, “Lattice compensation in LPE grown GaAs crystals by simultaneous Te and Si doping,” *J. Crystal Growth*, (in press).

(b) 研究会発表

1. 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “GaAs パワーデバイスの製作技術の開発,” 電気学会電子デバイス・半導体電力変換合同研究会, **EDD-91**, [38-43], EDD-91-40, SPC-91-40, pp. 17–26, 1991 年 10 月.
2. T. Kamiya, A. Tomita, M. Kimura, A. Tanaka and T. Sukegawa, “Lattice compensation effect in LPE-grown GaAs,” *Eleventh Symposium Record of Alloy Semiconductor Physics and Electronics*, pp. 295–299, July 1992.
3. 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “Ga-As-Ge 溶液からの Ge/GaAs 連続成長,” 電子情報通信学会技術研究報告, **94**, [47], ED94-24, CPM94-25, pp. 57–62, 1994 年 5 月.

(c) 学会発表

1. 神谷俊幸, 富田晃吉, 木村雅和, 田中 昭, 助川徳三, “液相成長法による格子整合 GaAs p^+-n^- 接合の作製,” 第52回応用物理学会学術講演会, 9pX18/I, 1991年10月.
2. 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “LPE法による格子整合 GaAs p^+-n^- 接合の作製と評価,” 電気関係学会東海支部連合大会, 1991年10月.
3. 富田晃吉, 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “LPE法による GaAs パワーデバイスの開発,” 第39回応用物理学関係連合講演会, 29pR11/III, 1992年3月.
4. 神谷俊幸, 富田晃吉, 木村雅和, 田中 昭, 助川徳三, “不純物添加による LPE 成長 GaAs の格子補償,” 第39回応用物理学関係連合講演会, 30aSZA19/I, 1992年3月.
5. T. Kamiya, A. Tomita, M. Kimura, A. Tanaka and T. Sukegawa, “Lattice compensation effect in GaAs n^+-n^- junctions using liquid phase epitaxy,” Tenth International Conference on Crystal Growth, (San Diego) Poster Presentation Abstracts, C37, p. 122, Aug. 1992.
6. 神谷俊幸, 富田晃吉, 木村雅和, 田中 昭, 助川徳三, “不純物添加による LPE 成長 GaAs の格子補償 (II),” 第53回応用物理学会学術講演会, 16aZF3/I, 1992年9月.
7. 神谷俊幸, 富田晃吉, 木村雅和, 田中 昭, 助川徳三, “GaAs 上への Ge の液相成長,” 第54回応用物理学会学術講演会, 29aZR11/I, 1993年9月.

8. 神谷俊幸, 木村雅和, 田中 昭, 助川徳三, “共晶を利用した Ge/GaAs 連続成長,” 第 55 回応用物理学会学術講演会, 19aMF1/I, 1994 年 9 月.
9. 神谷俊幸, 竹内秀彰, 田中 昭, 助川徳三, “GaAs の低温 LPE 成長,” 第 56 回応用物理学会学術講演会, 27aZF3/I, 1995 年 8 月.