

故障診断機能を有する耐故障組合せ回路

——ゲート間配線の単一断線故障に対する耐故障化——

西垣 正勝[†] 仲野 聖人^{††} 曾我 正和^{†††}

A Fault Tolerant Combinational Circuit with Fault Diagnosis Capability
 ——To Mask and Detect the Loss of Any One Connection
 between Gate Circuits——

Masakatsu NISHIGAKI[†], Makoto NAKANO^{††}, and Masakazu SOGA^{†††}

あらまし ニューロン MOS トランジスタを用いて故障診断機能を有する耐故障回路を作成する。故障の範囲としては、ゲート間配線の単一断線故障を想定する。まず、インバータ、AND ゲート、OR ゲートを耐故障化し、故障診断モード付きの耐故障論理ゲートを設計する。次に、乗法標準形の構成でこれらの耐故障論理ゲートを最適に組み合わせた上で、編合せ論理によりこれを多重化することにより故障診断機能を有する任意の耐故障組合せ回路が得られることを示す。故障マスク機能と故障検出機能の両者をもつ理想的な耐故障組合せ回路が実現される。

キーワード 耐故障回路, 故障マスク, 故障検出, 編合せ論理, 組合せ回路

1. ま え が き

信頼性が要求される回路において耐故障性は必須である。論理回路を耐故障化するために様々な故障マスク方式が提案され、実用化されている。しかし、単に故障をマスクするだけでは、やがて第 2, 第 3 の故障が発生し、あらかじめ用意された冗長性が尽きた時点でマスク能力は失われる。故障がマスクされている間は耐故障回路の出力は正常に保たれるので、ユーザは故障が潜在的に発生していることに気づかない。したがって、マスク能力が失われた時点において回路は何の前ぶれもなく急に異常を来すことになる。これでは故障によって引き起こされるトラブルを未然に防ぐことはできない。つまり、故障マスクが有効に働くためには、耐故障回路中に潜在している故障を検出できる

機能を併せもつ必要がある [1]。マスク能力が有効に働いているうちに回路中に潜在している故障を検出し、回路を整備・交換することにより、回路の耐故障性は維持される。

一方、一般の半導体の障害率は、その一生を通じ、バスタブ曲線を描くことが知られている [1]。製品は使用開始しはじめの初期に故障率が高い。したがって、出荷された製品の信頼性を向上させるためには（出荷後の故障率を低く抑えるためには）、出荷前に適切な方法により適切な期間、初期故障をチェックし、初期不良品を振り落とすことが必要となる。しかし、故障をマスクしてしまう耐故障回路においては、初期故障も隠ぺいされることになり、不良品が見逃されてしまう。初期故障を有する製品は、その初期故障の原因となる製造プロセス上の何らかの揺らぎの影響を全体に受けているためひ弱であり、使用しているうちに次の故障が発生する可能性が高い。つまり、回路の耐故障化は初期不良チェックの果たす役割を大きく阻害することになりかねない。よって、初期不良チェックのフェーズでは、故障のマスクを中断し、初期故障を積極的に検出できるような耐故障回路が有用である。

本論文では、ニューロン MOS トランジスタ [2]~[4]

[†] 静岡大学情報学部情報科学科, 浜松市

Department of Computer Science, Faculty of Information, Shizuoka University, Hamamatsu-shi, 432-8011 Japan

^{††} 松下システムエンジニアリング株式会社第 4 システム部, 横浜市 System Development Dept., Matsushita System Engineering Co., Ltd., Yokohama-shi, 224-8539 Japan

^{†††} 岩手県立大学ソフトウェア情報学部, 岩手県

Faculty of Software and Information Science, Iwate Prefectural University, Takizawa-mura, Iwate-ken, 020-0173 Japan

の可変しきい値能力を利用して、故障診断機能を有する耐故障回路を作成する。初期不良チェックのフェーズ、及び、出荷後の定期検診時には、耐故障回路を故障診断モードで動作させることにより、故障のマスク機能を一時停止させて潜在する故障をオフラインチェックにより検出することができる。通常モード動作時には、故障のマスク機能が働き、出荷後若しくは定期検診の後に新たに故障が発生しても回路は正しく動作し続ける。出荷後若しくは定期検診の後に新たに故障が発生した回路は、次期定期検診時に故障が潜在していることが検出され、交換される。

本論文では、組合せ回路の耐故障化に焦点を絞る。故障の範囲としては、ゲート間配線の単一断線故障を想定する。組合せ回路は乗法標準形の構成で最小化されるとする。すなわち、回路はインバータ、AND ゲート、OR ゲートにより構成されているとする。

2. 故障モデル

2.1 故障のフローティングゲート電位への影響

本論文では、故障をゲート間配線の単一断線故障に絞ることにする。断線故障は MOS 回路網において起こり得る可能性が高い故障のうちの一つである。また、故障診断機能付きの耐故障回路を作成するという本研究の目的は、第 2, 第 3 の故障が発生する前に故障を検出することにある。つまり、一つの故障が起こった時点でその故障は検出されるので、単一故障に対する耐故障化を考えておけば十分である。

断線故障が起こったときに、ニューロン MOS トランジスタにより構成される回路の内部がどのように誤るかを考える。N 型ニューロン MOS トランジスタの等価回路は図 1 で示される。図 1 は入力端子数が四つの例であるが一般性を失うことはない。このとき、フローティングゲート電位 Φ は式 (1) で表される [2]。

$$\Phi = \frac{C_1V_1 + C_2V_2 + C_3V_3 + C_4V_4}{C_0 + C_1 + C_2 + C_3 + C_4} \quad (1)$$

ただし、フローティングゲートの初期電荷を 0 としている。ここで、 V_1, V_2, V_3, V_4 はそれぞれ入力端子 1, 入力端子 2, 入力端子 3, 入力端子 4 の印加電圧である。また、 C_1, C_2, C_3, C_4 はそれぞれフローティングゲートと入力端子 1, 2, 3, 4 の間の静電容量であり、ニューロンのシナプス結合荷重に相当する。 C_0 はフローティングゲートとサブストレートの間の静電容量である。N 型 MOS トランジスタのサブストレートは接地されている。

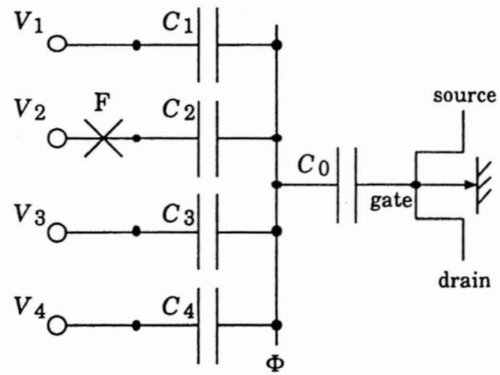


図 1 ニューロン MOS トランジスタの等価回路
Fig. 1 Neuron MOSFET.

今、図 1 の F の部分が断線したとすると、入力端子 2 は電氣的に浮いた状態になるので、キャパシタ C_2 の Φ への寄与はなくなり、結局、 C_2 が切り離されることと等価となる。よって、F の部分の断線故障により、フローティングゲートの電位 Φ は式 (2) で表される Φ_f へと変位することになる。

$$\Phi_f = \frac{C_1V_1 + C_3V_3 + C_4V_4}{C_0 + C_1 + C_3 + C_4} \quad (2)$$

なお、実際には、入力端子間にも寄生容量が存在する。また、回路の動作クロックが高速な場合には断線した配線はアンテナのように振る舞う。したがって、断線した配線は周囲の配線の信号などからの干渉を受け、その電位はふらつくことになる。つまり、F の部分が断線しても厳密には入力端子にはある値の電位がかかり、その電位が C_2 を通じて Φ_f に影響を与えることになる。しかし、本研究の現段階では、回路の動作クロックは回路の微細化レベルより十分遅いという仮定を設け、寄生容量などの影響は無視することとする。

2.2 論理ゲート回路における故障の影響

図 1 の N 型ニューロン MOS トランジスタを使用して図 2 のような回路を構成する。 V_1, V_2, V_3, V_4 が回路への入力であり、 Z が出力である。図 2 ではすべての入力における結合荷重は等しくなるように作成されている。すなわち、 $C = C_1 = C_2 = C_3 = C_4$ である。したがって、式 (1)、式 (2) はそれぞれ

$$\Phi = \frac{C}{C_0 + 4C}(V_1 + V_2 + V_3 + V_4) \quad (3)$$

$$\Phi_f = \frac{C}{C_0 + 3C}(V_1 + V_3 + V_4) \quad (4)$$

と表せる。

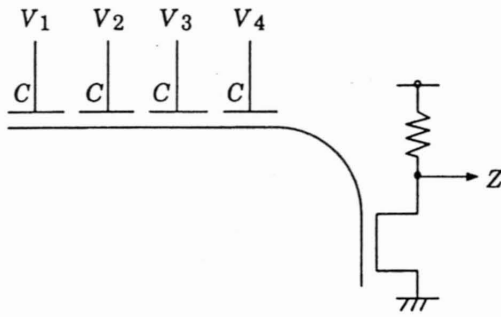


図2 ニューロン MOS トランジスタを用いた論理ゲート
Fig.2 A logic gate circuit implemented with neuron MOS.

各種パラメータを適正に選んでニューロン MOS トランジスタをスイッチング素子として動作させるようにすれば、ニューロン MOS トランジスタのフローティングゲート電位 Φ が 0 以上の場合にトランジスタは導通し、図 2 の回路の出力 Z は LOW となる。一方、 Φ が 0 より小さい場合にはトランジスタは遮断し、出力 Z は HIGH となる。本論文では図 2 のように N 型ニューロン MOS トランジスタと負荷抵抗により論理ゲートを実装する (図 2 の回路が論理ゲートとして動作することは 3.1 にて示される)。なお、本論文では以後、各入出力に対して、HIGH 論理の電位 V_H を 1, LOW 論理の電位 $V_L (= 0[V])$ を 0 で表すことにする。これに合わせ、 $2V_H$ や $-V_H$ などの電位はそれぞれ 2, -1 と表される。

式 (3) において、 C_0 と C はともに正の値であるため、 Φ の正負は入力 u の和である

$$u = V_1 + V_2 + V_3 + V_4 \quad (5)$$

の正負により判断することが可能であることがわかる。すなわち、

$$\begin{cases} u \geq 0 \text{ ならば } Z = 0, \\ u < 0 \text{ ならば } Z = 1 \end{cases} \quad (6)$$

が成立する。更に、ニューロン MOS トランジスタの F の部分が断線した場合において同様の解析を行うことにより、

$$u_f = V_1 + V_3 + V_4 \quad (7)$$

に対して

$$\begin{cases} u_f \geq 0 \text{ ならば } Z = 0, \\ u_f < 0 \text{ ならば } Z = 1 \end{cases} \quad (8)$$

が成立する。以上から、図 2 の回路では、F の部分の断線故障は u が u_f に誤ることと同意となる。すなわち、図 2 の回路においては、F の部分の断線故障を電位 V_2 が 0 に縮退した故障としてモデル化できる。

2.3 故障集合

前節に示されるとおり、ゲート間配線の断線故障は断線直後のゲートの入力が 0 に縮退したものと等価になる。しかし、ゲート素子そのものに故障が生じ、当該ゲートの出力が 0 に縮退したり、焼き切れてしまった場合も、その影響は後段のゲートの入力の 0 に縮退として表面化するので、やはり同様のモデル化が可能である。また、6. では各ゲートに与える制御入力に対する断線故障についても論じる。したがって、本論文において想定する実際の故障集合は、ゲート間配線の断線故障だけでなく、ゲート出力の値が 0 に縮退する故障、ゲート内部の焼き切れなどにより出力端子がハイインピーダンスに固定される故障、及び、ゲートの制御入力供給線の断線故障をも含むことになる。なお、本論文では単一断線故障を想定しているので、回路中のどこかに上記の内のいずれかの故障がただ一つ発生することになる。

図 2 の論理ゲートにおいては入力端子部の静電容量の変動も出力に強く影響を及ぼすため、入力端子部の静電容量が変動する故障に対する耐故障化も考慮する必要がある。しかし、配線面積が支配的となる現在のプロセスにおいては、入力端子部の静電容量が変動する故障と比べ、配線の断線故障の発生確率の方が高いと推測できる。よって、本論文においてはゲート間配線の断線故障のみを取り扱うことにし、入力端子部の静電容量の変動に関しては故障集合から除外している。

3. 故障診断モードを有する耐故障ゲート回路

本論文における耐故障化は編合せ論理 [5] を利用して行う。編合せ論理では、入力線のみを l 重化 (本論文の例では $l = 2$) したゲートを作成し、このゲートを l 組並列に用いることにより、「入力線・出力線がともに l 重化された一つのゲート」として動作する。便宜上、ここでは入力線を多重化したゲート回路を「耐故障ゲート回路」と呼ぶことにする。まず本章では、図 2 のゲート回路を基本に、故障診断モードを有する耐故障ゲート回路の作成を行う。耐故障ゲート回路の編合せについては次章にて説明する。

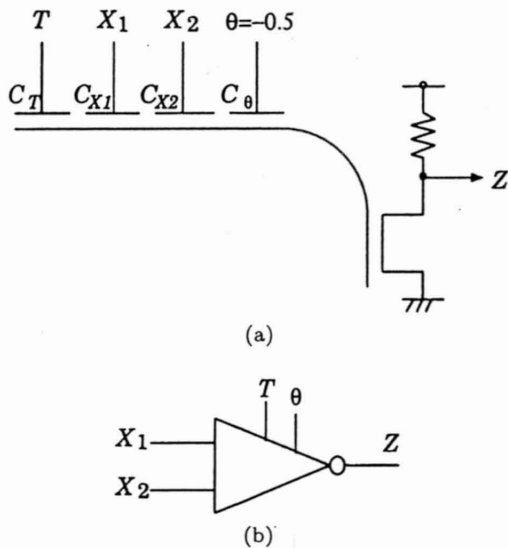


図3 (a) 耐故障インバータ (b) シンボル図
Fig. 3 (a) Fault tolerant inverter. (b) The Symbol.

3.1 インバータの耐故障化

故障診断モードを有する耐故障インバータは、図2の回路によって実現できる。説明をわかりやすくするため、図2の四つの入力にそれぞれ X_1 , X_2 , T , θ という名前を与えた回路を図3に示す。入力部の結合荷重はすべて等しく、 $C = C_T = C_{X_1} = C_{X_2} = C_\theta$ である。 Z は出力である。 X_1 , X_2 は入力 X が二重化されたものである。2.2において本回路の入力部の断線故障が入力電位の0縮退故障と等価であることが示されたが、入力電位の0縮退は1→0誤りのみを生じる非対称故障であるので、配線を2重化することにより単一故障に対処できる。 θ はしきい値で、外部から一定の値が入力されている。インバータの場合は $\theta = -0.5$ であるが、入力部の結合荷重を $C = C_T = C_{X_1} = C_{X_2}$, $C_\theta = C/2$ と設計した上で $\theta = -1$ を入力しても等価である。

T により図3の回路の入出力特性を変更することが可能である。図4及び表1に $T = 0$, $T = -1$, $T = -2$ の場合におけるそれぞれの入出力特性図と真理値表を記す。ここで、 $\chi = X_1 + X_2$ である。正常時においては、 $X = 0$ の入力に対しては $(X_1, X_2) = (0, 0)$ となるので $\chi = 0$ であり、 $X = 1$ の入力に対しては $(X_1, X_2) = (1, 1)$ となるので $\chi = 2$ となる。 X_1 と X_2 は2重化された入力であるため、正常の回路においては $(X_1, X_2) = (0, 1)$ または $(1, 0)$ という状態は発生しない。どちらかの入力線に断線故障が起こると、それに応じて X_1 または X_2 の入力が0に縮退する。

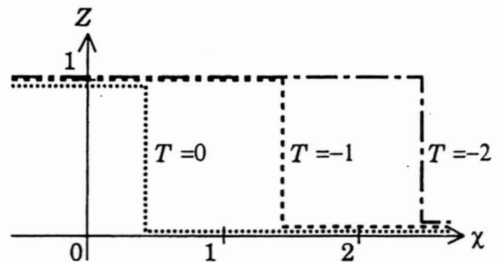


図4 耐故障インバータの入出力特性
Fig. 4 Input-output function for the fault tolerant inverter.

表1 耐故障インバータの真理値表
Table 1 Truth table for the fault tolerant inverter.

インバータ $\theta = -0.5$	耐故障 モード ($T = 0$)		故障診断 モード ($T = -1$)		オール1 モード ($T = -2$)				
	X_1	X_2	χ	u	Z	u	Z		
正常時	0	0	0	-0.5	1	-1.5	1	-2.5	1
	1	1	2	1.5	0	0.5	0	-0.5	1
単一故障時	1→0	1	1	0.5	0	-0.5	0→1	-1.5	1

その際、 $X = 0$ の入力に対しては $\chi = 0$ を保つため故障の影響は現れないが、 $X = 1$ が入力された際に $\chi = 1$ となり故障が表面化する。

まず、正常時の動作を考える。図4及び表1から、 $T = 0$ または $T = -1$ とした場合には、 $(X_1, X_2) = (0, 0)$ の入力に対して $Z = 1$, $(X_1, X_2) = (1, 1)$ に対して $Z = 0$ となるので、この回路がインバータとして動作することがわかる。次に、 X_1 または X_2 の入力線に単一断線故障が発生して $(X_1, X_2) = (1, 1)$ の入力に対して $\chi = 1$ となった場合を考える。 $T = 0$ に対しては、 $\chi = 1$ となったとしても、回路は本来の出力である $Z = 0$ を保持することがわかる。すなわち、入力線の単一断線故障はマスクされる。本論文では、 $T = 0$ での回路の動作を「耐故障モード」と呼ぶことにする。一方、 $T = -1$ とすると、 $\chi = 1$ の故障入力に対して出力 Z も1に誤る。すなわち、出力をチェックすれば入力線が断線していることを見つけることができる。本論文では、 $T = -1$ での回路の動作を「故障診断モード」と呼ぶ。

更に、 $T = -2$ とすることにより、インバータの出力 Z を常に1とすることができる。本論文では、これを「オール1モード」と呼ぶ。インバータにオール1モードを用意する必要性については5.で述べる。

本インバータは、耐故障モードにおいては入力部の断線故障がマスクされ正常の出力を保ち続ける。一方、故障診断モードでは入力部の断線故障が出力を誤

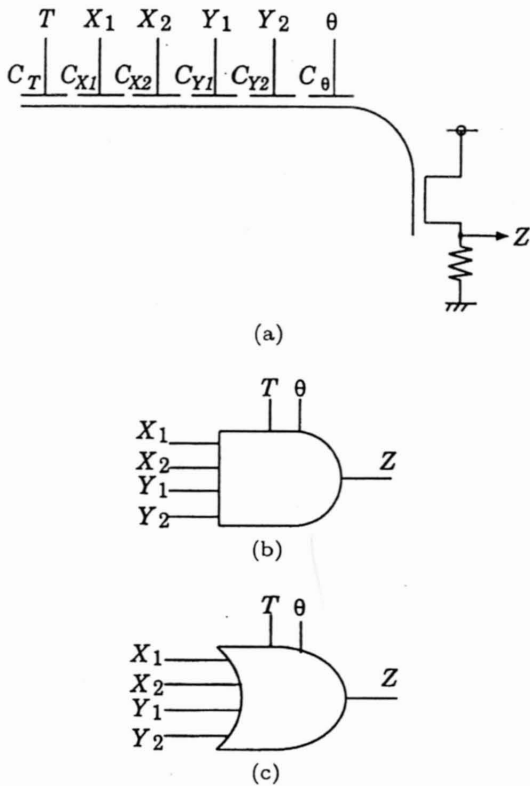


図5 (a) 耐故障 AND ゲート (b) 耐故障 AND ゲートのシンボル図 (c) 耐故障 OR ゲートのシンボル図
 Fig. 5 (a) Fault tolerant AND gate. (b) The Symbol for the fault tolerant AND gate. (c) The Symbol for the fault tolerant OR gate.

らせる。こうして、入力 \$T\$ により故障のマスキング機能の ON/OFF を切り換えることのできるインバータが作成できた。

3.2 AND ゲートの耐故障化

耐故障 AND ゲートは \$N\$ 型ニューロン MOS トランジスタを使用して図 5(a),(b) のように構成する。説明を簡単にするため図 5(a),(b) には 2 入力の AND ゲートが示されているが、ニューロン MOS トランジスタの Level Accuracy [4] が保たれる範囲の入力数であれば、理論的には \$n\$ 入力の AND ゲートをニューロン MOS トランジスタ一つで実現することができる。\$X_1, X_2, Y_1, Y_2\$ は二つの入力 \$X\$ と \$Y\$ がそれぞれ 2 重化されたものであり、入力部の結合荷重はすべて等しい。\$Z\$ が出力である。\$\theta\$ はしきい値であり、\$n\$ 入力 AND ゲートに対して \$1.5 - 2n\$ の一定値が入力される。2 入力 AND ゲートの場合 \$\theta = -2.5\$ である。ただし、入力部の結合荷重を \$C = C_T = C_{X_1} = C_{X_2} = C_{Y_1} = C_{Y_2}, C_\theta = (1.5 - 2n)C\$ と設計した上で \$\theta = -1\$ を入力しても等価である。

表 2 耐故障 AND ゲートの真理値表
 Table 2 Truth table for the fault tolerant AND gate.

	2 入力 AND					耐故障モード ($T = 0$)		故障診断モード ($T = -1$)	
	X_1	X_2	Y_1	Y_2	χ	u	Z	u	Z
正常時	0	0	0	0	0	-2.5	0	-3.5	0
	0	0	1	1	2	-0.5	0	-1.5	0
	1	1	0	0	2	-0.5	0	-1.5	0
	1	1	1	1	4	1.5	1	0.5	1
単一故障時	0	0	1→0	1	1	-1.5	0	-2.5	0
	1→0	1	0	0	1	-1.5	0	-2.5	0
	1	1	1→0	1	3	0.5	1	-0.5	1→0
	1→0	1	1	1	3	0.5	1	-0.5	1→0

\$T\$ がモード切換信号であり、AND ゲートは \$T = 0\$ で耐故障モード、\$T = -1\$ で故障診断モードとなる。2 入力 AND ゲートの真理値表を表 2 に示す。ここで、 $\chi = X_1 + X_2 + Y_1 + Y_2$ である。表 2 より、正常時には両モードとも AND ゲートとして正しく機能することがわかる。更に、耐故障モードにおいては、四つの入力線のうちのいずれかに断線故障が起こったとしても、正しい出力を保持することがわかる。すなわち、入力線の単一断線故障はマスクされる。一方、故障診断モードでは、入力線に単一断線故障が起こっていると \$(X_1, X_2, Y_1, Y_2) = (1, 1, 1, 1)\$ を入力した際に出力が誤る。すなわち、出力をチェックすれば入力線が断線していることを見つけることができる。なお、AND ゲートの場合には入力数 \$n\$ がいくつであったとしても \$T = -1\$ で故障診断モードとなる。

こうして、入力 \$T\$ により故障のマスキング機能の ON/OFF を切り換えることのできる AND ゲートが作成できた。ただし、図 5(a) の回路は \$N\$ 型 MOS トランジスタのドレーンがプルアップされた形となっており、出力 \$Z\$ が電源電位まで上がりきらないという問題を有する。よって、出力 \$Z\$ の HIGH 電位が \$V_H\$ となるように、ゲートの電源電圧を調整してやる必要がある。

3.3 OR ゲートの耐故障化

耐故障 OR ゲートは図 5(a) と同じ回路構成により実現できる (AND ゲートと区別するためにシンボル図は図 5(c) を用いる)。理論的には (Level Accuracy の許す範囲で) \$n\$ 入力 OR ゲートをニューロン MOS トランジスタ一つで実現することが可能である。AND ゲートと同じく、\$X_1, X_2, Y_1, Y_2\$ 及び \$Z\$ が OR ゲートの入出力であり、入力部の結合荷重はすべて等しい。OR ゲートの場合には \$\theta\$ の値は入力数

n によらず一定であり、 $\theta = -0.5$ である。ただし、 $C = C_T = C_{X_1} = C_{X_2} = C_{Y_1} = C_{Y_2}$, $C_\theta = C/2$ と設計して $\theta = -1$ を入力しても等価である。

T がモード切換信号であり、 $T = 0$ で OR ゲートは耐故障モードとなる。2入力 OR ゲートの真理値表を表3に示す。ここで、 $\chi = X_1 + X_2 + Y_1 + Y_2$ である。表3より、耐故障モードにおいては、正常時にも故障時にも本回路は OR ゲートとして正しく機能することがわかる。すなわち、入力線の単一断線故障はマスクされる。

OR ゲートの故障診断モードは、特別に、AND ゲートの故障診断モードと同じ振舞いをするように設計する。OR ゲートを故障診断モードにおいては AND ゲートとして動作させる理由については5.で述べる。本論文では OR ゲートも AND ゲートも図5(a)の回路で実装されているため、OR ゲートを AND ゲートとして動作させることは容易であり、 n 入力 OR ゲートの T 信号として $T = 1 - 2n$ を入力すればよい。2入力 OR ゲートの場合は $T = -3$ である。この結果、本 OR ゲートは、耐故障モード ($T = 0$) においては入力線の単一断線故障をマスクすることができる OR ゲートとして機能し、故障診断モード ($T = 1 - 2n$) においては AND ゲートの故障診断モードと同一の振舞いをする。

なお、OR ゲートの入力部の結合荷重を $C = C_{X_1} = C_{X_2} = C_{Y_1} = C_{Y_2} = C_\theta$, $C_T = (1 - 2n)C$ と設計することにより、 $T = 0$ にて耐故障モード、 $T = -1$ にて故障診断モードとすることができる。本論文ではこれ以後、すべてのゲートが $T = 0$ にて耐故障モード、 $T = -1$ にて故障診断モードとなるものとして説明を進める (インバータは更に $T = -2$ のオール1モ

ドを有する)。

4. 組合せ回路の耐故障化

4.1 編合せによる耐故障組合せ回路の生成

3.で示した故障診断モード付き耐故障論理ゲート回路を編合せ論理 [5] を用いて多重化することにより、故障診断モードを有する任意の耐故障組合せ回路を作ることができる。なお、編合せ論理に基づけばいかなる組合せ回路も耐故障化することが可能である。しかし、本論文では、乗法標準形の構成で最小化された組合せ回路の耐故障化に焦点を絞る。その理由については5.にて説明する。

ここでは、図6(a)に真理値表の形で示される論理関数を例にとり、耐故障組合せ回路の設計手順を説明する。図6(a)の論理関数のカルノーマップ表現を図6(b)に示す。論理関数を乗法標準形の構成で最小化する場合には、出力0の項をまとめ、必須項を見つける。図6(b)中の a, b, c, d の丸で囲まれた部分が必須項であり、それぞれ、 $q\bar{r}$, $p\bar{r}s$, $\bar{p}rs$, $p\bar{q}\bar{r}s$ の論理を表す。必須項の論理が一つでも TRUE となったときに出力 v が0となるようにすればよいので、論理式は

$$v = (\bar{q}+r) \cdot (\bar{p}+r+\bar{s}) \cdot (p+\bar{r}+\bar{s}) \cdot (\bar{p}+q+\bar{r}+s) \quad (9)$$

となる。これを回路図により示したものが図6(c)である。回路中の #5, #6, #7, #8 の各ゲートがそれぞれ a, b, c, d の必須項を実装しており、それら

表3 耐故障 OR ゲートの真理値表

Table 3 Truth table for the fault tolerant OR gate.

2入力 OR $\theta = -0.5$		耐故障 モード ($T = 0$)		故障診断 モード ($T = 1 - 2n$) $= -3$					
	X_1	X_2	Y_1	Y_2	χ	u	Z	u	Z
正常時	0	0	0	0	0	-0.5	0	-3.5	0
	0	0	1	1	2	1.5	1	-1.5	0
	1	1	0	0	2	1.5	1	-1.5	0
	1	1	1	1	4	3.5	1	0.5	1
単一故障時	0	0	1→0	1	1	0.5	1	-2.5	0
	1→0	1	0	0	1	0.5	1	-2.5	0
	1	1	1→0	1	3	2.5	1	-0.5	0
	1→0	1	1	1	3	2.5	1	-0.5	0

p	q	r	s	v	test
0	0	0	0	1	
0	0	0	1	1	
0	0	1	0	1	
0	0	1	1	0	✓
0	1	0	0	0	
0	1	0	1	0	
0	1	1	0	1	
0	1	1	1	0	
1	0	0	0	1	
1	0	0	1	0	✓
1	0	1	0	0	✓
1	0	1	1	1	
1	1	0	0	0	✓
1	1	0	1	0	
1	1	1	0	1	
1	1	1	1	1	

図6(a) 真理値表
Fig. 6(a) The truth table.

$pq \backslash rs$	00	01	11	10
00	1	0 ^a	0	1
01	1	0	0 ^b	0
11	0 ^c	0 ^e	1	1
10	1	1	1	0 ^d

図 6(b) カルノーマップ
Fig. 6(b) The Karnaugh map.

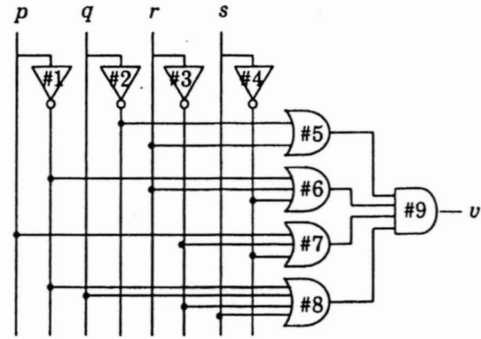


図 6(c) 乗法標準形の構成で最適化された回路
Fig. 6(c) An optimized circuit.

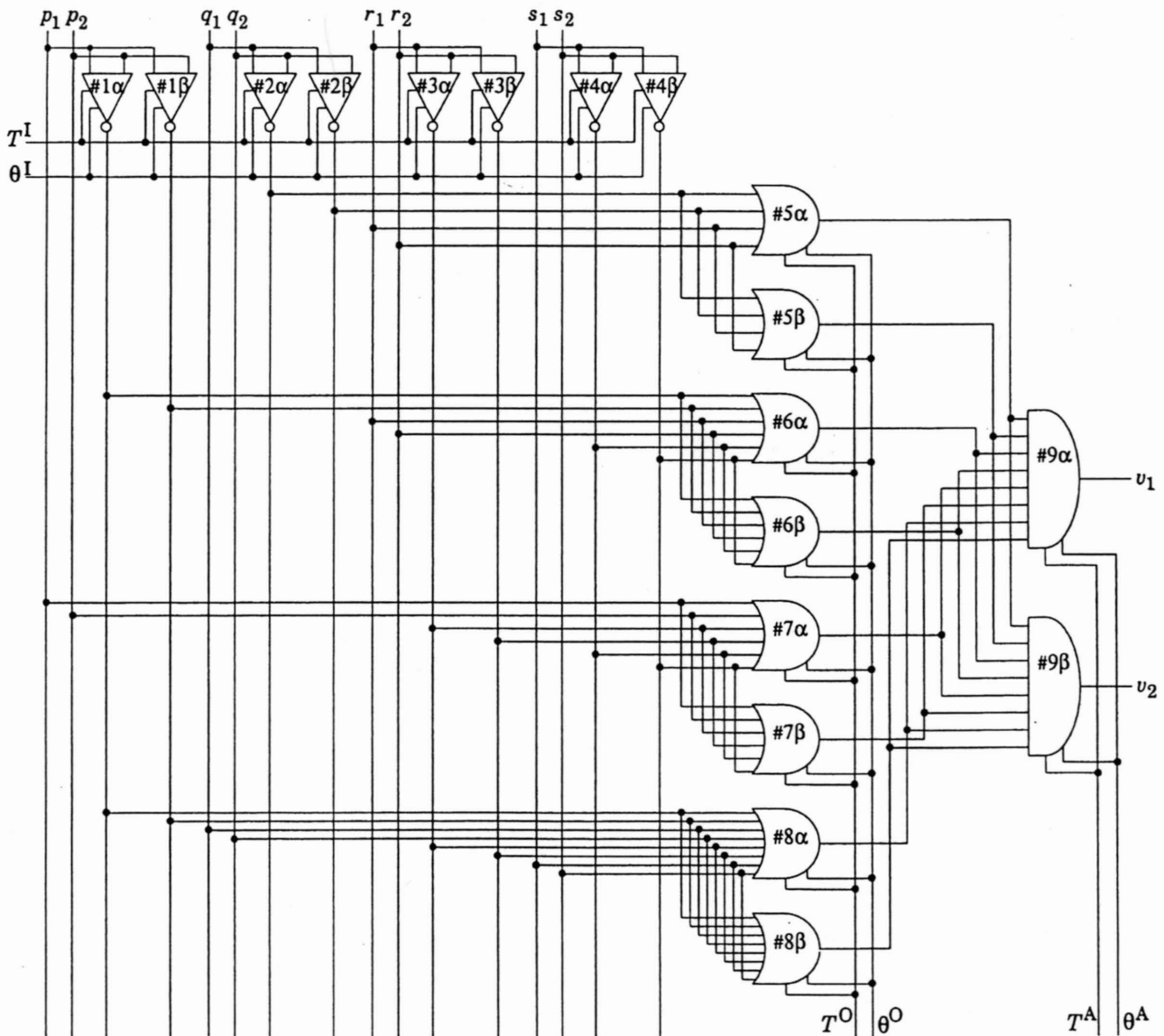


図 6(d) 耐故障回路
Fig. 6(d) The fault tolerant circuit.

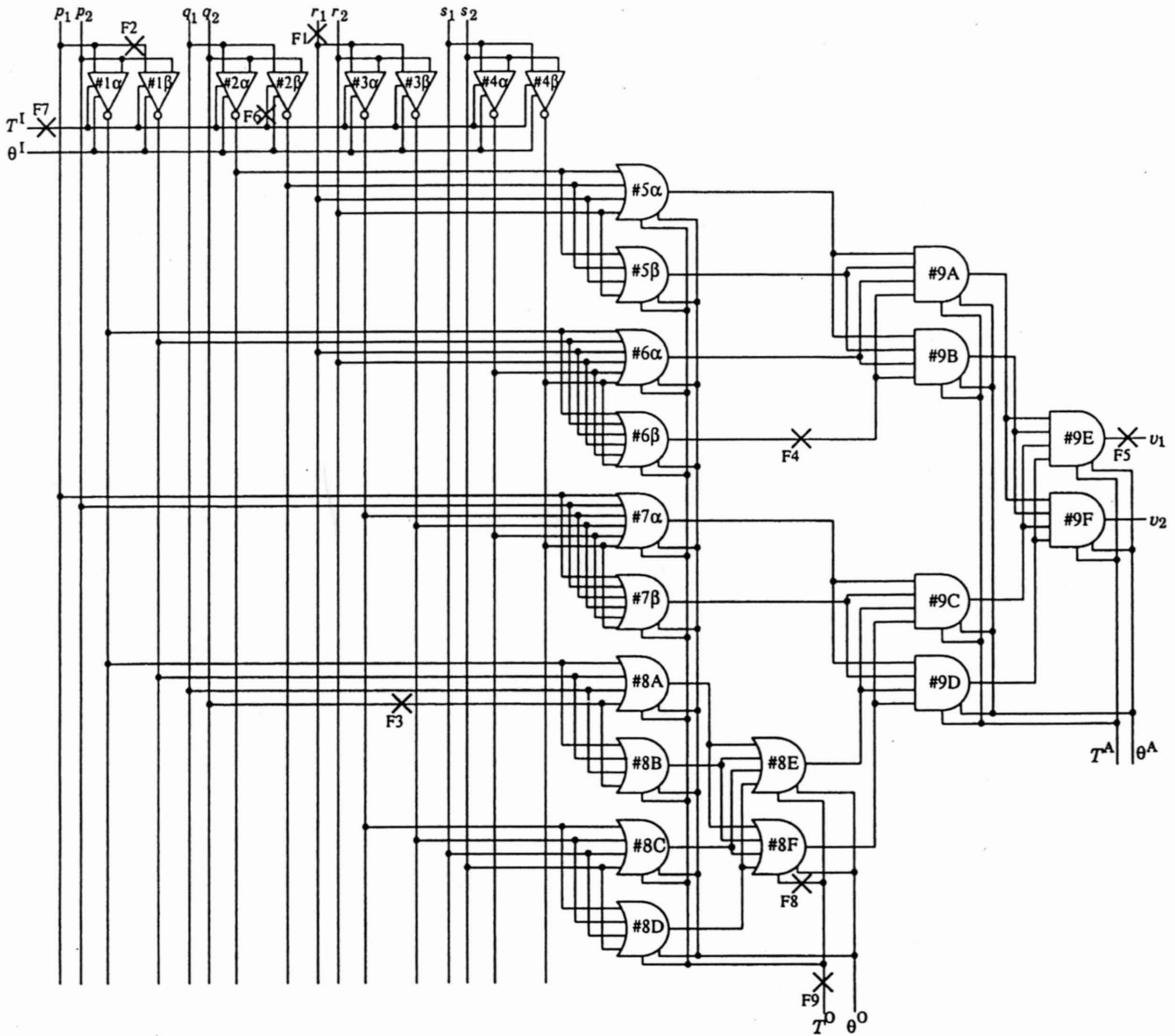


図 6(e) 耐故障回路 (ゲートの入力数の最大値を 3 とした場合)
 Fig. 6(e) The fault tolerant circuit. (The maximum number of the inputs of each gate is three.)

を #9 のゲートが統合している。なお、図 6(b) 中の e の丸は、a と c の丸によりカバーされるため、必須項とはならない。

図 6(c) の組合せ回路を編合せ論理により耐故障化した回路を図 6(d) に示す。図 6(d) の入力 $p_1, p_2, q_1, q_2, r_1, r_2, s_1, s_2$ はそれぞれ図 6(c) の入力 p, q, r, s を二重化したものであり、図 6(d) の出力 v_1, v_2 は図 6(c) の出力 v が 2 重化されたものである。図 6(c) の回路を構成する各素子は通常の論理ゲート回路であり、図 6(d) の回路を構成する各素子は 3. で作成した故障診断モード付き耐故障論理ゲート回路であ

る。このように、編合せ論理を用いれば乗法標準形で構成される組合せ回路を機械的に耐故障化することが可能である。

なお、ニューロン MOS トランジスタの Level Accuracy の制限により AND ゲート, OR ゲートの入力数の最大値が m に規定されている場合には、入力数が m (2 重化された入力数は $2m$) を超えるゲートに対してはこれらを m 入力以下のゲートに分解した上で実装する必要がある。図 6(d) の回路に対して $m = 3$ の例を図 6(e) に示した。

図 6(d), 図 6(e) の回路において、モード切換信号

T は各ゲート種ごとにまとめられている。インバータ群, AND ゲート群, OR ゲート群のモード切換信号をそれぞれ T^I , T^A , T^O と呼ぶことにする。また, しきい値 θ も同様に θ^I , θ^A , θ^O として入力されている。

図 6(c) の回路中に単一断線故障が発生すると, その外部出力 v には $1 \rightarrow 0$ 誤りと $0 \rightarrow 1$ 誤りの両方が起こり得る。つまり, 本論文で対象としている単一断線故障は, その断線故障が起こった配線においては $1 \rightarrow 0$ 誤りを引き起こすのみの非対称故障であるが, 外部出力の $1 \rightarrow 0$ 誤りと $0 \rightarrow 1$ 誤りを引き起こす対称故障としてモデル化することもできる。よって, 図 6(c) の組合せ回路を複数用意し, それらの外部出力を比較することにより故障のマスクを行う場合には, TMR (Triple Modular Redundancy) [6] を採用し, 回路を 3 重化する必要がある。一方, 編合せ論理による耐故障化においては, 断線直後のゲートがその故障をマスクするため, すべてのゲートの 2 重化により故障のマスクが可能である。

ニューロン MOS トランジスタにより耐故障ゲート回路を実装した場合, 入力線の 2 重化とフローティングゲートの挿入により各ゲート回路の面積は約 2 倍となる。そして, 各耐故障ゲート回路が編合せにより 2 重化されるので回路面積は更に 2 倍となる。したがって, 本方式により故障のマスク機能と検出機能を回路に付加するために必要となる回路面積は, 耐故障化を行わない場合の約 4 倍と見積もることができる。

4.2 耐故障性

すべてのゲートを耐故障モード ($T^I = T^A = T^O = 0$) として動作させることにより, 回路中のいかなる場所に単一断線故障が起こったとしても, その断線箇所の直後のゲートによりその故障はマスクされる。例えば図 6(e) 中の F1 部の単一断線故障は $\#3\alpha$, $\#3\beta$, $\#5\alpha$, $\#6\alpha$ の四つのゲートの入力を誤らせることになるが, それらのゲートが各々, 入力の誤りをマスクするので回路は正常に動き続ける。ただし, 外部出力端子においてはそれ以降に冗長性が用意されていないので, 例えば図 6(e) 中の F5 部の断線故障についてはこれをマスクすることはできない。しかし, 外部出力端子における断線故障は $(v_1, v_2) = (1, 1)$ であるときのみ表面化するので, $(v_1, v_2) = (0, 1)$ または $(1, 0)$ が観測された場合には外部出力 v は 1 であるとみなせばよい。

なお, ここでは図 6(d), 図 6(e) の回路を例にとつて回路の耐故障性を示したが, この性質が任意の組合

せ回路を編合せ論理により耐故障化した回路においても保証されることは明らかである。

5. 故障診断

5.1 故障の伝搬

3. で作成したインバータにおいては, 故障診断モードで動作させたとしてもゲートに $(X_1, X_2) = (1, 1)$ が入力されない限り, 入力部の断線故障の影響がゲート出力に現れることはない。2 入力 AND ゲートにおいてはゲート入力部の断線故障をゲート出力部の誤りとして表面化させるためには $(X_1, X_2, Y_1, Y_2) = (1, 1, 1, 1)$ の入力が必要である。したがって, 回路の外部入力端子にいかなる入力を印加しても $(X_1, X_2) = (1, 1)$ や $(X_1, X_2, Y_1, Y_2) = (1, 1, 1, 1)$ という入力を得られないゲートが回路中に存在した場合には, そのゲートの入力部に起こった断線故障を検出することはできない。更に, 断線直後のゲートの出力を誤らせることはできたととしても, その誤りが回路の外部出力端子にまで伝搬しなければ, 回路中に断線故障が生じていることを検出することはできない (すべてのゲートの出力を観測するための外部端子を用意することはナンセンスである)。

4. で説明した編合せ論理に基づけばいかなる組合せ回路も (乗法標準形以外の構成の回路でも) 機械的に耐故障化することが可能である。しかし, それにより生成された耐故障組合せ回路の「故障の伝搬性」は一般には保証されない。すなわち, 断線箇所によっては, 回路を故障診断モードで動作させたとしても, その故障を検出することができないということがあり得る。

本章では, 乗法標準形の構成で最小化された組合せ回路であれば, それを編合せ論理により多重化した耐故障組合せ回路の「故障の伝搬性」が保証されることを示す。以下では基本的に図 6(e) の回路を例にとり証明を進め, 特に一般性を明確に示したい場合にはそのつど補足説明を加える。

5.2 第 1 次故障チェック

第 1 次故障チェックは, 外部入力端子からインバータまでの間の配線を除く部分に起こった断線故障を検出するためのチェックである。一例として図 6(e) に記した F1~F5 部の断線故障を考えた場合, F2 以外の断線故障を検出することができる。第 1 次故障チェックは回路をオフラインにして行われる。

第 1 次故障チェックでは, インバータをオール 1 モード ($T^I = -2$), AND ゲート及び OR ゲートを故障診

断モード ($T^A = T^O = -1$) とした上で、すべての外部入力端子に 1 を与える。 $T^A = T^O = -1$ とすることにより、インバータ以外のゲート #5 α , #5 β , ..., #7 α , #7 β , #8A, #8B, ..., #9E, #9F はすべて故障診断モードの AND ゲートとして動作することになる。

$T^I = -2$ であり、 $p1, p2, q1, q2, r1, r2, s1, s2$ の入力のすべてに 1 が印加されているので、OR ゲート #5 α , #5 β , ..., #7 α , #7 β , #8A, #8B, #8C, #8D の各入力はすべて 1 である。これらの OR ゲートは故障診断モードの AND ゲートとして動いているため、入力線に断線故障が起こっていない場合にのみ出力が 1 となる。したがって、それらすべてのゲートの入力線に異状がない場合に限り、次段のゲート #8E, #8F, #9A, #9B の各入力がすべて 1 となる。そして、これらのゲートにおいても入力線に断線故障が生じていない場合にのみ、それらの出力が 1 となる。この解析を続けることにより、結局、回路中のどこにも断線故障が発生していないときにのみ、最終段のゲートである #9E, #9F の出力が 1 となることがわかる。したがって、外部出力が $(v1, v2) = (1, 1)$ であることが確認されれば、回路中に断線故障はないと判断できる。回路中のどこかに断線故障が起こっている場合には、断線箇所の配線が 0 縮退し、その配線がつながっているゲートの出力が 1 から 0 に誤る。いったん、あるゲートの出力が 0 になってしまうと、そのゲートの出力がつながっている次段のゲートの出力も 0 となり、これが外部出力にまで伝搬する。よって、外部出力 $v1, v2$ が一方でも 0 であった場合には、回路中に断線故障が発生していることになる。

5.3 第 2 次故障チェック

第 2 次故障チェックは、第 1 次故障チェックでは発見することのできない断線故障を検出するためのチェックである。すなわち、外部入力端子からインバータまでの間の配線における断線故障を検出することができる。図 6(e) の例では、F2 部に起こった断線故障の検出が可能である。第 2 次故障チェックも回路をオフラインにして行われる。なお、第 2 次故障チェックは第 1 次故障チェックで故障が発見されなかった回路に対して行われるので、以下の説明においてはインバータより後段の部分には断線故障が生じていないことが前提となる。

第 2 次故障チェックでは、インバータを故障診断モード ($T^I = -1$)、AND ゲート及び OR ゲートを耐故障

モード ($T^A = T^O = 0$) とした上で、図 6(a) において \surd 印を付けたテスト用外部入力を与える。回路に断線故障が発生していない場合は、回路は正常に動作する。 \surd 印の付いた入力に対する正常時の出力はすべて 0 であるので、外部出力が $(v1, v2) = (0, 0)$ であることが確認されれば、外部入力端子からインバータまでの配線に断線故障はないと判断できる。

図 6(e) 中の F2 部が断線した場合を考える。第 2 次故障チェック時にはインバータは故障診断モードで動作しているため、断線直後のインバータ #1 β の出力は常に 1 となる。これは次段の OR ゲート #6 α , #6 β , #8A, #8B の入力における 0 \rightarrow 1 誤りとなる。本論文では配線の断線故障 (ニューロン MOS 回路においては配線の 0 縮退故障と等価) を想定しているため、基本的にはゲート入力における 0 \rightarrow 1 誤りの影響をゲート出力に伝搬させることはできない。しかし、OR ゲートの耐故障モードにおいてはゲート入力のすべてが 0 のときのみゲート出力が 0 となること (表 3 を参照) を利用すると、OR ゲートの入力部における 0 \rightarrow 1 誤りの影響を次のようにして後段に伝えることが可能である。

#6 α , #6 β は式 (9) 中の $\bar{p} + r + \bar{s}$ の項を実装するゲートである。 $\bar{p} + r + \bar{s}$ が図 6(b) における必須項 b に対応していることを考えると、回路に断線故障が生じていなければ、必須項 b に含まれる入力ベクトル $(p, q, r, s) = (1, 0, 0, 1)$ を外部入力に与えた場合の #6 α , #6 β の出力は 0 になることがわかる。しかし、F2 部が断線している場合には、#6 α , #6 β の入力の内の一つに 0 \rightarrow 1 誤りが生じるため、#6 α , #6 β の出力は 1 になってしまう。すなわち、OR ゲート #6 α , #6 β を耐故障モードで動作させることにより、 $(p, q, r, s) = (1, 0, 0, 1)$ の外部入力に対する #6 α , #6 β の出力を、F2 部の断線故障に応じて 0 から 1 に誤らせることができる。一方、 $(p, q, r, s) = (1, 0, 0, 1)$ の外部入力に対して、#6 α , #6 β 以外の OR ゲートの出力は F2 部の断線故障の有無にかかわらずすべて 1 となる。したがって、この場合、#6 α , #6 β の出力の 0 \rightarrow 1 誤りによって次段の AND ゲート #9A, #9B の出力も 0 から 1 に誤る。この解析を続けることにより、F2 部の断線故障が外部出力端子 $v1, v2$ を 0 から 1 に誤らせることがわかる。このように、F2 部の故障の影響を外部出力にまで伝搬させることが可能である。

上記の説明において、 $(p, q, r, s) = (1, 0, 0, 1)$ の代わりに例えば $(1, 1, 0, 1)$ の外部入力を与えてしまう

と #6 α , #6 β のほかに #5 α , #5 β の OR ゲートの出力も 0 となる。よって、F2 部の断線故障により #6 α , #6 β のゲート出力が 0 から 1 に誤っても、その後段の AND ゲートにて故障の伝搬が止まってしまう。すなわち、ある OR ゲート g の入力における 0 \rightarrow 1 誤りを後段の AND ゲートに伝搬させるためには、 g 以外の OR ゲートの出力がすべて 1 となるような入力ベクトルを外部入力に与える必要がある。ここで、 $(p, q, r, s) = (1, 0, 0, 1)$ が図 6(b) における必須項 b にのみ含まれる入力ベクトルであるのに対し、 $(p, q, r, s) = (1, 1, 0, 1)$ が必須項 a と必須項 b の両方に含まれる入力ベクトルであることに注意すると、必須項 b にのみ含まれる入力ベクトルをテスト入力としてやれば #6 α , #6 β 以外の OR ゲートの出力をすべて 1 にすることができることがわかる。同様に、 a, c, d の各必須項にのみ含まれる入力ベクトルをテスト入力に選ぶことにより、それぞれ、#5 α , #5 β 以外の OR ゲート、#7 α , #7 β 以外の OR ゲート、#8A~#8F 以外の OR ゲートの出力をすべて 1 とすることができる。実際、図 6(a) において \surd 印が付けられている外部入力は、必須項 a, b, c, d のそれぞれにのみ含まれる入力ベクトルであった。

論理の最適化が完全に行われて確実に最小化されたならば、図 6(b) 中の e のような冗長項は除かれるため、各必須項に対して「その必須項にのみ属し、他の必須項に含まれない入力ベクトルが、少なくとも一つは存在する」ことは明らかである。したがって、乗法標準形の構成で最小化された組合せ回路においては、テスト入力として必要な入力ベクトルはすべて存在する。結局、インバータの入力部の断線故障の影響で入力に 0 \rightarrow 1 誤りが生じる OR ゲートが現れ得るが、そのゲートに対応する必須項にのみ含まれる入力ベクトルをテスト入力として与えてやれば、断線故障の影響を外部出力にまで伝搬させることができる。F2 部が断線した例では、必須項 d に対応する OR ゲート #8A, #8B の入力にも 0 \rightarrow 1 誤りが発生するので、 $(p, q, r, s) = (1, 0, 0, 1)$ の代わりに $(p, q, r, s) = (1, 0, 1, 0)$ のテスト入力を与えたとしても、やはり断線故障の発生を検出できる。

以上の説明は図 6(e) の回路の F2 部における断線故障を例にとり行ったが、乗法標準形の構成で最小化された組合せ回路であれば、外部入力端子からインバータまでの間に起こった任意の単一断線故障に対して同様の解析が成り立つ。

6. その他の入力線に対する耐故障化

本論文はゲート間配線の単一断線故障を前提としているが、本回路においては、モード切換信号 T としきい値信号 θ を供給する入力線の断線故障を考慮することは非常に重要である。本章では T と θ に対する耐故障化を行う。

6.1 モード切換信号 T としきい値 θ の耐故障化

3. で作成した耐故障論理ゲートはすべて $T = 0$ にて耐故障モードとなるように設計されているので、回路全体が耐故障モードで動作しているときに T を供給する入力線が断線しても (T が 0 縮退しても) 回路は正常に動き続けることがわかる。すなわち、 T の断線故障に対しては既に耐故障性を有している。

一方、しきい値 θ を供給する配線が断線した場合、 $\theta = 0$ となり、そのゲートの出力は定常的に誤ることになる。ここで、本論文にて設計されたすべてのゲート回路のしきい値 θ の値は負であるため、 θ の断線故障 (ニューロン MOS 回路においては 0 縮退故障と等価) により、N 型ニューロン MOS トランジスタは導通しやすくなる。したがって、AND ゲート、OR ゲートに関しては θ の断線故障により出力の 0 \rightarrow 1 誤りが生じやすくなる。すなわち、その次段のゲートの入力に 0 から 1 に誤る。本論文では、配線の単一断線故障を想定しているため、耐故障モードであっても AND ゲート、OR ゲートの入力における 0 \rightarrow 1 誤りをマスクすることはできない。よって、本回路では θ の断線故障は致命的であるといえる。そのため、 θ は 2 重化により耐故障化する必要がある。

これを考慮して、ゲート回路におけるしきい値 θ の入力部を図 7 のように修正する。なお、図 7 はインバータを例にとった回路である。 Θ_1, Θ_2 が 2 重化された θ である。 Θ_1 と Θ_2 が一つの結合荷重 C_θ に接続されていることに注意する。通常は Θ_1 と Θ_2 の両方に同電位 Θ を印加することにより、 Θ_1, Θ_2 のどちらかの配線が断線しても、 Θ の電位が C_θ を通じ、フローティングゲートに正しくかかるようになっていく。 Θ として各論理ゲートのしきい値 θ (例えば、インバータでは $\theta = -0.5$, 2 入力 AND では $\theta = -2.5$) を与えることにより、回路全体が耐故障モードで動作しているときに Θ_1 または Θ_2 が断線しても回路を正常に動作させることができる。

6.2 T と θ における故障の検出

前節で示した、 T と θ に対する耐故障化を施した論

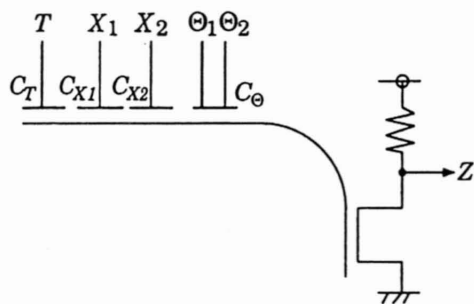


図7 T と θ に対する耐故障化を施したインバータ
Fig.7 Inverter circuit considering the tolerances of faulty T and θ .

理ゲートの故障診断能力について述べる。問題は、 T , Θ_1 , Θ_2 が断線した場合に第1次、第2次故障チェックが正しく機能するかどうか (T , Θ_1 , Θ_2 の断線故障が外部出力の異状として検出されるかどうか) である。なお、本論文では単一断線故障を仮定しているので、 T , Θ_1 , Θ_2 の入力線のいずれかに断線故障が生じたということは各ゲート間を結ぶ配線には断線故障が起こっていないことが前提となる。また、以下では $C_T = C_\Theta$ とする。

6.2.1 インバータ

インバータのモード切換信号 T , しきい値 Θ_1 , Θ_2 の断線故障は、第1次故障チェックにおいて、

$$\begin{cases} (T, \Theta_1, \Theta_2) = (-2, -0.5, -0.5) & \text{(case 1)} \\ (T, \Theta_1, \Theta_2) = (-0.5, -2, OPEN) & \text{(case 2)} \\ (T, \Theta_1, \Theta_2) = (-0.5, OPEN, -2) & \text{(case 3)} \end{cases}$$

の3通りの入力を与えることにより検出することができる。

T , Θ_1 , Θ_2 に断線故障が生じていないインバータにおいては、すべてのケースで $T + \Theta = -2.5$ となる (Θ_1 , Θ_2 がともに断線していなければ、どちらかを OPEN にしても正しく電位がかかることに注意)。これは、 $T = -2$, $\Theta = -0.5$ の入力を与えられた場合と等価であるので、インバータはオール1モードとして正しく機能することになる。一方、 T が断線した場合にはケース1の入力において、 Θ_1 が断線した場合にはケース2の入力において、 Θ_2 が断線した場合にはケース3の入力において、 $T + \Theta = -0.5$ となる。これは、 $T = 0$, $\Theta = -0.5$ の入力を与えられたことと等価であるので、インバータは耐故障モードで動作することになる。

以下、図6(e)中のF6部の断線故障を例にとり説

明する。すべてのインバータにはケース1の入力を、他のゲートには $T = -1$ を与える (次節ケース4の入力を与えてもよい) ことにより、第1次故障チェックを行う。この場合、F6の断線故障により、インバータ #2 β のみオール1モードにならず、耐故障モードで動作することになる。したがって、インバータ #2 β の出力のみ0となる。これはインバータ #2 β の出力につながる配線が断線したと等価であるため、第1次故障チェックによりこの故障は検出される。なお、図6(e)中のF7部が断線するとすべてのインバータの出力が0に誤るが、この場合も外部出力は1から0に誤ることがわかるので、第1次故障チェックにより支障なくこれを検出することが可能である。また、ここでは T の断線を例にとり説明したが、 Θ_1 あるいは Θ_2 が断線した場合も同様に第1次故障チェックによりこれを検出することができる。ただし、 Θ_1 の断線故障を検出するためにはケース2の入力を、 Θ_2 の断線故障を検出するためにはケース3の入力をそれぞれ使用する必要がある。

6.3 ANDゲート, ORゲート

ANDゲート, ORゲートのモード切換信号 T , しきい値 Θ_1 , Θ_2 の断線故障は、第1次故障チェックにおいて、

$$\begin{cases} (T, \Theta_1, \Theta_2) = (V - 1, -V + \theta, -V + \theta) & \text{(case 4)} \\ (T, \Theta_1, \Theta_2) = (-V - 1, V + \theta, OPEN) & \text{(case 5)} \\ (T, \Theta_1, \Theta_2) = (-V - 1, OPEN, V + \theta) & \text{(case 6)} \end{cases}$$

の3通りの入力を与えることにより検出することができる。ここで、 V は十分大きい電位、 θ はANDゲート, ORゲートにおけるそれぞれのしきい値 (例えば、2入力ANDゲートの場合 $\theta = -2.5$, 2入力ORゲートの場合 $\theta = -0.5$) である。

T , Θ_1 , Θ_2 に断線故障が生じていないゲート回路においては、すべてのケースで $T + \Theta = -1 + \theta$ となる。これは、 $T = -1$, $\Theta = \theta$ の入力を与えられた場合と等価であるので、ANDゲート, ORゲートは故障診断モードとして正しく機能することになる。一方、 T が断線した場合にはケース4の入力において $T + \Theta = -V + \theta$ となり、また、 Θ_1 が断線した場合にはケース5の入力において、 Θ_2 が断線した場合にはケース6の入力において $T + \Theta = -V - 1$ となる。

$-V$ の入力フローティングゲート電位を負に変位させるため、 T 、 Θ_1 、 Θ_2 のいずれかに断線故障が起こったゲート出力は常に 0 となる。これはそのゲートの出力につながる配線が断線したと等価であるため、第一次故障チェックにより、この故障は検出される。

以下、図 6(e) 中の F8 部の断線故障を例にとり説明する。すべての AND ゲート、OR ゲートにはケース 4 の入力を、インバータには $T = -2$ を与える（前節ケース 1 の入力を与えてもよい）ことにより、第 1 次故障チェックを行う。この場合、F8 の断線故障により #8F の出力は常に 0 となる。第 1 次故障チェックでは他のすべての AND ゲート、OR ゲートは耐故障モードの AND ゲートとして動いているので、 T 信号が断線した OR ゲートの出力の 0 誤りは外部出力にまで伝搬する。なお、図 6(e) 中の F9 部が断線するとすべての OR ゲートの出力が 0 に誤るが、この場合も、外部出力は 1 から 0 に誤ることがわかるので、第 1 次故障チェックにより支障なくこの故障を検出することが可能である。また、 Θ_1 、 Θ_2 の配線に断線故障が起こったときも同様に、それぞれの故障によって当該ゲート回路の出力が常に 0 となるため、第 1 次故障チェックによりこの故障は検出される。ただし、 Θ_1 の断線故障を検出するためにはケース 5 の入力を、 Θ_2 の断線故障を検出するためにはケース 6 の入力を使用する必要がある。

7. む す び

ニューロン MOS トランジスタを用いて故障診断機能を有する耐故障回路を作成した。論理ゲートに対する故障診断モード付きの耐故障回路を設計し、編合せ論理を用いてこれらを多重化することにより、故障マスク機能と故障検出機能の両者をもつ理想的な耐故障組合せ回路が実現できることを示した。

本論文で扱った内容には、i) ゲート間配線の 0 縮退としてモデル化できる故障のみを対象としている、ii) AND ゲート、OR ゲートにおいては NMOS トランジスタのドレーンがプルアップされているため、ゲートの電源電圧を調整する必要がある、iii) 組合せ回路は乗法標準形の構成で最小化されることを前提としている、iv) NAND ゲート、NOR ゲートなどを扱っていない、v) 電源供給線の断線故障を考慮していない、などの未解決問題が残っている。また、消費電力などを考慮した場合、本方式を CMOS 回路へと適用していくことも重要である。今後、これらの解決に努める。

謝辞 本研究の故障モデルを考えるにあたり、静岡理工科大学波多野裕先生に御助言を頂きました。ここに謝意を表します。

文 献

- [1] 南谷 崇, フォールトトレラントコンピュータ, オーム社, 1991.
 - [2] T. Shibata and T. Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations," IEEE Trans. Electron Devices, vol.39, no.6, pp.1444-1455, June 1992.
 - [3] T. Shibata and T. Ohmi, "Neuron MOS binary-logic integrated circuits - Part I: Design fundamentals and soft-hardware-logic circuit implementation," IEEE Trans. Electron Devices, vol.40, no.3, pp.570-576, March 1993.
 - [4] T. Shibata and T. Ohmi, "Neuron MOS binary-logic integrated circuits - Part II: Simplifying techniques of circuit configuration and their practical applications," IEEE Trans. Electron Devices, vol.40, no.5, pp.974-979, May 1993.
 - [5] W.H. Pierce, Failure-tolerant computer design, Academic Press, 1965.
 - [6] J.von Neumann, Probabilistic logics and the synthesis of reliable organisms from unreliable components, in Automata Studies, ed. C.E.Shannon and J.McCarthy, pp.43-98, Princeton Univ. Press, 1956.
- (平成 12 年 3 月 28 日受付, 7 月 19 日再受付)



西垣 正勝 (正員)

平 2 静岡大・工・光電機械卒。平 4 同大大学院修士課程了。平 7 同大学院博士課程了。日本学術振興会特別研究員 (PD) を経て、平 8 静岡大情報学部助手、平 11 同講師、現在に至る。博士 (工学)。回路シミュレーション、ニューラルネットワーク、通信セキュリティなどに関する研究に従事。IEEE 会員。



仲野 聖人

平 10 静岡大・工・情報知識卒。平 12 同大大学院修士課程了。現在、松下システムエンジニアリング (株) 第 4 システム部に勤務。在学中、ニューラルネット、耐故障性に関する研究に従事。



曾我 正和 (正員)

昭 33 京大・工・電子卒. 昭 35 同大大学院修・電子了. 昭 35~平 8 三菱電機(株) 計算機製作所, 情報電子研究所, 本社開発本部. 平 8 静岡大学情報学部教授, 平 11 岩手県立大学ソフトウェア情報学部教授, 現在に至る. 博士(工学). 汎用計算機, 制御用計算機, 制御用システムの開発に従事. フォールトトレラントシステム, セキュリティシステムに関する研究に従事.