

## アナログ／デジタル混在回路のトップダウン設計と AHDL 指向型回路シミュレータ

藤森 新五 †      西垣 正勝 †      浅井 秀樹 †

†静岡大学工学部

〒432 静岡県浜松市城北 3-5-1

TEL: (053)-478-1237      FAX: (053)-475-1764

E-Mail: hideasai@eng.shizuoka.ac.jp

あらまし アナログ回路やアナログ／デジタル混在回路のコンカレント設計のために AHDL(Analog hardware description language) が必要とされてきている。さらに、大規模複合回路の解析の必要性から AHDL 指向型回路シミュレータの開発が望まれている。

アナログ／デジタル混在回路のトップダウン設計を実現するための AHDL 指向型回路シミュレータを混合モード回路シミュレータ SPLIT を改良して開発した。本シミュレータは各モジュールを同時に検証する(回路全体の解析を同時に行う)ことを可能とする。さらに、設計の上位レベルでモジュール間のカップリング効果を考慮した解析を実現し、効果的なトップダウン設計を支援する。

キーワード      トップダウン設計, アナログ／デジタル混在回路, AHDL 指向型シミュレータ

## Top-Down Design of Analog/Digital Mixed Circuits and AHDL-Oriented Circuit Simulator

Shingo FUJIMORI †      Masakatsu NISHIGAKI †      Hideki ASAI †

†Faculty of Engineering, Shizuoka University

3-5-1 Johoku, Hamamatsu, 432, Japan

Phone: +81-53-478-1237      Fax: +81-53-475-1764

E-Mail: hideasai@oeme.shizuoka.ac.jp

**Abstract** Analog hardware description language (AHDL) has been required for the efficient concurrent design of analog circuits and analog/digital mixed circuits. The necessity of simulating large and complex circuits has prompted the development of AHDL-oriented circuit simulators.

In this paper, AHDL-oriented circuit simulator has developed based on the mixed mode simulator SPLIT. This simulator enables to analyze simultaneously all modules(whole circuits) and analyze with the consideration of the coupling effect between modules. As a result, this methodology aids the effective top-down design of analog/digital mixed circuits.

key words      top-down design, analog/digital mixed circuits, AHDL-oriented simulator

## 1 はじめに

近年の集積化技術の進歩により回路の大規模化が実現され、設計方法も、従来のボトムアップ設計からトップダウン設計へと移行している。VLSIのコンカレント設計のために、ハードウェア記述言語 (HDL) が開発されており、効果的なシミュレーション技法も種々検討されてきている。

HDLによるトップダウン設計の長所は、全ての部分回路 (モジュール) が同時に設計でき、詳細回路設計を行う前に、回路全体が検証できることである。現在 IEEE により VHDL (VHSIC Hardware Description Language)[1] が標準化され、VHDL を用いた大規模デジタル回路の設計が行われている。VHDL を用いることによる利点は、ビヘイビアレベルで記述すれば、回路設計のノウハウを知らなくてもシステムの設計・検証が行えることにある。更に、RTL レベルで記述すれば、論理合成による回路の自動発生が行えることである。

アナログ回路またはアナログ/デジタル混在回路のトップダウン設計においても、これらの利点が損なわれないことが望まれる。すなわち、回路全体が同時に検証でき、さらに、回路を簡単な記述によって表し、それを用いアナログ/デジタル混在回路の設計・検証ができることが重要である。しかしながら、アナログ回路における回路合成等には様々な課題が残っている。

アナログ/デジタル混在回路のコンカレント設計のために AHDL (Analog Hardware Description Language)[2][3] が開発され標準化されつつある。従来、アナログ回路は Spice をはじめとする詳細回路シミュレータにより解析されてきた。詳細回路解析は正確で安定しているが計算コストがかかるので、その応用は小規模回路に限定されてきた。そこで大規模複合回路を解析する必要性から AHDL 指向型回路シミュレータの開発が促されてきた。すなわち、AHDL を用いた効果的なトップダウン設計のための新しい AHDL シミュレータが、今日のアナログ/デジタル混在回路の回路設計のために必要である。

トップダウン・コンカレント設計の利点はデジタル回路において特に明らかである。な

ぜなら、デジタル回路においては、設計者はモジュール間のカップリング効果を考慮しなくて良いので、各モジュールを独立に設計できるからである。これに対し、アナログ回路やアナログ/デジタル混在回路においては、モジュール間のカップリング効果は最も重要な問題の一つである。

従来のトップダウン・コンカレント設計の多くは、アナログ回路やアナログ/デジタル混在回路の設計できえモジュール間のカップリング効果を見逃していた。しかしながら、アナログモジュール間のカップリング効果はかなり大きく、このカップリング効果が完全なコンカレント設計をしばしば阻害する。

本報告ではアナログ/デジタル混在回路のトップダウン設計とそれを支援する AHDL 指向型回路シミュレータについて述べる。本シミュレータはモジュール間のカップリング効果を考慮したトップダウン設計を支援し、さらに各モジュールを同時に検証する (回路全体の解析を同時に行う) ことを可能とする。

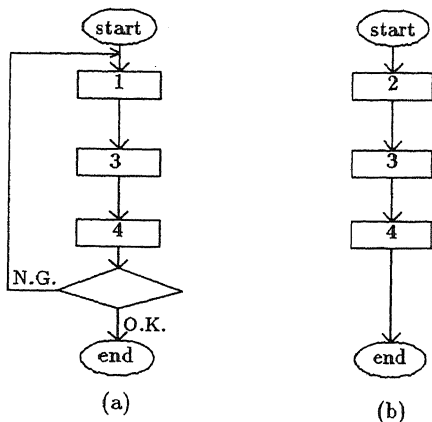
アナログ/デジタル混在回路のトップダウン設計方法について 2 節で述べた後、AHDL 指向型回路シミュレータについて 3 節で述べる。シミュレーション例が 4 節で示され、最後にまとめと今後の課題が 5, 6 節でそれぞれ述べられる。

## 2 アナログ/デジタル混在回路のためのトップダウン設計方法

本節では、従来のトップダウン設計方法と提案する方法とを比較する。

最初に従来のアナログ/デジタル混在回路のトップダウン設計方法の流れを図 1.(a) に示す。

図 1.(a) において、システムはまずビヘイビアレベルで設計され、回路全体の機能が確認される。その後ファンクショナルレベルでより詳細回路に近いモデルや言語を用い設計され、最後に詳細回路設計される。このフローでは、ビヘイビアレベルやファンクショナルレベル (上位レベル) でモジュール間のカップリング効果は考慮されず、各モジュールが別々に解析される。これが従来の設計方法の欠点となる。各モ



- 1:conventional behavioral design and simulation
- 2:present behavioral design and simulation
- 3:functional design and simulation
- 4:primitive design and simulation

Fig.1 Flows of top-down design.

ジュールが別々に解析されモジュール間のカップリング効果が無視されることにより上位レベルの設計が再度必要になるかもしれない。

これに対し、カップリング効果を考慮し、回路全体の解析を同時に行うトップダウン設計方法の流れを図 1.(b) に示す。この方法の中では、上位レベルにおいて、各モジュールは同時に解析され、モジュール間のカップリング効果を考慮しながら設計される。ここでカップリング効果の判断基準値が調べられる。詳細設計の後で、実際の各モジュールの入/出力インピーダンスが評価され、もし、これらのインピーダンスが上位レベルで求めた許容範囲を満たせば、再設計は必要無くなる。すなわち、トップダウン設計が効果的に行われる。

### 3 AHDL 指向型回路シミュレータ

AHDL 指向型回路シミュレータは上述した考えに従って構築される。このシミュレータは階層分割や潜在性を活用した混合モードシミュレータ SPLIT[4][5][9] をベースとして開発される。

### 3.1 階層構造記述言語 HAL

混合モードシミュレータ SPLIT の中では、階層構造記述言語 HAL(Hierarchical Structural Description Language)[6][7][8][9] が使われる。AHDL 指向型回路シミュレータを構築するために HAL は改良され、その結果 HAL に動作モデルを組み込むことが可能になった。その結果、HAL は 2 種類の記述を含む。すなわち、階層構造記述言語 (SDL) と関数記述言語 (FDL) である。いくつかのモジュールにより構成されるシステムを考えた場合、各モジュールは SDL または FDL のどちらかにより設計される。もし、各モジュールが幾つかのサブモジュールにより構成されていた場合、サブモジュールも SDL または FDL により記述 (設計) される。この様にして、トップダウン設計は階層的に行われる。

HAL を用いた階層記述の例を図 2 に示す。

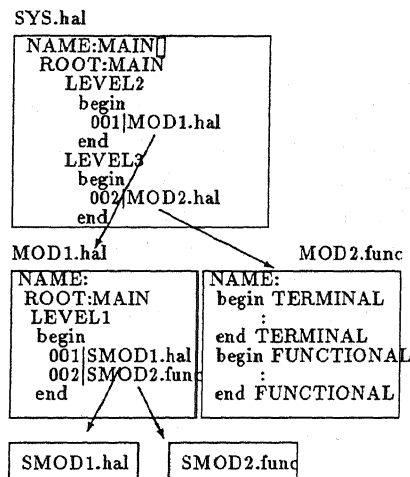


Fig.2 Hierarchical description with HAL.

対象となるシステム SYS は 2 つのモジュール MOD1 と MOD2 によって構成される。ここで、MOD1 は SDL で記述され MOD2 は FDL により記述される。さらに MOD1 が 2 つのサブモジュール SMOD1 と SMOD2 を含み、SMOD1 と SMOD2 はそれぞれ SDL と FDL によってそれぞれ記述される。

### 3.2 AHDL 指向型回路シミュレータ

トップダウン設計方法によって設計された回路を検証することが可能な AHDL 指向型回路シミュレータが構築される。このシミュレータは混合モードシミュレータ SPLIT と HAL をベースとしている。

このシミュレータの中では,FDL によって記述されるモジュールは図 3 のような 2 端子対等価回路モデルに置き換えられる。ここで,  $v_1$  と  $v_2$  はそれぞれ入/出力端子の電圧であり,  $Z_{in}$  と  $Z_{out}$  は入力/出力インピーダンスである。  $f(v_1)$  は電圧  $v_1$  で制御される電圧源である。

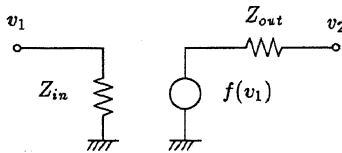


Fig.3 Two port equivalent circuit model.

FDL により記述される動作を電圧制御電圧源  $f(v_1)$  で表すことと, それに加え, 入力・出力インピーダンスをこのモデルに加えたことにより, 各モジュールは同時に解析され, カップリング効果を考慮したシステム解析が可能になった。一度モデルが 2 端子対等価回路に置き換えられると, 節点方程式が標準の回路シミュレータと同様にして立てられる。その結果, 回路全体は同時に解析される。

### 4 シミュレーション結果

上位レベルで各モジュールを同時に, モジュール間のカップリング効果を考慮したシミュレーションの実現を確認するための例として図 4 に示される単純なシステムを用いる。

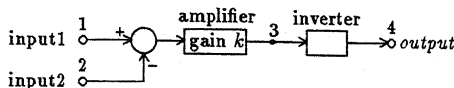


Fig.4 Block diagram of an example system.

設計パラメータを多く必要とするような例題は, 複雑なパラメータ (オフセット, ノイズ等) を与えられるモデルを用いて行われるべき

であるが, この様なモデルの開発は他に委ねることとする。例題システムは図 5 に示されるように SDL と FDL を用いて設計される。

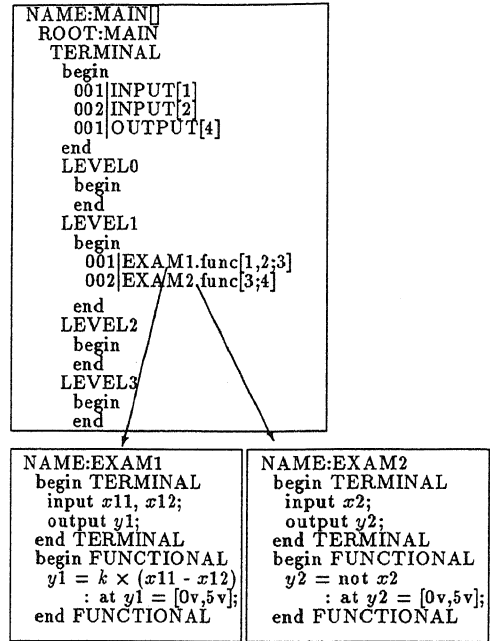


Fig.5 Example system described by SDL and FDL.

例題システムは二つのモジュール EXAM1 と EXAM2 によって構成される。上位レベルにおいてシミュレーションを行うことによりモジュール EXAM1 とモジュール EXAM2 のカップリング効果の判断基準値が以下のように求められる。

まず, モジュール EXAM2 の入力インピーダンスを仮定してモジュール EXAM1 の出力インピーダンスを変化させながらシミュレーションを行う。シミュレーション結果を図 6 に示す。ここで,  $v_1, v_2, v_3, v_4$  はそれぞれ図 4 における節点 1, 2, 3, 4 の節点電圧である。

我々は, 設計された回路が図 6(a) に示される入力/出力波形を示すことを期待している。モジュール EXAM1 の出力インピーダンスが許容範囲を超えると図 6(b) の結果になる。これらのシミュレーション結果から, モジュールの入/出力インピーダンスの判断基準値が求めら

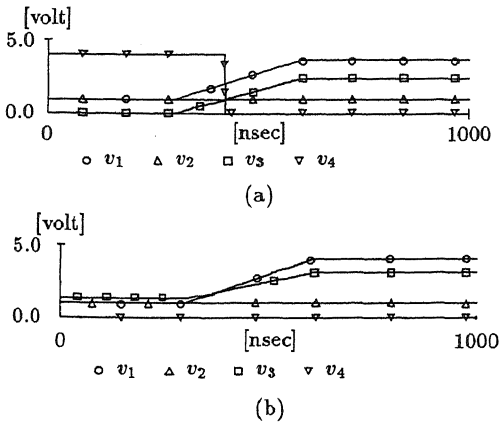


Fig.6

(a) Simulation result of the circuit with tolerant input/output impedances.

(b) Simulation result of the circuit with intolerant input/output impedances.

れる。すなわち、モジュール EXAM1 の出力インピーダンスの上限値とモジュール EXAM2 の入力インピーダンスの下限値が求められる。

上位レベルの設計の後で、例題システムはプリミティブレベルで設計される。図 7 に示される回路が設計され、その結果モジュール EXAM2 の入力インピーダンスは上位レベルのシミュレーションで求められた下限値より大きく、モジュール EXAM1 の出力インピーダンスは上限値より小さく設計された。ここで、設計された回路が期待された動作を満たすことが望まれる。実際に、標準の詳細回路シミュレータによって動作を満足することが確認された。

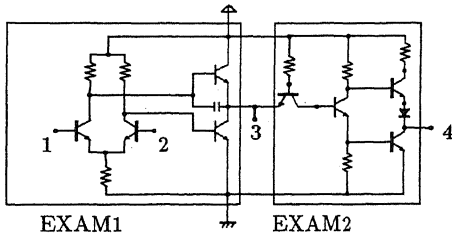


Fig.7 Primitive design of example system.

上述の結果によって、簡単な例題ではあるが上位レベルの設計において回路全体の解析が

同時に行われ、その際モジュール間のカップリング効果を考慮した解析方法が実現できた。さらに、上位レベルの結果を下位レベルの設計に活かすことにより、再設計のない有効なトップダウン設計が可能になった。

## 5 まとめ

本報告では、アナログ/デジタル混在回路のトップダウン設計方法とそれを実現するための AHDL 指向型回路シミュレータについて述べた。さらに、混合モードシミュレータ SPLIT を改良して AHDL 指向型回路シミュレータの開発を行った。本シミュレータでは、上位レベルの設計において各モジュールを同時に解析することが可能であり、モジュール間のカップリング効果を考慮した解析も実現できる。最後に、提案した手法の有効性について検証した。

## 6 今後の課題

今回用いたモデルは、上位レベルの設計に用いるものであり、簡単な記述により回路動作を記述し、カップリング効果を考慮した回路全体の解析を可能としている。しかし、詳細回路の設計に近いレベルに用いる事を考えると、より実際の回路の仕様に近いモデリングを行うためのパラメータを組み込んだモデルが必要になると考えられる。

今回の手法を大規模実用回路に適用することによって、本手法の有効性を検証することが重要であると考ええる。

## 参考文献

- [1] R.Lipsett , C.Schaefer and C.Ussery ,  
"VHDL:Hardware Description and Design", Kluwer Academic Publishers, 1989.
- [2] C.M.Kurker , J.J.Paulos , B.S.Cohen and  
E.S.Cooley, "Development Of An Analog  
Hardware Description Language," *Proc.  
IEEE/CICC'90*, 1990.
- [3] H.Alan Mantooth and Mike Fiegenbaum  
, "MODELING WITH AN ANALOG  
HARDWARE DESCRIPTION LAN-  
GUAGE", Kluwer Academic Publishers,  
1995.
- [4] M.Nishigaki, N.Tanaka and H.Asai,  
"Mixed Mode Circuit Simulation Using  
Dynamic Partitioning," *IEICE Trans. on  
Fundamentals*, vol.E76-A, no.3, pp292-  
298, March 1993.
- [5] M.Nishigaki, N.Tanaka and H.Asai,  
"Mixed Mode Circuit Simulation Using  
Dynamic Network Separation and Selec-  
tive Trace," *IEICE Trans. on Fundamen-  
tals*, vol.E77-A, no.3, pp454-460, March  
1994.
- [6] H.Asai, H.Usami and Y.Matsunomoto,  
"Hierarchical language for structural de-  
scription with facility of level transforma-  
tion and its application to LSI simula-  
tors," *Proc. ICCAS'89*, pp345-348, July  
1989.
- [7] N.Tanaka and H.Asai, "ASSIST : A tool  
for development of circuit simulators,"  
*Technical Report of IEICE, NLP90-68*,  
pp9-16, March 1991.
- [8] M.Tuzuki , M.Nishigaki and H.Asai,  
"ASSIST : A modified tool for develop-  
ment of circuit simulators," *Technical Re-  
port of IEICE, NLP91-93*, pp1-7, March  
1992.
- [9] H.Irii, K.Hayashi, T.Kohno, M.Nishigaki  
and H.Asai, "SPLIT2.2: Mixed Mode Cir-  
cuit Simulator," *Technical Report of IE-  
ICE, NLP93-85*, pp9-16, March 1994.