

研究種目： 基盤研究(B)
 研究期間： 2007～2009
 課題番号： 19310093
 研究課題名（和文） シリコン集積回路プロセスによる単電子デバイス・回路の研究
 研究課題名（英文） Studies on single-electron devices and circuits based on silicon integrated circuit process
 研究代表者
 猪川 洋 (INOKAWA HIROSHI)
 静岡大学・電子工学研究所・教授
 研究者番号： 50393757

研究成果の概要（和文）：標準的なシリコン(Si)集積回路プロセスを用いて、ゲート電圧で誘起されたトンネルバリアを有する単電子デバイスを検討した。Si 細線に2本のゲートが横切るタイプの単電子転送デバイスを中心に特性を調べ、容量パラメータの抽出法の提案、転送電流に重畳するノイズの解析、回路動作高速化の検討、種々の情報処理回路の動作実証などを行った。その結果、Si 集積回路プロセスにより単電子デバイス・回路を構成し研究を進めて行く礎が築かれた。

研究成果の概要（英文）：Single-electron devices with gate-induced tunnel barriers were investigated using standard silicon (Si) integrated-circuit process. Focusing on the single-electron transfer device with two gates crossing a Si nanowire, proposal of capacitance parameter extraction method, analysis of noises in the transfer current, enhancement of circuit operation speed, and demonstration of various information processing circuits were attained. As a result, we could lay the foundation for promoting researches on single-electron devices and circuits based on Si integrated circuit process.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	7,100,000	2,130,000	9,230,000
2008年度	4,000,000	1,200,000	5,200,000
2009年度	3,600,000	1,080,000	4,680,000
年度			
年度			
総計	14,700,000	4,410,000	19,110,000

研究分野：複合新領域

科研費の分科・細目：ナノ・マイクロ科学・マイクロ・ナノデバイス

キーワード：単量子デバイス

1. 研究開始当初の背景

電子1個の動きを操ることができる単電子デバイスは、将来の超低消費電力情報処理を実現するキーデバイスと考えられている。特にシリコン(Si)ナノワイヤを酸化して得られるタイプの単電子トランジスタは、高い温

度で動作し特性の安定性も優れているため高い評価を得ている。しかし以下の3要因から実用化への見通しは必ずしも明瞭でない。

(1) デバイスパラメータの制御性

特にトンネルバリアの抵抗はサイズに対して指数関数的に変化するため制御が極め

て困難であり、しかも従来のデバイスではデバイス作製後には調整不能であった。

(2)製造方法の特殊性

微細なサイズを得る必要上、特殊な製造方法を用いる場合が多く、製造の容易さ、歩留まり、回路規模の拡張性などに問題があった。

(3)回路素子としての限界

単電子トランジスタでは真の意味で電子1個1個の動きを制御することはできず、消費電力の低減にも限界があった。

2. 研究の目的

上に述べた課題を解決するために、ゲート電圧で誘起されたトンネルバリアを有する単電子デバイスを検討する。しかもデバイス作製には標準的な Si 集積回路プロセスを利用する。

これによりデバイス特性のばらつきが作製後に電氣的に補正でき、回路・システムの本格的な検討が可能となる。また電子1個1個の動きを正確に制御できる単電子転送デバイスが容易に得られるため、超低消費電力回路の実現に向けた研究が加速される。

上記の検討を通して、単電子デバイスを Si 集積回路技術の延長上に位置づけ明確な研究進展のシナリオを描くことができるようにすることが本研究の目的である。

3. 研究の方法

ゲート電圧で誘起されたトンネルバリアを有する単電子デバイスを、標準的な Si 集積回路プロセスで作製する方法を図1に示す。本デバイスは以下に要点を示すとおりレイアウト設計の変更のみで実現できる。

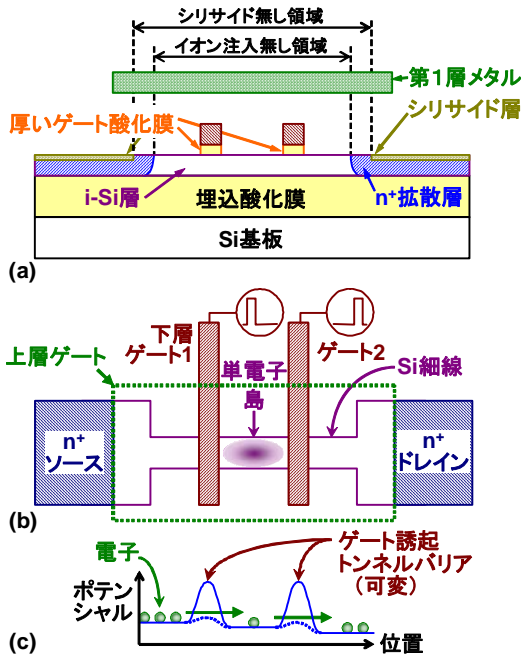


図1 Si 集積回路プロセスで作製する単電子(転送)デバイスの(a)断面図、(b)平面図、(c)Si 細線方向のポテンシャル分布。

(1)厚いゲート酸化膜

最先端プロセスではトンネル電流が流れるほど薄いゲート酸化膜が使われるが、単電子デバイスとしては好ましくないため、入出力回路などのために用意されている厚いゲート酸化膜を使用する。

(2)低不純物濃度の Si 層

通常のトランジスタはチャンネル不純物がイオン注入されているが、イオン化不純物はポテンシャル揺らぎを生じて単電子デバイスの動作を複雑にするため、チャンネルイオン注入は行わない様にレイアウト設計を行う。

(3)オフセットしたソース/ドレイン拡散層

低抵抗の不純物拡散層は実効的な単電子島サイズを大きな値に固定化するため、トンネルバリアを形成するゲート近傍には設けない。これに対応して拡散層に付けるシリサイド層もオフセットさせる。この様な構成は抵抗体や保護素子を作るために用意されている。

上記の方法により標準的な Si 集積回路プロセスで単電子デバイスの作製を試みた。具体的には、寄生容量の少ない 0.15 μm SOI CMOS プロセスと、サイズの微細化で優位な 65nm バルク CMOS プロセスを使用した。

4. 研究成果

(1)アト・ファラッド(aF)オーダーの容量パラメータ抽出法の考案

容量パラメータの評価は単電子デバイスにとって極めて重要である。図2(a)の電荷転送デバイスのモデルに基づいて、1パルス当りの転送電荷量 Q を導き出した。

$$Q = C_2' V_d + C_{ug} \Delta V_{ug} + C_{lg1} (V_{tho} - V_{lg1L}) + C_{lg2} (V_{lg2L} - V_{tho})$$

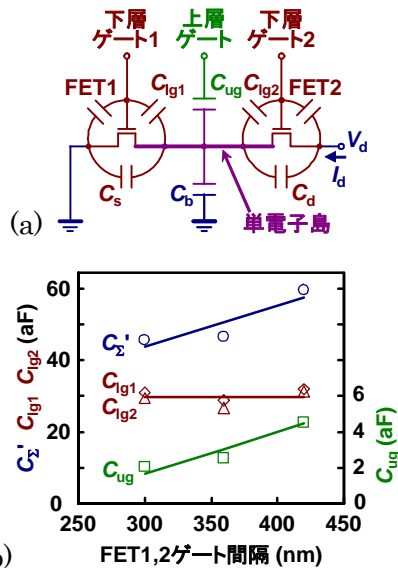


図2 (a) 単電子転送デバイスの等価回路、(b)抽出した容量パラメータの例(n チャンネル SOI MOSFET, $t_{ox} = 5.0$ nm, $L = 140$ nm, $\# = 320$ nm)。

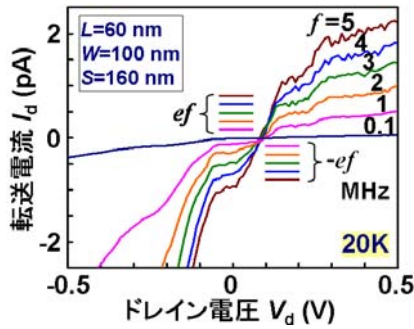


図3 65nmバルク MOSFET の電荷転送特性。

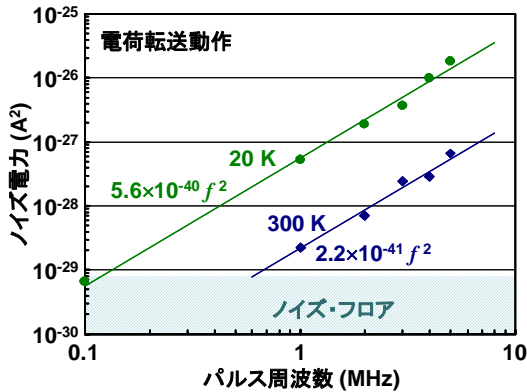


図4 異なる温度におけるノイズ電力のパルス周波数依存性。5~800 mHz の低周波ノイズを評価。

$$C_{\Sigma}' = C_{lg1} + C_{ug} + C_b + C_s + C_d, \quad \Delta V_{ug} = V_{ugH} - V_{ugL}$$

転送電流 I_d はパルス周波数を f として Qf で与えられるので、 $I_d - V_d$, $I_d - \Delta V_{ug}$, $I_d - V_{lg1L}$, $I_d - V_{lg2L}$ の各特性から C_{Σ}' , C_{ug} , C_{lg1} , C_{lg2} などの容量パラメータが得られる。図2(b)に SOI MOSFET の場合のパラメータ抽出例を示す。この例では、ゲート間隔 300 nm において単電子島周りの全容量は 75 aF となり、単電子デバイス動作のためには 12K より低い温度が必要なが分かる。

(2) 転送電流に重畳する低周波ノイズの解析

上述の通り 0.15 μm プロセスでは単電子島周りの容量が大きく、比較的容易に達成できる温度 (~20K) では単電子デバイス動作をさせることができない。そこで 65nm プロセスにより更に微細なデバイスを作製したところ、図3に示すとおり ef (e は電荷素量、 f はパルス周波数) の整数倍に量子化された電流を観測することができた。しかし転送電流には大きなノイズが重畳しており、この状態では誤り率の低い単電子転送は期待できないため、ノイズ特性の詳細な解析を行った。

図4から分かるとおり、ノイズ電力はパルス周波数の2乗に比例している。しかも 20K においては 300K の場合の 25 倍ものノイズ電力となっている。

図5は下層ゲートに加えるパルスを非対称にした場合の結果を示している。パルスの

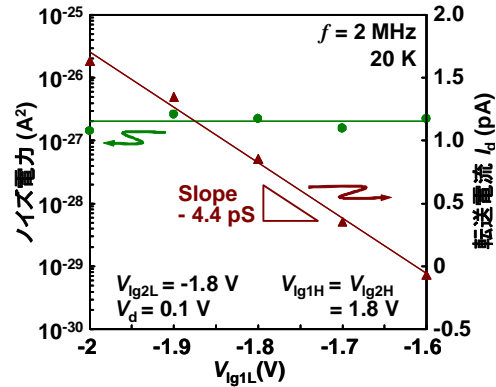


図5 下層ゲート1に加えるパルスの低レベル電圧を変えた場合のノイズ電力と転送電流の変化。

非対称性に応じて転送電流を変化させることができるが、ノイズ電力は全く変わっていない。これは、電荷転送動作ではなく DC 動作している MOSFET のノイズが電流の2乗に比例する事と際立った対比を示している。

これらの現象は、FET1, 2 のしきい値電圧揺らぎ δV_{th} に基づく転送電流の揺らぎとして理解できる。前述の転送電荷量 Q の式から

$$\delta I_d = \sqrt{2} \delta V_{th} C_{lg} f$$

が導き出され、電流ではなくパルス周波数が支配的であることが理解できる。

この式から分かるとおり転送電流に重畳するノイズを低減するためにはしきい値電圧揺らぎ δV_{th} の原因となっているゲート絶縁膜・Si 界面のトラップ低減が必要である。

界面トラップを減少させる目的でゲート絶縁膜の窒化処理の削除やゲート絶縁膜厚さの変更を行って、デバイス試作により効果を検証した。特性評価の結果、界面トラップ密度の減少に応じた改善が認められ、一般的な Si 集積回路プロセスでゲート誘起トンネルバリアを有する単電子デバイスを構成する方法が明確になった。

(3) 単電子情報処理に適した回路構成の検討

単電子転送に基づく超低消費電力な情報処理の実現のためには、単電子デバイスに適した回路構成法の検討が必要である。特に、回路動作の速度向上のためには情報を出力するための単電子検出器の高速化が重要である。そこで MOSFET 単電子検出器を含む LC 共振回路からの高周波 (RF) 反射信号を観測する手法を検討した。まず回路シミュレーション方法を開発し RF 反射信号の過渡解析や周波数解析を可能にした。単電子検出器としてゲート長 0.24 μm のバルク MOSFET を想定してシミュレーションを行った結果、500 MHz のキャリア信号を用いて 50 MHz の単電子レベルの電荷信号検出が可能であることが分かった。実験としては、65 nm バルク MOSFET を用いて 5 MHz の電荷信号に対し 0.1 e/ $\sqrt{\text{Hz}}$ の感度が得られることを確認し、キャリア振

幅を耐圧上限まで増す事により $4 \times 10^{-3} e/\sqrt{\text{Hz}}$ 程度の感度が期待できることも分かった。

(4) 単電子ラチェットによるナノ・アンペア転送電流の実現と電子捕獲過程の検討

単電子転送の高速化と転送デバイスの簡略化は、単電子転送に基づく超低消費電力情報処理の実現を考える上で極めて重要である。この目的のために、2つの下層ゲートにパルス電圧を加えるのではなく、片方のゲートのみパルス電圧を加える新方式(単電子ラチェット)を試みたところ、GHz オーダーのパルス周波数で nA オーダーの転送電流が得られることが確かめられた。ゲートをオフする際の、単電子島への非断熱的な電子捕獲過程を解析し、熱平衡状態の極限より高い精度で電子捕獲できることを見出した。

(5) 単電子検出による確率的な情報処理回路の提案と実証

回路構成法の検討の過程で、室温で電子 1 個 1 個を検出できる高感度電荷計を用いて、MOSFET のショットノイズを実時間で観測することに成功した。この技術を確率的な情報処理に適用し、曖昧さを許容するパタン認識のデモンストレーションを行った。

(6) Si 単電子トランジスタと金属単電子トランジスタの電荷オフセット安定性の解析

回路・システムの集積化を考える上で、個々のデバイスの安定性は極めて重要である。Si 単電子トランジスタと金属(Al/AlOx系)単電子トランジスタの電荷オフセットの長期安定性を比較検討し、Si デバイスが優れている理由と金属デバイスを改善する方向性について検討した。

(7) ナノドットアレイ構成の単電子デバイス回路応用の検討

格子状のナノドットアレイからなる単電子デバイスを用いて多入力・多出力の論理回路を構成する方法を提案し、実験によって各種の論理ゲートや全加算器などが実現可能であることを示した。その他、マルチドット・シングルゲート構造による単電子転送回路の基本動作についても実験により確認した。

以上の結果から、Si 集積回路プロセスで単電子デバイスを構成する方法が明確化し、回路やシステムのプロトタイプ作製が容易になって来た結果、今後の単電子デバイスの研究は大きく加速されると期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 18 件)

- (1) Vipul Singh, Hiroshi Inokawa, Tetsuo Endoh, and Hiroaki Satoh, "Low Frequency Noise Characterization in Metal-Oxide-Semiconductor Field-Effect Transistor Based Charge Transfer

Device at Room and Low Temperatures," *Jpn. J. Appl. Phys.* (査読有), Vol. 49, pp. 034203-1~4, 2010.

- (2) Mingyu Jo, Takuya Kaizawa, Masashi Arita, Akira Fujiwara, Yukinori Ono, Hiroshi Inokawa, Jung-Bum Choi, Yasuo Takahashi, "Fabrication of double-dot single-electron transistor in silicon nanowire," *Thin Solid Films* (査読有), Vol. 518, pp. S186-S189, 2010.
- (3) Hiroshi Inokawa, Vipul Singh, and Hiroaki Satoh, "Analysis of Current Noise in MOSFET-Based Charge-Transfer Device," *Journal of Automation, Mobile Robotics & Intelligent Systems* (査読有), Vol. 3, pp. 72-75, 2009.
- (4) Takuya Kaizawa, Masashi Arita, Akira Fujiwara, Kenji Yamazaki, Yukinori Ono, Hiroshi Inokawa, Yasuo Takahashi, and Jung-Bum Choi, "Single-Electron Device With Si Nanodot Array and Multiple Input Gates," *IEEE Trans. Nanotechnol.* (査読有), Vol. 8, pp. 535-541, 2009.
- (5) Kaizawa Takuya, Jo Mingyu, Arita Masashi, Fujiwara Akira, Yamazaki Kenji, Ono Yukinori, Inokawa Hiroshi, Takahashi Yasuo, and Choi Jung-Bum, "Full Adder Operation Based on Si Nanodot Array Device with Multiple Inputs and Outputs," *International Journal of Nanotechnology and Molecular Computation* (査読有), Vol. 1, pp. 58-69, 2009.
- (6) K Nishiguchi and A Fujiwara, "Single-electron counting statistics and its circuit application in nanoscale field-effect transistors at room temperature," *Nanotechnology* (査読有), Vol. 20, pp. 175201_1-6, 2009.
- (7) Satoru Miyamoto, Katsuhiko Nishiguchi, Yukinori Ono, Kohei M. Itoh, and Akira Fujiwara, "Escape dynamics of a few electrons in a single-electron ratchet using silicon nanowire metal-oxide-semiconductor field-effect

- transistor," *Appl. Phys. Lett.* (査読有), Vol. 93, pp. 222103_1-3, 2008.
- (8) Katsuhiko Nishiguchi, Charlie Koechlin, Yukinori Ono, Akira Fujiwara, Hiroshi Inokawa, and Hiroshi Yamaguchi, "Single-Electron-Resolution Electrometer Based on Field-Effect Transistor," *Jpn. J. Appl. Phys.* (査読有) Vol. 47, pp. 8305-8310, 2008.
- (9) Neil M. Zimmerman, William H. Huber, Brian Simonds, Emmanouel Hourdakos, Akira Fujiwara, Yukinori Ono, Yasuo Takahashi, Hiroshi Inokawa, Miha Furlan, and Mark W. Keller, "Why the long-term charge offset drift in Si single-electron tunneling transistors is much smaller (better) than in metal-based ones," *J. Appl. Phys.* (査読有), Vol. 104, pp. 033710_1-12, 2008.
- (10) Hongwu Liu, Toshimasa Fujisawa, Hiroshi Inokawa, Yukinori Ono, Akira Fujiwara and Yoshiro Hirayama, "A gate-defined silicon quantum dot molecule," *Appl. Phys. Lett.* (査読有), Vol. 92, pp. 222104_1-3, 2008.
- (11) Hiroshi Inokawa, Akira Fujiwara, Katsuhiko Nishiguchi, Yukinori Ono, Hiroaki Satoh, "Direct Measurement of Capacitance Parameters in Nanometer-Scale MOSFETs," *IEEJ Trans. EIS* (査読有), Vol. 128, pp. 905-911, 2008.
- (12) H. W. Liu, T. Fujisawa, Y. Ono, H. Inokawa, A. Fujiwara, K. Takashina, and Y. Hirayama, "Pauli-spin-blockade transport through a silicon double quantum dot," *Phys. Rev. B* (査読有), Vol. 77, pp. 073310_1-4, 2008.
- (13) K. Nishiguchi, Y. Ono, A. Fujiwara, H. Inokawa, and Y. Takahashi, "Stochastic data processing circuit based on single electrons using nanoscale field-effect transistors," *Appl. Phys. Lett.* (査読有), Vol. 92, pp. 062105_1-3, 2008.
- (14) Yukinori Ono, Akira Fujiwara, Katsuhiko Nishiguchi, Yasuo Takahashi, Hiroshi Inokawa, "Silicon single-charge transfer devices," *J. Phys. Chem. Solid* (査読有), Vol. 69, pp. 702-707, 2008.
- (15) Akira Fujiwara, Katsuhiko Nishiguchi, and Yukinori Ono, "Nanoampere charge pump by single-electron ratchet using silicon nanowire metal-oxide-semiconductor field-effect transistor," *Appl. Phys. Lett.* (査読有), Vol. 92, pp. 042102_1-3, 2008.
- (16) Daniel Moraru, Yukinori Ono, Hiroshi Inokawa and Michiharu Tabe, "Quantized electron transfer through random multiple tunnel junctions in phosphorus-doped silicon nanowires," *Phys. Rev. B* (査読有), Vol. 76, pp. 075332_1-5, 2007.
- (17) W. C. Zhang, K. Nishiguchi, Y. Ono, A. Fujiwara, H. Yamaguchi, H. Inokawa, Y. Takahashi, and N. J. Wu "Transfer and Detection of Single Electron using Metal-Oxide-Semiconductor Field-Effect-Transistor" *IEICE Trans. Electron.* (査読有) Vol. E90C, pp. 943-948, 2007.
- (18) K. Degawa, T. Aoki, T. Higuchi, H. Inokawa and Y. Takahashi, "Design of a Two-Bit-per-Cell Content-Addressable Memory Using Single-Electron Transistors," *Journal of Multiple-Valued Logic and Soft Computing* (査読有), Vol. 13, pp. 249-266, 2007.
- [学会発表] (計 28 件)
- (1) Vipul Singh, Hiroshi Inokawa, and Hiroaki Satoh, "Unique Short-Channel Characteristics in Sub-100 nm MOSFETs with Inversion-Layer Source/Drain," 22nd International Microprocesses and Nanotechnology Conference, pp. 508-509 (Sapporo, Nov. 16-19, 2009).
- (2) Vipul Singh, Hiroshi Inokawa and Hiroaki Satoh: Low-Frequency Noise in MOSFET-Based Charge-Transfer Device, 2009 Int. Conf. Solid State Devices and

- Materials, pp. 587-588 (Sendai, 2009.10.7-9).
- (3) M. Jo, Y. Kato, M. Arita, A. Fujiwara, Y. Ono, K. Nishiguchi, H. Inokawa, Y. Takahashi and J.-B. Choi: Fabrication of triple-dot single-electron transistor and its single-electron-transfer operation, International Symposium on Advanced Nanodevices and Nanotechnology (Kaanapali, Hawaii, 2009.11.29-12.4).
- (4) Hiroshi Inokawa, Vipul Singh and Hiroaki Satoh: Analysis of Current Noise in MOSFET-Based Charge-Transfer Device, The 8th International Conference on Global Research and Education, pp. 411-416 (Kazimierz Dolny & Warsaw, Poland, 2009.9.14-17).
- (5) Y. Ono, M. A. H. Khalafalla, A. Fujiwara, K. Nishiguchi, K. Takashina, S. Horiguchi, Y. Takahashi, H. Inokawa: Single-Dopant Effect in Si MOSFETs, The IEEE Nanotechnology Materials and Devices Conference (Kyoto, Oct. 20-22, 2008).
- (6) Satoru Miyamoto, Katsuhiko Nishiguchi, Yukinori Ono, Kohei M. Itoh and Akira Fujiwara: Escape dynamics of electrons in a single-electron ratchet using silicon nanowire MOSFETs, The IEEE Nanotechnology Materials and Devices Conference (Kyoto, Oct. 20-22, 2008).
- (7) H. Inokawa, A. Fujiwara, K. Nishiguchi, Y. Ono and H. Satoh: A Simple Test Structure for Extracting Capacitances in Nanometer-Scale MOSFETs, The 6th International Conference on Global Research and Education, pp. 80-87 (Hamamatsu, 2007.9.26-30).
- (8) Hiroshi Inokawa, Akira Fujiwara, Katsuhiko Nishiguchi and Yukinori Ono: Capacitive Parameter Extraction for Nanometer-Size Field-Effect Transistors, 2007 Int. Conf. Solid State Devices and Materials, pp. 874-875 (Tsukuba, 2007.9.19-21).

- (9) Akira Fujiwara, Katsuhiko Nishiguchi, and Yukinori Ono: Nanoampere charge pumping by single-electron ratchet using Si nanowire MOSFETs, 2007 Int. Conf. Solid State Devices and Materials, pp. 1144-1145 (Tsukuba, 2007.9.19-21).
- (10) Katsuhiko Nishiguchi, Yukinori Ono, Akira Fujiwara, Hiroshi Inokawa and Yasuo Takahashi: Room-temperature-operating single-electron devices using silicon nanowire MOSFET, 2007 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices (Gyeongju, Korea, 2007.6.25-27).

[図書] (計2件)

- (1) Yasuo Takahashi, Yukinori Ono, Akira Fujiwara, Katsuhiko Nishiguchi and Hiroshi Inokawa, "Silicon Single-Electron Devices," in *Device Applications of Silicon Nanocrystals and Nanostructures* Koshida, Nobuyoshi (ed.) pp. 125-172, Springer, New York, 2009.
- (2) Yukinori Ono, Hiroshi Inokawa, Yasuo Takahashi, Katsuhiko Nishiguchi and Akira Fujiwara, "Single-Electron Transistor and its Logic Application" in *Nanotechnology, Vol. 4: Information Technology II* Rainer Waser (ed.) pp. 45-68, Wiley-VCH, Weinheim, 2008.

[その他]

ホームページ等

<http://www.rie.shizuoka.ac.jp/~nanosys/>

6. 研究組織

(1) 研究代表者

猪川 洋 (INOKAWA HIROSHI)

静岡大学・電子工学研究所・教授

研究者番号: 50393757

(2) 研究分担者

藤原 聡 (FUJIWARA AKIRA)

日本電信電話(株)・物性科学基礎研究所・主幹研究員

研究者番号: 70393759

西口 克彦 (NISHIGUCHI KATSUHIKO)

日本電信電話(株)・物性科学基礎研究所・研究主任

研究者番号: 00393760