

アバランシェ増幅型固体撮像デバイスの素子構成と
その特性に関する研究

メタデータ	言語: ja 出版者: 静岡大学 公開日: 2012-03-07 キーワード (Ja): キーワード (En): 作成者: 菰淵, 寛仁 メールアドレス: 所属:
URL	https://doi.org/10.14945/00006428

電子科学研究科

GD

K

0002512713

R

53

静岡大学附属図書館

アバランシェ増幅型固体撮像デバイスの素子構成とその特性に関する研究



静岡大学大学院電子科学研究科

電子応用工学専攻

孤淵 寛仁

概要

近年の半導体技術の著しい進歩にともない、CCDならびにMOS型固体撮像素子はカメラ一体型VTRにも組み込まれ広く一般家庭にまで普及するようになった。しかし、一層の高画質化、高感度化に対する要望は強く、この要請は物理学、天文学などの科学分野においてさらに強い。

現在までに講じられてきた高感度化のための対策は、固定パターンノイズおよびランダムノイズに代表される各種ノイズを削減することにより固体撮像素子のS/Nを向上させ、感度の高い検出器を用いて信号電荷量-信号電圧変換を行なうものであった。しかしながら、固体撮像素子において高感度な検出器として広く用いられているFDA(Floating Diffusion Amp.)の信号電荷量-信号電圧変換効率を高めるために検出容量Cを小さく抑えた場合、信号のダイナミックレンジが犠牲になるという新たな問題が生じる。

そこで、デバイスの各画素において信号増幅を行ない後段のノイズの影響を受けないレベルにまで信号電荷量そのものを大きくし、一層の高感度化と広いダイナミックレンジの確保の両立を図った内部増幅型固体撮像素子の実現が強く望まれている。

本研究では、固体撮像素子の光電変換部にアバランシェ-フォトダイオード(APD)を採用し、電荷蓄積動作モードで用いることにより、フォトン-カウンティングレベルから通常の固体撮像素子の撮像領域に渡る広い受光範囲を持つアバランシェ増幅型固体撮像素子を実現するために次の2つの問題を解決した。

まず、撮像の分野では1フレーム期間中に入射する光を有効に利用するために各画素内のAPDがこの期間中に光電変換すると同時にアバランシェ増倍した信号電荷を次の読み出しが開始されるまでの期間保持する、いわゆる電荷蓄積動作が必須となる。APDはその印加逆バイアス電圧に応じて増倍利得が変化するため、この蓄積期間中において、信号電荷がAPDの空乏層容量に蓄積するに従い内部増倍利得は減少する。しかしながら、現在のところこの内部増倍利得の自己抑制効果(Self-Quenching Effect)を考慮した電荷蓄積動作の解析に関する報告はない。

そこで、APDの蓄積期間中における動作解析を直流ブレイクダウン電圧 V_B 以下とそれ以上の動作領域に分けて行なった。

直流ブレイクダウン電圧 V_B 以下の動作領域に関しては、アバランシェ増倍利得Mを印加電圧Vの関数で与えるMillerの式を拡張、適用してAPDの電荷蓄

積動作時の入射光量に対する出力電荷量を与える関係式を導出した。その結果、低照度領域では光電変換特性の傾きを表す γ 値は1、高照度領域では増倍利得の自己抑制効果により γ 値は1/2となることが解析的に明らかとなった。また、 γ 値が1の動作領域では蓄積期間初期の増倍利得 M_0 の大きさに比例した出力を示し、 γ 値が1/2の動作領域では蓄積容量 C に対し $C^{1/2}$ に比例した出力を示すことも明らかとなった。

直流ブレークダウン電圧 V_0 以上の動作領域では、入射光により励起された電荷もしくは暗電流が空乏層に注入された場合、これをトリガとしてアバランシェ増倍が自己継続するアバランシェ-フィードバックループが形成されるようになる。この注入された電子もしくは正孔のそれぞれがアバランシェ-フィードバックループのトリガとなる確率をW.G.Oldhamの提案した差分方程式を用いて求めた。この電子あるいは正孔がアバランシェ増倍を継続させるトリガとなる確率の大きさはキャリアが空乏層内を単位距離走行したのちにアバランシェ衝突を生じる確率を示すイオン化率の値に大きく依存する。この電子および正孔のイオン化率は空乏層内の電界強度とともに大きくなるので、APDに印加する逆バイアス電圧の増加に伴ってトリガとなる確率は大きくなり最終的には1に近づくことを示した。さらに、微弱な入射光量域では、フォトンにより励起された電荷あるいはそれ以外の暗電流によりアバランシェ増倍がトリガされた場合、その出力電荷量は蓄積容量 C 、蓄積期間初期の印加逆バイアス電圧 V_0 に対し $C(V_0 - V_0)$ で表される一定値を取る事を明らかにした。

次に、単純なMOS型固体撮像素子のソース側にあるフォトダイオード(PD)をAPDで置き換えた素子構造を用いた場合、蓄積信号電荷の読み出しに続くリセット期間中にAPDに入射しアバランシェ増倍を受けた電荷は蓄積信号電荷に重畳されて出力されることは避けられない。

そこで、蓄積電荷読み出し期間中に入射した光によりアバランシェ増倍された電荷の出力信号電荷への重畳を避けることのできる画素構成として、デュアルゲート型素子構造およびキャパシタンス-カップリング型素子構成を提案した。

デュアルゲート型素子構成は、シングルゲート型の基本的MOS型素子構造のソース側に配したAPDとゲートの間に第2のゲート G_2 と、読み出し用電荷蓄積用キャパシタ C_s を付け加えた素子構成をとる。読み出し時には、回路的にAPDを切り離すことで、読み出し用電荷蓄積用容量 C_s に蓄積されていた信号電荷のみを選択的に読み出す事が可能である。

キャパシタンス-カップリング型素子構成では、シングルゲート型構造の光電変換部であるAPDに対し直列に結合容量 C_c を設けた素子構成をとる。蓄積期

間中は結合容量 C_c を介してAPDにはアバランシェするに十分な逆バイアス電圧が印加される。読み出し時は結合容量 C_c に印加していた電圧をオフするので、読み出し期間中に入射した光によるアバランシェ増倍は完全に防ぐことができる。

1画素の等価回路を用いた実験においては、ブレイクダウン電圧以下、ブレイクダウン電圧以上の動作領域ともに解析結果と良い一致を示す結果が得られた。暗電流の影響を調べた結果、ブレイクダウン電圧以上の動作においては特に禁制帯中のトラップを介したトンネリングによる暗電流の影響が大きいことが明らかとなった。また、この影響を少なくするにはリセット時とそれに続く蓄積期間初期の空乏層の変化幅を少なくして、このトラップに電荷を充填させない駆動方法を探ればよいことが明らかとなった。最後に、5画素から成る素子を試作し、一様な出力を得るための駆動条件を調べた。初期増倍利得、および蓄積容量のばらつきの出力に与える影響を測定し、その結果を解析式と比較した結果、光電変換特性を示す γ の値が $1/2$ となる領域で動作させれば、素子間の濃度プロファイルのばらつきおよび蓄積期間初期の印加電圧のばらつきによる増倍利得のばらつきの影響は完全に抑えることが可能で、その出力信号電荷量のばらつきは蓄積容量のばらつきの $1/2$ の値に抑えることが可能となる事が明らかとなった。

目次

	ページ
概要	1~3
目次	4~5
第1章 序論	6~20
1. 1 内部増幅型固体撮像素子研究の背景	
1. 2 内部増幅型固体撮像素子研究の歴史	
1. 3 本研究の目的と本論文の構成	
参考文献	
第2章 アバランシェ増倍型センサーの電荷蓄積動作理論	21~46
2. 1 緒言	
2. 2 APDの電荷蓄積動作	
2. 3 ブレークダウン電圧以下の動作領域の特性解析	
2. 4 ブレークダウン電圧以上の動作領域の特性解析	
2. 5 結言	
参考文献	
第3章 デュアル-ゲート型デバイス構造	47~74
3. 1 緒言	
3. 2 デュアル-ゲート型デバイスの動作原理	
A. 画素構成および動作原理	
3. 3 デュアル-ゲート型デバイスの光電変換特性	
A. 測定装置および使用したAPDの特性	
B. ブレークダウン電圧以下の動作領域の特性	
C. ブレークダウン電圧以上の動作領域の特性	
3. 4 結言	
参考文献	

第4章 キャパシタンス-カップリング型デバイス構造

75~98

- 4. 1 緒言
- 4. 2 キャパシタンス-カップリング型デバイスの動作原理
 - A. 画素構成および動作原理
- 4. 3 キャパシタンス-カップリング型デバイスの動作特性
 - A. 光電変換特性
 - B. 暗電流に関する考察
 - C. 入射波長とAPDの構造
 - D. 素子構造の最適化
- 4. 4 結言
 - 参考文献

第5章 APDアレイの試作と出力特性および出力の安定性の評価

99~118

- 5. 1 緒言
- 5. 2 APDのアレイ化
 - A. 設計
 - B. 試作
- 5. 3 諸特性の評価
 - A. APDの諸特性
 - B. 光電変換特性
 - C. 出力安定性の評価と駆動条件の検討
- 5. 4 結言
 - 参考文献

第6章 結論

119~121

謝辞

122

本研究に関する発表論文リスト

123~124

付録

125~132

第1章 序論

1. 1 内部増幅型固体撮像素子研究の背景

近年の半導体技術の著しい進展に伴い、CCD並びにMOS型固体撮像素子はカメラ一体型VTRにも組み込まれ、一般家庭内にまで普及するに至った。このように固体撮像デバイスが広く社会に受け入れられるようになった理由としては、撮像管に比べて表1-1に示す多くの特長を兼ね備えていたことがあげられる。

表1-1 固体撮像素子の特長

- | |
|---------------------------------|
| 1. 画素位置が正確で図形歪がない |
| 2. 空間分解能が画面で一様である |
| 3. 低消費電力、長寿命である |
| 4. 汎用LSIとの共通技術により低価格化が可能 |
| 5. 2カ所以上の同時アドレスができるため高度な信号処理が可能 |
| 6. 動作周波数の変更が容易 |
| 7. 低残像、焼き付きがない |
| 8. 小型、軽量である |
| 9. 爆縮の心配がなく機械強度的に優れている |
| 10. 磁界の影響を受けない |

このように多くの特長を備えた固体撮像素子が普及するにつれ、高画質化に対する要望はますます高まりをみせている。ひところ、20万画素程度のデバイスによる映像は家庭用VTR、40万画素程度では現在のTV放送用カメラで得られる画像、さらに60万画素程度になれば標準フィルムに相当する画質が得られると言われていたが、一般家庭の用途にも40万画素程度のものが用いられるようになってきた。図1-1に代表的な固体撮像素子であるIL (Interline Transfer)型、FIT (Frame Interline Transfer)型の1/2" 光学系、2/3" 光学系CCD固体撮像素子の画素数の時代的推移を示す。年を追う毎に画素数は増え、それとともに1画素あたりの開口面積は減少し、利用可能な入射光量も少なくなる傾向にある。

また、高画質化の追求と同時に露光時間を可変とする高速シャッター動作などの付加的機能が求められてきた結果、1画素あたりの入射光量はさらに少なくなる。この様な背景をもとに、固体撮像素子の感度の改善が強く求められるようになってきた。この要請は極微弱な光を取り扱う天体撮影などの分野^{1,2)}において一層強い。

感度の面において理想的な撮像デバイスの出力信号の(S/N)は、量子効率

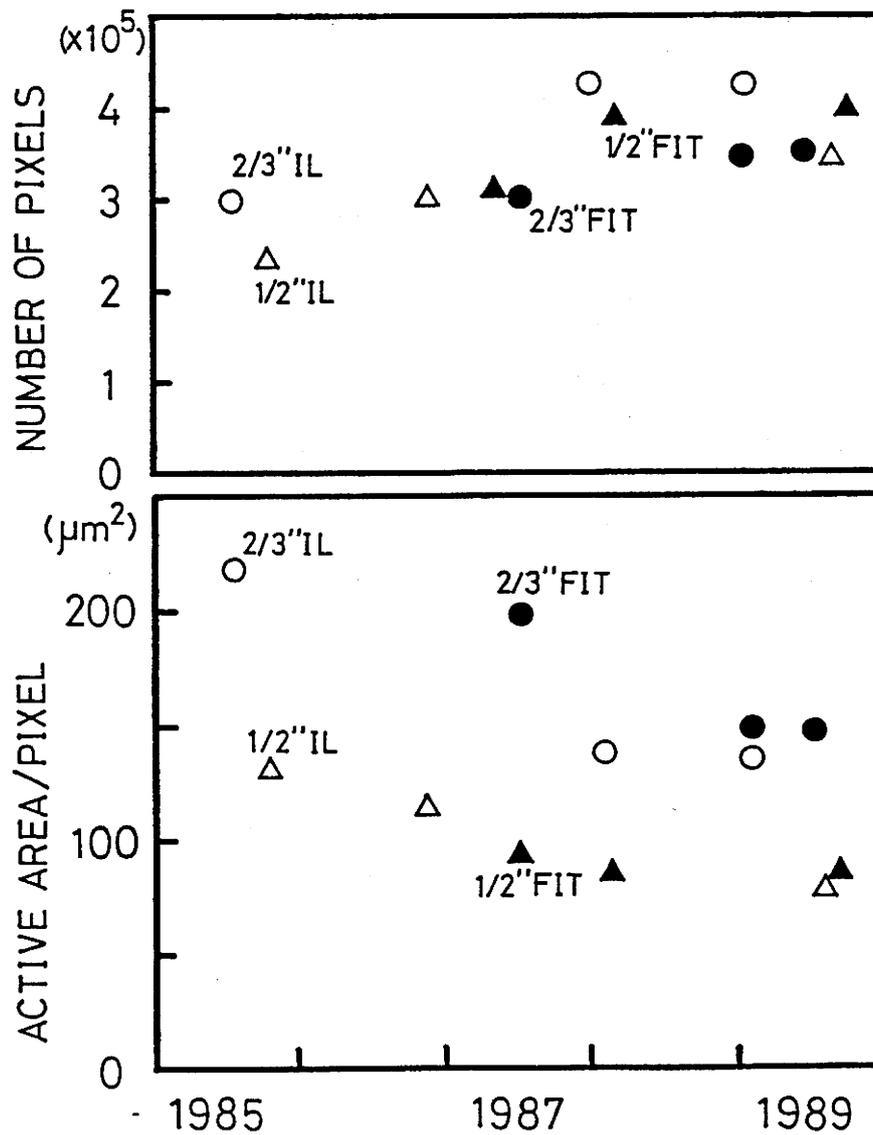


図 1 - 1 画素数の時代的推移

I L (Interline Transfer) 型、F I T (Frame Interline Transfer) 型それぞれの 1/2" 光学系、2/3" 光学系 C C D 固体撮像素子の画素数および 1 画素当りの開口面積の推移を示す。

η を 1 と仮定した場合、入射光子数 N_p のゆらぎに起因するショット雑音だけで決定され $\sqrt{N_p}$ と表わされる。しかしながら、現実の固体撮像素子は表 1-2 に示す各種ノイズの影響を受け、撮像可能な明るさには限界が存在する。ノイズはその発生機構により時間的に相関のないランダムノイズと再生画面上に常に一定の明るさの分布を示す固定パターンノイズ(FPN: Fixed Pattern Noise)に大きく分ける事ができる。現在までに講じられてきた高感度化対策は表に示した各種ノイズの抑圧を行なう事により(S/N)を向上させるものが主流であった。たとえば、CCD型固体撮像素子の撮像限界を決定するランダムノイズに関しては、出力部のFDA(Floating Diffusion Amp.)³⁾で発生する増幅用トランジスタのチャネルの熱雑音が信号電荷検出用容量部に流入し、そのリセット動作毎のオフセット値の変動に基づくkTCノイズが支配的であった。

表 1-2 各種ノイズ

	CCD	MOS
ランダムノイズ	光ショットノイズ 暗電流ショットノイズ kTCノイズ 転送ノイズ 1/fノイズ	プリアンプノイズ
固定パターンノイズ	感度むら 暗電流むら クロックノイズ	スイッチングノイズ

しかし、増幅用トランジスタに暗電流の少ない埋め込みチャネルを採用し、検出回路にはリセットレベルから出力信号レベルまでの相対値を信号の大きさとして差分検出する相関二重サンプリング法^{3,4)}を採用することにより、ノイズは10(ele.rms)程度まで抑える事が可能となった。また、固定パターンノイズに関しては、最も大きな問題であった各画素の酸化膜とSiの界面から発生する暗電流の画素毎のばらつきを抑える為に、光電変換部に埋め込みフォトダイオードを採用し、界面まで空乏層を広げない構造をとることにより各画素の暗電流は0.2(nA)程度まで低減することが可能となり、これに起因する暗電流むらも大幅に削減した。その結果、図 1-2 に示すように撮像面上の照度として約 2×10^{-2} (Lx) までの画像を検出することが可能となった。ところが、この様に暗い入射光量域での微小な出力信号電荷量を対応する信号電圧として検出するためには高い信号電荷量-信号電圧変換効率を持った信号検出回路が必要となる。そのためには信号検出回路であるFDA部の信号電荷量検出用容量Cの値を小さ

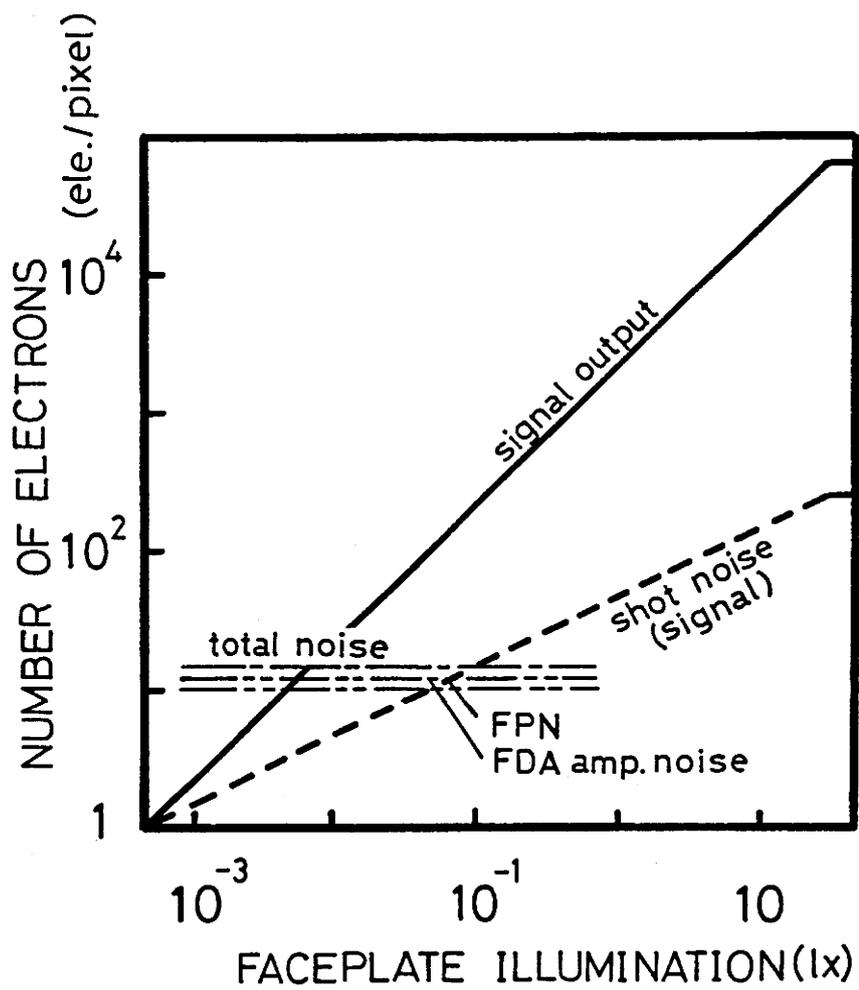


図 1 - 2 CCD型撮像デバイスの雑音

くして変換効率を高める必要がある。しかしながら、この方法は出力の飽和レベルの低下を招き、ダイナミックレンジを広く取ることができなくなるという別の問題を生じる。そこで、高感度化と広いダイナミックレンジの確保の両立を図るために各画素レベルにおいてあらかじめ信号の増倍を行ない、後段のノイズの影響を抑えることができる内部増幅型固体撮像素子の実現が強く望まれている。

1. 2 内部増幅型固体撮像素子研究の歴史

デバイスの各画素レベルにおいて信号の増倍を行なう事ができる内部増幅型固体撮像素子の方式としては、図1-3に示すように信号電荷を蓄積した後に行なうものと光電変換と同時に行なうものがある。まず、信号電荷を蓄積した後に画素内で増幅を行なうものとしてはゲート領域で光電変換された信号電荷によりチャンネル電位を変化させ、ソース - ドレイン間を流れるチャンネル電流を変調増幅する S I T (Static Induced Transistor)⁵⁾、C M D (Charge Modulating Device)⁶⁾、A M I (Amplified MOS Imager)などが提案されており25万画素クラスのデバイスの試作^{8, 9)}も報告されている。また、光電変換された電荷をベース領域に蓄積し、そのベース電位の変化でエミッタ電流を変調増幅する B A S I S (Base-Stored Image Sensor)⁷⁾も提案されている。このような増幅機構を持つ撮像素子の出力信号電流は2/3インチ40万画素クラスの C C D 撮像素子に比べて同一入射光量に対し約100倍と大きい値を示す。しかしながら、これらの内部増幅型撮像素子は C C D 型撮像素子と異なり信号電荷を非破壊で読み出すために各画素からの信号読み出しが終了する毎にチャンネル電位ならびにベース電位を基準電位に戻すリセット動作が必要となる。従って、このような増幅機構を持つ撮像素子では信号電流は大きくなるものの、その出力には素子の発生するノイズの他に各画素のリセット動作に基づく k T C ノイズが加算される。この場合の k T C ノイズには画素間に相関がないため、相関2重サンプリングなどの手法を用いて改善を図る事は困難である。このため、現状では出力の S / N は C C D 型撮像素子を凌駕していない。そこで、リセット動作を伴わずに信号増倍ができるアバランシェ増倍機構が注目されてきた。

アバランシェ増倍現象は平均増倍利得 M に対して統計的な増倍利得のばらつきをもつ。このばらつきに起因する過剰雑音 N_s は McIntyer により、

$$N_s = N_p \eta M^2 F \quad (1-1)$$

$$F = k G + (1-k)(2-1/M) \quad (1-2)$$

と表わされている¹⁰⁾。ここで、 N_p は入射フォトン数、 η は量子効率を示す。

撮像デバイス

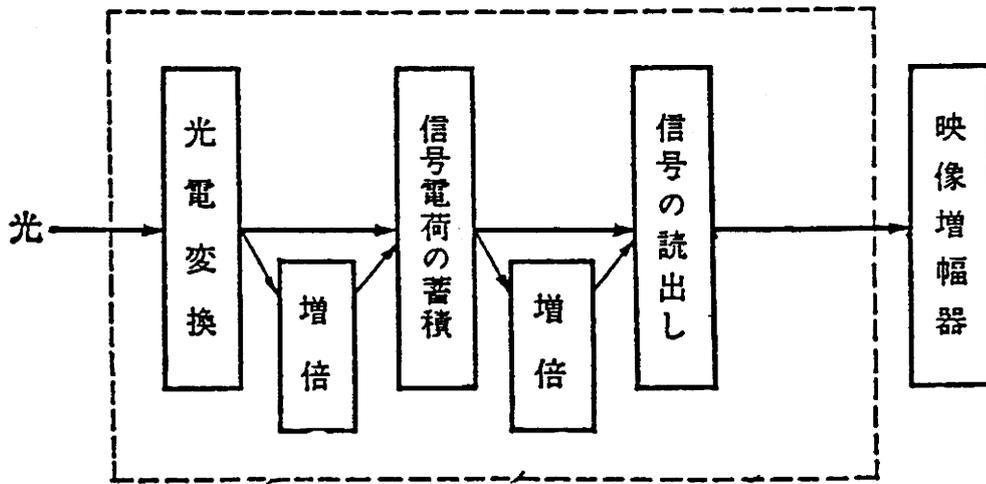


図 1 - 3 内部増幅型撮像デバイス

Fは過剰雑音係数と呼ばれ、図1-4に示すように、電子および正孔が単位距離走行する期間にアバランシェを生じる確率を示すイオン化率 α および β の比(k値)の関数である。電子-正孔のイオン化係数の比(k値)が小さいほど過剰雑音係数Fも小さくなることが知られている。

このノイズを考慮すると、アバランシェ増倍機構を持つ光電変換素子の出力電流の $(S/N)_{APD}$ は、

$$(S/N)_{APD} = \frac{N_p \eta M}{\sqrt{N_p \eta M^2 F + n_d^*}} \quad (1-3)$$

と表わされる。ただし、 n_d^* は暗電流など光電流に依存しない等価雑音電荷数を示す。

一方、アバランシェによる増倍機構を持たないフォトダイオード(PD)の出力電流の $(S/N)_{PD}$ は、

$$(S/N)_{PD} = \frac{N_p \eta}{\sqrt{N_p \eta + n_d}} \quad (1-4)$$

と表わされる。 n_d は等価雑音電荷数。図1-5に入射光量に対する (S/N) の変化を示す。アバランシェ増倍機構を持った受光素子は電子-正孔のイオン化係数の比(k値)が小さいほど (S/N) は向上し、充分小さなk値が得られるならば、入射光量が小さくなるほどPDに比較して良い (S/N) が得られる。また、APDの等価雑音電荷数が小さいほど (S/N) の改善は著しくなる。

現在、このアバランシェ増倍現象を撮像分野に応用したものとしてHARP (High-gain Avalanche-Rushing Amorphous Photoconductor)撮像管¹¹⁾がある。これはSeを主成分とする阻止型光導電膜を高電界中で動作させるもので、約1 (cm²)の面積に渡って一様な増倍利得を維持し、通常の撮像管ターゲットであるサチコンに比べ14倍の感度を有する。HARPターゲットに用いたSeは、正孔のイオン化率が電子のイオン化率の50倍であるため、正孔注入の場合にそのk値は0.02となり、アバランシェ増倍に伴う過剰雑音も小さい。さらに、白黒ではあるが100倍程度の感度を持つSuper-HARPも研究され高感度と高画質を両立させたデバイスも試作され、アバランシェ増倍による高感度撮像デバイス実現の可能性が示された¹²⁾。

しかし、ターゲット内の電界強度は10⁶ (V/cm)程度と高いため、駆動電圧としてそれぞれ約200、600 (V)の高電圧を要する。また、撮像管であることから、これまでの撮像機器が目標としてきた小型-軽量で信頼性の高い理想的なデバイス

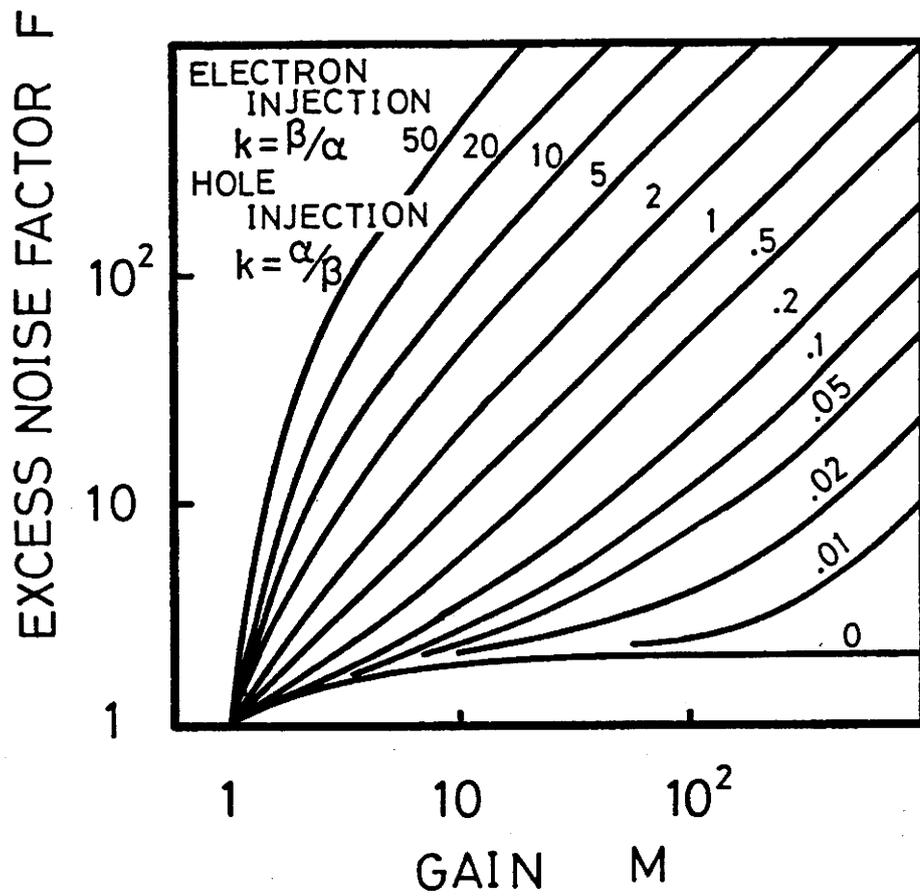


图 1 - 4 过剩噪声系数⁽¹⁰⁾

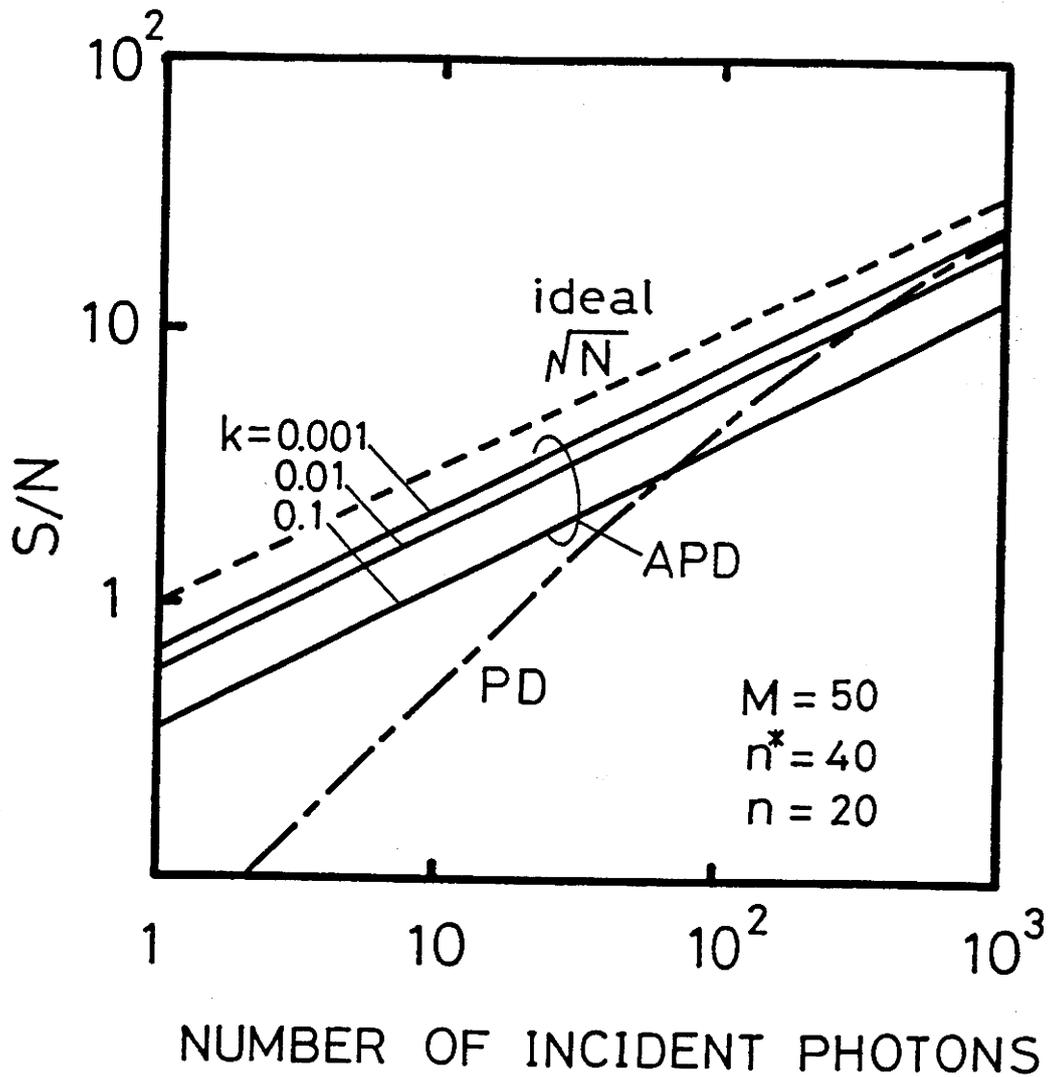


図 1 - 5 各種受光素子の S/N

破線は理想的な受光素子を示し、その S/N は入射光のショット雑音により決まる。一点鎖線は内部増倍利得を持たないフォトダイオード、実線は APD の S/N を示す。

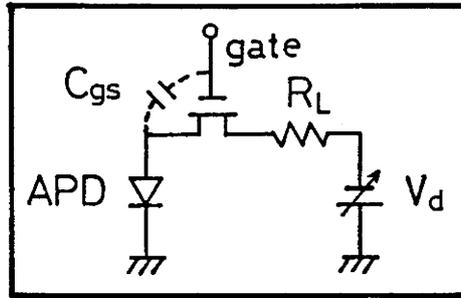
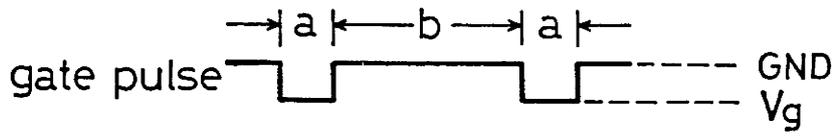
であるとは言い難く、この点においてもアバランシェ増倍現象を用いた撮像素子の固体化が強く望まれている。

1. 3 本研究の目的と本論文の構成

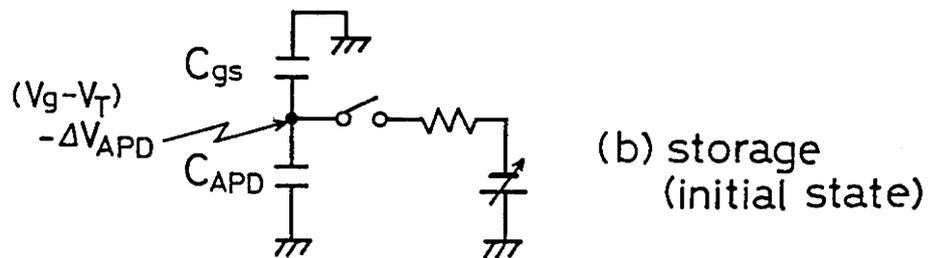
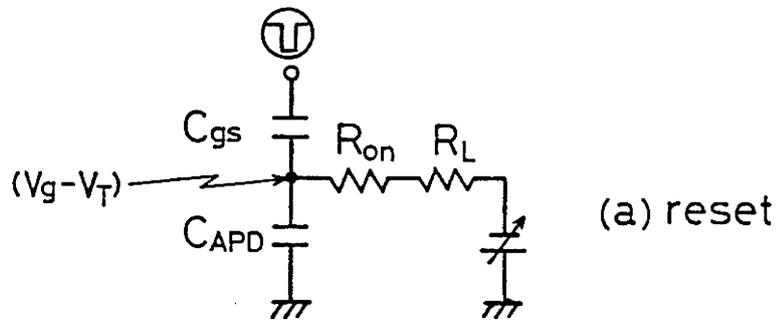
本研究では、固体撮像素子の高感度化を図るために過剰雑音の少ないアバランシェ増倍型受光素子であるSi-APD(正孔と電子のイオン化率比 $k = \beta / \alpha$ は $0.03 < k < 0.3$ の値をとり電界に依存¹³⁾)を光電変換部に電荷蓄積動作モード¹⁴⁾で採用し、フォトン-カウンティングレベルから通常の固体撮像素子の撮像領域までを受光範囲として持つアバランシェ増幅型固体撮像素子を実現する事を目的とした。そのために重要となる次の2つの問題を取り扱った。

撮像の分野では入射する光を有効に利用するために1フレーム期間常時入射光を電気信号に変換し続けかつ読み出すまでの期間保持するいわゆる電荷蓄積動作で用いることが必須となる。しかしながら、アバランシェ増倍型固体撮像素子の光電変換部のAPDの増倍利得は印加逆バイアス電圧に応じて変化するため、信号電荷がAPDの空乏層容量に蓄積するに従い内部増倍利得は減少する。これは、1フレーム期間に渡って光電変換効率が一定であるとする従来の電荷蓄積動作と根本的に異なる。APDのアバランシェ増倍機構は物理的には様々な動作モデルが提案され、直流動作については理論と実験結果がよく対応できるようになっているが、電荷蓄積動作のように利得が時間的に変化する動的な振舞いは複雑なためにその解析を試みた報告は勿論のこと試作実験に関する報告もなく、撮像素子に応用した場合の特徴についても明確にされていない。そこで、この内部増倍利得の自己抑制効果(Self-Quenching Effect)を考慮したアバランシェ増幅型固体撮像素子の電荷蓄積動作特性を明らかにし、素子の設計に有効な設計指針を得ることが必要となる。

従来の固体撮像素子の受光部であるPDをAPDに置き換えた場合にも蓄積信号電荷を信号伝送路に読み出す毎に次の電荷蓄積動作に備えてAPDを一定の電位にバイアスするリセット動作を行なう必要があるが、このリセット期間中にAPDに入射した光によって励起されたキャリアはアバランシェ増倍による増幅を受け、蓄積信号電荷に重畳されて出力される。しかしながら、電荷蓄積期間初期にAPDに印加される逆バイアス電圧はゲート-ソース間の結合容量 C_{gs} の影響によりリセット期間中にAPDに印加される逆バイアス電圧よりも $\Delta V_R (= (C_{gs} / (C_s + C_{gs})) \cdot (V_g - V_T))$ だけ小さな値に下がる(図1-6参照)。ここで、 C_s はソース容量、 V_g はゲート電圧、 V_T はゲート閾値電圧である。その結果、蓄積期間のAPDにブレイクダウン電圧に近い電圧を与えるためには、



equivalent circuit



$$\Delta V_{APD} = \frac{C_{gs}}{C_{gs} + C_{APD}} (V_g - V_T)$$

図 1 - 6 従来の画素構成による動作

ΔV_R だけ大きな電圧でAPDをリセットしなければならない。このリセット電圧がAPD直流ブレイクダウン電圧 V_B を越えると、入射光により励起された電荷および暗電流によりいったんトリガされたアバランシェ増倍は自己継続し、リセット期間中に発生したアバランシェ増倍により入射光量の大きさには無関係に大きな電荷が出力に重畳される結果となる。このリセット期間に発生する電荷の影響を避けるためには、リセット時にAPDに印加される直流逆バイアス電圧 V_{RESET} を V_B 以下に設定する必要がある。この結果、増倍型撮像素子として有利に利用できる増倍利得が減少する。そこで、蓄積期間中にアバランシェ増倍を受けた蓄積信号電荷だけを選択的に読み出すことのできる素子構成やリセット動作の改善方法を検討することが必要となる。

本論文においてアバランシェ増倍型撮像素子に関する前述の問題について詳しく検討する。

第1章では、内部増幅型固体撮像素子研究の背景と歴史について述べた後、本研究での目的を述べ、さらにアバランシェ増幅型固体撮像素子を実現する際問題となる事柄と各章との関連について記述している。

第2章では、その電荷蓄積動作を直流ブレイクダウン電圧 V_B 以下と以上の領域に分けて解析を行なった。まず、直流ブレイクダウン電圧以下の動作領域では、直流増倍利得 M と逆バイアス電圧 V との関係を与えるMillerの式を拡張、入射光量に対する蓄積信号電荷量の関係を表す式に適用することで、電荷蓄積時の動作を解析した。直流ブレイクダウン電圧 V_B 以上の動作領域では、入射光により励起された電荷もしくは暗電流が空乏層に注入された場合、これをトリガとしてアバランシェ増倍が自己継続するアバランシェ-フィードバック-ループが形成されるようになる。この注入された電子もしくは正孔のそれぞれがアバランシェ-フィードバック-ループのトリガとなる確率をW.G.Oldhamの提案した差分方程式を用いて求めた。

第3章では、蓄積期間中にアバランシェ増倍された信号電荷を分離独立に読み出すことのできる画素構成としてAPDと読み出し用ゲートの間電荷蓄積用キャパシタンスともう1つのゲートを設けたデュアルゲート型構造を提案した。この構造を用い、極低照度領域におけるフォトン-カウンティング的動作から、通常のCCDで取り扱える入射光量域にわたって測定を行なった。

第4章では、シングルゲート型構造の光電変換部であるAPDに対し直列に結合容量 C_c を設けたキャパシタンス-カップリング型構造を提案した。この構造は読み出し期間は従来のシングルゲート構造と同じ動作を行なうが、蓄積期間中にはAPDに直列に設けられたキャパシタンスを介して積極的に逆バイア

スを印加することができる。この素子構成を用いてAPD電荷蓄積動作特有の光電変換特性を調べた。

第5章では、5素子からなるAPDアレイの試作をおこない、常温における光電変換特性と出力の安定性について測定を行ない、安定な動作を行なうための動作条件を求めた。

第6章は結論である。

参考文献

- 1) R.D. McGrath, et al.: "A 1024×1024 Virtual Phase CCD Imager", IEDM Digest of Tech. Papers, pp.749-750 (Dec., 1983)
- 2) M.M. Blouke, D.L. Heedtmann, B. Corrie, M.L. Lust and J.R. Janesick: "Large Area CCD Image Sensors for Scientific Applications", Proc. of SPIE, 570, pp.82-88 (Aug., 1985)
- 3) M.H. White, D.R. Lampe, F.C. Blaha and I.A. Mack: "Characterization of Surface Channel CCD Image Arrays at Low Light Levels", IEEE J. Solid-State Circuits, SC-9, pp.1-13 (1974)
- 4) 西田、小池、大竹、吉川: "CCD型撮像素子のノイズと低雑音信号読み出し法"、テレビ誌、39、12、pp1176-1181 (Dec. 1985)
- 5) A. Yusa, J. Nisizawa, M. Imai, H. Yamada, J. Nakamura, "SIT Image Sensor: Design Consideration and Characteristics", IEEE Trans., ED-33, 6, pp.735-742, 1986.
- 6) T. Nakamura, K. Matsumoto, R. Hyuga, and A. Yusa, "A new MOS image sensor operating in a non-destructive readout mode", IEDM Tech. Dig., 14-2, 1986.
- 7) N. Tanaka, T. Ohmi, Y. Nakamura, "A Novel Imaging Device with Self-Noise-Reduction Capability", IEEE Trans., ED-36, 1, pp.31-38, 1989
- 8) J. Hyneczek, "A new device architecture suitable for high-resolution and high-performance image sensors", IEEE Trans., vol. ED-35, No. 5, pp.646-652, 1988.
- 9) 安藤ほか: "増幅型固体撮像素子 AMI (Amplified MOS Intelligent Imager)" テレビ誌, 41, 11, pp.1075-1082 (Nov., 1987)
- 10) R.J. McIntyre, "Multiplication Noise in Uniform Avalanche Diodes", IEEE Trans., ED-13, pp.158-164 (Jan., 1966)
- 11) K. Tanioka, et al.: "Avalanche-mode Amorphous Selenium Photoconductive Layer for Use as Camera Tube Target", IEEE Electron Device Lett., EDL-8, 9, pp.392-394 (Sep., 1987)
- 12) M. Kurashige, et al.: "Super-Sensitive HDTV Camera Tube with the Newly Developed HARP Target", SMPTE Journal, Vol. 97, No. 7, pp.538-545 (1988)

- 13) J.L. Moll, Physics of Semiconductors, McGraw-Hill, 1964.
- 14) G.P. Wecker, "Operation of p-n junction photo-detectors in a photon flux integrating mode", IEEE J. Solid-State Circuits, SC-2, p.65-73, 1967.

2. 1 緒言

固体撮像素子の高感度化を図るために、その光電変換部にAPDを電荷蓄積動作¹⁾で用いる事を提案した²⁾。APDはその印加逆バイアス電圧に応じて増倍利得が変化するため、電荷蓄積動作で用いた場合アバランシェ増倍された信号電荷がAPDの空乏層容量に蓄積するに従い内部増倍利得は自己抑制(Self-Quenching)される。しかしながら、APDはこれまでおもに光通信の分野において直流動作で利用されてきたために、この増倍利得の自己抑制効果を考慮した電荷蓄積動作を解析的に明らかにした研究報告は未だ成されていない。

本章では、Si-APDの電荷蓄積動作を主に電子がアバランシェ増倍を生じる直流ブレイクダウン電圧 V_B 以下の領域と電子および正孔の双方がアバランシェ増倍に関与し、アバランシェ増倍が自己継続するブレイクダウン電圧 V_B 以上の領域に区別してその電荷蓄積動作を解析し、入射光量に対する出力電荷量の関係を明らかにする。

まずAPDを電荷蓄積動作で用いるための基本構成を示し、その電荷蓄積動作の手順を説明する。

V_B 以下の動作領域に関しては、アバランシェ増倍率 M を直流逆バイアス電圧 V の関数で与えるS.L.Millerの式³⁾を拡張し、その有効範囲を明らかにしたうえでAPDの電荷蓄積動作による出力信号電荷量を与える式を蓄積期間初期のAPDの増倍利得、蓄積容量、入射光強度、蓄積時間の関数として導出する。

V_B 以上の動作領域に関しては、空乏層内に注入された電荷あるいは空乏層中で発生した電荷がアバランシェ増倍を自己継続するさせるトリガとなる確率 P の印加逆バイアス電圧依存性をW.G.Oldhamの提案した差分方程式⁴⁾を用いて導出し、さらに、トリガとなる1個の電荷に対する出力電荷量を求める。

2. 2 APDの電荷蓄積動作

まずp-n型APDを電荷蓄積動作で用いる場合の基本的動作を図2-1に示した基本回路を用いて説明する。APDに電荷蓄積動作を行なわせるための基本回路はAPDと逆バイアスを印加するためのスイッチ(SW)から構成される。まず、SWをオンとし、閉回路とすることでAPDにはアバランシェ増倍が生じるに十分な逆バイアス電圧が印加される(図2-1(A))。続いてSWをオフとし、APDの一端を解放状態にする(図2-1(B))。この期間中に入射光により励起されたキャリアによりアバランシェ増倍された電荷は空乏層

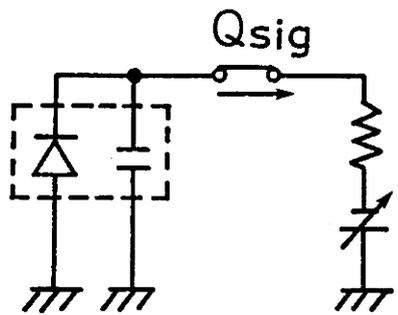
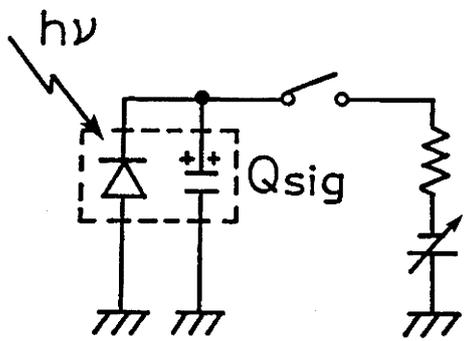
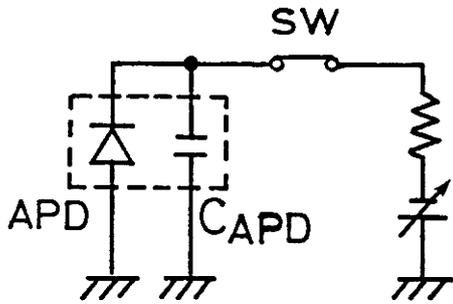


図 2 - 1 APD の電荷蓄積動作

容量 C_{APD} に信号電荷 Q_{si} として蓄積される。再び SW をオンする事により蓄積期間中にアバランシェ増倍された信号電荷 Q_{si} は外部に読み出される (図2-1(C))。今、図2-1(B)に示した増倍蓄積期間中において、APDに印加される逆バイアス電圧がアバランシェ増倍を生じるのに十分な大きさであれば、入射光によりAPD内で光励起されたキャリア (図2-2①) は電界により加速され (②)、エネルギーギャップの1.5倍程度の運動エネルギーを持つようになると、衝突電離により電子-正孔対を生成するようになる (③)⁵⁾。Siにおいては電子が単位距離走行する期間にアバランシェを生じる確率を表わす電子のイオン化率 α が正孔のイオン化率 β に比べて10-30倍大きい⁶⁾。また、このイオン化率は空乏層内部の電界強度に依存しており、 $10^5-3 \times 10^5$ (V/cm) の電界強度においてはアバランシェはおもに電子によって引き起こされ、①→②→③のプロセスが生じる。従って、図2-3(a)に示すように電子が空乏層内を走行し終わるとともにアバランシェ増倍は消滅する。APDに印加される逆バイアス電圧を増加させていくにつれ、正孔のイオン化率 β も上がり、正孔によるアバランシェ②'→③'の現象が生じるようになり、空乏層内において電子および正孔の双方がアバランシェ増倍に関与するようになる。この場合、図2-3(b)に示すように、電子および正孔の双方がアバランシェ増倍のトリガとなりうるので空乏層内においてアバランシェ増倍は継続する。この状態をアバランシェ-フィードバックループが形成されると定義する。

直流逆バイアス時には、ブレイクダウン電圧 V_B 以上の逆バイアス状態において、光子により光励起された電荷もしくは1個の熱励起された暗電流がトリガとなり、APD空乏層内でほぼ無限回のフィードバックを繰り返すために、アバランシェ増倍による電流が流れつづける。一方、電荷蓄積動作ではAPDの空乏層容量への信号電荷の蓄積とともに印加逆バイアス電圧は降下し、印加逆バイアス電圧が直流でのブレイクダウン電圧 V_B まで下がると、フィードバックループは消滅し、これ以降アバランシェ増倍が継続することはない。以上のように、 V_B は直流バイアス動作、電荷蓄積動作のどちらの動作においてもAPDの空乏層内においてフィードバックループが形成される臨界電圧として定義することができる。以下、電荷蓄積動作においてAPDに印加される逆バイアス電圧が直流ブレイクダウン電圧 V_B 以下と V_B 以上の2つの動作領域における光電変換特性について理論的に検討する。

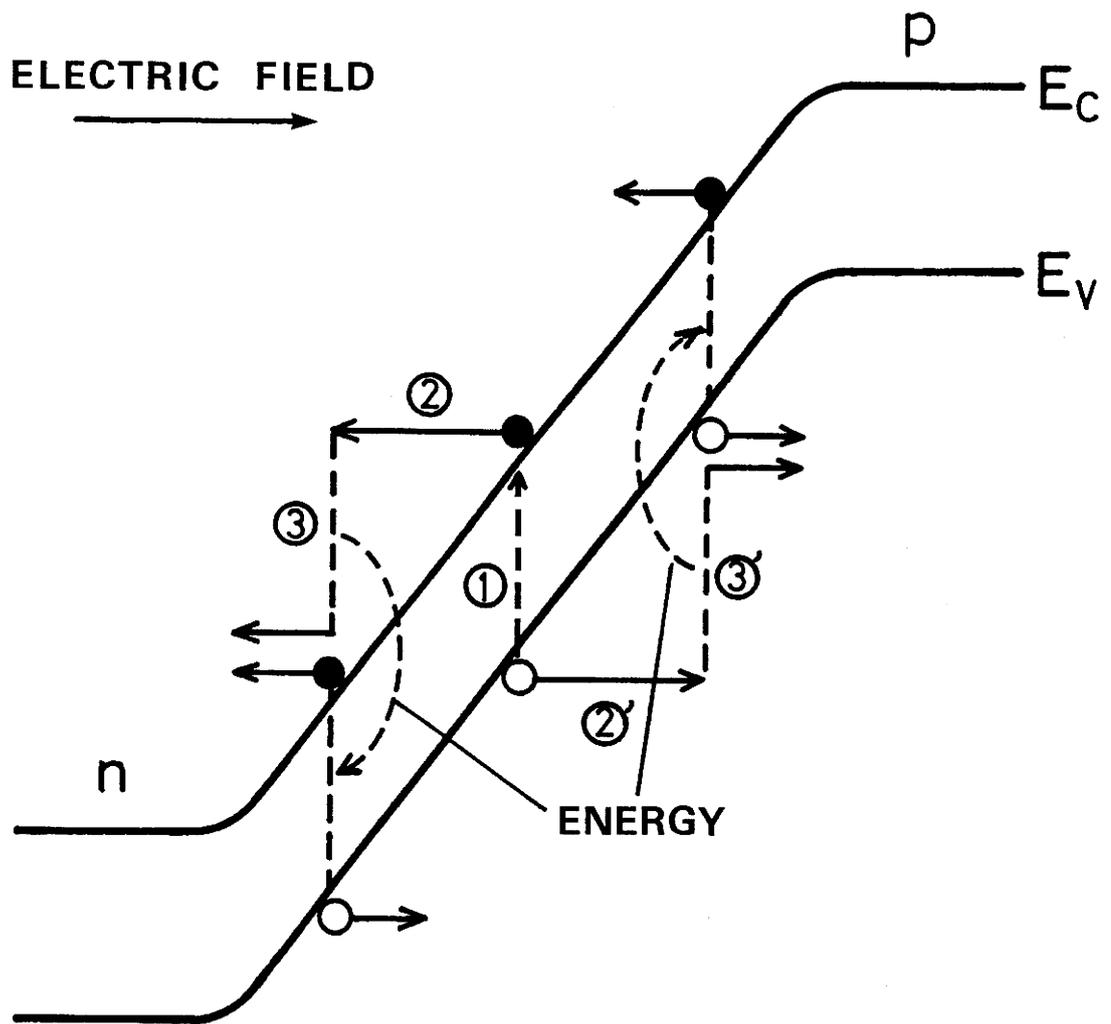
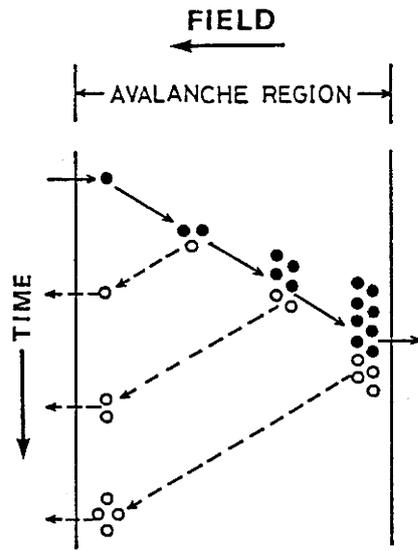
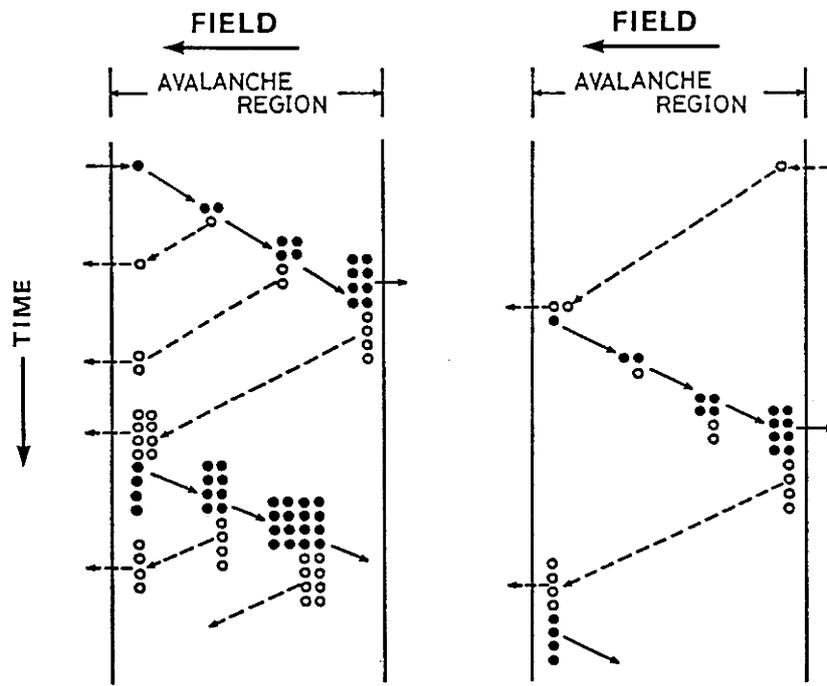


図 2 - 2 アバランシェ増倍の原理



$\alpha \gg \beta$
 (a) below the breakdown



electron injection $\beta/\alpha = 1/3$ hole injection
 (b) above the breakdown

図 2 - 3 アバランシェ増倍

2. 3 ブレークダウン電圧以下の動作領域の特性解析

蓄積期間中にアバランシェ増倍された信号電荷量を求めるために、図2-1(B)で示したSWを解放している期間のAPD両端に印加される逆バイアス電圧Vの時間変化について考える。発生-再結合電流を無視すれば、APD両端に印加されている逆バイアス電圧の時間変化は一次光電流 J_{photo} 、接合容量C(V)、APD内部増倍利得 $M(V)$ を用いて、次式のように表わされる。

$$C(V) \frac{dV}{dt} + J_{photo} \cdot M(V) = 0 \quad (2-1)$$

ここで、 $J_{photo} = q \cdot \eta \cdot n_p$ と表わされ、 q 、 η 、 n_p はそれぞれ電子素量、APDの量子効率、単位時間当りAPDに入射するフォトン数を示す。

従って、蓄積期間 t_s の間に得られる蓄積信号電荷量 Q_s は

$$Q_s = \int_0^{t_s} q \cdot \eta \cdot n_p \cdot M(V) dt \quad (2-2)$$

と表わされる。

ここで、Si-APDの内部増倍利得 M と逆バイアス電圧 V の関係を求めておく。APDの直流逆バイアス電圧印加時の電子増倍利得 M_n は、

$$1 - \frac{1}{M_n} = \int_0^W \alpha \cdot \exp[-\int_X^W (\alpha - \beta) dx'] dx \quad (2-3)$$

と表わされる⁷⁾。ここで、 α 、 β はそれぞれ電子および正孔のイオン化率。 W は空乏層幅を示す。いま、与えられた電界に対して正孔および電子のイオン化率は簡単な比で与えられるものとし、 $\beta = k \cdot \alpha$ とする。(2-3)式は、一定の k を仮定すると、

$$1 - \frac{1}{M_n} = \frac{1}{k-1} \{ \exp[\int_0^W (k-1)\alpha dx] - 1 \} \quad (2-4)$$

と変形できる。

ここで、 k の値を空乏層内において最大電界を取る位置におけるイオン化率比であるとする。一方、(2-3)式はブレークダウン時において、 $M_n \rightarrow \infty$ であることから、

$$\int_0^{W_m} \alpha \cdot \exp[\int_X^{W_m} (k-1)\alpha dx'] dx = 1 \quad (2-5)$$

と表わすことができる。\$W_m\$はブレイクダウン時の空乏層幅である。

いま、(2-5)式におけるexpの項は、

$$\frac{d}{dx} \left\{ \exp \left[\int_0^x \frac{W_m}{x} (k-1) \alpha dx' \right] \right\} = -(k-1) \alpha \cdot \exp \left[\int_0^x \frac{W_m}{x} (k-1) \alpha dx' \right] \quad (2-6)$$

と書き直すことができるので、(2-6)式を用いると、(2-5)式は、

$$\int_0^{W_m} (k-1) \alpha dx' = \ln k \quad (2-7)$$

と変形できる。

いま、図2-4に示すように、空乏層内部の電界強度が\$3 \times 10^5\$ (V/cm)以上の高電界領域では正孔のイオン化率\$\beta\$は電子のイオン化率\$\alpha\$に近づくので、イオン化率比\$k\$は1に近づく。そこで、(2-4)式のexpの項はMaclaurin級数展開を用いて、

$$\exp \left[\int_0^W (k-1) \alpha dx \right] \approx 1 + \int_0^W (k-1) \alpha dx + \frac{1}{2!} \left[\int_0^W (k-1) \alpha dx \right]^2 \quad (2-8)$$

と表わすことができる。(2-8)式において2次以降の高次項は零に収束することから、(2-4)式は、

$$1 - \frac{1}{M_n} \approx \int_0^W \alpha dx \quad (2-9)$$

と近似できる。

ここで、イオン化率の電界強度依存性は経験的に、

$$\alpha = \alpha_0 \left(\frac{E}{E_0} \right)^m \quad (2-10)$$

と表されることが知られている⁵⁾。\$\alpha_0\$は電界強度\$E_0\$におけるイオン化率を示す。ただし、\$m\$は材料に依存する値である。

傾斜接合の場合、電界強度\$E\$の最大値は空乏層幅\$W\$に対して、

$$E = \frac{q \cdot a}{2 \epsilon} \cdot W^2 \quad (2-11)$$

となる。ここで、\$a\$は単位長さ当りの不純物濃度(1/cm⁴)、\$\epsilon\$は誘電率を示す。

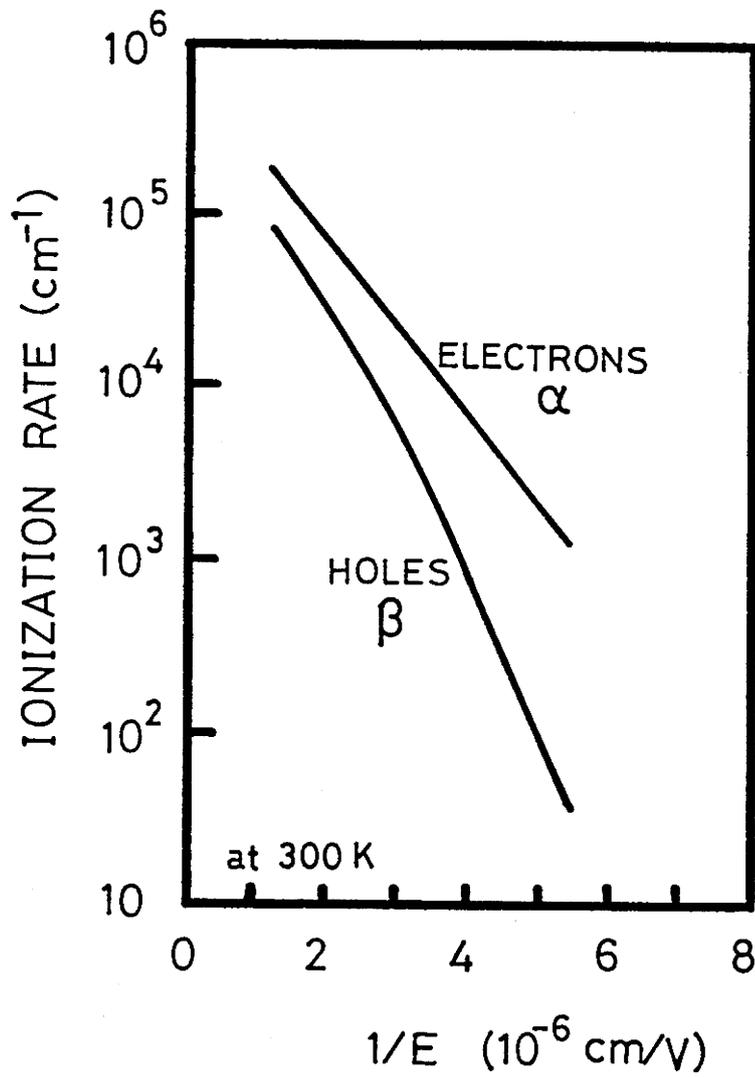


図 2 - 4 Si のイオン化率⁷⁾

(2-9)式は(2-7)、(2-10)、(2-11)式を用いることにより

$$M_n = \frac{1}{1 - \frac{\ln k}{k-1} \left(\frac{V}{V_B}\right)^n} \quad (2-12)$$

と表わされる。指数部 n は、 $n=1/3(2m+1)$ となり、不純物濃度プロファイルなどの素子構造によりその値は異なる³⁾。増倍利得を逆バイアス電圧の関数として表わす(2-12)式は経験的に、

$$M_n = \frac{1}{1 - \left(\frac{V}{V_B}\right)^n} \quad (2-13)$$

と簡略化して表わされることがMillerの報告³⁾により示されている。この近似式は電子及び正孔のイオン化率が互いに近づくにつれて精度が良くなるので、Siでは、図2-4に示したように、空乏層内の電界強度が 3×10^5 (V/cm)以下の低電界領域では正孔のイオン化率 β が電子のイオン化率 α の値から大きくはずれる。そこで、比較的低い電界領域からこの近似式を実験値にフィッティング可能となるようにオフセット利得 M_{OFF} を導入し、

$$M_n = \frac{1}{1 - \left(\frac{V}{V_B}\right)^n} + M_{OFF} \quad (2-14)$$

と表わすこととする。これにより、(2-14)式は極端に低い電界領域を除き、その適用範囲を拡張することが可能となる。図2-5に直流バイアス特性の実測値と拡張されたMillerの式(2-13)を比較して示す。増倍利得が3以上の領域においてよくフィッティングする様に $M_{OFF}=3$ に設定した。図において逆バイアス電圧が30(V)以下では近似式(2-14)が実験値から大きくはずれる。この理由としては以下のことが考えられる。

(2-13)式は電界強度が高く電子および正孔のイオン化率比が1に近づくと近似精度が良くなる。ところがSi-APDでは電子のイオン化率が正孔のイオン化率よりも常に大きく、電界強度の比較的低いところでは、逆バイアス電圧を上昇していくに連れまず電子がアバランシェ増倍を生じ始め、キックが30(V)付近に現われる。ブレークダウン電圧に達するまでは電子のイオン化率の上昇にともなって電子によるアバランシェ増倍利得は上昇する。ブレークダウン電圧付近からは正孔もアバランシェ増倍に関与するようになり、電子および正孔の双方が大きなアバランシェ増倍利得を引き起こすようになる。この付近では(2

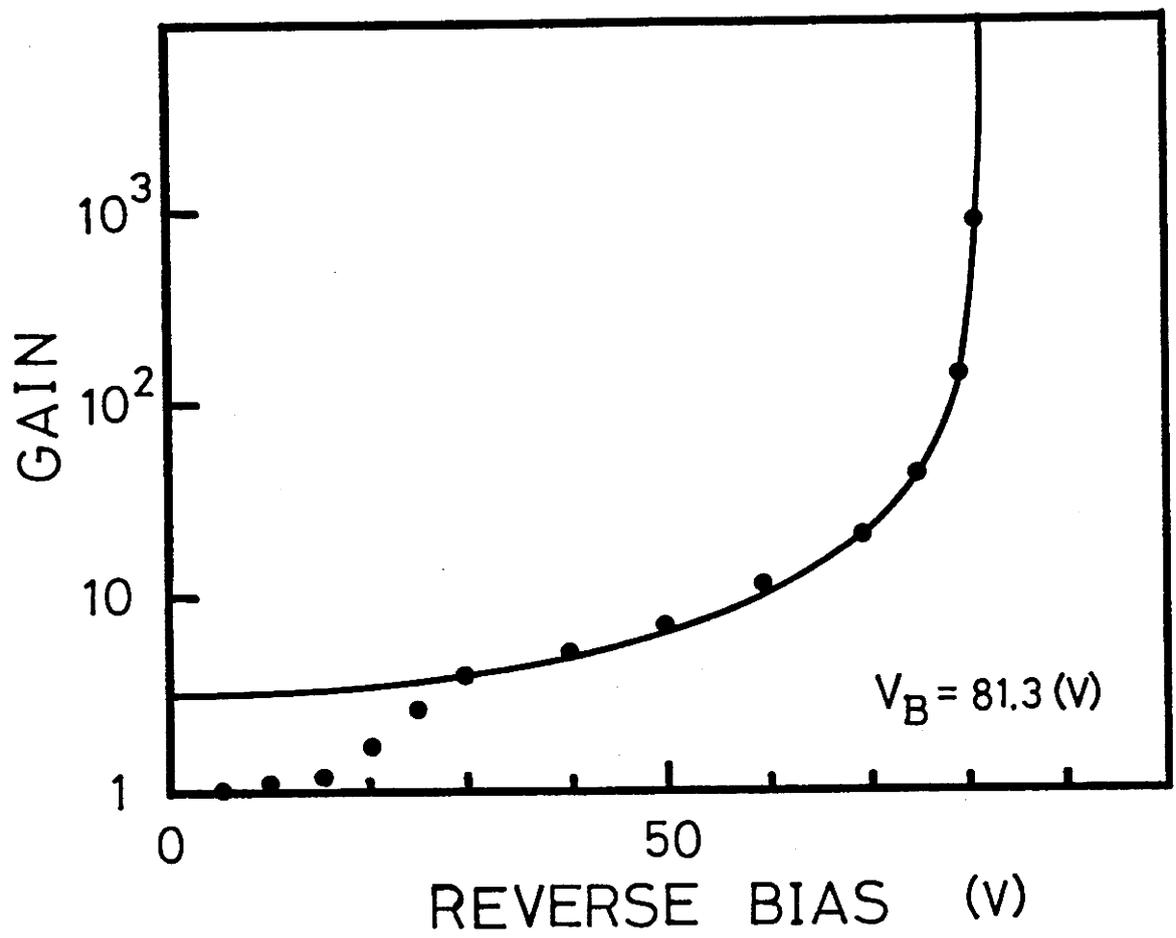


図 2 - 5 直流バイアス特性

-13)式で近似できるが、空乏層内の電界強度が 3×10^5 (V/cm)以下の低電界領域では正孔のイオン化率 β が電子のイオン化率 α の値から大きくはずれるので、近似式の有効範囲は高電界領域に限られ、これを補正するためにオフセット値として M_{off} を導入した。

(2-14)式において低電界領域での近似の悪さは極端な低電界領域での動作を考えなければ直接大きな影響を与える事はない。

この様にして拡張した(2-14)式を電荷蓄積量を与える(2-1)式に代入することにより、

$$-\frac{d(C(V) \cdot V)}{dt} = q \cdot \eta \cdot n_p \cdot \left\{ \left[1 - \left(\frac{V}{V_B} \right)^n \right]^{-1} + M_{off} \right\} \quad (2-15)$$

を得る。ただし、 n は素子構造に依存する値で、経験的に $2 < n < 6$ の値をとる⁵⁾。電荷蓄積量 Q_s が小さい領域ではAPDのキャパシタンス $C_{APD}(V)$ はほとんど変化せず一定の値 C_0 を示すと考えられるので、 $C_{APD}(V) = C_0$ と置いて差し支えない。また、蓄積期間の開始時刻 t_0 と終了時刻 t_s においてAPDに印加されている逆バイアス電圧をそれぞれ $V = V_0$ 、 $V = V_s$ とすると、(2-15)式より

$$Q_s = q \cdot \eta \cdot n_p \cdot t_s + \frac{C_0 \cdot V_0^{n+1}}{(n+1) \cdot V_B^n} \cdot \left[1 - \left(1 - \frac{Q_s}{C_0 \cdot V_0} \right)^{n+1} \right] \quad (2-16)$$

が導出される。いま蓄積電荷量 Q_s が空乏層容量の飽和容量値に比べて非常に小さな値をとる場合には $Q_s \ll C_0 \cdot V_0$ と考えられるので、(2-16)式はTaylor展開を用いて、

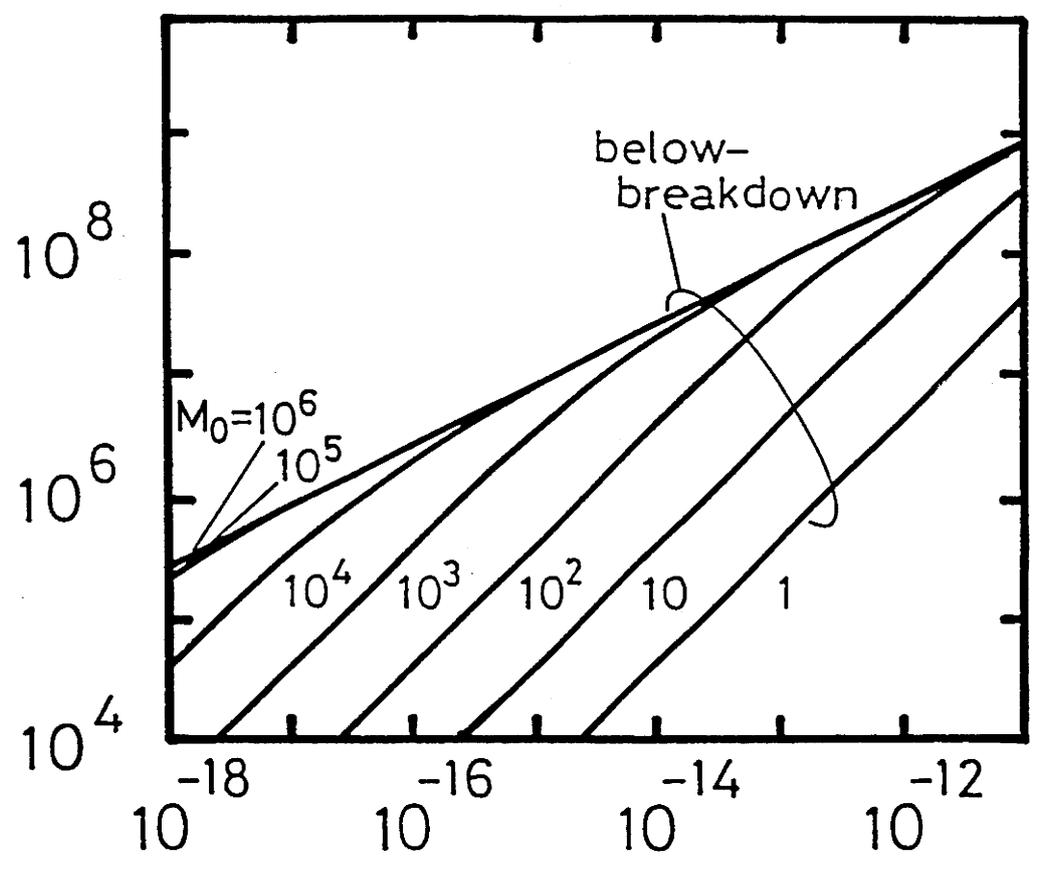
$$Q_s = \frac{C_0 \cdot V_0}{n(M_0^* - 1)} \cdot \left\{ \left[1 + \frac{2n}{C_0 V_0} \cdot M_0^* (M_0^* - 1) \cdot q \cdot \eta \cdot n_p \cdot t_s \right]^{1/2} - 1 \right\} + M_{off} \cdot q \cdot \eta \cdot n_p \cdot t_s \quad (2-17)$$

と表わすことができる。ただし、 $M_0^* = M_0 - M_{off}$ 。

実際のデバイスにおいては、APDの直流逆バイアス特性に対して(2-14)式をフィッティングさせれば、(2-17)式を用いて初期増倍利得、空乏層容量、入射光量に対する出力信号電荷量を計算することができる。

(2-17)式を用いて計算した光電変換特性の結果を図2-6に示す。ただし、蓄積期間初期の印加逆バイアス電圧 $V_0 = 30$ (V)、蓄積容量 $C_0 = 20$ (pF)、 $M_{off} = 0$ とした。また、蓄積期間初期の増倍利得 $M_0 = 1$ の場合は(2-2)式において $M(V) = 1$ として計算を行なうことにより増倍を伴わない受光素子として取り扱った。

NUMBER OF OUTPUT
CHARGE CARRIERS



INCIDENT LIGHT POWER
x STORAGE TIME (watt·sec)

图 2 - 6 光电变换特性

(2-17)式からも明らかなように、光電変換特性の傾き γ は横軸である光量-時間積 $n_p \cdot t_s$ に依存している。撮像の分野では1フレーム期間中の入射光量を有効に利用するために電荷蓄積動作が用いられるが、APDにおいても初期増倍利得に対して1つの光電変換曲線が与えられるという解析結果は、増倍利得の自己抑制効果が存在しても電荷蓄積動作で用いることができることを示している。また、光電変換特性の傾きから2つの動作領域が存在することがわかる。(2-17)式を用いてこの2つの傾きを持つ領域の出力を求めてみる。

まず、光量-時間積が小さい場合、あるいは初期増倍利得の小さな場合は、

$$\frac{2n}{C_0 V_0} \cdot (M_0 - M_{OFF})(M_0 - M_{OFF} - 1) q \cdot \eta \cdot n_p \cdot t_s \ll 1$$

の場合に相当し、(2-17)式は、

$$Q_s = M_0 \cdot q \cdot \eta \cdot n_p \cdot t_s \quad (2-18)$$

と簡略化して表わす事ができる。光電変換特性は $Q_s \propto (n_p \cdot t_s)^\gamma$ で表されるので、この場合 γ は1の値を示し、出力は通常の写真ダイオードに比べて初期増倍利得 M_0 倍だけ大きな値を示す。

これに対し、光量-時間積 $n_p \cdot t_s$ の大きな場合、あるいは初期増倍利得 M_0 の大きな場合は、

$$\frac{2n}{C_0 V_0} \cdot (M_0 - M_{OFF})(M_0 - M_{OFF} - 1) q \cdot \eta \cdot n_p \cdot t_s \gg 1$$

の場合に相当し、(2-17)式は、

$$Q_s \approx \left(\frac{2}{n} \cdot C_0 \cdot V_0 \cdot q \cdot \eta \cdot n_p \cdot t_s \right)^{1/2} \quad (2-19)$$

と簡略化して表される。この領域では γ は1/2の値を示す。通常の写真素子は内部増倍機構を持たないので光電変換特性の傾き γ は理想的には1を示す。従って、信号出力のダイナミックレンジが R (dB)ある素子は受光可能な光量範囲も R (dB)有している事になるが、光電変換特性の傾き γ が1/2の値を持つ素子では信号出力のダイナミックレンジが同じであっても $2R$ (dB)と広い光量範囲で動作できることを意味する。この結果、前者に比べて2倍広い入射光量範囲で用いることが可能となる。

蓄積時間内の内部増倍利得 $M(n_p \cdot t_s)$ の入射光量-時間積による変化を図2-7に示す。光電変換特性の傾き γ が1の値を取る領域において光量-時間積に

対する増倍利得 $M(n_p \cdot t_s)$ の変化は、

$$M(n_p \cdot t_s) = \frac{1}{q \cdot \gamma} \cdot \frac{d Q_s}{d(n_p \cdot t_s)} = M_0 \quad (2-20)$$

と表わされ、蓄積期間初期の増倍利得 M_0 は蓄積期間を通じて維持される。一方、光電変換特性の傾き γ が $1/2$ の値を取る領域においては、(2-18)式より蓄積期間初期の増倍利得 M_0 の大きさの如何に関わらず、内部増倍利得は光量-時間積に対して決まる1つの曲線

$$M(n_p \cdot t_s) = \left(\frac{2 \cdot C_0 \cdot V_0}{n \cdot q \cdot \gamma \cdot n_p \cdot t_s} \right)^{1/2} \quad (2-21)$$

に収束する傾向を持つ。これは図2-7からも明らかである。

次に、(2-17)式を用いて光電変換特性の蓄積容量依存性について計算した結果を図2-8に示す。 γ が1を示す領域では(2-18)式で示したように初期増倍利得の値に対応した出力値を示し蓄積容量の大きさには依存しない。一方、 γ が $1/2$ を示す領域では(2-19)式で示したように蓄積容量の平方根 $C_0^{1/2}$ に比例した出力を示し、初期増倍利得には依存しない。従って、蓄積期間初期の増倍利得 M_0 が 10^2 倍、 10^4 倍と異なった場合でも、入射光量が大きく $\gamma = 1/2$ の領域で動作するようになると、その出力信号電荷量は蓄積期間初期の増倍利得 M_0 の大きさに関わらず、蓄積容量 $C_0^{1/2}$ に比例した出力を示す。光電変換特性の傾きを示す γ 値が1から $1/2$ に変化する変曲点を(2-18)、(2-19)式から求めてみると、

$$\frac{2 C_0 \cdot V_0}{n \cdot M_0^2} = q \cdot \gamma \cdot n_p \cdot t_s \quad (2-22)$$

を得る。広い入射光量範囲を取り扱う事の可能な $\gamma = 1/2$ の動作領域の下限を決める明るさは初期増倍利得の自乗 M_0^2 に反比例し、飽和蓄積電荷量 $C_0 \cdot V_0$ に比例する。より低照度領域から $\gamma = 1/2$ の動作特性を用いるには蓄積電荷量 C_0 を小さく、初期増倍利得 M_0 をなるべく大きく取れるように設計する必要がある。

2. 4 ブレークダウン電圧以上の動作領域の特性解析

ブレークダウン電圧以上の動作領域においては、空乏層内部の電界強度が 3×10^5 (V/cm) 以上となり、図2-4に示した様に電子および正孔が単位距離走行してアバランシェを生じるための平均自由行程はそれぞれ 500 \AA 以下、 1000 \AA 以下程度となり、空乏層内部において電子および正孔の双方がアバランシェ増倍を生じるようになる。従って、いったん電子もしくは正孔によりアバランシェが

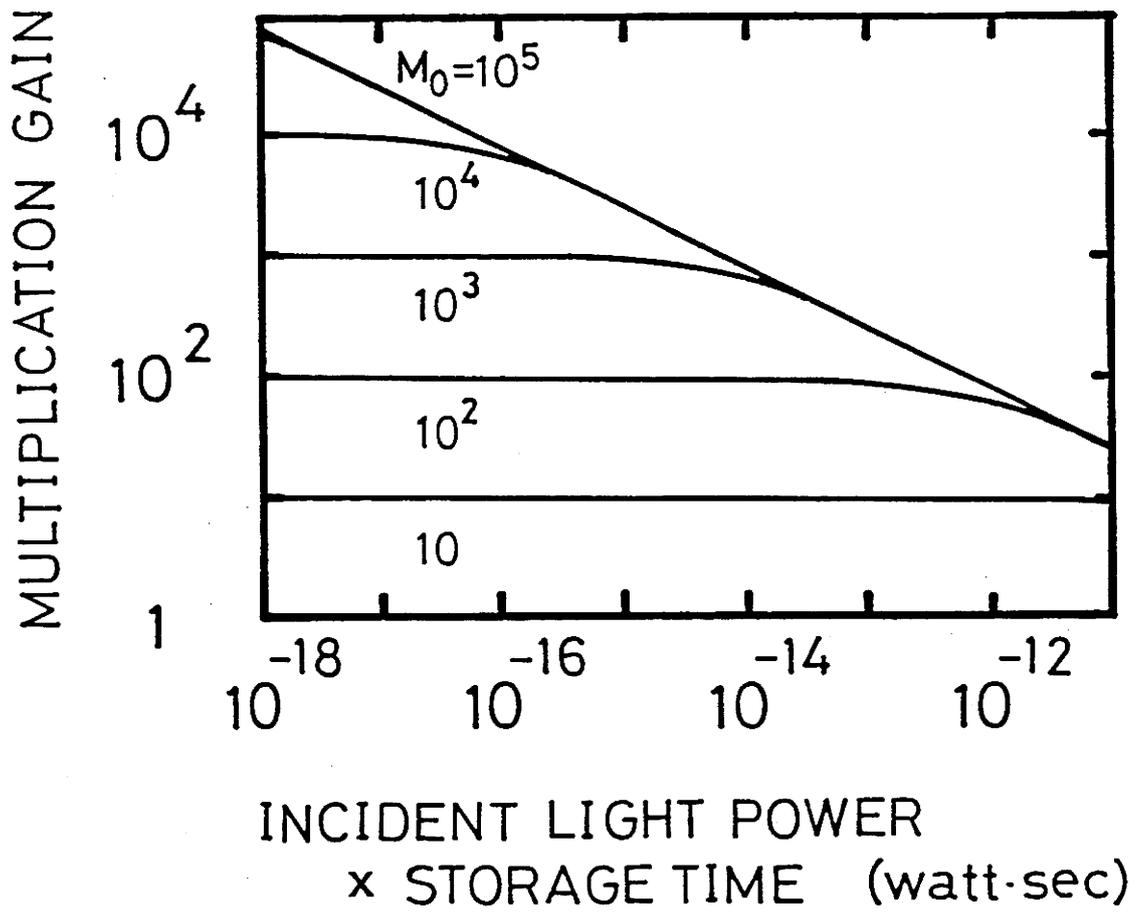


图 2 - 7 内部增倍利得

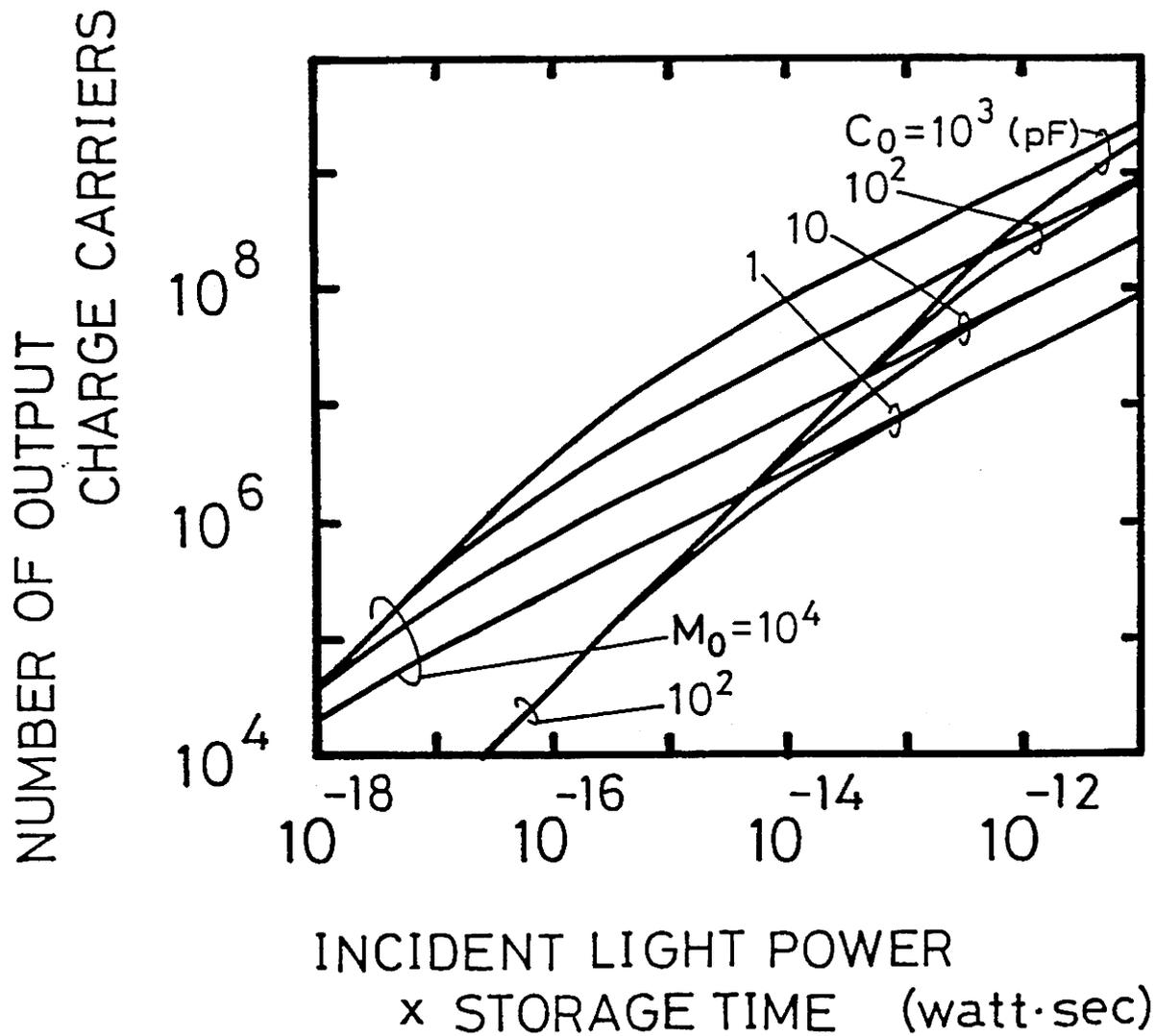


图 2 - 8 光电变换特性

トリガされると、空乏層内においてアバランシェ増倍が自己継続するアバランシェ-フィードバックループが形成される。この電子、正孔それぞれがAPDの空乏層内においてアバランシェ-フィードバックループを形成するトリガとなりうる確率はW.G.Oldhamらにより提案された差分方程式を用いて求めることができる⁴⁾。

以下、この差分方程式の導出を行ない、電子および正孔がトリガとなる確率の算出を行なう。

図2-9は空乏層幅Wの長さを持つAPDの空乏層内において、電子、正孔、および電子-正孔のいずれかがアバランシェ-フィードバックループのトリガとなる確率 P_e 、 P_h 、 P_{pair} の関係を示した模式図である。図において電界は左から右に向かい、電子は左に、正孔は右に空乏層内を走行するものとする。図において $P_e(X)$ 、 $P_h(X)$ は空乏層内の位置 x から走行し始めた1個の電子および正孔が空乏層内においてアバランシェ-フィードバックループを形成するトリガとなる確率を表わす。また、 $P_{pair}(X)$ は位置 X から走行し始めた電子-正孔のいずれかがアバランシェ-フィードバックループを形成するトリガとなる確率を表わすものとする。この $P_{pair}(X)$ は位置 X から走行を開始した電子および正孔がトリガとなる確率の和集合をもって表わすことができ、

$$P_{pair}(X) = P_e(X) + P_h(X) - P_e(X) \cdot P_h(X) \quad (2-23)$$

となる。

いま、位置 X から走行し始めた電子がトリガとなる確率 $P_e(X)$ と位置 $(X+dX)$ から走行し始めた電子がトリガとなる確率 $P_e(X+dX)$ の関係を考える。位置 $X+dX$ で発生した電子は位置 X に向かって走行する。ここで、 α を電子が単位距離を走行する間にアバランシェの生じる確率（電子のイオン化率）とすれば、距離 dX が非常に短い範囲（さきに述べたように、常温においてブレークダウン電圧以上の領域ではアバランシェ衝突が生じるための平均自由行程は500Å以下と考えられるので、 dX はこれよりも短い距離を考える）において電界強度が一定であると仮定した場合、位置 X においてアバランシェを生じる確率は $\alpha(X)dX$ となる。この確率で位置 X においてアバランシェ衝突により生じた電子-正孔対のいずれもまたアバランシェ-フィードバックループのトリガとなりうる。この、確率は $P_{pair}(X) \cdot \alpha(X)dX$ と表される。従って、位置 $(X+dX)$ で発生した電子がトリガとなる確率 $P_e(X+dX)$ は確率 $P_e(X)$ と確率 $\alpha(X)dX \cdot P_{pair}(X)$ の和集合で表され、

$$P_e(X+dX) = P_e(X) + \alpha(X)dX \cdot P_{pair}(X) - (P_e(X) \cdot \alpha(X)dX \cdot P_{pair}(X)) \quad (2-24)$$

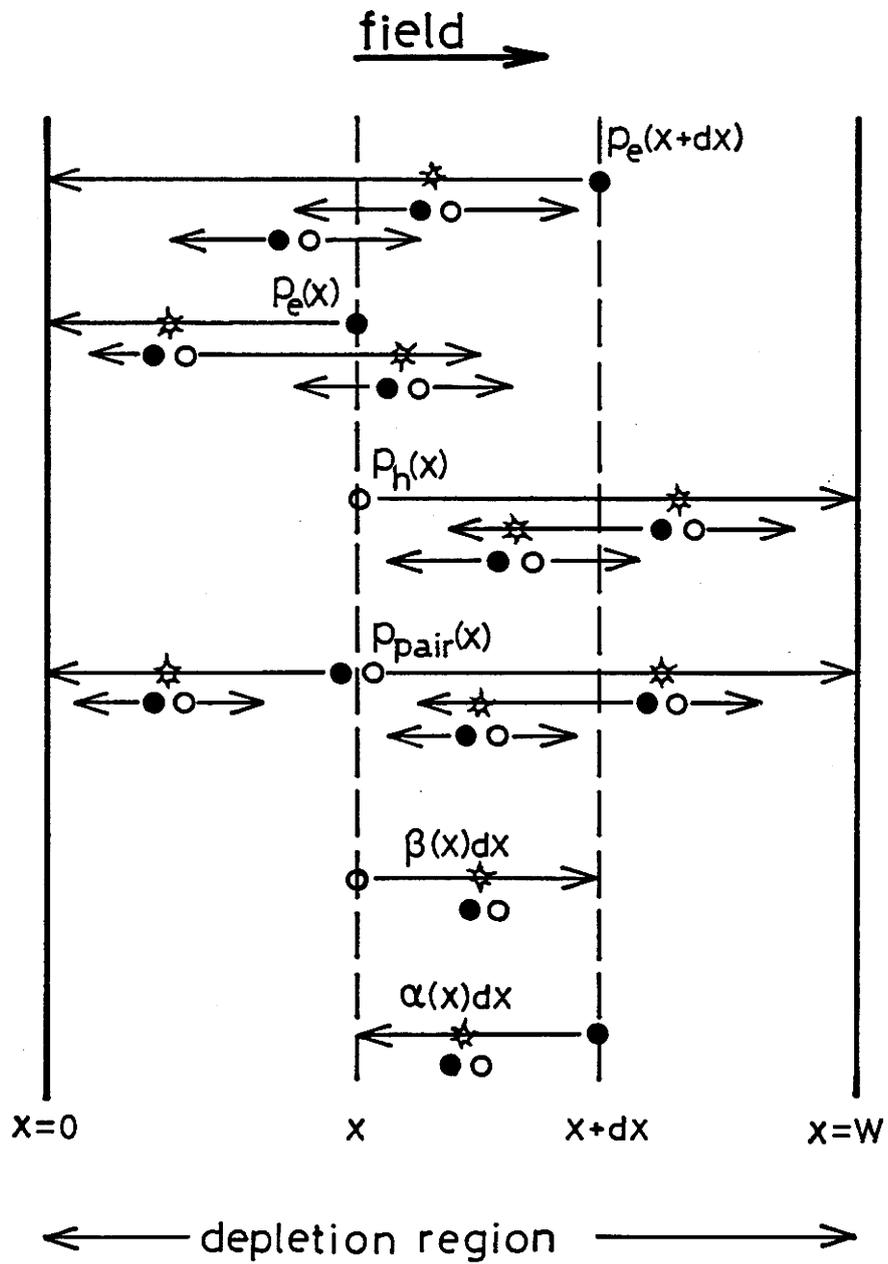


図 2 - 9 電子および正孔による
アバランシェフィールドバックループのトリガ

となる。同様に正孔に関しては、

$$P_h(X+dX) = P_h(X) - \beta(X)dX \cdot P_{\text{pair}}(X) + (P_h(X) \cdot \beta(X)dX \cdot P_{\text{pair}}(X)) \quad (2-25)$$

と表わすことができる。

そこで、(2-24)、(2-25)式を用いて空乏層内のそれぞれの位置において、電子および正孔がアバランシェ-フィードバックループのトリガとなる確率を求めることが可能となる。電界は図において左から右に向かっているので、電子は空乏層端の位置 $X=0$ において電界により加速されることはなく、同様に正孔は位置 $X=W$ において電界による加速を受けることはないので、アバランシェ-フィードバックループを形成するトリガとなる事はない。従って、境界条件として、

$$P_e(0) = 0 \quad (2-26)$$

$$P_h(W) = 0 \quad (2-27)$$

を得る。また、(2-24)、(2-25)式を逐次計算する際に必要となる電子および正孔のイオン化率 $\alpha(X)$ 、 $\beta(X)$ は、印加逆バイアス電圧に応じた内部電界強度分布があらかじめわかっていた場合、

$$\alpha = 3.8 \times 10^6 \cdot \exp(-1.75 \times 10^6/E) \quad (2-28)$$

$$\beta = 2.25 \times 10^7 \cdot \exp(-3.26 \times 10^6/E) \quad (2-29)$$

の式を用いて導出する事が可能である⁸⁻¹⁵⁾。実際に計算を行なうに当たっては、まず、 $P_h(0) = t$ ($0 \leq t \leq 1$)を仮定し、境界条件 $P_e(0)=0$ と $\alpha(0)$ 、 $\beta(0)$ を用いて空乏層内の位置 dX における $P_e(dX)$ 、 $P_h(dX)$ を求める。つづいて位置 dX における $P_e(dX)$ 、 $P_h(dX)$ 、 $\alpha(dX)$ 、 $\beta(dX)$ を用いて位置 $2dX$ における $P_e(2dX)$ 、 $P_h(2dX)$ を求める。この一連の計算を空乏層端の位置 W まで行い、 t の値を変化させながら、最終的に $P_h(W)=0$ に収束するまで計算を繰り返す。これにより与えられた印加逆バイアス電圧に対する空乏層内の位置 X の $P_e(X)$ 、 $P_h(X)$ を求めることができる。

この様な手順により求められた n^+p 型APDの電子および正孔がアバランシェを生じる確率の空乏層内位置依存性を図2-10に示す。図において、空乏層内の位置 X は空乏層幅 W により規格化して示した。 n^+p 型階段接合の n^+ 層の不純物濃度は $N_D = 1 \times 10^{18} (\text{cm}^{-3})$ 、 p 層の不純物濃度は $N_A = 2 \times 10^{16} (\text{cm}^{-3})$ とした。接合位置は表面 n^+ 層から $0.7 \mu\text{m}$ に位置しており、基板側 p 層との濃度差が100倍程度あるため、空乏層端から接合面までの距離 X_{JUNC} は $(X_{\text{JUNC}}/W) = 10^{-3}$ であった。計算上でのブレイクダウン電圧 V_B は、空乏層内に位置 $X=0$ から注入される正孔、位置 $X=W$ から注入される電子がアバランシェ-フィードバックループを形成するトリガとなる確率がゼロになる条件、 $P_e(W) = P_h(0) = 0$ から求めた

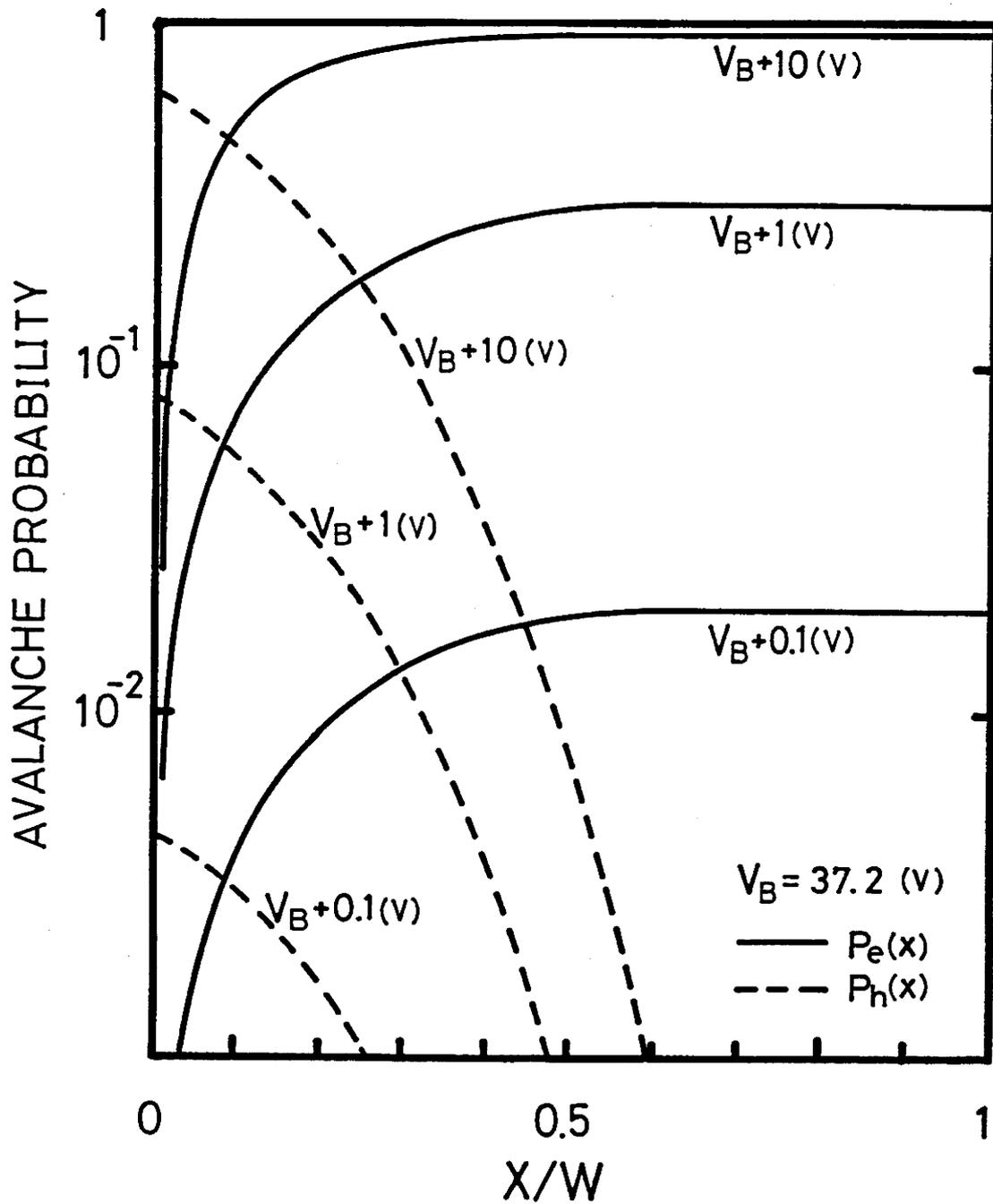


図 2 - 1 0 空乏層の各位置における
アバランシェ-フィードバックループのトリガ確率

結果、 $V_B=37.2(V)$ を得た。APDに印加する逆バイアス電圧をブレイクダウン電圧 V_B 以上 $0.1(V)$ 、 $1(V)$ 、 $10(V)$ と増加させるにつれて、空乏層内部の電界も大きくなる。対応する空乏層内部の最大電界は 4.7×10^5 、 4.8×10^5 、 5.3×10^5 (V/cm)となる。電子がトリガとなる確率 $P_e(X)$ は電子がp層基板から空乏層に注入された場合に最大値をとる。従って、 8000 \AA 程度の長い波長を持った入射光はその吸収係数が $10^3(1/cm)$ あるためその82%がp層の拡散長(約 $100 \mu m$)内において吸収され、空乏層に対しては電子注入を行なう。逆に 4000 \AA 程度の短い波長を持った入射光はその吸収係数が $8 \times 10^4(1/cm)$ あるため表面 n^+ においてその99.6%が吸収され空乏層に対しては正孔注入を行なう事になる。空乏層に注入された電荷はそれぞれの逆バイアス電圧に対し図に示した $P_e(W)$ 、 $P_h(0)$ の確率をもってアバランシェを生じる事となる。

ブレイクダウン電圧以上の印加逆バイアス電圧に対する $P_e(W)$ および $P_h(0)$ の値の変化を図2-11に示す。逆バイアス電圧を大きくするとともに n^+p 型APDの空乏層にp層側から注入された電子および n^+ 層側から注入された正孔がアバランシェ-フィードバック-ループのトリガとなる確率は大きくなるが、式(2-23)、(2-24)からもわかるようにその大きさは電子および正孔のイオン化率に依存している。印加逆バイアス電圧を $10(V)$ 以上に上げていくと最終的には $P_e(W)=P_h(0)=1$ となる事が予想される。従って、1フレーム期間中にフォトン入射が1個以下となるような極微弱な光量域においては、フォトンカウンティングに用いることが可能となる。またこの場合の出力電荷量の大きさを決定するファクターを次に考える。

いったんアバランシェ増倍がトリガされると電荷蓄積期間中にアバランシェ増倍により生成された信号電荷はAPDの接合容量部分に蓄積され、その蓄積量に応じて空乏層幅が縮まり、結果として空乏層に印加されていた逆バイアスは減少し、増倍利得は自己抑制(self-quenching)される。このフィードバック-ループ内のアバランシェの継続は印加逆バイアスがブレイクダウン電圧よりわずかに下回った時、正孔によるアバランシェは生じにくい状態となり消滅し、これ以降正孔によるアバランシェは継続されない。この、アバランシェフィードバック-ループが形成される直前の時刻を $t=t_0$ とする、この時APDに印加されていた逆バイアス電圧はアバランシェが始まる前であるから $V=V_B$ である。また、アバランシェ-フィードバック-ループが消滅する時刻を $t=t_1$ とすれば、その時APDに印加されていた逆バイアス電圧は直流ブレイクダウン電圧より僅かに小さいが、簡単のため $V=V_B$ であるとする。蓄積信号電荷量 Q_{si} は、蓄積期間開始時刻 $t=t_0$ から終了時刻 $t=t_1$ までに空乏層中に流れた電流の積

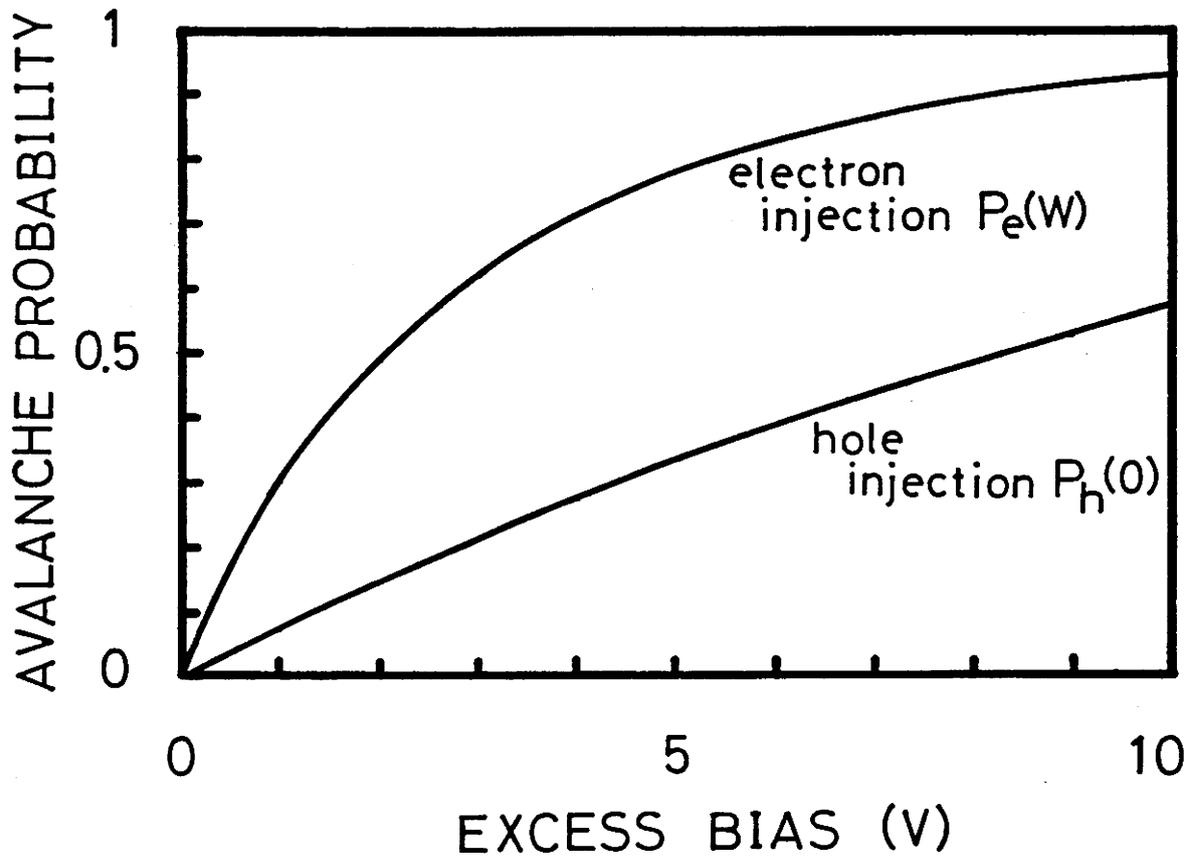


図 2 - 1 1 アバランシェ-フィードバックループのトリガとなる
確率の逆バイアス電圧依存性

分として表わすことができるので、

$$Q_{s; i_0} = \int_{t_0}^{t_s} i_a \, dt = \int_{t_{sa}}^{t_{sa}'} i_a \, dt \quad (2-30)$$

$$= \int_{V_0}^{V_B} C_0 \, dV \quad (2-31)$$

$$= C_0 (V_0 - V_B) \quad (2-32)$$

と表される。ここで、 i_a 、 C_0 、 V_0 、 V_B はそれぞれ蓄積期間中にアバランシェ増倍により発生した電流、蓄積容量、リセット電圧およびブレークダウン電圧を示す。このアバランシェ-フィードバック-ループが形成される時間はアバランシェの生じる電界強度 10^5 (V/cm)以上の領域において電子、正孔ともにドリフト速度は 1×10^7 (cm/sec)のオーダーである⁷⁾ので、空乏層幅が約 $1(\mu\text{m})$ あると仮定した場合、空乏層を横切るのに最大 1×10^{-11} (sec)要すると考えられる。アバランシェ現象における平均自由行程は $500-1000 \text{ \AA}$ であることから⁸⁾、空乏層を横切る間にアバランシェによる増倍が $10-20$ 回生じると考えられる。この結果、 2×10^{-11} (sec)で 10^3-10^6 個の電荷、 4×10^{-11} (sec)では 10^6-10^{12} 個の電荷が生成されるものと考えて差し支えない。APDの蓄積容量を 10 (pF)のオーダーとし、ブレークダウン電圧 V_B を 30 (V)、蓄積期間初期の印加逆バイアス電圧 V_0 を 35 (V)とすれば、アバランシェ-フィードバック-ループが消滅する時点において 3×10^8 個のアバランシェ増倍電荷が発生したはずであり、それに要する時間は 4×10^{-11} (sec)程度の非常に短じかい時間であると考えられる。誤差は最大に考慮した場合でも ± 2 オーダーであると考えてよい。

入射光により励起された電荷あるいは暗電流がアバランシェ-フィードバック-ループが形成されている 10^{-11} (sec)オーダー程度の期間中に空乏層中に注入された場合にはアバランシェ-フィードバック-ループの中で発生した電荷と区別がつかなくなり、出力には影響を与えることはない。また、アバランシェ-フィードバック-ループ消滅後から蓄積期間終了時まで空乏層に注入された電荷は、(2-16)式で示されたブレークダウン電圧以下の増倍に準じた出力を重畳するものと考えられる。

また、逆に蓄積期間中にアバランシェがトリガされない場合には、その出力電荷量はゼロとなり、蓄積期間中を通じてAPDには V_B 以上の蓄積期間初期の逆バイアス電圧が印加されたままの状態を保つと考えられる。

以上のように、 V_B 以上の動作領域では極微弱な入射光に対してフォトン-カウンティング的な2値化されたデジタル出力を期待することができる。また、その1回あたりの出力電荷量は蓄積容量と逆バイアス電圧により決まる値を示

す。

2. 5 結言

従来の固体撮像素子の高感度化を図るためにAPDを光電変換部に採用し、電荷蓄積動作で用いることを提案した。その電荷蓄積動作を直流ブレイクダウン電圧 V_B 以下の領域と V_B 以上の動作領域に分けて解析した。

ブレイクダウン電圧以下の動作領域においては、増倍利得 M と逆バイアス電圧 V の関係を表わすMillerの直流バイアス特性式を拡張、入射光量に対する出力電荷量を与える式を導出した。その結果、蓄積期間中の増倍利得が蓄積電荷量により自己抑制されるAPDの電荷蓄積動作においても、内部増倍利得を持たない従来の固体撮像素子と同様に、光量-時間積に対して出力は蓄積期間初期にAPDに印加される逆バイアス電圧で一意に決定される一本の出力曲線で表されることが明らかとなった。さらに、入射光量が少ないあるいは初期増倍利得が小さい場合には光電変換特性の傾きを示す γ は1の値を、入射光量が多いあるいは初期増倍利得が大きい場合には γ は1/2の値を示す事を示した。また、光電変換特性の傾き γ が1の値をとる領域では出力は主に初期増倍利得の大きさに比例し、 γ が1/2の値をとる領域では主に蓄積容量の大きさ C_0 の平方根に比例すること、また、この動作では入射光量の変化に対し出力はその平方根に比例するので出力雑音レベルを等しいと仮定すると取り扱い可能な入射光量範囲を2倍に拡張する事が可能となる。従って、従来の固体撮像素子よりも広い入射光量範囲を持った固体撮像素子の実現が期待できる。

ブレイクダウン電圧以上の領域においては、極微弱な入射光量のもとでフォトンにより励起された電荷がアバランシェ-フィードバックループ形成のトリガとなる確率をW.G.Oldhamの提案した差分方程式を用いて求めた。この確率は電子および正孔のイオン化率の大きさに依存しており、空乏層内部の電界強度が大きくなると電子および正孔のイオン化率の大きさも上昇し、アバランシェ-フィードバックループのトリガとなる確率は最終的には1となる。極微弱な入射光に対してはフォトン-カウンティング的な2値化されたデジタル出力を期待することができること、さらに、その1回あたりの出力電荷量は蓄積容量と逆バイアス電圧により決まる値を示すことを明らかにした。

参考文献

- 1) G.P. Wecker, "Operation of p-n junction photo-detectors in a photon flux integrating mode," IEEE J. Solid-State Circuits, SC-2, p.65-73, 1967
- 2) 菰淵、森本、安藤: "自己抑制型アバランシェホトダイオードの撮像デバイスへの応用" 信学技報 ED86-87 PP.47-52
- 3) S.L. Miller: "Avalanche Breakdown in Germanium," Phys. Rev. vol.99, num.4, 15, pp.1234-124, 1955
- 4) W.G. Oldham, R.R. Samuelson, and P. Antognetti, "Triggering Phenomena in Avalanche Diodes," IEEE Trans. Electron Devices, vol. ED-19, pp.1056-1060, 1972
- 5) J.L. Moll, Physics of Semiconductors, McGraw-Hill, 1964
- 6) 米津: "光通信工学-発光・受光素子" 工学図書
- 7) S.M. Sze, Physics of Semiconductor Devices, Wiley-Interscience, New York, 1981.
- 8) 菰淵: "アバランシェ増幅型光センサーの電荷蓄積動作シミュレーション"、静岡大学科研報告第10号 PP.39-47(1989)
- 9) J.L. Moll and R. van Overstraeten, "Charge multiplication in silicon p-n junctions" Solid-State Electronics, vol.6, pp.147-157, 1963
- 10) P.A. Wolff "Theory of electron multiplication in silicon and germanium" Phys.Rev.95,1415,1954
- 11) C.A. Lee, R.A. Logan, R.L. Bardorf, J.J. Kleimack and W. Wiegmann, "Ionization rates of holes and electrons in silicon" Phys. Rev. 134, 761, 1964
- 12) W.N. Grant "Electron and hole ionization rates in epitaxial silicon at high electric fields" Solid-State Electronics vol.16 1189-1203 1973
- 13) M.H. Woods, W.C. Johnson, M.A. Lampert, "Use of a schottky barrier to measure impact ionization coefficients in semiconductors" Solid-State Electronics, vol.16, pp.381-394, 1973
- 14) G.A. Baraff, "Distribution functions and ionization rates for hot electron in semi-conductors" Phys.Rev.128, pp.2507, 1962

15)G.A.Baraff,"Maximum anisotropy approximation for calculating electron distributions; Application to high field transport in semiconductors" Phys.Rev.133,A26, 1964

第3章 デュアルゲート型デバイス構造

3. 1 緒言

第2章ではAPDを電荷蓄積動作で用いた場合の光電変換特性の理論的解析ブレイクダウン電圧 V_B 以下の動作領域とブレイクダウン電圧 V_B 以上の動作領域に分けて行なった。その結果、理論的にはフォトン-カウンティング-レベルから市販されている固体撮像素子で扱う光量範囲までの画像の撮像が可能な増幅型固体撮像素子の実現が期待できる事を明らかにした。

しかしながら、第1章で説明したように従来の子構成を持つ固体撮像素子の光電変換部であるフォトダイオード(PD)をアバランシェ-フォトダイオード(APD)で置き換えた場合には、読み出しゲート電極とフォトダイオード間の結合容量 C_{gs} の影響により電荷蓄積期間中に大きな増倍利得を利用することは困難となる。この問題を解決するためには、蓄積期間中にアバランシェ増倍を受けた信号電荷だけを選択的に読み出すことのできる素子構成が必要となる。

本章では、蓄積期間中にアバランシェ増倍された信号電荷だけを選択的に読み出すことができる素子構造として、APDと読み出しゲート電極の間にスイッチング-ゲート電極と読み出し電荷蓄積用キャパシタンスを設けたデュアルゲート型構造を提案する。提案したデュアルゲート型素子構造を用いてブレイクダウン電圧 V_B 以下の動作領域からブレイクダウン電圧 V_B 以上の動作領域に渡ってその光電変換特性の測定を行ない、第2章で導出した解析結果と比較し、その蓄積容量、蓄積期間初期の増倍利得の出力に与える影響を明らかにする。

3. 2 デュアルゲート型デバイスの動作原理

A. 画素構成および動作原理

図3-1にデュアルゲート型素子構造¹⁾をもつデバイスの構成例を示す。同一水平ライン上に配置された画素は垂直走査回路からのクロック ϕ_{G1} 、 ϕ_{G2} により同時にアクセスされ、一斉に同じ電荷蓄積動作を行なう。次の水平ライン上に位置する画素は垂直走査回路からのクロック ϕ_{G1}' 、 ϕ_{G2}' によりアクセスされ、1水平走査期間だけ遅れた状態で同じ電荷蓄積動作を繰り返す。図3-2に1画素の断面を示す。デュアルゲート型デバイスでは、APDをFETのソース側に持つ基本的MOS型素子構造に加えて第2のゲートG2と、pn接合の空乏層を利用した読み出し電荷蓄積用容量 C_s が新たに設けられている。このデュアルゲート型デバイスを用いて電荷蓄積動作を行なうための一連の操作を図3-3に示した駆動パルスおよび表面ポテンシャル図を用いて説明する。

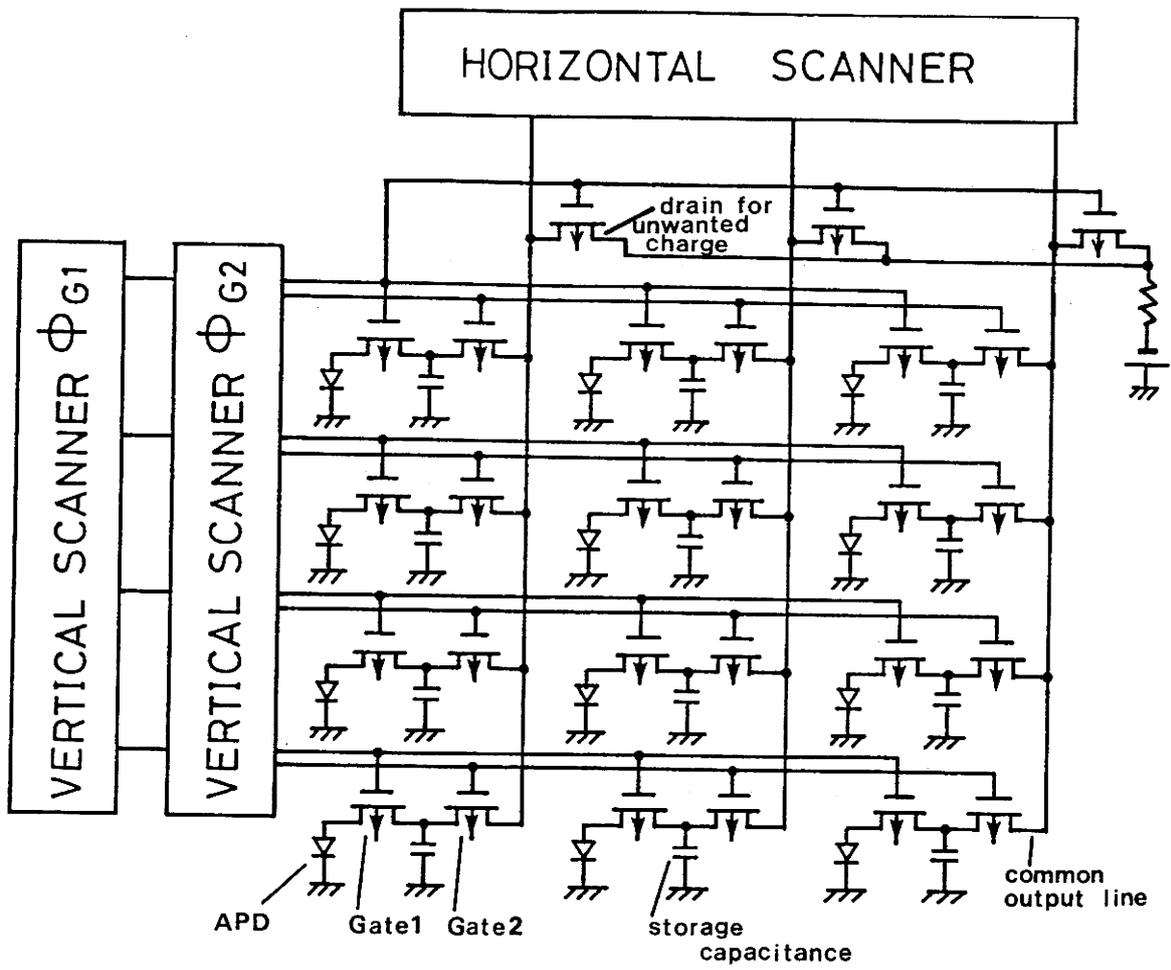


図 3 - 1 デバイスの構成例

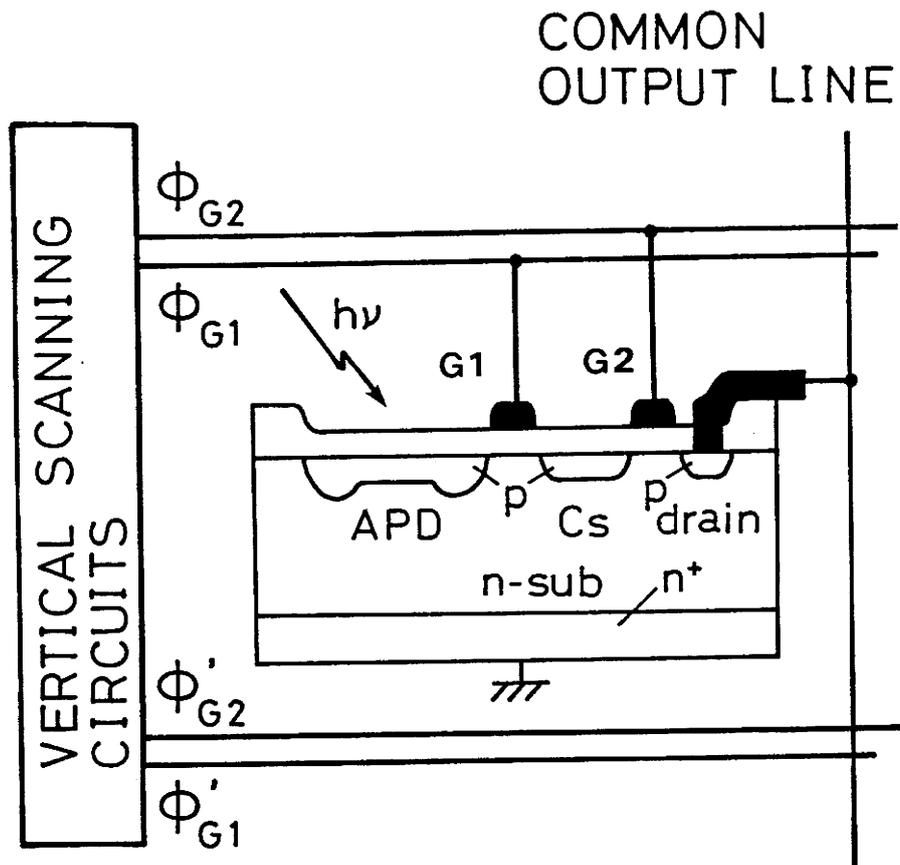


図 3 - 2 1 画素の断面図

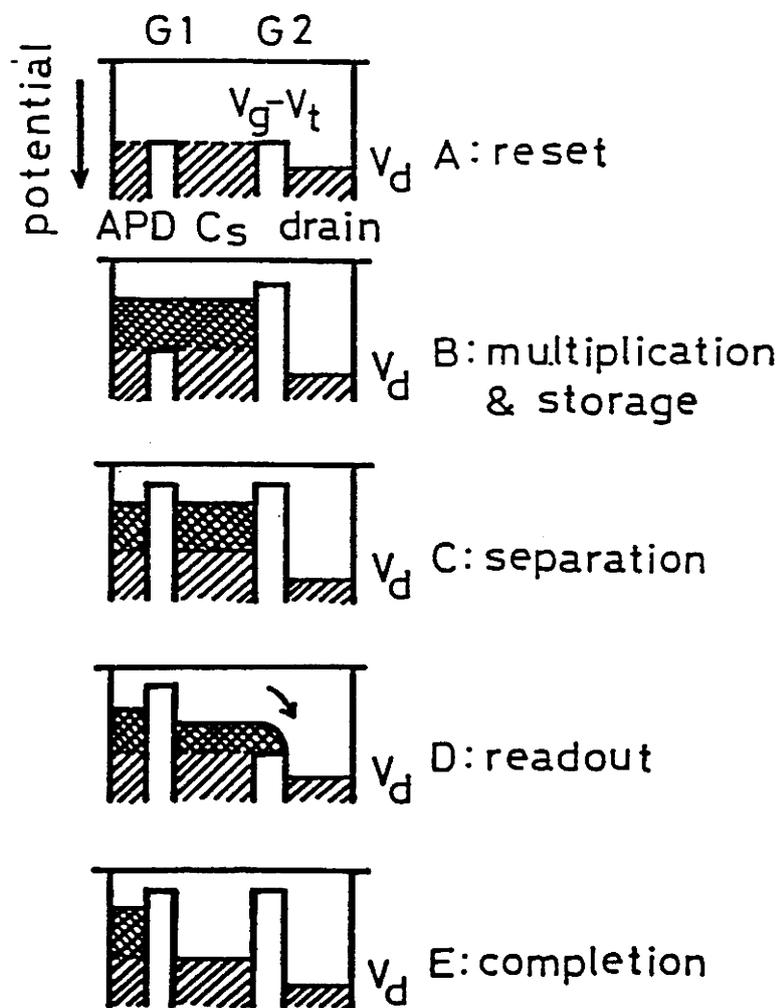
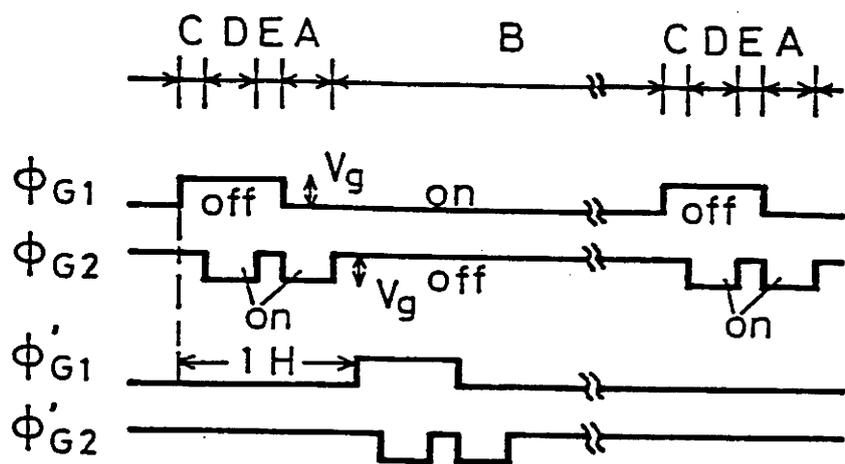


図 3 - 3 駆動パルスおよび表面ポテンシャル図

まず、リセット動作として、G1、G2に同じ電圧 V_0 を加え、ゲート下のポテンシャルを共に $(V_0 - V_t)$ の値まで上げる。ここで、 V_t はゲートのスレッショールド電圧である。この操作によりAPDの空乏層容量と読み出し電荷蓄積用容量 C_s に蓄積されていた電荷はドレイン側に掃き出され、APDの電位はゲート下と同じ $(V_0 - V_t)$ で平衡に達する(図3-3(A))。続く電荷蓄積期間内においては、G1に電圧 V_0 を印加したまま、G2に印加していた電圧をオフする。この操作によりAPDと読み出し電荷蓄積用容量 C_s は回路的に並列に接続された状態となる(図3-3(B))。この電荷蓄積期間内にAPDに入射した光により励起された電荷はアバランシェ増倍を受け、発生した信号電荷はAPDの空乏層容量 C_{APD} と読み出し電荷蓄積用容量 C_s の2ヶ所にそれぞれの容量に比例して蓄積される。蓄積期間が終了するとG1に印加されていた電圧はオフされ、それ以降APDに入射した光によりアバランシェが生じても、発生した電荷は C_s に流れ込む事はない(図3-3(C))。この状態でG2に電圧 V_0 を印加すると、 C_s に蓄積されていた信号電荷だけが出力信号電荷として外部回路に読み出される(図3-3(D))。読み出し電荷蓄積用容量 C_s に蓄積されていた信号電荷を読み出した後、一定の時間をおき(図3-3(E))、APDの空乏層容量に残された不要電荷は水平転送部に入力される前に設けられている不要電荷掃き出し用のリセットFETを通じて基板に捨てる(図3-3(A))。この一連の操作を行なうことにより、読み出し期間中に入射した光により励起された電荷がアバランシェ増倍を受け、蓄積期間中の信号電荷に重畳されて出力されるという問題は解決できる。

3. 3 デュアルゲート型デバイスの光電変換特性

A. 測定装置および使用したAPDの特性

実験に用いたデュアルゲート型デバイスのAPDはブレイクダウン電圧 V_B 以下からブレイクダウン電圧 V_B 以上の高い電圧で動作させることが必要である。この場合、1画素の暗電流は極力低く抑え、光励起された信号電荷のみをアバランシェ増倍する事が必要となる。そこで、暗電流を低く抑えるために、図3-4に示すクライオスタット(冷却用真空容器)を用いて素子を液体窒素温度に冷却し、電荷蓄積動作の実験を行なった。素子を液体窒素温度($=77k$)まで冷却すると、Siの電子および正孔が単位距離走行する間にアバランシェを生じる確率を示すイオン化率は常温時のそれよりも大きくなるので、常温で約100(V)であったAPDのブレイクダウン電圧は、25(V)程度まで下げることが可能となった。これにより、ブレイクダウン電圧以上の動作実験もゲート用FETに

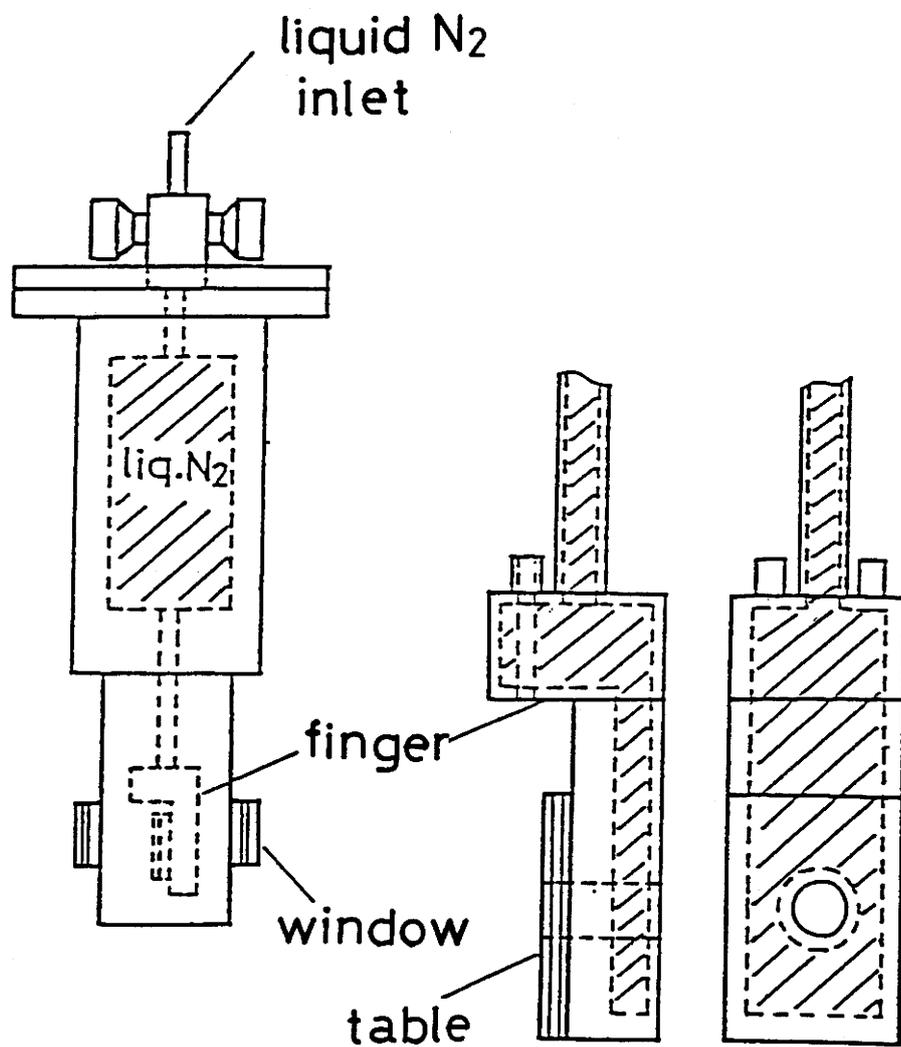


図 3 - 4 クライオスタット (冷却用真空容器) 図

市販の個別素子を用いて行なうことができるようになった。図3-5に実験に用いた1画素の構成を示す。実験には常温においてその印加逆バイアス電圧を $0.9 \cdot V_B$ とした時に、暗電流が $0.42 \text{ (nA/cm}^2\text{)}$ ある市販のAPD(浜松ホトニクス社製S2381)を用いた。使用したAPDの最大感度は波長 8000 \AA 付近にあるので、光源にはそれに近いピーク波長 7000 \AA をもつLEDを用いた。APDへの入射光強度はニュートラル-デンシティ-フィルター(NDフィルター: 東芝ガラス株式会社製ND-1, 10)とLEDを流れる電流量を制限するためのアッティネーターを組み合わせて調節した。図3-6にはアッティネーターを用いてLEDに流す電流量 I_{LED} を調整した時の、APD受光面での入射光強度の波長分布特性を示す。入射光強度の波長分布特性はLEDからの光を分光器(リッー応用光学MC-20N: グレーティング型モノクロメーター)に通し、各波長に対する量子効率があらかじめ測定されている標準フォトセルで受光することにより求めた。この入射光強度を求めるときには、LEDの発光端面からクライオスタットに挿入したAPDの受光面までの距離が 41.5 (mm) あることを考慮してある。図に示すようにアッティネーターを用いることにより入射光強度を $\times 1$ 、 $\times 0.7$ 、 $\times 0.5$ 、 $\times 0.4$ 、 $\times 0.2$ 、 $\times 0.1$ と調節できる。ただし、LEDに流れる電流量が 4 (mA) 以上となった場合には、ピーク波長は徐々に長波長側にずれるため、入射光強度を正確に調節することは困難となる。そこで、LEDに流す電流の最大値は 3 (mA) 以下に抑えた。さらに入射光量をオーダー単位で調整するためにNDフィルターを用いた。図3-7には2種類のNDフィルターを用いて減光した際のLEDの波長分布特性を示す。NDフィルターを使用した場合でも光強度の波長分布は影響を受けないことが確認できる。波長 7000 \AA の光に対して、ND-1フィルターの透過率は1%、ND-10フィルターの透過率は9.8%を示した。フィルターを組み合わせることにより透過率を掛け合わせることができる。実験では、ND-10フィルターを1枚、ND-1フィルターを2枚、合計3枚のフィルターを組み合わせることによりAPDに入射する光を最大約 10^{-5} 倍まで減衰させた。

このようにアッティネーターで電流を調整されたLEDから発せられた光はフィルターでさらに減光され、クライオスタットに設けられた入射窓を通してデバイスに照射される。クライオスタット内は真空に引かれており、入射窓からAPD周辺にかけては空気中の水蒸気の氷結化による入射光の減光および散乱は生じることはない。従って、APDに対しては安定した光照射が可能となっている。測定回路のブロック図を図3-8に示す。前述のクライオスタット(cold chamber)に封入されたテストデバイスの2つのゲートにはリングングやオーバーシュートを抑えた駆動パルス ϕ_{G1} 、 ϕ_{G2} が印加される。蓄積期間中に

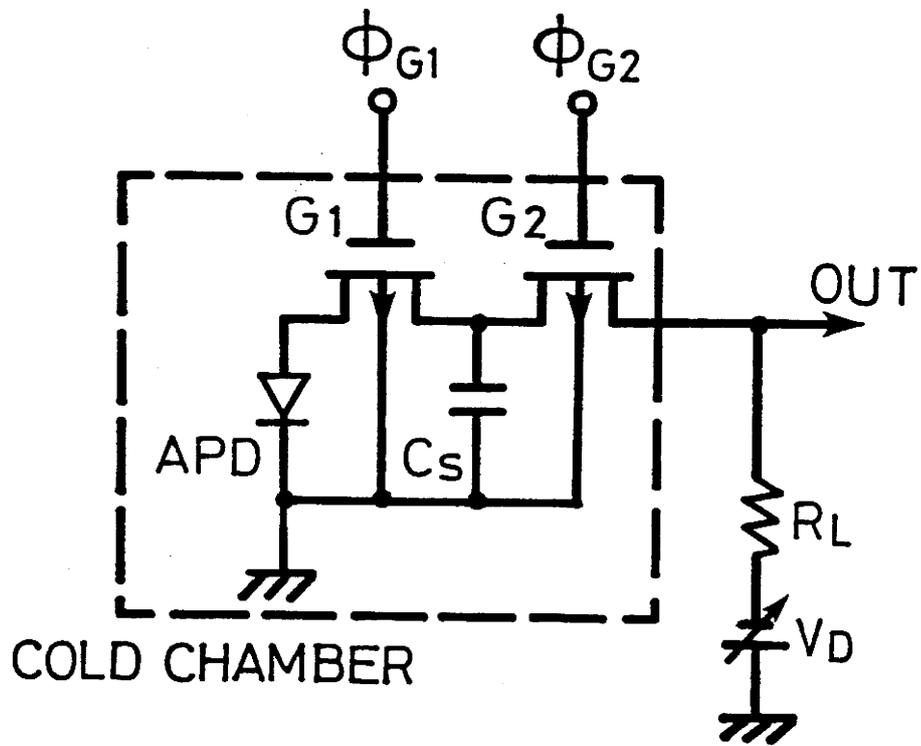


図 3 - 5 実験に用いた 1 画素の構成

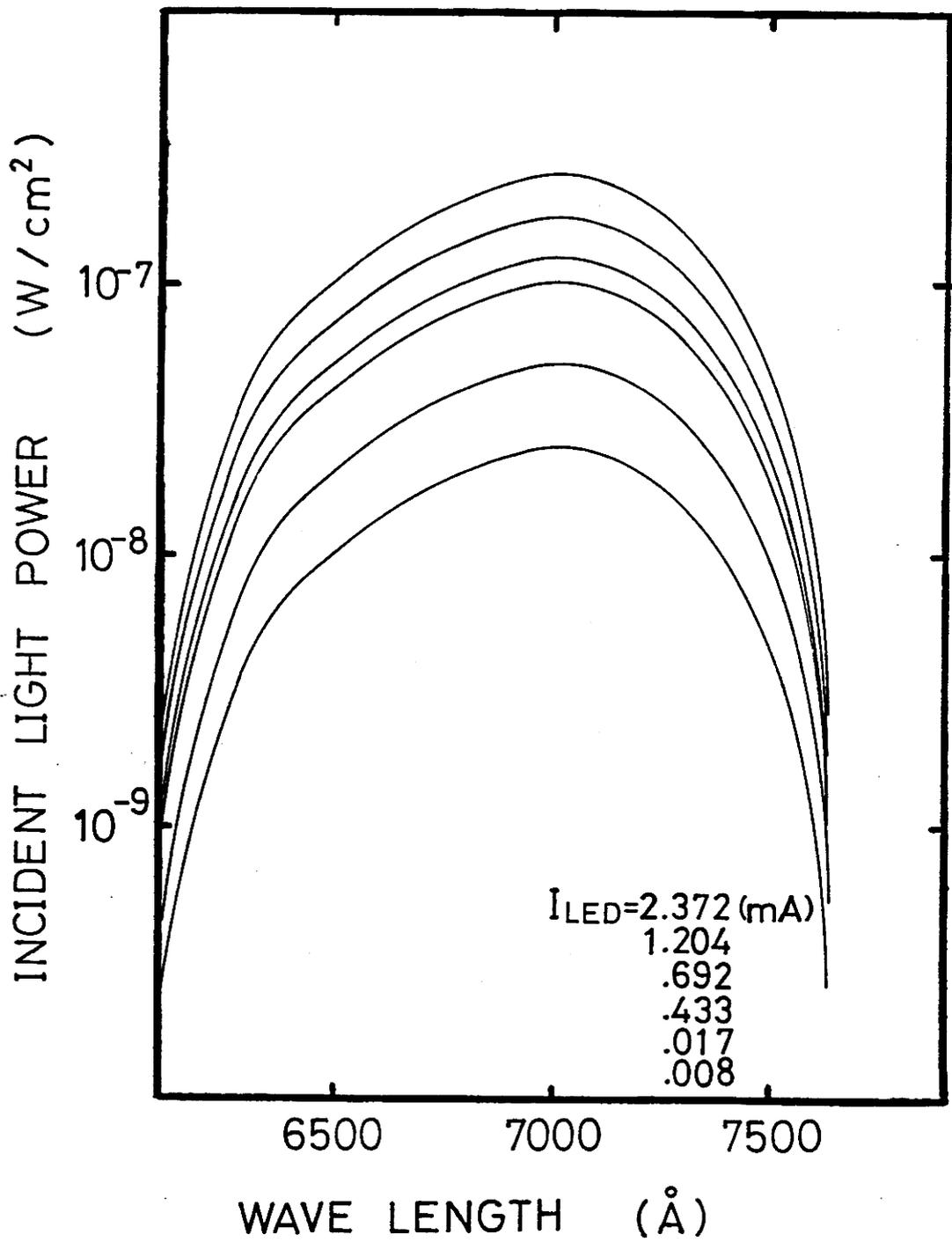


図 3 - 6 APD 受光面での入射光強度の波長分布特性

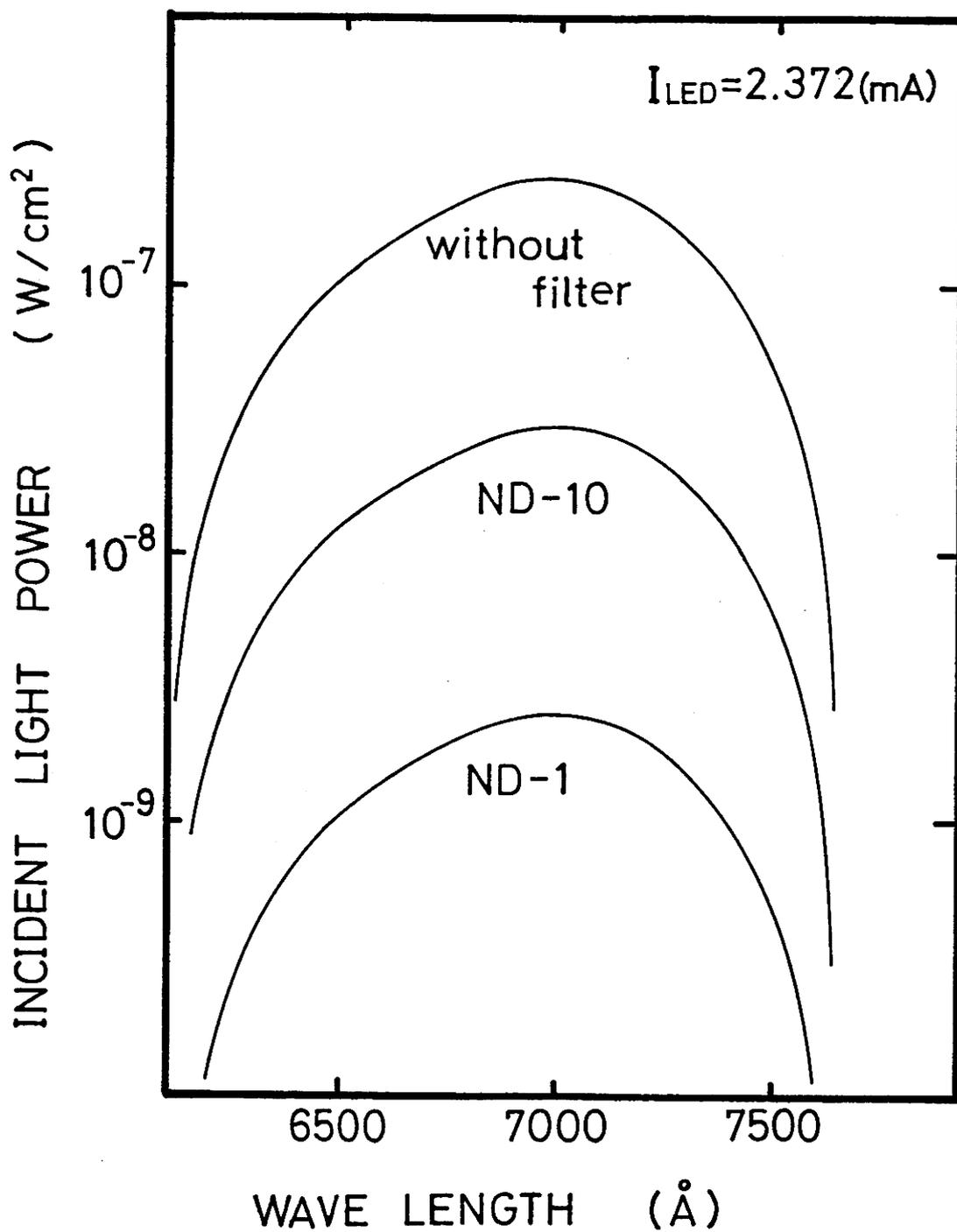


図 3 - 7 ND フィルターの減光特性

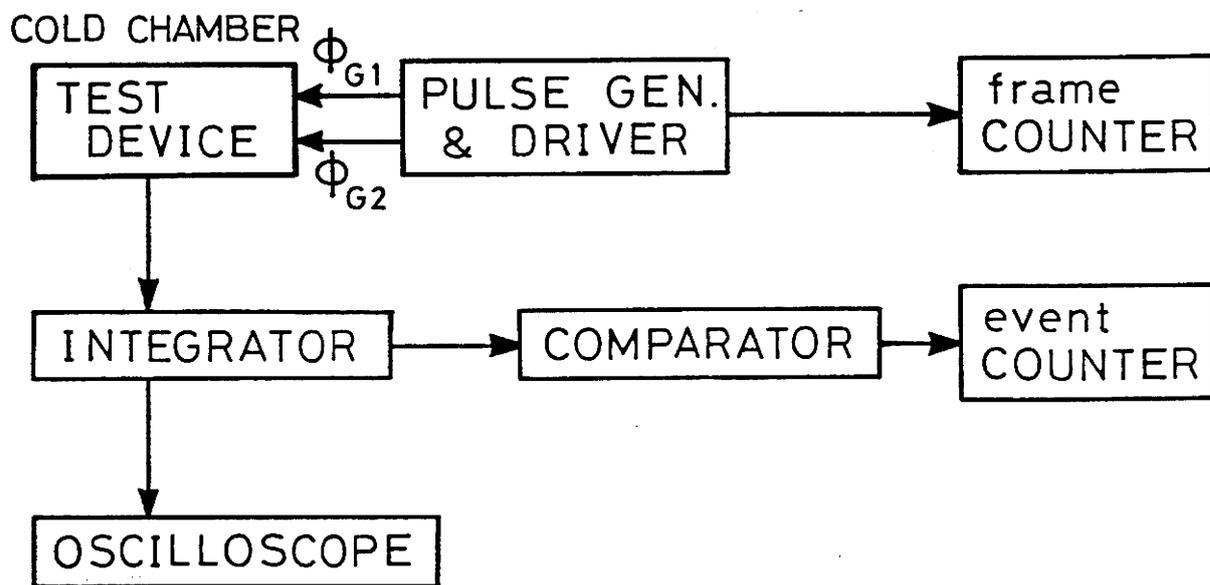


図 3 - 8 測定回路のブロック図

発生した信号電荷の出力は、積分器を通じて積分することにより信号電荷量に比例した出力信号電圧に変換され、オシロスコープ画面上で測定される。また、この信号電圧はコンパレータを通じて2値化され、後段のイベントカウンタにて単位フレーム当りの出力イベント数として計数できる。図3-8では、LEDを光源とする照射光の経路の記入は省略してある。図3-9に出力電荷量-出力電圧変換用の積分器の回路図を示す。APDの負荷抵抗 R_L には100(K Ω)、積分器の入力抵抗 R_{in} には10(K Ω)、蓄積容量 C_{ST} には出力信号電荷量に応じて470(pF)と4700(pF)を用いた。積分後の出力信号電圧はLF398を用いてサンプル&ホールドされたのち、前述のように信号電圧 V_{sig} としてオシロスコープ画面上で読み取られる。測定素子からの読み出し信号電荷 Q_{OUT} は変換式、

$$Q_{OUT} = V_{sig} \cdot C_{ST} \cdot \frac{R_{in}}{R_L} \quad (3-1)$$

を用いて求める事ができる。

使用したAPDの直流逆バイアス電圧と光電流の関係を図3-10に示す。波長3500Åならびに波長7000Åの光の光源にはキセノン-ランプをもつスペクトロ-フォトメータ(島津製作所QR-50)を用いた。光量調節には前述のNDフィルターを用いた。実験に用いた7000Åの単一波長の光強度を標準フォトセルを用いて測定したところ、 3×10^{-9} (W)、 3×10^{-10} (W)、 3×10^{-11} (W)の値を得た。入射光強度を1桁減少させた場合、光電流特性を表わす曲線はほぼ同じ形状を保ったまま1桁小さな値を示した。波長3500Åの光強度は、APDの逆バイアス電圧を10(V)とした時の波長7000Åの光に対する出力電流値に一致するように調節した。求めた測定値を(2-13)式に代入し、フィッティングを行うことにより求めたn値を表3-1に示す。

表3-1 n値

入射光強度	n 値	
	3500 Å	7000 Å
3×10^{-9} (W)	5.9	2.2
3×10^{-10} (W)	6.1	2.2
3×10^{-11} (W)	6.3	3.4

この2つの波長の光による光電流特性には大きな相違が見られる。以下の実験では、入射波長として7000Åを用いたので、光電変換特性の解析にはn値とし

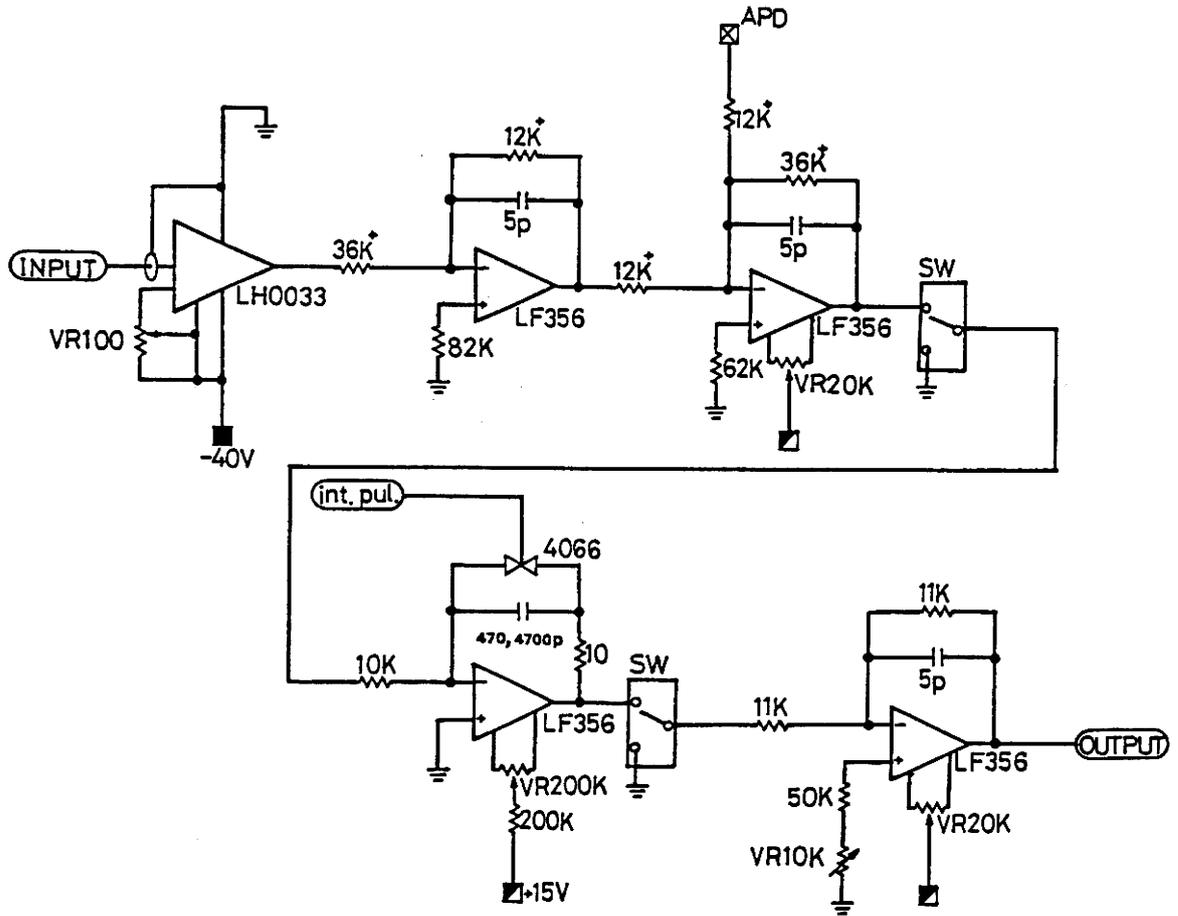


図 3 - 9 出力電荷量-出力電圧変換用の積分器

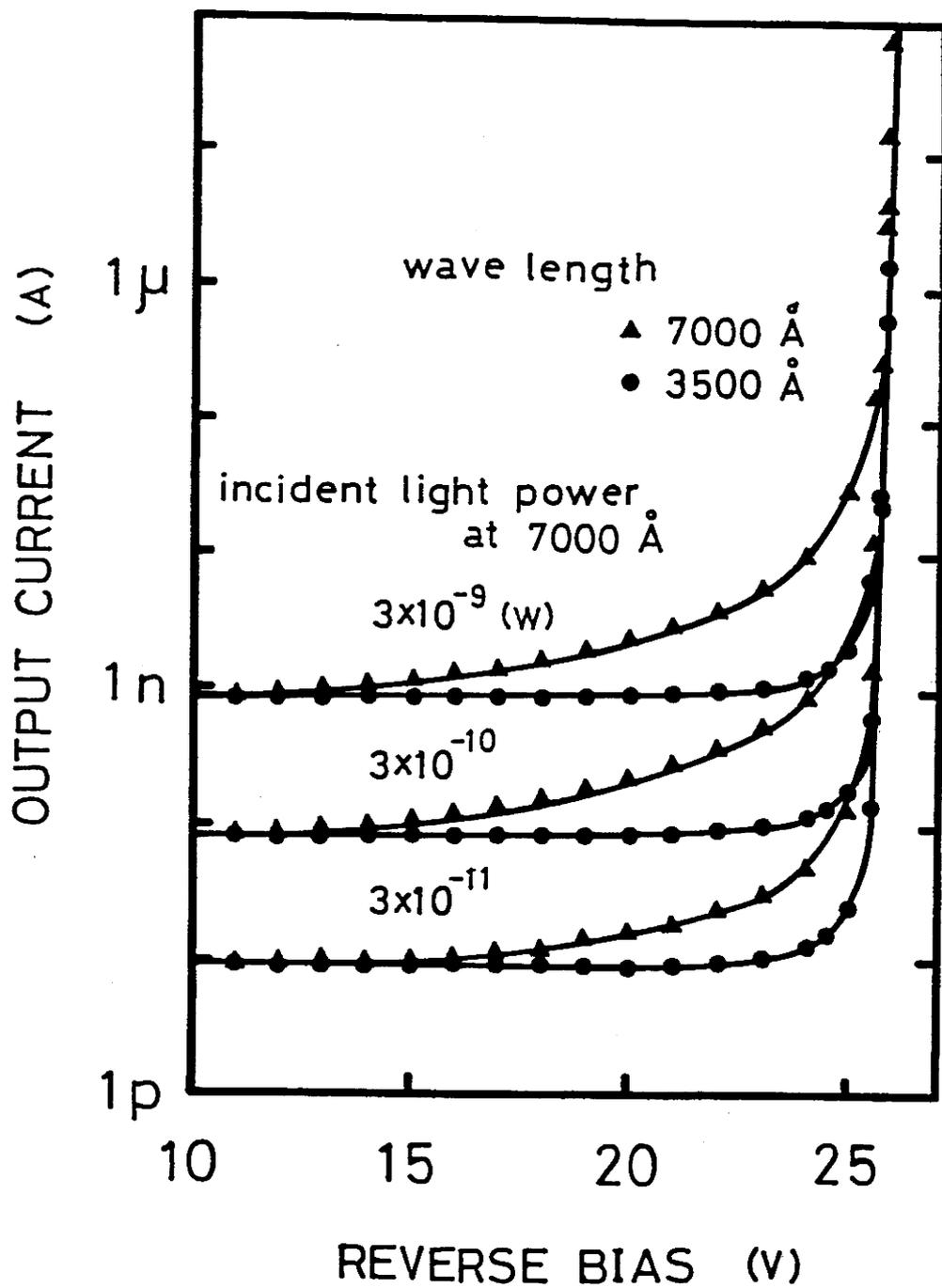


図 3 - 1 0 使用した APD の直流バイアス特性

て2.2を用いた。図3-1-1に使用したAPDの空乏層容量の逆バイアス電圧依存性を示す。測定にはC-Vメータ(三和無線製キャパシタンス-コンダクタンスメータ:MI-391)を用いた。APDに直流ブレイクダウン電圧26.5(V)の逆バイアス電圧を印加した時の空乏層容量は19(pF)であった。

B. ブレイクダウン電圧以下の動作領域の特性^{1,2)}

デュアルゲート型素子の光電変換特性の測定に用いた蓄積時間は、現行のTV規格(NTSC)の1フレームに相当する30(msec)に設定した。図3-1-1でも示したように、本素子の信号電荷の読み出しは同一水平ライン上に位置する画素から一斉に行なわれるので、1画素の信号電荷の読み出しは最大でも1水平走査期間 $T_H=63.5(\mu\text{sec})$ 内に完了することが必要となる。1画素のドレイン端に接続した読み出し用の負荷抵抗 R_L に100(K Ω)を用いたときには、1回の読み出し期間内に蓄積信号電荷の読み出しを終了するために、APD並びに読み出し信号電荷蓄積用容量 C_s の合計値 $C_0(=C_{APD}+C_s)$ が、

$$C_0 < \frac{T_H}{R_L} \quad (3-2)$$

の条件を満足する必要がある。必然的に C_0 の大きさは635(pF)以下の値に制限される。一方、リセット時に不要電荷としてAPDに蓄積されていた電荷がドレインを通じて外部に捨てられるので、 C_{APD} と C_s の比をおおきく取り、全蓄積信号電荷のうち読み出し可能な信号電荷の割合が多くできることが好ましい。図3-1-1に示したように、APDに26.5(V)の逆バイアス電圧を印加した時の空乏層容量は19(pF)であったので、全蓄積電荷量の内90%以上が読み出されるものとすれば、読み出し電荷蓄積用キャパシタの容量として171(pF)以上が必要となる。以上の事から C_s として許容される大きさの範囲は、 $171(\text{pF}) < C_s < 635(\text{pF})$ となる。そこで、実験には C_s として220(pF)の大きさを選択した。

図3-1-2に光電変換特性の実験結果を示す。APDの蓄積期間初期の増倍利得はゲート電圧を-10(V)から-30.8(V)まで変化させることにより変化させた。ゲート電圧-10(V)は増倍利得1の場合に相当する。ゲート電圧-29、-30.6(V)のときの光電変換特性は約 $10^{-9}(\text{W})$ 以下の入射光量において傾き $\gamma=1$ を示した。また、ゲート電圧が-30.8(V)の場合には入射光量 $10^{-11}(\text{W})$ 以下では $\gamma=1$ を示すが、 $10^{-11}(\text{W})$ から $10^{-8}(\text{W})$ にかけて傾きは $\gamma=1/2$ を示した。この実験結果は、第2章の近似式(2-18)、(2-19)式で導出した光電変換特性の傾きと同じ値を示している。

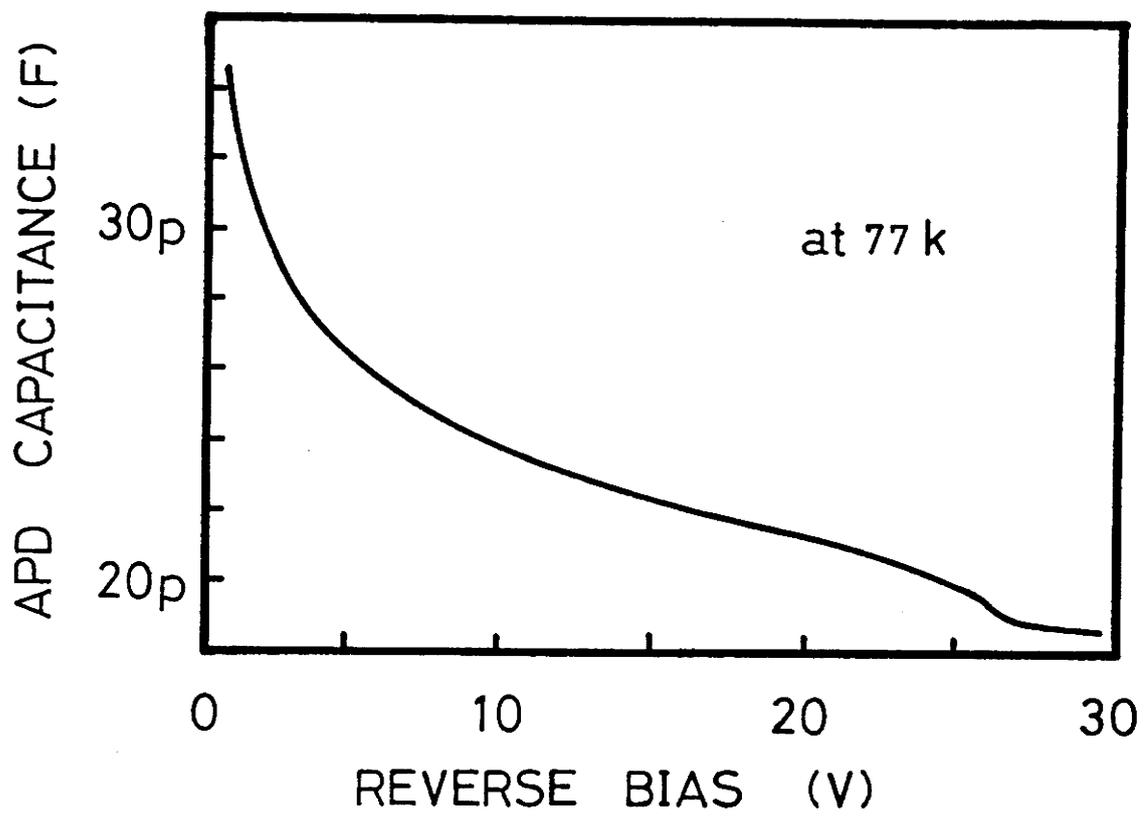


図 3 - 1 1 使用した APD の C - V 特性

NUMBER OF OUTPUT
CHARGE CARRIERS

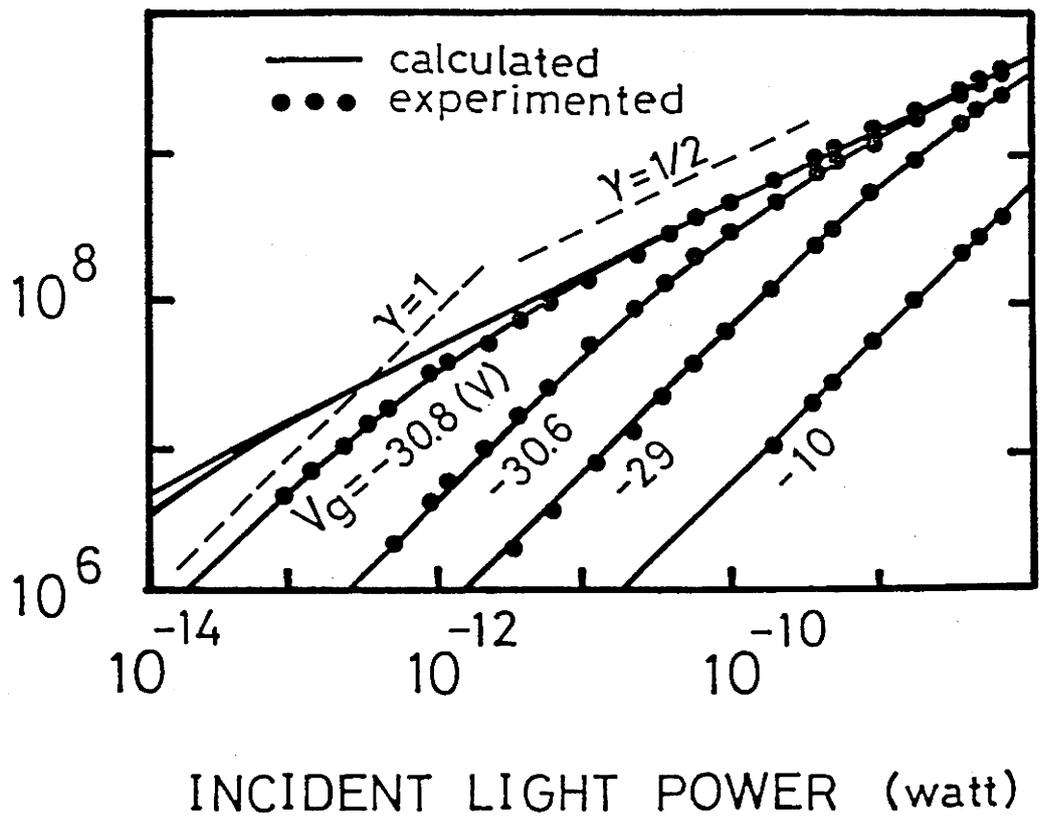


图 3 - 1 2 光电变换特性

さらに、実験結果と(2-17)式の解析結果との比較を行なうため実験に用いたAPDの量子効率 η を求めた。ゲート電極に-10(V)の直流電圧を印加した場合、APDにはアバランシェ増倍が生じるよりも小さな直流逆バイアス電圧が印加される。この状態においてAPDに光を照射し、得られた出力電流をあらかじめ量子効率のわかっている標準フォトセルの出力電流と比較することによりAPDの量子効率を求めることができる。その結果、量子効率 $\eta=0.6$ の値を得た。この量子効率の値を(2-17)式に代入し、実験結果と定量的に一致する蓄積期間初期の増倍利得 M_0 を求めた。ただし、実際の出力信号電荷量 Q_{OUT} は、APDの空乏層容量 C_{APD} と C_s の両方に分配され蓄積されているため、次式による換算を行なった。

$$Q_{OUT} = \frac{C_s}{C_{APD} + C_s} \cdot Q_s \quad (3-3)$$

(2-17)、(3-3)式を用いて出力信号電荷量 Q_{OUT} を実験結果にフィッティングさせたところ、ゲート電圧-30.8、-30.6、-29、-10(V)に対応する初期増倍利得として900、70、12、1の値を得た。

計算ではさらに蓄積期間初期の増倍利得 M_0 を 10^4 、 10^5 とした場合の光電変換特性も併せて図示した。ゲート電圧を $V_g = -30.6$ 、 -30.8 (V)と上昇させるに連れ、より低照度側に受光範囲が延びる事が確認できる。また、 $\gamma = 1/2$ の光電変換特性を示す動作領域では蓄積期間初期の逆バイアス電圧の大きさに関わらず1本の特性曲線で表わされることが、実験結果ならびに $M_0=10^4$ 、 10^5 とした場合の計算結果からも確認できる。

次に C_s の大きさが出力信号電荷量に与える影響を調べた。結果を図3-13に示す。読み出し信号電荷蓄積用容量 C_s として510、220、51、10(pF)を用いた。それぞれの読み出し信号電荷蓄積用容量 C_s に対する出力特性を(2-17)式と(3-3)式を用いて計算しその結果を実線で示した。ゲート電圧 $V_g = -30.6$ (V)時の蓄積期間初期の増倍利得 M_0 は先ほどのフィッティングの結果から $M_0=70$ とした。光電変換特性の傾き γ が $1/2$ の値を示す動作領域では、出力信号電荷量 Q_{OUT} は、(2-18)、(3-3)式から、

$$Q_{OUT} = \frac{C_s}{C_{APD} + C_s} \cdot \left[\frac{2}{n} \cdot (C_{APD} + C_s) \cdot V_B \cdot q \cdot \eta \cdot n_p \cdot t_s \right]^{1/2} \quad (3-4)$$

と表わされる。この特性近似式から、一定の光量-時間積 $n_p \cdot t_s$ に対する出力 Q_{OUT} が C_s の大きさにのみに依存し、初期増倍利得の大きさには依存しない事がわかる。 $\gamma = 1/2$ の非直線領域においては出力信号電荷量はほぼ C_s の平方根に

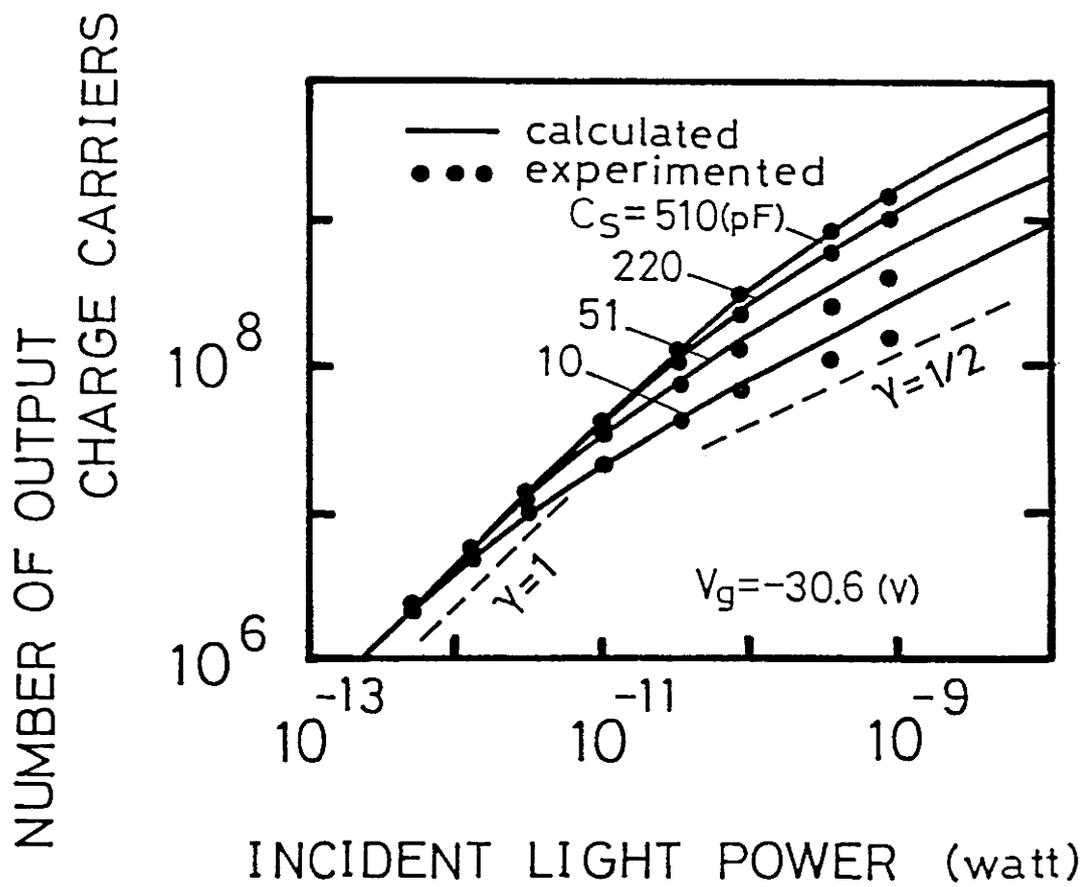


図 3 - 1 3 光電変換特性の蓄積容量依存性

比例していることは実験結果とも一致する。しかしながら、 $C_s = 51, 10(\text{pF})$ では測定値と計算値にずれが生じている。この原因としては、入射光量が多くなり蓄積電荷量が増加すると、APDの印加逆バイアス電圧が減少し、それとともに(3-4)式の空乏層容量 $C_{APD}(V)$ が増大することにより、読み出し電荷として利用できない不要電荷量の出力信号電荷量に対する割合が増大し、出力信号電荷量 Q_{OUT} は減少することが考えられる。蓄積期間初期にブレイクダウン電圧付近の逆バイアスをAPDに印加したときのAPDの空乏層容量は $C_{APD} = 19(\text{pF})$ 、出力電荷量が 2×10^8 個のときAPDの空乏層容量の変化は図3-11から約2(pF)となる。さらに、正確には信号電荷はAPDの空乏層容量とゲート下のチャネル部分と読み出し電荷蓄積用容量の3ヶ所に分けて蓄積されている。このゲート下の容量は約2(pF)ある。ゲートがオフすると同時にゲート下の容量に蓄積されていた電荷のうち約半分はAPD側に分配される。 C_s が小さいほどこの分配電荷量が出力に与える影響は大きい。これらの事を考慮すれば、 $C_s = 10(\text{pF})$ の場合その約10%が、また $C_s = 50(\text{pF})$ の場合その約5%が理論値との誤差として生じることになる。従って、蓄積電荷量が大きくなればなるほど実験値と理論値の出力信号電荷量のずれは大きくなる。このように読み出すことのできない電荷により光電変換特性の傾きを示す γ 値が1/2からずれると、外部の逆対数回路において $\gamma = 1$ の特性にデモジュレーションした場合、信号の直線性が損なわれることになる。 γ 値が1/2の特性を保つには、 C_s はAPDの空乏層容量 C_{APD} よりも最低10倍は必要であることがわかる。

C. ブレイクダウン電圧以上の動作領域の特性^{1, 2)}

第2章で述べたように、直流におけるAPDのブレイクダウン電圧 V_B とはアバランシェ-フィードバックループが空乏層内に形成されるのに要する逆バイアスの最小電圧である。電荷蓄積動作においても、同様に定義される。このブレイクダウン電圧以上の動作領域では光励起された1個の電荷でアバランシェ-フィードバックループがトリガされる。

デュアルゲート型素子構造では2つのゲートに充分大きな駆動パルスを印加することによりAPDにブレイクダウン電圧 V_B 以上の逆バイアス電圧を印加し、蓄積期間中にも高い増倍利得を利用することができる。

本実験には図3-8で示した測定装置のうち積分器からの出力をコンパレータを通じて2値化し、一定の閾値以上の出力が得られる回数を後段のユニバーサルカウンタ(タケダ理研TR-5151)にて計数する。具体的には1024回の蓄積期間からの出力のうちコンパレータを通過した出力の数を計数する。電荷蓄

積期間中のAPDの電位変化はAPDの動作に影響を与えない高い入力抵抗を持った絶縁ゲート型のFETソースホロアを用いてオシロスコープ画面上でモニターする。

図3-14にブレイクダウン電圧以上の動作領域(ゲート電圧 $V_g = -32.3(V)$)の連続する24フレーム期間の出力を入射光量を変えて示す。写真には積分器を通過した直後の出力波形を示す。使用したAPDの直流ブレイクダウン電圧 V_B に相当するゲート電圧は $V_g = -31(V)$ であった。したがって、APDにはブレイクダウン電圧以上1.3(V)の逆バイアス電圧が印加されることになる。写真で示した出力電圧 V_{sig} の大きさは(3-1)式で示した様に素子からの出力信号電荷量 Q_{out} の大きさに対応しており両者は、

$$Q_{out} = V_{sig} \cdot 470(pF) \cdot \frac{10(K\Omega)}{100(K\Omega)} \quad (3-1')$$

の関係を持つ。各フレーム毎に得られる出力電圧 V_{sig} は、その入射光量レベルが $10^{-14}(W)$ 程度までは入射光量の減少と共に小さくなってゆくが、 $10^{-16}(W)$ 以下になると、出力信号電荷量は入射光量に無関係に一定値を保ったままでその出力が現われるフレーム回数が光量に応じて減少するようになる。入射光をオフした暗状態においても出力は観測されるが、その出力は光を照射した時と同じ大きさを示した。このことは暗電流による電荷も光励起された電荷も同じアバランシェ増倍の過程を経るものであることを示している。

次に、 $10^{-16}(W)$ 以下の光を照射した時の蓄積期間中のAPD電位の変化を観測した。結果を図3-15の上の写真に示す。下の輝線はリセット直後、上の輝線はアバランシェ増倍が生じた後のAPDの電位を示す。第2章において示したように、このアバランシェ-フィードバックループがトリガされてから消滅するまでに要する時間は $10^{-11}(sec)$ 程度と大変はやいものと計算されており、写真でもほぼステップ関数的な急激な信号電荷の立ち上がりを見せている。また、リセット直後からアバランシェが発生するまでの時間の長さは、1フレーム期間中に入射するフォトン数が1個以下(入射光量は $10^{-17}W$ 以下)ではランダムであり、1フレーム期間中にアバランシェが発生しないフレームも観測された。しかし、入射光量の増加と共にアバランシェの生じる時刻はリセット直後に近づいてゆく。この現象はフォトンにより励起された電荷がアバランシェ増倍のトリガになるという考えで説明がつく。

下の図はリセット直後のAPDの電位とアバランシェが生じた後のAPDの電位の変化をゲート電圧を変えて示したものである。ゲート電極に異なる逆バ

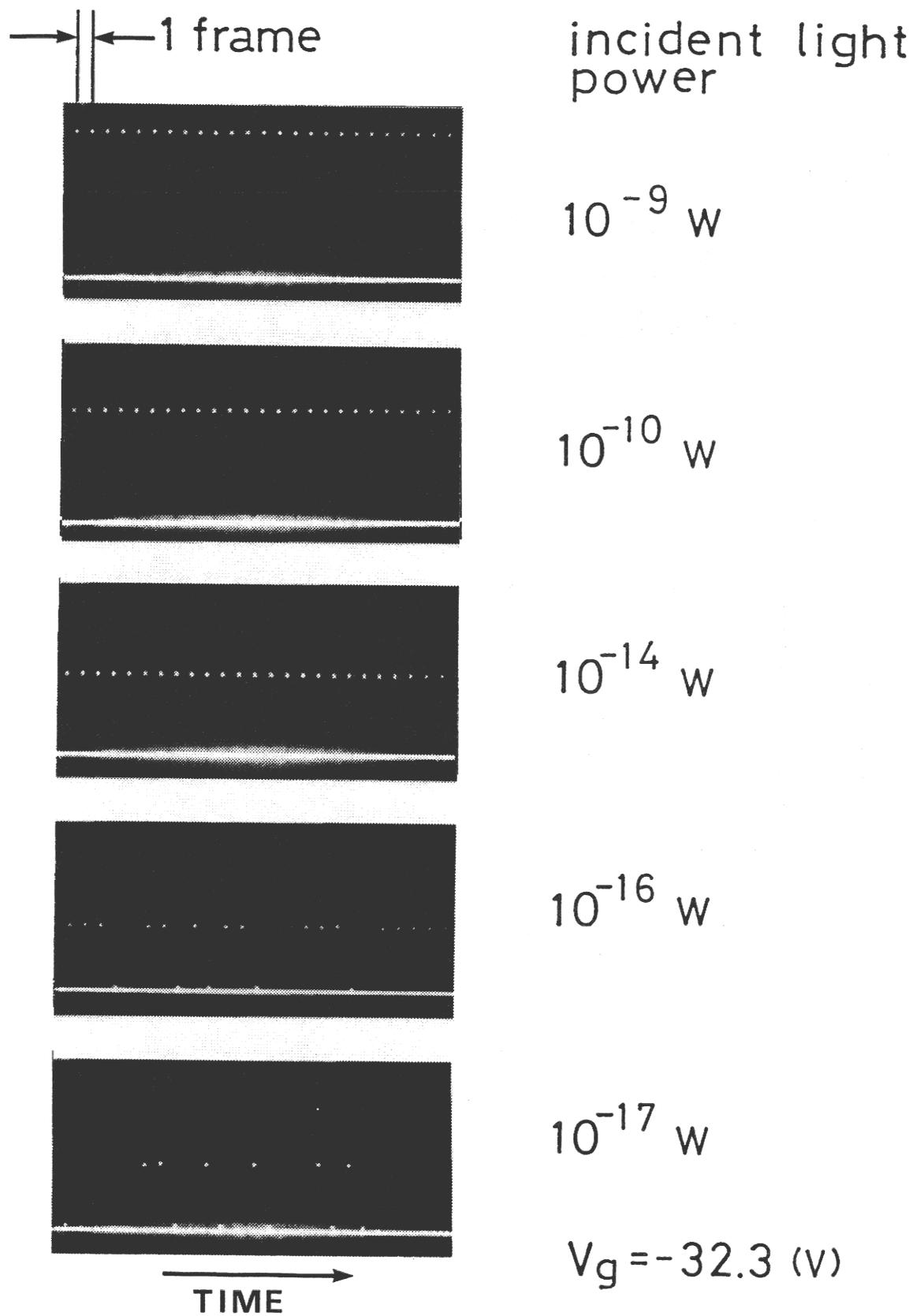


図 3 - 1 4 V_g 以上の動作領域での出力と入射光量の関係

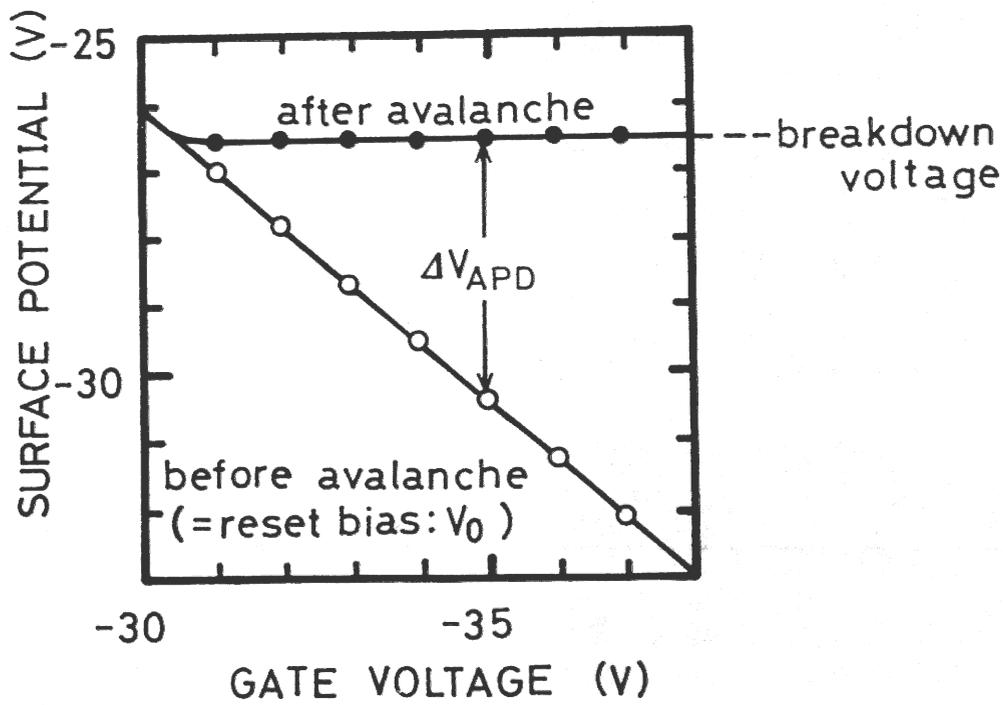
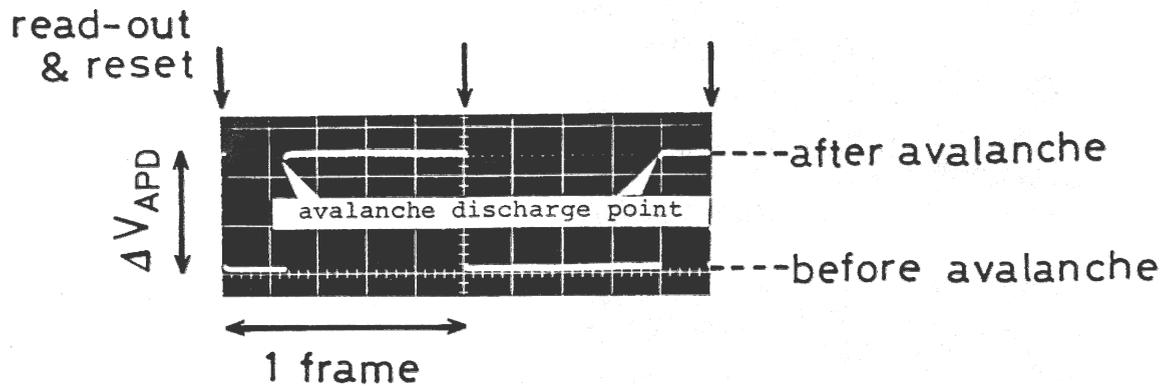


図 3 - 1 5 V_B 以上の動作領域におけるAPD電位の変化

イアス電圧を印加した場合でも、いったんアバランシェ-フィードバック-ループがトリガされると、信号電荷形成後のAPDの電位は常に直流でのブレイクダウン電圧 $V_B (=26.5(V))$ に落ち着く。これはアバランシェ-フィードバック-ループの形成に関与していた電子および正孔の双方のアバランシェ衝突のうち正孔による衝突が発生しにくくなり、アバランシェ-フィードバック-ループが消滅したためと考えられる。従って、出力信号電荷量 Q_{OUT} は蓄積時間初期においてAPDに印加されていた逆バイアス電圧を V_0 とすると(2-32)式より、

$$Q_{OUT} = \frac{C_s}{C_{APD} + C_s} \cdot (V_0 - V_B) \quad (3-5)$$

と表わされる。

図3-16に入射光量の変化に対する連続した全1024フレームのうち出力が観測されたフレーム数の割合(出力カウント率)の測定結果を示す。ただし、暗状態において発生した出力カウント数は光を照射した場合の測定結果から除いてある。出力カウント率はAPDに印加する逆バイアス電圧を決定するゲート電圧 V_0 を $-31(V)$ から $-34.5(V)$ と大きくするにつれ急増するが、ゲート電圧 $V_0 = -34.5(V)$ で入射光量に対する出力カウント率は飽和する。この時、カウント確率は約0.3であった。一方、第2章で扱ったW.G.Oldhamの差分方程式をゲート電圧 $V_0 = -34.5(V)$ の場合に適用、さらに入射波長が 7000 \AA であることを考慮すれば、トリガ確率は0.81と計算される。実験結果は光を照射しない場合の暗状態における出力のカウント数をダーク-カウント数として全出力カウント数から除いて示してあるが、この時、フォトンによる出力カウント数の大部分がダークカウント数を引算した際に除かれたものと考えられる。逆バイアス電圧を上げるにつれ、ダーク-カウント数は増加する。このダーク-カウントの原因となる暗電流の種類ならびに発生源に関しては第4章で総括的に取り扱う。入射光量レベルを大きくしてゆけば、蓄積期間中に入射するフォトン数は平均1個を超える。一度にアバランシェが生じるとAPDに印加していた逆バイアス電圧はブレイクダウン電圧以下に下がるので、それ以降入射したフォトンにより励起された電荷がアバランシェ-フィードバック-ループを形成することはもはや不可能である。従って、この入射光量域ではもはや出力カウント数は入射フォトン数に依存せず各フレーム毎に出力が得られるようになる。更に入射光量を増やして行くと出力はブレイクダウン電圧以下の光電変換特性を持った出力電荷が加算されて出力されるようになる。この出力カウント数が飽和する光量レベルからブレイクダウン電圧以下の光電変換特性を示しはじめる光量レベルの

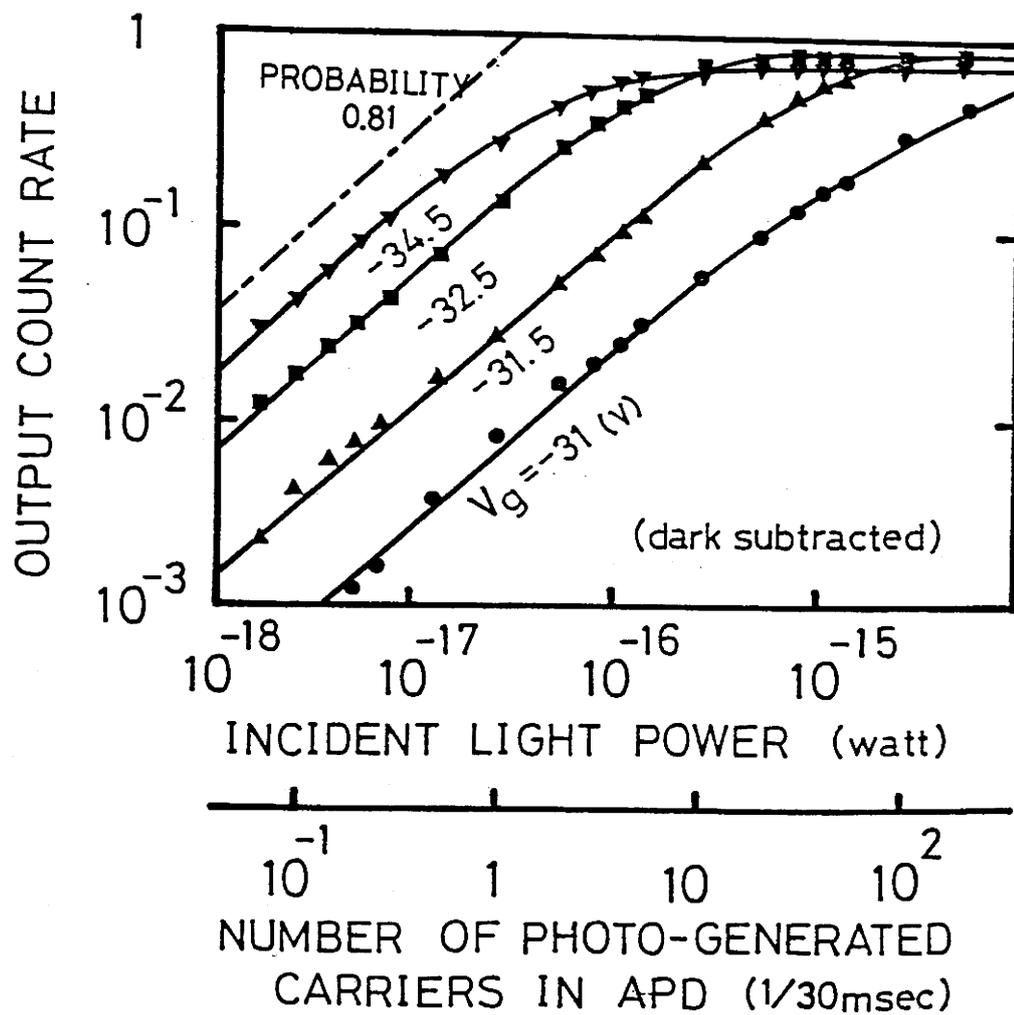


図 3 - 1 6 出力カウント率の入射光量依存性

範囲内では入射光量に対して出力が一定値を示したまま変化しない不感帯領域となる。フォトン-カウンティング動作が可能な領域をより明るい入射光量に対して用いる場合には蓄積期間を短く設定すれば良く、逆により暗い入射光量に対しては蓄積時間を延長すれば良いことになる。

このフォトン-カウンティング動作による2値化された出力を1回の蓄積期間に各画素に光が入射したか否かの判別に用い、これを多数回繰り返し積算することによりアナログ画像を得る事ができる。これが実用化できれば後段のノイズの影響を受けにくいデジタル的撮像が可能となる。

3. 4 結言

APDに印加される逆バイアス電圧がブレイクダウン電圧 V_B 以下の領域から、ブレイクダウン電圧 V_B 以上の領域まで広い範囲に渡り電荷蓄積動作が可能なデュアルゲート型素子構成を提案し、この素子構成により得られる光電変換特性の特徴を明らかにした。ブレイクダウン電圧以下の動作領域では、理論で示した通り光電変換特性の傾き γ 値が1及び1/2の領域が存在し、 $\gamma=1$ は初期増倍利得の大きさに比例した出力を、 $\gamma=1/2$ の特性を持つ領域は広い受光範囲を持ちその出力電荷量の大きさはデュアルゲート型素子を構成する読み出し用信号電荷蓄積容量 $C_s^{1/2}$ の大きさに比例することを確認した。

しかしながら、APDの空乏層容量が読み出し電荷蓄積用容量に比べて無視できない大きさになるとAPDの蓄積電荷量が多くなるとAPDに読み残される不要電荷量が増大し、 $\gamma=1/2$ の特性曲線からのずれが生じる。この様なずれが生じた場合は、外部読み出し回路での逆対数変換回路によるデモジュレーション操作後に得られる出力の直線性は劣化する。読み出し信号電荷蓄積用容量は与えられた読み出し期間内で動作が終了する範囲内でAPDの空乏層容量に対して大きく設定しておく必要がある。

一方、ブレイクダウン電圧以上の動作領域では、1フレームあたり1個以下のフォトン入射に対し、フォトン-カウンティングによる出力が得られることを示した。この動作領域においては、1回の蓄積期間においては、各画素に光が入射したか否かを2値で判別し、これを多数回繰り返し積算しアナログ画像を得ることで、フォトン-カウンティングによる固体撮像素子の実現が期待できる。これは、後段のノイズの影響を受けない新しい撮像方法である。

参考文献

- 1) H. Komobuchi, T. Ando, : "A Novel High-Gain Image-Sensor Cell Based on Si p-n APD in Charge Storage Mode of Operation," IEEE Transactions on Electron Devices (to be published)
- 2) 菰淵、森本、安藤: "アバランシェ・ホトダイオードの電荷蓄積動作"
TV学会技術報告 ED-1003, PP.43-48
- 3) 菰淵、木下、安藤: "アバランシェ増倍型センサーの動作モード"
TV学会技術報告 ED88-17, PP.49-54
- 4) W.G.Oldham, R.R.Samuelson, and P.Antognetti, "Triggering Phenomena in Avalanche Diodes," IEEE Trans. Electron Devices, vol. ED-19, pp.1056-1060, 1972
- 5) S.M.Sze, Physics of Semiconductor Devices, Wiley-Interscience, New York, 1981.
- 6) J.L.Moll, Physics of Semiconductors, McGraw-Hill, 1964

第4章 キャパシタンス-カップリング型デバイス構造

4. 1 緒言

本章では、基本的MOS型固体撮像素子のソース側のAPDに対し直列に設けたキャパシタンス-カップリング型デバイス構造を提案する¹⁾。提案したキャパシタンス-カップリング型構造を用いる事により、読み出し期間中にはゲート下のチャネルを通じてアバランシェ電圧以下の読み出し電圧を、電荷蓄積期間中にはキャパシタを介してAPDには十分な大きさの蓄積パルス電圧を印加することが可能となる。その結果、読み出し期間中には入射した光によるアバランシェ増倍の発生を避けることができる。

さらに、提案した構造では、蓄積期間中のAPDに読み出し電圧と蓄積パルス電圧の2つが加算して印加されるため、素子を駆動するために用いる個々の電源電圧は低くて済むという特長を持つ。

まず、キャパシタンス-カップリング型構造の動作原理について述べたあと、その光電変換特性と暗電流を実験的に調べ、さらに増幅型固体撮像素子として適した構造を持つための設計指針を明らかにする。

4. 2 キャパシタンス-カップリング型デバイスの動作原理

A. 画素構成および動作原理

図4-1に、提案したキャパシタンス-カップリング型素子構造をもつデバイスの構成例を示す。1水平ライン上に配置された画素は垂直走査回路からの駆動パルス ϕ_{cc} 、読み出しパルス ϕ_{rd} により一斉に電荷蓄積動作を行なう。次の1水平ライン上に位置する画素は1水平走査期間遅れて同じ電荷蓄積動作を開始する。図4-2に、1画素の断面を示す。1画素は光電変換部であるAPDをFETのソース側に持つ基本的MOS型素子構造に加えて、APDに直列に結合容量 C_c を接続した構成をとる。このキャパシタンス-カップリング型デバイスを用いて電荷蓄積動作を行なう為の一連の操作手順を図4-3に示した駆動パルス電圧および表面ポテンシャル図を用いて説明する。まず、リセット動作としてゲート電極に垂直走査パルスに相当する電圧 V_0 を加え、ゲート下の表面ポテンシャルを $V_{RESET}(=V_0-V_t)$ の値まで上げる。ここで、 V_t はスレッショールド電圧である。この操作によりAPD内の電荷はドレインを通じて外部に掃き出され、APDの電位はゲート下と同じ V_{RESET} で平衡に達する(図4-3(A))。このとき、 V_{RESET} はAPDのブレークダウン電圧よりも十分低い値に選んでおく必要がある。

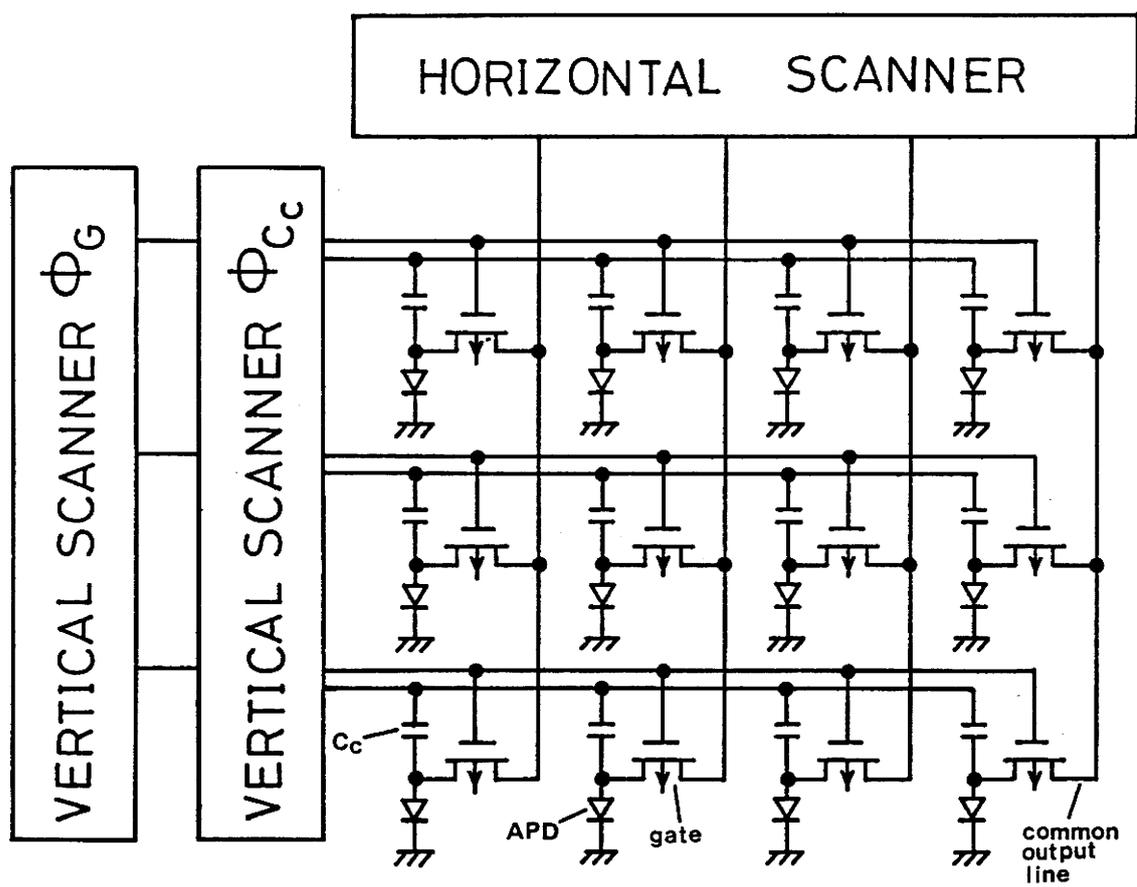


図 4 - 1 デバイスの構成例

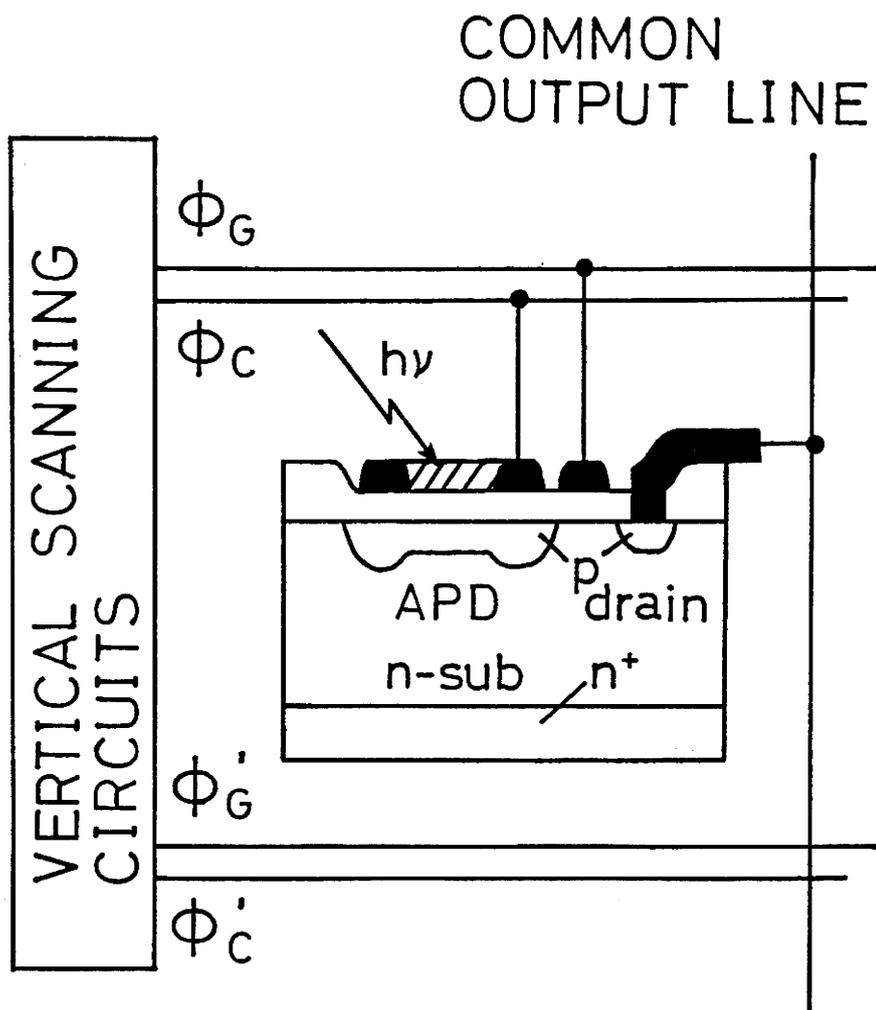


図 4 - 2 1画素の断面図

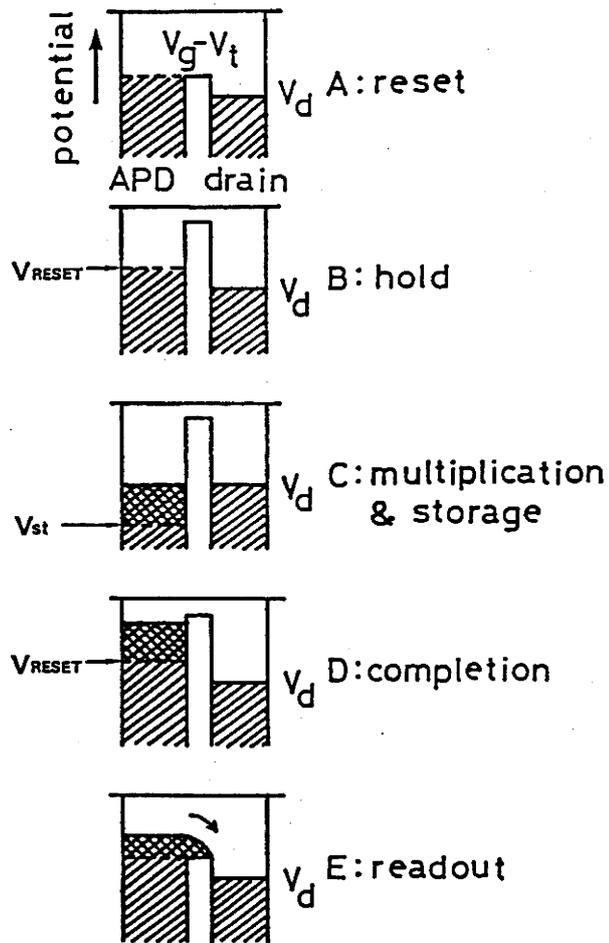
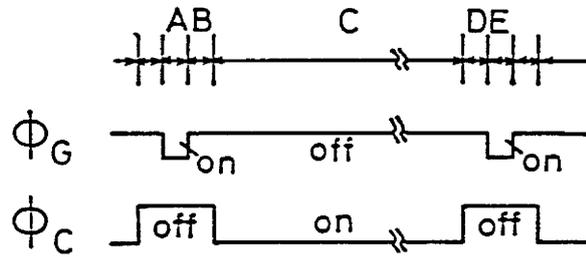


図 4 - 3 駆動パルス波形および表面ポテンシャル図

次にゲート電極に印加していた電圧をオフするとAPDの一端は回路的に解放状態となる(図4-3(B))。ゲートをオフした後、結合容量 C_c を介して蓄積パルス電圧 V_a を加えると、APD両端に印加される逆バイアス電圧は V_{RESET} から次式で与えられる V_{st} に増加する(図4-3(C))。

$$V_{st} = \frac{C_c}{C_{APD} + C_c} \cdot V_a + V_{RESET} \quad (4-1)$$

この電荷蓄積期間のAPDに印加される逆バイアス電圧 V_{st} がアバランシェが生じる電圧に対し十分大きければ、APD内で光励起されたキャリアは、連続的にアバランシェ衝突を起こし急速に増倍され、発生した信号電荷はAPDの空乏層容量 C_{APD} ならびに結合容量 C_c に蓄積される。1フレーム時間後、結合容量 C_c 端に印加していた蓄積パルス電圧 V_a をオフするとAPDに印加されていた逆バイアス電圧は、図4-3(D)で示すように、基準の V_{RESET} に蓄積電荷量に伴う電位変化分が重畳された値まで減少する。この状態では、APDはもはやアバランシェを生じることはできない。続いて、ゲート電極に読み出しパルス電圧が印加されると、入射した光により1フレーム期間中に増倍-蓄積された信号電荷量 Q_{sig} は、ドレインを通じて外部回路に読み出される(図4-3(E))。この読み出し期間中、APDには前述したようにアバランシェ増倍が生じるよりも低い読み出し電圧が印加される。従って、この読み出し期間中に入射する光によってはアバランシェ増倍電荷は生じない。

4. 3 キャパシタンス-カップリング型デバイスの動作特性

A. 光電変換特性

キャパシタンス-カップリング型デバイスの実験もデュアルゲート型デバイスの実験と同様、ブレイクダウン電圧 V_B 以下からブレイクダウン電圧 V_B 以上の高い電圧で動作させる事が必要となる。その為、1画素の暗電流は極力低く抑え、光励起された電荷のみをアバランシェ増倍させる事が必要となる。そこで、このデバイス構造による実験もまたクライオスタット(冷却用真空容器)を用いて素子を液体窒素温度に冷却した状態で行なった。実験にはデュアルゲート型デバイスの実験に用いたものと同じタイプの市販APD(浜松ホトニクス社製S2381)を使用した。また、光源にはピーク波長7000(Å)をもつLEDを用い、その光量調節にはNDフィルター(東芝ガラス株式会社製ND-1、10)とLEDを流れる電流量を制限するためのアッティネーターを組み合わせで行なった。

図4-1に示した様に同一水平ライン上に位置する素子は一斉に電荷蓄積動

作及び読み出し動作を行なうので、蓄積期間を与える蓄積パルス ϕ_c の電圧印加期間は現行のTVのNTSC規格と同じ1フレーム=30(msec)に設定した。また、(4-1)式で示した様に駆動電圧 V_a のうち実効的にAPDに印加される電圧 V_{st} の割合を大きくするには結合容量 C_c を大きく設定すれば良いが、読み出し時には C_{APD} と C_c が並列に接続されるので、読み出しに要する時間を短くするには C_c は小さい方がよいという逆の結果を招く。APDの空乏層容量が逆バイアス電圧26(V)時に19(pF)であったことを考慮して、結合容量 C_c は C_{APD} とほぼ同じ値の20(pF)とした。ドレインに接続した負荷抵抗を100(k Ω)とした場合、読み出し期間として最低4(μ sec)は必要となる。そこで、ゲート電極に印加する読み出しパルス ϕ_g の読み出し期間は以下の実験を通じて10(μ sec)に設定した。

実際のAPDは、逆バイアス電圧の増加とともに空乏層容量が減少するので、(4-1)式の通りにはならない。そこで、図4-4に蓄積パルス電圧 V_a と実際にAPDに印加される実効逆バイアス電圧 V_{APD} の関係の測定結果を示す。APDの電位の測定には絶縁入力抵抗の高いFETソースホロア(unity gain)を用いオシロスコープ画面上で値を求めた。使用したAPDは図3-11に示したようなC-V特性を持つ。印加電圧が5(V)と小さいときの空乏層容量は27(pF)を示した。印加電圧の増大とともにその空乏層容量は小さくなり、27(V)では19(pF)程度となる。このため、蓄積パルス電圧 V_a に対するAPDの実効電圧 V_{APD} の関係を示す曲線はやや下に凸となっている。読み出し時にゲート下のチャネルを通じて印加される電圧 V_{RESET} をパラメータに用いた。各曲線の間隔はこの読み出し時において印加される電圧 V_{RESET} に相当している。

図4-5にキャパシタンス-カップリング型デバイスの光電変換特性を示す。ゲート電極に印加される読み出しパルスの電圧は-5(V)に設定し、結合容量 C_c に印加する蓄積パルス電圧 V_a を変化させ蓄積期間初期にAPDに印加される逆バイアス電圧 V_{APD} を-5、-25.2、-25.6、-26.4、-27.5(V)とした。APDの電位は高い絶縁入力抵抗をもつFETソースホロア(unity gain)を用いてオシロスコープにてモニターした。ただし、ブレイクダウン電圧 V_B は-26(V)である。ブレイクダウン電圧以下の動作領域においては、デュアルゲート型同様、実験結果は光電変換特性の傾きを示す γ 値が1を示す領域と1/2を示す領域の存在が確かめられた。理論式の計算には量子効率 η として0.6の値を用いた。実験結果は理論式(2-17)から得られる計算結果と良い一致を見せた。ここで、デュアルゲート型では読み出し電荷蓄積容量 C_s を C_{APD} の10倍以上とらなければ、読み出し可能な電荷量が少なくなる事が問題であった。

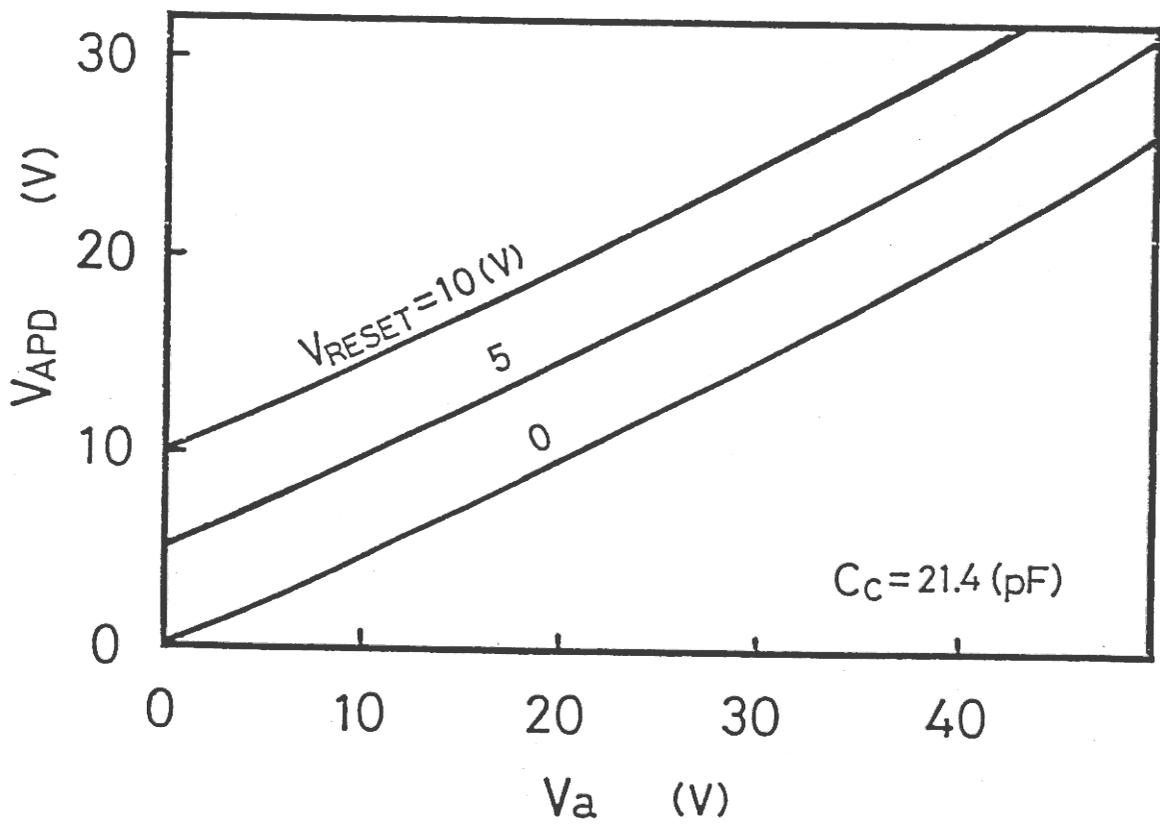


図 4 - 4 蓄積パルス電圧 V_a と APD の実効逆バイアス電圧 V_{APD}

入射光量の多い領域においては、蓄積信号電荷量により C_{APD} の蓄積容量が大きくなり、読み出し信号電荷の割合の低下を招いた。この理由により、入射光量が多くなるにつれ光電変換特性の $\gamma=1/2$ の理論値からの逸脱が大きくなるという不都合が生じた。この事実は、蓄積容量を小さく、初期増倍利得を大きくすれば、低い入射光量から $\gamma=1/2$ の動作領域を用いることができるという条件の障害となった。しかし、キャパシタンス-カップリング型構造を用いれば、全蓄積電荷量を読み出すことが可能であるために、蓄積容量 C_{APD} が 19(pF) と小さいにも関わらず、 10^{-8} (W) の入射光量においても $\gamma=1/2$ の光電変換の理論曲線から逸脱が見られない。したがって、ブレークダウン電圧以下の領域で、低い入射光量域から $\gamma=1/2$ の動作領域を利用する場合には、デュアルゲート型よりもキャパシタンス-カップリング型の方が適していると言える。

ブレークダウン電圧以上の動作領域では、全 256 フレーム期間に得られた出力を平均化した値を示した。この動作領域では入射光量範囲が $10^{-12} \sim 10^{-10}$ (W) 程度にかけて出力が一定値を示す不感領域が現われている。この入射光量域では各蓄積期間中に 1 個以上のフォトンが入射している。この時の出力電荷量の大きさについて以下検討する。蓄積期間中に最初に入射したフォトンにより励起された電荷、もしくは暗電流が最初にアバランシェ増倍のトリガとなり、アバランシェ-フィードバックループが APD の空乏層内に形成される。アバランシェ増倍により発生した信号電荷は APD 空乏層容量に蓄積され、逆バイアス電圧 V_{APD} はブレークダウン電圧 V_B をわずかに下回るとアバランシェ-フィードバックループが消滅する。この時点での出力信号電荷量は(4-2)式で表される。

$$Q_{sig-a} = C_{APD}(V_{APD} - V_B) \quad (4-2)$$

蓄積期間初期に APD に印加された逆バイアス V_{APD} が -26.4(V)、-27.5(V) の場合は、(4-2)式を用いると出力電荷数はそれぞれ 4.8×10^7 (個)、 1.8×10^8 (個) と計算され、この値は光電変換特性の傾きがゼロの領域の出力に一致する。このとき APD の印加逆バイアス電圧はブレークダウン電圧 V_B をわずかに下回った値であるので、さらに入射光量を上げてゆくと素子はブレークダウン電圧以下の動作領域での電荷蓄積動作を行なう。従って、1 フレームに入射するフォトン数が数個以上である場合の出力電荷量 Q_{sig} は、ブレークダウン電圧以上の動作領域での出力電荷量 Q_{sig-a} とブレークダウン電圧以下の動作領域の出力電荷量 Q_{sig-b} の加算値となる。従って、 V_{APD} が -26.4(V) の場合を例にあげれば、その出力信号電荷量 Q_{sig} は、

まず、入射光量が 10^{-12} (W) 以下では、全測定回数 N_{all} 、出力の得られた回数

N_{det} とすると、

$$Q_{sig} = (N_{all}/N_{det}) \cdot Q_{sig-a} \quad (4-3)$$

次に、入射光量が $10^{-12}(W)$ から $10^{-10}(W)$ では、 $Q_{sig-a} \gg Q_{sig-b}$ となるので、

$$Q_{sig} = Q_{sig-a} + Q_{sig-b} \approx Q_{sig-a} \quad (4-4)$$

入射光量が $10^{-10}(W)$ 以上では、 $Q_{sig-a} \ll Q_{sig-b}$ となるので、

$$Q_{sig} = Q_{sig-a} + Q_{sig-b} \approx Q_{sig-b} \quad (4-5)$$

と表わされることになる。

図4-6に $V_{APD} = -26.4(V)$ の場合のAPDの表面ポテンシャル変化を示す。APDの電位は絶縁入力抵抗の高いFETソースホロアを用いてオシロスコープ画面上で観測したものである。入射光量が $2 \times 10^{-17}(W)$ のときは、1フレーム期間中にアバランシェ-フィードバックループのトリガとなる光子数は1個以下である。出力が得られた場合のAPDの電位変化は写真から $0.4(V)$ と読み取れるが、このアバランシェが生じた後のAPDの電位はブレイクダウン電圧 $V_B (= -26(V))$ に相当している。さらに入射光量を増やしてゆくと毎フレームにおいてアバランシェ増倍が発生し、アバランシェの生じる時刻は蓄積期間の開始に近づいてゆく。さらに入射光量を上げてゆき $2 \times 10^{-8}(W)$ のときには蓄積期間の始まりとともにアバランシェが生じ V_B 以下の動作領域での増倍が行なわれることがわかる。この時は入射光量が多いためにリセット直後において V_B からさらに $0.5(V)$ 低い電圧から輝線が観測されているが、入射光量が1桁低い場合には輝線は V_B から始まる。

B. 暗電流に関する考察

APDを電荷蓄積動作で用いる場合の暗電流に関しては、通常の固体撮像素子で問題となる暗電流のほかに、アバランシェ増倍が生じる高電界動作領域($= 1 \times 10^5(V/cm)$ 以上)での暗電流についても考えることが必要となる。

まず、通常の固体撮像素子のように常温、低電界(空乏層内の最大電界強度が $1 \times 10^5 V/cm$ 以下)における暗電流を考えると、その発生源から主に以下の3種類に分けることができる。

1) 拡散電流

拡散電流の単位面積、単位時間あたりの発生確率 P_d は、

$$P_d = \left(\frac{D_n}{N_A \cdot L_n} + \frac{D_p}{N_D \cdot L_p} \right) \cdot n_i^2 \quad (4-6)$$

と表わされる²⁾。 L_n 、 L_p は電子、正孔の拡散距離、 N_A 、 N_D はアクセプタ、

ドナーの濃度、 D_n 、 D_p は拡散定数、 n_i は真性のキャリア密度である。

2) 発生再結合中心を介する暗電流

発生再結合中心(トラップ・レベルが禁制帯のほぼ中央付近にある場合)を介する暗電流の単位面積、単位時間あたりの発生確率 P_0 は、

$$P_0 = \frac{n_i \cdot W}{\tau_0} \quad (4-7)$$

と表わされる²⁾。Wは空乏層幅、 τ_0 は実効的な電子および正孔の寿命(effective lifetime)である。

3) 界面トラップを介する暗電流

界面の禁制帯内に存在するトラップから発生する暗電流の単位面積、単位時間あたりの発生確率 P_s は、

$$P_s = \int_{E_v}^{E_c} \frac{n_i \cdot \sigma_n \cdot \sigma_p \cdot N_s(E_T)}{\sigma_n \cdot \exp\left(\frac{E_T - E_i}{kT}\right) + \sigma_p \cdot \exp\left(\frac{E_i - E_T}{kT}\right)} dE_T \quad (4-8)$$

となる²⁾。 σ_n 、 σ_p はそれぞれ電子、正孔の捕獲断面積、 $N_s(E_T)$ はトラップ密度、 E_T はトラップレベルを示す。

いま、本素子はn+p型Si-APDを用いているので空乏層は表面酸化膜とn+層の界面にまで広がることはない。従って、界面トラップから発生する暗電流に関しては考慮する必要はない。一方、拡散電流ならびに発生再結合中心を介する暗電流は真性のキャリア密度 n_i が温度依存性を持ち、

$$n_i \propto \exp(-E_g/2kT) \quad (4-9)$$

と表わされる²⁾。従って、拡散電流は温度に対し $\exp(-E_g/kT)$ 、発生再結合中心を介する暗電流は温度に対し $\exp(-E_g/2kT)$ の関係を持つ。通常、約50°C(=323K)以下の温度では発生再結合中心を介する暗電流の方が主となる。液体窒素温度において発生再結合中心を介する暗電流を式(4-7)から計算してみると、 $10^{-5.0}$ (A/cm²)程度となり、これを1フレーム期間内での発生電荷数に換算すると約 6×10^{-37} (個)となる。この結果より、逆バイアス電圧が低い場合には、アバランシェ増倍される電荷量も非常に小さく問題にならないレベルであると考えて差し支えない。

低電界領域における暗電流の直流バイアス特性を図4.7に示す。比較のため光電流特性も併せて示した。直流動作では暗電流はブレイクダウン電圧付近

において急激な立ち上がりをみせる。しかしながら、ブレイクダウン電圧以下の領域では、液体窒素温度に冷却した効果が大きくその検出は困難である。従って、電荷蓄積期間中に発生する微小な暗電流の等価雑音電荷数 n_{dark} を測定するにも、電荷量-電圧変換用の積分器の積分容量を小さくして検出感度を高めしておく必要がある。等価雑音電荷数 n_{dark} -検出電圧 V_{dark} の変換の関係式を(3-1)式から導き示す。

$$V_{\text{dark}} = \frac{100(\text{K}\Omega)}{10(\text{K}\Omega)} \cdot \frac{1.6 \times 10^{-19}(\text{C})}{100(\text{pF})} \cdot n_{\text{dark}} \quad (4-10)$$

積分器に用いた積分容量100(pF)と積分器の入力抵抗として用いた10(KΩ)との組合せは、積分容量の電荷保持特性の面からこれ以下の大きさにする事は適当ではない。また、素子のドレインに接続し、素子から出力される電流を検出するための負荷抵抗(100KΩ)もこれ以上の大きさをを用いた場合、ノイズを拾い易くなるので、これ以上の大きな値を採用するのは好ましくない。(4-10)式によれば、電荷1個当りの積分器からの出力電圧 V_{dark} は $1.6 \times 10^{-5}(\text{mV})$ となる。この積分器は本来、取り扱う信号電荷量が 10^4 - 10^{10} (個)に設計したものであるので、ブレイクダウン電圧以下の領域における暗電流に関しては取り扱うことはできなかつた。直流バイアス特性でブレイクダウン電圧付近において急激に増加する暗電流については、ブレイクダウン電圧以上の動作領域と発生過程が同じものであるとみなすこととし、ブレイクダウン電圧以上の暗電流とともに考えることにする。

ブレイクダウン電圧以上の動作領域ではAPDの空乏層内に電界強度 1×10^5 (V/cm)以上の高電界領域が形成される。この領域では、トンネル効果によって放出されるキャリアによる暗電流の発生を考慮する必要がある。トンネリングには、

- 1) 直接、価電子帯から伝導帯にトンネルする帯間トンネリング
- 2) 基板中の欠陥および不純物準位のトラップを介するトンネリング

の2種類が考えられる。

帯間トンネリングの場合の単位面積($1/\text{cm}^2$)、単位時間(sec)当りのトンネリング確率 P_{td} をWKB(Wentzel-Kramers-Brillouin)近似²⁾を用いて表すと、

$$P_{td} = \frac{\sqrt{2} q^2 \cdot E \cdot m^{1/2} \cdot V_a}{4 \pi^3 \hbar^2 E_g^{1/2}} \exp\left(-\frac{\pi \cdot m^{1/2} \cdot E_g^{3/2}}{2 \sqrt{2} q E \hbar}\right) \quad (4-11)$$

となり、温度には依存しない。

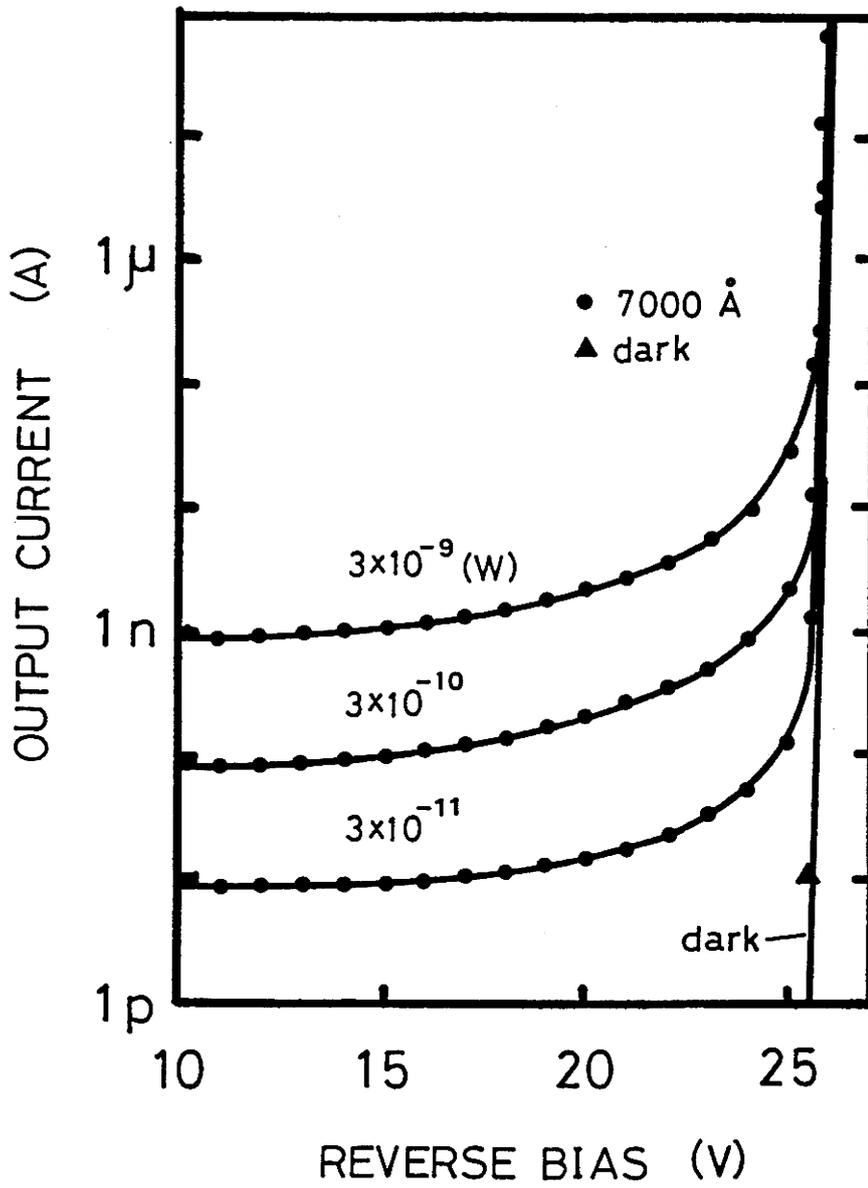


図 4 - 7 直流バイアス特性

この式によれば、使用したAPDにおいて平均電界強度が 1×10^5 (V/cm)以上の場合に、1フレーム期間の間(30msec)にトンネリングされる電荷数は 1×10^{-51} (個/フレーム)、また、平均電界強度が 10^6 (V/cm)の場合には 1×10^{13} (個/フレーム)と計算される。実験に使用したAPDはアバランシェ・ブレイクダウン電圧 V_B は約-26(V)であり、このときの空乏層幅は約 $2 \mu\text{m}$ であるので、平均電界強度は約 1.3×10^5 (V/cm)となる。最大電界強度を2倍の約 2.6×10^5 (V/cm)と仮定して、トンネリングにより発生する電荷数を計算した場合、1フレーム当たり約0.06(個/フレーム)となる。この評価はたいへん簡単であるが、帯間トンネリングはブレイクダウン電圧以上の動作領域においてアバランシェのトリガとなりうる可能性を持っていることは否定できない。さらに、帯間トンネリングに比べて禁制帯中のトラップを介したトンネリングは、トンネリングを阻止する障壁の距離が短いだけ、暗電流を発生し易い。

そこで、ブレイクダウン電圧以上の領域における暗電流の測定を試みた。図4-8に暗状態においてアバランシェ増倍が発生する確率のゲート電圧依存性を示す。蓄積期間初期にAPDに印加される逆バイアス電圧はブレイクダウン電圧 V_B (=-26(V))以上-26.4(V)、-27(V)とした。この実験では、APDの表面ポテンシャルをFETソースホロアを用いてモニターしながら、結合容量 C_c に印加する電圧の調整を行い蓄積期間初期にAPDに印加される逆バイアス電圧 V_{st} が常に一定となるように注意した。読み出し時のゲート電圧を上げてゆくと読み出し時と蓄積期間初期の空乏層の変化幅は小さくなる。それとともに、暗状態におけるアバランシェ増倍が発生する確率は減少する傾向を示している。図には-27(V)時の空乏層の変化幅も同時に示した。この変化幅と暗状態においてアバランシェが発生する確率には相関が認められる。従って、アバランシェが発生する確率は空乏層の変化幅内に存在する禁制帯中のトラップ数に関係していると考えられる。

使用したAPDは表面を n^+ 層とする $n^+p\pi p$ 構造をもつ。APDに印加される逆バイアス電圧が-26(V)程度では空乏層は表面 n^+ 層側にはほとんど延びず、P層側でも中間P層内で終端する。図4-9(a)にゲート電圧を高く設定した場合を示す。このときの電荷蓄積期間初期と読み出し時の空乏層の変化幅は小さい。電荷蓄積期間初期に空乏層の一部となる領域に含まれるトラップのうち、読み出し時にはフェルミレベルよりも上に存在して正孔を充填することにより電氣的にニュートラルな状態となるトラップについて考える。この準位に位置するトラップは、読み出し時にはポテンシャル的にフェルミレベルよりも高い位置に存在するので、正孔で充填される。

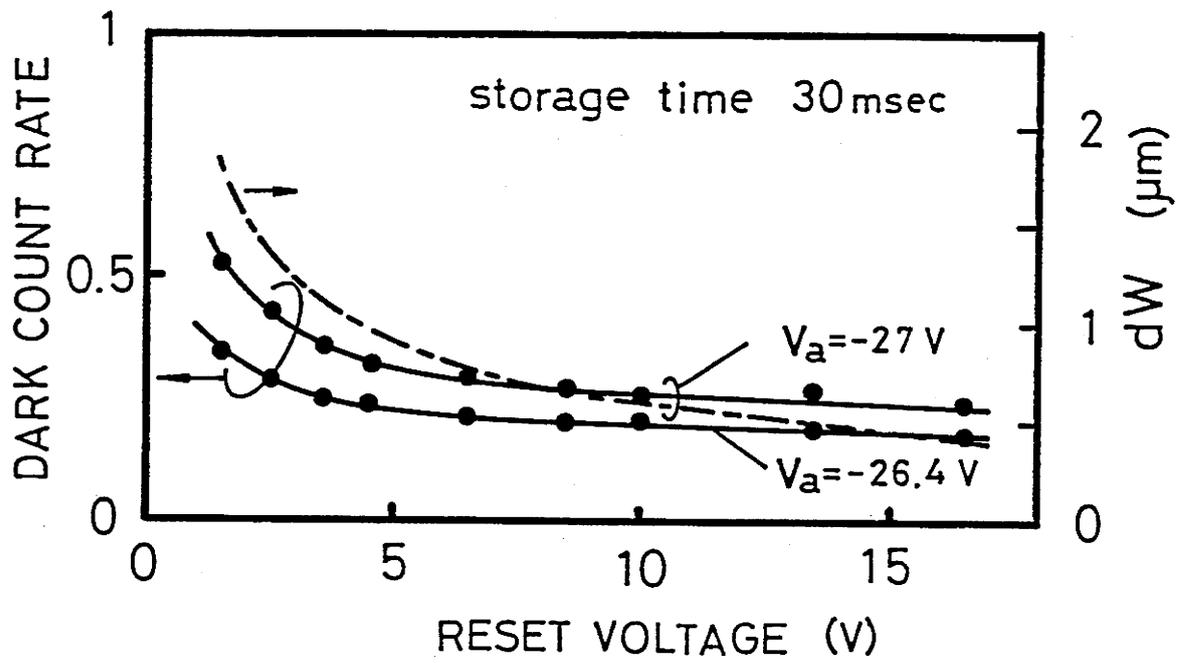


図 4 - 8 暗状態におけるアバランシェ増倍の発生確率

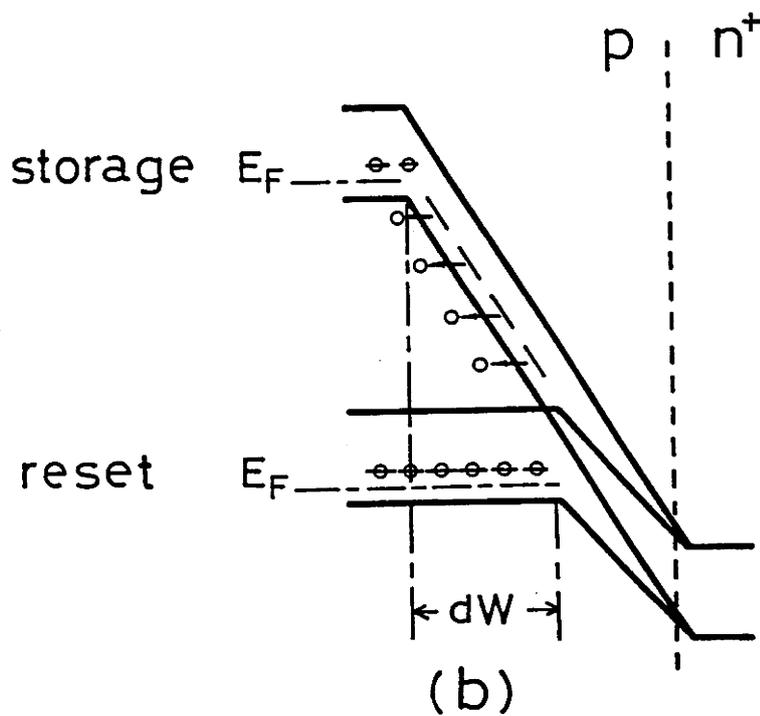
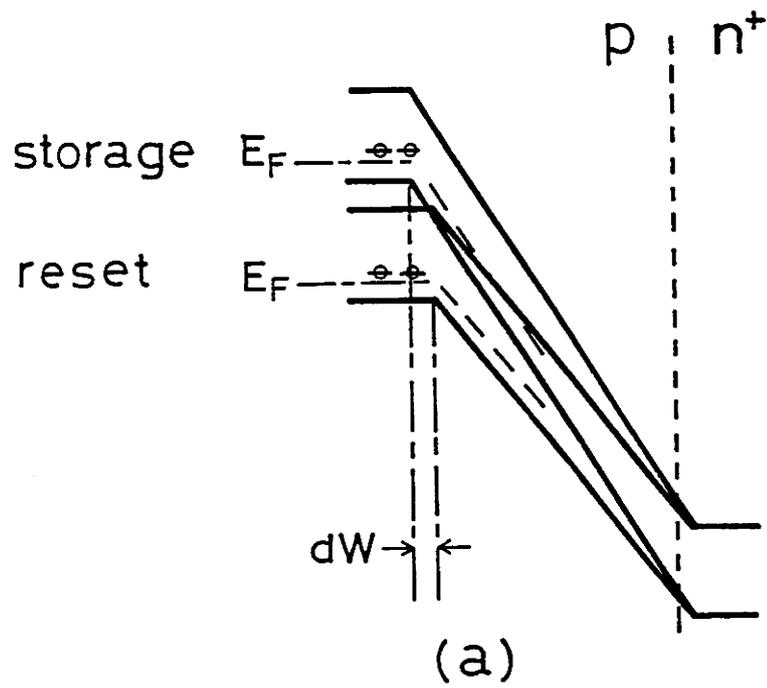


図 4-9 トラップを介したトンネリング放出

結合容量 C_c を通じて APD に逆バイアス電圧が印加されると、このトラップは空乏層の一部に含まれ、空乏層内の電界がトンネリングを起こすのに十分な大きさであればトラップに捕獲されていた正孔は価電子帯にトンネリング放出され、暗電流となるが、空乏層の変化幅が小さいだけにトンネリング放出される正孔の数も少ない。逆に、リセット時のゲート電圧を低く設定した場合を図 4-9 (b) に示す。電荷蓄積期間初期とリセット時の空乏層幅の変化は大きいので、リセット時に正孔を充填し電氣的にニュートラルな状態となり、電荷蓄積期間中は空乏層に含まれ、空乏層中の電界によりトンネリング放出される正孔の数は多くなる。この考え方に従えば、電荷蓄積期間初期とリセット時の空乏層幅の変化と、空乏層内の電界により暗電流としてトンネリング放出される正孔の数はほぼ比例することの説明はつく。

ブレイクダウン電圧以上の動作領域における暗電流の発生に関しては、この実験結果からだけでブレイクダウン電圧以上の動作領域の暗電流すべてを論じきることはできないが、ブレイクダウン電圧以上で素子を駆動する場合には、リセット時と電荷蓄積期間初期の空乏層幅の変化量は抑えた方が暗電流は減少する事は明らかである。従って、ブレイクダウン電圧以上の動作領域において暗電流を低減するには、読み出し時と蓄積期間初期の空乏層幅の変化がない素子駆動のおこなえるデュアルゲート型構造の方が望ましいと言える。

C. 入射波長と APD の構造

これまでの実験はすべてピーク波長 7000 \AA の LED を用いて行なった。しかし図 3-10 に示したように、APD の直流逆バイアス特性は波長依存性を持っている。可視光領域は波長 $4000\text{-}7000(\text{ \AA})$ の範囲を持つが、固体撮像素子はこの波長全域に渡って均一な増倍利得を持つことが必要となる。

図 4-10 に広がり抵抗 (Spreading Resistance) の測定結果から求めた APD 中央のアバランシェ増倍部分の不純物濃度分布を示す。素子は表面から $n^+p\pi p$ 層構造となっている。図には表面 n^+ 層と中間 p 層と π 層の一部を示してある。 n^+p 接合の位置は表面から約 $0.7(\mu\text{m})$ であった。図 4-11 に入射波長 $3500(\text{ \AA})$ および $7000(\text{ \AA})$ それぞれの単一波長を入射した時の電荷蓄積期間中の平均増倍利得の APD 逆バイアス電圧依存性を示す。蓄積期間は $30(\text{msec})$ とした。平均増倍利得は、1 フレームの出力電荷数 n_{OUT} を 1 フレーム当りに入射したフォトン数に量子効率 0.6 をかけた値 n_{IN} で割った値 $n_{\text{OUT}}/n_{\text{IN}}$ として求めた。波長 $3500(\text{ \AA})$ ならびに波長 $7000(\text{ \AA})$ の光の光源にはキセノンランプをもつスペクトロフォトメータ (島津製作所 QR-50) を用いた。

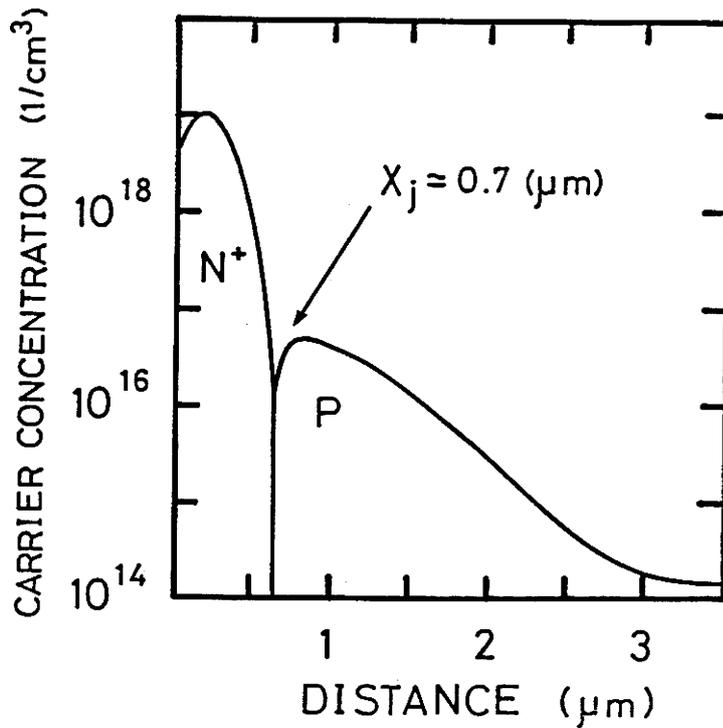


図 4 - 1 0 APDの不純物濃度分布

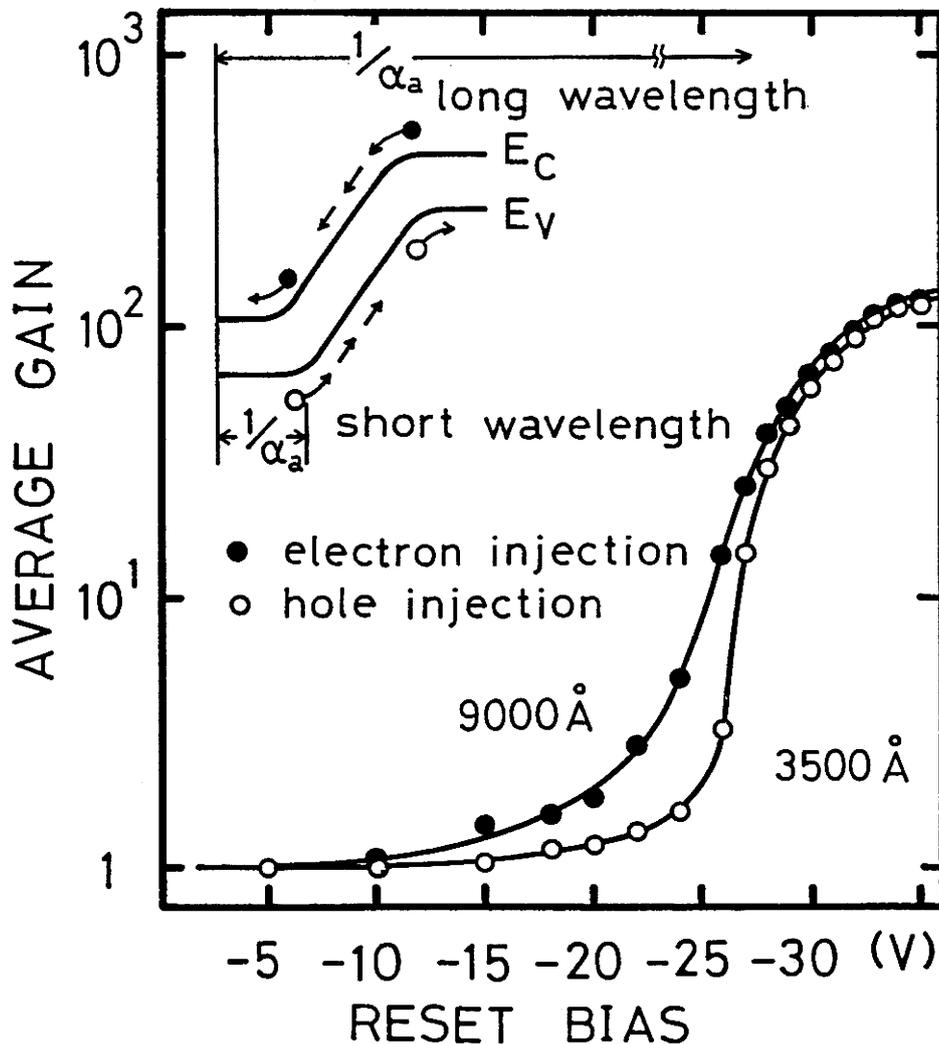


図 4 - 1 1 平均増倍利得の入射波長依存性

光量調節には前述のNDフィルターを用いた。入射光強度はAPDに印加する逆バイアス電圧をアバランシェが生じるよりも小さな電圧値(-10(V))に固定した状態で、 2.5×10^{-8} (W)の入射光強度をもつ7000(Å)の波長の光を入射し、得られる出力に等しい出力が得られるように3500(Å)の波長を持つ光の入射光強度を調整した。3500(Å)、7000(Å)の波長に対する吸収係数 α_a は、それぞれ 2.0×10^5 (1/cm)、 2.1×10^3 (1/cm)であるので、3500(Å)の波長の光は表面n⁺ですべて吸収されアバランシェ増倍領域を持つ空乏層に対しては正孔注入を行なう。逆に7000(Å)の波長の光はp基板側で86%が吸収され、空乏層に対してはおもに電子注入を行なう。測定結果によれば、電子注入はAPDに印加される電圧が-15(V)程度から利得が発生し、-26(V)付近で急増している。一方、正孔注入ではAPDに印加される電圧が-26(V)までは利得はほとんど1であるが、-26(V)になると急激に増加する。これは、図2-3(b)で説明したようにSiの電子のイオン化率 α が正孔のイオン化率 β の3-30倍と大きく、空乏層に対し電子注入を行なった方が、正孔注入を行なうよりも大きな増倍利得を得られる理由によるものである。

最初に述べた通り、Si-APDを固体撮像素子に用いるためには異なった吸収係数を持つ可視光領域内の波長に対して均一な増倍特性を有する必要がある。まず、ブレイクダウン電圧 V_B 以下の動作領域において入射波長に対する増倍利得の均一性を実現するための設計指針について考察する。つぎに、均一で高い増倍利得を達成するためには光励起された電荷がアバランシェ増倍が生じるAPDの空乏層に対して電子注入となる必要がある。従って素子の表面はp層としたほうがよい。ここで、固体撮像素子が取り扱うべき可視光領域を波長3500-7000(Å)と限定すれば、Si基板に対する吸収係数 α_a は 2×10^5 - 2×10^3 (1/cm)となり、それぞれの波長の光がSi基板内で90%以上吸収されるために要する距離はそれぞれ0.1-11.5(μ m)となる。そこで、pn型APDの接合の位置は表面p層から12(μ m)以上に設計することが必要となる。さらに過剰雑音を防ぐためには正孔と電子のイオン化率比を大きく設定する必要があるが、このためには内部電界を極力低く押え、なおかつ増倍利得を上げるために、電子の走行距離を長く取ることのできるpin型素子構造が適している。このとき、最大電界強度を 2×10^5 (V/cm)以下に抑えることができれば、電子-正孔イオン化率比 k を0.01以下に抑えることができるので、図1-5で説明したようにS/Nの点でも有利となる。

次に、ブレイクダウン電圧 V_B 以上の動作領域ではアバランシェ-フィードバックループが形成され、出力は一定値を示し、更にそれを2値化して用いるの

で増倍利得のばらつきに関係する過剰雑音の問題は関係なくなる。従って、低い逆バイアス電圧で高い内部電界を形成する事だけを考慮すれば良いので、表面から p^+n^+ の接合を設ければ良い事になる。

D. 素子構造の最適化

キャパシタンスカップリング型構造は光電変換部である APD の上に結合容量 C_c を形成するので、実際に素子を製作する場合、開口率を上げることが重要となる。そのためには、透明電極として一般的な SnO_2 、ITO の利用が考えられる。しかし、 SnO_2 は化学的に大変安定であり、ウェット-エッチングによる電極形成は困難である。ドライ-エッチングは可能ではあるが、プラズマにより APD 上の薄い SiO_2 をボンバードするので APD の暗電流の増加が心配される。また、ITO を用いた場合には、In のしみだしによる結合容量 C_c の値の経年変化が心配される。そこで、実際の素子製作にはガードリングの上の SiO_2 膜の上に Al 膜をドーナツ状に形成する方法が実績的にみて一番リスクが小さい。この場合は、1 画素あたりの開口面積はおのずと制限を受けることになる。どの程度制約を受けるかを考慮してみる。この Al 膜を用いた結合容量 C_c を作るための面積 S_{SiO_2} の APD の受光可能面積 S_{APD} に対する比率と印加電圧 V_a の関係は (4-1) 式を用いて、

$$\frac{S_{SiO_2}}{S_{APD}} \cdot (V_a + V_{RESET} - V_{st}) = \frac{V_{st} \cdot \frac{C_{APD}}{S_{APD}} \cdot d_{SiO_2}}{\epsilon_0 \cdot \epsilon_{SiO_2}} \quad (4-12)$$

と表すことができる。ただし、 ϵ_0 は真空の誘電率、 ϵ_{SiO_2} は Si 酸化膜の比誘電率、 C_{APD} は APD 容量、 d_{SiO_2} は酸化膜厚である。使用した APD を液体窒素温度 77K に冷却した際の直流ブレイクダウン電圧 V_B が約 -26(V) であることを考慮すれば、直流ブレイクダウン電圧以上の動作領域で素子を駆動する為には APD に印加する逆バイアス電圧は直流逆バイアス電圧以上約 5(V) 程度は必要となる。使用した APD の C-V 特性は逆バイアス電圧 -20(V) 以上で容量は 19(pF) であった。

以上の事を鑑みて、(4-12) 式に用いる値として、印加する逆バイアス電圧の最大値を $V_{st} = -30(V)$ とし、APD の空乏層容量 $C_{APD} = 19(pF)$ とする。この APD に印加する逆バイアス電圧 $V_{APD} = -30(V)$ 時の、結合容量面積 S_{SiO_2} の APD の面積 S_{APD} に対する比率と印加電圧 V_a の関係を $V_{RESET} = 0(V)$ で計算したときの値を図 4-12 に示す。

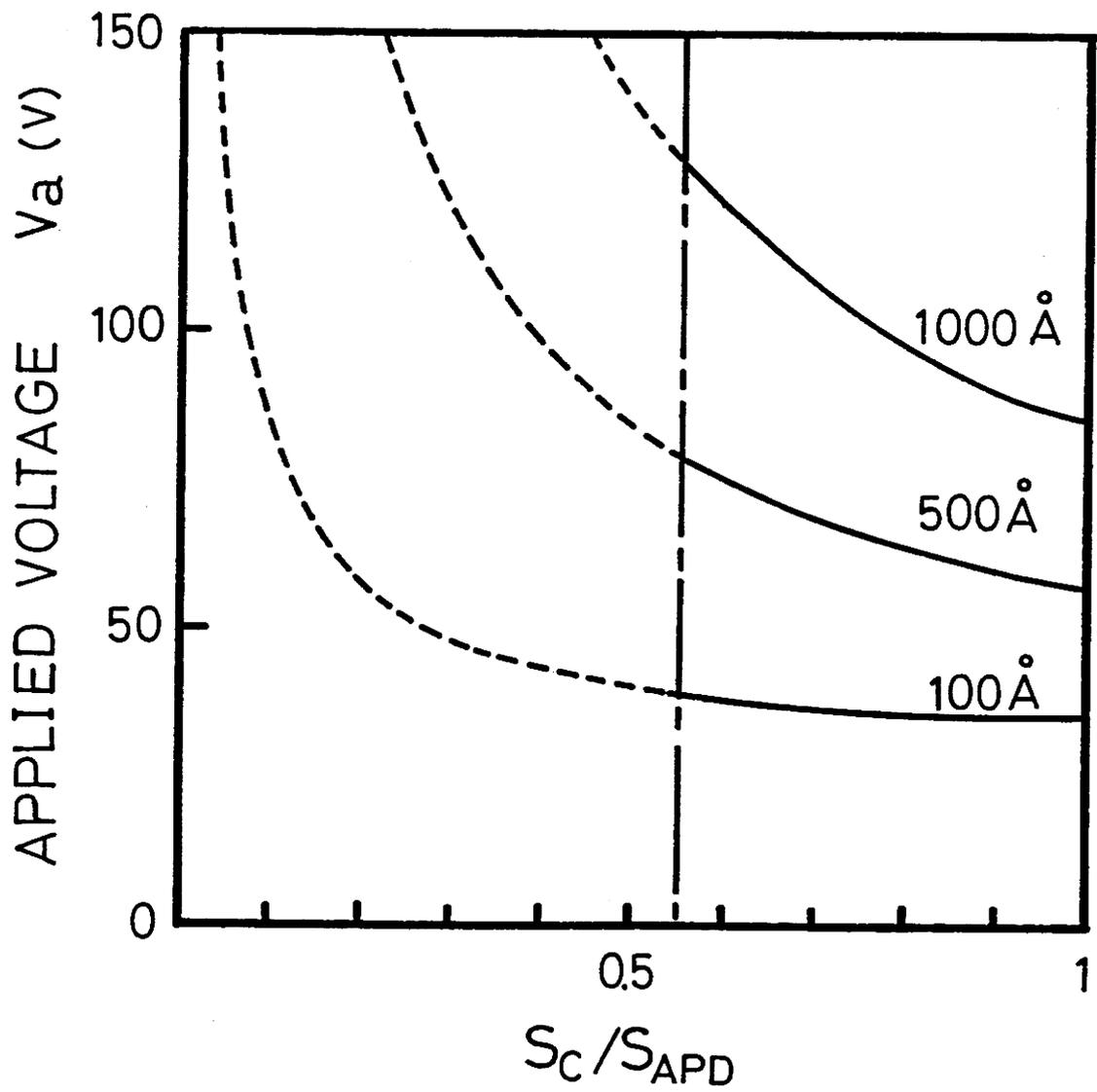


図 4 - 1 2 結合容量面積 S_{SiO_2} の APD の面積 S_{APD} に対する比率と印加電圧 V_a 。

また、 SiO_2 膜に印加可能な最大電界 E_{\max} は 10^7 (V/cm) である²⁾ ので、(4-2)式にこの条件を入れると、

$$\frac{S_{\text{SiO}_2}}{S_{\text{APD}}} > \frac{V_{\text{st}} \cdot C_{\text{APD}} \cdot d_{\text{SiO}_2}}{\epsilon_0 \cdot \epsilon_{\text{SiO}_2} \cdot S_{\text{APD}} (E_{\max} \cdot d_{\text{SiO}_2} + V_{\text{RESET}})} \quad (4-13)$$

となる。APD面積に対して結合容量の占める割合は制約を受ける。 $V_{\text{RESET}} = 0$ (V)の場合について計算してみると、

$$\frac{S_{\text{SiO}_2}}{S_{\text{APD}}} > 0.55 \quad (4-14)$$

となる。従って、APDの面積 S_{APD} に対して結合容量面積 S_{SiO_2} の占める割合が0.55以上必要となることは避けられない。しかし、(4-13)式からもわかる様に V_{RESET} を高くとればとるほどAPDの面積 S_{APD} に対して結合容量面積 S_{SiO_2} の占める割合を抑え、開口率を上げることができ、その上限は、APDがアバランシェ増倍を生じない最大逆バイアス電圧で決定される。印加電圧 V_a を低く抑えるためには酸化膜厚は薄ければ薄いほど好ましい。近年のVLSIに用いられるMOSの酸化膜厚はメモリ用に耐圧の点で問題はあるが、300(Å)以下⁴⁾のものも用いられている。耐圧の事を考慮して、仮に500(Å)のものを用いるとすれば、 $(S_{\text{SiO}_2}/S_{\text{APD}}) = 0.7$ にした場合には、印加電圧 V_a は70(V)必要となる事を示している。用いるAPDのアバランシェが生じ始める電圧により異なるが、読み出しパルスにより V_{RESET} を印加しておくことで、 V_a はより小さな値とすることが可能となる。

4. 4 結言

提案したキャパシタンス-カップリング型構造を用いることによりAPDに印加する逆バイアス電圧を、蓄積期間中はアバランシェが生じるに十分な大きさとし、読み出し期間中に続くリセット期間中にはAPDに印加する逆バイアス電圧をアバランシェが生じないレベルに抑えることが可能となった。このキャパシタンス-カップリング型素子構成はリセット時にゲート下のチャネルを通してAPDに印加した電圧と結合容量を介してAPDに印加した電圧は加算されて蓄積期間中のAPDに印加する事ができる。

実験によりその光電変換特性を調べたところ、ブレイクダウン電圧以下の動作領域においては、デュアルゲート型同様、実験結果は光電変換特性の傾きを示す γ が1を示す領域と1/2を示す領域の存在が確かめられ、特性解析式の計算

結果とも良い一致を示した。

ブレイクダウン電圧以下の動作領域では、トンネリングによる暗電流の影響はほとんどないと考えられる。キャパシタンス-カップリング型素子構成のようにリセット時にゲートを通してAPDに印加した電圧と結合容量を介してAPDに印加した電圧は加算することを特徴とする素子はブレイクダウン電圧以下で用いるのに適している。また、蓄積容量が小さいので、入射光量の小さいうちから $\gamma=1/2$ の光電変換特性を用いることができる。このとき、デュアルゲート型とは異なり、蓄積容量の小さな時に読み残しがでないので、 $\gamma=1/2$ の特性からずれることはない。

しかしながら、ブレイクダウン電圧以上の動作領域における実験では、トラップを介するトンネリングによる暗電流の影響により暗電流はリセット時と電荷蓄積動作初期の空乏層の変化幅にほぼ比例して増加する。このため、暗電流を抑えるためには結合容量を通じてAPDに電圧を印加する方法はブレイクダウン電圧以上の動作領域には適さない。

参考文献

- 1)H.Komobuchi, M.Morimoto, T.Ando,;"Operation and Properties of a p-n Avalanche Photodiode in a Charge Integrating Mode," IEEE Electron Device Letters, vol.10, no.5, pp.189-191.
- 2)S.M.Sze, Phisics of Semiconductor Devices, Wiley-Interscience, New York, 1981.
- 3)H.F.Wolf, Silicon Semiconductor Data, International Series of Monographs on Semiconductors vol.9, Pergamon Press, London, 1969.
- 4)S.M.Sze, VLSI Technology, McGraw-Hill, New York, 1983.

第5章 APDアレイの試作と増倍利得のばらつきの評価

5. 1 緒言

第3章、第4章においてデュアルゲート型構造およびキャパシタンス-カップリング型構造を持ったデバイスの1画素の等価回路を用いて、ブレイクダウン電圧以下からブレイクダウン電圧以上までの電荷蓄積動作領域の光電変換特性と構造との関係を明らかにした。さらに、提案したアバランシェ増倍型素子をアレイ化する上では素子間の出力のばらつきが問題になるものと考えられるが、ブレイクダウン電圧 V_B 以上の動作領域での出力はコンパレータを用いて2値化されるため、基本的にばらつきは問題とはならない。一方、ブレイクダウン電圧 V_B 以下では、素子内、素子間において不純物プロファイルのばらつきに起因する増倍利得、蓄積容量のばらつきが生じることが問題となる。

本章ではアバランシェ増幅型固体撮像素子のアレイ化に関しては、ブレイクダウン電圧 V_B 以下の動作領域での出力のばらつきの問題に対して素子駆動方法の面から検討を行なう。

まず、素子固有の蓄積容量および初期増倍利得のばらつきとその出力ばらつきへの影響を調べるためにアレイの試作を行なった。APD以外の部分で発生する構造ならびに特性のばらつきを最小とするために、デュアルゲート型ならびにキャパシタンス-カップリング型構造の両者に共通する構造であるAPDとリセット-スイッチの組合せからなるシングルゲート型構造を試作した。

1素子が5画素からなるアレイを試作し、同じウェハからダイシングした複数の素子の蓄積容量、初期増倍利得などのばらつきと出力のばらつきの関係を測定した。実験から得たばらつきの原因を解析式を用いて評価し、出力のばらつきを抑えるために最適な駆動方法について検討した。

5. 2 APDのアレイ化

A. 設計

試作したシングルゲート型素子の1画素の断面図を図5-1-1に示す。APDの形状は、曲率半径の小さなコーナーが存在するとエッジブレイクダウン¹⁾が起り易くなることから円形とした。アバランシェ増倍が生じる n^+ 拡散層の半径は $60(\mu\text{m})$ 、エッジブレイクダウンを防ぐためのガードリングは幅 $30(\mu\text{m})$ 、両者のオーバーラップは $10(\mu\text{m})$ とした。また、APD内に信号電荷の読み出し並びにリセットを行なうためのゲート電極は長さ $30(\mu\text{m})$ 、幅 $60(\mu\text{m})$ とした。ドレインはガードリング作成時に同じ拡散工程により形成した。

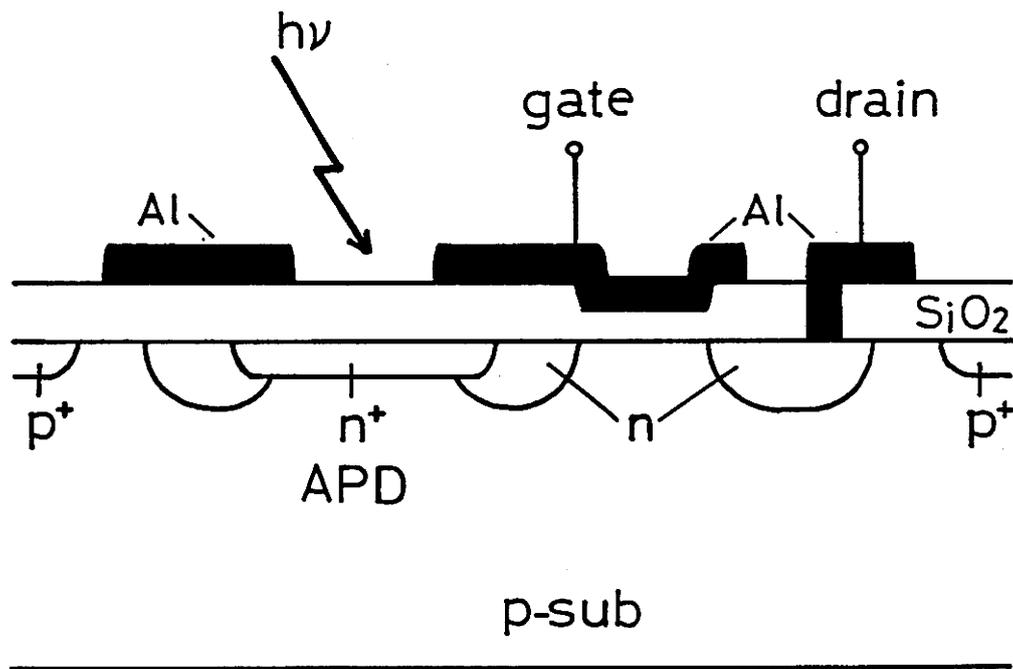


図 5 - 1 試作素子の断面図

また、ガードリング領域の周囲には、基板表面の反転を防ぐために p^+ チャンネルストッパを形成した。

設計、試作にあたって留意した点は、

- 1) 低電圧駆動を可能とするためにブレイクダウン電圧を約30(V)に設計
- 2) ガードリング部のブレイクダウン電圧を中央アバランシェ増倍部のブレイクダウン電圧よりも30(V)程度高く設計した

である。最初の問題に対しては、素子中央のアバランシェ増倍部の n^+ 層の濃度勾配を $5 \times 10^{21}(\text{cm}^{-4})$ とした。また、次の問題に関しては、ガードリング部の濃度勾配を $2 \times 10^{20}(\text{cm}^{-4})$ とし、エッジブレイクダウンが生じにくいように曲率半径を $10(\mu\text{m})$ と大きく設計した。

B. 試作

今回の試作素子は、次のような工程を経て作られた。

- ①フィールド酸化膜形成
- ②チャンネルストッパ用ボロン拡散
- ③ガードリング用リン拡散
- ④アバランシェ領域用リン拡散
- ⑤ゲート酸化膜形成
- ⑥コンタクトホール形成
- ⑦Al電極形成
- ⑧ダイシングおよびボンディング

詳細は<付録>参照。

図5-2に5素子からなるシングルゲート型APDアレイの一部の拡大写真を示す。APD間の画素ピッチは $240(\mu\text{m})$ である。各画素のゲートおよびドレインはそれぞれ独立している。

プロセスではAPDの暗電流を抑えるために、ウェハの洗浄には、重金属の除去効果が高い塩酸と過酸化水素水の混合液を用いた²⁾。また、Siの熱酸化では、Naイオンなどの汚染を防ぐため、ウェット O_2 酸化(バブラー使用)を行わず全てドライ O_2 酸化を用いた。ブレイクダウン電圧 V_B の変化に影響する重金属に対しては、最終高温工程(アバランシェ領域用リン拡散)に POCl_3 を用いた。

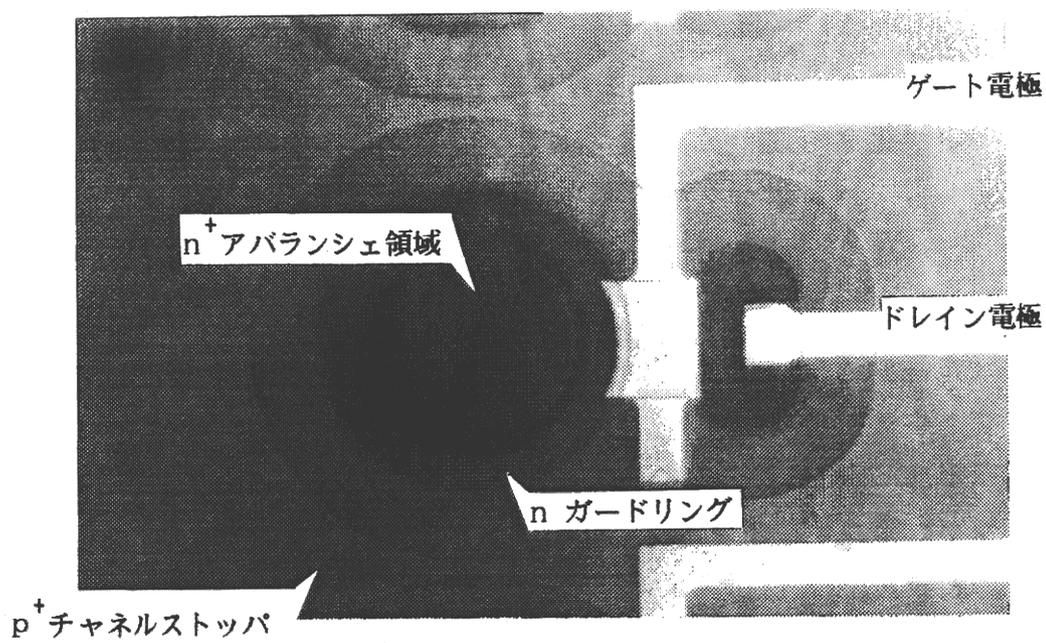


図 5 - 2 シングルゲート型 APD アレイの拡大写真

5. 3 試作素子の評価

A. APDの特性

図5-3に広がり抵抗(Spreading Resistance)の測定結果から求めた試作素子の中央アバランシェ部分と周辺のガードリング部分の不純物濃度分布を示す。周辺ガードリング部分はn型不純物拡散用塗布液OCD(東京応化製:P-59230)を用いてブレデポジションを行なった後、1200(°C)においてドライブインを24時間行なうことで曲率半径を約11(μm)とした。また、中央アバランシェ部分はPOCl₃を用いてブレデポジションを行なった後1000(°C)においてドライブインを50分間行ない、接合面を表面から約1(μm)の位置に設けた。試作素子のガードリング部、中央アバランシェ領域の各パラメーターの設計値と製作値を表5-1に示す。

表5-1 APDの設計値と製作値

中央アバランシェ領域	設計値	製作値
基板濃度	$3 \times 10^{16} \text{ cm}^{-3}$	$2 \times 10^{16} \text{ cm}^{-3}$
接合深さ	1 μm	1.3 μm
ブレイクダウン電圧	30 V	33.1 V
暗電流	1 nA/cm ²	5 nA/cm ²

ガードリング部	設計値	製作値
接合付近の不純物濃度	$1.9 \times 10^{20} \text{ cm}^{-4}$	$2 \times 10^{20} \text{ cm}^{-4}$
接合深さ	10 μm	11 μm
ブレイクダウン電圧	60 V	66 V
暗電流	1 nA/cm ²	5 nA/cm ²

素子を製作した結果、中央アバランシェ増倍部とガードリング部のブレイクダウン電圧差は設計通り30(V)程度とることができた。また、ゲート酸化膜の膜厚は約1000(Å)、耐圧は40-50(V)であった。C-Vメータ(三和無線製キャパシタンス-コンダクタンスメータ:MI-391、最大感度1(pF))を用いてAPD単体10個を並列に接続し測定したところ、1個当りの平均空乏層容量は約0.5(pF)となった。

APD単体の素子に光を照射した場合の直流バイアス電圧と光電流の関係の測定結果を図5-4に示す。

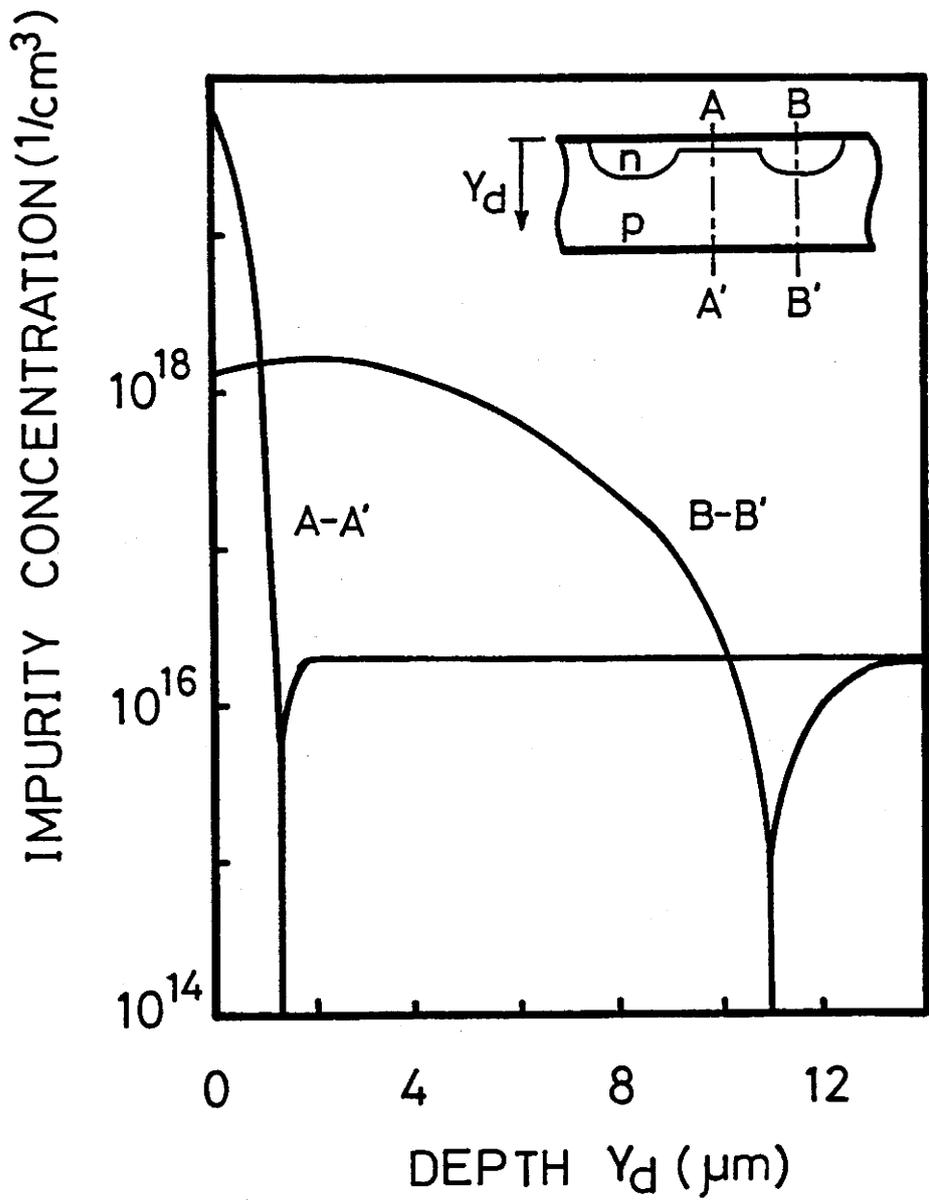


図 5 - 3 試作素子の不純物濃度分布

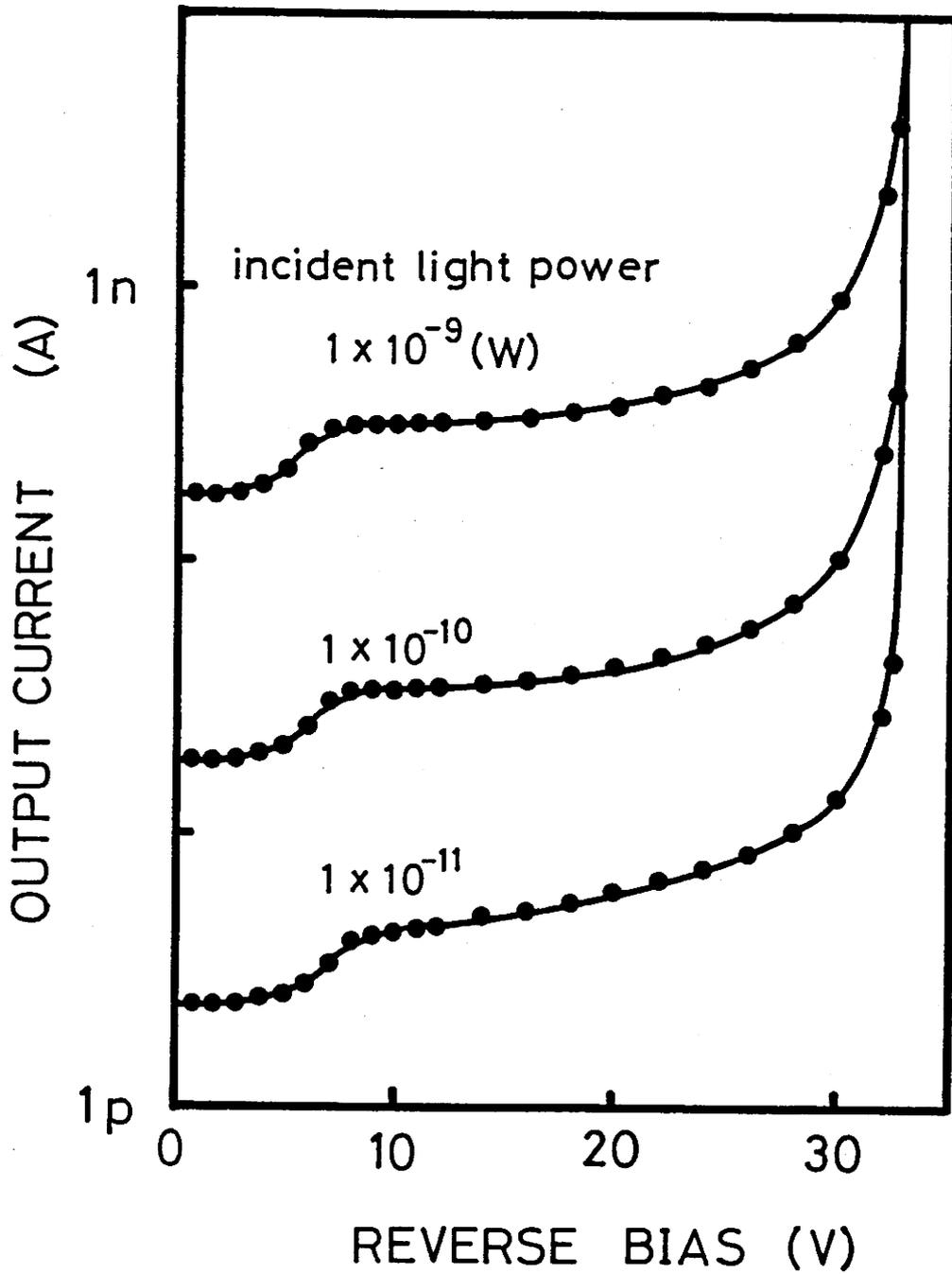


図 5 - 4 試作素子の直流バイアス特性

測定は常温において行なった。光源にはピーク波長7000(Å)のLEDを用い、減光用NDフィルターにより入射光量を 1×10^{-9} (W)、 1×10^{-10} (W)、 1×10^{-11} (W)に調節した。あらかじめ量子効率のわかっている標準フォトセルの出力電流と比較した結果、アバランシェ増倍が生じる電圧以下の逆バイアス電圧-5(V)時において、APDに入射した光子に対する量子効率は0.57の値であった。また、(2-14)式を用いて実験値にフィッティングさせることによりn値として3.2の値を得た。

暗電流の逆バイアス特性を図5-5に示す。常温においてはpn接合型Si-APDの常温における暗電流は拡散電流、発生再結合電流が主なものである。その温度依存性は、拡散電流は温度に対し $\exp(-E_g/kT)$ 、発生再結合中心を介する暗電流は $\exp(-E_g/2kT)$ の関係を持つ。通常、約50(°C)以下の温度では発生再結合中心を介する暗電流の方が主となる。発生再結合中心を介する暗電流は空乏層中に存在する発生再結合中心の数に比例するので、空乏層幅を決定する逆バイアス電圧 V_R に依存し、階段接合の場合には $V_R^{1/2}$ 、傾斜接合の場合には $V_R^{1/3}$ に比例するはずである。しかし、実験より得られた暗電流と印加電圧の関係は、図5-5に示すように傾きがほぼ1であることから発生再結合中心を介する暗電流のほかに表面からのリーク電流が重畳していると考えられる。しかし、逆バイアス電圧5(V)での暗電流は $3(\text{nA}/\text{cm}^2)$ と通常の半導体プロセスで得られると言われている暗電流 $1(\text{nA}/\text{cm}^2)$ に近い値を示した。この $3(\text{nA}/\text{cm}^2)$ の暗電流は1フレーム当りに換算すると 3.6×10^4 の電荷が発生することになる。

B. 光電変換特性

電荷蓄積動作の光電変換特性を測定するのに用いた回路のブロック図を図5-6に示す。試作素子は暗電流が充分小さいので常温での実験を行なった。テストデバイスのゲート電圧にはリングングやオーバーシュートの抑えられたパルス電圧をゲートに印加できるように工夫したパルスジェネレータより駆動パルス ϕ_g が印加される。さらに、蓄積期間中にのみ光照射が可能となるようにLEDをパルス駆動した。このパルス駆動によるLEDからの出力光の立ち上がり、立ち下がり遅れを標準フォトセルを用いて測定したところ、立ち上がり、立ち下がりともに20(μsec)の遅れがあったが、全照射時間は30(msec)あるのでこの問題は無視して差し支えない。出力信号電荷は、積分器を通じて対応する出力信号電圧に変換されオシロスコープにより出力信号電圧としてモニターされる。作成したAPDアレイの接続を図5-7に示す。ドレインは共通に接続し、信号検出用の負荷抵抗 R_L には100(K Ω)を用いた。

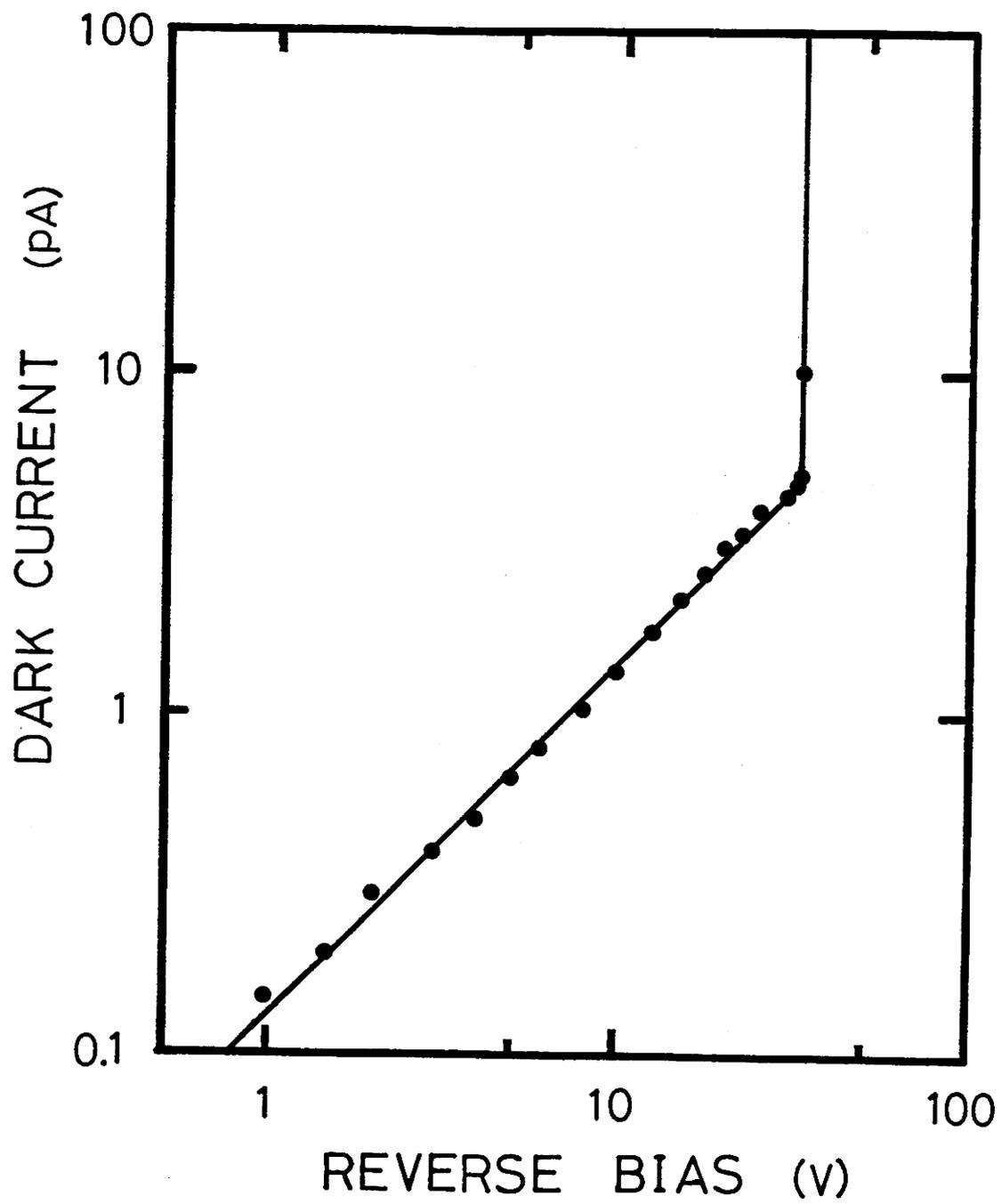


図 5 - 5 暗電流の逆バイアス特性

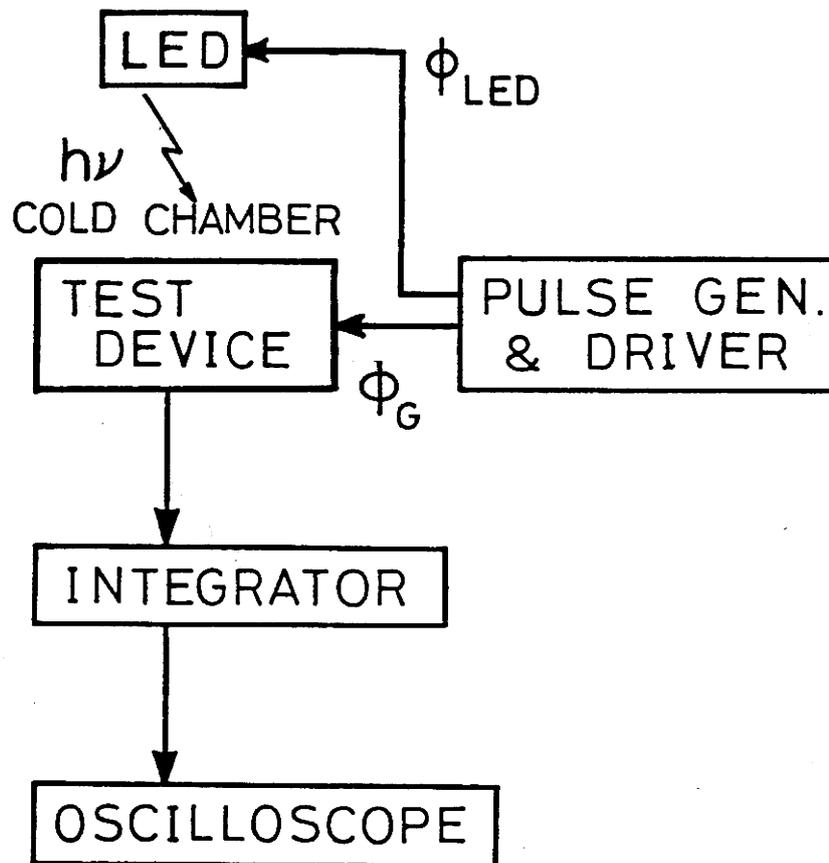


図 5 - 6 測定回路のブロック図

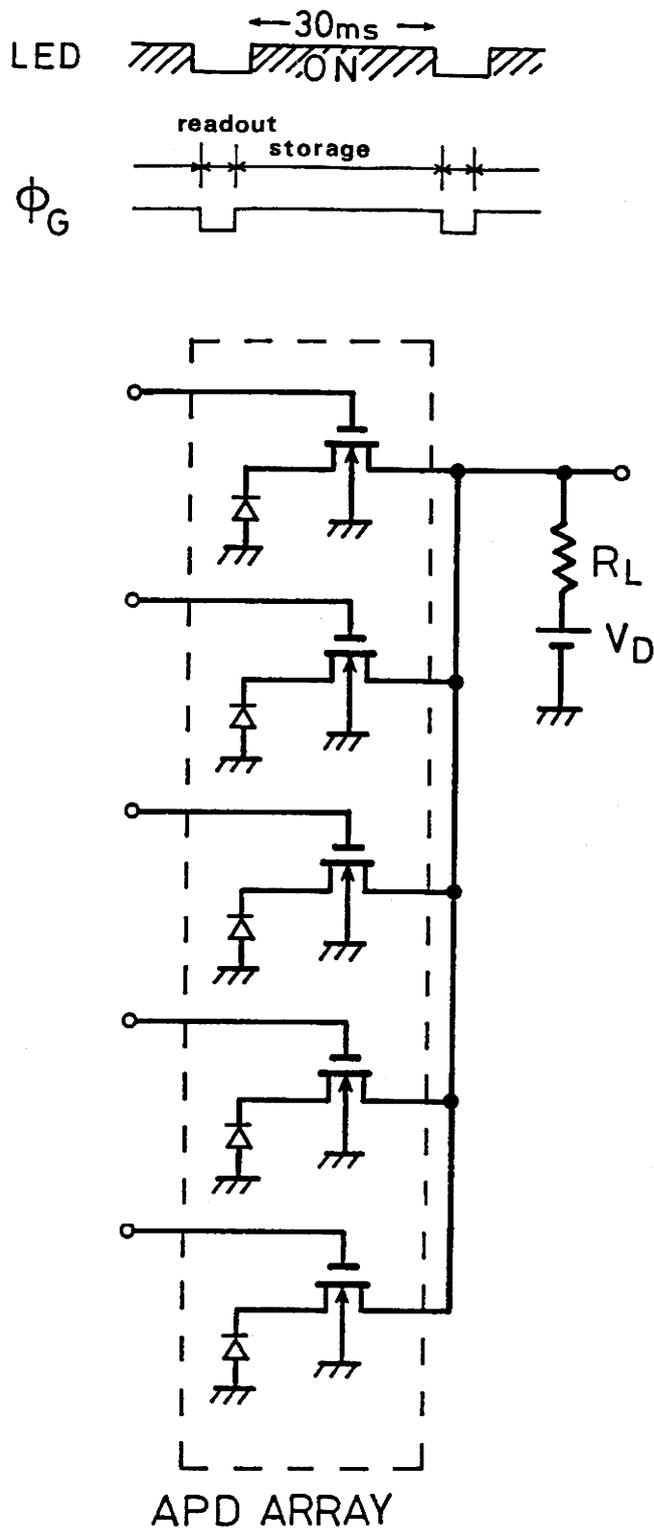


図 5 - 7 APDアレイの接続

画素間ピッチ240(μm)の5つの画素に均一な光を照射するのは大変困難である。そこで、測定に用いた1個のLED光源に対し、アレイをミクロン単位で2次元方向の位置を調整できるX-Yステージ(中央精機製)に固定し、測定対象となる画素をLEDの発光強度のピーク点に合わせ込んだ。測定を行なう素子はシングルゲート型構造を採用しているため、蓄積期間中にアバランシェ増倍された電荷のみを読み出すことができるように、蓄積期間を35(msec)とし、この期間のうち30(msec)期間だけ光照射を行なった。今回試作した素子のゲートのスレッシュホールド電圧 V_T のばらつきは0.3(V)であった。そこで、各ゲートのスレッシュホールド電圧 V_T のばらつきに左右されず各APDに一定の逆バイアス電圧を印加する方法として、FET動作特性の線形領域($V_G - V_T > V_D$)で動作させた。これによりリセット動作によりAPDに印加される電圧はドレイン電圧 V_D で決まり、 V_T のばらつきの影響を避けることができる。

図5-8に光电変換特性を示す。図には実験結果と(2-17)式を用いて計算した場合の計算結果をあわせて示す。計算に用いた蓄積期間初期の増倍利得は、図5-4の直流逆バイアス特性のグラフから読み取った結果、逆バイアス電圧が-33、-30、-10(V)の時、それぞれ20、5.8、2倍であるものとした。APDの量子効率 η は0.57、蓄積容量は0.5(pF)、 n 値は3.2とした。入射光量約 10^{-10} (W)以下の出力はノイズによると思われる暗時の出力により検出は困難であった。

C. 出力安定性の評価と解析

APDアレイを用いて、初期増倍利得のばらつきおよび蓄積容量のばらつきに対する出力への影響を調べた。APDの蓄積容量を C_i とする。いま n 個のAPDアレイにおいてアレイ内の平均の蓄積容量の大きさは、

$$\bar{C} = \frac{\sum_{i=1}^n C_i}{n} \quad n = 5 \quad (5-1)$$

で表わされる。ここで、各素子の C_i の大きさは、APDのブレイクダウン電圧付近33(V)の逆バイアス電圧印加時のものである。蓄積容量の標準偏差 ΔC は、

$$\Delta C = \left[\frac{\sum_{i=1}^n (C_i - \bar{C})^2}{n} \right]^{1/2} \quad (5-2)$$

として求めた。相対的ばらつきの大きさ ΔC^* は、

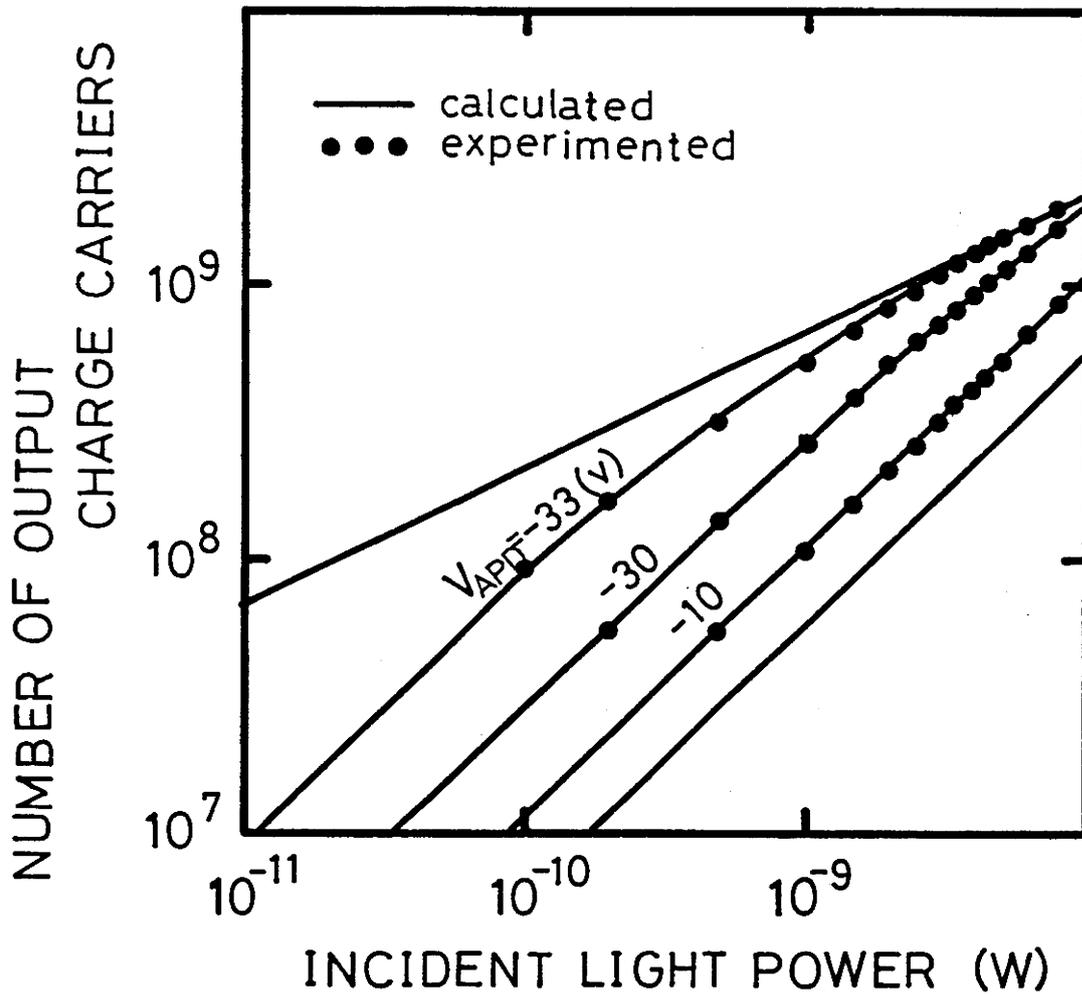


图 5 - 8 光电变换特性

$$\Delta C^* = \frac{\Delta C}{C} \quad (5-3)$$

として求めた。そのばらつき ΔC^* の測定結果を表5-2に示す。試料(a)はAPD単体のもの、試料(b)はAPDに対し市販のスチロール-コンデンサを外部容量として付加し、ばらつきを少なく抑えたものである。

表5-2 蓄積容量のばらつき

	C (pF)	ΔC^* (%)
試料(a)	7.8	6.3
試料(b)	230.0	2.5

各素子のAPDに一定の光量 10^{-9} (W) を照射し、印加逆バイアス電圧を変化させたときの各素子から得られる出力信号電圧のばらつきを調べた。実験結果を図5-9に示す。印加逆バイアス電圧を上げるに連れて、内部増倍利得も上がるので、横軸にとった出力信号電圧は増加する。実験結果では、出力が大きくなるほど、どちらの試料もばらつきは小さくなる傾向を見せる。この原因について以下理論的に検討を試みる。

まず、APDを電荷蓄積動作で用いたときの出力変動に影響を及ぼす原因を素子のプロセス過程において発生する不純物プロファイルのばらつきと幾何学的寸法のばらつきによるものと仮定する。前者はおもに空乏層内電界のばらつきとして増倍利得のばらつきとなって現われる。後者は空乏層面積の幾何学的ばらつきとして蓄積容量のばらつきとなって現われる。以下、電荷蓄積動作時の $\gamma = 1/2$ の動作領域での出力を与える出力特性式(2-17)式を用いて試作素子の増倍利得および蓄積容量のばらつきと出力のばらつきとの関係を与える式を導出する。出力特性式は(2-17)式より以下のように表わされる。

$$Q_s = \frac{C V_0}{n (M_0 - 1)} \cdot \{(1 + 2\beta)^{1/2} - 1\} \quad (5-4)$$

ただし、 $\beta = n \cdot M_0 (M_0 - 1) \cdot q \cdot n_p \cdot t_s / V_0$ 、 $M_0^* \approx M_0$ とした。

いま画素容量 C ならびに初期増倍利得 M_0 のばらつきを dC/C 、 dM_0/M_0 で示し、出力電荷量 Q_s の変動 dQ_s/Q_s を求めてみると、式(5-4)より

$$\frac{dQ_s}{Q_s} = \left[-\frac{M_0}{M_0 - 1} + \frac{\beta(2M_0 - 1)/(M_0 - 1)}{(1 + 2\beta) - (1 + 2\beta)^{1/2}} \right] \cdot \frac{dM_0}{M_0} \quad (5-5)$$

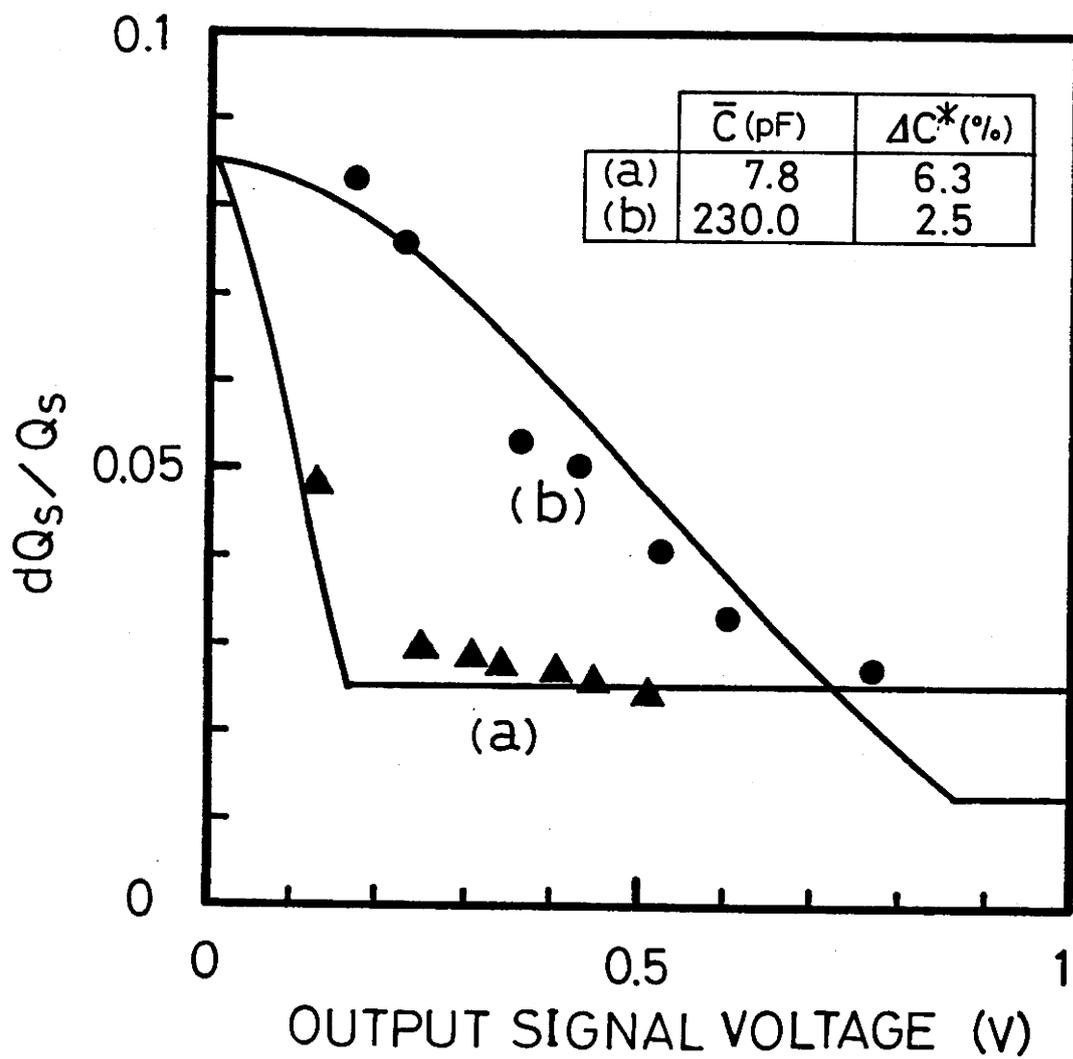


図5 - 9 出力のばらつきの変化-実験結果

$$\frac{d Q_s}{Q_s} = \left[1 - \frac{\beta}{(1+2\beta) - (1+2\beta)^{1/2}} \right] \cdot \frac{d C}{C} \quad (5-6)$$

が得られる。ここで、(5-6)式を用いて、入射光量の大きな領域での収束値を求めてみると、光量-時間積 $n_p \cdot t_s$ を無限大とする $\beta \rightarrow \infty$ である場合には出力のばらつきは、

$$\frac{d Q_s}{Q_s} = \frac{1}{2} \cdot \frac{d C}{C} \quad (5-7)$$

と表わされる。このことは、入射光量の大きな領域においては出力変動はもはや初期増倍利得のばらつきの影響を受けず、蓄積容量のばらつきの1/2の値に集束することを示している。

初期増倍利得をパラメータとして(5-5)および(5-6)式の加算値を実験値にフィッティングさせることができた。その結果、入射光量-時間積出力の大きな領域では、出力信号電荷量のばらつきは蓄積容量のばらつきの1/2の値に集束することが理論的にも明らかとなった。

図5-10は初期増倍利得を一定とし、蓄積容量のみを変化させたときの出力のばらつきを入射光量を変え、式(5-5)、(5-6)に基づいて計算した結果である。蓄積期間の初期増倍利得 M_0 は 10^3 、蓄積容量 C_0 は1、10、 10^2 (pF) と変化させた。また、初期増倍利得のばらつき $d M_0 / M_0$ は10%とした。蓄積容量が小さいものほど初期増倍利得のばらつきは小さな入射光量から抑制されてゆくことがわかる。また、蓄積容量のばらつきに起因する出力のばらつきもその影響を1/2に抑圧できることも明らかとなった。

図5-11は初期増倍利得のばらつき $d M_0 / M_0$ を0.1、0.5と変化させ入射光量依存性を計算したものである。蓄積期間の初期増倍利得は 10^3 、蓄積容量は20(pF)、蓄積容量のばらつき $d C_0 / C_0$ はそれぞれ0.1、0.05、0.02、0.01とした。この結果、素子間の濃度プロファイルのばらつきならびにリセット動作に伴うAPDに加わるリセットレベルのばらつきによる蓄積期間初期の増倍利得のばらつきの影響は入射光量の増加とともに減少し、充分大きな光量のもとではほとんど無視できることがわかる。

この結果と光電変換特性の傾き γ の関係を(5-4)式を用いて調べてみると、出力のばらつきが初期増倍利得のばらつきの大きさに依存する領域は光電変換特性の傾きが $\gamma=1$ の動作領域に対応し、蓄積容量のばらつきの1/2の値に収束する領域は $\gamma=1/2$ の動作領域に対応することがわかる。従って、 γ が1と1/2のどちらの動作領域で使用するかにより出力のばらつきを決める要素は異なる。

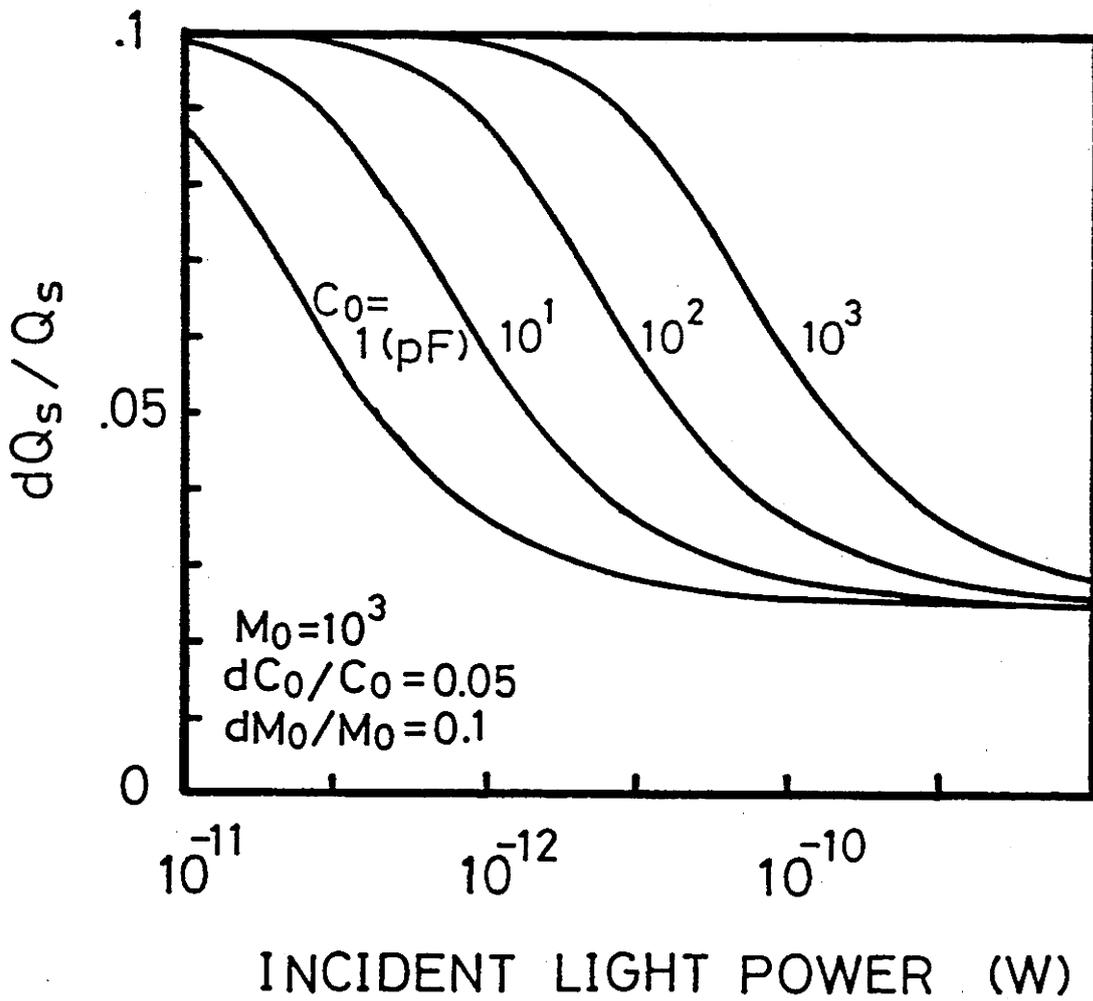


図 5 - 1 0 出力のばらつきの変化

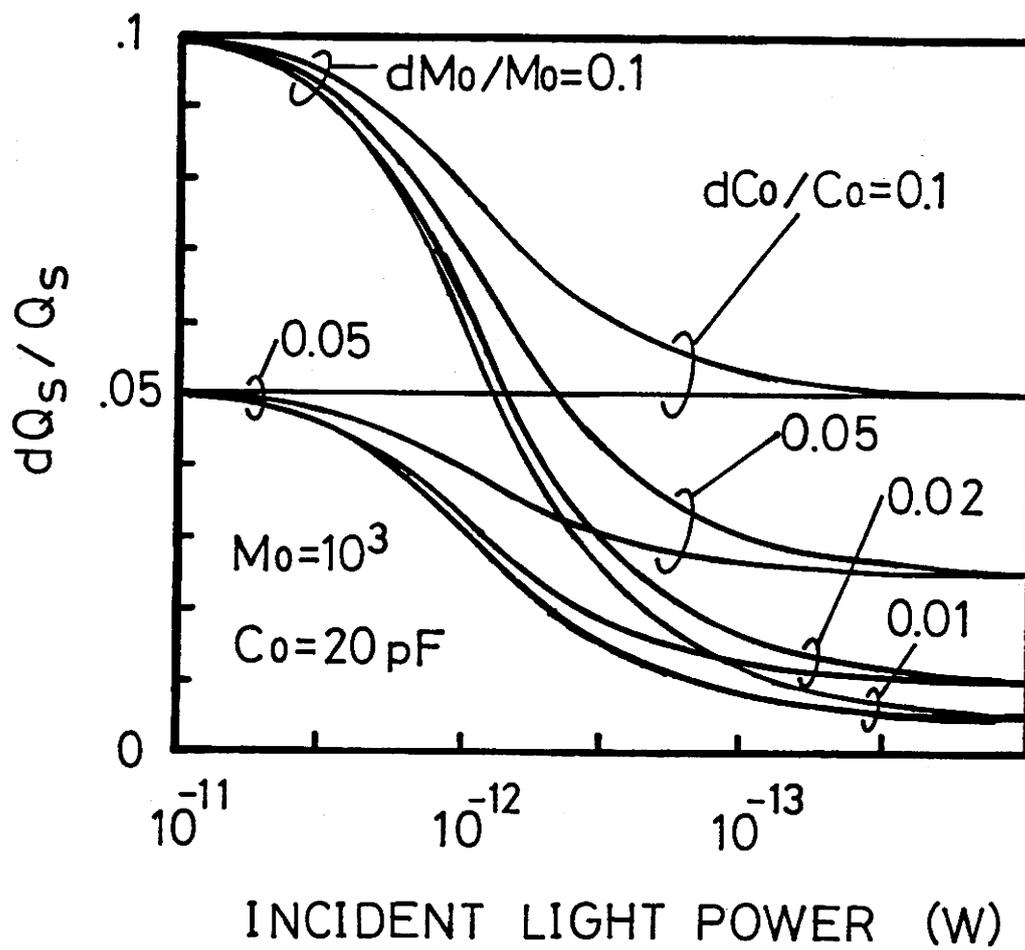


図 5 - 1 1 出力のばらつきの変化

そこで、初期増倍利得のばらつきと蓄積容量のばらつきのどちらを抑えることが実際上容易であるかという面からばらつきの抑制について考えてみた。

まず、初期増倍利得のばらつきはプロセス時の濃度プロファイルに起因することは明らかである。現在のプロセス技術において、不純物の注入、拡散を高精度に制御することはVLSI、ULSIなどの超高精度プロセス技術の面からも向上が図られており、半導体への不純物注入に関しては、現在最も精度の高いイオン注入技術を用いることで、ドーズ量を±1%以内に制御することは可能である。また、その後のドライブインにおいても高濃度の場合高々±1～2%の誤差に抑え込むことは可能である³⁾。仮に増倍利得を30に設定した場合、不純物プロファイルを±1%以内に抑えきることができれば、増倍利得のばらつきを数%に抑えることも可能である⁴⁾。しかし、将来、より高い増倍利得が求められるのは必至であり、増倍利得を高く設計すればするほど印加電圧の変化に対する増倍利得の変化に敏感なものとなり、出力のばらつきは深刻な問題となる。それに比べて、蓄積容量のばらつきは素子の幾何学的ばらつきに依存する度合いが大きいので、ばらつきを1%以内に抑えることはたやすい。従って、ばらつきを抑制する面からは $\gamma=1/2$ の領域でAPDを動作させることが好ましいといえる。

5. 4 結言

アバランシェ増倍型固体撮像素子の素子間において一様な出力を得るための駆動条件を調べた。出力にばらつきをもたらす主な原因として、不純物プロファイルのばらつきに起因する増倍利得のばらつきと幾何学的ばらつきに起因する蓄積容量のばらつきが考えられる。実際にシングルゲート型構造を持つ素子をアレイ化してその初期増倍利得、および蓄積容量のばらつきの出力に与える影響を測定し、その結果を解析式と比較した結果、光電変換特性を示す γ の値が $1/2$ となる領域で動作させれば、素子間の濃度プロファイルのばらつきおよび蓄積期間初期の印加電圧のばらつきによる増倍利得のばらつきの影響は完全に抑えることが可能で、その出力信号電荷量のばらつきは蓄積容量のばらつきの $1/2$ の値に抑えることができることが明らかとなった。

参考文献

- 1) S.M.Sze, Physics of Semiconductor Devices, Wiley-Interscience, New York, 1981.
- 2) 中村、石田、白井、; 集積回路工学の実際、産業図書
- 3) 柏木正弘、工業調査会刊、超LSI技術、No. 3 - 半導体プロセス” 4章、高精度拡散技術”
- 4) Murray Trakalo, Paul P. Webb, Pierre Poirier, and Robert J. McIntre, "Avalanche Photodiode Thirty-Two-Element Linear Array with Minimal Dead Space" pp.3594-3599, Applied Optics, Vol.26, No.17, Sep.1987

第6章 結論

本研究では、固体撮像素子の光電変換部にアバランシェ-フォトダイオードを採用し、電荷蓄積動作モードで用いることにより高感度化を図った。その電荷蓄積動作の解析を行ない、適した素子構成を確立するとともに、素子を試作することによりアレイ化した場合に一樣な出力を得ることのできる駆動条件を明らかにした。

APDの電荷蓄積動作の解析に関しては、

イ) 直流ブレイクダウン電圧以下の動作領域における入射光量に対する出力信号電荷量の解析式の導出

ロ) 直流ブレイクダウン電圧以上の動作領域において入射光子数に対する出力カウント数と出力電荷量の関係の導出

を行なった。

つぎに、電荷蓄積期間中のアバランシェ信号電荷だけを選択的に取り出すことが可能な構造として、

ハ) デュアルゲート型素子構造

ニ) キャパシタンス-カップリング型素子構造

を提案し、電荷蓄積動作の実験を行なった。

最後に、

ホ) 3画素から成る素子を試作し、一樣な出力を得るための駆動条件を確立した。

各項目に関する主な成果は以下の通りである。

イ) 直流ブレイクダウン電圧以下の動作領域における入射光量に対する出力信号電荷量の解析式の導出

アバランシェ増倍率 M を印加電圧 V の関数で与えるMillerの式を拡張、適用してAPDの電荷蓄積動作時の入射光量に対する出力電荷量を与える関係式を導出した。その結果、低照度領域では光電変換特性の傾きを表す γ 値は1、高照度領域では増倍利得の自己抑制効果により γ 値は1/2となること、また、光電変換特性は利得の自己抑制効果のあるなしに関わらず光量-時間積に対して出力はリセット電圧で一意に決定される1つの曲線で表される事を示した。また、出力の大きさは γ 値が1の動作領域では初期増倍利得 M_0 の大きさに比例し、 γ 値が1/2の動作領域では蓄積容量を C とすれば、 $C^{1/2}$ に比例する事を示した。

ロ) 直流ブレイクダウン電圧以上の動作領域において入射フォトン数に対する出力カウント数と出力電荷量の関係の導出

ブレイクダウン電圧以上の領域において、光電変換された電荷もしくは暗電流が空乏層に注入された場合、その電荷がアバランシェ-フィードバックループのトリガとなる確立を求めた。APDの空乏層に印加する逆バイアスを大きくするに従い、空乏層に注入された電子がトリガとなる確率は1に近づくため、微弱な入射光量域では、フォトン1個に対して蓄積期間初期にAPDに印加した逆バイアス電圧に依存した値を持つ1つの出力を得ることが可能である。またその時の出力は蓄積容量 C 、蓄積期間初期の印加逆バイアス電圧 V_0 、ブレイクダウン電圧を V_B とすると $C(V_0 - V_B)$ の一定値をとる事をフィードバックループの形成および利得の自己抑制効果によるフィードバックループの消滅という考えにより説明した。

次に、APDを固体撮像素子に応用する際問題となる蓄積電荷読み出し時のアバランシェ現象を避けることのできる画素構成を確立した。

ハ) デュアルゲート型素子構造

デュアルゲート型素子構成は、シングルゲート型の基本的MOS型素子構成に第2のゲート G_2 と、読み出し電荷蓄積用キャパシタ C_s を付け加えた素子構成をとる。読み出し時には、読み出し電荷蓄積用キャパシタ C_s からAPDを回路的に切り離すことで、蓄積期間中のアバランシェ信号電荷にリセット期間中の信号電荷が重畳することを防ぐことができる。

ニ) キャパシタンス-カップリング型素子構造

キャパシタンス-カップリング型素子構成では、シングルゲート型構造の光電変換部であるAPDに対し直列に結合容量 C_c を設けた素子構成をとる。また、読み出し時のAPDにはアバランシェを生じるよりも小さい逆バイアスが印加される。

デュアルゲート型およびキャパシタンス-カップリング型、それぞれの長所短所をまとめてみると、前者は読み出し時にAPDに残された信号電荷を不要電荷としてリセット時に捨てなくてはならないため、アバランシェ増倍された信号電荷すべてを有効に利用することができない。また、広い入射光量範囲を取り扱うことのできる $\gamma=1/2$ の光電変換特性を持つ動作領域を低い入射光量域から用いるために蓄積容量を小さく抑えようとすれば、読み出し可能な電荷量が

少なくなり、その出力は $\gamma=1/2$ の光電変換特性からずれてしまう。したがって、ブレイクダウン電圧以下の動作領域においては、全蓄積電荷量を読み出すことのできるキャパシタンス-カップリング型が適していることを明らかにした。

一方、後者はゲート下のチャネルを通じてAPDに印加された逆バイアス電圧にAPDの上に直列に接続されたキャパシタンスを介して逆バイアス電圧を加算することが可能であるので、蓄積期間中にのみアバランシェ増倍電圧を印加できることを特徴とした。しかし、ブレイクダウン電圧以上の動作においては、読み出し時と電荷蓄積動作初期の空乏層の変化幅が大きいほどトラップを介するトンネリングによる暗電流の影響が大きくなるため、この長所が逆に暗電流を増やす原因となってしまふ。この点において、ブレイクダウン電圧以上の領域ではデュアルゲート型の方が好ましいことを明らかにした。

最後に

ホ) 3画素から成る素子を試作し、一様な出力を得るための駆動条件を明らかにした。

アバランシェ増倍型固体撮像素子の素子間から安定な出力を得るためには、素子内、素子間においては不純物プロファイルのばらつきに起因する増倍利得、蓄積容量のばらつきのほか、APDの増倍利得は逆バイアス電圧に対して指数関数的に増加する事による印加電圧の設定の精度的なむずかしさが問題となる。

実際にシングルゲート型構造を持つ素子をアレイ化してその初期増倍利得、および蓄積容量のばらつきの出力に与える影響を測定し、その結果を解析式と比較した結果、光電変換特性を示す γ の値が $1/2$ となる領域で動作させれば、素子間の濃度プロファイルのばらつきおよび蓄積期間初期の印加電圧のばらつきによる増倍利得のばらつきの影響は完全に抑えることが可能で、その出力信号電荷量のばらつきは蓄積容量のばらつきの $1/2$ の値に抑えることができる事が明らかとなった。また、この領域を用いることのできる最低入射光量は初期増倍利得を M_0 、蓄積容量を C_0 とすると、 C_0/M_0^2 の値に比例した入射光量からこの特性を利用することができる。

以上、本研究によりアバランシェ増倍型固体撮像素子の実現に不可欠な動作解析、素子構成、駆動条件を確立することができ、デバイス実現への見通しが得られた。

謝辞

本研究を進めるにあたり直接御指導、御激励下さいました電子工学研究所の安藤隆男教授には心から感謝致します。

本論文をまとめるにあたり、適切な御意見と御助言を頂きました電子工学研究所の畑中義式教授、助川徳三教授、木下治久助教授、工学部の福家俊郎教授に深く感謝致します。

試作素子の製作において多大なるご協力を頂いた浜松ホトニクス(株)の山本晃永氏、田中均氏、村木哲彦氏らには厚く御礼申し上げます。

研究上での問題に関しては、博士課程の黄忠守氏に有意義な御討論を、測定および素子製作に関しては、修士課程卒業の森本倫弘氏、赤堀寛氏、修士課程の奥田勝博氏に、英文論文に関しては博士課程のScott Meikle氏に、本論文の校正に関しては修士課程の石津雅信氏に協力して頂きました。大変感謝致します。

実験を遂行する上で様々な便宜を図って頂きました電子工学研究所文部技官の青山満氏、大隅淑弘氏、元電子工学研究所技官の上野博真氏に感謝致します。

最後に、著者が大学に戻り博士課程において学ぶことに対し深い理解を示してくれた両親にも心から感謝します。

本研究に関する発表論文リスト

A. 発表論文

- 1) H. Komobuchi, M. Morimoto and T. Ando:
Operation and Properties of a p-n Avalanche Photodiode in a Charge Integrating Mode
IEEE Electron Device Letters, vol.10, no.5, May, 1989
- 2) 菰淵寛仁、安藤隆男
アバランシェ増倍型光センサーの電荷蓄積動作シミュレーション
静岡大学大学院電子科学研究科研究報告 第10号 (1989)
- 3) H. Komobuchi and T. Ando:
A Novel High-Gain Image-Sensor Cell Based on Si p-n APD in Charge Storage Mode of Operation
IEEE Transactions on Electron Devices (to be published)

B. 学術講演(研究会)

- 1) 菰淵寛仁、森本倫弘、安藤隆男
自己抑制型アバランシェ・ホトダイオードの撮像デバイスへの応用
電子通信学会技術報告、ED86-87 (1986.10)
- 2) 安藤隆男、菰淵寛仁、森本倫弘、和田和司
固体撮像素子の現状と将来に対する二、三の考察
テレビジョン学会技術報告、ED1003 (1986.11)
- 3) 菰淵寛仁、森本倫弘、安藤隆男
アバランシェ・ホトダイオードの電荷蓄積動作
テレビジョン学会技術報告、ED87-85 (1987.11)
- 4) 菰淵寛仁、木下治久、安藤隆男
アバランシェ増倍型センサーの動作モード
テレビジョン学会技術報告、ED88-17/ID88-108 (1988.11)

C. 学術講演(講演会)

- 1) 菰淵寛仁、安藤隆男
アバランシェ・ホトダイオードの電荷蓄積動作-計算機シミュレーション
1987テレビジョン学会全国大会, 4-5(1987.7)

2) 森本倫弘、菰淵寛仁、安藤隆男

アバランシェ・ホトダイオードによる新しい撮像動作

1987テレビジョン学会全国大会, 4-6(1987.7)

3) 菰淵寛仁、森本倫弘、安藤隆男

アバランシェホトダイオードの電荷蓄積動作

昭和63年電子情報通信学会春期全国大会, D-158 (1988.3)

4) 菰淵寛仁、安藤隆男

電荷蓄積モードで動作するアバランシェホトダイオードの出力揺らぎ

1988テレビジョン学会全国大会, 2-10 (1988.7)

5) 菰淵寛仁、安藤隆男

アバランシェ増幅型固体撮像素子の動作解析

1989テレビジョン学会全国大会, 2-16(1989.7)

6) 奥田勝博、赤堀寛、菰淵寛仁、安藤隆男

アバランシェ増幅型固体撮像素子の出力変動

1989テレビジョン学会全国大会, 2-17(1989.7)

付録

(1) 準備

1. O₂ピュアリファイア再生
2. ピンセット洗浄
3. ウエハーケース (4分割シャーレ) 洗浄

第1日目

★フィールド酸化膜形成

→電気炉 (NO. 7)	ON	1150°C	N ₂ : 0.3ℓ	90分
(2) 初期洗浄				
1. メタノール			超音波洗浄	5分
2. アセトン			超音波洗浄	5分
3. メタノール			超音波洗浄	5分
4. H ₂ SO ₄ : H ₂ O ₂ = 3:1			沸騰	10分
5. 温純水				
6. 純水				
7. 希HF				
8. 温純水				
9. 純水				
10. HCl: HNO ₃ = 3:1			沸騰	10分
11. 温純水				
12. 純水				
13. スピンドライ			8000rpm	1分
(3) フィールド酸化				
→O ₂ ピュアリファイア	ON			
1. プリベイク (電気炉手前 NO. 7)			N ₂ : 0.5ℓ	20分
2. 挿入			N ₂ : 0.5ℓ	15分
3. ドライ酸化		1150°C	O ₂ : 1.5ℓ	6時間
4. アニール		1150°C	N ₂ : 1.5ℓ	10分
5. 徐冷			N ₂ : 0.5ℓ	8時間

第2日目

★チャンネルストッパ (p*) 領域形成

(4) ホトリソ				
1. プリベイク		200°C		30分
2. 徐冷				15分
3. OMR塗布		4滴	4000rpm	15秒
4. プリベイク		80°C		30分
5. 徐冷				10分
6. 露光			N ₂	30カウント
7. 現像	現像液		静止	30秒
			攪拌	30秒
	リンス		攪拌	30秒
	リンス		攪拌	30秒
8. ポストベイク		120°C		30分
9. 徐冷				10分
→電気炉 (NO.1, NO.2)	ON	1050, 1140°C	N ₂ : 0.3ℓ	90分
(5) SiO ₂ エッチング				
1. バッファードHF			裏面疎水	
2. 温純水				
3. 純水				

[6]	レジスト除去			
	1. H_2SO_4 : $H_2O_2 = 3 : 1$		沸騰	10分
	2. 温純水			
	3. 純水			
	→ピンセット洗浄			
[7]	洗浄			
	1. 希HF ($HF : H_2O = 1 : 20$)		裏面疎水	
	2. 純水			
	3. $HClO_4 : H_2O_2 : H_2O = 1 : 1 : 6$		沸騰	10分
	4. 温純水			
	5. 純水			
	6. 希HF ($HF : H_2O_2 = 1 : 20$)		裏面疎水	
	7. 温純水			
	8. 純水			
	9. スピンドライ		8000rpm	1分
[8]	ボロン拡散 [拡散源 GS-245]			
	1. プリベイク (電気炉手前 NO. 1)		$N_2 : 0.5\Omega$	30分
	2. 挿入		$N_2 : 0.5\Omega$	15分
	3. プレデポ 1050°C		$N_2 : 0.6\Omega$	15分
	4. 電気炉手前で冷やす		$N_2 : 0.5\Omega$	3時間
	5. BSG層除去 (希HF)		確認窓疎水	
	6. 純水			
	7. $HClO_4 : H_2O_2 : H_2O = 1 : 1 : 6$		沸騰	2分
	8. 温純水			
	9. 純水			
	10. スピンドライ		8000rpm	1分
[9]	ボロンドライブイン酸化			
	→ O_2 ピュアリファイア ON			
	1. プリベイク (電気炉手前 NO. 2)		$N_2 : 0.5\Omega$	20分
	2. 挿入		$N_2 : 0.5\Omega$	15分
	3. ドライブイン酸化 1140°C		$O_2 : 1.5\Omega$	60分
	4. アニール 1140°C		$N_2 : 1.5\Omega$	10分
	5. 徐冷		$N_2 : 0.5\Omega$	8時間

第3日目

★(n)領域形成

[10]	ホトリソ			
	1. プリベイク	200°C		30分
	2. 徐冷			15分
	3. OMR塗布	4滴	4000rpm	15秒
	4. プリベイク	80°C		30分
	5. 徐冷			10分
	6. 露光		N_2	30カウント
	7. 現像	現像液	静止	30秒
			攪拌	30秒
		リンス	攪拌	30秒
		リンス	攪拌	30秒
	8. ポストベイク	120°C		30分
	9. 徐冷			10分

- 電気炉 (NO.3、NO.4) ON 1150、1200°C N₂: 0.3Q 90分
 →OCDを冷蔵庫から出しておく
- (11) SiO₂エッチング
 1. バッファードHF 裏面疎水
 2. 温純水
 3. 純水
- (12) レジスト除去
 1. H₂SO₄: H₂O₂ = 3: 1 沸騰 10分
 2. 温純水
 3. 純水
- ピンセット洗浄
- (13) 洗浄
 1. 希HF (HF: H₂O = 1: 20) 裏面疎水
 2. 純水
 3. HCl: H₂O₂: H₂O = 1: 1: 6 沸騰 10分
 4. 温純水
 5. 純水
 6. 希HF (HF: H₂O₂ = 1: 20) 裏面疎水
 7. 温純水
 8. 純水
 9. スピンドライ 8000rpm 1分
- (14) リン拡散 [OCD P-59310]
 1. プリベイク (電気炉手前 NO. 3) N₂: 0.5Q 30分
- OCD用ビーカー、スポイトはエタノールで超音波洗浄
2. OCD塗布 4000rpm 20秒
 3. プリベイク 200°C 30分
- OCD用ビーカー、スポイトをエタノールで超音波洗浄
4. プリベイク (電気炉手前 NO. 3) N₂: 0.5Q 20分
 5. 挿入 N₂: 0.5Q 15分
 6. プレデポ 1150°C N₂: 0.5Q 30分
 7. 電気炉手前で冷やす N₂: 0.5Q 8時間

第4日目

8. OCD除去 (HF: H₂O = 1: 4) 目視判断 10-20分
 9. 純水 10分
 10. HCl: H₂O₂: H₂O = 1: 1: 6 沸騰 2分
 11. 温純水
 12. 純水
 13. スピンドライ 8000rpm 1分
- (15) リンドライブイン酸化
- O₂ピュアリファイア ON
1. プリベイク (電気炉手前 NO. 4) N₂: 0.5Q 20分
 2. 挿入 N₂: 0.5Q 15分
 3. ドライブイン酸化 1200°C O₂: 1.5Q 3時間
 4. ドライブイン 1200°C N₂: 1.5Q 21時間
 5. 徐冷 N₂: 0.5Q 8時間

第5日目

★アバランシェ (n*) 領域形成

〔16〕 ホトリソ				
1. プリベイク		200°C		30分
2. 徐冷				15分
3. OMR塗布		4滴	4000rpm	15秒
4. プリベイク		80°C		30分
5. 徐冷				10分
6. 露光			N ₂	30カウント
7. 現像	現像液		静止	30秒
			攪拌	30秒
	リンス		攪拌	30秒
	リンス		攪拌	30秒
8. ポストベイク		120°C		30分
9. 徐冷				10分

※乾燥器の中に保管

→電気炉 (NO.3, NO.4) ON		1050, 1000°C	N ₂ : 0.3ℓ	90分
〔17〕 SiO ₂ エッチング				
1. バッファードHF			裏面疎水	
2. 温純水				
3. 純水				

〔18〕 レジスト除去				
1. H ₂ SO ₄ : H ₂ O ₂ = 3:1			沸騰	10分
2. 温純水				
3. 純水				

→ピンセット洗浄				
〔19〕 洗浄				
1. 希HF (HF: H ₂ O = 1:20)			裏面疎水	
2. 純水				
3. HCl: H ₂ O ₂ : H ₂ O = 1:1:6			沸騰	10分
4. 温純水				
5. 純水				
6. 希HF (HF: H ₂ O ₂ = 1:20)			裏面疎水	
7. 温純水				
8. 純水				
9. スピンドライ			8000rpm	1分

〔20〕 リン拡散 [POCl₃]

→O ₂ ピュアリファイア ON				
→恒温曹 ON (水確認)				
1. プリベイク (電気炉手前 NO.3)			N ₂ : 0.5ℓ	30分
2. 挿入			N ₂ : 0.5ℓ	15分
3. プレデポ	1050°C			
	メインN ₂ : 1.0ℓ, O ₂ : 50cc			5分
	メインN ₂ : 1.0ℓ, O ₂ : 50cc, POCl ₃ N ₂ : 18cc			10分
		(バブラー 15°C)		
	メインN ₂ : 1.0ℓ, O ₂ : 50cc			5分
4. 電気炉手前で冷やす			N ₂ : 0.5ℓ	3時間
5. PSG除去 (バッファードHF)			目視判断	20-30秒

6.	純水			
7.	HCl : H ₂ O ₂ : H ₂ O = 1 : 1 : 6		沸騰	2分
8.	温純水			
9.	純水			
10.	スピンドライ		8000rpm	1分
(21)	リンドライブイン酸化			
1.	プリベイク (電気炉手前 NO. 4)		N ₂ : 0.5ℓ	20分
2.	挿入		N ₂ : 0.5ℓ	20分
3.	ドライブイン酸化	1000°C	O ₂ : 1.5ℓ	30分
4.	アニール	1000°C	N ₂ : 1.5ℓ	5分
5.	徐冷		N ₂ : 0.5ℓ	8時間

第6日目

★ゲート領域形成

(22)	ホトリソ			
1.	プリベイク	200°C		30分
2.	徐冷			15分
3.	OMR塗布	4滴	4000rpm	15秒
4.	プリベイク	80°C		30分
5.	徐冷			10分
6.	露光		N ₂	30分
7.	現像	現像液	静止	30秒
		リンス	攪拌	30秒
		リンス	攪拌	30秒
8.	ポストベイク	120°C		30分
9.	徐冷			10分

※乾燥器の中に保管

	→電気炉 (NO. 6) ON	1000°C	N ₂ : 0.3ℓ	90分
(23)	SiO ₂ エッチング			
1.	バッファードHF		裏面疎水	
2.	温純水			
3.	純水			

(24)	レジスト除去			
1.	H ₂ SO ₄ : H ₂ O ₂ = 3 : 1		沸騰	10分
2.	温純水			
3.	純水			

	→ピンセット洗浄			
(25)	洗浄			
1.	希HF (HF : H ₂ O = 1 : 20)		裏面疎水	
2.	純水			
3.	HCl : H ₂ O ₂ : H ₂ O = 1 : 1 : 6		沸騰	10分
4.	温純水			
5.	純水			
6.	希HF (HF : H ₂ O ₂ = 1 : 20)		裏面疎水	
7.	温純水			
8.	純水			
9.	スピンドライ		8000rpm	1分

〔26〕 ゲート酸化

→O₂ピュアリアファイア ON

1. プリベイク (電気炉手前 NO. 6)		N ₂ : 0.5ℓ	20分
2. 挿入		N ₂ : 0.5ℓ	15分
3. 酸化	1000°C	O ₂ : 1.5ℓ	2時間
4. アニール	1000°C	N ₂ : 1.5ℓ	10分
5. 徐冷		N ₂ : 0.5ℓ	8時間

★コンタクトホール形成

〔27〕 ホトリソ

1. プリベイク	200°C		30分
2. 徐冷			15分
3. OMR塗布	4滴	4000rpm	15秒
4. プリベイク	80°C		30分
5. 徐冷			10分
6. 露光		N ₂	30カウント
7. 現像	現像液	静止	30秒
	リンス	攪拌	30秒
	リンス	攪拌	30秒
8. ポストベイク	120°C		30分
9. 徐冷			10分

※乾燥器の中に保管

第7日目

〔28〕 SiO₂エッチング

1. バッファードHF	裏面疎水
2. 温純水	
3. 純水	

〔29〕 レジスト除去

1. H ₂ SO ₄ : H ₂ O ₂ = 3: 1	沸騰	10分
2. 温純水		
3. 純水		

→ピンセット洗浄

★アルミ電極形成

〔30〕 洗浄

1. 希HF (HF: H ₂ O = 1: 20)	裏面疎水	
2. 純水		
3. HCl: H ₂ O ₂ : H ₂ O = 1: 1: 6	沸騰	10分
4. 温純水		
5. 純水		
6. 希HF (HF: H ₂ O ₂ = 1: 20)	裏面疎水	
7. 温純水		
8. 純水		
9. スピンドライ	8000rpm	1分
10. ベイク (オープン)	200°C	10分
11. 徐冷		15分

〔31〕 アルミ蒸着

※手引書参照
約0.8μm

第9日目

〔32〕 ホトリソ

- | | | | |
|-----------|-------|---------|-----|
| 1. プリベイク | 200°C | | 30分 |
| 2. 徐冷 | | | 15分 |
| 3. OFPR塗布 | 4滴 | 4000rpm | 15秒 |
| 4. プリベイク | 80°C | | 30分 |
| 5. 徐冷 | | | 10分 |

- | | | | |
|-----------------|----------|-----------------------|--------|
| →電気炉 (NO. 5) ON | 450°C | N ₂ : 0.3ℓ | 90分 |
| 6. 露光 | | N ₂ | 30カウント |
| 7. 現像 | 現像液 | 静止 (目視判断) | 15秒 |
| | | 攪拌 | 15秒 |
| | リンス (純水) | 攪拌 | 30秒 |
| | リンス (純水) | 攪拌 | 30秒 |
| 7. ポストベイク | 120°C | | 30分 |
| 8. 徐冷 | | | 10分 |

〔33〕 アルミエッチング

- | | | | |
|---|------|------|------|
| 1. H ₃ PO ₄ : CH ₃ COOH: HNO ₃ = 250: 20: 3 | 55°C | 目視判断 | 2-3分 |
| 2. 純水 | | | |

〔34〕 レジスト除去

- | | | | |
|---------------------------------------|---------|---------|----|
| 1. アセトン | 30-40°C | | 3分 |
| 2. メタノール | | | 1分 |
| 3. 純水 | | | |
| 4. 希HF (HF: H ₂ O = 1: 20) | | | |
| 5. 純水 | | | |
| 6. スピンドライ | | 8000rpm | 1分 |

→ピンセット洗浄

〔35〕 アルミシンタリング

- | | | | |
|-----------|-------|-----------------------|-----|
| 1. シンタリング | 450°C | N ₂ : 1.0ℓ | 15分 |
| 2. 徐冷 | | N ₂ : 0.5ℓ | 8時間 |

※乾燥器の中に保管

以上、その後検査へ