

CMOSイメージセンサのカラム並列型低ノイズ信号読み出し回路に関する研究

メタデータ	言語: ja 出版者: 静岡大学 公開日: 2012-03-08 キーワード (Ja): キーワード (En): 作成者: 榊原, 雅樹 メールアドレス: 所属:
URL	https://doi.org/10.14945/00006434

電子科学研究科

GD
K
452
静岡大学附属図書館

0006506091

R

静岡大学博士論文

CMOSイメージセンサの カラム並列型低ノイズ 信号読み出し回路に関する研究



2006年2月

静岡大学大学院電子科学研究科

ナノビジョン工学専攻

榊原雅樹

目次

第1章	序論	1
1.1	本研究の背景	1
1.2	本研究の目的	3
1.3	本論文の構成	5
第2章	低ノイズイメージセンサの基礎的考察	8
2.1	はじめに	8
2.2	CMOS イメージセンサによる撮像	8
2.2.1	撮像の基本動作	8
2.2.2	光電変換部	8
2.2.3	パッシブピクセルセンサ	10
2.2.4	アクティブピクセルセンサ	11
2.2.5	埋め込みフォトダイオードと完全転送	12
2.2.6	カラムノイズキャンセル回路	12
2.2.7	A/D 変換器	14
2.3	CMOS イメージセンサのノイズ	15
2.3.1	固定パターンノイズ	16
2.3.2	熱ノイズ	16
2.3.3	1/fノイズ	17
2.3.4	リセットノイズ	18
2.3.5	ショットノイズ	19
2.3.6	量子化ノイズ	19
2.3.7	その他のノイズ	19
第3章	適応ゲインカラム増幅に基づく高感度 CMOS イメージセンサ	23
3.1	はじめに	23
3.2	適応ゲインカラム増幅に基づく CMOS イメージセンサの構成	24
3.3	画素回路	25
3.4	適応ゲインカラム増幅回路	26
3.4.1	カラム増幅回路	26
3.4.2	増幅器	28
3.4.3	比較器	30
3.4.4	ゲインメモリ	32
3.4.5	S/H、バッファ部	32
3.5	適応ゲインカラムアンプの特性	36

3.6	適応ゲインカラム増幅器のノイズの見積もり	37
3.6.1	はじめに	37
3.6.2	容量 C で帯域制限されたノイズ	37
3.6.3	スイッチトキャパシタ回路でのノイズ	39
3.6.4	適応ゲインカラム増幅器のノイズの計算例	44
3.7	適応ゲインカラム増幅器を用いたイメージセンサの試作と特性測定	46
3.7.1	試作したイメージセンサ	46
3.7.2	測定環境	46
3.7.3	入出力特性の測定	49
3.8	測定結果	51
3.9	考察	56
3.10	まとめ	57
第4章	2重積分型カラム並列 A/D 変換器	60
4.1	はじめに	60
4.2	2重積分型 A/D 変換器の構成	61
4.2.1	全体の構成	61
4.2.2	2重積分型 A/D 変換器の構成	62
4.2.3	2重積分型 A/D 変換器のモード	64
4.3	2重積分型 A/D 変換器の動作	65
4.3.1	アナログ積分器と 1bitDAC の構成	67
4.3.2	増幅器の構成と特性	69
4.3.3	比較器の構成	70
4.3.4	比較器の動作	73
4.4	2重積分型 A/D 変換器の量子化ノイズ低減効果の解析	74
4.4.1	4 状態での状態遷移図を用いた解析	75
4.4.2	状態遷移図による解析の一般化	77
4.5	シミュレーションによる検証	79
4.6	ランダムノイズの見積もり	82
4.6.1	ノイズ解析をする回路	82
4.6.2	初期状態での回路のノイズ解析	84
4.6.3	偶数時刻 t_2 でのノイズ解析	86
4.6.4	奇数時刻 t_3 でのノイズ解析	88
4.6.5	時刻 t_k で発生するノイズ解析	90
4.6.6	アナログ積分器の積分終了時のノイズ	90
4.7	ノイズの計算と各パラメータへの依存	90
4.7.1	ノイズの負荷容量 C_l への依存	91
4.7.2	ノイズの入力容量 C_1 への依存	92
4.7.3	ノイズの帰還容量 C_2 への依存	92

4.7.4	ノイズの帰還容量 C_i への依存	93
4.7.5	ノイズの帰還スイッチの ON 抵抗 R_s への依存	94
4.7.6	ノイズの帰還スイッチの ON 抵抗 R_i への依存	94
4.7.7	ノイズの帰還スイッチの ON 抵抗 R_r への依存	94
4.7.8	積分動作により積分器に蓄積されるノイズ	95
4.8	積分器が蓄積するノイズを考慮したノイズ低減効果の見積もり	96
4.9	まとめ	100
第 5 章	適応積分機能共有カラム並列巡回型 A/D 変換器	103
5.1	はじめに	103
5.2	適応積分機能共有カラム並列 1.5bit 巡回型 A/D 変換器を用いた CMOS イメージセンサの構成	104
5.3	画素部の構成	106
5.4	適応積分機能共有 1.5b 巡回型カラム A/D 変換器の構成	108
5.4.1	増幅器の構成と特性	109
5.4.2	比較器の構成	109
5.4.3	比較器の動作	109
5.5	適応積分機能共有 1.5bitA/D 変換器の動作	111
5.5.1	適応積分機能共有 1.5bitA/D 変換器の積分器としての動作	111
5.5.2	適応積分共有 1.5bitA/D 変換器の適応積分動作	114
5.5.3	適応積分機能共有 1.5bit 巡回型 A/D 変換器の A/D 変換器とし ての動作	116
5.6	適応積分機能共有 1.5bitA/D 変換器のシミュレーション	119
5.7	回路の誤差を考慮した適応積分と 1.5bitA/D 変換器のシミュレーション	121
5.7.1	適応積分器のシミュレーション	122
5.7.2	積分機能共有 1.5bit 巡回型 A/D 変換器の A/D 変換器のシミュ レーション	124
5.7.3	適応機能共有 1.5bitA/D 変換器のシミュレーション	126
5.7.4	適応機能共有 1.5bitA/D 変換器の INL,DNL	128
5.8	適応積分機能共有 1.5bitA/D 変換器のノイズ解析	130
5.8.1	はじめに	130
5.8.2	解析する回路	130
5.8.3	各動作フェーズにおける等価回路	131
5.8.4	初期状態での回路のノイズ解析	132
5.8.5	時刻 t_2 でのノイズ解析	133
5.8.6	時刻 t_3 でのノイズ解析	135
5.8.7	積分終了時でのノイズ解析	136
5.8.8	適応積分動作で発生するノイズ	138
5.9	適応積分機能共有 1.5bitA/D 変換器の積分時のノイズの計算	138

5.9.1 積分動作によるノイズの低減	138
5.10 測定結果	141
5.10.1 入出力特性	142
5.10.2 ランダムノイズ特性	143
5.10.3 諸特性	145
5.11 まとめ	146
第6章 結論	150
論文目録	156

第1章

序論

1.1 本研究の背景

デジタルスチルカメラ、ビデオカメラ、セキュリティカメラ、工業用カメラ等の電子式カメラの心臓部は固体撮像素子（固体イメージセンサ）である。近年では、ネットワークインフラと一般家庭へのパーソナルコンピュータの普及とともに、その取り扱いの容易さとパーソナルコンピュータとの親和性の高さから、一般消費者にも「デジタルカメラ」という家電製品として固体撮像素子を使用したものが広く普及している。

固体撮像素子には主に、CCD(charge coupled device, 電荷結合素子) イメージセンサと CMOS(complementary metal oxide semiconductor, 相補型金属酸化膜半導体) イメージセンサの2者がある。CCDは、アメリカにあるベル研究所の Willard Boyle と George Smith がその基本原理を1969年に考案 [1] して以来、現在に至るまでに様々な改良がなされている。開発当初は、広く使用されていた撮像管に比べて小型、計量、長寿命、耐振動などに優れていたため主にビデオカメラを中心に普及した。その後も、現在に至るまで研究開発が盛んに行われ、その高い基本特性である低ノイズ特性から質の高い画像を得ることができるため、デジタルスチルカメラを始め幅広く画像の入力装置として使用されている。

一方、CMOS イメージセンサは1966年にバイポーラ型のフォトトランジスタを使用したセンサに原型を見ることができる [2]。その後1968年にMOS型のトランジスタを使用した発表がなされた [3]。その後しばらくして、1990年にCMOS LSIのプロセスを用いたイメージセンサが発表された [4]。しかし、これは画素内部で増幅をする機能を持たないために (PPS, Passive Pixel Sensor) 画質が十分でなかった。現在主流の、画素内で増幅を行う (APS, Active Pixel Sensor) 方式は1993年に端を発するといわれている [5]。その後、様々なAPSタイプのセンサーが開発されてきている。

CMOS イメージセンサは、センサの画素数と撮像速度が同等と仮定した場合に CCD イメージセンサに比べて低消費電力で構成が可能である。また、低電圧単一電源駆動可能、機能回路の組み込みができる等の様々な利点がある一方で、固定パターンノイズや熱に起因するランダムノイズ等の各種ノイズレベルが CCD に比べて高いために、CCD イメージセンサと一線を画しており、ノイズ特性の改善が求められていた。

固定パターンノイズと画素のリセットノイズは、相関2重サンプリング (CDS: correlated double sampling) という読み出し方式を、機能回路として CMOS イメージセンサに組み込むことでキャンセルができる。その一方で、CMOS イメージセンサの場合はその信号電荷の読み出し方式のため、多段に接続されたノイズ発生回路を通過して読み出されるため、ランダムノイズは CCD に比較して多く重畳する。

とはいうものの、理論的には CMOS イメージセンサがランダム雑音の点で CMOS イメージセンサよりも低レベルに抑制できる可能性については文献 [6] により議論されていた。これは CCD がノイズの帯域が画素周波数出決まるのに対し、CMOS では垂直転送周波数で決まるため有利なことに着目していた。

もう一つの問題は、標準プロセスで製造された CMOS イメージセンサは、その構造上の理由から、画素を 4Tr で構成した場合に完全転送が不可能であるために、残像が生ずる。これは高速撮像時に特に大きな問題となっていた。

その問題解決として提案されたのが、画素部に埋め込みフォトダイオードと呼ばれる構造を使用することである [7,8]。もともと CCD に利用されていた技術であり、その名の通り表面付近の受光部にあたる PN 接合が、基板と同じ極性の不純物でドーピングされており、光電変換部が表面よりわずかに深いところにある。そのために、固体撮像素子で問題となる表面欠陥からノイズとして混入する暗電流を抑制できる。さらに、デバイスプロセスのチューニングにより受光した電荷の完全転送が可能となり、原理的に残像が残らない。このフォトダイオードの構造は、画素として構成する場合には必然的に 4Tr タイプとなるため、転送を行うことで画素内での信号増幅が可能であるのでセンサの高感度化を期待できる。これは、標準 CMOS のプロセスではなく、特殊なイメージセンサ専用プロセスとなる。

また利点として、CMOS イメージセンサは画素の読み出し自由度が高いことから画像圧縮 [9] や、非破壊読み出しによる動き検出 [10] のみならず、蓄積時間適応や時間積分広ダイナミックレンジ撮像等 [11] の高感度化にも非常に有効である。

広ダイナミックレンジイメージセンサは、一般的に高照度側のダイナミックレンジの拡大を主な目的とするもので、画素のトランジスタのサブスレッショルド領域を用いた Log 応答のイメージセンサ [12] を基本原理とするものや、高照度での飽和信号を時間的に多段階に分けて捨てる容量変調方式 [13] などがある。しかし、これら方式では撮像対象が高照度の場合に有効であり、低照度の場合には十分な S/N が得られないことが問題である。

一方、低照度側の S/N 改善のために、センサの感度を低照度に合わせてカラム増幅等で出力信号を増幅すると、カラム増幅以降の読み出し回路のランダムノイズは入力換算で増幅率だけ減少する。たとえば、カラムの増幅率を M 倍とすると、増幅回路以降のランダムノイズ成分が出力から見て $1/M$ に見える。しかし、信号も同時に M 倍されるために高照度時にセンサが飽和してしまうといった問題が生じる。これは例えばフルスケールの最大出力が $FS(V)$ とすると増幅率が M 倍時に FS/M で飽和してしまう。これも十分な S/N が得られない。この一例として、画素、カラム FPN ノイズキャンセル回路とセンサ外部への読み出し回路を含めたトータルの系と

してのランダムノイズがどの様に発生するかを調べた報告がある [14] [15]。その結果、ランダムノイズの解析結果が CCD のランダムノイズよりも低減できる手法が提案され、実証されている [16]。この手法はフォトンカウントレベルの超低雑音読み出しを主眼としているため、カラム読み出し回路での増幅を行うがために前述の信号の飽和の問題があり、十分な S/N を得られないといった欠点があった。

以上のことから、低照度側のランダムノイズを抑制しつつ入力ダイナミックレンジも十分広い読み出し方式の開発が望まれる。低ノイズでかつダイナミックレンジの広い機能を持つイメージセンサが提案され、それが実証されれば、今までにない新しい CMOS イメージセンサを実現可能である。

1.2 本研究の目的

本研究の目的は、入力信号のダイナミックレンジを確保しつつランダムノイズを低減することで、低照度側のダイナミックレンジを拡大する手法を検討することである。そのために、CMOS イメージセンサの機能回路の集積が可能であるという特徴に注目し、以下の3種類の方式を研究した。第一に、画素信号が低レベル（低照度）時には信号増幅をし、高レベル（高照度）時には信号増幅をせずにそのまま読み出す、適応ゲインカラム増幅回路を組み込んだ CMOS イメージセンサを提案した。画素信号からの出力信号を、各ピクセルごとに適応適に増幅することにより、SN の改善と高照度時の飽和を抑制する。また、画素部に埋め込みフォトダイオード (Pinned Photo Diode) を用いることにより画素部からのノイズを低減する。さらに、画素回路からの読み出しにブートストラップ機能を持たせて画素の出力信号を拡大した。これは読み出し制御信号の制御を工夫をすることで実現した。画素リセットを画素選択よりも先に行い、アンオーバーラップさせることにより、画素選択をした時に、画素の電圧検出部であるフローティングデフェュージョンがリセットレベルよりも電位的に低い状態になる。このブートストラップ効果により画素信号の最大信号振幅を拡大する。以上の技術を組み合わせ試作をした結果、イメージセンサの固定パターンノイズが $50\mu V_{rms}$ 、ランダムノイズが $263\mu V_{rms}$ で SNR が CCD 相当である、 $71dB$ となった。これは、発表当時で最も低いランダムノイズレベルを記録した。この研究により、カラムで増幅することはランダムノイズの低減に非常に有効であることを確認した [17,18]。

第二に、2重積分型カラム並列 A/D 変換器の量子化ノイズ低減効果について検討を行った。信号を多数回サンプル、A/D 変換をして、その平均を取ることでランダムノイズを低減する機能を持つ回路を提案した。単純に信号を N 倍高速に読み出し平均化を取ることでも実現できるが、回路が高速になるとノイズ帯域の増加につながるために効果が得られない。信号の平均化を考える場合、CMOS イメージセンサが出力する信号は毎回ほぼ同じ値を基準に、ランダムノイズの揺らぎが出力される

ので、ランダムノイズを効率的に低減するための回路的な工夫が必要となる。提案する2重積分型A/D変換器は、粗いA/D変換を行ない入力信号のおおよその電圧値を推測するインクリメンタルA/D変換(ADC)モードと、センサのからのノイズの揺らぎを追従する信号追従・平均化モードをもつ。信号追従モードで出力される値はインクリメンタルADCモードにおける出力値からの差分であり、1クロックサイクルごとに1データを出力するために等価的に1クロックでA/D変換を行なう。これは高速にA/D変換をしていることと等価の効果を得ることが可能で、その信号平均化による演算で大幅な量子化ノイズとランダムノイズの低減効果が期待される。また、ノイズ低減効果は入力レンジのすべての範囲に適用でき、低照度のみならず高照度においてもノイズ低減効果を発揮する。特定の条件下において、熱ノイズと等価であるガウス分布に従う乱数を用いたシミュレーションにより、1024回までの積分回数で約5bitの改善効果が得られることを確認した。結果から、A/D変換器の量子化ノイズがランダムノイズによって低減されることを確認した。インクリメンタルA/D変換モードで10bitのA/D変換を行うとトータルで15bitの高分解能カラムA/D変換器が実現できる可能性を示唆した[20]。

第三に、適応積分機能共有型カラム並列巡回型1.5bitA/D(analog-to-digital)変換器について検討を行った。カラム回路に適応的に信号を積分する適応積分器を組み込む。適応積分器は演算に必要な単位容量4つ、差動増幅器1つと比較器1つから構成され、入力信号をアナログ領域で1回から16回まで適応的に積分することでランダムノイズを入力換算で低減する。この適応積分器に追加の回路として2つ目の比較器を接続すると1.5bitのA/D変換器として動作が可能であることを見いだした。1.5bitアーキテクチャはA/D変換器によく用いられ、回路の必要精度を緩和することができる画期的な技術である[19]。このわずかな追加回路によって、カラムの限られた面積において高精度にA/D変換を行うことが可能となり、原理的に広帯域のカラム以降のノイズが重畳しない構成を実現する。この方式は、カラムより面積の制限を受けやすい画素部でA/D変換を行う方式[21,22]に比べて面積的に余裕があるので、A/D変換器の精度をとることが容易であり、画素それぞれに機能回路を組み込むことがないために高解像度化が容易に実現できる。

回路が積分器として動作する場合、熱に起因するランダムノイズを考慮したシミュレーションを行った結果、ランダムノイズの標準偏差が16回積分した場合に、入力換算で $28\mu V_{rms}$ となり、適応ゲイン方式よりも高いノイズ低減効果を得られることが確認された。これはA/D変換を行った場合の量子化ノイズ低減にも有効で、適応積分からA/D変換を通したトータルのノイズとして $32\mu V_{rms}$ 程度のランダムノイズになる見通しを得た。また、回路がA/D変換器として動作する場合のシミュレーションでは、回路にゲイン誤差、キャパシタ mismatch、オフセットなどの特性を劣化させる要因が含まれていたとしても、補正なしで非線形性誤差が1LSB以下を実現できる結果を得て、非常に精度の高いA/D変換器として動作することを確認した[23]。実際にイメージセンサの試作を行い測定を行った結果、暗時におけるランダムノイ

ズが入力換算で $66.1\mu V_{rms}$ まで低減でき、センサの出力が $0.9V$ フルスケールを達成した。その結果ダイナミックレンジは $82.7dB$ となり、広いダイナミックレンジかつ低ノイズの読み出し回路を実現した。

1.3 本論文の構成

本論文は以上に述べたように、CMOS イメージセンサの信号のダイナミックレンジを保ちつつ、ランダムノイズを低減する方法について、入力信号の大きさに応じて適応的に信号を増幅するカラム並列適応ゲイン方式、インクリメンタル A/D 変換器にノイズ低減モードを組み合わせて回路が発生するランダムノイズと量子化ノイズを低減するカラム並列 2 重積分型 A/D 変換方式、適応的に信号を積分することにより入力換算でノイズ低減を行いつつ高精度の A/D 変換を行うカラム並列適応積分機能共有 1.5bit 巡回型 A/D 変換器について研究したものであり、以下の構成をとる。

1 章は緒言として、研究の背景、目的に関して述べた。

2 章では高感度イメージセンサの基礎的考察として CMOS イメージセンサの基本動作ならびに雑音について述べる。

3 章では適応ゲインカラム増幅に基づく CMOS イメージセンサについてノイズ解析、実際に設計した回路、測定結果について述べる。

4 章では 2 重積分型カラム並列 A/D 変換器についてのノイズ解析について述べる。

5 章では適応積分機能共有型 1.5bit 巡回型 A/D 変換器についてノイズ解析、実際に設計した回路、基本特性の測定結果について述べる。

6 章で、結論として、本研究をまとめる。

参考文献

- [1] W. S. Boyle, G. E. Smith, "Charge Coupled Semiconductor Devices," *Bell Syst. Tech. J.* pp.587-593, Apr. 1970
- [2] M. A. Schulster, G. Strull, "A Monolithic Mosaic of Photon Sensors for Solid-State Imaging Applications," *IEEE Trans. Electron Devices*, vol.ED-13, No.12, pp.907-912, 1966
- [3] P. Noble, "Self-scanned silicon image detector arrays," *IEEE Trans. Electron Devices*, vol.ED-15, pp.202-209, Apr. 1968.
- [4] T. Miida, "A 1.5MPixel Imager with Localized Hole-Modulation Method," in *ISSCC Dig. Tech. Papers*, 2002, pp.42-43
- [5] E. R. Fossum, "Active Pixel Sensors: Are CCD's Dinosaurs?," in *Proc. SPIE*, vol.1900, pp.2-14, 1993
- [6] 松長、遠藤 "CMOS イメージセンサのノイズキャンセル回路" *映像情報メディア学会報告書*, vol.22, no.1, pp.7-11 (Jan., 1998)
- [7] Paul P. K. Lee, et al., "An Active Pixel Sensor Fabricated Using CMOS/CCD Process Technology", in *Proc. IEEE Workshop on CCDs and Advanced Image Sensors*, 1995
- [8] R. M. Guidash et al., "A 0.6 μ m CMOS pinned photodiode color imager technology," in *IEDM Tech. Dig.*, 1997, p.927-129
- [9] S. Kawaito, et al., "A Compressed Digital Output CMOS Image Sensor with Analog 2-D DCT Processors and DCT/Quantizer," in *ISSCC Dig. Tech. Papers*, 1997, pp.184-185
- [10] D. Handoko, et al. "A CMOS Image sensor for focal-plane low-power motion vector estimation," *Symp. VLSI Circuits Dig. 14*, pp.28-29, June 2000
- [11] M. Mase, et al., "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters," in *ISSCC Dig. Tech. Papers*, 2005, pp.350-351
- [12] Savvas G. Chamberlain, Jim P. Y. Lee, "A Novel Wide Dynamic Range Silicon Photodetector and Linear Imaging Array," *IEEE Journal of Solid-State Circuits*, vol. SC-19, no.1, pp. 41 - 48, Feb 1984.

- [13] S. Decker, R. McGrath, K. Brehmer, C. Soldini, "A 256x256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output," in ISSCC Dig. Tech. Papers, 1998, pp.176-177
- [14] N. Kawai, S. Kawahito, "Noise Analysis of High-Gain, Low-Noise Column Readout Circuits for CMOS Image Sensors," IEEE Trans. Electron Devices, vol.51, No.2, Feb. 2004. Solid-State Circuits, vol. 36, pp. 846 - 853, May 2001.
- [15] S. Kawahito, N. Kawai, "Noise calculation model for high-gain column amplifiers of CMOS image sensors," Proc. SPIE vol.5017 pp. 48-58, Jul 2003.
- [16] 河合信宏, "CMOS イメージセンサのノイズ解析と低ノイズ化に関する研究," 静岡大学博士論文, Feb. 2005
- [17] S. Kawahito, et al., "A Column-Based Pixel-Gain-Adaptive CMOS Image Sensor for Low-Light-Level Imaging," in ISSCC Dig. Tech. Papers, pp.224-225, 2003
- [18] M. Sakakibara, et al., "A High-Sensitivity CMOS Image Sensor With Gain-Adaptive Column Amplifiers," IEEE J. Solid-State Circuits, vol.40, No.5, May 2005
- [19] B. Ginetti, et al., "A CMOS 13-b Cyclic RSD A/D Converter," IEEE J. Solid-State Circuits, vol.27, No.7, Jul. 1992
- [20] M. Sakakibara, S. Kawahito, "A Column Parallel Double Integration Type A/D Converter for CMOS Image Sensors," in ITC-CSCC Proc., vol.1, pp.189-190, 2005
- [21] D. X. D. Yang, A. El Gamal, B. Fowler, and H. Tian, "A 640 × 512 CMOS image sensor with ultra wide dynamic range floating-point pixel-level ADC," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 308 - 309, February 1999
- [22] L. G. McIlrath, "A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion," IEEE Journal of Solid-State Circuits, vol. 36, pp. 846 - 853, May 2001
- [23] M. Skakibara, S. Kawahito, "Column Parallel Low Noise Digital Redout Circuits Using Adaptive Integration for CMOS Image Sensors," Proc. of The 2nd International Symposium on Nanovision Science 5-19, pp93-94, Oct. 2005

第2章

低ノイズイメージセンサの基礎的考察

2.1 はじめに

本章では、CMOS イメージセンサによる低ノイズイメージセンサの基礎的考察として、一般的な CMOS イメージセンサの構成と、回路で発生する各種ノイズについて述べる。さらに、熱に起因するランダムノイズの解析方法についても簡単に触れる。

CMOS イメージセンサは、受光部、画素信号読み出し回路、カラム信号読み出し回路と外部読み出しのためのバッファの4つの回路から構成される。これら各部分はいろいろな構成手法があり、その構成それぞれで発生するノイズが異なる。また、回路の動作手順により、スイッチ一つ切る順番次第でノイズの出力のされ方が異なる。

CMOS イメージセンサで低ノイズ読み出しを実現するために、信号が読み出されるまでの全体の系としてのノイズがどの程度になるのかを解析によりあらかじめ見積もることが重要になる。

以下に、CMOS イメージセンサの撮像の基本動作とその回路構成について述べる。

2.2 CMOS イメージセンサによる撮像

2.2.1 撮像の基本動作

図 2.1 に CMOS イメージセンサの基本構成を示す。CMOS イメージセンサによる撮像は、画素より信号を垂直選択信号により並列にカラムへの読み出し回路へ出力し、カラム読み出し回路に信号を記憶・演算した後に水平選択信号により順次走査をして外部に出力をする構成を取る。

各々の構成部位は、CMOS イメージセンサの設計自由度の高さからいろいろな方式が提案されている。以下に、CMOS イメージセンサで一般的に用いられている各部の構成を述べる。

2.2.2 光電変換部

銀塩カメラの受光部はフィルムの銀化合物であるが、これと対になる CMOS イメージセンサの受光部はフォトダイオードである。これは CMOS イメージセンサに限らず、CCD イメージセンサも同様である。

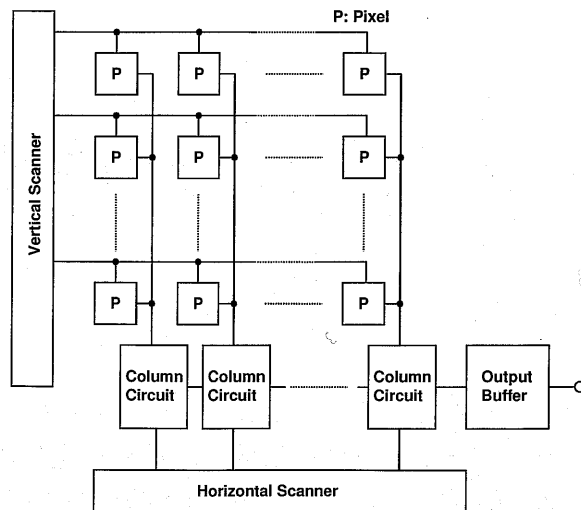


図 2.1: CMOS イメージセンサの基本構成

3Tr 方式と呼ばれる CMOS イメージセンサの画素の回路図を図 2.2 に示す。フォト

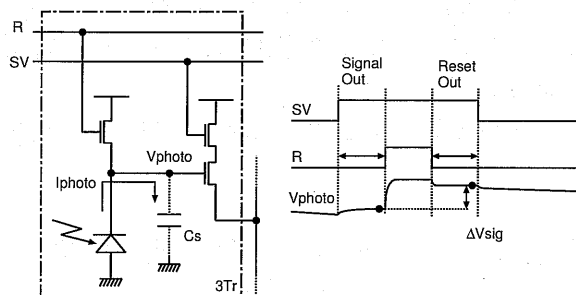


図 2.2: 3Tr 方式

ダイオードに入射した光は、光起電力効果によって電子、正孔対が生成され接合部に拡散、もしくは空乏層で発生した電子は n 側へ、正孔は p 側へ移動する。この結果、p 側は正に、n 側は負に帯電し、外部に起電力を示す。この電圧はこのフォトダイオードの寄生容量を C_s とすると、発生する光電流を I_{photo} 蓄積時間 (露光時間) を T として

$$V_{photo} = \frac{\int_0^T I_{photo}(t) dt}{C_s} \quad (2.1)$$

で表される。蓄積時間中の光電流 $I_{photo}(t)$ が一定であるならば、

$$V_{photo} = \frac{T \cdot I_{photo}}{C_s} = \frac{Q_{photo}}{C_s} \quad (2.2)$$

となる。寄生容量 C_s は小さいほど同じ光量に対し電圧感度が高い。例えば、フォトダイオードの寄生容量 C_s を $2fF$ と見積もると電子 1 つで約 $80\mu V$ の出力が得られ

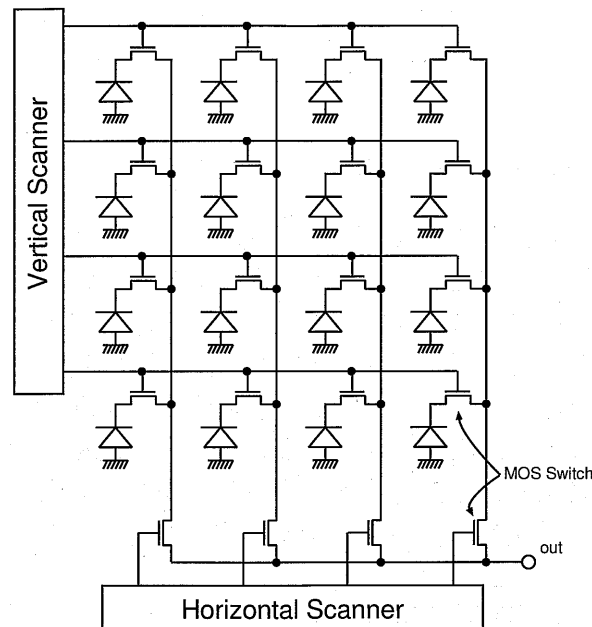


図 2.3: パッシブピクセルセンサ

る。この値は変換ゲインと呼ばれイメージセンサの性能を示す重要なパラメータの一つである。

フォトダイオードで電圧値となった光信号を、電圧検出トランジスタでソースフォロワによりバッファして読み出し、カラム回路に信号を送る。一定時間露光した後は、画素部をリセットトランジスタにより受光で生じた光信号である電荷をリセットして初期化する。出力回路は受光して出力された信号と、リセットして出力された信号の差をとることにより相関2重サンプリング (CDS) を行い画素部の閾値ばらつき等をキャンセルする。

2.2.3 パッシブピクセルセンサ

MOS 型イメージセンサ [1], [2] が考案された当時は、図 2.3 に示すように画素からの信号を直接カラム回路に読み出していた。これはダイナミックランダムアクセスメモリ (DRAM) のアレイとほぼ同じ構造である。受光により蓄積した信号を垂直スキャナで選択し、カラムの水平スキャナで順次走査をし信号を読み出す。これは固定パターンが多いことや出力段の配線容量により感度が低下すると言った問題があったが、後述のアクティブピクセルセンサの発明 [4]、開発 [5] [6] [7] により、感度、固定パターン雑音等の大幅な改善が可能となった。このアクティブピクセルセンサは MOS 型イメージセンサの流れを汲むものであるが、現在の集積回路技術の主流である CMOS 技術で実現されて [3]、一般に CMOS イメージセンサと呼ばれる。

前述 3Tr 方式はパッシブピクセルセンサではなくアクティブピクセルセンサに属する。

2.2.4 アクティブピクセルセンサ

パッシブピクセルセンサ (PPS) と比較して、アクティブピクセルセンサは画素内で信号を増幅する回路を持たせてカラムに出力する。3Tr 方式では図 2.3 ソースフォロワトランジスタが増幅器になっており、バッファ機能を持たせてある。ソースフォロワの増幅率は、トランジスタの基板効果の影響を無視すると約 1 倍である。3Tr 方式では一般的に、受光面積を大きくすると光電流 I_{photo} が増すが、画素の寄生容量 C_s も増すので、検出電圧が大きくなることはない。この問題解決に、画素内に増幅率 1 倍以上の増幅器を持たせた 4Tr 方式が考案された [8]。図 2.4 に 4Tr 方式のピクセル部を示す。これは、受光部の面積を増やして光電流を増やすと、寄生容量まで増え

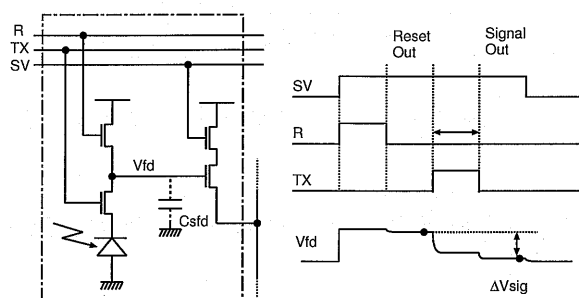


図 2.4: 4Tr 方式

て感度がとれない欠点を克服した回路でもある。4Tr 方式の動作は、ターゲットのピクセルが SV で信号選択され、その後リセット R により、フローティングデフュージョン V_{fd} をリセットする。その信号をカラムに読み出し記憶する。その後、トランスファゲート Tx を ON して信号を転送する。もし、受光した光電流がロスなくフローティングデフュージョン側に転送されるとすると、

$$V_{fd} = \frac{Q_{photo}}{C_{sfd}} = \frac{V_{photo} \cdot C_s}{C_{sfd}} \quad (2.3)$$

となり、フローティングデフュージョンの寄生容量と受光部の寄生容量の比 C_s/C_{sfd} で信号電圧が変化する。これはフローティングデフュージョンの寄生容量が受光部の寄生容量よりも小さい場合に画素内で増幅されることを意味する。また、この読み出し方式はリセットレベルが先に出力されるため、後段の CDS 回路において閾値ばらつきによる固定パターンノイズとともに、浮遊容量 C_{sfd} に蓄積されたりリセットノイズをキャンセルできる優れた特徴をもつ。

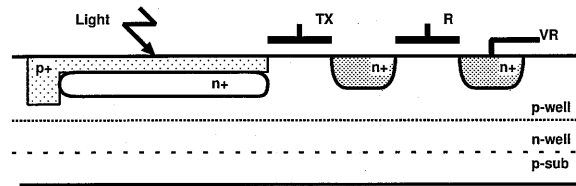


図 2.5: 画素部：埋め込みフォトダイオード

2.2.5 埋め込みフォトダイオードと完全転送

前述の 4Tr 方式により、固定パターンノイズ、リセットノイズ、感度の問題を解決できることを述べた。これら以外に、センサの特性を決定する重要なパラメータとして暗電流がある。画素に使用されるフォトダイオードは pn 接合で作成されるために、原理的に光が当たらない状態でもわずかに電流が流れる。この接合の空乏層が $Si-Si_2$ 界面に接していると界面の欠陥からさらに多くの電流が発生して暗電流の増加につながる。この暗電流の増加を防ぐのが、埋め込みフォトダイオード構造である。埋め込みフォトダイオードは図 2.5 に示すように、受光部の表面部を基板と同じタイプの不純物で覆ったもので、受光部である pn 接合が $Si-Si_2$ 界面に接しておらず暗電流の抑制に非常に効果的である。

もう一つの重要な技術として受光部から信号電荷の完全転送があげられる。標準 CMOS プロセスで製造されたイメージセンサでは受光部からフローティングデフュージョンに転送される電荷は完全転送されない。これは、トランスファゲートを開いた直後は、電荷が主にドリフトで流れるのに対し、転送終了直前の電荷は受光部に光電変換された電荷がほとんどなく、ほぼ拡散によってしかフローティングデフュージョン側に流れないため残電荷が生ずることによって起こる。この残電荷の量は受光量と TX ゲートを解放している時間の逆数に比例し、次のフレームに残像として読み出され、高速撮像時に特に問題となる。これらは、ゲートと受光部と転送部のデバイス構造と、そのポテンシャルプロファイルをチューニングし、受光部に電荷が残らない完全転送を行うことで解決している。

埋め込みフォトダイオードとその完全転送のためのデバイス構造のチューニングは標準の CMOS プロセスでは不可能であるので、イメージセンサ専用プロセスを必要とする。

2.2.6 カラムノイズキャンセル回路

カラムの読み出し回路について説明する。現在の CMOS イメージセンサは、カラムの読み出し回路に固定パターンノイズのキャンセル機能を持たせている。

前述の画素構造を見ると、現在主流になっている 4Tr 方式（埋め込み型を含む）や一部で使用されている 3Tr 方式はどれも画素内にソースフォロワのアンプを持たせ

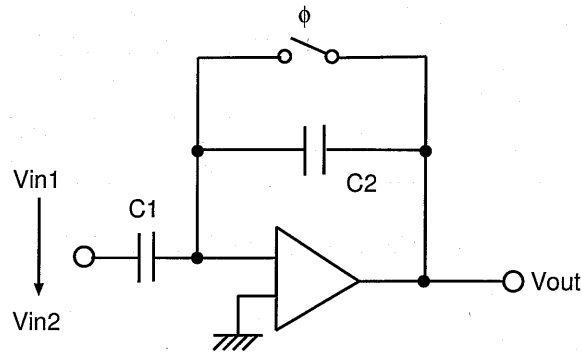


図 2.6: カラム読み出し回路: カラムノイズキャンセル回路

たものである。理想的には、どの画素であろうと同じ特性でソースフォロワの入力信号が出力に現れる。しかしながら、実際の CMOS イメージセンサには製造上のプロセスばらつきが存在する。そのばらつきは、主にソースフォロワを構成するアンプの閾値ばらつきとなって CMOS イメージセンサの信号を劣化させる。これは、例えばソースフォロワの入力電圧（フォトダイオードの出力電圧）がすべての画素で同じであった場合であっても、閾値ばらつきの影響を受けて各画素ごとに違った電圧値を出力する。注意することは、各画素ごとに出力電圧はばらつくが、そのばらつき値が固定であり、読み出すたびに毎回同じばらつき値を出力するところである。このような特徴からこの閾値ばらつきは後述する FPN(fixed pattern noise) と呼ばれる。

この閾値ばらつきによるノイズを、カラムのノイズキャンセル回路は除去することが可能である。この回路図を図 2.6 に示す。スイッチ、キャパシタ 2 つとアンプから構成され、スイッチトキャパシタ回路の構成をとる。この回路の動作を順を追って説明する。まず、入力側に V_{in1} が入力される。この時スイッチ ϕ は ON したままでフィードバック側の入出力は短絡されている。入力側の容量 C_1 に蓄積される信号電荷は

$$Q = C_1 \cdot V_{in1}$$

と示される。続いてスイッチ ϕ が OFF した後、入力信号が V_{in2} に変化する。この時 C_1, C_2 に蓄積された信号電荷の総量は電荷保存則から変化しないので、

$$Q = C_1 \cdot V_{in2} + C_2 \cdot V_{out}$$

となる。結果として出力される電圧は

$$V_{out} = \frac{C_1}{C_2} (V_{in1} - V_{in2})$$

となる。ここでキャパシタの容量値が $C_1 = C_2$ とすると

$$V_{out} = V_{in1} - V_{in2}$$

となる。結果を見ると、時間的に変化する入力信号の差分を出力しているのみであるが、これが非常に重要な意味を持つ。

ここで3Trの場合、まず信号レベル (V_{sig}) を画素から読み出し、続いて画素をリセットしそのリセットレベルを同じソースフォロワを通して読み出す (V'_{reset})。各々の信号に閾値ばらつき (V_{offset}) がある場合

$$V_{out} = (V_{sig} + V_{offset}) - (V'_{reset} + V_{offset}) \quad (2.4)$$

$$= V_{sig} - V'_{reset} \quad (2.5)$$

とオフセットによらないリセットレベルと信号レベルの差分が出力されることがわかる。3Trの場合は特殊な構成にしない限り、信号レベルが先に出力され、リセット信号が後で出力されるために、画素のリセット時に信号と相関のないリセットのノイズが重畳される。これは、リセットレベルを信号レベルより先に出力すると、必然的にそれまで蓄積した信号電荷をリセット動作で初期化するためである。

一方、4Trの場合は信号検出部が受光部とトランスファークラップで分離されているために、先に信号検出部をリセットすることが可能である。そのため、リセットレベル (V_{reset}) を先に読み、その後信号レベル (V_{sig}) を読み出すことが可能である。出力信号は

$$V_{out} = (V_{reset} + V_{offset}) - (V_{sig} - V_{offset}) \quad (2.6)$$

$$= V_{reset} - V_{sig} \quad (2.7)$$

となる。4Trの場合も同様に、信号検出部をリセットするとリセットノイズが重畳するが、信号レベルはリセットノイズの重畳したリセットレベルを基準に出力されるために、両者にの差分を取ることで画素の閾値ばらつきのみでなく画素のリセットノイズを除去することが可能である。

この技術はCDS(correlated double sampling: 相関2重サンプリング)と呼ばれCMOSイメージセンサに欠かせないノイズキャンセル手法である。3Trの場合のCDSは通常固定パターンノイズ(FPN)のみの除去に有効であるが、4Trの場合のCDSはFPNと画素のリセットノイズの両者に対して有効である。

2.2.7 A/D変換器

CMOSイメージセンサは、その特徴である回路集積の自由度からA/D変換器を内部に組み込むことが可能である。

CMOSイメージセンサで使用されるA/D変換器は大きく分けて3つある。画素内部でA/D変換を行うもの [10] [11]、カラムでA/D変換を行うもの [12]- [13] と最終読み出し部でA/D変換器を行うものがある。それぞれの方式で、一長一短がある。

後に詳細を述べるが、回路の支配的なノイズに熱ノイズがある。この雑音電力の大きさは、ノイズを発生する回路の帯域に比例する。この理由により、最終読み出

し部でA/D変換を行うと、その帯域の広さから多くのランダムノイズ(熱ノイズ)が信号に重畳する。従って最終読み出し部でA/D変換を行う方式は、原理的に帯域の広いノイズが必ず重畳するので低ノイズ読み出し回路には向かない。

画素内に信号処理回路を設けて狭い帯域、ピクセルレベルでA/D変換をする方式 [10] [11] は画素内に比較器などの回路を集積することから、省面積化には不向きである。さらに、画素のバラツキやADCの分解能不足により特性の劣化が顕著である。一方、カラムにA/D変換器を設けるとノイズ帯域が狭い状態でA/D変換を行うことができ、量子化された後は原理的にノイズが重畳せず非常に有効である。しかしながら、近年報告されているカラムにA/D変換器を搭載しているイメージセンサ [12]- [13] の分解能は10bitから11bitであり、十分なデジタルダイナミックレンジが得られていない。また、12bitの分解能を [14] が報告しているが、このセンサの実質的な精度は10bit程度である。初めてカラムA/D変換器で12bitの精度を達成したのは文献 [15] であろう。カラムA/D変換器の高精度化が困難な理由は、画素単位でA/D変換する方式に比べれば面積に余裕があるものの、依然としてカラム回路の横方向の幅は画素のサイズで制限されるため、使用できるトランジスタやキャパシタのサイズが制限され、高精度化、低ノイズ化が難しいためである。とはいえ、これらの問題が解決された場合、カラムでの並列A/D変換が最も有効であるといえる。

後の章で述べる適応積分機能共有カラム巡回型A/D変換器と2重積分型カラムA/D変換器は、ノイズ帯域の狭いカラムで信号処理を行ないつつA/D変換を行うことでランダムノイズを低減する全く新しい方式である。本研究では、14bitから15bitの分解能を目標とする。

2.3 CMOS イメージセンサのノイズ

本手法は、信号レベルの低い低照度側のダイナミックレンジを拡大することに主眼を置いている。この低照度側のダイナミックレンジは、いわゆるノイズと呼ばれる受光部で発生した信号電荷(電圧)以外の不要な信号が信号読み出し回路で発生するために、低照度条件下での出力信号値が制限されることで決定される。ここで、CMOSイメージセンサのノイズについて述べる。ノイズは以下の

- 固定パターンノイズ
- 熱ノイズ
- 1/fノイズ
- リセットノイズ
- ショットノイズ
- 量子化ノイズ

- その他のノイズ

に大別され、一般的には、固定パターン以外のノイズをまとめて、ランダムノイズという。

本研究では、この抵抗体やトランジスタが存在すると必然的に発生する熱ノイズをいかに低減するかを目的としている。以降、3,4,5章において特に断りがない限り、ランダムノイズとは熱に起因する熱ノイズのこののみをさす。

以下各々について述べる。

2.3.1 固定パターンノイズ

固定パターンノイズとは読み出すごとによって毎回変らない一定のノイズのことである。

CMOS イメージセンサは、非常に微細なプロセスである LSI の技術で製造されるので、トランジスタにガウス分布に従う特性のばらつきが生じる。具体的にはトランジスタの閾値ばらつき、トランジスタのサイズばらつき、受光部の感度ばらつき、開口率ばらつき、暗電流ばらつき、アンプのゲインばらつき (キャパシタミスマッチ) 等が含まれる。

一般にイメージセンサで問題となるのは、画素の閾値ばらつきと読み出し回路の閾値ばらつきである。固定パターンノイズについては信号を読み出したときに毎回一定であることから閾値ばらつきは CDS (correlated double sampling) 技術により除去可能である。また、デジタル領域でもアナログ回路と同じように、リセットレベルのデジタル値と信号レベルのデジタル値の差分を取ることで CDS も可能である。この場合、固定パターンノイズの除去精度は演算におけるデジタル値のダイナミックレンジ (分解能) に依存することになる。キャパシタミスマッチや開口率ばらつきを補正する場合はデジタル領域で行われるが、これらの精度もデジタル値のダイナミックレンジ (分解能) に依存することになる。

2.3.2 熱ノイズ

熱ノイズは抵抗体が存在するところに発生するノイズである。

抵抗体は内部の原子が熱エネルギーによって振動し、自由電子と衝突を繰り返す結果、電子が不規則に運動し、電圧ゆらぎを生じる。熱ノイズはジョンソンノイズあるいは、ホワイトノイズとも呼ばれる。ナイキストは熱ノイズの解析に熱力学的な理論を導入して、抵抗体の発生するノイズ電力を導いた。これを回路上、最大電力を取り出す条件で導きだすと、次式の電圧 2 乗平均ノイズ

$$\overline{v_n^2} = 4kTR\Delta f \quad (2.8)$$

が得られる。ここで、 $k = 1.38 \times 10^{-23} \text{ J/K}$ はボルツマン定数、 T は絶対温度、 R は抵抗体の抵抗値、 Δf は、対象とする周波数帯域幅である。これは、ノイズ電力スペクトルが、 $S_n(f) = \overline{v_n^2}/\Delta f = 4kTR$ と一定になることを意味し、ホワイトノイズと言われるゆえんである。なお、雑音電力スペクトルとしては、周波数を負の領域まで考えた両側周波数表示の場合には、 $S_n(f) = \overline{v_n^2}/\Delta f = 2kTR$ となる。CMOS イメージセンサでは、トランジスタが CMOS スイッチとして線形領域で動作する場合そのスイッチの ON 抵抗がノイズ源になる。また、トランジスタがアンプとして動作する飽和領域ではアンプの相互コンダクタンス g_m がノイズスペクトルに影響する。この場合のノイズスペクトルは

$$\overline{v_n^2} = 4 \cdot \gamma k T \frac{1}{g_m} \Delta f \quad (2.9)$$

となる。ここでの係数 γ は基板バイアスの係数とは異なるもので、長チャネルデバイスで $2/3$ の値をとる。サブミクロンデバイスではこの値より少し大きめになるといわれている [16]。

2.3.3 1/f ノイズ

1/f ノイズとは主に、FET トランジスタのゲート酸化膜-基板間の界面で発生するノイズであるといわれており、二通りの考え方がある。[16] [17]

トランジスタが ON (飽和領域、線形領域) している状態では、基板の極性が反転し少数キャリアが増す。この過剰少数キャリアのうち、表面近く、ゲート側を流れるキャリアが CMOS の製造工程で生じた、絶縁膜である二酸化シリコンと基板との界面の欠陥準位にトラップされる。また、そのトラップされたキャリアが一定時間後にランダムなタイミングで放出される。ある考え方では、このキャリアが $\text{SiO}_2 - \text{Si}$ 界面で格子振動を引き起こし移動度の変調を引き起こす結果生じるといわれている。このノイズはトランジスタのゲート長 L 、ゲート幅 W 、酸化膜厚間容量 C とすると

$$\overline{v_n^2} = \frac{K_1}{C_{ox} WL} \cdot \frac{\Delta f}{f} \quad (2.10)$$

と記述される。もう一方の考え方では、この放出された少数キャリアがチャネルの電荷量を変化させてノイズとなる。ノイズ電力を示す式では

$$\overline{v_n^2} = \frac{K_f}{C_{ox}^2 WL} \cdot \frac{\Delta f}{f^c} \quad (2.11)$$

となり、周波数の逆数に比例し、係数 c は n 型デバイスで $0.7 - 1.2$ の値をとるといわれる。

この係数 K_f はフリッカ雑音係数で

$$K_{fn} = 5 \times 10^{-31} \text{ (V/cm}^2\text{)} \quad (\text{NMOS}) \quad (2.12)$$

$$K_{fp} = 2 \times 10^{-32} \text{ (V/cm}^2\text{)} \quad (\text{PMOS}) \quad (2.13)$$

でプロセスによらずほぼ一定といわれている [16]。

このままであると、直流付近のノイズが無限大まで増えてしまう。イメージセンサの $1/f$ ノイズは文献 [18]、[19]、[20] によると回路のカットオフ時定数を τ_0 、サンプリング時間差を t_0 として、 $\lambda = \frac{t_0}{\tau_0}$ 。また、 $1/f$ ノイズのスペクトル密度関数 $N_f(f) = N_{f1}/|f|$ として相関 2 重サンプリング回路に適用させると以下の式 2.14

$$\overline{v_n^2} = 4K_{f1}(0.577 + \ln \lambda) \quad \text{for } \lambda > 3 \quad (2.14)$$

で記述できる。このノイズは、スイッチトキャパシタ回路を適用した式であり今回の設計に使う適応ゲインカラム増幅器もスイッチトキャパシタ回路であるので、フリッカ雑音係数がわかればこれを適用可能である。注意することは、本論文で解析しているランダムノイズは $1/f$ ノイズを含んでいない。これは使用するプロセスでの $1/f$ の係数が不明であることと、提案方式では $1/f$ ノイズが支配的ではない、高い周波数で回路が動作するためである。

2.3.4 リセットノイズ

リセットノイズとは、ある電圧ノードを CMOS スイッチによってバイアスしていたとき、そのスイッチを切るときに発生するノイズである。したがって、CMOS スイッチがあるところには必ず発生する。リセットノイズとして主なものは、チャージインジェクション、フィードスルーとスイッチで発生する熱ノイズである。

チャージインジェクションとはトランジスタのチャネル領域での電荷がスイッチを切られた瞬間に、バイアスされていた側に漏れるキャリア電荷によってバイアス電圧が変動してしまうことによるノイズである。

フィードスルーはスイッチの電圧が *ON* から *OFF* (一般的には V_{DD} から $0V$ に変化) になった瞬間にゲートとそのノード間の寄生容量と、ノードと基板間の寄生容量によって分圧されることによってノードの電圧が変化することによるものである。なお、両者の区別をせずに上記 2 つを合わせて、単にインジェクションと言うこともある。スイッチで発生する熱ノイズはスイッチが切れた瞬間の電圧をサンプルする。熱ノイズはランダムに揺らいでいるがスイッチをきった瞬間にリセットノイズとして固定の電圧値に定まる。

CMOS イメージセンサでリセットノイズと呼ばれるものは、一般に画素で生ずるリセットノイズのことを示す。リセットノイズは、もともとランダムであるが、スイッチを切った後にそのノイズが固定することで固定パターンのノイズと同じ振る舞いをするので、 $4Tr$ の画素で構成されるものについては CDS 動作で除去が可能である。

2.3.5 ショットノイズ

ショットノイズには2種類のものがある。一つは光ショットノイズであり、もう一つは暗電流ショットノイズである。光ショットノイズとはセンサの受光部が光電変換した際に発生するノイズである。ショットノイズの電力は熱ノイズと同様に光の強さ、すなわち光度に比例し、受光すれば原理的に発生する。

受光した際に発生する電荷量を N 個とすると、ランダム的に \sqrt{N} の電荷が発生する。

同様に、暗電流ショットノイズもその暗電流の電荷量 N_d に対してランダム的に $\sqrt{N_d}$ の電荷が発生する。これらのショットノイズは、検出部であるフォトダイオードで必ず発生する低減できないノイズである。

2.3.6 量子化ノイズ

量子化ノイズとは連続信号であるアナログ信号を、離散信号であるデジタル信号に変換するとき発生するノイズである。

N bit 分解能の A/D 変換器が変換できる最小信号は、電圧のフルスケールを FS として、

$$1LSB = \frac{FS}{2^N} \quad (2.15)$$

である。この $1LSB$ より低い信号については $1bit$ の判定ができず誤差成分となる。長時間にわたり、AD 変換を行った場合この $1LSB$ 以下の信号はランダムに出現し、結果としてこの範囲の電圧は一樣な確率密度で分布する。

一般に量子化ステップ $1LSB$ を q とおけば、量子化誤差 (e) の分布密度は $1/q$ で一樣となる。この雑音の2乗平均誤差 $\overline{e^2}$ を求めると以下の式 2.16 となる。

$$\overline{e^2} = \int_{-\frac{1}{2}}^{\frac{1}{2}} e^2 p(e) = \frac{q^2}{12} \quad (2.16)$$

2.3.7 その他のノイズ

前述以外のノイズをその他のノイズとする。前述までのノイズは回路自体が発生するノイズであるので別名真性ノイズとも言われる。一方、各々の回路を組み合わせるとき問題となるノイズがあり、環境ノイズ(外来ノイズ)とも言われる。これは、システムとして回路を組んだときに問題となるノイズである。一例としてはデジタル回路からアナログ回路の電源線、グランド線等へ混入するノイズや、アンテナからの放射ノイズ等がある。集積回路を設計する場合は、周りの回路からのノイズの感度を高くしないことと、自分自身がノイズ発生源とならない、差動構成などの回路にするなどの対策が必要がある。

これらの対策には、機能回路を実現する際に採用するアーキテクチャの考慮以外にレイアウトの工夫が必要である。例を挙げるとデジタルの信号線とアナログの信号線は平行にしない、スイッチの拡散層は遮光する、アンプの入力への配線は極力短くする、キャパシタのトップメタル(基板から遠い側)を低ノイズにしたい側を使用する、基板とのコンタクトを十分にとりインピーダンスを十分下げるなどである。

参考文献

- [1] G.P.Weckler,"Integrated arrays of silicon photodetectors for image sensing,"IEEE J.Solid-State Circuits,vol.SC-2,pp.65-73,1967.
- [2] R.Dyck and G.P.Weckler,"Integrated arrays of silicon photodetectors for image sensing,"IEEE Trans.Electron Devices,vol.ED-15,pp.196-201,Apr.1968
- [3] E. R. Fossum,"Active Pixel Sensors: Are CCD's Dinosaurs?," in Proc. SPIE, vol.1900, pp.2-14, 1993
- [4] P.Noble,"Self-scanned silicon image detector arrays,"IEEE Trans. Electron Devices,vol.ED-15,pp.202-209,Apr.1968.
- [5] F. Andoh,K. Taketosi,J. Yamazaki,M. Sugawara,Y. Fujita,K. Mitani, Y. Matuzawa,K. Miyata,andS. Araki,"A 250 000 pixel image sensor with FET amplification at each pixel for high-speed television cameras," in ISSCC Dig. Tech. Papers,1990,pp.212-213.
- [6] H. Kawasima,F. Andoh,N. Nurata,K. Tanaka,M. Yamawaki, and K. Taketosi, "A 1/4 inch format 250 000 pixel amplifier MOS image sensor using CMOS process,"in IEEE IEDM Tech Dig.,1993,pp.575-578.
- [7] F.Andoh,K.Taketosi,J.Yamazaki,MSugawara,Y.Fujita,K.Mitani, Y.Matuzawa,K.Miyata,andS.Araki,"An amplified Mos Imager suited for image processing,"in ISSCC Dig. Tech. Papers,1994,pp.228-229.
- [8] M.Kyomasu,"New CMOS Imager Using Photodiode as Current Source ,"IEEE J.Solid-State Circuits,vol.26,pp.1116-1122,Aug.1991.
- [9] K.Yonemoto, H.Sumi,"A CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology and a Hole Accumulation Diode,"IEEE J.Solid-State Circuits,vol.35,No.12,pp.2038-2043,Dec.2000.
- [10] D. X. D. Yang, A. El Gamal, B. Fowler, and H. Tian, "A 640×512 CMOS image sensor with ultra wide dynamic range floating-point pixel-level ADC," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 308 - 309, February 1999.
- [11] L. G. McIlrath, "A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion," IEEE Journal of Solid-State Circuits, vol. 36, pp. 846 - 853, May 2001.

- [12] I. Takayanagi, M. Shirakawa, K. Mitani, M. Sugawara, S. Iversen, J. Moholt, J. Nakamura, and E. R. Fossum, "A 1 1/4 inch 8.3M pixel digital output CMOS APS for UDTV application," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 216 - 217, February 2003.
- [13] K. Findlater, R. Henderson, D. Baxter, J. E. D. Hurwitz, L. Grant, Y. Cazaux, F. Roy, D. Herault, and Y. Marcellier, "SXGA Pinned photodiode CMOS image sensor in 0.35 μ m technology," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 218 - 219, February 2003.
- [14] J. Nakamura, B. Pain, T. Nomoto, T. Nakamura, and E. R. Fossum, "On-focal-plane signal processing for current-mode active pixel sensors," IEEE Trans. Electron devices, Vol. 44, No. 10, pp. 1747-1758, October, 1997.
- [15] M. Mase, et al., "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters," in ISSCC Dig. Tech. Papers, 2005, pp.350-351
- [16] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2001
- [17] Y. Tsididis, "Operation and Modeling of The MOS Transistor," Second Ed., McGraw-Hill, 1999
- [18] H.M.Wey and W.Guggenbuhl, "An Improved Correlated Double Sampling Circuit for Low Noise Charge-Coupled Devices," IEEE Trans. ,vol.37,no.12,Dec. 1990
- [19] R.J.Kansy, "Response of a correlated double sampling circuit to 1/f noise," IEEE J. Solid-State Circuits, vol.SC-15,pp.373-375, June 1980.
- [20] G.R.Hopkinson and D.H.Lumb, "Noise reduction techniques for CCD image sensors," J.Phys.E:Sci.Instrum.,vol.15,pp.1214-1222,1982.

第3章

適応ゲインカラム増幅に基づく高感度 CMOS イメージセンサ

3.1 はじめに

本章では低照度側のダイナミックレンジの拡大手法の一つとして、適応ゲインカラム増幅器を用いた高感度 CMOS イメージセンサの研究について述べる。適応ゲインカラム増幅器は、他の章の方式よりも回路構成がシンプルであり、シングルエンドのアンプを使用しているために、カラムの狭い面積を有効に活用しつつ、大幅なノイズ低減を可能とする。

イメージセンサのダイナミックレンジは、センサからの出力が飽和しない最大値を取る高照度での出力信号と、光の照射がない暗時での読み出し回路の系を通した全体のノイズレベルとの比 (S/N, signal-to-noise ratio) で決まる。CMOS イメージセンサがエリアセンサタイプでアナログ出力の構成を取る場合、原理的に読み出しの系で発生するノイズが CCD に比べて高い。

これは、信号が回路を通過するときに重畳するノイズは、回路の帯域幅に比例するためである。CCD イメージセンサの場合は、CCD それ自体は非常に低雑音であり、現在はほぼ無雑音で信号電荷をセンサの最終読み出し部までバケツリレー方式の転送により読み出すことができる。唯一のノイズ源は電荷を電圧に変換し、それをソースフォロワでセンサの外部に出力するバッファである。このバッファの帯域はピクセルレートとほぼ同等であるので大きなノイズが重畳する。

一方、CMOS イメージセンサの場合は画素部で信号電荷を電圧値に変換し、ソースフォロワのバッファを介してカラムの読み出し回路に出力する。このソースフォロワとカラム読み出し回路でノイズが重畳するが、これら回路はカラム並列に動作するために動作はさほど速くない。つまり、帯域が狭いので重畳するランダムノイズも小さい。最後に、カラム読み出し回路にホールドされた信号を水平スキャン信号により最終的な出力バッファを介して外部に出力する。このバッファの帯域はピクセルレートとほぼ同等である。以上のことから、読み出し速度が CCD と同じと仮定すると、CMOS イメージセンサは原理的に CCD よりもノイズレベルが画素とカラム読み出し回路の割合だけ高いことになる [1]。これが CCD に比べて CMOS イメージセンサのノイズが高いといわれるゆえんである。なお、CMOS イメージセンサはこれら以外に素子ばらつきによる固定パターンノイズが重畳するが、現在は CDS と

いう技術によりほぼ問題ないレベルまで解決できている。

以上のことから、CMOS イメージセンサの支配的なノイズは帯域の広いバッファのノイズであることがわかる。このバッファで発生するノイズを低減することで支配的なランダムノイズを抑制し、低照度でのダイナミックレンジを確保する。

このノイズ抑制方法の基本原理は至極単純である。CMOS イメージセンサの機能回路を集積可能である点に注目し、カラムに信号を増幅する回路をもうける。この信号増幅で、バッファで重畳される支配的なノイズを相対的に小さく見せることで信号のノイズ耐性を高めることが可能である。ここで問題となるのが入力信号をゲイン倍 (M 倍) 増幅すると仮定すると、増幅後に加わるノイズは入力換算で $1/M$ に抑制されるが、信号のダイナミックレンジも $1/M$ に抑制されてしまうことである。これはセンサの信号が極小さな振幅しかないとすれば有効な方法であるが、たいいてい場合はカラム増幅段の出力が飽和し、十分な S/N が取れない。この問題は、カラムで適応的に増幅することで解決する。すなわち、画素からの信号が小さくノイズに対して信号を増幅しても飽和しない場合は後段に接続される読み出し回路からのノイズの影響に耐性を持たせるために高いゲインで増幅する。一方、画素からの信号が十分大きくノイズに対して耐性がある場合は低いゲインで増幅しダイナミックレンジを確保する。

これらの機能回路は、1bit の比較器とゲイン可変のカラムアンプにより実現する。

また、カラムと画素でどの程度ランダムノイズが重畳するかをノイズのスペクトル密度 (PSD) と伝達関数より算出した。ノイズ解析の結果、カラムで増幅するとカラム以降のランダムノイズはその増幅倍率で入力換算することで低減できることは明らかであるが、カラム増幅器自身が発生するノイズについても低減できることがわかった。

以下に、回路構成について述べ、その構成におけるランダムノイズの解析について述べる。最後に実際に作成したチップの測定結果を述べる。

3.2 適応ゲインカラム増幅に基づく CMOS イメージセンサの構成

提案する適応ゲインカラムアンプに基づく CMOS イメージセンサの構成を図 3.1 に示す。画素部、適応ゲインカラム増幅器、サンプルホールド回路、最終読み出しアンプをから構成され、これらを 1 チップに集積化した。外部回路として 14bit A/D 変換器 (AD9240, Analog Devices) を使用し、デジタル補正回路を FPGA (Field Programmable Gate Array) で作成した。画素構造は CMOS イメージセンサ専用プロセスを使用し、埋め込みフォトダイオードを用いている。

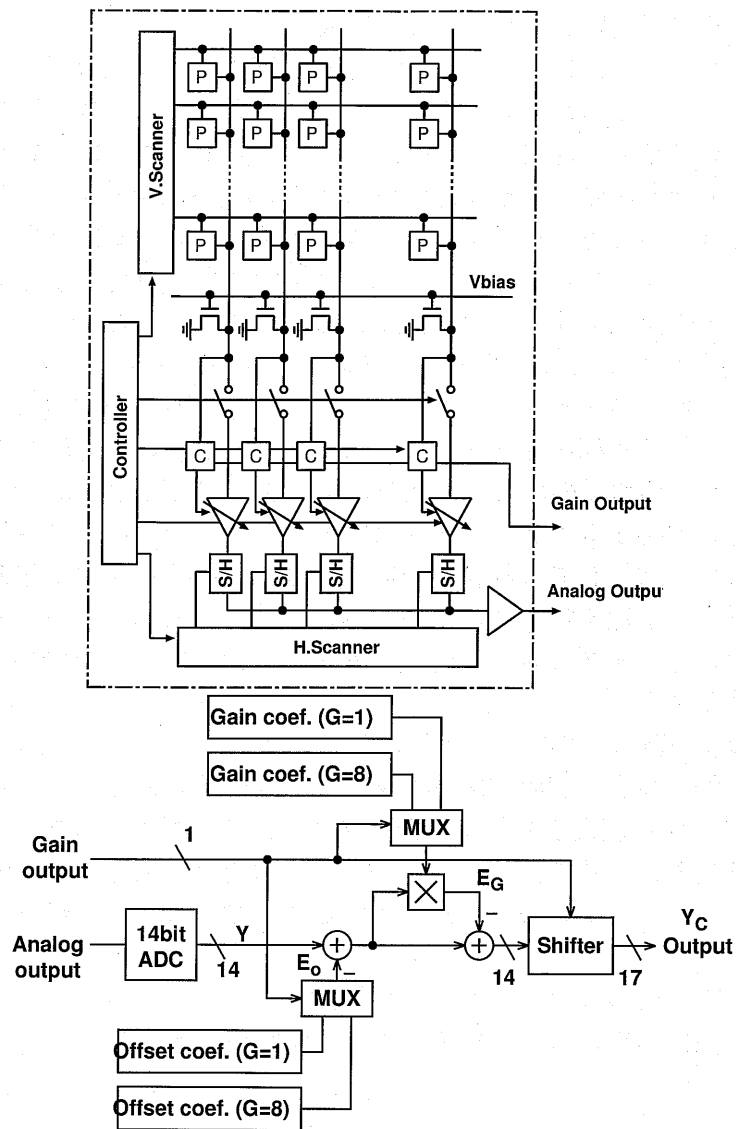


図 3.1: イメージセンサブロック図

3.3 画素回路

画素部は CMOS イメージセンサ専用プロセスを用いて埋め込みフォトダイオード [2] [3] を使用し、4Tr 方式とした。図を 3.2 に示す。

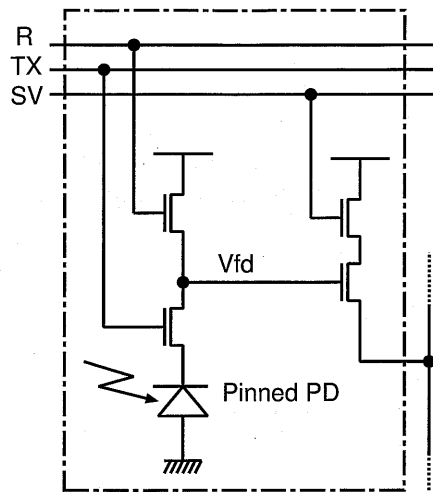


図 3.2: 画素部回路図

3.4 適応ゲインカラム増幅回路

適応ゲインカラム増幅回路の構成要素としては、増幅回路のコア回路である高ゲインのアンプ、入力信号のレベルを判定するコンパレータ、ゲインを記憶するゲインメモリからなる。図 3.3 に適応ゲインカラム増幅部の全体図を、また図 3.4 にはそのタイミングチャートを示す。

動作は、順に

- 画素リセットレベルのサンプルをカラム回路が行う
- カラム回路への信号を切り離し、コンパレータへ画素信号レベルを入力し判定
- カラム回路のゲインの設定、設定したゲインの記憶
- 画素信号レベルをカラム回路へ入力し信号増幅、後段 S/H 回路へ出力し記憶

となる。以下、各々の回路について詳細を述べる。

3.4.1 カラム増幅回路

カラム増幅回路は 2 章でも説明をしたスイッチトキャパシタ回路を用いた。図 3.5 にカラムに用いるスイッチトキャパシタ回路を示す。スイッチトキャパシタの動作であるが、入力を画素信号に見立てて動作を追う。まず、スイッチ ϕ を ON し、アン

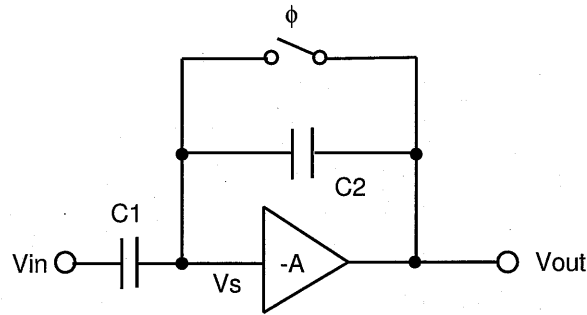


図 3.5: スイッチトキャパシタ回路

プの入出力をショートしショート電圧 V_s にする。この時、回路の入力は画素回路のリセット電圧 V_R である。容量 C_1 には式 3.1

$$Q = C_1 \cdot (V_s - V_R) \quad (3.1)$$

の電荷が蓄積される。その後、スイッチ ϕ を OFF する。このままでは入力の変化がないので出力はショート電圧 V_s のままであるが入力が画素回路の信号レベル V_{sig} に変化すると電荷保存の法則より、式 3.2 となる。

$$Q = C_1 \cdot (V_s - V_{sig}) + C_2 \cdot (V_s - V_{out}) \quad (3.2)$$

以上の式から、

$$V_{out} = -\frac{C_2}{C_1}(V_{sig} - V_R) + V_s \quad (3.3)$$

結果から、出力される賞味の信号 ΔV_{sig} はリセット電圧と信号電圧の差電圧であり、これは固定パターンノイズと画素からのリセットノイズをキャンセルできる相関二重サンプリングの動作を示している。式より、キャパシタの容量比 C_2/C_1 の係数で正味の信号 $\Delta V_{sig} = (V_{sig} - V_R)$ 増幅されて出力されることが分かる。この容量比を入力電圧の大きさに対し適応的に増幅させることにより適応ゲインカラム増幅を行う。なお、アンプのショート電圧 V_s は各カラムごとにばらつくが、これは外部のデジタル FPN キャンセルで除去を行う。通常、デジタル領域で除去を行う場合、そのデジタルダイナミックレンジ (分解能) が FPN に比べて大きいと FPN が十分に除去できない。本方式は最大 17bit のダイナミックレンジを持つためにデジタル領域での FPN 除去が可能である。

3.4.2 増幅器

図 3.6 に増幅器の回路図を、また図 3.7 に出力に負荷容量 $C_L = 1.25pF$ を接続した場合の特性を示す。

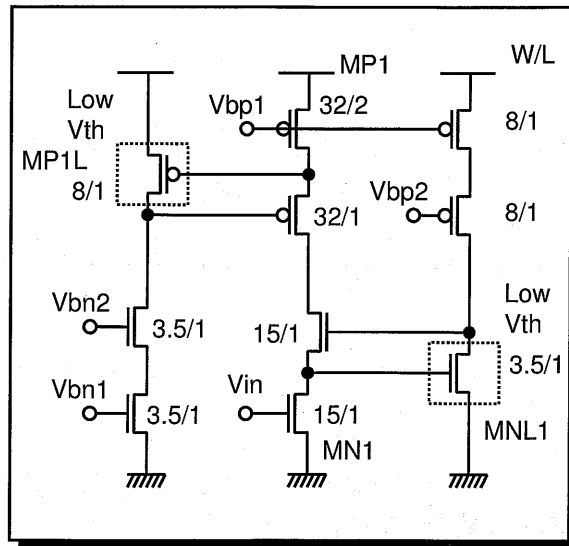


図 3.6: ゲインブーストカスコード増幅器

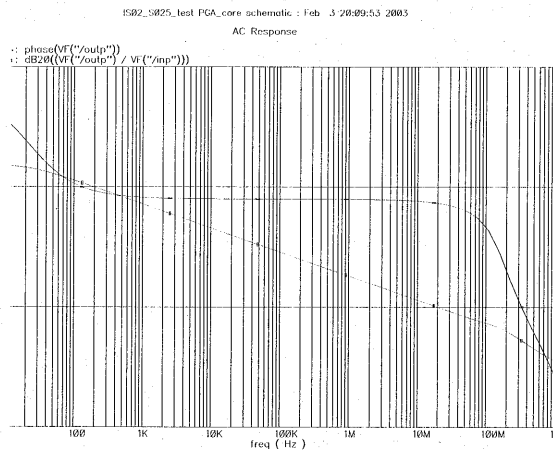


図 3.7: 増幅器の特性

増幅器、アンプにはPMOS、NMOS各々2段のカスコード接続を用い、さらにゲインを向上させるために、ゲインブースト回路を組み込んだ。通常のゲインブーストでは、ブースト回路の入力のトランジスタを飽和領域で動作させる必要がある。もし、線形領域で動作させるとゲインが極端に低下する。通常は回路図3.6中心にある最上段、最下段のPMOS(P1)とNMOS(N1)は飽和領域で動作しているが、そのドレイン-ソース間電圧は $V_{ds_{MP1}}$ 、 $V_{ds_{MN1}}$ ともども、通常約0.3V程度である。この電圧は左右にあるブーストされるトランジスタ(MNL1, MPL1)のゲートに入力される。これは一般的なトランジスタのスレッシュホールド電圧である0.5V~0.7Vには及

ばない。通常のカスコードと同等の出力振幅を得るために、回路 3.6 では

$$V_{gs_{MNL1}} = V_{ds_{MNL1}} \geq V_{th_{MNL1}} \quad (3.4)$$

$$V_{gs_{MPL1}} = V_{ds_{MPL1}} \geq V_{th_{MPL1}} \quad (3.5)$$

でなければならない。この式は、入力トランジスタの $V_{ds_{MNL1}}$ と電流源トランジスタ $V_{ds_{MPL1}}$ でブーストトランジスタの入力電圧 $V_{gs_{MNL1}}, V_{gs_{MPL1}}$ を、アンプとして動作する飽和領域で動作させなければならないことを示している。このトランジスタに通常のトランジスタを使用すると、ブースト側のトランジスタが飽和領域で動作しない。そこで、ブースト側のトランジスタを他のトランジスタより小さい $LowV_{th}$ のトランジスタを用いることにより、低いゲートバイアスでトランジスタを ON（飽和領域で動作）させる。この構成により、広い出力フルスケールを得て、トランジスタの Open Loop ゲイン $100dB$ 以上、位相余裕 90 度を達成した。この特性は提案するカラムアンプの構成に十分な性能である。

3.4.3 比較器

図 3.8 に比較器の回路図を示す。比較器（コンパレータ）は入力電圧を参照電圧と比較する回路である。内部回路は、入力に用いるカップリングのための容量と低ゲインのオペアンプである。これを図 3.9 に示す。

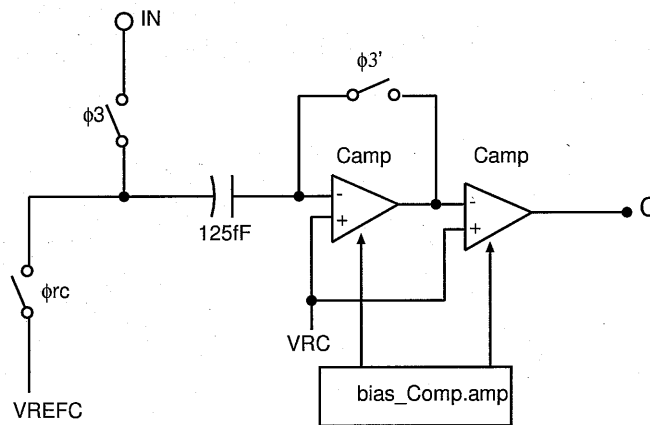


図 3.8: 比較器

フラッシュ型の A/D 変換器等に組み込まれる高精度のコンパレータと比較して、このコンパレータは低照度と高照度のどちらにあるかを、適応ゲインアンプによる演算結果がフルスケールを外れない範囲で比較すれば良い。図 3.10 に入力信号と閾値レベルに対する出力信号のレベルを示す。例えば閾値をフルスケール (FS) の増幅

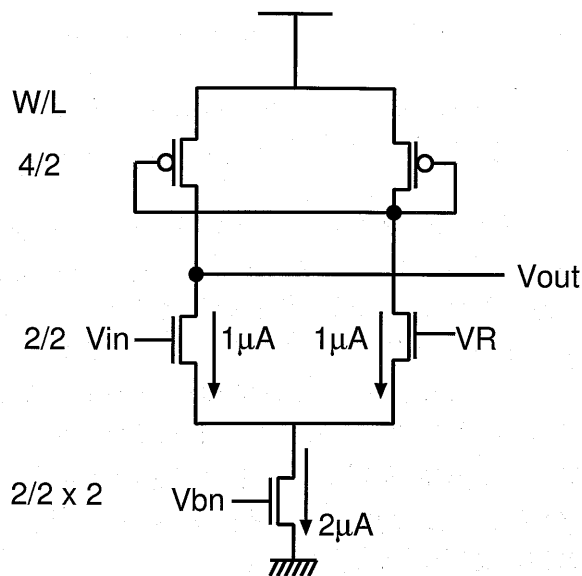


図 3.9: 比較器内部のアンプ

倍 (Gain) で割った値に設定した場合は、図 3.10 の左側に示すように入力信号が閾値を超えた場合に比較器が誤判定を起こすと、FS を超えて信号に非線形性が発生する。一方、図 3.10 の右側に示すようにこの閾値を、FS を Gain で割った値よりも少し低い値に設定することで誤判定が生じた場合でも出力信号が FS を超えないようにすることが可能である。このように、入力信号の増幅される範囲は閾値レベルを下げた割合だけ減少するが、比較器は精度を必要とせず回路が簡素化されるため小さな面積で実現可能である。

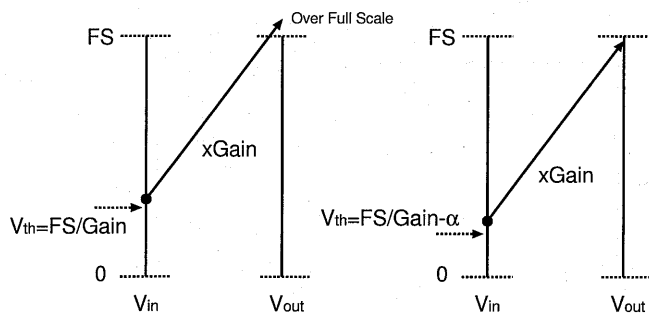


図 3.10: 比較器の誤判定を考慮した判定レベル

比較器の動作であるが、リセットレベルを前述のカラムアンプで記憶し、入力スイッチ ϕ_2 を切り ϕ_3 を ON し、信号レベルをサンプルする。信号レベル V_{sig} を比較器の容量に記憶させ ϕ_3 を OFF し、続いて ϕ_3 を OFF し、アンプをショート電

圧から解放する。その後、 ϕ_{rc} を ON し、電圧を V_{refc} と比較する。コンパレータの出力 C は

$$C = \begin{cases} 1 & V_{sig} < V_{REFC} \\ 0 & V_{sig} \geq V_{REFC} \end{cases} \quad (3.6)$$

となる。

高速でない一般的なコンパレータは、図 3.9 のような構成ではなく差動のアンプの代わりに、インバータで構成される。しかし、ゲインが反転するときに電源グラウンド間に瞬間的な電流が流れる。これはインパルス的な電流であるので広帯域までそのスペクトルを持ち、他の回路への電源を介してのノイズの混入が問題となる。コンパレータの内部回路にインバータではなく、アンプを組み込むことにより、電源からのノイズを抑制する効果も得られる。また、インバータの場合はゲインの判定がつきにくい場合、 $V_{sig} = V_{REFC}$ の状態の場合、メタステーブルという準安定状態が存在し、ゲイン判定のエラーとなるが、コンパレータ内部のアンプのショート電圧は次段に接続されるメモリ回路において電位的に Lo の位置に来るよう設計したので、ゲイン判定のミスがない。

3.4.4 ゲインメモリ

ゲインメモリは、判定されたゲインを記憶する素子であり、アナログ出力とともにチップ外に水平スキャン信号 $CH(i)$ により同期出力される。図 3.11 にゲインメモリ部を示す。メモリは、デジタル回路の D-Latch を用いた。まず、制御信号の $GAINMODE$ と FGX により、適応モードと通常モードを切り替えを可能にし、通常モード時には外部 FGX により、1 倍もしくは 8 倍に固定できるように設計した。また、アンプリセット時には強制的に容量をアンプとショートさせておくようにし、回路の誤動作、ならびに 1 ライン前の状態に回路が影響しないようにした。強制的に容量をアンプとショートする動作を組み込まないと、次の演算の時に容量に残る残留電荷が履歴となって次のフレームに影響を及ぼす。

3.4.5 S/H、バッファ部

図 3.12 にサンプルホールド回路、図 3.13 にそのタイミング図、3.14 にバッファアンプの回路を示す。サンプルホールド回路はアンプの出力を容量に蓄積し、それをアンプの入出力に順次走査しながら接続することにより実現する。カラムアンプから信号が出力されている間 ϕ_u 全てのスイッチを ON し、サンプルする。その時、アンプの駆動を補助するスイッチ CV も ON する。このスイッチは信号のホールドをする前に接続を切る。信号は ϕ_s を OFF することによりホールドされる。そののち

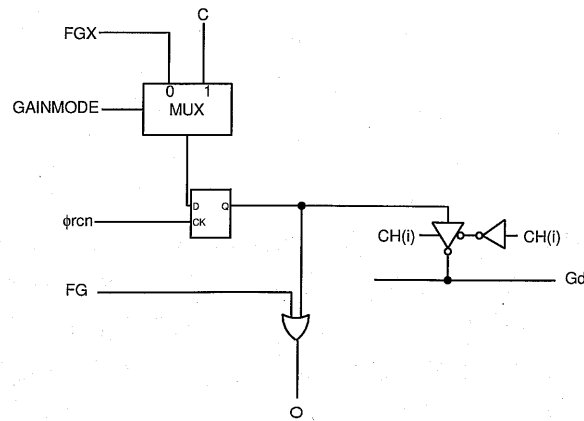


図 3.11: ゲインメモリ部

に、 $\phi_u(i)$ 、 $\phi_t(i)$ を順次走査する。なお、このスイッチはハザードが出ると信号の劣化につながるので各パルスは信号の遅延を利用しアンオーバーラップさせている。

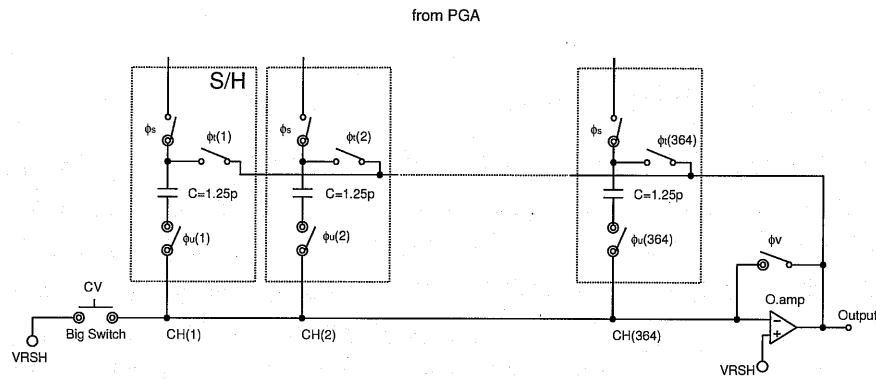


図 3.12: S/H 部

バッファアンプは信号を増幅する最終段のアンプである。アンプは2つあり、信号増幅用のアンプと同じ構成のもので、出力ドライブ用のアンプを設計した。アーキテクチャは低ノイズ化のためにPMOS入力とし、出力フルスケールを広くするために差動のフォールドバックカスコードを用いた。図 3.15 に出力に I/O パッドと外部の測定基板の寄生容量を加味した 20pF の容量がついた状態でのバッファアンプの特性を示す。ゲインは 62dB であり、位相余裕は 75 度である。この特性は、回路の動作には十分足りる帯域とゲインである。

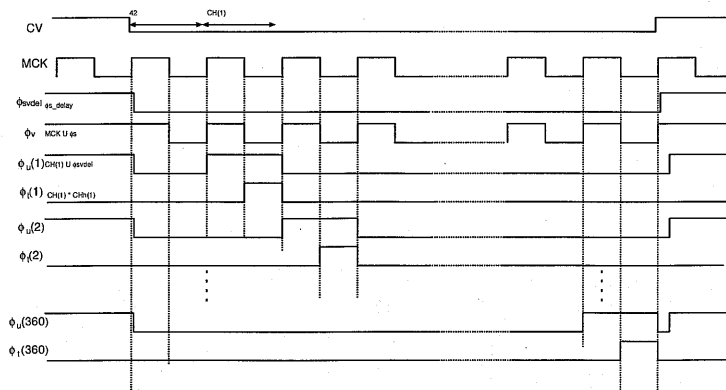


図 3.13: S/H タイミング図

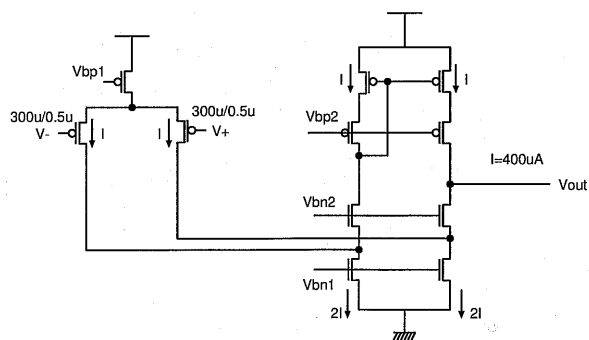


図 3.14: バッファアンプ

IS_S025_test OampBuff_test schematic : Feb 4 01:31:22 2003

AC Response

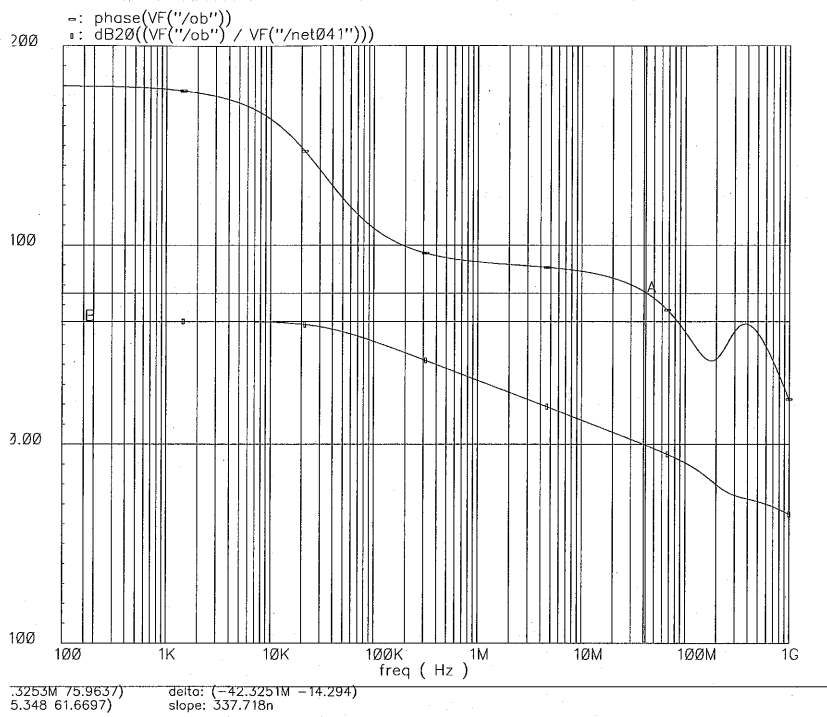


図 3.15: バッファアンプの特性

3.5 適応ゲインカラムアンプの特性

図 3.16 に前述の回路構成で SPICE シミュレーションをし、ゲインを 1 倍、2 倍、4 倍、8 倍と適応的に増幅させた場合の出力特性とゲインを復調した特性を示す。シミュレーション時に使用した容量のパラメータは以下の通りである。

	変数	値
アンプ入力側容量	C1	2pF
フィードバック容量	C2	2pF/Gain
コンパレータ入力容量	C_{comp}	125fF
アンプ出力容量	CL	1.25pF

また、その直線性誤差を 3.17 に示す。直線性誤差から、10bitLSB 以内に収まって

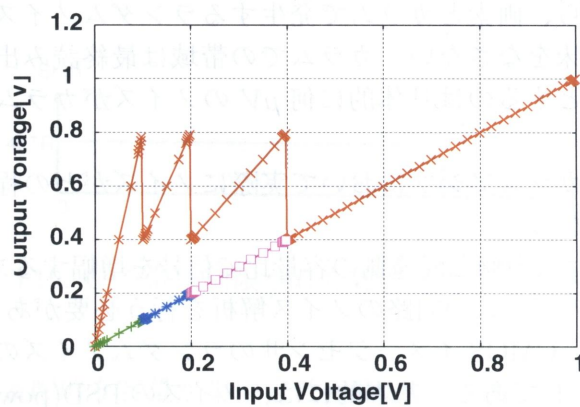


図 3.16: 適応ゲインカラムアンプの特性

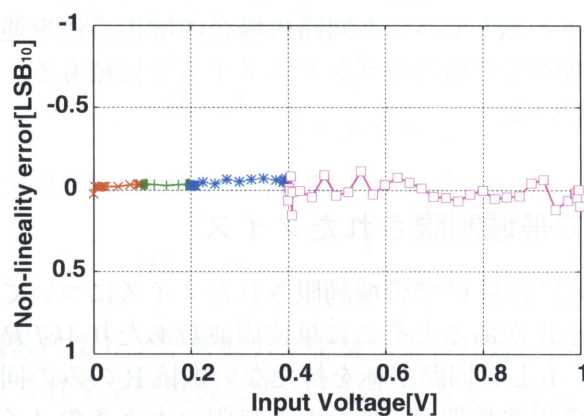


図 3.17: 非直線性誤差

いるので人間の目で見てもゲイン復調時の非線型誤差は問題ない(40dB以下)と言える。シミュレーションのデータはゲインを1倍から8倍まで適応的に設定しているが、今回の試作は、カラム高ゲイン増幅における低ノイズ化が有効であるということを実証するものであり、試作は1倍と8倍のみで行った。

3.6 適応ゲインカラム増幅器のノイズの見積もり

3.6.1 はじめに

カラムで信号を増幅すると、増幅後の信号に後段で接続される読み出し回路から重畳するランダムノイズに対して耐性を持たせることができることは容易に理解できる。しかしながら、画素とカラムで発生するランダムノイズが支配的であるとカラムで増幅する意味をなさない。カラムでの帯域は最終読み出し部の帯域よりも狭いが、我々が必要とするのは具体的に何 μV のノイズがカラムで重畳するのかという値である。

従って、画素とカラムアンプにおいて実際にノイズがどの程度重畳するかを見積もることが重要となる。

今回用いた回路は入力側と帰還側の容量比で信号を増幅するスイッチトキャパシタ回路を用いているので、この回路のノイズ解析を行う必要がある。この解析方法は、文献 [4] [5] よりも、CMOS イメージセンサのランダムノイズの解析方法としての文献 [6] に詳しく記述してある。基本的には、ノイズの PSD(power spectrum density) とその伝達関数がわかれば求まる。しかしながら、スイッチトキャパシタの場合の解析方法が少し複雑であるので、引用のみで計算結果を述べたところで理解は難しい。従って、ここでランダムノイズの見積方法を例を挙げて記述する。

最初は、まず簡単のために容量 C で帯域制限された場合のノイズについて記述する。続いて、スイッチトキャパシタ回路の場合の解析方法を述べ、最後に提案する適応ゲインカラム増幅での場合のランダムノイズを見積もる。なお、この解析手法は他の章でも用いている。

3.6.2 容量 C で帯域制限されたノイズ

まず始めに、単純に容量 C で帯域制限されたノイズについて考える。

熱雑音は抵抗成分 R があるとそこに単位周波数あたり $4kTR/\Delta f$ のノイズが発生することは述べた。もし、回路が極を持たない抵抗 R のみの回路で記述できるならば、抵抗 R が無限の周波数帯域、すなわち無限の大きさのノイズを発生していることになる。しかしながら、実際の回路は配線容量や演算のための容量など至る所に容量 C が寄生容量などの形で回路に接続される。これは、分布定数回路として回路

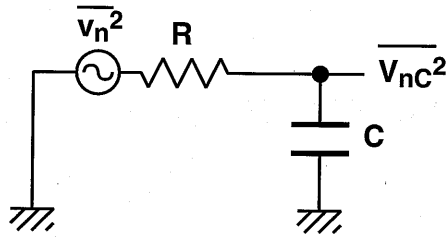


図 3.18: Cで帯域制限される雑音

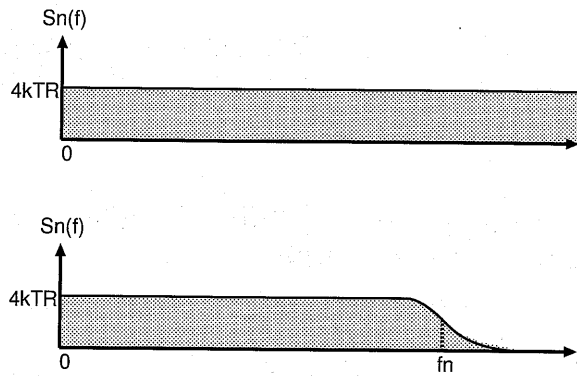


図 3.19: Cで帯域制限された雑音電力スペクトル

を見るのではなく、支配的な容量が集中定数回路として接続されていると考える。結果として、図 3.18 に示すようにランダムノイズは配線に接続される支配的な容量によりその帯域が図 3.19 のように制限されるので、ノイズの大きさ(ノイズ電力、振幅)が制限される。

ランダムノイズを求めるのに必要なのはノイズの PSD と、ノイズ源からの伝達関数であるので、図 3.18 回路の入力からの出力での伝達関数を求めると

$$H_n(\omega) = \frac{1}{1 + j\omega CR} \quad (3.7)$$

ノイズは電力で考えるので、ノイズ電力に関する伝達関数 $|H_n(\omega)|^2$ は、

$$|H_n(\omega)|^2 = \frac{1}{1 + (\omega CR)^2} \quad (3.8)$$

となる。この伝達関数によりノイズ電力が帯域制限される。この時の雑音スペクトルを図 3.19 に示し、これを全周波数に渡って積分すると、容量で帯域制限された平均雑音電力が求まる。

$$\overline{v_{nC}^2} = S_n \int_0^{\infty} |H_n(\omega)|^2 df = 4kTR \int_0^{\infty} \frac{1}{1 + (\omega CR)^2} df \quad (3.9)$$

$x = \omega CR$ と置いて変数変換すると、 $df = \frac{1}{2\pi CR} dx$ であるので

$$\overline{v_{nC}^2} = 4kTR \int_0^\infty \frac{1}{1 + (\omega CR)^2} \frac{1}{2\pi CR} dx = \frac{2kT}{\pi C} \int_0^\infty \frac{1}{1 + x^2} dx \quad (3.10)$$

ここで、

$$\int_0^\infty \frac{1}{1 + x^2} dx = [\tan^{-1}(x)]_0^\infty = \frac{\pi}{2} \quad (3.11)$$

より、

$$\overline{v_{nC}^2} = \frac{kT}{C} \quad (3.12)$$

を手計算により得ることができる。この式の結果から、熱雑音の電力はその雑音源となる抵抗 R には関係なく、容量 C で決定される。求まったノイズ電力より、ノイズの実効電圧は $\sqrt{kT/C}$ となる。

S/H 回路にサンプルされたノイズはその出力の伝達関数を求めると、アパーチャ効果が現れ、またさらにナイキスト周波数以上のノイズの折り返しが起こる [5] [7]。しかし、S/H 回路に”サンプルされた”ノイズ電圧は、その波形を直接観測しない限り $\sqrt{kT/C}$ のままでよい。

したがって、S/H 回路にサンプルされる雑音は抵抗と容量でフィルタされた 2 乗雑音と同様に $\sqrt{kT/C}$ で一定になる。具体的な数値では、容量に $1pF$ を用いた場合に標準偏差が約 $64\mu V_{rms}$ のノイズが重畳することを意味する。

3.6.3 スイッチトキャパシタ回路でのノイズ

容量 C で帯域制限されている場合のノイズの見積もりは、積分が手計算可能な式であったために求めることが可能である。実際の回路は厳密に解を解こうとすると、抵抗、容量、アンプの回路網の伝達関数を解く必要があり、手計算では現実的に困難である。このことから、実際にノイズ電力を求めるには、計算機による数値計算により伝達関数の解を導くことになる。

スイッチトキャパシタ回路で発生するノイズは大きく分けて 2 つある。一つは、入力信号をサンプルしている間にスイッチトキャパシタのアンプの入力ノードに蓄積されたノイズ電荷が入力信号のサンプル終了とともに出力に転送される”サンプル-転送ノイズ”と、転送された後に回路が出力ノードにノイズを直接出力する”直接出力ノイズ”がある。これは、スイッチトキャパシタが時間別に信号サンプル、信号転送といった別処理を行うために回路の接続状態が切り替わる時点においてノイズが発生して、そのノイズが後の動作まで残留するためである。

スイッチトキャパシタに限った場合の実際のノイズ計算を以下のフローにまとめた。まず、“サンプル-転送ノイズ”は

1. 信号サンプル状態での各々のノイズ源を特定し、ノイズ源の PSD を求める。

2. 各々のノイズ源から特定のノード (アンプの入力) への伝達関数を求める
3. PSD と伝達関数の積分より特定のノードに蓄積されるノイズ電荷を求める。
4. 特定のノードに蓄積されたノイズ電荷が、回路の転送モードですべてフィードバックキャパシタに転送されると考えて出力されるノイズを計算する。

で求まる。特定のノードとは、ノイズ電荷の蓄積が行われるアンプの入力ノードのことを表す。つづいて”直接出力ノイズ”は、

1. 信号転送状態での各々のノイズ源を特定し、ノイズ源の PSD を求める。
2. 各々のノイズ源から出力への伝達関数を求める。
3. PSD と伝達関数の積分より回路から出力されるノイズを求める。

で求まる。最終的に、これらのノイズが独立であることから単純に電力領域で加算をすればトータルの雑音がどれほど重畳するかが具体的な数値としてわかる。以下に、この手順に従ってランダムノイズの見積もりを計算する。

サンプル-転送ノイズ

まず、アンプの入力にノイズ電荷が蓄積しそれが次の転送フェーズで転送されるノイズについて考える。

図 3.20 に解析する回路図を示す。この回路の信号サンプル時の等価回路を図 3.21 に

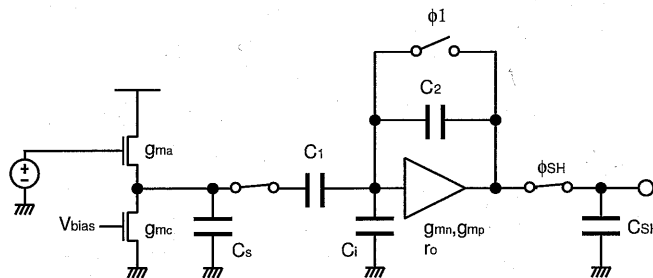


図 3.20: 画素と適応ゲイン増幅器の回路図

示す。

まず、この状態でのノイズの PSD を求める。ノイズ源は

- ソースフォロワトランジスタ (g_{ma})
- アンプの入力側スイッチ (R_{in})
- アンプの入力トランジスタ (g_{mn})

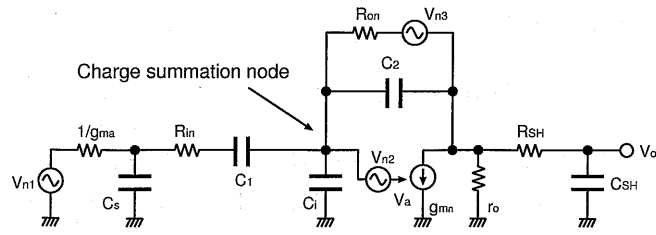


図 3.21: 画素と適応ゲイン増幅器の入力信号サンプル時の等価回路

- アンプのフィードバックに接続されるスイッチ (R_{on})
- アンプの出力側スイッチ (R_{SH})

の5つを考慮する。スイッチが発生する PSD はそれぞれ

$$S_{n_{in}} = 4kTR_{in} \quad (3.13)$$

$$S_{n_{on}} = 4kTR_{on} \quad (3.14)$$

$$S_{n_{SH}} = 4kTR_{SH} \quad (3.15)$$

と求まる。一方、トランジスタの PSD は単純に $\frac{8}{3}kT\frac{1}{gm}$ とは求まらない。これは入力トランジスタ以外に、カスコード接続の電流源トランジスタもノイズ源となるためである。図 3.22 にカラムの回路図と、支配的なノイズ源を考えた場合の等価回路を示す。

この場合、アンプで発生するノイズのノイズ源は2つ存在するので計算がやや複雑

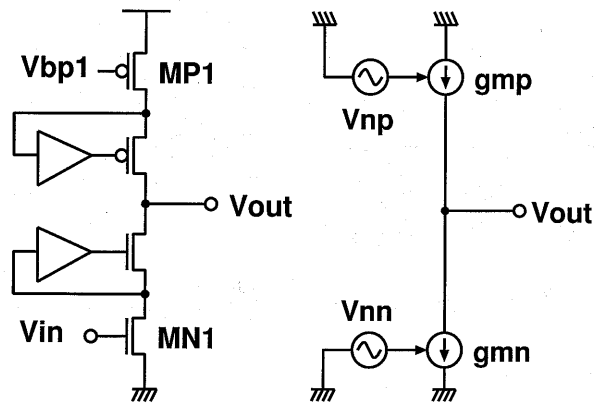


図 3.22: カラムアンプのノイズ源

になる。一般には単純化するために入力側のトランジスタのみがノイズを発生しているように電流源側のノイズを入力換算し、ノイズ源を1つにする。以上のことか

ら、アンプで発生するノイズの PSD は入力トランジスタのトランスコンダクタンスを g_{mn} 、電流源側を g_{mp} とすると

$$S_{n_{amp}} = S_{n_{mn}} + S_{n_{mp}} \left(\frac{g_{mp}}{g_{mn}} \right)^2 \quad (3.16)$$

$$= \frac{8}{3} kT \frac{1}{g_{mn}} + \frac{8}{3} kT \frac{1}{g_{mp}} \left(\frac{g_{mp}}{g_{mn}} \right)^2 \quad (3.17)$$

$$= \frac{8}{3} kT \frac{1}{g_{mn}} \left(1 + \frac{g_{mp}}{g_{mn}} \right) \quad (3.18)$$

と求まる。画素で発生するノイズも同様に画素のトランジスタのトランスコンダクタンスを g_{ma} 、画素のソースフォロワのトランスコンダクタンスを g_{mc} とすると

$$S_{n_{pix}} = S_{n_a} + S_{n_{sf}} \left(\frac{g_{mc}}{g_{ma}} \right)^2 \quad (3.19)$$

$$= \frac{8}{3} kT \frac{1}{g_{ma}} + \frac{8}{3} kT \frac{1}{g_{mc}} \left(\frac{g_{mc}}{g_{ma}} \right)^2 \quad (3.20)$$

$$= \frac{8}{3} kT \frac{1}{g_{ma}} \left(1 + \frac{g_{mc}}{g_{ma}} \right) \quad (3.21)$$

と記述できる。

次に、各々の伝達関数を求める。伝達関数は計算機より容易に求めることができる。これは、AC 解析でアンプの入力ノードをノイズ源と見立てた交流信号源の入力ノードで除算すれば求まる。

続いて、各ノイズ源が発生するアンプの入力に蓄積するノイズ電荷を求める。ここで、 H_{xy} をノイズ源 x からキャパシタ y への伝達関数、ソースフォロワトランジスタが発生するノイズ電荷を Q_{n_a} 、アンプの入力側スイッチが発生するノイズ電荷を $Q_{n_{in}}$ 、アンプの入力トランジスタが発生するノイズ電荷を Q_{n_n} 、アンプのフィードバックに接続されるスイッチが発生するノイズ電荷を $Q_{n_{on}}$ 、アンプの出力側スイッチが発生するノイズ電荷を $Q_{n_{SH}}$ とすると

$$\begin{aligned} Q_{n_a}^2 = & S_{n_{pix}} \int_0^\infty (C_1^2 H_{a_1}^2 + C_2^2 H_{a_2}^2 + C_i^2 H_{a_i}^2 \\ & + 2C_1 C_2 \operatorname{Re}\{H_{a_1}^* H_{a_2}\} + 2C_1 C_i \operatorname{Re}\{H_{a_1}^* H_{a_i}\} \\ & + 2C_2 C_i \operatorname{Re}\{H_{a_2}^* H_{a_i}\}) df \end{aligned} \quad (3.22)$$

$$\begin{aligned} Q_{n_{in}}^2 = & S_{n_{pix}} \int_0^\infty (C_1^2 H_{in_1}^2 + C_2^2 H_{in_2}^2 + C_i^2 H_{in_i}^2 \\ & + 2C_1 C_2 \operatorname{Re}\{H_{in_1}^* H_{in_2}\} + 2C_1 C_i \operatorname{Re}\{H_{in_1}^* H_{in_i}\} \\ & + 2C_2 C_i \operatorname{Re}\{H_{in_2}^* H_{in_i}\}) df \end{aligned} \quad (3.23)$$

$$Q_{n_n}^2 = S_{n_{pix}} \int_0^\infty (C_1^2 H_n^2 + C_2^2 H_n^2 + C_i^2 H_n^2$$

$$\begin{aligned}
& +2C_1C_2\text{Re}\{H_{n1}^*H_{n2}\} + 2C_1C_i\text{Re}\{H_{n1}^*H_{ni}\} \\
& +2C_2C_i\text{Re}\{H_{n2}^*H_{ni}\})df \tag{3.24}
\end{aligned}$$

$$\begin{aligned}
Qn_{on}^2 = & S_{n_{pix}} \int_0^\infty (C_1^2H_{on1}^2 + C_2^2H_{on2}^2 + C_i^2H_{oni}^2 \\
& +2C_1C_2\text{Re}\{H_{on1}^*H_{on2}\} + 2C_1C_i\text{Re}\{H_{on1}^*H_{oni}\} \\
& +2C_2C_i\text{Re}\{H_{on2}^*H_{oni}\})df \tag{3.25}
\end{aligned}$$

$$\begin{aligned}
Qn_{SH}^2 = & S_{n_{pix}} \int_0^\infty (C_1^2H_{SH1}^2 + C_2^2H_{SH2}^2 + C_i^2H_{SHi}^2 \\
& +2C_1C_2\text{Re}\{H_{SH1}^*H_{SH2}\} + 2C_1C_i\text{Re}\{H_{SH1}^*H_{SHi}\} \\
& +2C_2C_i\text{Re}\{H_{SH2}^*H_{SHi}\})df \tag{3.26}
\end{aligned}$$

と相関の項を考慮した各ノイズ源がアンプの入力に蓄積するノイズ電荷の式が得られる。

最後に、これらのノイズ電荷がスイッチトキャパシタの転送フェーズですべて帰還容量 C_2 に転送されると考えるとサンプル-転送ノイズで発生するノイズ電荷を Qn_{ST} 、その結果発生するノイズ電圧を $\overline{vn_{ST}^2}$ とすると

$$Qn_{ST}^2 = Qn_a^2 + Qn_{in}^2 + Qn_n^2 + Qn_{on}^2 + Qn_{SH}^2 \tag{3.27}$$

$$\overline{vn_{ST}^2} = \frac{Qn_{ST}^2}{C_2^2} \tag{3.28}$$

と求まる。 $\overline{vn_{ST}^2}$ の平方根を取ることでサンプル-転送ノイズで発生するノイズの標準偏差が求まる。

直接サンプルノイズ

続いて、スイッチトキャパシタ回路が信号転送フェーズで出力するノイズについて考える。このフェーズでの等価回路を 3.23 に示す。このフェーズで出力されるノイズは、各ノイズ源が直接スイッチトキャパシタ回路の出力部に出力するノイズである。まず計算フローに従い、まず各々のノイズ源の PSD を算出する。等価回路図

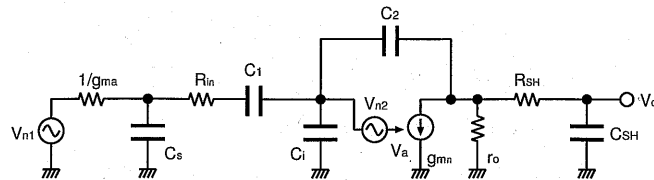


図 3.23: 画素と適応ゲイン増幅器の信号転送時の等価回路

3.23 より、ノイズ源はサンプル-転送ノイズで計算したフィードバックスイッチの抵

抗 R_{on} 以外のノイズ源がそのまま直接サンプルノイズのノイズ源となる。従って各々の PSD は

$$S_{n_{pix}} = \frac{8}{3}kT \frac{1}{g_{ma}} \left(1 + \frac{g_{mc}}{g_{ma}} \right) \quad (3.29)$$

$$S_{n_{amp}} = \frac{8}{3}kT \frac{1}{g_{mn}} \left(1 + \frac{g_{mp}}{g_{mn}} \right) \quad (3.30)$$

$$S_{n_{in}} = 4kTR_{in} \quad (3.31)$$

$$S_{n_{SH}} = 4kTR_{SH} \quad (3.32)$$

と記述できる。

次に伝達関数を求めるが、計算機による等価回路の AC 解析でノイズ源から回路の出力部までの周波数特性から容易に求まる。

最後に、各々のノイズ源が回路の出力部へ発生するノイズを計算する。ソースフォロワトランジスタが発生するノイズ電圧を vn_a 、アンプの入力側スイッチが発生するノイズ電荷を vn_{in} 、アンプの入力トランジスタが発生するノイズ電荷を vn_n 、アンプのフィードバックに接続されるスイッチが発生するノイズ電荷を vn_{on} 、アンプの出力側スイッチが発生するノイズ電荷を vn_{SH} とすると

$$\overline{vn_a^2} = S_{n_{pix}} \int_0^\infty H_a^2 \circ df \quad (3.33)$$

$$\overline{vn_{in}^2} = S_{n_{in}} \int_0^\infty H_{in}^2 \circ df \quad (3.34)$$

$$\overline{vn_n^2} = S_{n_{amp}} \int_0^\infty H_n^2 \circ df \quad (3.35)$$

$$\overline{vn_{SH}^2} = S_{n_{SH}} \int_0^\infty H_{SH}^2 \circ df \quad (3.36)$$

と平均 2 乗雑音として記述することができる。ここで $H_x \circ$ はノイズ源 x から回路出力部までの伝達関数である。

最終的に直接サンプルされるノイズ $\overline{vn_{DS}}$ は

$$\overline{vn_{DS}^2} = \overline{vn_a^2} + \overline{vn_{in}^2} + \overline{vn_n^2} + \overline{vn_{SH}^2} \quad (3.37)$$

より $\overline{vn_{DS}^2}$ の平方根を取ることで、このノイズの標準偏差を求めることができる。

3.6.4 適応ゲインカラム増幅器のノイズの計算例

以上のノイズ解析の結果からランダムノイズを計算して見積もる。等価回路での伝達関数の見積もりは SpectreS を用い、積分には Matlab の台形近似積分関数 (trapz()) を用いた。各々の見積もりのためのパラメータを表 3.1 に示す。

ここで、パラメータ R_{SW} であるがこれは図 3.24 のように画素からのノイズを分離し、純粹にカラムアンプのみで発生するノイズを計算するためにテストモードで動

表 3.1: ノイズ解析のためのパラメータ

$Gain$ (gain of column amplifier)	1, 2, 4, 8, 16
g_{ma} (transconductance of floating diffusion)	$41.8 \mu\Omega^{-1}$
g_{mc} (transconductance of current mirror)	$144 \mu\Omega^{-1}$
g_{mn} (transconductance of column amplifier (nMOS))	$56.9 \mu\Omega^{-1}$
g_{mp} (transconductance of column amplifier (pMOS))	$76.7 \mu\Omega^{-1}$
R_{on} (on-resistance of feed-back switch)	1 k Ω
R_{SW} (on-resistance of column switch)	70 Ω
R_{SH} (on-resistance of S/H switch)	1.5 k Ω
r_o (output resistance of column amplifier)	1.5 G Ω
C_1 (sampling capacitor)	2 pF
C_2 (feed-back capacitor)	$C_1/Gain$
C_s (stray capacitance of readout tr. in the pixel)	574 fF
C_i (stray capacitance of column amplifier)	92.8 fF
C_{SH} (S/H capacitor)	1.25 pF
T (room temperature)	27 $^{\circ}\text{C}$

作させた場合の外部信号入力のスイッチの ON 抵抗である。この場合のノイズの計算は、ノイズ源が画素からスイッチの ON 抵抗 R_{SW} に変更し計算すると求めることが可能である。

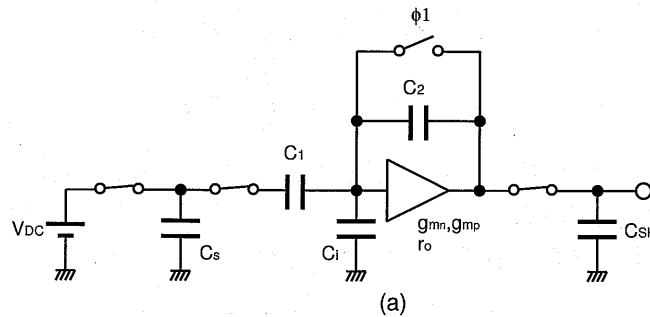


図 3.24: カラムアンプのみが生ずるノイズの計算のための回路

以上の計算方法とパラメータを用いて、画素とカラム読み出し回路(スイッチトキャパシタ回路)で発生するランダムノイズと、カラム読み出し回路のみの場合のランダムノイズを計算した結果を図 3.25 に示す。結果から、ゲイン1倍の時で $120 \mu V_{rms}$ 程度のノイズが重畳しているのがわかる。また、ゲインが高くなるにつれカラム回路、画素が生じるノイズが低減できていることがわかる。これは、カラム以降で発生するノイズは入力換算で低減できることがわかるが、カラム回路自身が発生するノイズも同時に低減できていることを示す。図 3.25 に示す解析結果から、カラムのゲイ

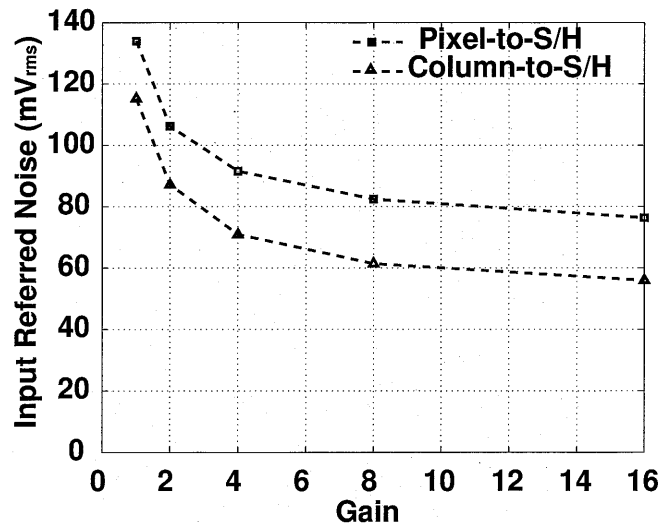


図 3.25: カラムの増幅率と発生するランダムノイズの関係

ンが8倍と16倍とではノイズ低減効果がほぼ同等レベルになることがわかった。

3.7 適応ゲインカラム増幅器を用いたイメージセンサの試作と特性測定

3.7.1 試作したイメージセンサ

今回試作したイメージセンサを図 3.26 に示す。試作したチップは、CMOS イメージセンサ専用プロセスを用いた。また、先のノイズ解析の結果から、カラムのゲインは1倍と8倍の2通りに設定した。

3.7.2 測定環境

今回試作したイメージセンサの測定する特性は、以下の3つである。

- 入出力特性
- 固定パターン雑音
- ランダム雑音

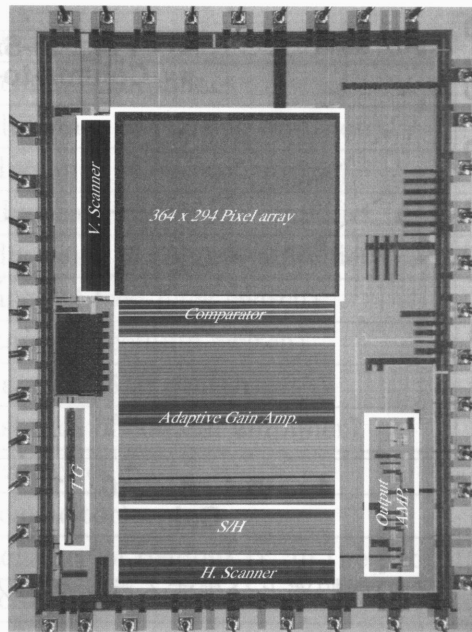


図 3.26: 試作したイメージセンサ

測定は本研究室の測定室で行った。

使用した測定器は DC 電源 2 台とクロックジェネレータ 1 台、データ取り込みにロジックアナライザを用いた。

デバイス	製造メーカー	型番
直流電源装置	Agilent	E3614A
クロックパルスジェネレータ	Hewlett Packard	81104A
ロジックアナライザ	Hewlett Packard	16702

測定ではデジタルローパスフィルタの代わりに、ロジックアナライザで測定したデジタルデータに対して、デジタルローパスフィルタと同等の処理を施し結果を得た。

イメージセンサのクロックタイミングは内部回路に組み込んだタイミングジェネレータによって生成させることができる、内部同期モードで測定をした。測定は全てこの内部動作モードで動作させて測定をした。イメージセンサの計測すべき特性は低照度時のノイズであるので、全て光が当たらない状態で測定を行った。

図 3.27 に測定データの配列を示す。横方向 i は横の画素、縦方向 j は縦方向の画素、奥方向は撮像時間 (フレーム) を示す。

$$b(i) = \frac{1}{T} \sum_{t=1}^T \left\{ \frac{1}{Y} \sum_{j=1}^Y f(i, j, k) \right\} \quad (3.38)$$

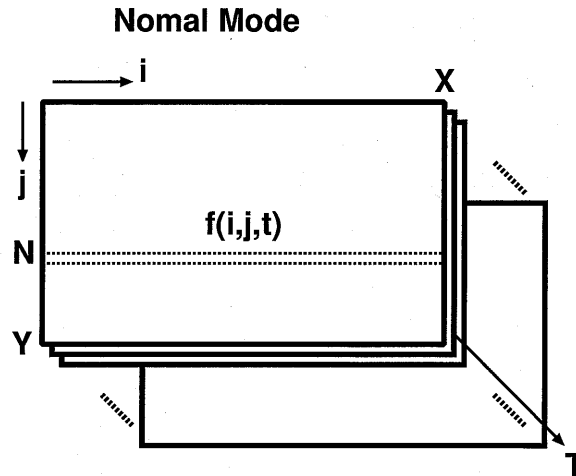


図 3.27: 固定パターン雑音の計算

$$B(i) = \frac{1}{X} \sum_{i=1}^X b(i) \quad (3.39)$$

$$\delta_{FPN}^2 = \frac{1}{X} \sum_{i=1}^X \{b(i) - \bar{B}\}^2 \quad (3.40)$$

固定パターンノイズ、FPNであるが、式 3.38 に示すように、カラム方向のデータを空間、時間的に積分し、カラム毎の平均値を出す。

カラム毎の平均値から、式 3.39 に示すように平均を出し、その分散を求める。これの標準偏差が固定パターンノイズである。

$$a(i) = \frac{1}{T} \sum_{t=1}^T \{f(i, N, t)\} \quad (3.41)$$

$$a(i) = \frac{1}{T} \sum_{t=1}^T \left\{ \frac{1}{X} \sum_{i=1}^X \{f(i, N, t) - a(i)\}^2 \right\} \quad (3.42)$$

また、ランダムノイズであるが、式に示すようにある特定のラインを決め、それを時間積分し平均を算出する。式のように、カラム方向、時間方向にその平均との差を二乗し分散を算出する。得られた値より、標準偏差を計算することでランダムノイズが求まる。

ノイズキャンセルをした固定パターンノイズは図、3.28 に示すように FPN 測定モードで測定を行う。これは、センサをテストモードに切り替えてセンサからの信号線に外部から直接 DC 電圧を入力し、純粹にアンプ以降の固定パターンノイズを式 3.43 に示すように求める。

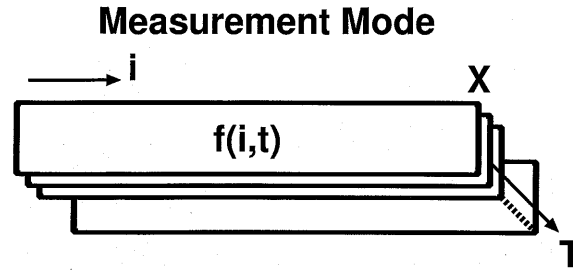


図 3.28: ランダム雑音の計算

$$c(\bar{i}) = \frac{1}{T} \sum_{t=1}^T \{f(i, t)\} \quad (3.43)$$

$$d(\bar{i}) = b(i) - c(i) \quad (3.44)$$

$$\bar{D} = \frac{1}{X} \sum_{i=1}^X d(i) \quad (3.45)$$

$$\delta_{NCFPN}^2 = \frac{1}{X} \sum_{i=1}^X \{d(i) - \bar{A}\}^2 \quad (3.46)$$

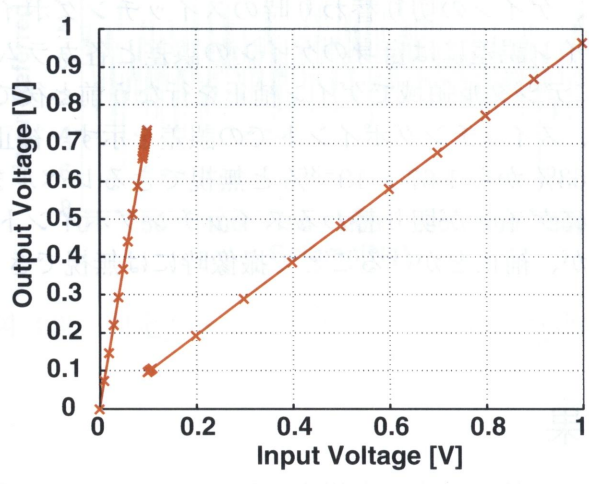
ノイズキャンセルをした固定パターンノイズは図、3.28 に示すように FPN 測定モードで測定を行う。これは、センサからの信号線に外部からバイアスを懸けて、純粹にアンプ以降の固定パターンノイズを式 3.43 に示すように求める。これを式 3.44 のように、カラムの固定パターンノイズである式 3.38 より減算を行う。これは、暗電流固定パターンノイズ成分を抽出する式である。また、暗電流固定パターンノイズの画素方向の平均をとり、暗電流固定パターンノイズを決定する (式 3.45)。最後に暗電流固定パターンノイズキャンセルをしたデータを二乗しカラムに積分し平均をとる (式 3.46) とデジタルノイズキャンセルをしたものと等価なノイズの分散が得られ、この標準偏差がノイズキャンセルした固定パターンノイズとなる。

以下、今回の試作したイメージセンサの入出力特性とノイズの測定結果を示す。

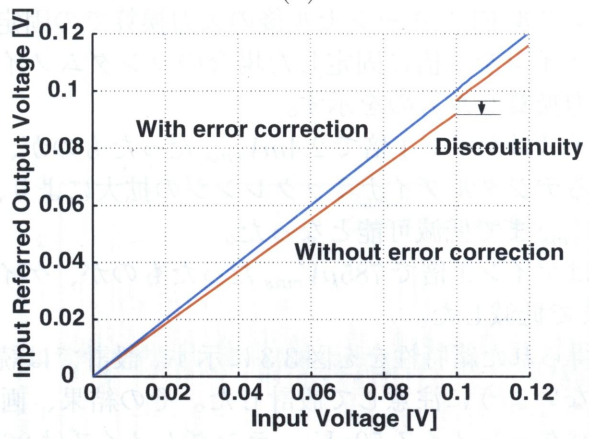
3.7.3 入出力特性の測定

試作チップをテストモードで動作させて、カラムの増幅回路に外部より参照電圧を与えて入出力特性を測定を行った。入力信号がフルスケールである 1V の 1/10 の 100m 以下の場合には入力信号が約 8 倍で増幅されて出力される。それ以外の信号は入力信号が約 1 倍で増幅される。測定した入出力特性を図 3.29(a),(b) に示す。図の誤差はゲイン誤差であり、カラム増幅器の入力側の容量と帰還側の容量のキャパシタ mismatch によるものである。ゲインが 1 倍の場合と 8 倍の場合の両者にゲイン誤差

Without error correction	$\alpha = 0.033$	(1.3)
$\alpha = 1.65 \times 10^{-8}$	$\alpha = 0.033$	(1.3)
$\alpha = 1.65 \times 10^{-8}$	Gain=1 Without error correction	
$\alpha = 1.65 \times 10^{-8}$	Gain=0 With error correction	



(a)



(b)

図 3.29: 試作したセンサのカラム回路の入出力特性

表 3.2: ゲイン誤差 (σ :誤差の標準偏差, Ave.:非線形誤差の平均値)

	Without error correction	With error correction
Fullscale (G=1)	$\sigma=0.613\%$	$\sigma = 1.67 \times 10^{-3}\%$
Gain switching point	$\sigma = 197\mu V$ Ave. = 4.87 mV	$\sigma = 184\mu V$ Ave. = 415 μV

が存在する。また、ゲインの切り替わり時のスイッチングポイントでも非線型性が見受けられた。ゲイン誤差には自身のゲインの誤差と各カラムでのゲインのばらつきがある。表 3.2 にデジタル領域でゲイン補正を行なう前と後での場合のカラムごとのゲインの誤差と、スイッチングポイントでの誤差を示す。補正により、各カラムでのゲイン誤差が 0.63% から $1.67 \times 10^{-3}\%$ と無視できるレベルまで低減可能である。また、カラムごとにゲインが切り替わるスイッチングポイントで平均 4.87mV の非線型性が見られるが、補正をかけることで撮像時には無視できる 415 μV まで抑制できる。

3.8 測定結果

図 3.30 にゲインを 1 倍に固定した場合の固定パターンノイズと、ゲインを 8 倍に固定した場合のデジタル FPN キャンセル後の入力換算での固定パターンノイズを示す。また、3.31 にゲインを 1 倍に固定した場合のランダムノイズと 8 倍固定時のランダムノイズの入力換算したものを示す。

固定パターンノイズはゲイン 1 倍で $2.4mV_{rms}$ だったものが、ゲイン 8 倍で入力換算処理と増幅によるデジタルダイナミックレンジの拡大により、デジタル FPN キャンセル処理で $50\mu V_{rms}$ まで低減可能となった。

ランダムノイズはゲイン 1 倍で $785\mu V_{rms}$ だったものが、ゲイン 8 倍の入力換算処理で $263\mu V_{rms}$ にまで低減した。

以上の結果から得られた緒特性をを図 3.3 に示す。設計では読み出し回路でなるべくノイズが混入しないように注意して設計した。その結果、画素からのノイズが支配的となり、固定パターンノイズ $50\mu V$ 、ランダムノイズは $263\mu V$ という低雑音センサとなり、ダイナミックレンジは CCD レベルの 71dB を記録した。

最後に、適応ゲインモード時で撮像したサンプル画像を図 3.32 に、その画像をゲイン復調したものを図 3.33 に、また、適応ゲインモードで撮像したカラー画像を図 3.35 に示し、その画像を復調したものを図 3.35 に示す。解像度は 364×288 の CIF フォーマットである。各々の図から、被写体の暗い部分は適応増幅により信号が 8 倍されていることがわかる。それらを入力換算することで、被写体の暗い部分のランダムノイズが低減された画像を取得することが可能である。

また、低照度時における撮像結果を図 3.36 と図 3.37 に示す。

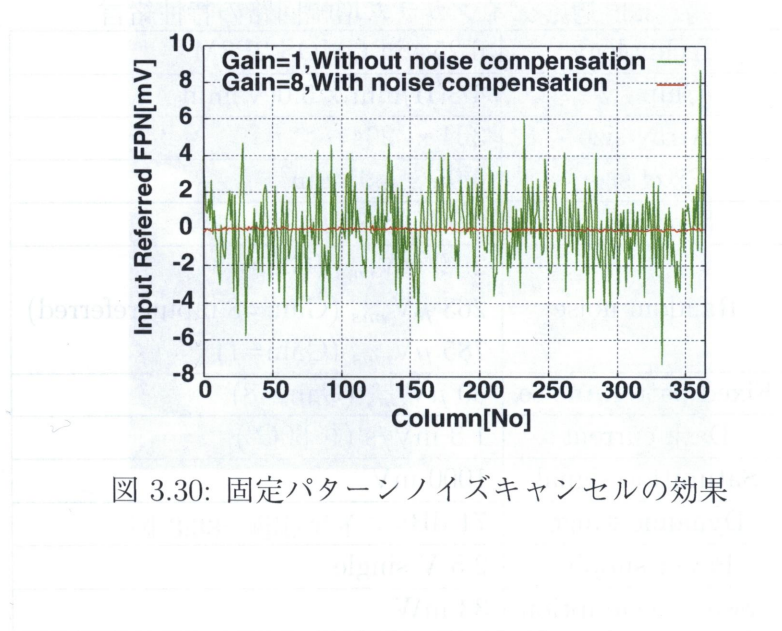


図 3.30: 固定パターンノイズキャンセルの効果

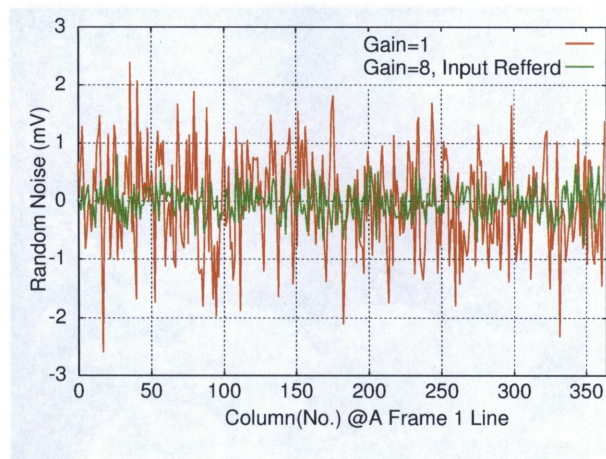


図 3.31: 通常モードと適応モードでのランダムノイズの低減効果

表 3.3: 適応ゲインカラム増幅回路の特性緒言

Technology	0.25 μm CMOS 2P3M
Chip size	4.3(H)mm x 5.0(V)mm
Array size	364 x 294
Pixel size	4.95 x 4.95 μm^2
Sensitivity	3.9 V/lx \cdot sec
Random noise	2.10 mV _{rms} (Gain=8) 263 μV_{rms} (Gain=8, input referred) 785 μV_{rms} (Gain=1)
Fixed pattern noise	50 μV_{rms} (Gain=8)
Dark current	1.8 mV/s (@ 60C ^o)
Saturation signal	1000 mV
Dynamic range	71 dB
Power supply	2.5 V single
Power consumption	33 mW

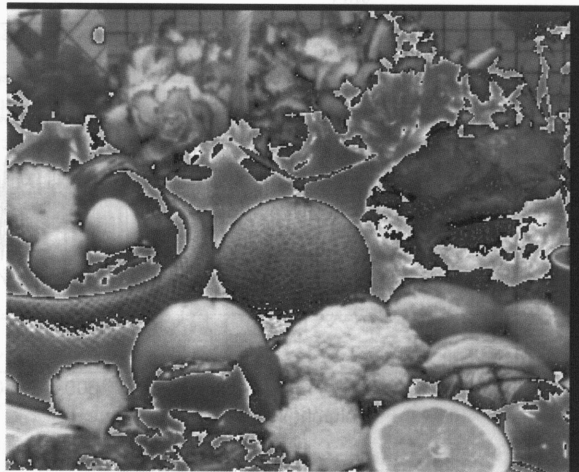


図 3.32: 適応ゲインモードの画像



図 3.33: 適応ゲインモード、ゲイン復調画像



図 3.34: 適応ゲインモードのカラー画像



図 3.35: 適応ゲインモードカラー画像のゲイン復調画像

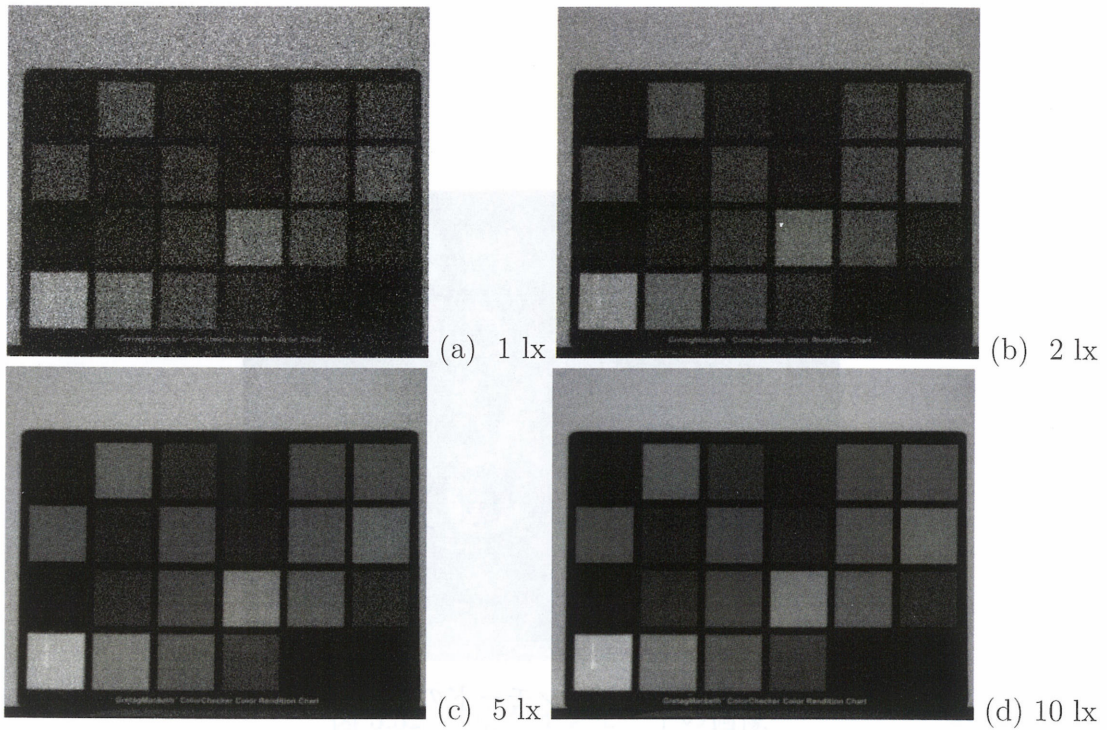


図 3.36: 低照度時における撮像例; 1lx-10lx ($Gain = 8$, $F = 2.8$, 30 frames/sec)

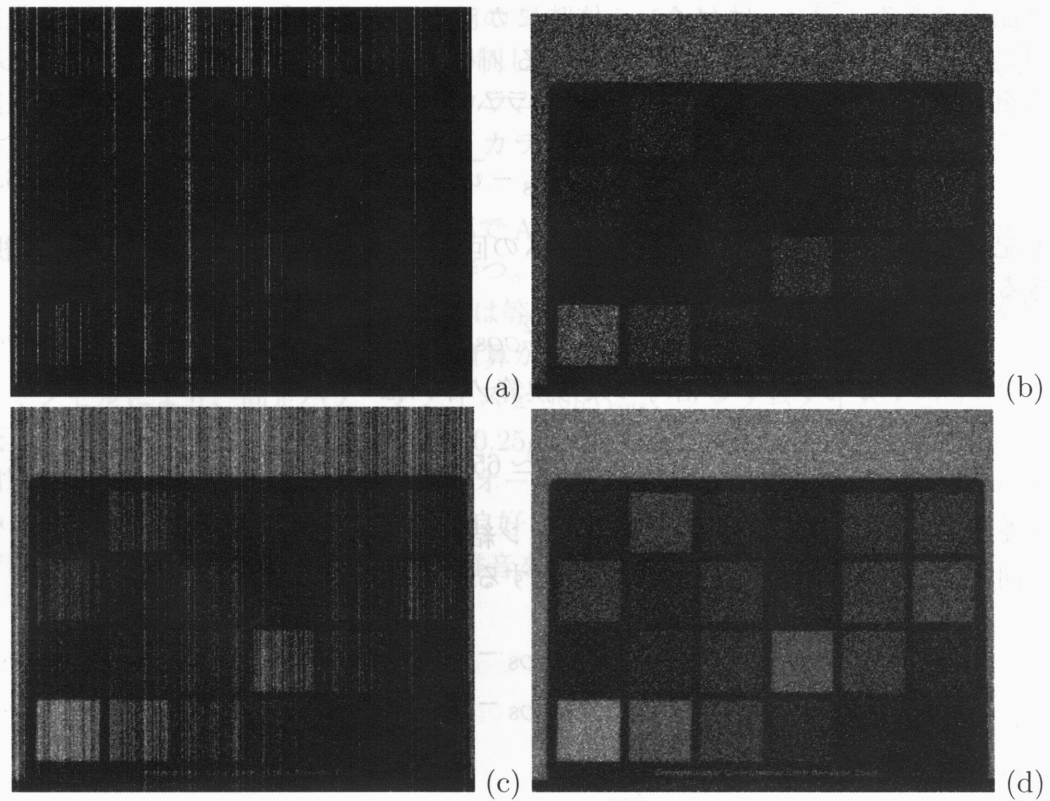


図 3.37: ゲイン 1 倍での低照度時の撮像例 FPN キャンセルなし (a) とあり (b)、ゲイン 8 倍で FPN キャンセルなし (c) とあり (d) ($1lx, F = 2.8, 30frames/sec$)

表 3.4: 試作チップのノイズ

	rms noise (μV_{rms})		
	$Gain = 1$	$Gain = 8$	$Gain = 8$ (input-referred)
Pixel to output	785	2,104	263
Column to output	752	917	114.6

3.9 考察

試作したチップのゲイン 1、8 倍時のノイズとノイズ測定モードで測定したカラムアンプのみのランダムノイズの測定結果を表 3.4 に示す。これらの測定結果から、カラムで発生するノイズを見積もることができる。カラムから出力バッファまでのノイズをそれぞれのゲインで

$$\overline{v_{nCO1}^2} = \overline{v_{nC1}^2} + \overline{v_{nO}^2} \quad (3.47)$$

$$\overline{v_{nCO8}^2} = \overline{v_{nC8}^2} + \overline{v_{nO}^2} \quad (3.48)$$

と記述できる。 $\overline{v_{nCOx}^2}$ はゲイン x 倍時にカラムから出力を通して発生するノイズ、 $\overline{v_{nCx}^2}$ はゲイン x 倍時にカラムで発生するノイズ、 $\overline{v_{nO}^2}$ は読み出し部で発生するノイズを示す。これらの式から、8 倍時にカラム読み出し回路で発生するノイズは

$$\overline{v_{nC8}^2} = \overline{v_{nCO8}^2} - \overline{v_{nCO1}^2} + \overline{v_{nC1}^2} \quad (3.49)$$

と記述できる。ゲインが 1 倍時にカラムの回路で発生するランダムノイズが無視できるとすると

$$\overline{v_{nC8}^2} \simeq \overline{v_{nCO8}^2} - \overline{v_{nCO1}^2} \quad (3.50)$$

となる。これからゲイン 8 倍時の入力換算ノイズは

$$\sqrt{\overline{v_{nC8}^2}/8} \simeq 65.6[\mu V_{rms}] \quad (3.51)$$

となり、ランダムノイズシミュレーション結果の $61\mu V_{rms}$ とよく一致する。

同様に、8 倍時に画素とカラムで発生するノイズを求めると

$$\overline{v_{nP8}^2} = \overline{v_{nPO8}^2} - \overline{v_{nPO1}^2} + \overline{v_{nP1}^2} \quad (3.52)$$

$$\simeq \overline{v_{nPO8}^2} - \overline{v_{nPO1}^2} \quad (3.53)$$

から

$$\sqrt{\overline{v_{nPix8}^2}/8} = 243[\mu V_{rms}] \quad (3.54)$$

が求まる。これはノイズシミュレーションから求まる値である $82\mu V_{rms}$ よりもかなり大きい値を示した。理由として考えられるのは画素周辺の電源やグラウンドライン、シリコン基盤からのノイズの混入が考えられる。これは、カラムアンプのアーキテクチャに差動ではなくシングルエンドを用いていくためである。もしくは、画素の信号はカラムに読み出すために長いメタル配線を通して読まれるために、これがアンテナとなって外部からの環境ノイズが信号に混入していると考えられる。

3.10 まとめ

本研究では CMOS の機能回路を集積できるという特徴に注目し、画素信号を適応的にカラムで増幅することのできる、適応ゲインカラム増幅に基づく CMOS イメージセンサについて試作、検討を行った。イメージセンサの高画質化には信号飽和レベルを拡大する高照度側のダイナミックレンジの拡大と、ノイズレベルを低減する低照度側ダイナミックレンジを広げるの 2 通りの方法があり、主に後者に焦点を当ててノイズレベルの低減を行った。高照度側のダイナミックレンジの拡大は、画素にブートストラップ効果を持たせることで飽和信号レベルを拡大した。低照度側のダイナミックレンジを拡大する手法は、カラムで信号を増幅することで増幅回路以降のノイズを相対的に小さく見せることでノイズ低減を行う。しかしながら、単純に

信号を増幅するのみであると高照度側のダイナミックレンジが低下するために、適応的に信号を増幅することでこれを抑制した。ノイズのPSDと回路の等価回路の伝達関数を用いたノイズ解析の結果、カラム増幅は増幅部以降のノイズを相対的に小さく見せることができるだけでなく、カラム増幅器自体が発生するノイズも低減できることを見いだした。

また、適応カラム増幅はチップ外部でA/D変換を行った際のデジタルダイナミックレンジを等価的に拡大する機能も持つ。外部に14bitのA/Dを使用した場合、カラムで8倍に増幅された低照度の信号は等価的に17bitのダイナミックレンジを持つことになり非常に高精度なデジタル演算が可能となる。そのため、デジタルノイズキャンセルにより、固定パターンノイズを $50\mu V_{rms}$ 、ランダムノイズを $263\mu V_{rms}$ と低ノイズ化に成功した。試作チップは、 $0.25\mu m$ CMOSイメージセンサ専用プロセスを用いて画素回路に埋め込みフォトダイオードを使用した。これにより、 $3.9V/lx \cdot s$ という高い感度と $18mV/sec(@60^\circ C)$ で良好な暗電流特性となった。ダイナミックレンジは1V振幅で71dBとCCD並の低雑音を実現した。

参考文献

- [1] 松長、遠藤”CMOS イメージセンサのノイズキャンセル回路” 映像情報メディア学会報告書,vol.22,no.1,pp.7-11(Jan.,1998)
- [2] R.M.Guidash et al.,”A 0.6 μ m CMOS pinned photodiode color imager technology,”in IEDM Tech. Dig.,1997,p.927
- [3] K.Yonemoto, H.Sumi,”A CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology and a Hole Accumulation Diode,”IEEE J.Solid-State Circuits,vol.35,No.12,pp.2038-2043,Dec.2000.
- [4] J. H. Fischer,”Noise source and calculation techniques for switched capacitor filters,” IEEE J. Solid-stage circuits,” vol. SC-17, no. 4, pp.742-752 ,Aug. 1982.
- [5] C. A. Gobet,”Noise analysis of switched capacitor networks,”IEEE Trans. Circuits and Systems, vol. CAS-30, no. 1, pp. 37-43 (Jan. 1983).
- [6] 河合 信宏”CMOS イメージセンサのノイズ解析と低ノイズ化に関する研究”, 静岡大学博士論文, Feb. 2005
- [7] C. A. Gobet, ”Spectral Distribution of a sampled 1st-order lowpass filtered white noise,” Electronics Letters, vol.17, no. 19, pp.720-719 Sept. 1981.

第4章

2重積分型カラム並列A/D変換器

4.1 はじめに

CMOS イメージセンサの画質の改善はイメージセンサからの信号をいかに低ノイズで読み出すことができるかにかかっている。原理的にノイズ帯域の狭いカラム [1] で信号を増幅するとノイズが低減できることに注目し、カラムで適応的に増幅をして帯域の広いセンサー出力でのノイズの耐性を高めたイメージセンサを3章で報告し [2]、カラムでの低ノイズ化の演算はノイズ帯域の観点から非常に有効なノイズ低減方法であることを実証した。しかしながら、センサチップから出力された帯域の広いアナログ信号を外部でA/D変換しているためにその性能を十分発揮できていなかった。従って、帯域の狭い画素もしくはカラムにおいてA/D変換を行うことで、支配的なノイズそのものを重畳しない方法でさらなる低ノイズ化を実現できることは容易に理解できる。この実現には、高精度かつ高分解能のA/D変換器が必要不可欠である。

画素内に信号処理回路を設けて低い帯域、ピクセルレベルでA/D変換をする方式 [3] [4] は画素内に比較器などの回路を集積することから、小面積化には不向きであることに加えて画素のバラツキやADCの分解能不足による特性の劣化が顕著である。カラムにA/D変換器を設けるとノイズ帯域が狭い状態でA/D変換を行うことができ、量子化された後は原理的にノイズが重畳せず非常に有効である。しかしながら、近年報告されているカラムにA/D変換器を搭載しているイメージセンサ [5]- [6] の分解能は10bitから11bitであり、十分なデジタルダイナミックレンジが得られていない。また、12bitの分解能を [7] が報告しているが、このセンサの実質的な精度は直線性誤差を考慮すると、10bit程度であった。その理由は、画素単位でA/D変換する方式に比べれば面積に余裕があるものの、依然としてカラム回路の横方向の幅は画素のサイズで制限されるため、使用できるトランジスタやキャパシタのサイズが制限され、高精度化、低ノイズ化が難しいためである。カラム12bitの性能を満たすA/D変換器を達成した報告 [8] がなされたのは最近である。

このような問題を抱えつつも、イメージセンサからの信号を低ノイズで読み出すには、ノイズ帯域の狭いカラムに回路を集積することが不可欠であり、回路的な工夫が要求される。このようなことから、カラムの回路で信号の演算を行い、なるべく小さな面積でノイズを低減する回路の開発が望まれる。

この章ではノイズ低減効果をさらに発展させて、低照度時のみでなく高照度時に

もノイズ低減効果を計った方式について述べる。時間領域での処理を有効に利用し、ランダムノイズならびに量子化ノイズを低減することで、従来のカラム A/D 変換器より高分解能デジタル値を出力可能な 2 重積分型カラム並列 A/D 変換器を提案する。2 重積分型 A/D 変換方式は、他の章の方式に比較して低照度から高照度にわたり読み出し回路のランダムノイズと A/D 変換器の量子化ノイズを低減するため、高階調の画像を取得することが可能である。本方式は、入力信号のレベルによって適応的に回路の動作モードが変化することがないためにモードの切り替わりでの特性の変化に対する補正処理が不要なこともあげられる。

本 A/D 変換器は、粗い A/D 変換を行うインクリメンタル A/D 変換モードと、その後の信号追従・平均化モードをもつ。本論文は、特に信号追従・平均化モードにおけるランダムノイズと量子化ノイズの低減効果について、状態遷移図による解析を行い、シミュレーションによる検討をおこなった。特に、信号追従・平均化モードでは、センサの信号に、あるランダムノイズが重畳していた場合に、2 重積分型 A/D 変換器の量子化ノイズがランダムノイズのディザリングの効果により平均化され、量子化ノイズが低減されるとともに、入力信号に含まれるランダムノイズも平均化により低減されることが見いだされた。また、入力信号に含まれるランダムノイズはノイズ低減効果が最も発揮される $0.4LSB$ 付近のレベルであることをノイズ解析から計算した。以下に CMOS イメージセンサに集積する場合の全体の構成、2 重積分型 A/D 変換器の構成と動作、提案する量子化ノイズ低減効果の解析、およびシミュレーション結果について順次述べる。

4.2 2 重積分型 A/D 変換器の構成

4.2.1 全体の構成

図 4.1 に提案する 2 重積分型 A/D 変換器を集積した、CMOS イメージセンサのブロック図を示す。この図で画素部は、4 トランジスタ方式の APS(active-pixel sensor) を想定している。これと画素部のトランジスタによりソースフォロワのバッファが形成され、画素内の電荷検出部の電圧が読み出される。

垂直スキャナにより、受光部である画素の 2 次元イメージアレイの 1 列が信号 Sel により選択される。まず、画素部の電荷検出部の電荷を信号 R により初期化レベル(リセットレベル)にする。その信号がカラムに並列に読み出され、列並列に A/D 変換されてリセット信号用レジスタに記憶される。次に、受光した信号を画素から読み出し、列並列に A/D 変換して受光信号用レジスタに記憶する。最終的に、外部に出力する直前でリセット信号と受光した信号のデジタル値の差をとり出力する。これによって、画素部が発生するリセットノイズと固定パターンノイズをデジタル領域で除去している。また、その A/D 変換の際、2 重積分動作により、画素部のソー

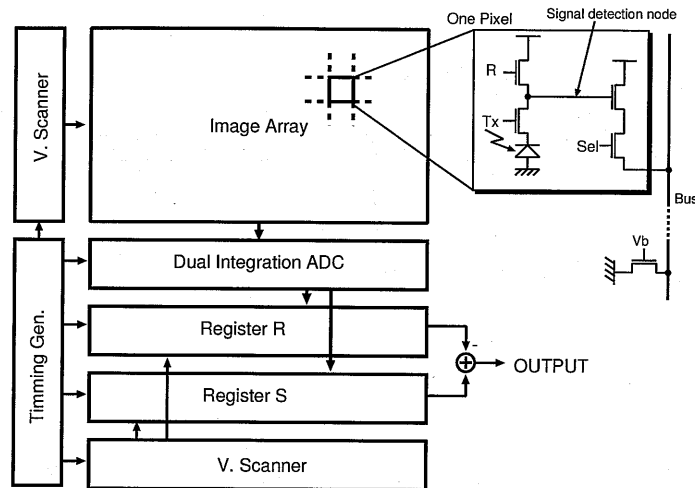


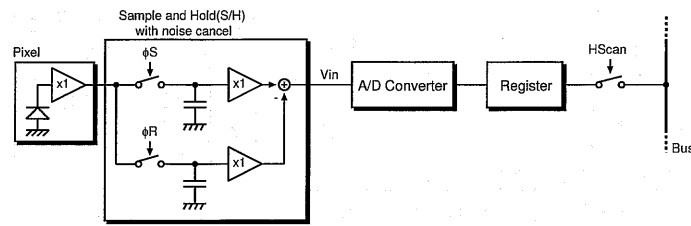
図 4.1: 2重積分型 A/D 変換器を用いたイメージセンサのブロック図

スフォロワアンプを含む A/D 変換回路の発生するランダムノイズが低減される。

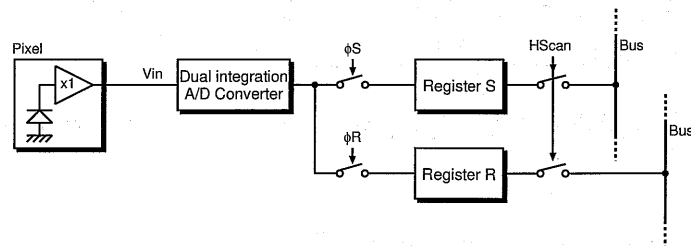
4.2.2 2重積分型 A/D 変換器の構成

図 4.2(a) 及び (b) は、一般的なカラム A/D 変換器 (図 4.2(a)) と提案する 2重積分型 A/D 変換器 (図 4.2(b)) における、垂直のスキナでセンサの 1 ラインが選択された場合の 1 カラム分の回路図を示す。

図 4.2(a) の回路では、まず、画素からリセットレベルが画素部のバッファを介して読み出され、スイッチの制御信号 ϕR によって S/H 回路に記憶される。続いて信号レベルが読み出され、同様に信号 ϕS にもうひとつの S/H 回路に記憶される。その差電圧がカラム A/D 変換器に入力されて A/D 変換が行われる。これらの動作からわかるように、A/D 変換器に入力される信号は画素のリセットレベルを基準にした信号変化量であり、相関二重サンプリング (correlated double sampling, CDS) により画素部のリセットノイズと固定パターンノイズ (fixed-pattern noise, FPN) をキャンセルする。画素部のリセットレベルは画素部のトランジスタの閾値ばらつきが影響し、各画素毎に固定の値である。そのばらつきに加えて信号検出部は画素にリセット信号が入力される度にトランジスタの ON 抵抗による熱雑音が重畳し、リセット終了時にそのノイズレベルを記憶する。これは毎回違った電圧値を出力する。画素から信号レベルを出力する際は、リセットノイズが記憶されたりリセットレベルを基準に、受光信号の情報を含む電圧値が同一の画素から出力されるため、両者の相関差分をとることで画素のリセットノイズと固定パターンノイズをキャンセルし、信号成分のみを取り出すことができる。



(a)



(b)

図 4.2: 画素からカラム出力までのカラムノイズキャンセル回路と (a) 一般的な A/D 変換器, (b) 2重積分型 A/D 変換器

一方、図 4.2(b) の提案する 2 重積分型 A/D 変換回路では、相関差分をとる機能は、A/D 変換後のデジタル値で行っている。図 4.2(a) の回路がアナログ領域で相関差分をとるのに対して、図 4.2(b) はデジタル領域で相関差分をとる。問題となるのは、デジタル領域で相関差分をとる場合、デジタルダイナミックレンジが十分でないと量子化誤差による影響が無視できなくなることである。しかし、後に述べるように、本方式でのデジタルダイナミックレンジは十分広いので、この問題は回避できる。

以上の CDS 動作によって、画素部のリセットノイズと固定パターンノイズはキャンセルされる。実際に読み出される信号には、読み出し回路が発生する熱雑音のランダムノイズが重畳する。図 4.2(a) の回路では画素のバッファアンプ、S/H 回路、A/D 変換器がランダム雑音の発生源になっている。一方、図 4.2(b) の回路は、画素のバッファアンプと A/D 変換器がランダム雑音の発生源である。このようなランダム雑音は、相関のある信号に対して多数回サンプリングして、平均化を行うことで低減が期待される。

図 4.2(a) の回路では、S/H 回路で相関差分をとる場合、画素からの経路がスイッチにより分断される。したがって後段の A/D 変換器で多重サンプルし平均化を行ったと仮定しても、S/H 回路のランダムノイズ低減効果はあるにせよ、画素回路のラ

ランダムノイズは低減できない。

一方、図 4.2(b) では画素の出力は、A/D 変換器に直接入力されており、2 重積分型 A/D 変換器により積分動作が行われているときも、画素からの信号経路は接続されたままである。したがって、提案する 2 重積分型 A/D 変換器で加算平均した場合には、画素で発生するランダムノイズも低減できることがわかる。

以上のことから、2 重積分型 A/D 変換器とデジタル領域での CDS 動作は画素から A/D 変換器までの全てのアナログ回路で発生するランダムノイズを低減することができ非常に低ノイズ、高精度の A/D 変換器を実現できることがわかる。

4.2.3 2 重積分型 A/D 変換器のモード

提案する 2 重積分型 A/D 変換器は、比較器 (コンパレータ)、アナログ積分器、2 つのデジタル積分器、1-bit D/A 変換器 (DAC) から構成される。図 4.3 に回路図を示し、その動作を図 4.4 に示す。この図では、入力レベルを 8.6LSB と仮定して動作を説明している。本方式は、インクリメンタル A/D 変換を行うモード (IADC モー

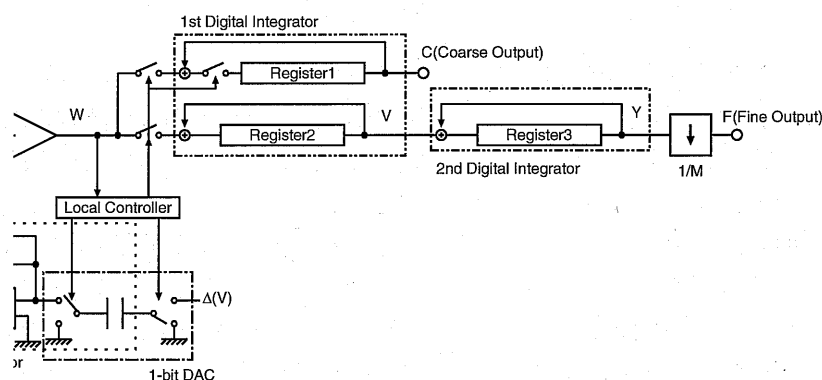
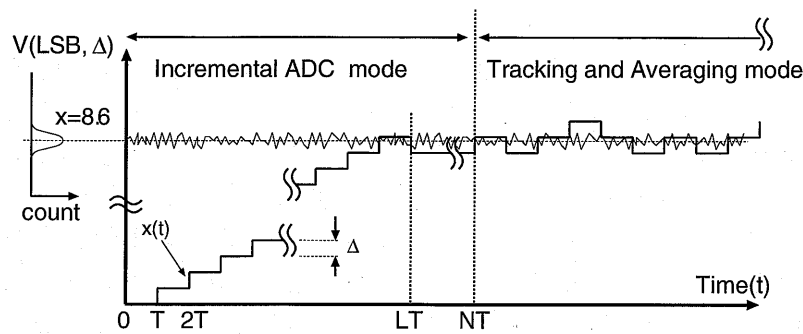


図 4.3: 2 重積分型 A/D 変換器

ド) と、入力信号に追従する Δ 変調器の出力に平均値フィルタリングの処理を行う、信号追従・平均化処理モード (TA モード) からなり、各々のモードの出力が Coarse Output と Fine Output となっている。

- インクリメンタル ADC モード (Incremental ADC mode)

ここでは入力信号を粗く A/D 変換する。入力電圧がどのレベルにあるかを 1-bit DAC とアナログスイッチトキャパシタ (SC) 積分器によりサーチする。SC 積分器の出力は、最初 0 に初期化しておく。SC 積分器の出力はクロックが与えられるたびに、 Δ のステップで出力がインクリメントされるように設定しておく。SC 積分器の出力が入力電圧を越えた次の時刻 $t = LT$ でコンパレータの出力が反転する。その瞬間までのクロック数を A/D 変換値とし、それを Register1 に



1st Integrator Output(C)	0	1	2	3	...	6	7	8	9	8	8	8					
1st Integrator Output(v)	0	1	0	1	2	1	0	1	0	1
2nd Integrator Output(y)	0	1	1	2	4	5	5	6	6	7

図 4.4: 入力に $V_{in} = 8.6\text{LSB}$ を仮定した場合の 2 重積分型 A/D 変換器の動作

記憶する。その後、カラム全ての回路が IADC モードを終了する時刻 $t = NT$ まで動作を停止 (アイドル状態) する。

- 信号追従・平均化処理モード (Tracking and averaging mode)
 一般的なインクリメンタル ADC では、以上の動作で処理が完結する。本提案の方式では、画素部の出力が一定の値を出力し続けている特徴に注目し、 Δ 変調の動作によって入力信号に追従させながら量子化し、その出力に平均化処理を加えることによって、量子化ノイズの低減による分解能の向上とランダムノイズの低減をはかるでものである。時刻 $t = NT$ でデジタル積分器を 2 段に接続し、TA モードの動作に移行する。モード切り替わり時に接続される、両デジタル積分器の初期値は 0 とする。IADC モード終了時の入力信号と SC 積分器の出力の差は 0 から 1LSB の範囲の電圧値であり、この信号はランダムノイズによって真値を中心に振動している。もし、ノイズがまったく重畳していないとするならば、デジタル積分器の初段は 0~1 を繰り返し出力しその加算平均は 0.5LSB となるであろう。ノイズが加わっていることで、入力信号の真値が 1LSB の中でどのような値をとるかによって、デジタル積分器の初段の出力が 0 と 1 の頻度に違いが生じ、2 段目の積分器で平均化処理を行うことで、1LSB 以下の精度で入力信号の真値を推測できる。すなわち、分解能が向上する。

4.3 2 重積分型 A/D 変換器の動作

2 重積分型 A/D 変換器の TA モードの動作を詳しく検討する。図 4.5 に TA モード時の A/D 変換器の動作を表すブロック図を示す。初段のデジタル積分器は Δ 変調器の動作によって、その出力の平均は 0 から Δ の範囲に存在する。また、これは M 回

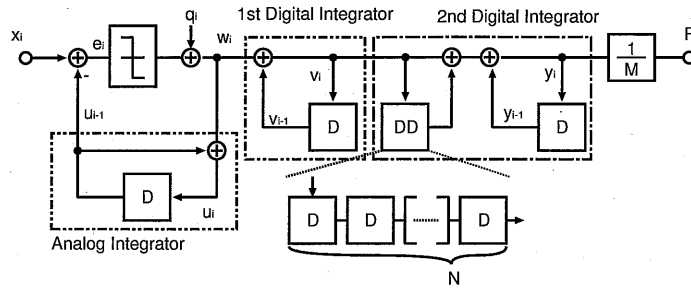


図 4.5: Block diagram of the dual-integration-type ADC

動作した後にリセットがかかるため、厳密には不完全積分器であるが、実際にとる出力はコードとして、初期値である 0 付近から大きく外れることはない。確率的に 0 もしくは 1 で積分が終了していることが多いため、M 回動作の後に初期化をしたとしても完全積分器とみなすことに問題はない。2 段目の積分器は初段の積分器の出力を M 回加算し毎回初期化するので、完全積分器とはみなせず、不完全積分器となる。図 4.5 において、 i 番目の時刻における内部変数は、以下のように表すことができる。

$$e_i = x_i - u_{i-1} \quad (4.1)$$

$$w_i = e_i + q_i \quad (4.2)$$

$$u_i = w_i + u_{i-1} \quad (4.3)$$

$$v_i = w_i + v_{i-1} \quad (4.4)$$

$$u_0 = v_0 = 0 \quad (4.5)$$

ここで x_i は入力信号、 q_i は量子化ノイズ、 u_i はアナログ信号の積分器出力、 w_i は比較器の出力、 v_i は初段のデジタル積分器の出力、 e_i は予測誤差である。以上の式から、

$$u_i = x_i + q_i \quad (4.6)$$

$$v_i = x_i + q_i \quad (4.7)$$

が求まる。これからこのアナログ積分器の出力 u_i はデジタル積分器の出力 v_i に等しく、また、入力信号を A/D 変換した値であることがわかる。2 段目のデジタル積分器で、M 回の加算を行って平均値を求めると

$$F = \frac{1}{M} y_M = \frac{1}{M} \sum_{i=1}^M v_i \quad (4.8)$$

$$= \frac{1}{M} \sum_{i=1}^M (x_i + q_i) \quad (4.9)$$

入力信号 x_i は真の入力信号 s (直流) にランダムノイズ信号 r_i が加わったものとする

$$F = \frac{1}{M} \sum_{i=1}^M (s + r_i + q_i) \quad (4.10)$$

$$= \frac{1}{M} \left(\sum_{i=1}^M s + \sum_{i=1}^M (r_i + q_i) \right) \quad (4.11)$$

$$= s + \frac{1}{M} \left(\sum_{i=1}^M (r_i + q_i) \right) \quad (4.12)$$

となる。これより2段目のデジタル積分器によって、平均化処理によりランダムノイズと量子化ノイズの低減が期待される。量子化ノイズによる雑音電力 N_q は、図 4.6

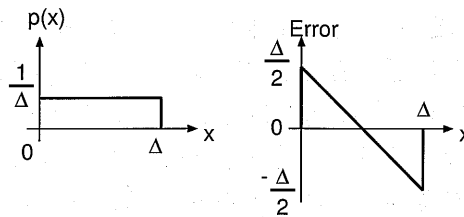


図 4.6: 量子化雑音の確率密度関数

のように、量子化ステップ Δ (1LSB) で一様な確率密度をもつとして、一般に

$$N_q = \int_0^{\Delta} \left(\Delta - \frac{\Delta}{2} \right)^2 p(x) dx = \frac{\Delta^2}{12} \quad (4.13)$$

と求めることができる。もし、この量子化ノイズが完全にランダムな現象であれば、 M 回の平均化処理により電力が $1/M$ になることが期待される。しかし実際は、そのようにはならず、そのノイズ低減効果は含まれるランダムノイズに大きく依存する。このようなランダムノイズによる分解能の向上はディザリング処理として知られている。後の節において本提案方式における量子化ノイズ低減効果を解析する。

4.3.1 アナログ積分器と 1bitDAC の構成

本方式に使用されるアナログ積分器と 1bitDAC は、1クロックあたり $\pm\Delta$ の正確な電圧を出力することを期待され、これが A/D 変換器の性能を左右する。これはアナログ積分器が比較器で比較される参照電圧を発生させているために、参照電圧の精度がそのまま A/D 変換器の精度に影響するからである。本方式で用いる単位ステップ電圧 Δ はフルスケールを 1.024V で A/D 変換のステップ数を 10bit(1024) にするために 1mV を想定している。図 4.3 に示したように外部から 1mV の電圧を直接入力

することも実現できるが、参照電圧としてこの値は小さすぎるためにノイズに対する耐性を持たせる工夫が必要である。

実際にノイズに耐性を持たせる工夫をした回路を図4.7に示す。厳密に言えば、アナログ積分器と1bitDACは回路上で分離ができず、図に示す回路全体で1bitDACとアナログ積分器の機能を共有している。実際に行ったノイズ対策は、

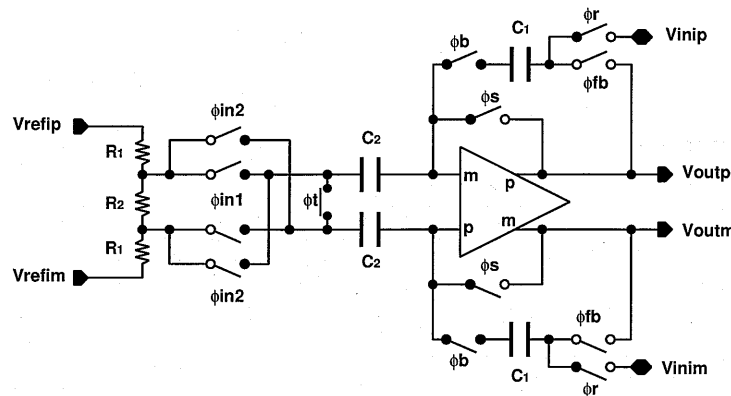


図 4.7: 1bitDAC とアナログ積分器の構成

- 差動アーキテクチャの採用
- 容量比による演算でノイズ耐性の向上
- 抵抗比による演算でノイズ耐性の向上

である。差動アーキテクチャは、入力のコモンモードに対して出力が変化しないので、ノイズ耐性が必要な回路に広く採用されているアーキテクチャである。容量比による演算は、スイッチトキャパシタで行う。図中の入力容量 C_2 と帰還容量 C_1 の比で決定する。実際には $C_1/C_2 = 16$ で入力側にある容量 C_2 の片側に入力される電圧の $1/16$ が V_{outp}, V_{outm} に出力される。

入力電圧は抵抗 R_1, R_2 により分圧されたものが入力される。この電圧は、抵抗と入力容量 C_2 により CR 時定数でチャージされるが、セットリングが十分間に合う抵抗値に設定してある。実際には $R_1/R_2 = 31/2$ の値を取り、入力信号 V_{refip}, V_{refim} の差の $1/32$ の電圧が容量に蓄積されることになる。

逆算すると、 $\Delta = V_{outp} - V_{outm} = 1mV$ の条件を満たすには入力信号の差分として $V_{refip} - V_{refim} = 512mV$ の電圧を入力する必要がある。入力のリファレンスとして外部から $512mV$ を正確に入力することは、 $1mV$ の基準信号を外部から正確に入力することに比べて極めて容易である。このため、入力信号の誤差とノイズに対して耐性が向上する。

4.3.2 増幅器の構成と特性

実際に回路で使用する増幅器の構成を述べる。高分解能のA/D変換器を実現するために、アナログ積分器は精度の高い正確な参照電圧を発生する必要がある。そのために、増幅器には利得の高い増幅器アーキテクチャである、折り返しカスコード方式にゲインブーストを行ったものを使用する。実際の回路図を図4.8に示す。また、

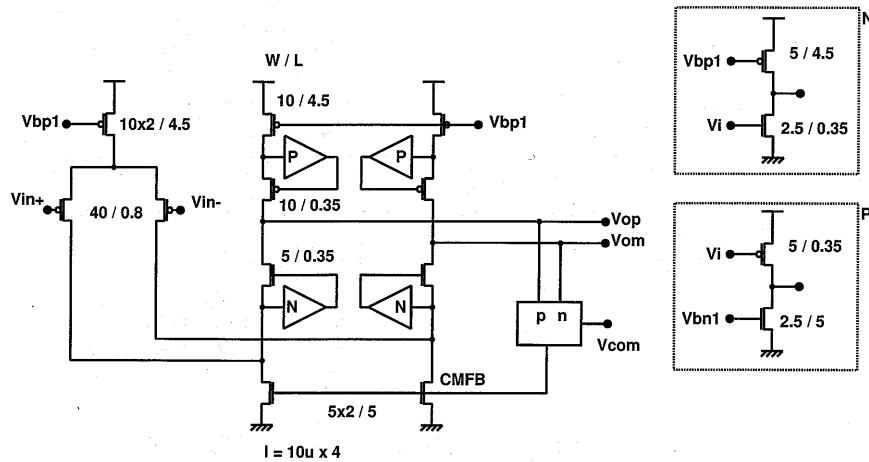


図 4.8: ゲインブースト折り返しカスコード増幅器

この増幅器をシミュレーションにより確認した。その特性を図4.9に示す。ボード線

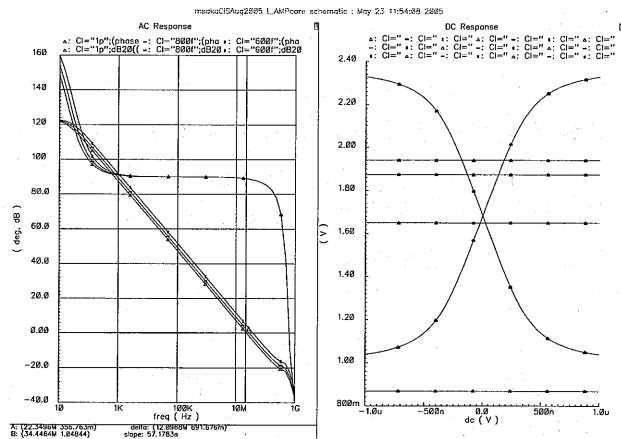


図 4.9: ゲインブースト折り返しカスコード増幅器の特性

図より、負荷容量が $0.6pF$ から $1pF$ の間では安定して動作することを確認できる。なお、この特性はコモンモードフィードバックに理想の素子の電圧制御電圧源を使

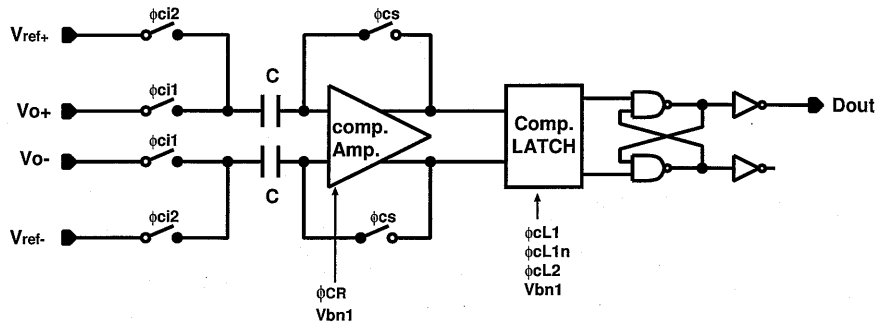


図 4.10: 比較器の構成

用し、バイアス源などは実際にトランジスタを用いて構成してシミュレーションを行った。

4.3.3 比較器の構成

入力信号と参照電圧を比較する比較器は、高精度のものを使用する必要がある。2重積分型 A/D 変換器のアーキテクチャが比較レベルの冗長性を持たず、入力信号を 1LSB 刻みで正しく判断する必要があるためである。比較器の構成を図 4.10 に示す。比較器は入力にキャパシタ C 、信号を増幅するプリアンプ、プリアンプの出力を増幅しつつラッチするラッチ回路、入力が "11" で安定の S-RFF と各種のスイッチで構成される。入力信号の $V_{o\pm}$ は画素からの出力信号が接続され、 $V_{ref\pm}$ はアナログ積分器が出力する参照電圧が接続される。

プリアンプの構成

比較器の内部回路であるプリアンプの構成を図 4.11 に示す。入力信号にある程度の差がある状態でスイッチ ϕ_{CR_n} が OFF すると、出力の V_{op} と V_{om} が電源電圧もしくは電流源トランジスタと入力トランジスタのオーバードライブ電圧の合計の電圧付近のどちらかが出力される。このアンプのゲインを求めてみる。小信号での等価回路を 4.12 に示す。PMOS 側のドレインとゲートが接続され、ダイオード接続の構成をとる。この構成での出力側から見たインピーダンスは、ダイオード接続をしているトランジスタのインピーダンスがソース接地をしている NMOS と PMOS トランジスタの出力抵抗よりも約 2 桁低いために、等価的に $\alpha \cdot 1/g_{mp}$ となる。この等価回路で出力側の電流 i_{om}, i_{op} はそれぞれ

$$i_{om} = g_{mn} \cdot V_{in} = g_{mp}(-V_{op}) + \alpha \frac{-V_{om}}{1/g_{mp}} \quad (4.14)$$

$$i_{op} = g_{mn} \cdot V_{in} = g_{mp}(-V_{op}) + \alpha \frac{-V_{op}}{1/g_{mp}} \quad (4.15)$$

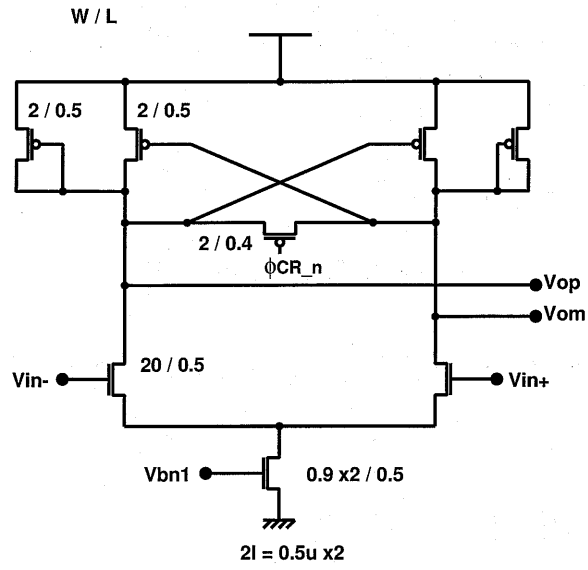


図 4.11: 比較器のプリアンプの構成

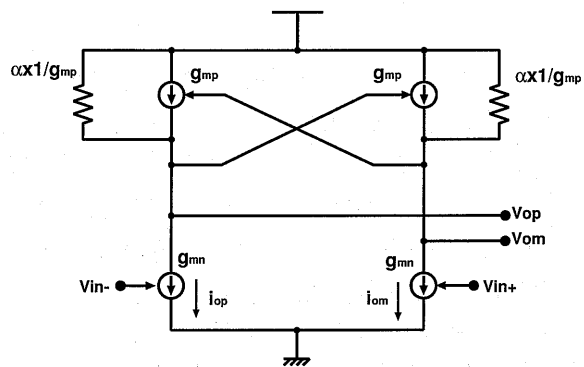


図 4.12: 比較器のプリアンプの等価回路

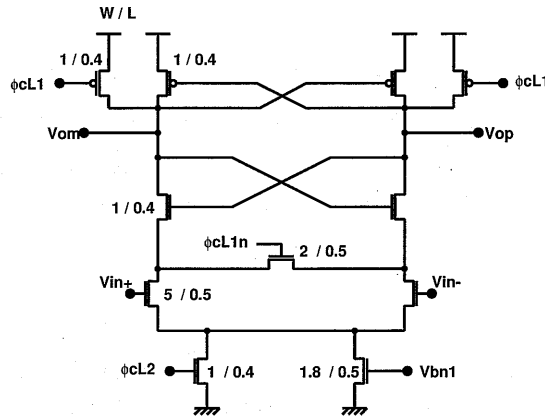


図 4.13: 比較器のラッチ回路

となり、これらからこのアンプの増幅率を求めると

$$A_v = \frac{V_{om} - V_{op}}{V_i^+ - V_i^-} = \frac{g_{mn}}{g_{mp}} \left(\frac{1}{1 - \alpha} \right) \quad (4.16)$$

ここでPMOS側のトランジスタのサイズを同じにすると、係数である $\alpha = 1$ となるので $\frac{1}{1 - \alpha} = \infty$ となり、ゲインが無限大のアンプになる。実際に作成する際にはサイズばらつきなどの影響を受けて無限大にはならない。

一般的に、比較器のプリアンプはゲインを持たせるよりも比較演算のスピードを重視するためにゲインを無限大にすることはあまりない。

しかしながら、本方式は1LSBを正確に判定する必要があるので、あえてゲインを無限大になるよう設計している。これにより、次段にラッチ回路が付いた状態で入力信号の差が $50\mu\text{V}$ まで正確に比較できることを確認している。

ラッチ回路の構成

図 4.13 に比較器の内部回路であるラッチ回路を示す。ラッチ回路の基本はインバータ2段の数珠つなぎである。インバータが動作しないときは ϕ_{cL2} により電源から切り離され、 ϕ_{cL1} により出力が"1"(電源電圧)に固定される。また、その時 ϕ_{cL1n} により入力トランジスタのドレインに残留する電荷を消去し信号の履歴に回路が影響されないようにする。 ϕ_{cL2} により電源から完全に切り離され、回路が完全に浮遊状態になると次に動作するスタートアップに時間がかかることなどから、 V_{bn1} によりわずかに電流を流す。

4.3.4 比較器の動作

以上の回路を用いた比較器の動作を説明する。まず、比較器の入力には ϕ_{ci2} によりアナログ積分器からの電圧が入力される。その時プリアンプの入出力は ϕ_{cs} によりショートされている。この時、アンプのショート電圧 V_s と入力電圧とで決まる電荷が容量 C に蓄積される。初期状態での回路の状態を図 4.14 に示す。入力側の容量 C

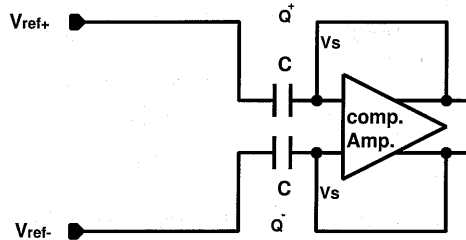


図 4.14: アナログ積分器からの信号をサンプルしている時の回路の状態

に蓄積される電荷をそれぞれ Q^+ , Q^- とすると、

$$Q^+ = C(V_{ref+} - V_s) \quad (4.17)$$

$$Q^- = C(V_{ref-} - V_s) \quad (4.18)$$

と記述される。続いて ϕ_{cs} の接続が OFF し、入力信号が ϕ_{ci2} と ϕ_{ci1} が ON、OFF 切り替わることにより画素からの出力信号が容量の片側に入力され、回路の状態が図 4.15 で示される構成に変化する。比較器がこの状態の時、プリアンプの入力である V_{x+} , V_{x-} はそれぞれ

$$Q^+ = C(V_{o+} - V_{x+}) \quad (4.19)$$

$$Q^- = C(V_{o-} - V_{x-}) \quad (4.20)$$

と電荷保存則から導かれる。これらの式 4.18, 4.20 から

$$V_{x+} = V_{o+} + V_s - V_{ref+} \quad (4.21)$$

$$V_{x-} = V_{o-} + V_s - V_{ref-} \quad (4.22)$$

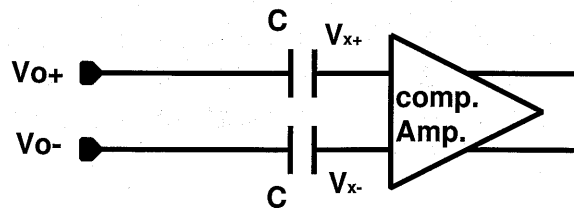


図 4.15: 画素からの信号をサンプルしている時の回路の状態

さらに両者の差分を求めると、

$$V_{x+} - V_{x-} = (V_{o+} - V_{o-}) - (V_{ref+} - V_{ref-}) \quad (4.23)$$

となる。この式の意味するところは、前段の画素の出力信号である $(V_{o+} - V_{o-})$ と $(V_{ref+} - V_{ref-})$ の差分が比較器のプリアンプに入力されるということである。ここで、画素の出力信号は差動ではないので実際には V_{o+} が画素からの信号であり、 V_{o-} は外部より入力される直流DC電圧になる。

比較器への入力電圧の差は、 ϕ_{CR} が”1”になることによりプリアンプのオープンループゲインで信号が増幅され、プリアンプより出力される。出力された電圧は次段のラッチに入力される。信号がある程度増幅されたら、 ϕ_{cL1}, ϕ_{cL2} の制御によりラッチ回路の出力 V_{op}, V_{om} のどちらか一方が”0”に変化する。続いて次段のSR-FFがラッチ回路の出力によって変化する。その後、 ϕ_{cL1}, ϕ_{cL2} の制御により出力 V_{op}, V_{om} が両者とも”1”になる。これはSR-FFのデータ記憶モードであり、次の ϕ_{cL1}, ϕ_{cL2} の制御まで出力のデータを保つ。

4.4 2重積分型A/D変換器の量子化ノイズ低減効果の解析

2重積分型A/D変換器のTAモードにおいて、このA/D変換器の入力にランダムノイズが含まれている場合の量子化ノイズ低減効果を、状態遷移図とノイズの確率密度分布を用いて解析する。条件としてはTAモードの各回路の初期値は0であるとし、入力信号として $0 \sim \Delta$ の1LSB以内に真値 s が存在するとする。TAモードにおける初段のデジタル積分器出力の時間変化の様子を図4.16に示す。ランダムノイ

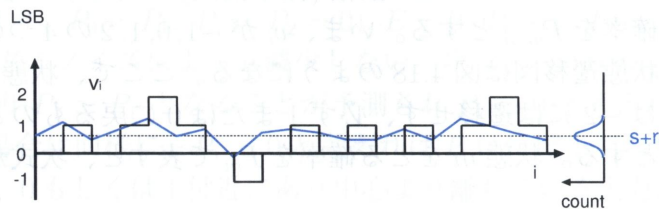


図 4.16: 初段積分器の出力波形と入力波形の比較

ズによって v_i が入力信号に追従して変化し、図4.16のような変化を示す。その平均値を求めれば、入力の実値(直流レベル)を推測できることがわかる。図4.16の例では、初段のデジタル積分器の出力として、 $-1, 0, 1, 2$ の4つの状態をとる。

4.4.1 4状態での状態遷移図を用いた解析

まず、簡単のため初段のデジタル積分器の出力が $-1, 0, 1, 2$ の4つの状態をとる場合について考える。比較器の出力は、 $+1$ もしくは -1 を出力するので、現在の状態が 0 の場合は次のステップで v_i は -1 もしくは 1 に遷移する。このとき、入力信号として真値 s にノイズが含まれていた場合、 0 から $-1, 0$ から 1 に遷移する確率をそれぞれ $P_{0\bar{1}}$ 、 P_{01} とすると、これらは図4.17に示す面積に相当する。ノイズがガウス分布をとると仮定すれば

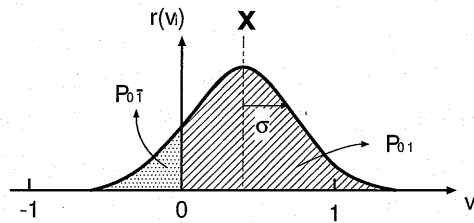


図 4.17: 状態遷移の確率密度

$$P_{0\bar{1}} = \int_{-\infty}^0 r(v_i - s) dv_i \quad (4.24)$$

$$P_{01} = \int_0^{\infty} r(v_i - s) dv_i \quad (4.25)$$

ここで

$$r(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp -\frac{x^2}{2\sigma^2} \quad (4.26)$$

であり、 σ はランダムノイズの rms 振幅 (標準偏差) である。一般に、状態が m から n に遷移する確率を $P_{m\ n}$ とする。いま、 v_i が $-1, 0, 1, 2$ の4つの状態のみをとるとすれば、その状態遷移図は図4.18のようになる。ここで、状態 2 または -1 にある場合は 3 または -2 には遷移せず、必ず 1 または 0 に戻るものとする。すなわち $P_{2\ 3} = P_{\bar{1}\ \bar{2}} = 0$ とする。状態 m をとる確率を P_m で表すと、次式が得られる。

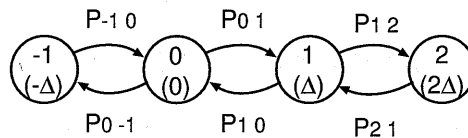


図 4.18: 4値の場合の状態遷移図

$$P_2 = P_1 \cdot P_{1\ 2} \quad (4.27)$$

$$P_1 = P_2 \cdot P_{21} + P_0 \cdot P_{01} \quad (4.28)$$

$$P_0 = P_1 \cdot P_{10} + P_{\bar{1}} \cdot P_{\bar{1}0} \quad (4.29)$$

$$P_{\bar{1}} = P_0 \cdot P_{0\bar{1}} \quad (4.30)$$

とおける。この4つの各々の状態は各々別の確率を持つが4値以外をとらないとすれば

$$P_{\bar{1}} + P_0 + P_1 + P_2 = 1 \quad (4.31)$$

となる。さらに、ノイズ確率密度関数は積分すると1であることから $P_{01} + P_{0\bar{1}} = 1$, $P_{12} + P_{10} = 1$, $P_{21} = P_{\bar{1}0} = 1$ である。これらより出力の期待値は

$$E = -1 \cdot P_{\bar{1}} + 0 \cdot P_0 + 1 \cdot P_1 + 2 \cdot P_2 \quad (4.32)$$

により求めることができる。例えば $s = 0.5$ の場合は

$$P_1 = P_0, \quad P_2 = P_{\bar{1}} \quad (4.33)$$

である。ゆえに式4.31より

$$P_1 + P_2 = \frac{1}{2} \quad (4.34)$$

また、この場の期待値は

$$E = -1 \cdot P_{\bar{1}} + 0 \cdot P_0 + 1 \cdot P_1 + 2 \cdot P_2 \quad (4.35)$$

$$= P_1 + P_2 = \frac{1}{2} \quad (4.36)$$

となり、真値 s を推定できることがわかる。しかし、ノイズの振幅が小さい場合、図4.19に示すように s が0と1の中央付近の値にあれば状態としては0と1を繰り返すことになり(つまり、 $P_0 = P_1, P_{\bar{1}} = P_2 = 0$), $E = 0 \cdot P_0 + 1 \cdot P_1 = 1/2$ となるので量子化誤差はランダムノイズによって減少しない。次に、 $s = 0$ の場合を考えると P_0 の確率が高くなり $P_{\bar{1}} \simeq P_1$ となることが予測され $P_2 \simeq 0$ と考えれば E はほぼ0である。 $s = 1$ の場合は同様に、 $P_{\bar{1}} \simeq 0$ と考えれば E はほぼ1である。したがってこれらの結果から、0もしくは1付近にあり中心より離れている入力値の誤差を予想すると、図4.20のように状態遷移確率に変化し、その期待値が真値に近付くために量子化ノイズが大きく低減される。ノイズの振幅が大きい場合はノイズの分布が広がり、全体に渡って量子化ノイズの低減効果が現れることも予測できる。ここで注意すべきことは、量子ノイズを低減するために意図的にランダムノイズを加える場合は、加えたノイズ自体によるノイズの増加があるので、量子化ノイズを効果的に低減できる最小の振幅のノイズを加える必要がある。しかし、イメージセンサの信号の読み出しに用いる場合、ランダムノイズが必ず含まれるので、新たにノイズを加える必要はない。

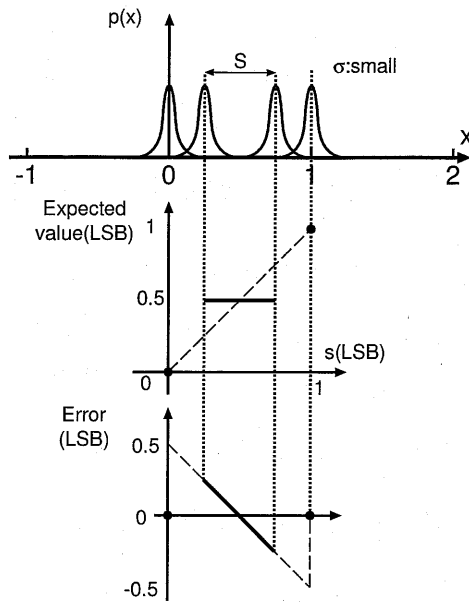


図 4.19: 入力信号と量子化ノイズの関係

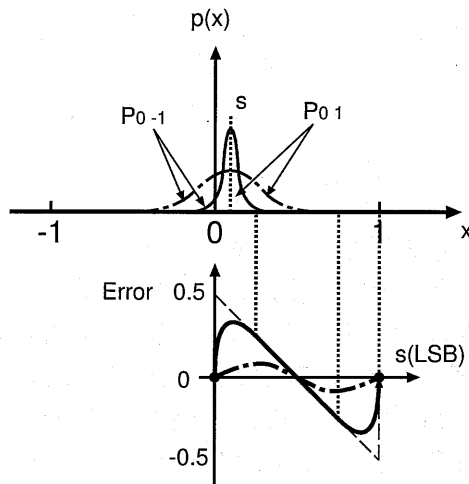


図 4.20: 2重積分型 ADC の量子化ノイズ

4.4.2 状態遷移図による解析の一般化

ここでは以上の解析方法を一般化する。状態数が $-(N-1)$ から N までの $2N$ 状態とすると仮定し、それ以外の状態を取らないものとする。また、ノイズの振幅に対して状態数が十分多く、最大、最小出力コードよりも高い、低いコードが出現しないと仮定する。言い替えるとこの範囲以外のコードが出力される確率は 0 であるとす

る。この場合最大値である状態 N をとる確率は

$$P_N = P_{N-1} \cdot P_{N-1 N} \quad (4.37)$$

である。他にも同様に

$$P_{N-1} = P_N \cdot P_{N N-1} + P_{N-2} \cdot P_{N-2 N-1} \quad (4.38)$$

$$P_{N-2} = P_{N-1} \cdot P_{N-1 N-2} + P_{N-3} \cdot P_{N-3 N-2} \quad (4.39)$$

...

$$P_k = P_{k+1} \cdot P_{k+1 k} + P_{k-1} \cdot P_{k-1 k} \quad (4.40)$$

...

$$P_{-(N-2)} = P_{-(N-3)} \cdot P_{-(N-3) -(N-2)} + P_{-(N-1)} \cdot P_{-(N-1) -(N-2)} \quad (4.41)$$

$$P_{-(N-1)} = P_{-(N-2)} \cdot P_{-(N-2) -(N-1)} \quad (4.42)$$

また、全ての確率の合計は1であるので

$$\sum_{k=0}^{2N-1} P_{k-N+1} = 1 \quad (4.43)$$

これらの連立方程式を

$$\mathbf{P}\mathbf{X} = \mathbf{Y} \quad (4.44)$$

とすると、

$$\mathbf{P} = \begin{bmatrix} -1 & P_{N-1 N} & 0 & \cdots & 0 & 0 & 0 \\ P_{N N-1} & -1 & P_{N-2 N-1} & \cdots & 0 & 0 & 0 \\ \vdots & & \ddots & & \vdots & \vdots & \vdots \\ & & P_{k k-1} & -1 & P_{k-1 k} & & \\ \vdots & & & & \ddots & & \\ 0 & 0 & 0 & \cdots & P_{-(2N-3) -(2N-2)} & -1 & P_{-(2N-1) -(2N-2)} \\ 0 & 0 & 0 & \cdots & 0 & P_{-(2N-2) -(2N-1)} & -1 \\ 1 & 1 & 1 & \cdots & 1 & 1 & 1 \end{bmatrix} \quad (4.45)$$

$$\mathbf{X} = \begin{bmatrix} P_N \\ P_{N-1} \\ \vdots \\ P_k \\ \vdots \\ P_{-(N-2)} \\ P_{-(N-1)} \end{bmatrix}, \quad \mathbf{Y} = \begin{bmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ \vdots \\ 0 \\ 0 \\ 1 \end{bmatrix} \quad (4.46)$$

と記述できる。これらの式より、各遷移状態をとる確率が求まる。出力の期待値は

$$F = \sum_{i=-(N-1)}^N i \cdot P_i \quad (4.47)$$

により求められる。

4.5 シミュレーションによる検証

以上の解析が正しいことをシミュレーションにより確認した。図 4.5 のブロック図を、TA モードで動作しているとして MATLAB 上で構成し、入力信号として、直流信号に特定の標準偏差を持つガウス分布の乱数を加え、出力の平均および 2 乗平均を求めた。その他の条件は以下の通りである。

1. 入力信号範囲 (s) : 0~1LSB
2. ノイズ振幅 (σ) : 0~2LSB
3. 平均処理回数 (M) : 64, 128, 256, 512, 1024
4. 初段の積分器, 2 段目の積分器は十分なデジタルダイナミックレンジ (状態数無制限)

シミュレーションにおいて、初段の積分器のダイナミックレンジが十分な値を持つという条件は、デジタル積分器が誤動作をしない条件と等価である。もし、ダイナミックレンジが狭く、状態数が 4 値であると仮定すると、当然ながら大きなノイズが重畳した入力信号は、-1LSB から 2LSB の範囲を外れる確率が高い。これは、たとえば積分器の値が最大値である 2 (2 進数で 11) を出力しているときにコンパレータがさらに 1 を出力したとき出力は桁上りが無視され 0 (2 進数で 00) となり誤動作の原因になるためである。

以上の条件下でのシミュレーションの結果を以下に示す。図 4.21 には理想的な値 ($F = s$) に対する出力の誤差を示す。この誤差はランダムノイズの誤差と、量子化ノイズの誤差をあわせた誤差である。

図中のドットで示したデータは MATLAB によるシミュレーション結果であり、線で示したものが前章の解析結果である。解析モデルにおける状態数は、-10 から 11 までの 22 状態とした。4 状態での解析で述べたように、ランダムノイズが極小さな $\sigma = 0.2\text{LSB}$ のときは入力信号が 0 と 1 付近で急激に量子化誤差が減少しており、解析手法とシミュレーション結果は一致している。それから徐々にノイズ振幅を増すにしたがい量子化誤差が急激に減少し、解析の計算上は 0.4LSB 付近からほとんど量子化誤差がなくなっている。さらにランダムノイズが増すと、回路シミュレーションの積分回数が有限であるために、加えたランダムノイズ自体が顕著に現れている。

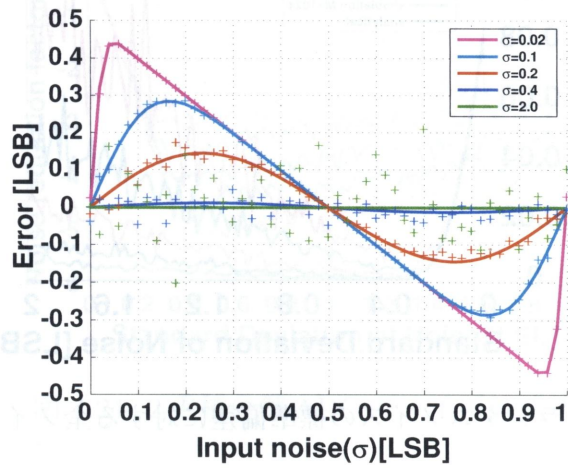


図 4.21: 異なるランダムノイズに対する量子化ノイズと入力信号の関係

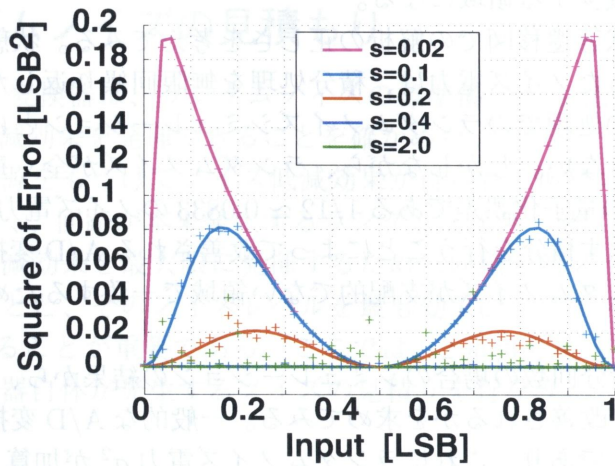


図 4.22: 異なるランダムノイズに対する量子化ノイズ電力と入力信号の関係

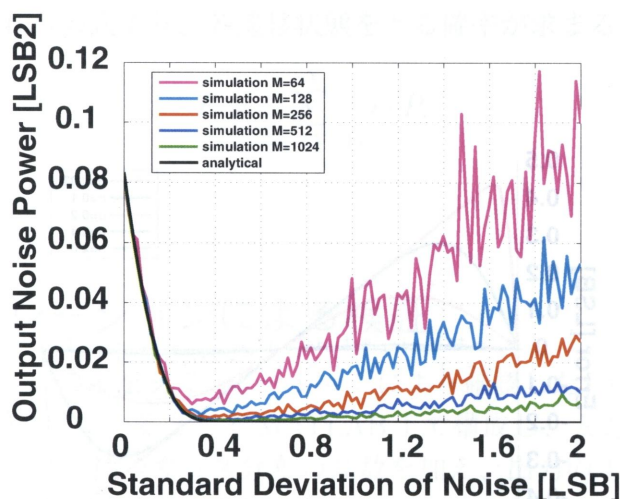


図 4.23: ランダムノイズの標準偏差に対する全ノイズ電力

図 4.22 は理想値からのずれの分散を示している。図 4.23 は分散の積分値であり、入力のノイズ振幅に対する出力の平均ノイズ電力を示す。黒い曲線で示されたものは前章の解析の結果であり、他の曲線は積分回数を 64, 128, 256, 512, 1024 とした場合のシミュレーションの結果である。入力の雑音振幅が小さい場合は、積分回数によらずに様に減少する。ノイズ振幅が 0.3 から 0.4LSB 付近になると、量子化ノイズがもっとも効果的に低減され、ノイズ電力の極小値になっている。入力雑音振幅がさらに大きくなると、加えたランダムノイズが支配的になり、積分回数に比例してノイズ電力が減少する領域になる。

ここで、この状態遷移図での解析の正しさを考えてみる。状態遷移図を用いた数値解析より求めたノイズ電力は、積分処理を無限回繰り返した場合と等しいために、有限時間内の処理でのランダムノイズシミュレーションとは厳密に 1 対 1 であることを証明できない。しかしながら、ランダムノイズが全く重畳していない場合は、A/D 変換器の量子化誤差である $1/12 \approx 0.0833$ のノイズ電力を出力することと、後に述べる図に示す積分を行うことによって改善される A/D 変換器のノイズ低減効果が、加えたランダムノイズが支配的でない領域で一致するためにこの解析は正しいと考える。

次に、各々の積分回数の場合のシミュレーションの結果から、どの程度 A/D 変換器のノイズ特性が改善されるかを求めてみる。一般的な A/D 変換器の量子化誤差電力は $1/12 (\Delta = 1)$ であり、これにランダムノイズ電力 σ^2 が加算され $1/12 + \sigma^2$ となる。TA モードにおける処理の結果得られるノイズ電力を N_{rq} とすると、その比から

$$B = \log_2 \sqrt{\frac{N_{rq}}{(1/12 + \sigma^2)}} \quad (4.48)$$

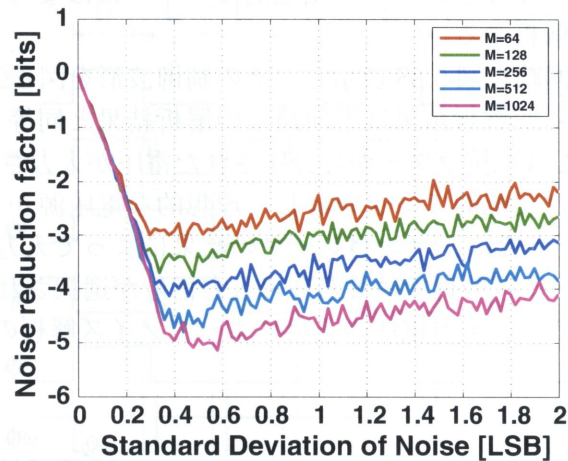


図 4.24: 2重積分型 ADC のノイズ低減効果

と B bit のノイズ低減効果がある。その低減量とランダムノイズ振幅の関係を図 4.24 に示す。

これより、積分回数が 1024 回するとき最大で約 5bit の量子化ノイズとランダムノイズの低減効果が得られることがわかった。もし、カラムのインクリメンタル ADC モードの分解能が 10bit とすると TA モードを通すことで約 $14\sim 15\text{bit}$ 相当のダイナミックレンジが得られることがわかる。

4.6 ランダムノイズの見積もり

2重積分型 A/D 変換器は、ランダムノイズの標準偏差が 0.4LSB の程度の場合に最大限のノイズ低減効果を発揮できることを確かめた。これらのランダムノイズは、回路にノイズ発生源をもうけてノイズ低減効果が得られる所望のノイズを意図的に付与するのではなく、回路が本来発生するランダムノイズ（熱ノイズ）を利用する。従って、ノイズ低減効果を最大限に発揮するために回路の熱ノイズがどの程度になるかを見積もることと、そのノイズレベルを最も効果的にノイズ低減が可能である 0.4LSB に調整することが重要である。ここでは、2重積分型 A/D 変換器のコアであるアナログ積分器自体が発生するノイズの見積りを行なう。

4.6.1 ノイズ解析をする回路

2重積分型 A/D 変換器を用いるイメージセンサにおいて、ノイズを発生する回路は画素とアナログ参照電圧の発生器であるアナログ積分器である。3章でのノイズ解析から画素で発生するノイズは $80\mu\text{V}_{\text{rms}}$ オーダーであり、本章で用いる画素は 3章

のものよりサイズが若干多きために支配的なノイズにはならない。よってアナログ積分器のノイズを解析する。

解析する回路の半回路を図 5.38 に示し、その制御波形を図 4.26 に示す。実際の回路は全差動回路であるが解析結果は半回路での解析結果と同等である。アナログ積分器への入力電圧 $n\Delta$ は抵抗ラダーから分圧された電圧が入力されるが、ここでは抵抗ラダーでのノイズは支配的ではないとして理想的な電圧源から電圧が供給されると仮定する。TA モードでは、コンパレータの結果によって入力電圧 $n\Delta$ は $-n\Delta$ をとることもあるが、ノイズ解析ではどちらの入力信号が選択されてもスイッチの ON 抵抗は同じであるために、入力電圧の正負によってノイズ解析の結果は変わらない。

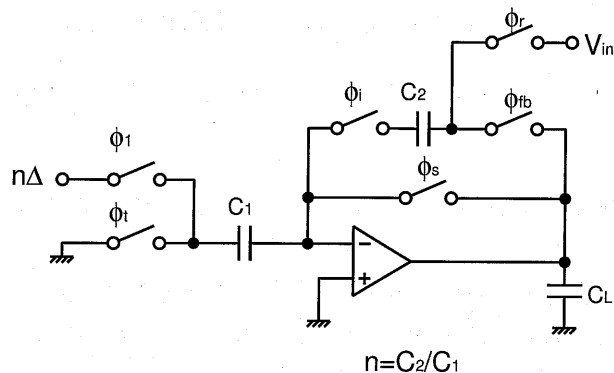


図 4.25: ノイズ解析を行うアナログ積分器

図 5.39 に示す時間 t_1 の区間は、フィードバック容量を初期化リファレンス電圧 V_{ini} に接続することで出力電圧を初期化しているフェーズである。続いて時間 t_2 において C_1 に蓄積された電荷が容量 C_2 に転送される。ここで C_1 と C_2 の比率をとることで入力参照電圧 $n\Delta$ のノイズのゆらぎに耐性を持たせる。このフェーズにおいて出力される DC 電圧は $C_2/C_1 = n$ であるので Δ である。このフェーズでこの回路の出力が初期電圧より Δ だけ高い電位に設定される。続いて時間 t_3 でスイッチ ϕ_i が切断されて C_1 に電荷が蓄積される。同様に時間 t_4 において電荷がフィードバック容量 C_2 に転送され電圧がまた Δ 上昇する。このように、 t_5, t_6, \dots と同様の動作をし、時刻が進むにつれ出力の電圧が徐々に上昇する。また、この動作をする場合の回路のノイズは、1 回の積分動作ごとノイズが蓄積される。以上のことから、解析を行う回路は時刻によって変化するために

- 回路の初期状態で蓄積され、その転送後に出力されるノイズ
- 入力信号のサンプル時に蓄積され、その転送後に出力されるノイズ（電圧積分動作）

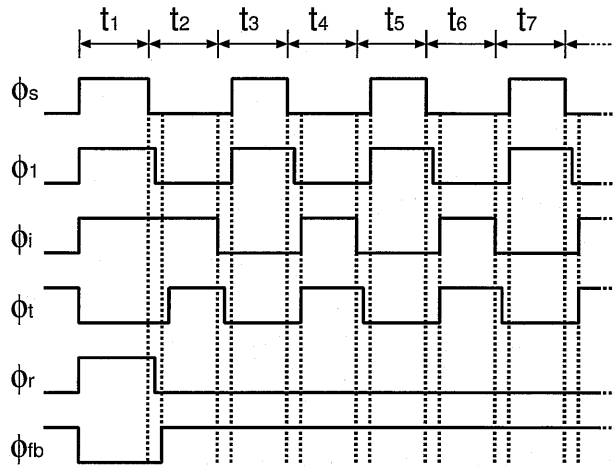


図 4.26: アナログ積分器の制御信号

- 入力信号転送後に回路から直接出力されるノイズ

を考える必要がある。

以下に初期状態 (t_1) におけるノイズ解析の等価回路、初期状態から参照電圧を転送した状態 (t_2) での等価回路、電圧積分モード (t_3, t_4) でのノイズ解析の等価回路についてそれぞれ解析を行う。

4.6.2 初期状態での回路のノイズ解析

図 4.27 に初期状態 t_1 での回路の接続状態と図 4.28 にノイズ解析のための等価回路を示す。ここで、等価回路での C_i はアンプの入力容量である。ノイズ源は、スイッ

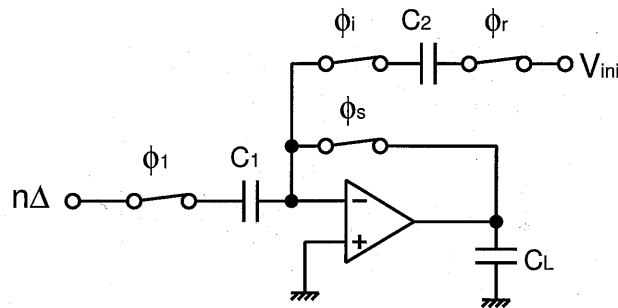


図 4.27: 初期状態 t_1 におけるアナログ積分器

チが制御信号により ON している状態の ON 抵抗が発生するノイズと、アンプが発

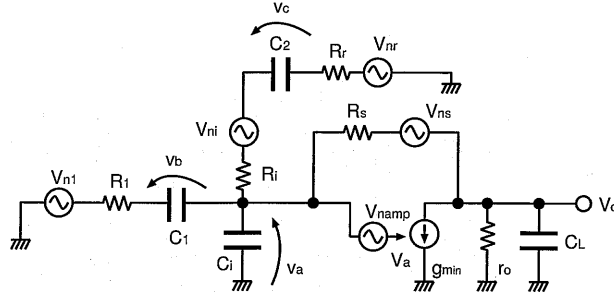


図 4.28: 初期状態 t_1 におけるアナログ積分器のノイズ解析のための等価回路

生ずるノイズがある。これらのノイズが各々ノイズを発生し、アンプの入力容量 C_i とサンプル容量 C_1 にノイズ電荷としてサンプルされる。これらのノイズが次の時刻 t_2 においてフィードバック容量 C_2 に転送される。抵抗 R_1, R_i, R_r, R_s 、とアンプで発生するノイズのノイズスペクトル密度をそれぞれ $S_{n_1}, S_{n_i}, S_{n_r}, S_{n_s}, S_{n_{amp}}$ とすると

$$S_{n_1} = 4kTR_1 \quad (4.49)$$

$$S_{n_i} = 4kTR_i \quad (4.50)$$

$$S_{n_r} = 4kTR_r \quad (4.51)$$

$$S_{n_s} = 4kTR_s \quad (4.52)$$

$$S_{n_{amp}} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (4.53)$$

と記述できる。各々の PSD はスイッチは抵抗体として考え、アンプの PSD は 3 章と同様に電流源で発生するノイズを入力側のトランジスタの g_m で表記している。

各ノイズ源に対し、発生するノイズ電荷は

$$\begin{aligned} Qn_1^2 = & S_{n_1} \int_0^\infty (C_{in}^2 H_{1a}^2 + C_1^2 H_{1b}^2 + C_2^2 H_{1c}^2 \\ & + 2C_{in}C_1 \text{Re}\{H_{1a}^* H_{1b}\} + 2C_{in}C_2 \text{Re}\{H_{1a}^* H_{1c}\} \\ & + 2C_1C_2 \text{Re}\{H_{1b}^* H_{1c}\}) df \end{aligned} \quad (4.54)$$

$$\begin{aligned} Qn_i^2 = & S_{n_i} \int_0^\infty (C_{in}^2 H_i^2 + C_1^2 H_i^2 + C_2^2 H_i^2 \\ & + 2C_{in}C_1 \text{Re}\{H_i^* H_{ib}\} + 2C_{in}C_2 \text{Re}\{H_i^* H_{ic}\} \\ & + 2C_1C_2 \text{Re}\{H_{ib}^* H_{ic}\}) df \end{aligned} \quad (4.55)$$

$$\begin{aligned} Qn_r^2 = & S_{n_r} \int_0^\infty (C_{in}^2 H_r^2 + C_1^2 H_r^2 + C_2^2 H_r^2 \\ & + 2C_{in}C_1 \text{Re}\{H_r^* H_{rb}\} + 2C_{in}C_2 \text{Re}\{H_r^* H_{rc}\} \\ & + 2C_1C_2 \text{Re}\{H_{rb}^* H_{rc}\}) df \end{aligned} \quad (4.56)$$

$$Qn_s^2 = S_{n_s} \int_0^\infty (C_{in}^2 H_s^2 + C_1^2 H_s^2 + C_2^2 H_s^2$$

$$\begin{aligned}
& +2C_{in}C_1Re\{H_{s a}^*H_{s b}\} + 2C_{in}C_2Re\{H_{s a}^*H_{s c}\} \\
& +2C_1C_2Re\{H_{s b}^*H_{s c}\})df \tag{4.57}
\end{aligned}$$

$$\begin{aligned}
Qn_{amp}^2 = & Sn_{amp} \int_0^\infty (C_{in}^2H_{amp a}^2 + C_1^2H_{amp b}^2 + C_2^2H_{amp c}^2 \\
& +2C_{in}C_1Re\{H_{amp a}^*H_{amp b}\} + 2C_{in}C_2Re\{H_{amp a}^*H_{amp c}\} \\
& +2C_1C_2Re\{H_{amp b}^*H_{amp c}\})df \tag{4.58}
\end{aligned}$$

と記述される。ここで $H_{m n}$ はノイズ源 m からキャパシタ両端へのノード n への伝達関数である。それぞれ、相関の項まで考慮して計算する。次の時刻 t_2 において転送され、アナログ積分器の出力に現れるノイズ電力は以上の成分の加算で表されるので

$$Qn_{tot}^2 = Qn_1^2 + Qn_i^2 + Qn_r^2 + Qn_s^2 + Qn_{amp}^2 \tag{4.59}$$

$$\frac{v_{t1}^2}{C_2^2} = \frac{Qn_{tot}^2}{C_2^2} \tag{4.60}$$

とアナログ積分器が初期化動作の後出力するノイズ電力がもとまる。

4.6.3 偶数時刻 t_2 でのノイズ解析

時刻 t_2 で考えるべきノイズは2種類ある。第一に、時刻 t_2 で各ノイズ源が発生する個々のノイズが回路を介して直接出力するノイズである。第二に、時刻 t_3 に切り替わったときに時刻 t_2 で発生していたノイズの一部が C_2 に残留することで生じるノイズである。直接出力されるノイズは t_2 の時点でのみ一度出力されて他の時刻のノイズには影響しない。しかしながら、 t_3 に切り替わる時点で C_2 に残留するノイズは積分器の動作終了時まで蓄積されたままの状態を続ける。従って、積分回数が増すほどこのノイズは増す。

直接出力されるノイズ

時刻 t_2 で直接出力されるノイズの解析を行う。時刻 t_1 でアンプの入力容量と入力寄生容量に生じたノイズ電荷は前述の通り、この時刻で転送される。このノイズに加えて、時刻 t_2 で各ノイズ源が発生するノイズが直接出力される。時刻 t_2 での回路の状態を図 4.29 に示し、図 4.30 にその等価回路を示す。この時刻でのノイズ電荷はノイズスペクトル密度と伝達関数を用いて

$$Sn_1 = 4kTR_1 \tag{4.61}$$

$$Sn_i = 4kTR_i \tag{4.62}$$

$$Sn_{fb} = 4kTR_{fb} \tag{4.63}$$

$$Sn_s = 4kTR_s \tag{4.64}$$

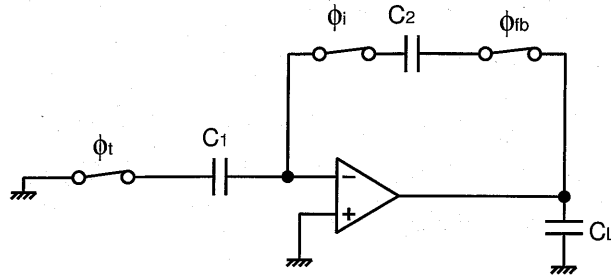


図 4.29: 時刻 t_2 におけるアナログ積分器

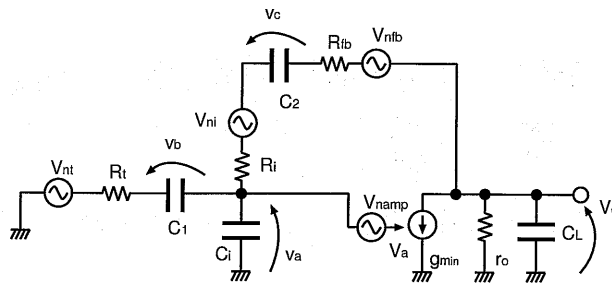


図 4.30: 時刻 t_2 におけるアナログ積分器のノイズ解析のための等価回路

$$S_{n_{amp}} = \frac{8}{3} kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (4.65)$$

$$Qn_1^2 = S_{n_1} \int_0^\infty C_L^2 H_i^2 \circ df \quad (4.66)$$

$$Qn_i^2 = S_{n_i} \int_0^\infty C_L^2 H_i^2 \circ df \quad (4.67)$$

$$Qn_{fb}^2 = S_{n_{fb}} \int_0^\infty C_L^2 H_r^2 \circ df \quad (4.68)$$

$$Qn_s^2 = S_{n_s} \int_0^\infty C_L^2 H_s^2 \circ df \quad (4.69)$$

$$Qn_{amp}^2 = S_{n_{amp}} \int_0^\infty C_L^2 H_{amp}^2 \circ df \quad (4.70)$$

で示される。各ノイズ源から直接出力に現れるノイズ $\overline{v_{t2}^2}$ は

$$Qn_{tot}^2 = Qn_1^2 + Qn_i^2 + Qn_r^2 + Qn_s^2 + Qn_{amp}^2 \quad (4.71)$$

$$\overline{v_{t2}^2} = \frac{Qn_{tot}^2}{C_L^2} \quad (4.72)$$

で示される。この時刻 t_2 で発生するノイズはアナログ積分器の回路構成が変化すると出力されなくなる。

蓄積されるノイズ

この時刻 t_2 における回路状態で各ノイズ源から出力されるノイズ電荷が帰還容量 C_2 の両端に蓄積される。この蓄積されるノイズは上記の直接出力されるノイズの一部担うものである。このノイズがスイッチの切り替わり (t_2 から t_3) において容量 C_2 に残留する。このノイズは、同様にノイズ源から容量 C_2 までの PSD と伝達関数を用いて式

$$S_{n_1} = 4kTR_1 \quad (4.73)$$

$$S_{n_i} = 4kTR_i \quad (4.74)$$

$$S_{n_{fb}} = 4kTR_{fb} \quad (4.75)$$

$$S_{n_s} = 4kTR_s \quad (4.76)$$

$$S_{n_{amp}} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (4.77)$$

$$Q_{n_1}^2 = S_{n_1} \int_0^\infty C_2^2 H_{t_2}^2 df \quad (4.78)$$

$$Q_{n_i}^2 = S_{n_i} \int_0^\infty C_2^2 H_i^2 df \quad (4.79)$$

$$Q_{n_{fb}}^2 = S_{n_{fb}} \int_0^\infty C_2^2 H_r^2 df \quad (4.80)$$

$$Q_{n_s}^2 = S_{n_s} \int_0^\infty C_2^2 H_s^2 df \quad (4.81)$$

$$Q_{n_{amp}}^2 = S_{n_{amp}} \int_0^\infty C_2^2 H_{amp}^2 df \quad (4.82)$$

と示される。残留するトータルのノイズ $\overline{v_{i2}'^2}$ は

$$Q_{n_{tot}}^2 = Q_{n_1}^2 + Q_{n_i}^2 + Q_{n_r}^2 + Q_{n_s}^2 + Q_{n_{amp}}^2 \quad (4.83)$$

$$\overline{v_{i2}'^2} = \frac{Q_{n_{tot}}^2}{C_2^2} \quad (4.84)$$

と記述される。このノイズはアナログ積分器の動作終了時点まで蓄積される。

4.6.4 奇数時刻 t_3 でのノイズ解析

続いて時刻 t_3 における回路状態とその等価回路を図 4.31 と図 4.32 に示す。信号の線形性を確保するためにアンプの入力側のスイッチである ϕ_i を OFF している。 ϕ_i の代わりに ϕ_r を OFF する方法もあるがスイッチの ON 抵抗が電圧依存性を持つと非線形性誤差の要因になるので、 ϕ_i を OFF する場合を考える。ちなみに ϕ_i と ϕ_r どちらをさきに OFF しても、この時刻 t_3 における回路の伝達関数は図 4.32 を見てもわかるように容量の片側が浮遊状態になるために変化がない。この状態でアンプの

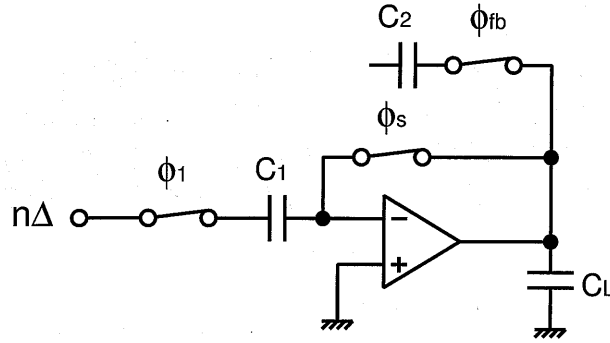


図 4.31: 時刻 t_3 におけるアナログ積分器

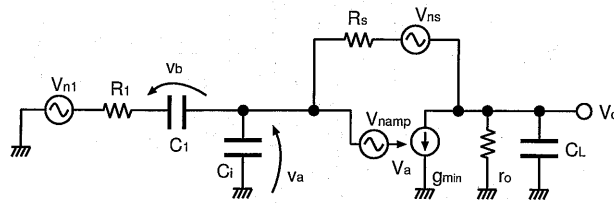


図 4.32: 時刻 t_3 におけるアナログ積分器のノイズ解析のための等価回路

入力に蓄積されるノイズは伝達関数と電力スペクトル密度を用いて

$$Sn_1 = 4kTR_1 \quad (4.85)$$

$$Sn_s = 4kTR_s \quad (4.86)$$

$$Sn_{amp} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (4.87)$$

$$Qn_1^2 = Sn_1 \int_0^\infty (C_{in}^2 H_{1a}^2 + C_1^2 H_{1b}^2 + 2C_{in}C_1 \text{Re}\{H_{1a}^* H_{1b}\}) df \quad (4.88)$$

$$Qn_s^2 = Sn_s \int_0^\infty (C_{in}^2 H_s^2 + C_1^2 H_s^2 + 2C_{in}C_1 \text{Re}\{H_s^* H_s\}) df \quad (4.89)$$

$$Qn_{amp}^2 = Sn_{amp} \int_0^\infty (C_{in}^2 H_{amp a}^2 + C_1^2 H_{amp b}^2 + 2C_{in}C_1 \text{Re}\{H_{amp a}^* H_{amp b}\}) df \quad (4.90)$$

で示される。このノイズが時刻 t_1 の場合に時刻 t_2 にて転送されたのと同様に、時刻 t_3 で発生するノイズは時刻 t_4 で転送されて、以下の式で示されるノイズ電圧を発生する。

$$Qn_{tot}^2 = Qn_1^2 + Qn_s^2 + Qn_s^2 + Qn_{amp}^2 \quad (4.91)$$

$$\overline{v_{t3}}^2 = \frac{Qn_{tot}^2}{C_2^2} \quad (4.92)$$

4.6.5 時刻 t_k で発生するノイズ解析

上記解析の時刻より後のノイズ $\overline{v_{tk}^2}$ は、スイッチトキャパシタの動作が同じ演算の繰り返しによることから、 k が偶数の時刻の場合は出力されるノイズと蓄積されるノイズは時刻 t_2, t_2 で計算したノイズと、奇数の場合は t_3 で計算したノイズと等しい。

4.6.6 アナログ積分器の積分終了時のノイズ

各々の時刻で発生するノイズは、各々独立であるために電力領域で加算が可能である。ここでアナログ積分器が M 回の積分を行ったと仮定する。制御信号は偶数クロック必要なので $M = 2N$ とするとその場合のノイズ $\overline{vn_{final}^2}$ は、

$$\overline{vn_{final}^2} = \overline{vn_1^2} + \overline{vn_{2'}^2} + \overline{vn_3^2} + \overline{vn_{4'}^2} + \dots + \overline{vn_M^2} \quad (4.93)$$

$$= \overline{vn_1^2} + \sum_{k=1}^{N-1} \overline{vn_{2k}^2} + \sum_{k=1}^N \overline{vn_{2k+1}^2} + \overline{vn_M^2} \quad (4.94)$$

$$= \overline{vn_1^2} + (N-1)\overline{vn_{2k}^2} + N\overline{vn_{2k+1}^2} + \overline{vn_M^2} \quad (4.95)$$

$$= \overline{vn_1^2} + (N-1)\overline{vn_2^2} + N\overline{vn_3^2} + \overline{vn_2^2} \quad (4.96)$$

と記述されて、トータルで最終的にアナログ積分器から出力されるノイズ電力は

- 初期化時にサンプルされて転送されるノイズ $\overline{vn_1^2}$
- 偶数時刻 (最終時刻以外) ごとに C_2 に蓄積されるノイズ $\overline{vn_{2k}^2} (= \overline{vn_2^2})$
- 奇数時刻 (初期化時以外) ごとにサンプルされて転送されるノイズ $\overline{vn_{2k+1}^2} = \overline{vn_3^2}$
- 最終時刻に直接出力されるノイズ $\overline{vn_M^2} (= \overline{vn_2^2})$

で示されるノイズの電力の合計となる。

4.7 ノイズの計算と各パラメータへの依存

以上の解析式から実際に SPICE 回路シミュレーションを行いノイズ解析を行った。用いたデフォルトのパラメータを表 4.1 に示す。この解析での目的はノイズ低減効果が最も得られる $0.4LSB$ のノイズを出力する回路構成を探索することである。これらの値を基準に各素子のパラメータを変化させて、ノイズが素子パラメータにどれほど依存するかを解析した。

表 4.1: 積分器のノイズ解析パラメータ

g_{min} (transconductance of column amplifier (input))	$700 \mu\Omega^{-1}$
g_{mn} (transconductance of column amplifier (nMOS))	$99.94 \mu\Omega^{-1}$
g_{mp} (transconductance of column amplifier (pMOS))	$58.756 \mu\Omega^{-1}$
R_1 (on-resistance of input switch)	2.5 k Ω
R_i (on-resistance of feed-back switch)	2.5 k Ω
R_r (on-resistance of feed-back switch)	0.5 k Ω
R_{fb} (on-resistance of feed-back switch)	0.5 k Ω
R_s (on-resistance of feed-back switch)	2.5 k Ω
C_1 (sampling capacitor)	125 fF
C_2 (feed-back capacitor)	2 pF
C_{in} (stray capacitance of column amplifier)	140 fF
C_l (load capacitor)	40 fF
T (room temperature)	27 °C

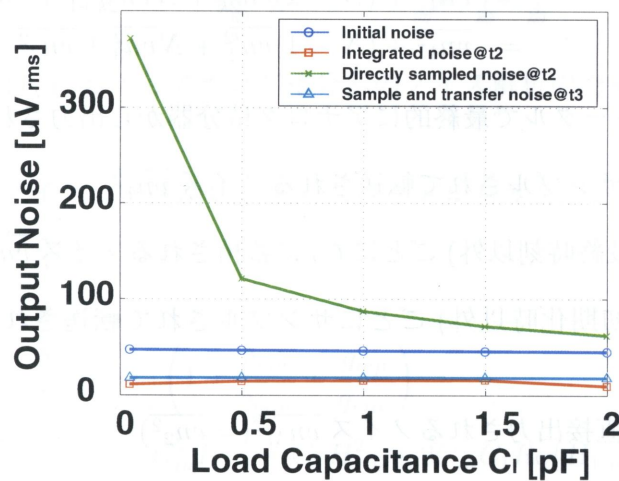


図 4.33: 負荷容量 C_l に対するノイズ電圧

4.7.1 ノイズの負荷容量 C_l への依存

以下に負荷容量 C_l を 40fF, 0.5pF, 1pF, 1.5pF, 2pF とパラメータを変化させたときの各々のノイズを図 4.33 に示す。結果から、偶数時の時刻で直接出力されるノイズが支配的であることがわかる。この支配的なノイズは負荷容量に大きく依存し、容量を大きくすることでノイズを低減できることがわかる。偶数時の演算で残留するノイズは支配的ではないが約 $2.5\mu V_{rms}$ 程度である。また、同等程度のノイズが奇数クロック時に発生し、偶数クロック時に出力される。初期化時のノイズは $5\mu V_{rms}$ 程度

である。

4.7.2 ノイズの入力容量 C_1 への依存

続いて、アンプに接続される入力側の容量 C_1 への依存性を検証した。入力容量 C_1 に対するノイズ電圧を図 4.34 に示す。解析の結果、入力容量が大きくなるにつれてノイズが若干増加する傾向が見られた。アナログ積分器が出力する電圧は、この入力容量 C_1 と帰還容量 C_2 との比で決定されるので、入力換算ノイズとして考えると C_1/C_2 の係数がかかるため低減できることがわかるが、実際に出力するノイズは増す傾向があることが確認された。また、回路が発生する支配的なノイズである偶数時刻 t_2 で発生する直接出力されるノイズはこの容量に依存しないことが確認された。

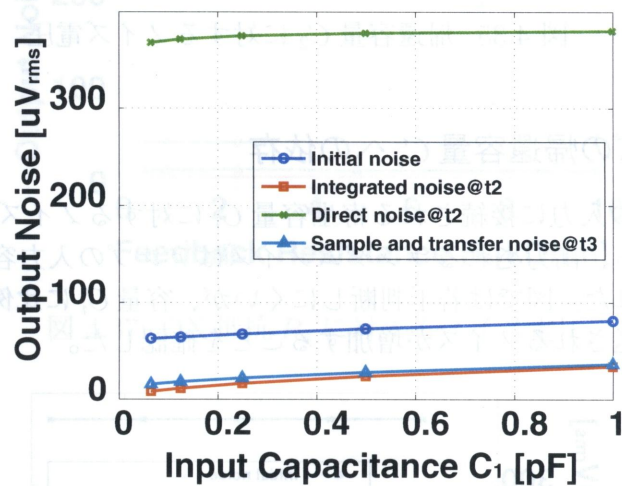


図 4.34: 入力容量 C_1 に対するノイズ電圧

4.7.3 ノイズの帰還容量 C_2 への依存

アンプに接続される帰還容量 C_2 に対する依存性を図 4.35 に示す。結果より、時刻 t_3 で直接出力されるノイズは帰還容量の大きさには影響があまり見られないが、そのほかのノイズについては大きな依存性が見られる。これは、アンプの入力に蓄積されるノイズ電荷量は、回路の切り替わりにおこるスイッチングでは変わらないものの、転送されて容量の両端に現れる電圧が容量が小さいと増すためであると考えられる。逆に考えると、帰還容量が大きいとノイズ電荷に対して発生するノイズ電圧が小さくなるという解釈が可能である。また、この容量はサンプルされて転送されるノイズに大きく関係しているので、ノイズ低減のためにはある程度の大きさのデバイスを用いることが必要となることも示している。

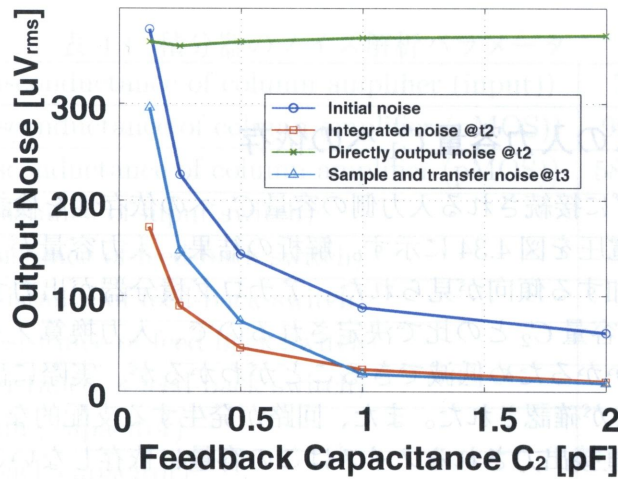


図 4.35: 帰還容量 C_2 に対するノイズ電圧

4.7.4 ノイズの帰還容量 C_i への依存

つぎにアンプの入力に接続される寄生容量 C_i に対するノイズ電圧を図 4.36 に示す。解析結果から、出力されるランダムノイズはアンプの入力容量には支配的ではないことが示された。図では若干判断しにくいですが、容量 C_i に比例して奇数時刻にサンプルされて転送されるノイズが増加することを確認した。

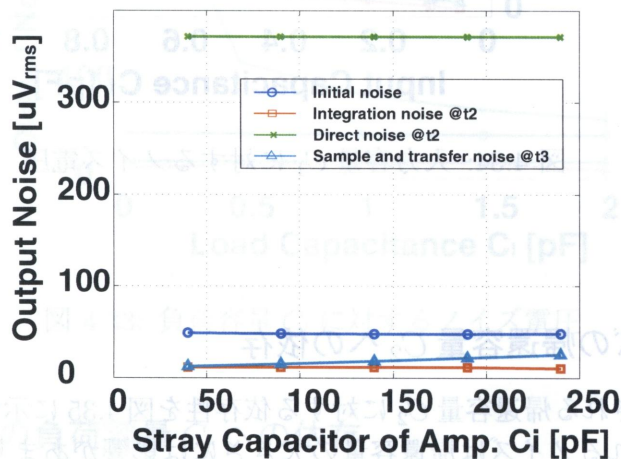


図 4.36: 入力寄生容量 C_i に対するノイズ電圧

4.7.5 ノイズの帰還スイッチのON抵抗 R_s への依存

次に初期化の時点でのみ使用されるアンプの入出力を接続するスイッチのON抵抗 R_s のノイズへの依存を図4.37に示す。この結果から、スイッチのON抵抗はノイズにほとんど無関係であることを確認した。スイッチによっておこるチャージインジェクションなどを低減するためにもアンプの応答が間に合う限り最小サイズのトランジスタをスイッチとして使用することがよいと結論づけられる。

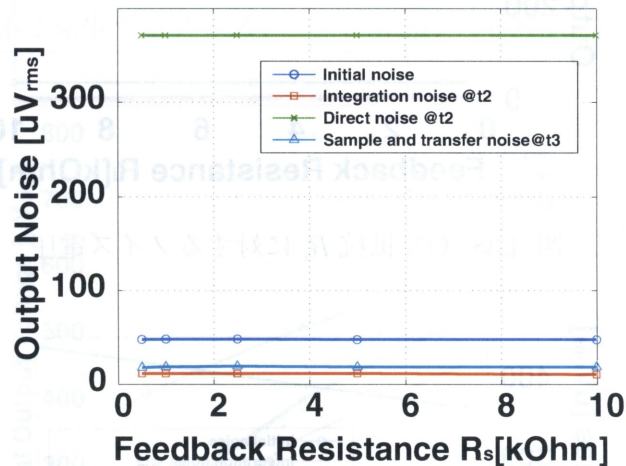


図 4.37: ON 抵抗 R_s に対するノイズ電圧

4.7.6 ノイズの帰還スイッチのON抵抗 R_i への依存

フィードバックキャパシタに直列に接続されたスイッチのON抵抗 R_i のノイズへの影響を図4.38に示す。この結果から、スイッチのON抵抗 R_i は直接出力されるノイズに影響することを確認した。それ以外のノイズに関してはあまり相関がない。従って、このスイッチは直接出力されるノイズが支配的にならないサイズを選択する必要があることを判断できる。

4.7.7 ノイズの帰還スイッチのON抵抗 R_r への依存

同様にアンプの出力側に C_2 と直列に接続されたスイッチのON抵抗 R_i のノイズへの影響を図4.39に示す。結果は先ほどの R_i の結果と同じく、時刻 t_3 で発生するノイズに相関がある特性となった。熱雑音以外のノイズを考慮するとアンプの入力に近いスイッチ R_i よりも、こちらの抵抗 R_r のサイズを大きくしてノイズを低減した方がクロックフィードスルーやチャージインジェクションの観点からも良いと思われる。

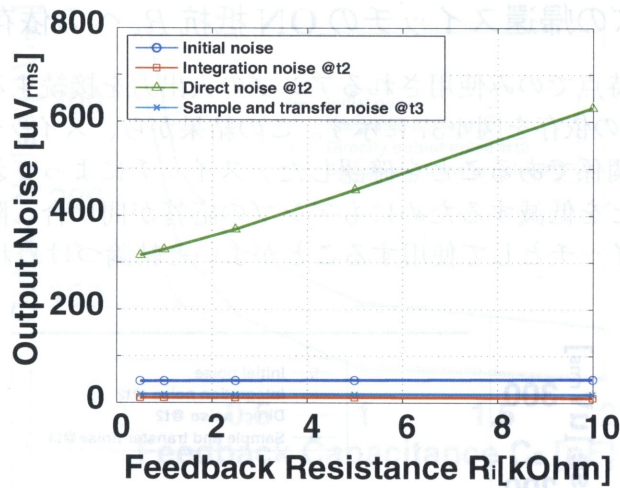


図 4.38: ON 抵抗 R_i に対するノイズ電圧

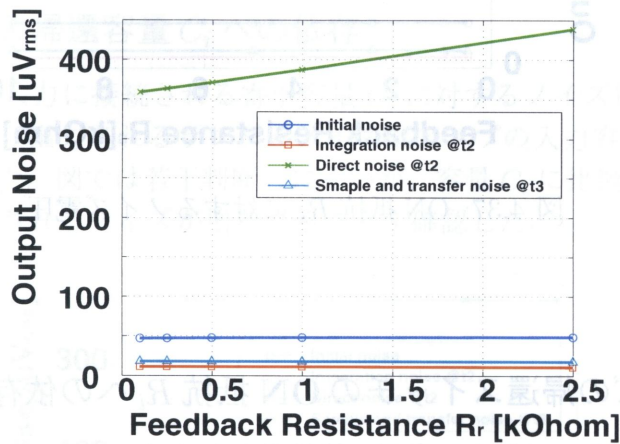


図 4.39: ON 抵抗 R_r に対するノイズ電圧

4.7.8 積分動作により積分器に蓄積されるノイズ

以上の解析結果から、積分動作により積分器に蓄積されるノイズを算出した。解析結果から、ノイズと一番の相関がある負荷容量 C_l に対して積分動作を行ったときの解析結果を表 4.2 に示し、この結果と式 4.96 より得られる結果を図 4.40 に示す。

各々積分回数が増すごとにノイズも積分されてことが確認された。

理想的には、時刻 t_3 で発生する直接出力されるノイズがノイズ低減効果に寄与し、それは Δ を $1mV$ に設定して、積分器の負荷容量を $40fF$ とした場合最大限のノイズ低減効果が得られる約 $0.4LSB$ のランダムノイズとなる。

しかしながら、時刻 t_3 で発生するノイズの一部が積分器に残留し、単位ステップ

表 4.2: アナログ積分器の負荷容量に対するノイズ電圧 (rms)

C_l	0.04pF	0.5pF	1.0pF	1.5pF	2.0pF
$\overline{vn_1}$ (初期化時に発生するノイズ)	48.0 μ V	47.5 μ V	47.1 μ V	46.6 μ V	46.1 μ V
$\overline{vn'_{2k}}$ (偶数時刻で発生し蓄積するノイズ)	11.7 μ V	14.9 μ V	15.7 μ V	16.0 μ V	10.0 μ V
$\overline{vn'_{2k+1}}$ (奇数時刻で発生し蓄積するノイズ)	18.5 μ V	18.9 μ V	18.9 μ V	18.9 μ V	18.8 μ V
$\overline{vn_M}$ (時刻 M で発生するノイズ)	372 μ V	121 μ V	87.7 μ V	72.3 μ V	62.9 μ V

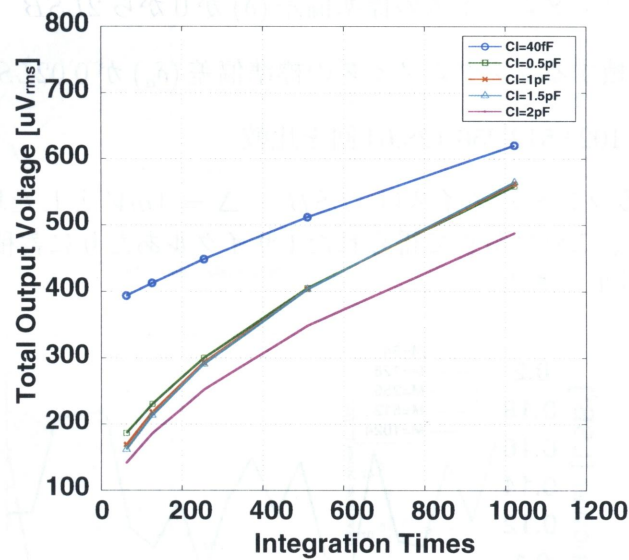


図 4.40: アナログ積分器の積分回数に対するノイズ電圧

Δ がノイズの影響を受けて正確な Δ を出力しなくなることを確認した。

4.8 積分器が蓄積するノイズを考慮したノイズ低減効果の見積もり

積分器の初期動作と参照電圧を出力している偶数時刻 t_n で発生するノイズは負荷容量 C_L に依存するが、約 $100\mu V_{rms}$ から $350\mu V_{rms}$ のオーダーで発生する。実際、ノイズ低減効果が最大になるのは比較器に入力されるノイズが $0.4LSB$ 程度のものであるので、単位ステップ Δ を $1mV$ 程度に選択して負荷容量 $C_L = 40fF$ に選択した場合に最大限のノイズ低減効果が得られる。しかしながら、ノイズ低減効果に寄与するのは直接出力するノイズのみである。初期動作で積分器が発生するノイズと積分

器が蓄積するノイズはノイズ低減効果に寄与しない。

積分器が参照電圧発生のために、入力信号をサンプルし転送する動作では、初期動作で発生するノイズよりも低いものの、1ステップごとに約 $20\mu V_{rms}$ 発生することがわかる。

従って、2重積分型 A/D 変換器のランダムノイズ低減効果と量子化ノイズ低減効果を見積もるためには、参照電圧発生器である積分器の帰還容量 C_2 に残留し蓄積されるノイズもあわせて考慮する必要がある。ノイズ低減効果を見積もるときに行った理想的な単位ステップ Δ を積分器のランダムノイズの影響を考慮して、 $\Delta + \delta_a$ として計算し、その誤差が蓄積(累積)されることを前提に以下の解析を行う。

- 入力信号のランダムノイズの標準偏差 (δ) が 0 から $2LSB$
- 積分器が蓄積するランダムノイズの標準偏差 (δ_a) が $0.02LSB$
- 積分回数は 1024, 512, 256, 128, 64 回を比較

積分器が蓄積するランダムノイズは $1LSB = \Delta = 1mV$ とした場合に $0.02LSB$ は $20\mu V_{rms}$ に対応し、これは解析で得られた1サイクルあたりに蓄積されるランダムノイズと同等のレベルである。

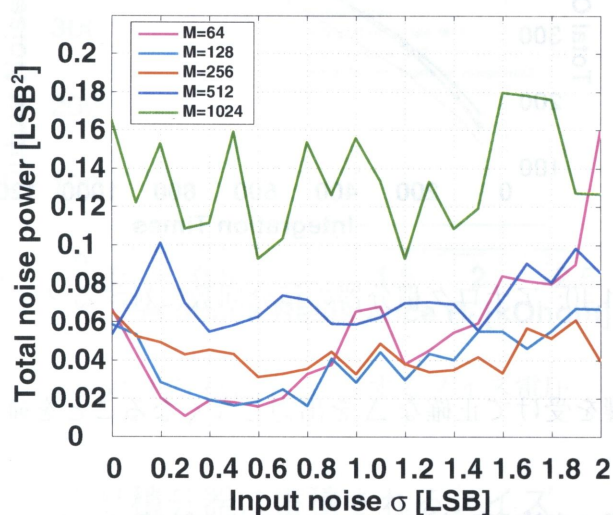


図 4.41: 積分器が $0.02LSB(20\mu V)$ の誤差を蓄積する場合のアナログ積分器の積分回数に対するノイズ電力

積分回数が 64 回で、積分器が毎回 $20\mu V$ のノイズを蓄積すると仮定した場合のシミュレーション結果を図 4.41 に示す。

結果から、積分器が蓄積するノイズがわずか $0.02LSB$ であってもノイズ低減効果を著しく低下させることを確認した。本来積分回数が増すことでランダムノイズと量子化ノイズの低減を行うものであったが、アナログ積分器が蓄積する誤差が積分

動作により支配的になりノイズ低減効果を著しく低減する。このシミュレーション結果は TA モードでのノイズのみを考慮したシミュレーションから導かれたものであることから、実際の回路では IADC モードで重畳するノイズを考慮すると、回路的な工夫なしではさらに特性が悪化することが懸念される。

ここで、実際にどの程度までアナログ積分器が蓄積するノイズを低減すればノイズ低減効果に有効であるかを見積もる。

図 4.42 に、入力されるノイズとアナログ積分器が蓄積するノイズによって、入力換算ノイズがどの程度まで低減するかを示す。

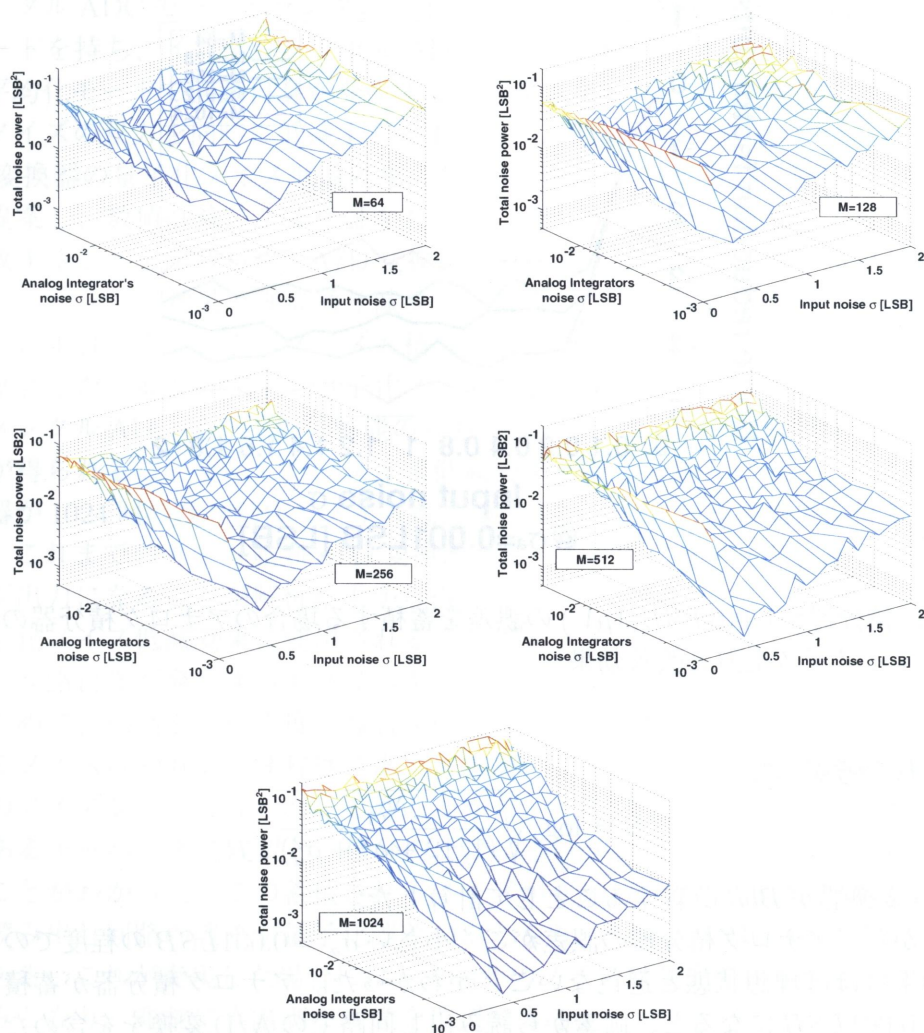


図 4.42: 各々の積分回数で入力のランダムノイズとアナログ積分器が蓄積する誤差に対するノイズ電力

図 4.42 より、積分回数が 64 回程度ではアナログ積分器が蓄積するノイズは支配的

にならない。しかしながら、積分回数が256回になると、アナログ積分器が1クロックサイクルあたり $0.02LSB(20\mu V)$ のノイズを蓄積した場合にはノイズ低減効果があらわれなくなる。

一方、全積分回数の領域においてアナログ積分器が蓄積するノイズが $0.001LSB(1\mu V)$ 程度に低減することができると考えた場合には、本方式のノイズ低減効果が有効であることがわかる。図4.43にアナログ積分器が蓄積するノイズが、1クロックサイクルあたり $0.001LSB(1\mu V)$ の時の入力換算ノイズ電力とそのときのA/D変換器の改善効果を示す。改善効果の算出はアナログ積分器が蓄積するノイズを $\sigma_a = 0.001LSB$

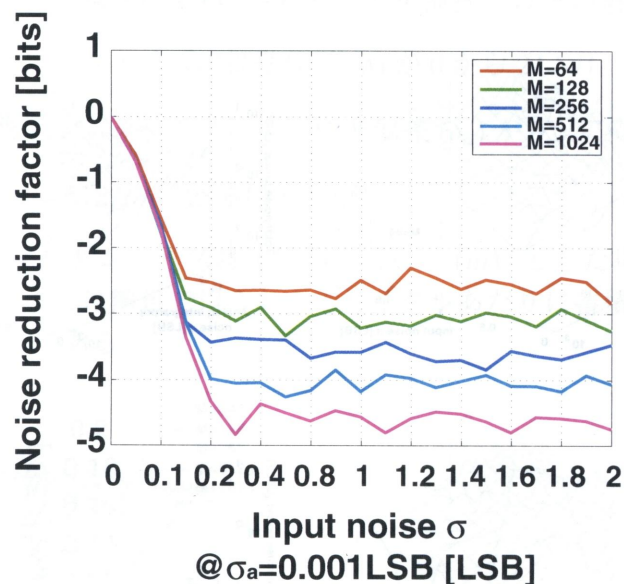


図 4.43: 積分器が $0.001LSB(1\mu V)$ の誤差を蓄積する場合のアナログ積分器の積分回数に対するノイズ電力と改善効果

としこれを考慮して

$$B = \log_2 \sqrt{\frac{N_{rq}}{(1/12 + \sigma^2 + \sigma_a^2)}} \quad (4.97)$$

と A/D 変換器が $Bbit$ 改善することとして計算した。

結果から、アナログ積分器の誤差がごく小さい $\sigma_a = 0.001LSB$ の程度でのノイズ低減効果はほぼ理想状態と遜色ないことがわかった。アナログ積分器が蓄積するノイズが $0.001LSB$ になると、画素から読み出し回路での A/D 変換を含めたトータルの系としてのノイズはダーク時には量子化ノイズのみとなる。カラム A/D 変換器に $10bit$ の A/D 変換器を用いて、1024 回の積分により $15bit$ の分解能を得たと仮定すると、S/N 比が $20\log\sqrt{(2^{-15})^2/12} = 101dB$ を達成可能である。

4.9 まとめ

CMOS イメージセンサのカラムに集積する A/D 変換器で、かつ A/D 変換器自身の量子化ノイズを低減する回路として、2重積分型 A/D 変換器を提案した。本方式は、3章で提案した適応ゲイン増幅器を使用した入力信号が低照度の場合に有効なノイズ低減範囲よりも広く、入力信号全体にわたるノイズ低減が可能である特徴を持つ。また、帯域の狭いカラムにおいて A/D 変換を行うために、出力時に広帯域のノイズが重畳しないために、カラムノイズ低減処理と組み合わせることで低雑音読み出しを可能とする。この2重積分型 A/D 変換器は通常の A/D 変換を行うインクリメンタル ADC モードとランダムノイズと量子化ノイズを低減する信号追従・平均化モードを持ち、インクリメンタル ADC モードで粗く A/D 変換をし、続く信号追従・平均化モードで回路自身が発生するランダムノイズと A/D 変換器が発生する量子化ノイズの双方を同時に低減する効果をもつ。低減効果の確認のため、2重積分型 A/D 変換器の量子化ノイズ低減効果の解析を行った。状態遷移の確率による解析手法を提案し、数値計算による検証を行ない、それが乱数を用いたシミュレーションと一致することを確認した。A/D 変換器の量子化ノイズ電力は積分回数が増えるにつれダイザリング効果で理論通り減少し、また、このとき量子化ノイズ低減のために入力に重畳したランダムノイズも積分回数が増すにつれてともに減少していることを確認した。最も効率よく量子化ノイズを低減するにはノイズの標準偏差がインクリメンタル ADC モードの分解能の $0.4LSB$ 程度になるように設計すると最大限の効果が得られることを示した。ノイズ低減効果が最大の場合には、2重積分型 A/D 変換器が 1024 回の積分動作でノイズ電力は約 4 から 5bit の改善効果を得ることが可能で、これまでのカラム並列 A/D 変換器と比べて非常に低ノイズ、高ダイナミックレンジ出力になることが解析結果から得られた。

量子化ノイズ低減効果に使用されるランダムノイズは、外部より入力されるのではなく回路自体が発生する熱ノイズを使用する。実際に最大限のノイズ低減効果を得るために、回路がどの程度の雑音が発生するかを見積もった。設計した回路が発生するノイズは約 $0.4LSB$ 程度であり、実際にランダムノイズ低減効果を得られる最良のノイズレベルとなった。しかしながら、この発生したノイズがアナログメモリであるキャパシタに残留し、積分のたびにそれが蓄積されノイズ低減効果に影響することがわかった。この蓄積されるノイズが $0.001LSB$ 以下の場合には、A/D 変換器の読み出し回路の誤差が量子化誤差のみとなり、S/N 比では 100dB を超える可能性がある。これが実現した場合には、センサのノイズは受光時に生じるショットノイズのみとなり、非常に高階調な画像を取得できる。

2重積分型 A/D 変換器に使用されるアナログ積分器がノイズを蓄積しない回路構成にすることで、理論通りのノイズ低減効果が得られるものと考えられる。

参考文献

- [1] S. Kawahito, N. Kawai, "Noise calculation model for high-gain column amplifiers of CMOS image sensors," Proc. of SPIE Vol. 5017, pp. 48-58, 2003.
- [2] S. Kawahito, M. Sakakibara, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, and H. Sumi, "A column-based pixel-gain-adaptive CMOS image sensor for low-light-level imaging," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 224 - 225, February 2003.
- [3] D. X. D. Yang, A. El Gamal, B. Fowler, and H. Tian, "A 640×512 CMOS image sensor with ultra wide dynamic range floating-point pixel-level ADC," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 308 - 309, February 1999.
- [4] L. G. McIlrath, "A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion," IEEE Journal of Solid-State Circuits, vol. 36, pp. 846 - 853, May 2001.
- [5] I. Takayanagi, M. Shirakawa, K. Mitani, M. Sugawara, S. Iversen, J. Moholt, J. Nakamura, and E. R. Fossum, "A 1 1/4 inch 8.3M pixel digital output CMOS APS for UDTV application," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 216 - 217, February 2003.
- [6] K. Findlater, R. Henderson, D. Baxter, J. E. D. Hurwitz, L. Grant, Y. Cazaux, F. Roy, D. Herault, and Y. Marcellier, "SXGA Pinned photodiode CMOS image sensor in $0.35 \mu\text{m}$ technology," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 218 - 219, February 2003.
- [7] J. Nakamura, B. Pain, T. Nomoto, T. Nakamura, and E. R. Fossum, "On-focal-plane signal processing for current-mode active pixel sensors," IEEE Trans. Electron devices, Vol. 44, No. 10, pp. 1747-1758, October, 1997.
- [8] M. Mase, et al., "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters," in ISSCC Dig. Tech. Papers, 2005, pp.350-351
- [9] S. Decker, R. McGrath, K. Brehmer, and C. Sodini, "A 256×256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEEE International Solid-State Circuits Conference, vol. XLI, pp. 176 - 177, February 1998.

- [10] W. Yang, O. Kwon, J. Lee, G. Hwang, and S. Lee, "An integrated 800×600 CMOS imaging system," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 304 - 305, February 1999.
- [11] B. Mansoorian, H. Yee, S. Huang, and E. Fossum, "A 250mW, 60 frames/s 1280×720 pixel 9b CMOS digital image sensor," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 312 - 313, February 1999.
- [12] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, and T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," IEEE International Solid-State Circuits Conference, vol. XLIII, pp. 108 - 109, February 2000.
- [13] H. Morimura, S. Shigematsu, T. Shimamura, K. Fujii, C. Yamaguchi, H. Suto, Y. Okazaki, K. Machida, and H. Kyuragi, "An advanced fingerprint sensor LSI and its application to a fingerprint identification system," Symp. VLSI Circuits Dig. 16, pp. 272 - 275, June 2002.
- [14] S. Baik, Y. Cha, Y. Hwang, J. Chung, K. Kang, J. Jeong, Y. Kim, B. Cho, and Y. Shin, "0.79" Single panel liquid crystal on Silicon backplane IC with 1408 8b DACs for HDTV applications," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 220 - 221, February 2003.

第5章

適応積分機能共有カラム並列巡回型 A/D変換器

5.1 はじめに

本章では、適応機能共有カラム並列 1.5bit 巡回型 A/D 変換器について述べる。

3章で述べた適応ゲインカラム増幅方式 [1] [2] は、入力側の容量と帰還側の容量比を入力信号の大きさにあわせて適応的に変化させることで、信号を増幅することで入力換算でノイズ低減を行った。試作したイメージセンサから得られた結果は、カラムでの処理は低ノイズ化に非常に有効であることが確認された。更なる低ノイズ化を目標とし、低照度のみではなく高照度側の入力信号に対してもノイズ低減を行ない、かつ A/D 変換器自身の量子化ノイズも低減する 2重積分型 A/D 変換器を提案した [3]。量子化ノイズの低減に使用されるランダムノイズは、回路自身が発生する熱ノイズを用いる。このノイズレベルは最も量子化ノイズの低減効果が高い $0.4LSB$ であり、外部よりノイズを重畳する必要がないことも確認した。また、2重積分型 A/D 変換器の積分動作で発生するノイズは、1回の積分あたり約 $20\mu V_{rms}$ と非常に小さいことも確認した。このノイズは積分回数が増すに連れて蓄積されるものの、積分回数が少ない場合は非常に低ノイズに積分動作が可能であることを示す。積分器の低ノイズ演算特性を有効に活用することで、低ノイズ読み出し回路を実現する。

ここでは新たに、高照度側のダイナミックレンジを確保しつつ低照度側のダイナミックレンジ拡大方法とするとして、入力信号を適応的に積分しつつ A/D 変換を行う方式を提案する。入力信号のダイナミックレンジを確保しつつ、低照度側のランダムノイズの抑制方式として適応的に積分を行う。積分を行うことで、ランダムノイズを入力換算で低減できることに着目する。本方式の利点は、最もノイズ低減効果の高いと考えられるカラムでの処理を有効に活用しつつ、積分を実現する回路を従来の方法よりも少ない面積で行うことを可能とする点である。また、積分効果によりランダムノイズのみならず $1/f$ ノイズも低減できる可能性を狙ったものである [4]。この文献 [4] によれば 8 回程度の積分で $1/f$ ノイズの低減限界とほぼ同等のレベルまで低減できることを述べている。

もう一つの利点として、本方式は適応積分器が 1.5bit 巡回型 A/D 変換器 [5] として動作することである。

近年報告されているカラムの A/D 変換器で主なものは、逐次比較型 [6] [7] [8]、積

分型 [9] [10] [11]、 $\Delta\Sigma$ 型 [12]、巡回型 [13] [5] がある。逐次比較型は高速で動作するものの、分解能を向上させるために mismatches の抑制のためデバイスサイズが大きくなる欠点がある。積分型はカラムの占有面積を小さくでき、読み出し方法などを工夫することでダイナミックレンジを広くとることが可能であるが、A/D 変換に時間を要する。前章の 2 重積分型は、これに考え方が近い方式である。 $\Delta - \Sigma$ 型 A/D 変換器は精度は取りやすいものの、オーバーサンプリングを行うために読み出し速度が制限されたり、高次のデジタルフィルタを搭載する場合の回路面積が問題となる。巡回型は回路の面積が大きくなりがちであるといった欠点があったが [5] で欠点を克服する 1.5bit のカラム巡回型 A/D 方式が考案され、分解能も今まで発表されているカラム A/D の中で一番高い 12bit 精度を実現している。

A/D 変換器の 1.5bit アーキテクチャ [14] はカラムの限られた面積において高精度の A/D 変換器を実現するための非常に重要な技術である。適応積分器に可能な限り少ない回路を追加することで 1.5bit 巡回型 A/D 変換器を構成し、読み出し演算時間領域で機能を変更することで面積の削減を図る。適応積分器には、入力信号のレベル判定を行う比較器、積分演算を行う積分器とこれらの制御回路から構成される。この比較器と比較電圧は、特別な回路の付与なしに 1.5bit A/D 変換器に用いる比較器と比較電圧にそのまま使用することが可能である。1.5bit の A/D 変換器には、計 2 つの比較器が必要であるために、適応積分器にわずか一つの比較器と A/D 変換器のための制御回路を追加することで適応積分器が 1.5bit の A/D 変換器として動作が可能である。

カラム回路はカラムの列すべての回路が同じタイミングで動作するために、各カラムで各々が制御する回路はわずかである。そのため各カラムで必要となる制御回路は小規模で済む。実際、適応積分器に 1.5bit 巡回型 A/D 変換器の機能を追加した回路と 1.5bit 巡回型 A/D 変換器単体での回路では、わずか 15 個程度のデジタルロジックの差である。

このように、適応機能共有カラム並列 1.5bit 巡回型 A/D 変換器はカラムという限られた面積においてノイズ低減を行いつつ高精度の A/D 変換を行う方式としてとても有用である。以下その詳細を述べる。

5.2 適応積分機能共有カラム並列 1.5bit 巡回型 A/D 変換器を用いた CMOS イメージセンサの構成

図 5.1 に適応積分機能共有カラム並列 1.5bit 巡回型 A/D 変換器を用いた CMOS イメージセンサの構成を示す。

受光部は 64×64 の画素アレイ、適応積分機能共有カラム並列 1.5bit 巡回型 A/D 変換器、出力信号のメモリ、これらを制御するスキャナなどの制御回路からなる。以下、順に画素部とその動作、カラム増幅器の構成、比較器の構成とその動作、その後 1.5bit A/D 変換器の構成と動作を述べる。

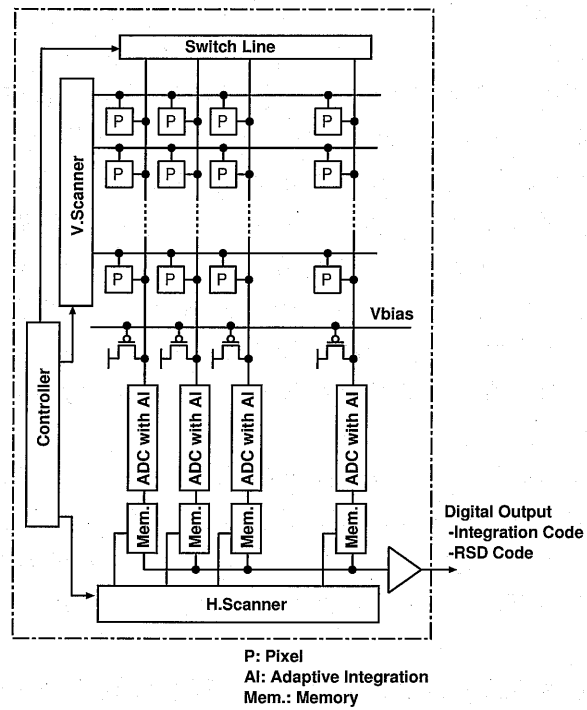


図 5.1: 適応積分機能共有カラム並列 1.5bit 巡回型 A/D 変換器を用いた CMOS イメージセンサの構成

5.3 画素部の構成

本方式のイメージセンサを作成下プロセスは TSMC の $0.25\mu\text{m}$, CMOS イメージセンサ専用 (CIS) プロセスである。これは CMOS イメージセンサ用に画素部の不純物濃度をチューニングしたものであるが、埋め込みフォトダイオードは使用できないプロセスである。また、4Tr タイプの画素であると電荷の完全転送が不可能なため 3Tr 構造で作成した。図 5.2 に画素部の構成を示す。画素部はフォトダイオード 4 つ

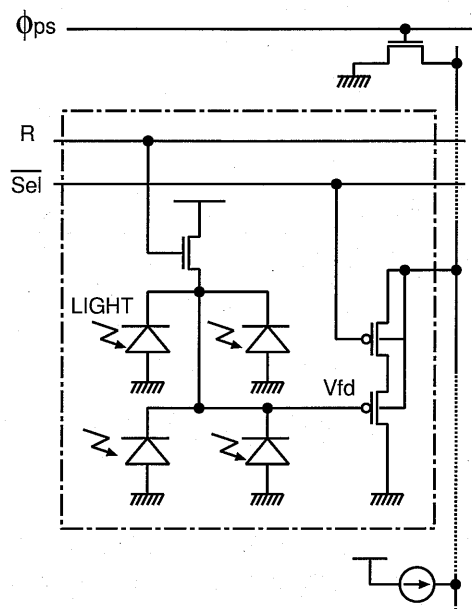


図 5.2: 画素部の構成

で受光し PMOS のソースフォロワで信号を読み出す。フォトダイオード 4 つで 1 つの画素として受光を行う。

画素アンプを PMOS ソースフォロワで作成する理由は 2 つある。まず、PMOS トランジスタは $1/f$ ノイズが NMOS トランジスタに比べて約 1 桁低いといわれるためである。これはネイティブのトランジスタが、PMOS の場合は閾値が高すぎるために、同属性の P 型の不純物が酸化膜とチャネル界面にドーピングされ閾値調整された結果、チャネルのできる領域が界面よりもわずかに深いところとなり、界面の欠陥の影響を受けにくいため $1/f$ ノイズの抑制につながることに起因する。

この PMOS の低 $1/f$ ノイズ特性に加えて、さらに $1/f$ ノイズの低減を行うために基板電位を ϕ_{ps} で一時的にグランド電位に落とす機能を追加する。この機能は有効無効の切り替えができるように設計した。これは、NMOS のソースフォロワでは画素部の基板全体が共通のグランド電位になっているため不可能であるが、PMOS ならば各々のソースフォロワを構成するトランジスタが n-well で分離されているため可

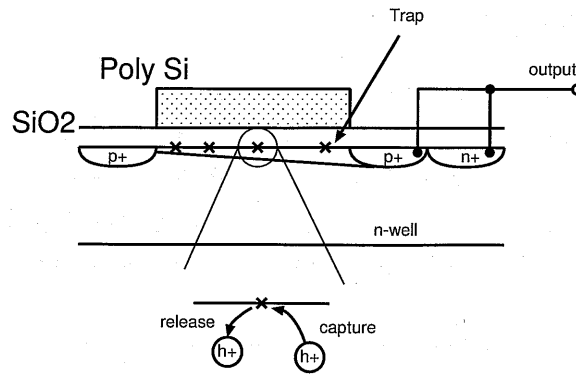


図 5.3: 画素部トランジスタのトラップ

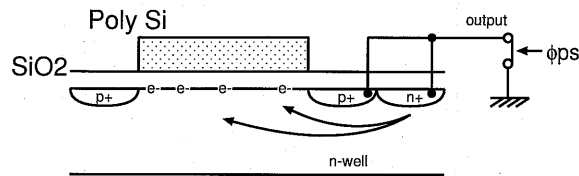


図 5.4: 画素部トランジスタのトラップ初期化

能である。1/fノイズは、図 5.3 に示す欠陥準位にトラップされたチャージが時間的に不規則にリリースされることが原因で発生すると考えられている。一旦基板電位をグランドに接続すると、PMOS の酸化膜とチャネルの界面に存在するダングリングボンド (欠陥準位) のチャージを一度クリアし、かつ多数キャリアである電子で欠陥準位を満たすことが可能である。図 5.4 のように、読み出す前に一度欠陥準位にトラップされているチャージをすべて取り去ってから (グランド電位に落としてから) 読み出すと、電圧をグランドレベルに落とした直後に欠陥準位にチャージがトラップされるが、画素信号の読み出し時間内にリリースされるものはごくわずかになり、1/fノイズが低減できる。実際に、文献 [15] では 1/fノイズがこの操作により低減されていることが確認されている。

画素の構成は 3Tr 方式であるために、CDS(相関 2 重サンプリング) は画素の固定パターンノイズのキャンセル効果しかなく、リセットノイズは除去できない。3Tr タイプの画素でリセットノイズの除去を行うために、さらに読み出し方式を工夫する。図 5.5 に画素部の制御信号を示す。まず、画素が垂直選択信号により選択されて、画素にリセット信号が入力される。このとき、スイッチ ϕ_{ps} が動作するモードであればソースフォロワの出力をスイッチ ϕ_{ps} によりグランド電位に接続し、PMOS のチャネルに存在する欠陥準位にトラップされているキャリアをすべてリリースする。その後 ϕ_{ps} 、 R の順にスイッチを切る。ソースフォロワを通して画素のリセット信号が出力され、カラムの適応積分器によって適応的に信号が積分、A/D 変換される。

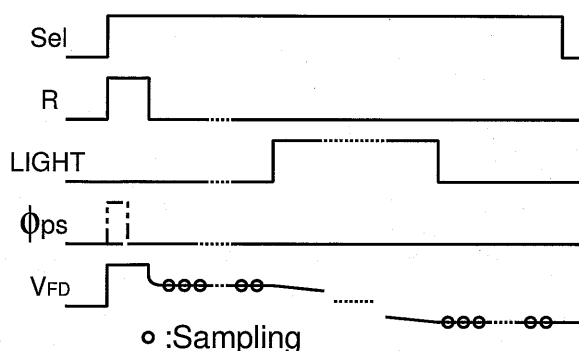


図 5.5: 画素部の制御信号

その後、チップ外部に *LIGHT* 信号を出力し、外部の光源を発光させる。信号検出部であるフローティングデフュージョンの電位は受光したことにより変化している。これをソースフォロワを介してカラムに出力し同様に適応積分と A/D 変換を行う。

得られたリセットレベルと信号レベルの相関差分を取ることで、デジタル領域で CDS を行う。この読み出し方式により、3Tr 型の受光部の構造を持ちながらソースフォロワの FPN とリセットノイズの両者に相関を持たせることができるため、画素のランダムノイズと固定パターンノイズに対してノイズキャンセル効果を得ることが可能である。

5.4 適応積分機能共有 1.5b 巡回型カラム A/D 変換器の構成

図 5.6 に 1.5bit 巡回型 A/D 変換器として動作が可能な適応積分器の構成を示す。なお簡単のために、この回路には A/D 変換のための DAC のスイッチを制御する制御回路と適応積分を行う際のスイッチの制御回路は示していない。これは各スイッチの状態により、適応的に信号を積分する積分器と 1.5bit サイクリック A/D 変換器として動作が可能である。この回路を使用しない場合、図 5.7 に示すように入力の CDS (相関 2 重サンプリング) 回路、アナログ積分回路、巡回型 A/D 変換回路から構成され、半回路の場合で全体としてキャパシタ 7 つとアンプ 4 つが必要である。また、図には示していないが、適応的に積分を行うための比較器も積分器の出力に必要なになる。さらに、全差動の場合はキャパシタが 14 個も必要になる。一方提案方式の構成では、図 5.6 に示すように全差動でキャパシタ 4 つとアンプ 1 つでアナログ積分と、A/D 変換を行うことが可能である。提案方式を用いることにより、面積と消費電力の大幅な削減が可能である。

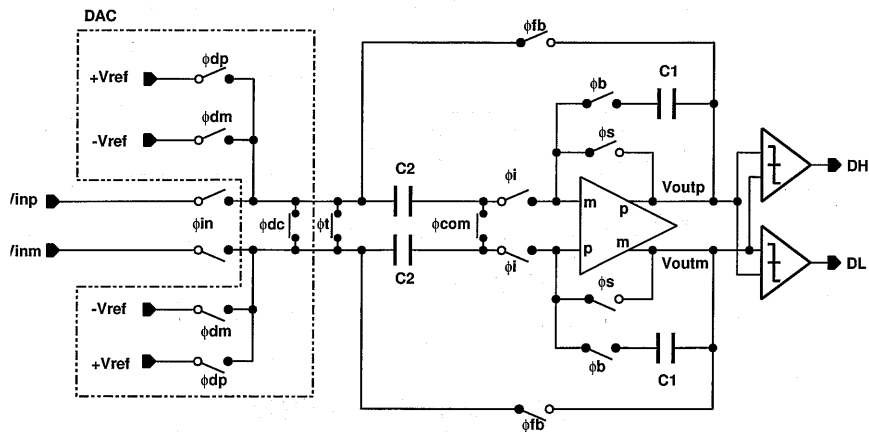


図 5.6: 適応積分機能共有 1.5b 巡回型カラム A/D 変換器の構成

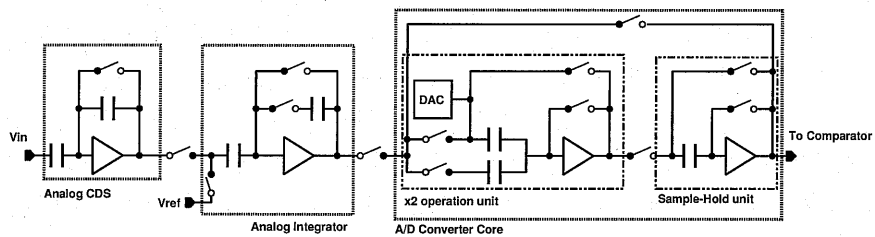


図 5.7: 従来方式の組み合わせでの適応積分機能共有 1.5b 巡回型カラム A/D 変換器の構成例

5.4.1 増幅器の構成と特性

1.5-bit の A/D 変換器の内部回路である増幅器は前章である 4 章に記述したものと同一回路を使用する。これは周波数特性、開ループゲインが仕様の要求を満たし、かつカラムの回路幅が同じ条件ためである。

5.4.2 比較器の構成

比較器も同様の理由から、前章である 4 章で記述した回路を使用する。

5.4.3 比較器の動作

1.5-bit A/D 変換器で用いる比較器の動作を説明する。これは回路構成が同じ 5 章とほぼ同じ動作になる。4 章の場合は入力される電圧がインクリメンタル動作をする

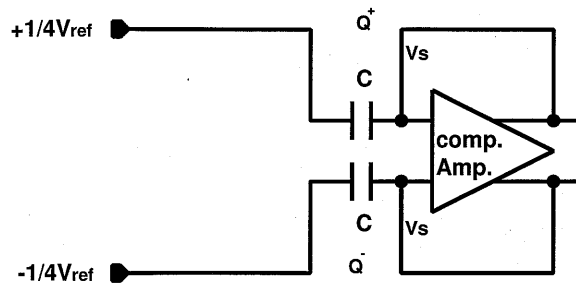


図 5.8: リファレンス信号をサンプルしている時の回路の状態

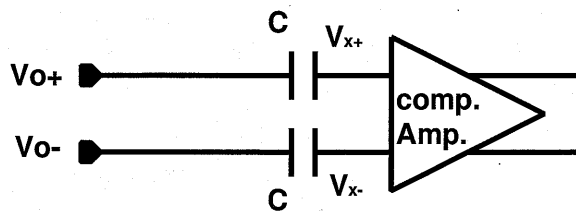


図 5.9: 増幅器からの信号をサンプルしている時の回路の状態

アナログ積分器が発生した参照電圧であったが、本方式の場合は、チップ外部から入力される参照電圧が入力される。

まず、比較器の入力には ϕ_{ci2} によりリファレンス電圧が入力される。その時プリアンプの入出力は ϕ_{cs} によりショート状態になる。この時、アンプのショート電圧 V_s と入力のリファレンス電圧とで決定される電荷が容量 C に蓄積される。初期状態での回路の状態を図 5.8 に示す。入力側の容量 C に蓄積される電荷をそれぞれ Q^+ , Q^- とすると、

$$Q^+ = C\left(+\frac{1}{4}V_{ref} - V_s\right) \quad (5.1)$$

$$Q^- = C\left(-\frac{1}{4}V_{ref} - V_s\right) \quad (5.2)$$

と示される。ここで $1/4V_{ref}$ は差動動作をする A/D 変換器の出力電圧のフルスケールが $\pm 2V_{ref}$ として設定される電圧である。続いて ϕ_{cs} の接続が OFF し、入力信号が ϕ_{ci2} と ϕ_{ci1} が ON、OFF 切り替わることにより前段の演算増幅器からの出力が容量の片側に入力され、回路の状態が図 5.9 で示される構成に変化する。比較器がこの状態の時、プリアンプの入力である V_{x+} , V_{x-} はそれぞれ

$$Q^+ = C(V_{o+} - V_{x+}) \quad (5.3)$$

$$Q^- = C(V_{o-} - V_{x-}) \quad (5.4)$$

と電荷保存則から導かれる。これらの式 5.2, 5.4 から

$$V_{x+} = V_{o+} + V_s - \frac{1}{4}V_{ref} \quad (5.5)$$

$$V_{x-} = V_{o-} + V_s + \frac{1}{4}V_{ref} \quad (5.6)$$

さらに両者の差分を求めると、

$$V_{x+} - V_{x-} = (V_{o+} - V_{o-}) - \frac{1}{2}V_{ref} \quad (5.7)$$

となる。この式の意味するところは、前段の増幅器の出力の差である $V_{o+} - V_{o-}$ と $\frac{1}{2}V_{ref}$ の差分が比較器のプリアンプに入力されることを意味する。この入力電圧の差は ϕ_{CR} が "1" になることによりプリアンプのゲインで信号が増幅され、その後出力される。後の動作は、4章で記述した動作と同様に後段のラッチ回路に接続されてデジタル値に変換され次の判断までデータを保つ。

比較器の参照電圧 $+1/4 \cdot V_{ref}$ と $-1/4 \cdot V_{ref}$ の接続が逆であった場合、比較器は $V_{o+} - V_{o-}$ が $-\frac{1}{2}V_{ref}$ よりも高ければ最終的に "1" を出力する回路になる。これは、比較器の入力である V_{o+}, V_{o-} を逆に接続しても同様の結果が得られる。

5.5 適応積分機能共有 1.5bit A/D 変換器の動作

5.5.1 適応積分機能共有 1.5bit A/D 変換器の積分器としての動作

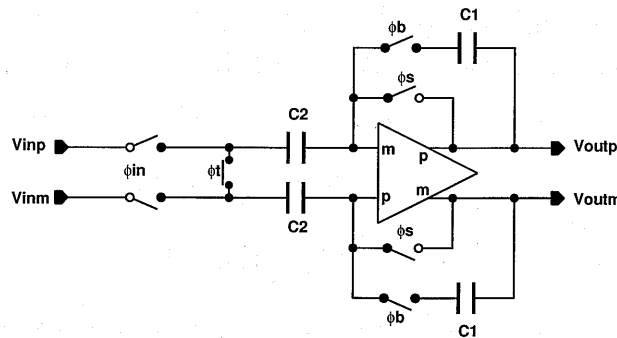


図 5.10: 積分器として動作している場合の回路の構成

図 5.10 に、提案する回路が積分器として動作しているときの回路図を示す。積分器として動作する際は、 ϕ_i と ϕ_{fb} はそれぞれ ON、OFF の状態のままであり、また、DAC は動作していない。出力の比較器とその制御を行うコントローラは簡単のため図中には示していない。以下、この回路の積分動作を説明する。

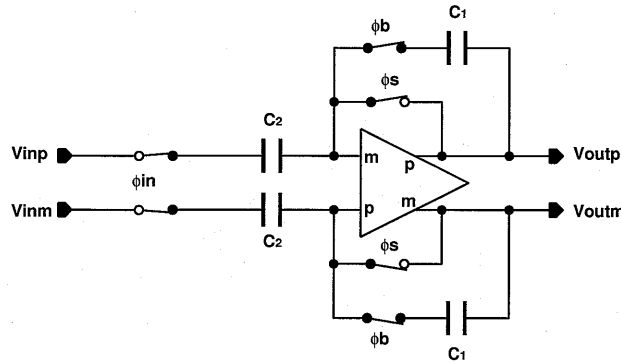


図 5.11: 積分器の初期化時の回路の状態

積分器のサンプル動作

入力信号をサンプルする場合の回路の状態は図 5.11 に示すように、増幅器の入出力を ϕ_s の制御によりショートし、キャパシタ C_2 の増幅器側を仮想接地点に接続する。キャパシタ C_2 の逆側は入力信号にスイッチ ϕ_{in} を通して接続される。イメージセンサ場では、この回路の入力信号の片側は画素のソースフォロワ出力になる。もう一方の入力には、画素のリセットレベル付近のリファレンス電圧が接続される。

この状態で、入力側のキャパシタ C_2 に入力信号に比例した電荷がチャージされる。その電荷量は、入出力ショート時の電圧を V_{com} 、入力正側の容量に蓄積される電荷を Q^+ 、負側を Q^- とするとそれぞれ

$$Q^+ = C_2(V_{inp} - V_{com}) \quad (5.8)$$

$$Q^- = C_2(V_{inm} - V_{com}) \quad (5.9)$$

と記述できる。これが入力信号をサンプルするときに入力側の容量 C_2 に蓄積される信号電荷量である。

積分器の積分動作

次のフェーズでスイッチ ϕ_s, ϕ_{in} を切り離して、次に ϕ_b, ϕ_t と順に接続する。 ϕ_t によりキャパシタ C_2 の入力端が接地され、容量にチャージされていた電荷がフィードバック側のキャパシタ C_1 に転送される。この状態の回路図を図 5.12 に示す。入力側にチャージされた電荷が完全に出力側に転送されると仮定すると、出力は

$$V_{outp} = \frac{Q^+}{C_1} = \frac{C_2}{C_1}(V_{inp} - V_{com}) \quad (5.10)$$

$$V_{outm} = \frac{Q^-}{C_1} = \frac{C_2}{C_1}(V_{inm} - V_{com}) \quad (5.11)$$

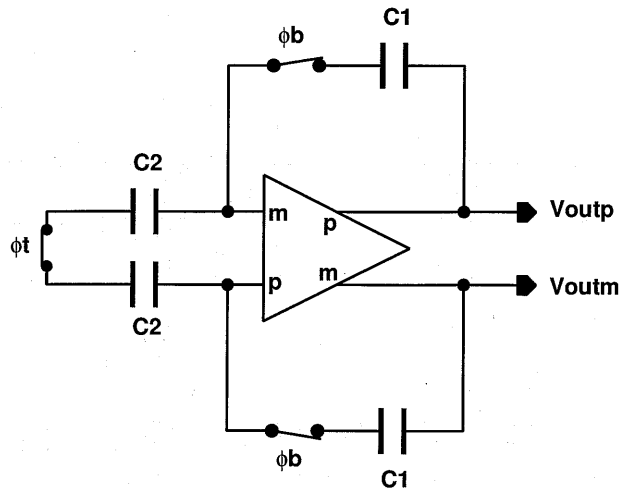


図 5.12: 積分器の演算時の回路の状態

となり、単純に入力側の容量 C_2 と出力側の容量 C_1 の比で入力信号が出力に転送される。

C_2 に蓄積される信号電荷がすべて C_1 に転送されるとスイッチ ϕ_b 、 ϕ_t が切り離され、 ϕ_{in} と順次接続されて先の図 5.11 で示される回路状態に戻る。ここで、フィードバック容量に転送動作によって蓄積されたチャージ $\frac{C_2}{C_1}(V_{inp} - V_{com})$ 、 $\frac{C_2}{C_1}(V_{inm} - V_{com})$ はスイッチ ϕ_b で分離されて浮遊状態となるため、そのまま保存される。2 回目以降の入力フェーズは図 5.13 に示される状態になり、同様に図 5.12 に示される回路状態で出力側に入力側のキャパシタ C_2 にチャージされた電荷が転送される。この時の電荷は、転送前にキャパシタ C_1 に蓄積された電荷 Q_a^+ 、 Q_a^- に加算される。2 回目の積

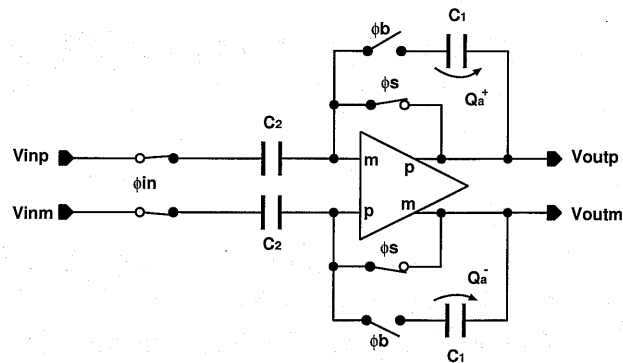


図 5.13: 2 回目以降の積分器の入力サンプル時の回路の状態

分動作後の出力は、式で示すと

$$V'_{outp} = \frac{Q_{tot}}{C_1} = \frac{C_2 \cdot V_{in} + Q_a^+}{C_1} \quad (5.12)$$

$$= 2 \frac{C_2}{C_1} \cdot (V_{inp} - V_{com}) \quad (5.13)$$

$$V'_{outm} = \frac{Q_{tot}}{C_1} = \frac{C_2 \cdot V_{in} + Q_a^-}{C_1} \quad (5.14)$$

$$= 2 \frac{C_2}{C_1} \cdot (V_{inm} - V_{com}) \quad (5.15)$$

となる。以降、図 5.13 と図 5.12 で示される回路の状態を繰り返すことにより、積分動作が可能となる。ここで注意しなければならないのは、適応ゲイン方式と同様、アンプの出力電圧の飽和である。この積分動作で、出力信号が飽和しないように積分回数を適応的に変化させることが必要である。

5.5.2 適応積分共有 1.5bit A/D 変換器の適応積分動作

積分回数を適応的に動作させるためには、転送されて出力される電圧がどのレベルにあるのかを判定し、それを回路にフィードバックする必要がある。この方法は、図 5.14 に示すように増幅器の出力に比較器を接続し、その出力で積分回数を制御することで実現する。入力信号 $V_{inp} - V_{inm} = V_{in}$ は正であり毎回同じ値を出力し、A/D

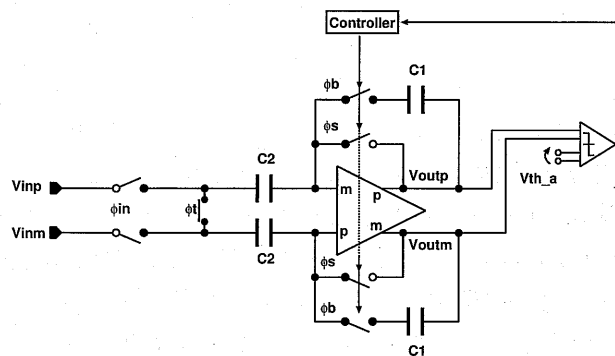


図 5.14: 適応積分回路

変換器のフルスケールが $+2V_{ref}$ から $-2V_{ref}$ までの $FS = 4V_{ref}$ で比較器の閾値 V_{th_a} を $+V_{ref}$ に設定し、16 回の適応積分をすると仮定する。1 回の積分の終了時に比較器で閾値と比較し、その閾値を超えていれば積分を終了する。超えていなければもう一度積分する。2 回目の積分の終了時に、同じく閾値と比較し、閾値を超えていれば積分を終了する。閾値を超えていた場合、さらに 2 回の積分を行う。同様に、4 回目と 8 回目の積分終了時に各々比較器で閾値と比較をして、積分を 16 回まで行う。こ

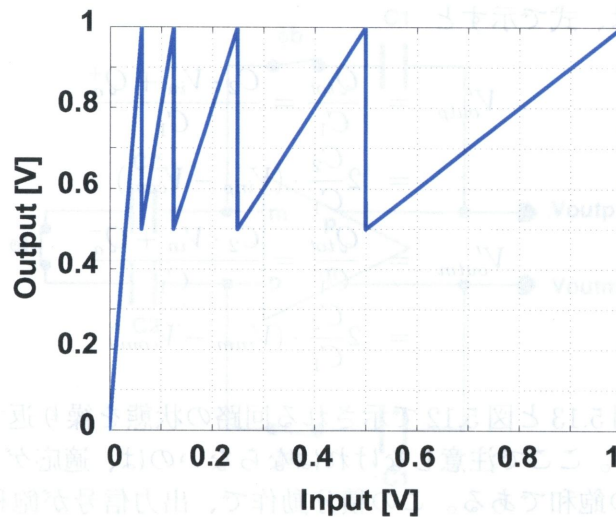


図 5.15: 16 回適応積分回路の出力

のような動作を繰り返すと、最終的な出力波形は図 5.15 に示すものとなる。なおこれは、16 回の積分のみでなく 2^n 回積分を行う場合は、各々 2^k , ($n = 0, 1, \dots, n-1$) 回の積分終了時に比較器を動作させることで回路の状態を制御することが可能である。2 のべき乗で比較器を動作させることで、デジタル領域での補正はビットシフトのみの簡単な演算で入力換算が可能となる。

適応積分器の比較レベル

図 5.15 からわかるように、比較器の閾値を $+V_{ref}$ に設定すると、誤判定を起こしたときに積分器の出力が飽和してしまう可能性がある。例えば、入力信号が $6V_{ref}/5$ の場合に誤判定が起こりもう一度積分されてしまった場合、出力信号は $12V_{ref}/5$ となりフルスケールの最大値 $+2V_{ref}$ から外れ、積分器の非線形の原因となる。この問題を回避するために、比較器の閾値を V_{ref} よりも低く設定する。この技術を用いることで、比較器の精度と参照電圧の精度が必要なくなり、結果として比較器の消費電力や面積の抑制につながる。具体的な参照電圧は、後で述べる A/D 変換器として動作をする場合の比較器の HIGH レベル側の参照電圧 $+1/2V_{ref}$ (差動で $+1/4V_{ref}$ と $-1/4V_{ref}$ で構成される) が使用できる。この場合の適応積分後の出力を図 5.16 に示す。x 軸は入力信号の差 $V_{inp} - V_{inm}$ を示し、y 軸は $V_{outp} - V_{outm}$ を示す。赤の点線で示したものは入力信号を一度だけ積分したものを示している。入力信号が小さいほど積分回数が適応的に増加していること確認できる。

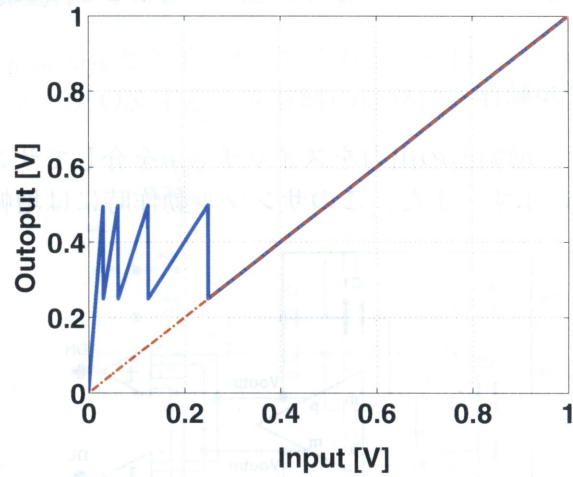


図 5.16: 比較器の閾値に A/D 変換器の $+1/2V_{ref}$ を使用した場合の適応積分回路の出力

5.5.3 適応積分機能共有 1.5bit 巡回型 A/D 変換器の A/D 変換器としての動作

積分が適応的に行われ、特定の回数積分されたのちに回路は A/D 変換器として動作する。この時、入力スイッチ ϕ_{in} と増幅器の入出力接続スイッチ ϕ_s は OFF したままになり、帰還容量 C_1 に接続されるスイッチ ϕ_b は ON の状態を保つ。この場合の回路状態を図 5.17 に示す。残りのスイッチを制御することで巡回型 A/D 変換器を実現する。適応積分の終了時には帰還側の容量に直列に接続されているスイッチ ϕ_b

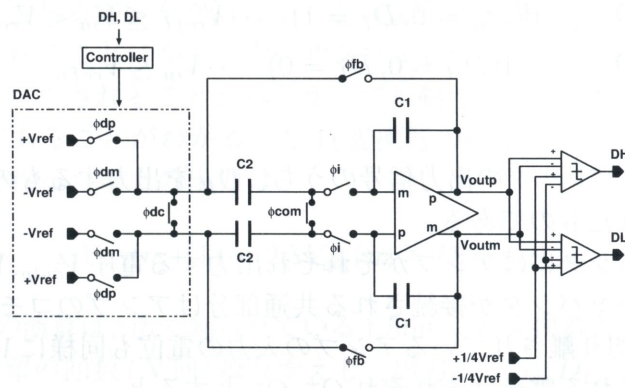


図 5.17: 適応積分機能共有 1.5bit A/D 変換器が A/D 変換器として動作する場合の回路構成

を ϕ_s が OFF している時点で ON すると積分によって蓄積された信号電荷が回路の

出力 V_{outp}, V_{outm} に出力される。この電圧を起点の電圧として A/D 変換が行われる。

A/D 変換器のサンプル動作

入力側の容量 C_2 は、増幅器の出力をスイッチ ϕ_{fb} を介してサンプルする。この時の回路状態を図 5.18 に示す。また、このサンプル動作時には増幅器の出力が 2 つの

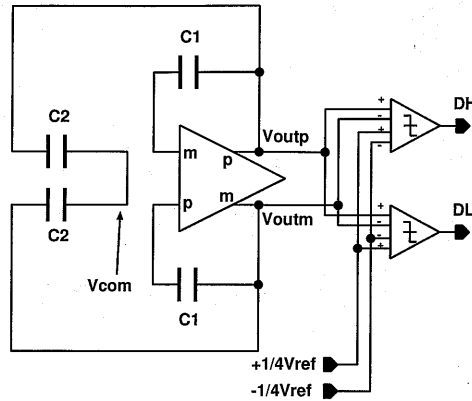


図 5.18: A/D 変換器の信号サンプル動作時の回路の状態

比較器に接続されている。各々比較レベルは $V_{refH} = 1/2V_{ref}$ と $V_{refL} = -1/2V_{ref}$ の 2 つであり、1 サイクルあたり 2bit の信号 D_H, D_L を冗長コードで出力する。その値は

$$D = 1(D_H = 1, D_L = 1) \cdots V_{refH} \leq V_{in} \quad (5.16)$$

$$D = 0(D_H = 0, D_L = 1) \cdots V_{refL} \leq V_{in} < V_{refH} \quad (5.17)$$

$$D = -1(D_H = 0, D_L = 0) \cdots V_{in} \leq V_{refL} \quad (5.18)$$

の 3 値をとる。

この 2 つのコンパレータの出力信号のうち、 D_H を出力するものは先の適応積分の比較器に使用されたものである。

入力側のキャパシタにはアンプがそれぞれ出力する電圧 V_{outp}, V_{outm} がサンプルされる。入力側のキャパシタが接続される共通部分はアンプのコモン電位である V_{com} になる。(接続が切り離されているアンプの入力の電位も同様に V_{com} である。) 従って入力側に蓄積される電荷はそれぞれ Q^+, Q^- とすると

$$Q^+ = C_2(V_{outp} - V_{com}) \quad (5.19)$$

$$Q^- = C_2(V_{outm} - V_{com}) \quad (5.20)$$

と記述される。

A/D 変換器の演算動作

続いてスイッチ ϕ_{com}, ϕ_{fb} とスイッチが切れ、 ϕ_i と DAC のスイッチである $\phi_{dp}, \phi_{dc}, \phi_{dm}$ のいずれかのスイッチが ON する。演算時の回路図を 5.19 に示す。

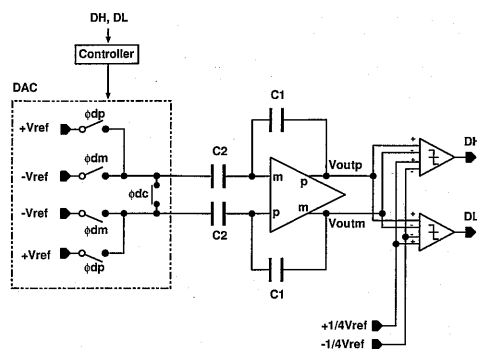


図 5.19: A/D 変換器の演算動作時の回路の状態

この DAC のスイッチは前段で判断されたコンパレータの出力結果に基づく。この時 $C_1 = C_2$ とすると、出力される電圧は

$$\Delta V'_{out} = 2 \times (V_{outp} - V_{outm}) - D \times 2V_{ref} \quad (5.21)$$

$$D = \begin{cases} D = 1 & (D_H = 1, D_L = 1) & +1/2V_{ref} \leq V_{in} \\ D = 0 & (D_H = 0, D_L = 1) & -1/2V_{ref} \leq V_{in} < +1/2V_{ref} \\ D = -1 & (D_H = 0, D_L = 0) & V_{in} \leq -1/2V_{ref} \end{cases} \quad (5.22)$$

と記述される。ここで、 $\Delta V'_{out}$ は演算の結果出力される電圧の差である。結果から、サンプル時に出力される電圧を 2 倍して一定の参照電圧 $2V_{ref}$ を減残、もしくは加算した電圧が出力されることになる。次にサンプル動作になると出力 $\Delta V'_{out}$ が ϕ_i を制御することでサンプルされることから、サンプル動作と演算動作を繰り返し行ない、巡回動作が可能であることがわかる。A/D 変換器の終了時を基準の 1 回目として n 回目の演算動作を行った場合の出力は

$$\Delta V_{out}(n+1) = 2\Delta V_{out}(n) - D(n) \cdot 2V_{ref} \quad (5.23)$$

と記述できる。この演算は、広く知られている 1.5bit A/D 変換器の基本演算を示している。この動作を所望の回数 (N 回) 繰り返えし、出力 $D_H(n), D_L(n), (n = 1, 2, \dots, N)$ を冗長 2 進から非冗長 2 進数へデコードすることで信号のデジタル値が求まる。

5.6 適応積分機能共有 1.5bit A/D 変換器のシミュレーション

2 倍増幅と加減算を行う回路と比較器の回路をそれぞれ MATLAB の関数で記述し、相互接続をして実際に動作を確かめた。分解能はわかりやすいように 6bit (6 サイクル A/D 変換) で行った。図 5.20 に適応積分のシミュレーション結果を示す。

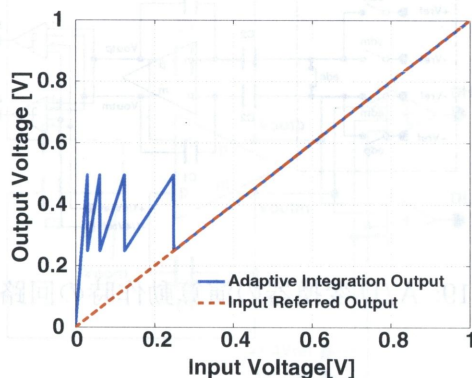


図 5.20: MATLAB による適応積分のシミュレーション結果

入力信号はイメージセンサからの出力信号であり、受光すると光電効果で電位が下がる。従って差動である入力信号は、参照電圧を V_{inp} 側に接続し、画素の出力信号は V_{inm} 側に接続されると仮定する。参照電圧を基準に画素からの信号が適応的に積分される。入力の差信号は $0V$ から $1V$ を想定して行った。適応積分の閾値は A/D 変換器の閾値と共有しているため、入力の差信号が $1/4, 1/8, 1/16, 1/32[V]$ を閾値に適応的に増幅されるのが確認できる。

次に、適応積分した結果を MATLAB 関数で記述した A/D 変換器に入力する。出力される冗長コードを 2 進数に変換したものを図 5.21 に示す。

冗長コードから非冗長コードへの変換は、単純に出力されたコード D_H, D_L を bit ごとにべき乗で重みをづけをして加算するものである。N ビットの出力から

$$D_{code} = \sum_{i=1}^N [(D_H(i) + D_L(i)) \cdot 2^{N-i}] \quad (5.24)$$

の式を用いて最大 $2N - 1$ のコードが出力される。ここで D_{code} は D のコードと違うことに注意する。これは、1.5bit の冗長データを比較器を判定する D と同じように $1, 0, -1$ に対応させるとゼロのコードが 2 つ ($-0, +0$) 出力されるためである。図 5.21 の出力のコードを見ると入力 0 で 7bit フルスケールの中心である $64[LSB]$ からコードが出力されているのがわかる。これは、カラムの回路に差動回路を使用して、片側に画素からの入力信号を入力し、もう一方には参照電圧としてリセットレベル付近の電圧を入力するため入力信号が参照電圧に対して負の値をとらないためである。

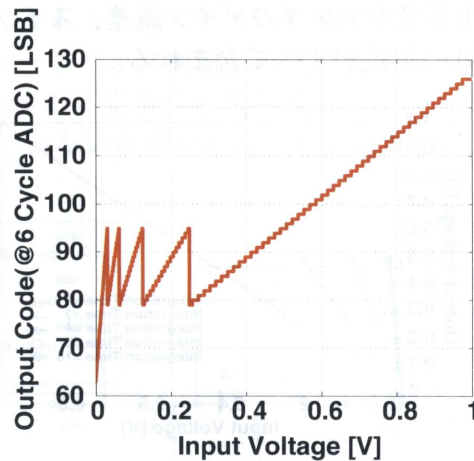


図 5.21: MATLAB による適応積分後の A/D 変換器のシミュレーション結果 (7bit)

る。従って、6 サイクルの巡回演算で A/D 変換を行うと、出力として 7bit のフルスケールを得ることができるが実際は $1/2FS$ の信号を扱わないために実質 6bit の分解能となる。

図 5.22 に A/D 変換の結果を 0 を基準にデジタル値に換算したものを示す。図から、信号が適応的に増幅される領域では等価的に A/D 変換器の分解能が増加していることがわかる。これは低照度で A/D 変換器の分解能が向上することを意味している。

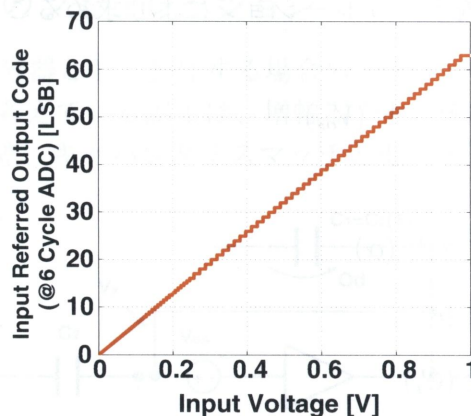


図 5.22: MATLAB による適応積分後の A/D 変換器のシミュレーションの入力換算

MATLAB と同様のシミュレーションを SPICE で行った。アンプ、容量、比較器や制御回路など実際にすべて設計し全体を接続して Mixed Signal (アナログデジタル混載) シミュレーションにより動作を確認した。その結果を図 5.23 に示す。なお、

この結果には入力の寄生容量やアンプのゲイン誤差、スイッチによるインジェクションなどのミスマッチ以外の誤差がすべて含まれる。

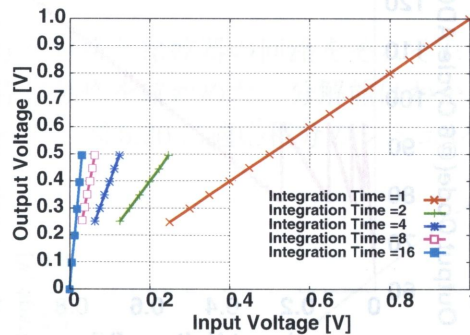


図 5.23: SPICE による適応積分後の A/D 変換器のシミュレーション結果

5.7 回路の誤差を考慮した適応積分と 1.5bit A/D 変換器のシミュレーション

これまでに増幅器の誤差を考慮せずに理想状態で行うものと仮定して、動作方式とその結果を述べた。実際の回路は LSI 上に作成する段階で特性のばらつきが生じたり、演算誤差などが必ず重畳する。ここでは、提案する機能性演算増幅器の各種のばらつきによる誤差をシミュレーションにより求めることを試みる。考えるべき誤差は、

- アンプの入力オフセット (V_{os})
- ゲイン誤差 (A_v)
- キャパシタミスマッチ (α)
- セットリング誤差 (e)
- アンプの入力容量 (C_i)

により発生する誤差である。

アンプの入力オフセットは、主に増幅器の入力トランジスタの閾値ばらつきにより生じる。

ゲイン誤差は、増幅器が無敵大の増幅率を持たずに有限の増幅率を持つために生じる誤差である。

キャパシタミスマッチは、増幅器に接続される演算のためのキャパシタユニットのサイズばらつきや、膜厚ばらつきにより容量に誤差が生じることに起因する。

セットリング誤差は、スイッチトキャパシタ方式において入力容量にチャージされた電荷が、完全にフィードバック容量に転送されるまでに時間がかかるため(セットリングタイム)に発生する。完全に転送される前に次のフェーズ(次の回路状態)に変化すると転送されていない電荷が誤差として見なされる。

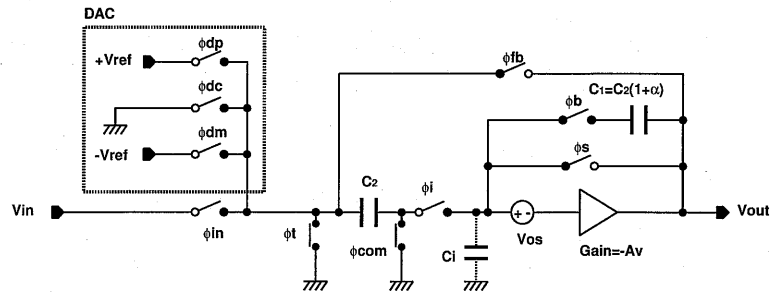


図 5.24: 誤差を考えた場合の増幅器の構成

アンプの入力容量 C_i による誤差は、本来ならば入力容量 C_2 に蓄積された電荷がフィードバック側の容量 C_1 のみに転送されるのであるが、アンプの入力容量に一部の電荷が残留して信号を劣化させることで起こる。

図 5.24 にこれらの誤差を考えた場合の半回路を示す。

5.7.1 適応積分器のシミュレーション

図 5.24 をもとに、積分器として動作する場合の 1 ステップあたりの出力信号の誤差を求める。この図で考えている誤差は、増幅器のオフセット、入力容量による誤差、増幅器のゲイン誤差、キャパシタミスマッチとセットリング誤差である。

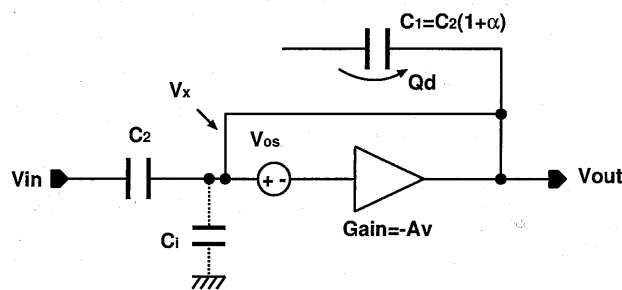


図 5.25: 誤差を考えた場合の積分器のサンプル時の構成

まず図 5.25 に示すように、初期状態での信号のサンプル動作を考える。入力信号

が $V_{in}(1)$ のとき、容量 $C_2, C_i, C_1 (= C_2(1 + \alpha))$ のトータルの電荷量は

$$\begin{cases} Q_{tot}(1) = C_2(V_{in}(1) - V_x) + C_i(0 - V_x) + Q_d(1) \\ V_x = V_{os} \end{cases} \quad (5.25)$$

と記述される。サンプル動作が積分の最初であるので $Q_d(1) = 0$ である。次に入力容量にサンプルされた電荷が、入力信号端を接地することで図 5.26 の状態になり、容量 C_1 へ転送される。電荷のトータル量は変化がないので

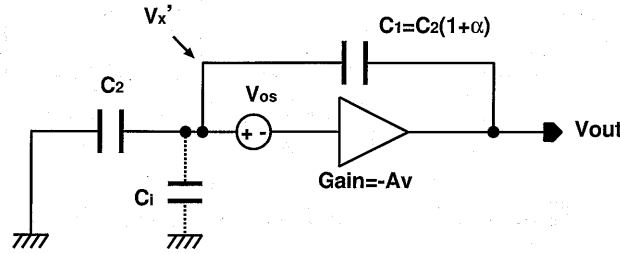


図 5.26: 誤差を考えた場合の積分器の信号転送時の構成

$$\begin{cases} Q_{tot}(1) = C_2(0 - V'_x(1)) + C_i(0 - V'_x(1)) + C_1(V_{out}(1) - V'_x(1)) \\ V'_x(1) = V_{os} - \frac{1}{A_v} V_{out}(1) \end{cases} \quad (5.26)$$

と記述される。アンプの入力にあるノード V_x は出力に信号 $V_{out}(1)$ を出力するので初期状態とは違い $V'_x(1)$ に変化することに注意する。式 5.25 と 5.26 から

$$V_{out}(1) = \frac{A}{A(1 + \alpha) + 2 + \alpha + \frac{C_i}{C}} \cdot \{V_{in} + (1 + \alpha)V_{os}\} \quad (5.27)$$

が求まる。この出力は最初の積分（サンプル-転送）である。 $V_{out}(1)$ が最初の積分の最終値であるが、完全に電荷が転送されなかった場合を考えるとセットリングの係数がかかるので

$$V_{out}(1) = (1 - e) \frac{A}{A(1 + \alpha) + 2 + \alpha + \frac{C_i}{C}} \cdot \{V_{in} + (1 + \alpha)V_{os}\} \quad (5.28)$$

と記述できる。続いて、積分が行われると仮定すると次の状態は図 5.27 で示される構成になる。同様に

$$\begin{cases} Q_{tot}(2) = C_2(V_{in}(2) - V_x) + C_i(0 - V_x) + Q_d(1) \\ V_x = V_{os} \\ Q_d(1) = C_2(1 + \alpha)(V_{out}(1) - V'_x(1)) \end{cases} \quad (5.29)$$

と示される。ここで Q_d はスイッチ ϕ_b を切り離したときに帰還側に蓄積される電荷を示している。この電荷は式 5.29 を見るとわかるように、 $V_{out}(1)$ と $V'_x(1)$ で記述さ

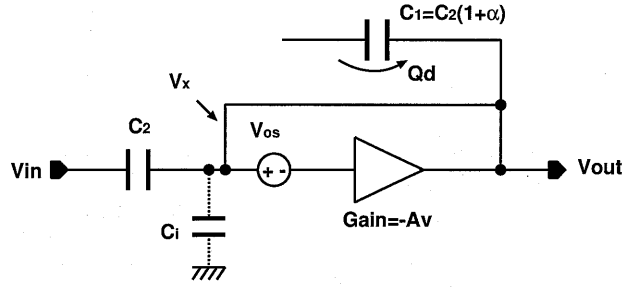


図 5.27: 誤差を考えた場合の積分器のサンプル時の構成

れる前の信号伝送終了時の出力電圧の影響を受ける。この信号が回路図 5.26 で示される状態になり、電荷量の変化がないので保存則から

$$\begin{cases} Q_{tot}(2) = C_2(0 - V'_x(2)) + C_i(0 - V'_x(2)) + C_1(V_{out}(2) - V'_x(2)) \\ V'_x(2) = V_{os} - \frac{1}{A_v}V_{out}(2) \end{cases} \quad (5.30)$$

と入力ノードが出力 $V_{out}(2)$ によって $V'_x(2)$ に変化する。これらの式 5.29, 5.30 から

$$V_{out}(2) = (1 - e) \frac{A}{A(1 + \alpha) + 2 + \alpha + \frac{C_i}{C}} \cdot \{V_{in} + (1 + \alpha)(1 + \frac{1}{A})V_{out}(1)\} \quad (5.31)$$

とセットリング誤差を考えた式で記述できる。これは最初以外の積分動作すべてに共通することから、まとめて

$$\begin{cases} V_{out}(n+1) = \sum_{n=0}^M (1 - e) \frac{A}{A(1 + \alpha) + 2 + \alpha + \frac{C_i}{C}} \cdot \{V_{in} + (1 + \alpha)(1 + \frac{1}{A})V_{out}(n)\} \\ V_{out}(0) = \frac{1}{1 + 1/A}V_{os} \end{cases} \quad (5.32)$$

と最終的に M 回積分後の出力が記述できる。

5.7.2 積分機能共有 1.5bit 巡回型 A/D 変換器の A/D 変換器のシミュレーション

次に提案する回路が A/D 変換器として動作する場合の誤差について考える。この誤差は、積分器で使用した回路と共有するので、考える誤差係数は先の積分器で考えたものと同じである。1 ステップあたりサンプル動作と演算動作 (1.5bit 変換) が行われるので、回路の状態をそれぞれ考えてどの程度誤差が生ずるかを見積もる。まず、信号のサンプル動作時の回路の状態は半回路で図 5.28 に示される。この図 5.28 の回路状態で入力にサンプルされる信号は積分動作の最終出力の電圧である。この電圧を V'_{in} と定義すると、各キャパシタにチャージされる全電荷は

$$Q_{tot} = C_2(V'_{in} - 0) + C_i(0 - V_x) + C_2(1 + \alpha)(V'_{in} - V_x) \quad (5.33)$$

$$V_x = V_{os} - \frac{1}{A}V'_{in} \quad (5.34)$$

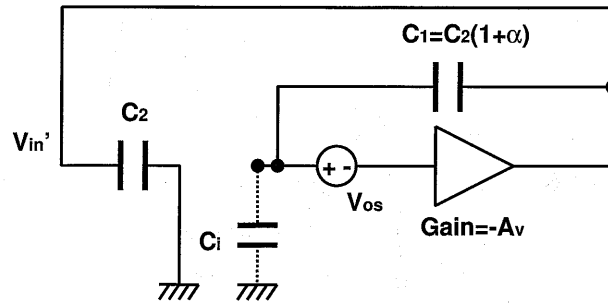


図 5.28: 誤差を考えた場合の A/D 変換器のサンプル時の構成

と示される。ここで式中の Q_{tot} は A/D 変換器のこの構成での総電荷であり、先の適応積分の時の Q_{tot} とは無関係である。入力側の容量に信号がサンプルされると、回路が演算モードに切り替わる。

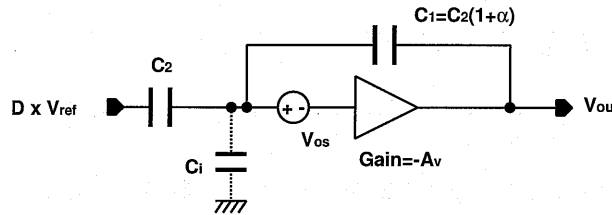


図 5.29: 誤差を考えた場合の A/D 変換器の演算時の構成

図 5.29 に示す演算増幅モードになると各キャパシタに蓄積される電荷は

$$Q_{tot} = C_2(D \cdot V_{ref} - V'_x - 0) + C_i(0 - V'_x) + C_2(1 + \alpha)(V_{out} - V'_x) \quad (5.35)$$

$$V'_x = V_{os} - \frac{1}{A} V_{out} \quad (5.36)$$

と示される。式 5.35 に示される D はサンプル時にコンパレータにより出たデータに基づき 1, 0, -1 の値をとる。式 5.33, 5.34, 5.35 と 5.36 から、転送時のセットリング誤差を考えると

$$V_{out} = (1 - e) \cdot \frac{A}{A(1 + \alpha) - 2 - \alpha - \frac{C_i}{C}} \cdot \left(\left((2 + \alpha - \frac{1}{A}(1 + \alpha + \frac{C_i}{C})) V'_{in} - D \cdot V_{ref} + V_{os} \right) \right) \quad (5.37)$$

と 1 回の動作あたりの出力電圧が求まる。これらの演算を N 回繰り返し所望の分解能分のデジタル値を D_H, D_L より得る。

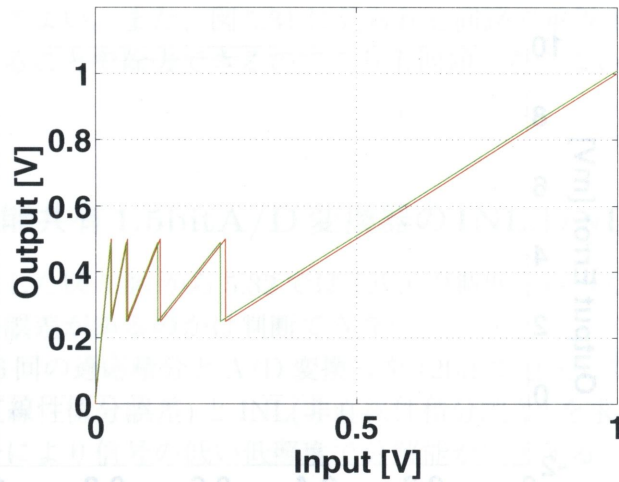


図 5.30: 誤差を考慮した適応積分後の出力

5.7.3 適応機能共有 1.5bit A/D 変換器のシミュレーション

実際に式で示される誤差が重畳した場合の出力をシミュレーションにより見積もる。見積もるのは、

- 入力信号が与えられた場合の誤差を考慮した適応積分後の出力誤差
- 入力信号が与えられた場合の誤差を考慮した A/D 変換後の出力誤差
- 入力信号が与えられた場合の誤差を考慮した適応積分と A/D 変換後の出力誤差

である。以上の誤差をわかりやすいように A/D 変換器をまず 7bit の精度で、適応積分を 16 回で行った。

始めに、適応積分動作をする回路の出力誤差を求める。

表 5.1: シミュレーションに用いる誤差パラメータ

V_{os}	+10mV
A_v	-100,000
α	+0.05%
e	0.001%
C_i	160fF
C_2	1.125pF

式 5.37 を元に表 5.1 に示されるパラメータで実際にシミュレーションを行うと図 5.30 に示す特性を得る。また、積分後の出力信号の理想値との差を図 5.31 に示す。

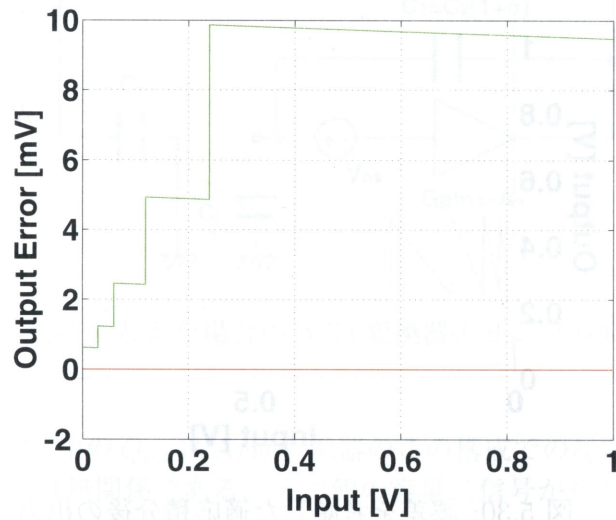


図 5.31: 誤差を考慮した適応積分後の出力の誤差の入力換算

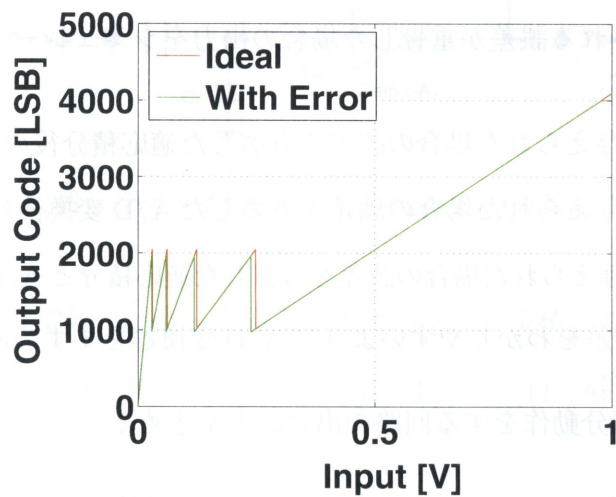


図 5.32: 誤差を考慮した積分後の A/D 変換出力

図からもわかるように、誤差の信号は入力換算を行うと小さくなることは明らかである。

誤差の重畳した適応積分の出力に対し、さらに A/D 変換を行う。図 5.32 に誤差を考慮した適応積分とその後の A/D を行った結果を示す。

結果から、12bit の A/D の分解能の A/D 変換器で表 5.1 に示した誤差が重畳すると、図 5.32 に示されるように適応積分の閾値のずれが見える。しかしながら、閾値がずれたとしても A/D 変換器の入力のフルスケールを超えることがないためこれは

問題がないと考えてよい。また、図 5.31 に見られる回路で重畳するオフセットはゼロレベルを測定することで除去できるのでこれも問題とならない。

5.7.4 適応機能共有 1.5bitA/D 変換器の INL,DNL

入出力特性で示した図 5.30 から 5.32 では 12bit の精度を持つため、見た目ではどの程度理想からの誤差があるのかは判断できない。

ここで回路を 16 回の適応積分と A/D 変換器を 12bit で連続して動作させた場合の回路の DNL (非直線性微分誤差) と INL (非直線性積分誤差) を求める。この A/D 変換器は、適応積分により信号の低い低照度で分解能が向上する。そのために通常の A/D 変換器とは違い、1LSB が領域ごとに変化する特徴をもつ。従ってこの A/D 変換器の DNL を求めるために領域ごとに分けて考える必要がある。各々、16, 8, 4, 2, 1 倍の領域に分け、各々の LSB を基準に領域ごと DNL を求める。各領域は等価的に 4(16 倍), 3, 2, 1, 0(1 倍) ビットの改善効果がある。そのために等価的な分解能もその分向上する。シミュレーションは 12bit で行ったので、16 回の積分で最大 16bit まで分解能は拡大する。以下に各々の適応積分領域での DNL,INL を示す。なお、このデータはヒストグラム法で INL,DNL を算出したものである。

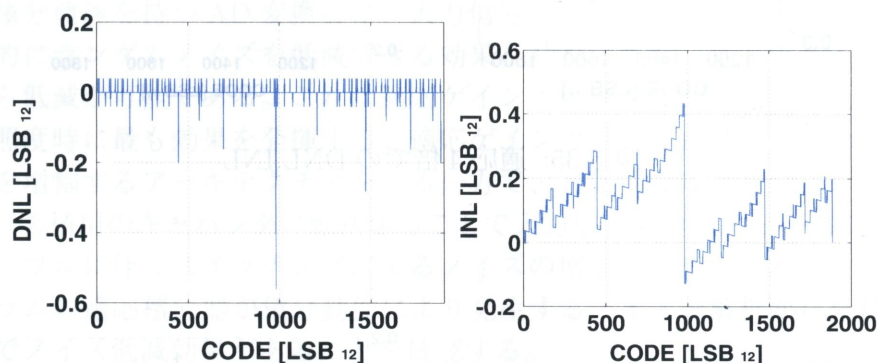


図 5.33: 適応 16 倍での DNL,INL

各々、増幅率によって出力コードが 16 倍の時に 0 – 約 2048[LSB], 8 倍の時に 約 1024 – 約 2048[LSB], 4 倍の時に 約 1024 – 約 2048[LSB], 2 倍の時に 約 1024 – 約 2048[LSB], 1 倍の時に 約 1024 – 約 4098[LSB] の出力コードを持つ。

結果から、シミュレーションで想定した誤差程度では、すべての領域で誤差が 0.5LSB 以下であることがわかる。これは、想定する誤差がシミュレーションで想定した値以下ならば、デジタル補正をせずとも出力が 12bit の精度を持つことを意味す

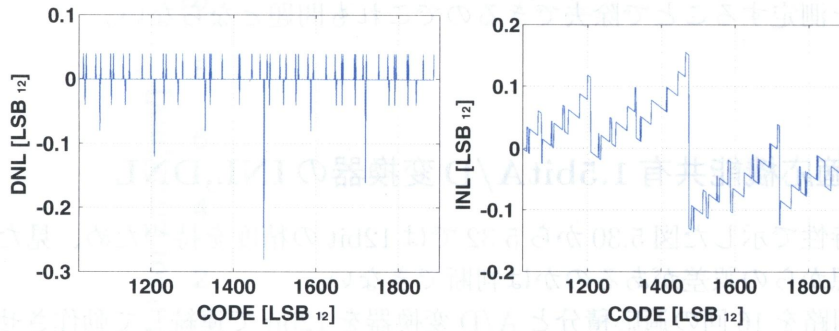


図 5.34: 適応 8 倍での DNL,INL

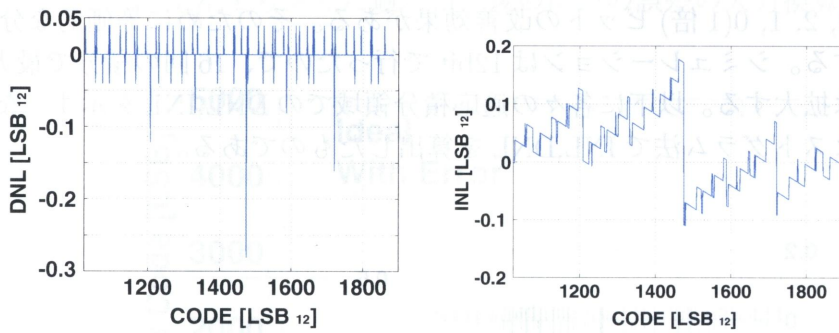


図 5.35: 適応 4 倍での DNL,INL

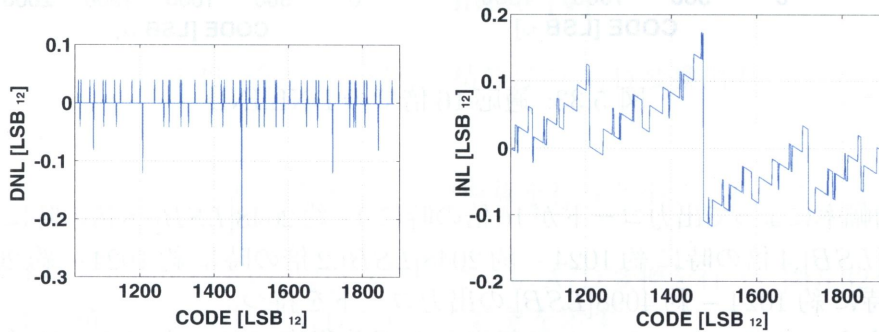


図 5.36: 適応 2 倍での DNL,INL

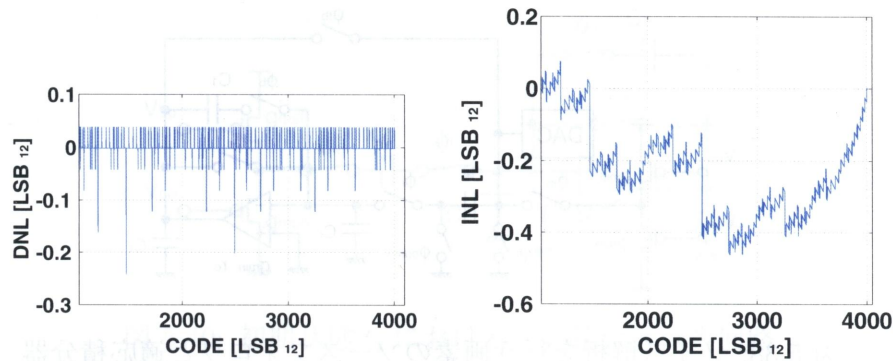


図 5.37: 適応 1 倍での DNL,INL

る。

5.8 適応積分機能共有 1.5bit A/D 変換器のノイズ解析

5.8.1 はじめに

適応積分機能を持つ AD 変換器は、入力信号を適応的に積分し入力換算することで相対的にランダムノイズを低減できる効果を持つ。また、量子化ノイズも同様の理由から低減が可能である。これは適応ゲインカラム方式と同様に、入力信号が小さい低照度時に最も効果を発揮する。適応ゲインカラム方式はキャパシタの容量比で信号を増幅するアーキテクチャをとる一方で、適応積分は入力信号を多数回サンプルして蓄積用のキャパシタに転送することで入力信号を増幅する。このために、信号のサンプルに伴うスイッチングによるノイズの増加が懸念される。ここでは、画素とカラムの適応積分器が積分動作により発生するノイズを解析から見積もり、入力換算でノイズ低減効果があることを確認する。

5.8.2 解析する回路

解析する回路の半回路を図 5.38 に示し、その制御波形を図 5.39 に示す。実際の回路は全差動回路であるが簡単のため半回路で考える。入力信号は画素のソースフォロワを介してカラム回路に入力される。図 5.39 に示す時間 t_1 は、フィードバック容量 C_1 をスイッチ ϕ_s が ON することにより初期化する動作と、入力側の容量 C_2 に画素からの入力信号をサンプルする動作が行われる初期化動作の時間である。続いて、時間 t_2 において C_2 に蓄積された電荷が容量 C_1 に転送される。信号電荷が C_1 へ転送された後、スイッチ ϕ_s が OFF することで C_1 に蓄積された信号電荷が C_1 の

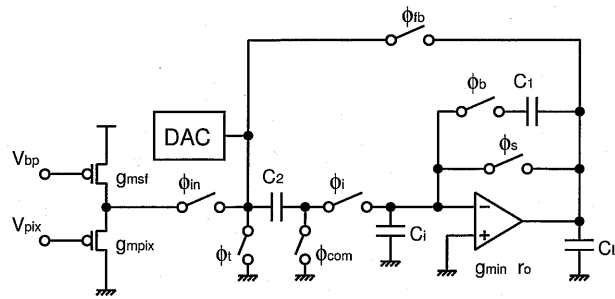


図 5.38: ノイズ解析を行う画素のソースフォロワと適応積分器

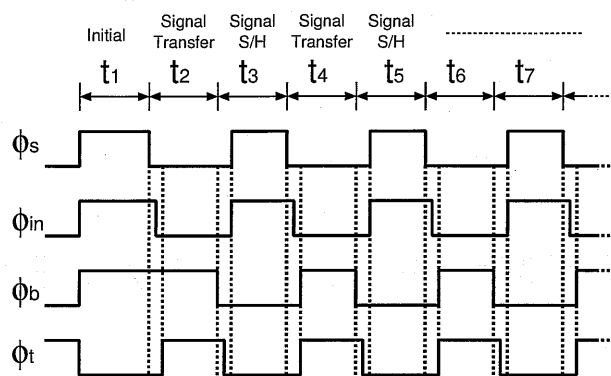


図 5.39: 適応積分器の制御信号

両端に記憶される。次に、時刻 t_3 において積分動作のため入力信号が入力側の容量 C_1 にサンプルされる。カラムアンプの入出力は ϕ_s により接続され、アンプの入力は仮想接地点となる。以降、偶数時刻 t_{2n} , (n は自然数) の時に時刻 t_2 と同じ動作が行われ入力側の容量に蓄積された信号が帰還側の容量に転送される。また、奇数時刻 t_{2n+1} , (n は自然数) の時に時刻 t_3 の動作と同じ動作が行われ、画素からの入力信号を入力側の容量に蓄積する。以上の動作が繰り返され積分が行われる。従って解析は、時刻 t_1, t_2, t_3 での回路のノイズ解析を行ない、その結果から各々の積分回数でのランダノイズの大きさを計算する。また、回路に示すスイッチ $\phi_i, \phi_{com}, \phi_{fb}$ は積分動作している間はそれぞれ ON, OFF, OFF したままである。

5.8.3 各動作フェーズにおける等価回路

以下に初期状態 (t_1) におけるノイズ解析の等価回路、入力信号を転送する状態 (t_2) での等価回路、入力信号サンプル状態 (t_3) でのノイズ解析の等価回路についてそれぞれ解析を行う。

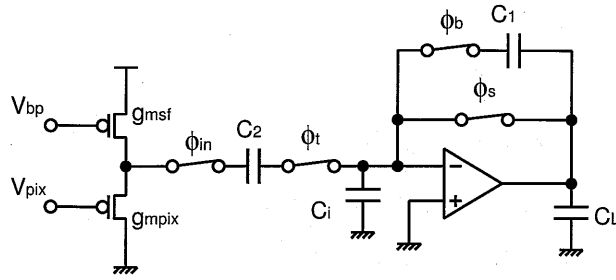


図 5.40: 初期状態 t_1 における適応積分器の半回路

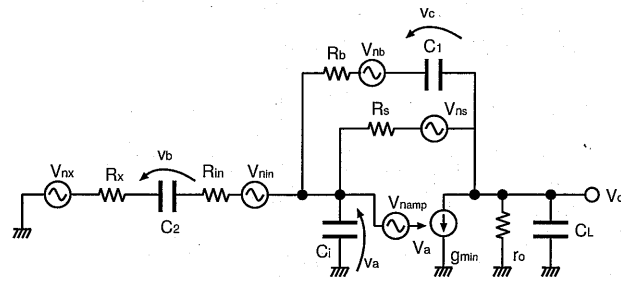


図 5.41: 初期状態 t_1 における適応積分器のノイズ解析のための等価回路

5.8.4 初期状態での回路のノイズ解析

図 5.40 に初期状態 t_1 での回路の接続状態を、また図 5.41 にノイズ解析のための等価回路を示す。ここで、等価回路での C_i はアンプの入力の寄生容量である。ノイズは、スイッチが制御信号により ON している状態の ON 抵抗が発生するノイズ、画素回路のソースフォロワが発生するノイズとアンプが発生するノイズがある。これらのノイズ源が各々ノイズを発生し、アンプの寄生容量 C_i 、入力側の容量 C_2 、帰還側の容量 C_1 にノイズ電荷としてサンプルされる。これらのノイズが次の時刻 t_2 において帰還側の容量 C_1 に転送される。各々のスイッチの ON 抵抗 R_{in}, R_i, R_b, R_s 、アンプとソースフォロワで発生するノイズの PSD をそれぞれ $S_{n_{in}}, S_{n_i}, S_{n_r}, S_{n_s}, S_{n_{amp}}, S_{n_{pix}}$ とする。ここで、画素回路のソースフォロワと ϕ_{in} で制御されるスイッチが発生する PSD は両者が直列接続であることから、まとめて $S_{n_x}(= S_{n_{in}} + S_{n_{pix}})$ と表すことができる。各々

$$S_{n_x} = 4kTR_{in} + \frac{8}{3}kT \frac{1}{g_{pix}} \left(1 + \frac{g_{sf}}{g_{pix}} \right) \quad (5.38)$$

$$S_{n_i} = 4kTR_i \quad (5.39)$$

$$S_{n_b} = 4kTR_b \quad (5.40)$$

$$S_{n_s} = 4kTR_s \quad (5.41)$$

$$S_{n_{amp}} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (5.42)$$

と記述される。

各ノイズ源が発生するノイズ電荷は

$$\begin{aligned} Qn_x^2 = & S_{n_x} \int_0^\infty (C_{in}^2 H_{x a}^2 + C_2^2 H_{x b}^2 + C_1^2 H_{x c}^2 \\ & + 2C_{in}C_2 \operatorname{Re}\{H_{x a}^* H_{x b}\} + 2C_{in}C_1 \operatorname{Re}\{H_{x a}^* H_{x c}\} \\ & + 2C_2C_1 \operatorname{Re}\{H_{x b}^* H_{x c}\}) df \end{aligned} \quad (5.43)$$

$$\begin{aligned} Qn_i^2 = & S_{n_i} \int_0^\infty (C_{in}^2 H_{i a}^2 + C_2^2 H_{i b}^2 + C_1^2 H_{i c}^2 \\ & + 2C_{in}C_2 \operatorname{Re}\{H_{i a}^* H_{i b}\} + 2C_{in}C_1 \operatorname{Re}\{H_{i a}^* H_{i c}\} \\ & + 2C_2C_1 \operatorname{Re}\{H_{i b}^* H_{i c}\}) df \end{aligned} \quad (5.44)$$

$$\begin{aligned} Qn_b^2 = & S_{n_b} \int_0^\infty (C_{in}^2 H_{b a}^2 + C_2^2 H_{b b}^2 + C_1^2 H_{b c}^2 \\ & + 2C_{in}C_2 \operatorname{Re}\{H_{b a}^* H_{b b}\} + 2C_{in}C_1 \operatorname{Re}\{H_{b a}^* H_{b c}\} \\ & + 2C_2C_1 \operatorname{Re}\{H_{b b}^* H_{b c}\}) df \end{aligned} \quad (5.45)$$

$$\begin{aligned} Qn_s^2 = & S_{n_s} \int_0^\infty (C_{in}^2 H_{s a}^2 + C_2^2 H_{s b}^2 + C_1^2 H_{s c}^2 \\ & + 2C_{in}C_2 \operatorname{Re}\{H_{s a}^* H_{s b}\} + 2C_{in}C_1 \operatorname{Re}\{H_{s a}^* H_{s c}\} \\ & + 2C_2C_1 \operatorname{Re}\{H_{s b}^* H_{s c}\}) df \end{aligned} \quad (5.46)$$

$$\begin{aligned} Qn_{amp}^2 = & S_{n_{amp}} \int_0^\infty (C_{in}^2 H_{amp a}^2 + C_2^2 H_{amp b}^2 + C_1^2 H_{amp c}^2 \\ & + 2C_{in}C_2 \operatorname{Re}\{H_{amp a}^* H_{amp b}\} + 2C_{in}C_1 \operatorname{Re}\{H_{amp a}^* H_{amp c}\} \\ & + 2C_2C_1 \operatorname{Re}\{H_{amp b}^* H_{amp c}\}) df \end{aligned} \quad (5.47)$$

と記述される。ここで $H_{m n}$ はノイズ源 m からキャパシタ両端へのノード n への伝達関数である。それぞれ、相関の項まで考慮して計算する。次の時刻 t_2 において転送され、アナログ積分器の出力に現れるノイズは以上の成分の加算で表されるので

$$Qn_{t1}^2 = Qn_x^2 + Qn_i^2 + Qn_b^2 + Qn_s^2 + Qn_{amp}^2 \quad (5.48)$$

となる。ここで、アンプのゲインが無限大と仮定して、すべてのノイズ電荷が帰還容量 C_1 へ転送されると

$$\overline{v_{t1}^2} = \frac{Qn_{t1}^2}{C_1^2} \quad (5.49)$$

となり、アナログ積分器が初期化動作で蓄積されるノイズ電力が求まる。

5.8.5 時刻 t_2 でのノイズ解析

次に時刻 t_2 発生するノイズを考える。時刻 t_2 での回路の状態を図 5.42 に示し、図 5.43 にその等価回路を示す。この時刻において各ノイズ源が発生するノイズは、積

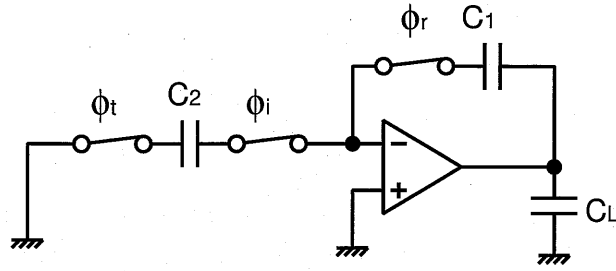


図 5.42: 時刻 t_2 における適応積分器の半回路

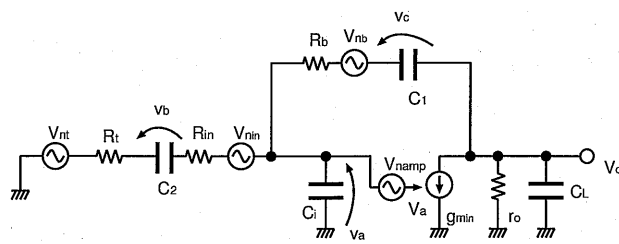


図 5.43: 時刻 t_2 におけるアナログ積分器のノイズ解析のための等価回路

分動作が終了か、もしくは継続かによって考えるべきノイズが異なる。転送が終了する時点で積分器の出力に発生するノイズは毎回出力されるが、積分動作が継続する場合はスイッチ ϕ_r が OFF した瞬間に帰還容量 C_1 に残留するノイズのみがノイズ電荷として考慮される。従って積分終了時のノイズは、終了までの積分動作により帰還容量 C_1 に蓄積されるノイズと、積分終了時に回路の出力に直接出力されるノイズを個別に計算する必要がある。ここでは積分動作が行われるときに発生するノイズを解析する。

ノイズ源は、 R_t, R_i, R_b, R_{amp} の 4 つであり、PSD は、各々 $S_{n_t}, S_{n_i}, S_{n_b}, S_{n_{amp}}$ と表される。この時刻での C_1 に蓄積されるノイズ電荷は、PSD と伝達関数を用いて

$$S_{n_t} = 4kTR_t \quad (5.50)$$

$$S_{n_i} = 4kTR_i \quad (5.51)$$

$$S_{n_b} = 4kTR_b \quad (5.52)$$

$$S_{n_s} = 4kTR_s \quad (5.53)$$

$$S_{n_{amp}} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (5.54)$$

$$Qn_t^2 = S_{n_t} \int_0^\infty C_1^2 H_{t1}^2 df \quad (5.55)$$

$$Qn_i^2 = S_{n_i} \int_0^\infty C_1^2 H_{i1}^2 df \quad (5.56)$$

$$Qn_b^2 = Sn_r \int_0^\infty C_1^2 H_{b1}^2 df \quad (5.57)$$

$$Qn_s^2 = Sn_s \int_0^\infty C_1^2 H_s^2 df \quad (5.58)$$

$$Qn_{amp}^2 = Sn_{amp} \int_0^\infty C_1^2 H_{amp1}^2 df \quad (5.59)$$

で示される。伝達関数 H_{x1} はノイズ源 x から容量 C_1 への伝達関数である。時刻 t_2 で帰還容量 C_1 に蓄積されるノイズ電荷とそのノイズ電力は

$$Qn_{C1}^2 = Qn_t^2 + Qn_i^2 + Qn_b^2 + Qn_s^2 + Qn_{amp}^2 \quad (5.60)$$

$$\overline{v_{t2}^2} = \frac{Qn_{C1}^2}{C_2} \quad (5.61)$$

で示される。このノイズは積分により毎回 C_1 へ蓄積される。

5.8.6 時刻 t_3 でのノイズ解析

続いて時刻 t_3 における回路状態とその等価回路を図 5.44 と図 5.45 に示す。ノイズ源は R_x, R_i, R_s とアンプが発生するノイズである。それぞれのスペクトルは時刻 t_1 と同様である。この状態で、アンプの入力に蓄積されるノイズは PSD と伝達関数と

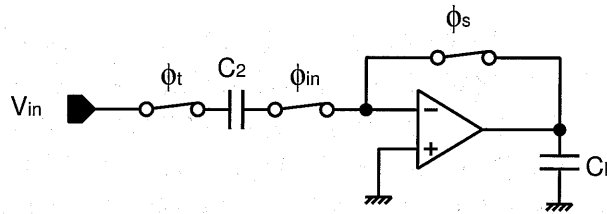


図 5.44: 時刻 t_3 におけるアナログ積分器

を用いて

$$Sn_x = 4kTR_{in} + \frac{8}{3}kT \frac{1}{g_{pix}} \left(1 + \frac{g_{sf}}{g_{pix}} \right) \quad (5.62)$$

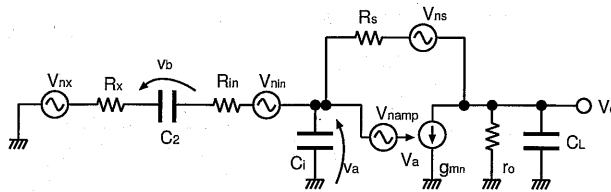


図 5.45: 時刻 t_3 におけるアナログ積分器のノイズ解析のための等価回路

$$Sn_i = 4kTR_i \quad (5.63)$$

$$Sn_s = 4kTR_s \quad (5.64)$$

$$Sn_{amp} = \frac{8}{3}kT \frac{1}{g_{min}} \left(1 + \frac{g_{mn}}{g_{min}} + \frac{g_{mp}}{g_{min}} \right) \quad (5.65)$$

$$Qn_x^2 = Sn_x \int_0^\infty (C_{in}^2 H_{x a}^2 + C_2^2 H_{x b}^2 + C_1^2 H_{x c}^2 + 2C_{in}C_2 Re\{H_{x a}^* H_{x b}\} + 2C_i C_1 Re\{H_{x a}^* H_{x c}\} + 2C_2 C_1 Re\{H_{x b}^* H_{x c}\}) df \quad (5.66)$$

$$Qn_i^2 = Sn_i \int_0^\infty (C_{in}^2 H_{i a}^2 + C_2^2 H_{i b}^2 + C_1^2 H_{i c}^2 + 2C_{in}C_2 Re\{H_{i a}^* H_{i b}\} + 2C_i C_1 Re\{H_{i a}^* H_{i c}\} + 2C_2 C_1 Re\{H_{i b}^* H_{i c}\}) df \quad (5.67)$$

$$Qn_s^2 = Sn_s \int_0^\infty (C_{in}^2 H_{s a}^2 + C_2^2 H_{s b}^2 + C_1^2 H_{s c}^2 + 2C_{in}C_2 Re\{H_{s a}^* H_{s b}\} + 2C_i C_1 Re\{H_{s a}^* H_{s c}\} + 2C_2 C_1 Re\{H_{s b}^* H_{s c}\}) df \quad (5.68)$$

$$Qn_{amp}^2 = Sn_{amp} \int_0^\infty (C_{in}^2 H_{amp a}^2 + C_2^2 H_{amp b}^2 + C_1^2 H_{amp c}^2 + 2C_{in}C_2 Re\{H_{amp a}^* H_{amp b}\} + 2C_i C_1 Re\{H_{amp a}^* H_{amp c}\} + 2C_2 C_1 Re\{H_{amp b}^* H_{amp c}\}) df \quad (5.69)$$

で示される。このノイズが時刻 t_1 の場合に時刻 t_2 にて転送されたのと同様に、時刻 t_3 で発生するノイズは時刻 t_4 で転送される。

$$Qn_{tot}^2 = Qn_1^2 + Qn_s^2 + Qn_i^2 + Qn_{amp}^2 \quad (5.70)$$

$$\overline{v_{i3}^2} = \frac{Qn_{tot}^2}{C_2^2} \quad (5.71)$$

5.8.7 積分終了時でのノイズ解析

適応積分は、所望の回数信号が帰還容量 C_1 へ入力信号を転送して終了する。積分終了時には、回路が A/D 変換器として動作するために入力側の容量 C_2 がアンプの入力とスイッチ ϕ_i により切り離され、フィードバックスイッチ ϕ_{fb} とコモン電圧への接続スイッチ ϕ_{com} により接続されてサンプル/ホールド回路を形成する。積分終了時のノイズ電圧がサンプルされるのは、このサンプル/ホールド回路のスイッチ ϕ_{com} の接続が切られた時点で確定する。従って、積分終了時のノイズ解析をする回路は図 5.46 に示す回路となる。

積分終了時点で出力されるノイズ電荷は PSD と伝達関数を用いて

$$\overline{vn_{fb}^2} = Sn_{fb} \int_0^\infty H_{fb}^2 df \quad (5.72)$$

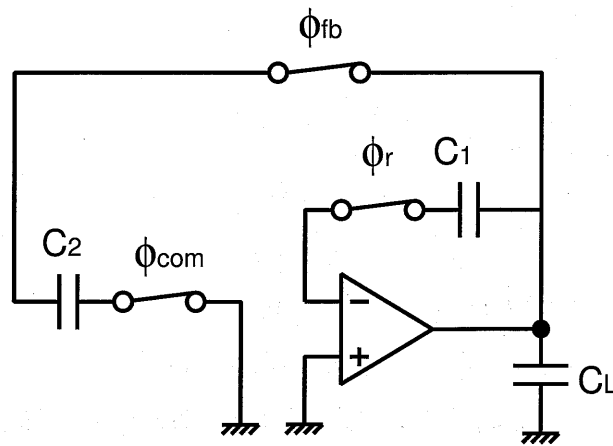


図 5.46: 積分終了時における適応積分器の半回路

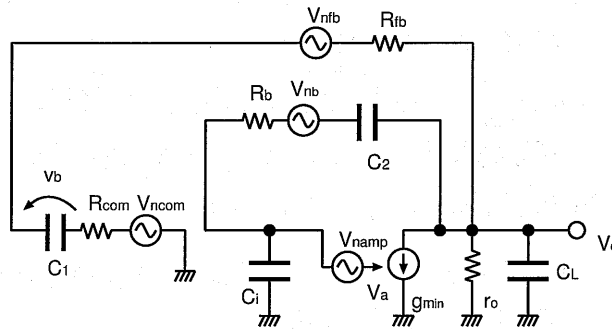


図 5.47: 積分終了時におけるアナログ積分器のノイズ解析のための等価回路

$$\overline{vn_{com}^2} = Sn_{com} \int_0^{\infty} H_{com}^2 2df \quad (5.73)$$

$$\overline{vn_b^2} = Sn_b \int_0^{\infty} H_b^2 2df \quad (5.74)$$

$$\overline{vn_{amp}^2} = Sn_{amp} \int_0^{\infty} H_{amp}^2 2df \quad (5.75)$$

で記述される。伝達関数 $H_x 2$ は各々のノイズ源 x から容量 C_2 への伝達関数である。積分終了時に入力側のキャパシタ C_2 へ蓄積されるノイズ電力は

$$\overline{v_{final}^2} = \overline{vn_{fb}^2} + \overline{vn_{com}^2} + \overline{vn_b^2} + \overline{vn_{amp}^2} \quad (5.76)$$

で示される。

5.8.8 適応積分動作で発生するノイズ

適応積分が終了した時点で蓄積されるすべてのノイズを算出する。上記解析の時刻より後の帰還容量 C_1 に蓄積されるノイズ電力は、回路が動作する時刻を kt とすると k が積分終了時以外の偶数の時刻は t_2 と同様の、また、初期状態を除く奇数の場合は t_3 と同様のノイズ電力が積分のたびに蓄積される。従って、各々の時刻で発生するノイズは

$$\overline{v_{tk}^2} = \begin{cases} \overline{v_{t3}^2} & k: \text{odd}(k \neq 1) \\ \overline{v_{t2}^2} & k: \text{even}(k \neq 2N) \end{cases} \quad (5.77)$$

と初期状態で発生するノイズと積分終了時を除いて記述される。適応積分器が M 回の積分で終了 ($M = 2N$) する場合、積分動作で発生するノイズ $\overline{vn_{int}^2}$ はすべての時刻で発生するノイズを電力領域で加算して、

$$\overline{vn_{int}^2} = \overline{vn_{t1}^2} + \overline{vn_{t2}^2} + \overline{vn_{t3}^2} + \cdots + \overline{vn_{t(M-1)}^2} + \overline{vn_{tM}^2} \quad (5.78)$$

$$= \overline{vn_{ini}^2} + \sum_{k=1}^{N-1} (\overline{vn_{2k}^2}) + \sum_{k=1}^N \overline{vn_{2k-1}^2} + \overline{vn_{final}^2} \quad (5.79)$$

$$= \overline{vn_{ini}^2} + (N-1)\overline{vn_{t2}^2} + (N-1)\overline{vn_{t3}^2} + \overline{vn_{final}^2} \quad (5.80)$$

と示される。この式の意味は、初期状態でノイズ $\overline{vn_1^2}$ が発生し、積分回数 N に応じてノイズ $(N-1)\overline{vn_{t2}^2} + (N-1)\overline{vn_{t3}^2}$ がフィードバック容量に蓄積され、最後に $\overline{vn_{final}^2}$ のノイズが重畳されることを示す。

5.9 適応積分機能共有 1.5bit A/D 変換器の積分時のノイズの計算

以上の解析式から、実際に SPICE 回路シミュレーションを行い伝達関数を求めてノイズ計算を行った。用いたパラメータを図 5.2 に示す。これらの値を基準にして各積分回数に伴うノイズの増加を解析した。積分器の負荷容量である C_l は次段のコンパレータの入力容量であり、偶数時刻の動作時に $25 fF$ になり、奇数時刻は $0F$ になる。

5.9.1 積分動作によるノイズの低減

ここで、解析式より導かれたノイズが回路の積分演算によりどの程度増加し、それが入力換算でどの程度低減できるのかを具体的な数値として算出した。

解析結果を図 5.48 に示す。結果から、各々積分回数が増すごとにノイズ電力が増加している。図 5.49 に積分動作で発生するノイズ電圧の入力換算値を示す。結果が

表 5.2: ノイズ解析のパラメータ

g_{pix} (transconductance of pixel amplifier (input))	$83 \mu\Omega^{-1}$
g_{sf} (transconductance of pixel amplifier (source follower))	$86 \mu\Omega^{-1}$
g_{min} (transconductance of column amplifier (input))	$122.5 \mu\Omega^{-1}$
g_{mn} (transconductance of column amplifier (nMOS))	$110 \mu\Omega^{-1}$
g_{mp} (transconductance of column amplifier (pMOS))	$35.4 \mu\Omega^{-1}$
R_t (on-resistance of transfer switch)	1.13 k Ω
R_{in} (on-resistance of input switch)	1.13 k Ω
R_i (on-resistance of amplifier's input switch)	2.26 k Ω
R_b (on-resistance of feed-back switch)	2.26 k Ω
R_s (on-resistance of amplifier's short switch)	2.26 k Ω
C_1 (feed-back capacitor)	1.125 pF
C_2 (sampling capacitor)	1.125 pF
C_{in} (stray capacitance of column amplifier)	160 fF
C_l (load capacitor)	25 or 0 fF
T (room temperature)	27 °C

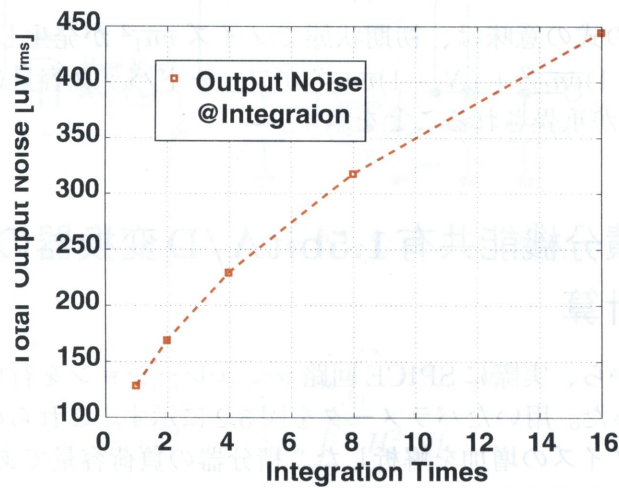


図 5.48: 適応積分器の積分回数に対するノイズ電力

ら、提案する適応積分方式の回路で発生するランダムノイズ電力は、ほぼ積分回数に比例するので入力換算で低減できることがわかる。

結果から、ノイズの低減効果は3章で提案した適応ゲイン方式場合より高いことがわかる。これは、適応ゲイン方式の場合は帰還容量がゲインに応じて動的に小さくなるために、容量に転送されるノイズ電荷が同等レベルとした場合でも電圧値として高いノイズ電圧が出力されることによる。適応積分方式の場合には、入力容量の

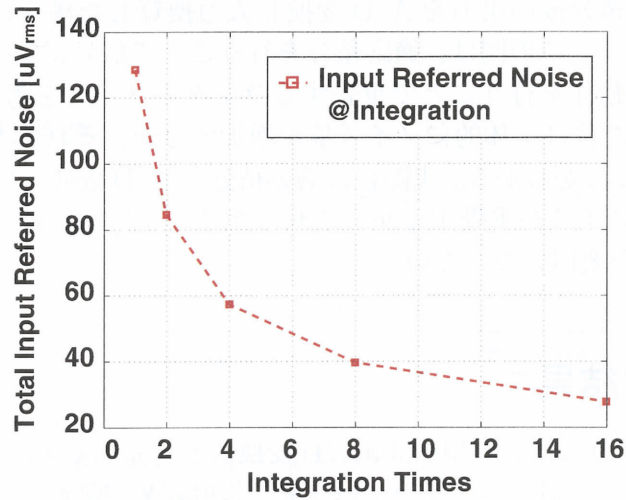


図 5.49: 適応積分器の積分回数に対する入力換算ノイズ電圧

大きさと出力容量の大きさが同じために転送されるノイズ電荷が同量でも容量が小さいため出力される電圧が小さい。

また適応ゲイン方式は、回路より直接出力されるノイズが帰還容量が小さいために広い帯域のノイズが出力される。適応積分方式は回路から直接出力されるノイズを考慮するのは積分の最後であり、この場合は次の A/D 変換動作につなげるために出力にアンプの入力容量が接続され、これが帯域制限の効果を生じ、帰還容量が大きいことによる帯域制限効果と組み合わせられて低ノイズ化が実現できている。

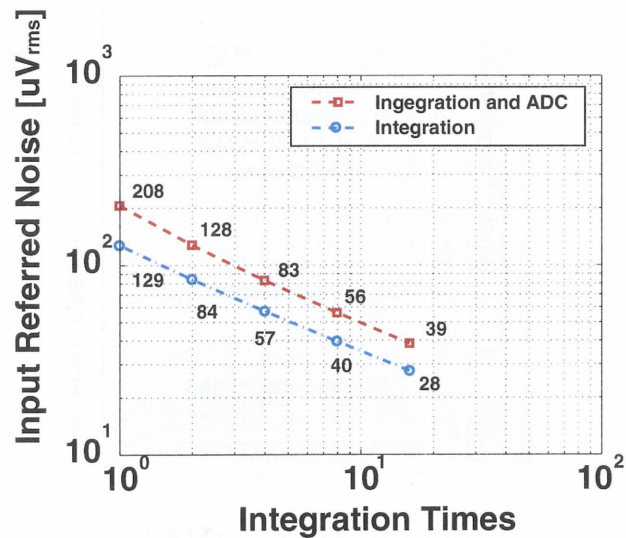


図 5.50: A/D 変換後の適応積分器の積分回数に対する入力換算ノイズ電圧

図 5.50 に適応積分後の出力を A/D 変換し入力換算した場合のランダムノイズを log スケールで示す。この図は、適応積分を行うことで信号に重畳するランダムノイズと、A/D 変換動作を行うことで重畳するランダムノイズを考慮したものである。A/D 変換を行った後は全体的にノイズ量が増加するが、それでもなおノイズ低減効果が有効であることがわかる。実際には適応積分と A/D 変換の後に A/D 変換を行った場合の量子化ノイズが重畳するが、これはゲイン 1 倍時に約 $70\mu V_{rms}$ 程度でありノイズの支配的な要因にならない。

5.10 測定結果

実際に、適応積分機能共有型 1.5bit A/D 変換器と受光部である画素を試作した。図 5.51 に試作したチップを示す。チップは受光部以外に光が入射しないように LS(Light Shield) レイヤがあるので、メタル層などは見えなくなっている。使用したテクノロ

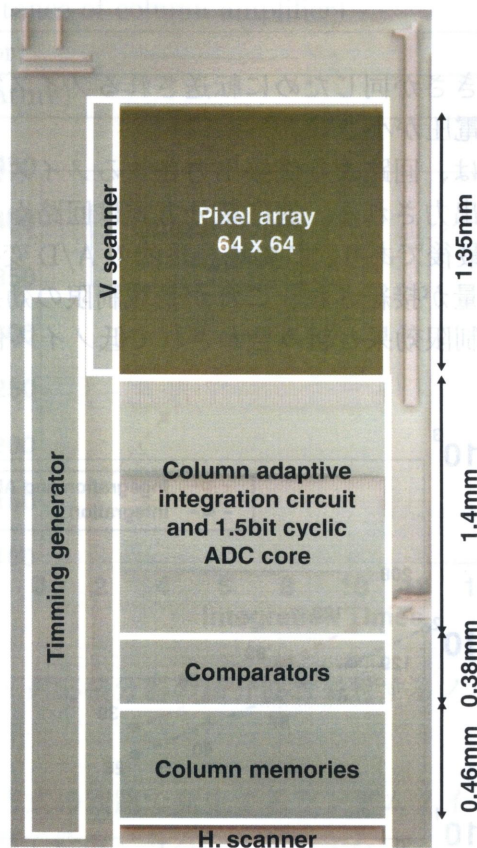


図 5.51: 試作チップ外観図

ジは TSMC 社の $0.25\mu m$ の CMOS Image Sensor プロセスを使用し作成した。以下

にこの試作チップの測定結果を記述する。

5.10.1 入出力特性

まず、センサの入出力特性を示す。測定方法は、図 5.52 に示すように積分球を用いて均一な照度の光源をセンサの撮像面に照射する。それと同時に、照度計で撮像面での照度を測定しつつセンサからの出力のデジタルコードを読み取る。出力のデ

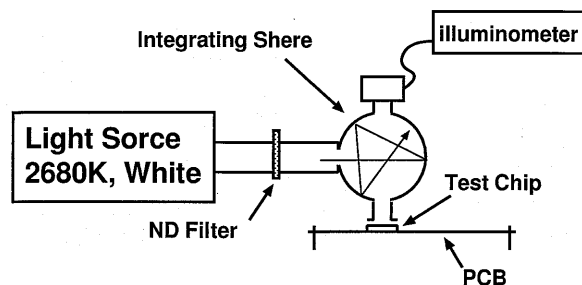


図 5.52: 測定環境

ジタルコードは冗長 2 進のコードが 12bit でカラム毎にリセットレベルが 2 つ、信号レベルが 2 つの計 4 つと、適応された積分回数のコードの 4bit がリセットレベルと信号レベルのもので計 2 つ出力される。まず、センサより画素部のリセットレベルのコードを DH_{Reset} (0 - 4096), DL_{Reset} (0 - 4096) とし、また、出力されたゲインのコードから積分回数を $Gain_R$ とおくとリセットレベルは入力換算で単純に

$$D_{Reset} = (DH_{Reset} + DL_{Reset}) / Gain_R \quad (5.81)$$

と示される。通常モードでは $Gain = 1$ に固定される。リセットレベルは画素のダークレベルが出力されるので、ランダムノイズと回路のオフセットがなければ毎回 13bit フルスケールの中点である 4096 のコードを出力する。また、適応モードではリセットレベルはほぼ毎回 16 回積分が行われた値が出力される。

続いて画素部より、受光した信号レベルの冗長コードが出力される。各々 DH_{Signal} , DL_{Signal} , 積分回数を $Gain_S$ とすると

$$D_{Signal} = (DH_{Signal} + DL_{Signal}) / Gain_S \quad (5.82)$$

と求まる。受光した信号 D_{Signal} は (4096-8192) の値をとる。最終的には信号レベルとリセットレベルの相関差分を取り、デジタル CDS を行うので、賞味の信号としては

$$D_{Out} = D_{Signal} - D_{Reset} \quad (5.83)$$

となる。

以上の方法で、特定の画素に注目しその入出力特性を測定した結果を図 5.53 に示す。制御信号のクロック周波数から露光時間は $T_E = 95\mu\text{sec}$ である。また、画素の $1/f$ ノイズ低減モードを有効にした場合の入出力特性を 5.54 に示す。また、それぞれの場合で適応積分モードを有効にした場合の入出力特性をそれぞれ図 5.55, 5.56 に示す。

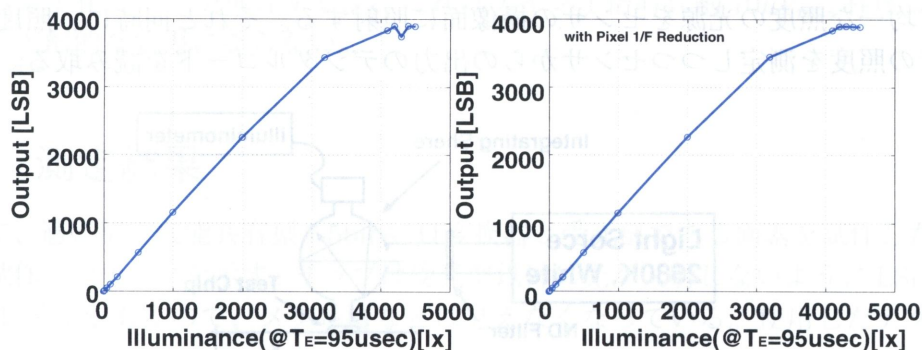


図 5.53: 通常モードでの入出力特性
図 5.54: 画素 $1/f$ ノイズ低減モードでの入出力特性

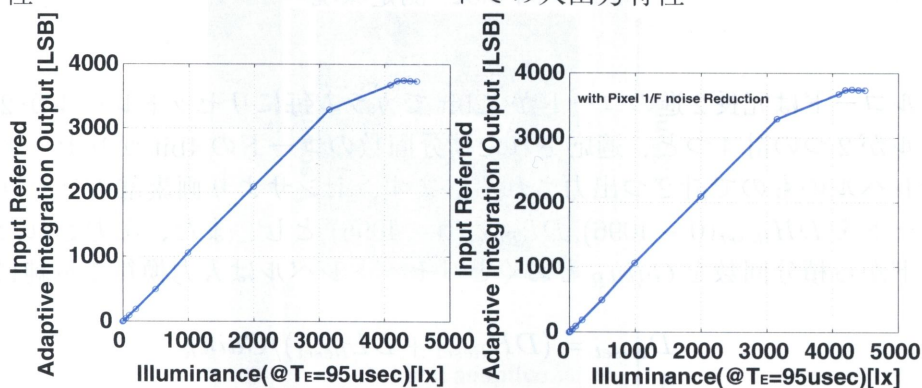


図 5.55: 適応積分モードでの入出力特性
図 5.56: 適応積分と画素 $1/f$ ノイズ低減モードでの入出力特性

図からすべてのモードでリニアに応答しており適応積分モードと $1/f$ 低減モードが正常に動作していることがわかる。また、A/D 変換器の 1LSB が $1V_{FS}$ で 12bit であるので、画素の入出力特性から画素の飽和信号レベルは約 $0.9V$ であることがわかる。

5.10.2 ランダムノイズ特性

まず、光の当たらない黒レベルでのランダムノイズ特性を表 5.3 に示す。A/D 変換器の 1LSB が $1V_{FS}$ で 12bit であるので、 1LSB を $244.1\mu\text{V}$ としている。

表 5.3: 暗時におけるランダムノイズ

	通常モード	1/f低減モード
通常モード	$384.2\mu V_{rms}$	$346.4\mu V_{rms}$
適応積分モード	$67.1\mu V_{rms}$	$66.1\mu V_{rms}$

それぞれのモードで、画素が飽和するフルスケールを $0.9V$ とした場合の S/N 比は表 5.4 に示すようになる。

表 5.4: $FS = 0.9V$ の場合の各々のモードでの S/N 比

	通常モード	1/f低減モード
通常モード	$67.4dB$	$68.3dB$
適応積分モード	$82.5dB$	$82.7dB$

また、 $1/f$ モードの切り替えから低減できる $1/f$ ノイズを計算すると信号を 1 度しかサンプルしない通常モードで $166\mu V_{rms}$ の改善が見られ、また、黒レベルの適応モードで 16 回の信号サンプルが行われると入力換算前で $188\mu V_{rms}$ の改善が見られた。この結果から、画素の読み出しトランジスタの基板の欠陥準位を一旦多数キャリアで満たす動作が $1/f$ ノイズの低減に有効であることがわかる。

続いて、受光時のランダムノイズを図 5.57, 5.58, 5.59, 5.60 に示す。各々、通常モード、画素の $1/f$ ノイズ低減モード、適応積分モード、適応積分と $1/f$ ノイズ低減モードでのランダムノイズを示す。

図を見るとわかるように高照度領域でランダムノイズが増加していることがわかる。これはイメージセンサが光電変換を行う際に必然的に重畳するショットノイズである。また、適応積分を行わないモードでは、約 $50lx$ 以下になると回路の読み出しノイズが支配的になることがわかる。適応積分モードでは回路の読み出しノイズは相対的に小さくなるので、低照度領域で読み出し回路のノイズを低減に効果を発揮しており、高照度領域から低照度領域にわたってショットノイズが信号の支配的なランダムノイズになっていることがわかる。

ショットノイズは信号の平方根に比例することから信号の変換ゲインを求めることが可能である。ここでカラムでの積分回数を G_a として、画素での変換ゲインを G_c 、発生した電子数を N_s とすると出力される信号 V_s とノイズ V_n は

$$V_s = G_a \cdot G_c \cdot N_s \quad (5.84)$$

$$V_n = G_a \cdot G_c \cdot \sqrt{N_s} \quad (5.85)$$

から

$$G_c = \frac{1}{G_a} \frac{V_n^2}{V_s} \quad (5.86)$$

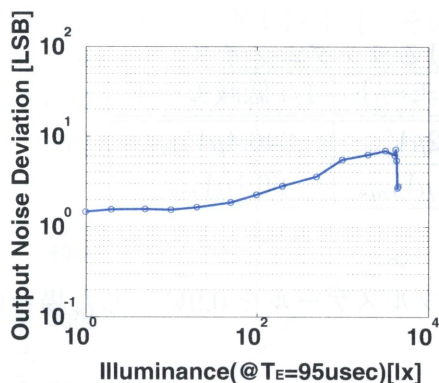


図 5.57: 通常モードでのランダムノイズ

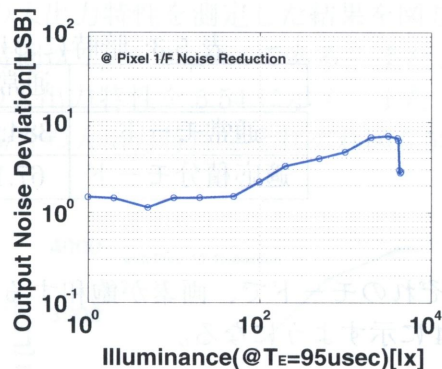


図 5.58: 画素 1/f ノイズ低減モードでのランダムノイズ

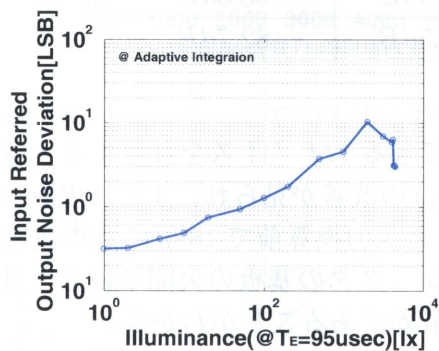


図 5.59: 適応積分モードでのランダムノイズ

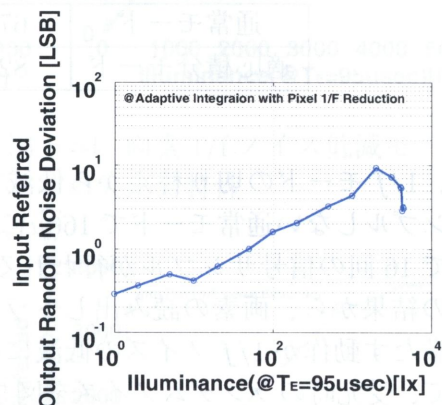


図 5.60: 適応積分と画素 1/f ノイズ低減モードでのランダムノイズ

と求まる。適応モードの $1000lx$ での出力から変換ゲインが $G_c = 4.82\mu V/e^-$ と計算可能である。これは画素の光電変換部での浮遊容量が $33.2fF$ であることに等しい。これは、デバイスのモデルパラメータで見積もった値とほぼ一致する。

また、感度であるが $2297.95LSB@2000lx \cdot 95\mu sec$ であるので換算すると $2.95V/lx \cdot sec$ となる。

5.10.3 諸特性

入出力特性とランダムノイズの振る舞いからノイズ特性や感度が求まった。ここでは、これらの特性に加えて消費電力などの特性を表 5.5 にまとめる。

表 5.5: 特性諸元

Technology	0.25 μ m CIS 1P4M
Column size	20 μ m \times 2.26mm
Pixel size	20 μ m \times 20 μ m
Fill Factor	86.5%
Sensitivity	2.95V/lx \cdot sec
Random noise	384.2 μ V _{rms} (Integration 1 Time) 346.4 μ V _{rms} (Integration 1 Time, 1/f reduction Mode) 67.1 μ V _{rms} (Integration 16 Times) 66.1 μ V _{rms} (Integration 16 Times, 1/f reduction Mode)
Saturation Signal	0.9 V
Conversion Gain	4.82 μ V/e ⁻
Dynamic Range	82.7dB
Power Supply	3.3V(Analog),2.5V(Digital)
Power Consumption	16mW(@2MHzSystemClock) (204 μ W/column)

5.11 まとめ

本章で、帯域の狭いカラムで信号のアナログ積分と A/D 変換を行うことにより、入力信号換算でランダムノイズを低減する手法を提案した。CMOS イメージセンサの支配的なノイズ源である最終読み出し部を介さずにノイズ帯域の狭いカラムでのノイズ低減処理が有効であることに着目する [1] [2]。

入力信号を、その大きさに合わせて適応的に積分することで、信号の飽和を防ぐとともに低照度領域のダイナミックレンジを拡大する。アナログ信号演算の適応積分器と、デジタル出力のための 1.5bit 巡回型方式の A/D 変換器は演算回路を共有して、わずかな制御回路を付与し時間分散処理を行うことで大幅な面積の縮小を可能とする。積分器は 4つの容量と差動アンプ1つで構成し、比較器を用いることで適応積分機能を実現する。加えて、1.5bit 巡回型 A/D 変換器は適応積分器にわずか1つの比較器と制御回路を追加するのみで実現でき、適応積分器と回路共有をすることによる面積削減効果が非常に高い。

1.5-bit 巡回型 AD 変換動作が可能な適応積分機能のアンプのセットリング誤差、ゲイン誤差、キャパシタ mismatch、入力容量による誤差、アンプのオフセット誤差が重畳していた場合の解析を行った。結果は、補正なしで 12bit 精度に問題のない INS,DNL のレベルであることを確認した。また、提案回路の適応積分時におけるランダムノイズの解析を行った。結果から、キャパシタの容量比で増幅を行う適応ゲイン方式と同様に、回路をスイッチングして積分を行う本方式も入力換算でランダ

ムノイズが低減できることがわかった。また、適応積分方式は適応ゲイン方式よりもノイズ低減効果が高いことも確認した。3章で述べた適応ゲイン方式は、帰還容量を入力信号によって動的に変化させるために、信号レベルが低い低照度において帰還容量が小さく設定されるのでノイズ帯域が広がるためにノイズが大きくなる。加えて、帰還容量が小さい場合にアンプの入力に蓄積されて帰還容量に転送されるノイズ電荷に対する感度も高くなる。一方、適応積分方式は帰還容量はそのままに転送回数を動的に変化させているために、ノイズの帯域とアンプの入力に蓄積されて転送されるノイズの感度が変化せず、入力換算でのノイズ低減効果が適応積分方式より高い。伝達関数と PSD を用いたランダムノイズの解析より、16 回の積分が行われた場合は入力換算で $28\mu V_{rms}$ まで、また AD 変換を行った後でも $32\mu V_{rms}$ まで低減できる見通しを得た。実際に 0.25μ のイメージセンサプロセスを用いて試作をした。測定の結果、通常モードでランダムノイズが $384.2\mu V_{rms}$ であったものが 16 倍の適応積分モードでは $67.1\mu V_{rms}$ に低減可能となった。また、画素の読み出しトランジスタのチャネルを多数キャリアで一旦満たし $1/f$ ノイズを低減するモードではさらに $66.1\mu V_{rms}$ まで低減可能となった。画素が $0.9V$ で飽和するので、ダイナミックレンジは $82.7dB$ となり、低ノイズかつ高ダイナミックレンジのイメージセンサを実現するカラム読み出し回路を実現した。

参考文献

- [1] S. Kawahito, M. Sakakibara, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, and H. Sumi, "A column-based pixel-gain-adaptive CMOS image sensor for low-light-level imaging," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 224 - 225, February 2003.
- [2] M. Sakakibara, et al., "A High-Sensitivity CMOS Image Sensor With Gain-Adaptive Column Amplifiers," IEEE J. Solid-State Circuits, vol.40, No.5, May 2005
- [3] M. Sakakibara, S. Kawahito, "A Column Parallel Double Integration Type A/D Converter for CMOS Image Sensors," in ITC-CSCC Proc., vol.1, pp.189-190, 2005
- [4] 河合 信宏 "CMOS イメージセンサのノイズ解析と低ノイズ化に関する研究", 静岡大学博士論文, Feb. 2005
- [5] M. Mase, et al., "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters," in ISSCC Dig. Tech. Papers, 2005, pp.350-351
- [6] I. Takayanagi, M. Shirakawa, K. Mitani, M. Sugawara, S. Iversen, J. Moholt, J. Nakamura, and E. R. Fossum, "A 1 1/4 inch 8.3M pixel digital output CMOS APS for UDTV application," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 216 - 217, February 2003.
- [7] K. Findlater, R. Henderson, D. Baxter, J. E. D. Hurwitz, L. Grant, Y. Cazaux, F. Roy, D. Herault, and Y. Marcellier, "SXGA Pinned photodiode CMOS image sensor in 0.35 μ m technology," IEEE International Solid-State Circuits Conference, vol. XLVI, pp. 218 - 219, February 2003.
- [8] B. Mansoorian, H. Yee, S. Huang, and E. Fossum, "A 250mW, 60 frames/s 1280 \times 720 pixel 9b CMOS digital image sensor," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 312 - 313, February 1999.
- [9] W. Yang, O. Kwon, J. Lee, G. Hwang, and S. Lee, "An integrated 800 \times 600 CMOS imaging system," IEEE International Solid-State Circuits Conference, vol. XLII, pp. 304 - 305, February 1999.

- [10] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, and T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," IEEE International Solid-State Circuits Conference, vol. XLIII, pp. 108 - 109, February 2000.
- [11] H. Morimura, S. Shigematsu, T. Shimamura, K. Fujii, C. Yamaguchi, H. Suto, Y. Okazaki, K. Machida, and H. Kyuragi, "An advanced fingerprint sensor LSI and its application to a fingerprint identification system," Symp. VLSI Circuits Dig. 16, pp. 272 - 275, June 2002.
- [12] J. Nakamura, B. Pain, T. Nomoto, T. Nakamura, and E. R. Fossum, "On-focal-plane signal processing for current-mode active pixel sensors," IEEE Trans. Electron devices, Vol. 44, No. 10, pp. 1747-1758, October, 1997.
- [13] S. Decker, R. McGrath, K. Brehmer, and C. Sodini, "A 256×256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEEE International Solid-State Circuits Conference, vol. XLI, pp. 176 - 177, February 1998.
- [14] B. Ginetti, et al., "A CMOS 13-b Cyclic RSD A/D Converter," IEEE J. Solid-State Circuits, vol.27, No.7, Jul. 1992
- [15] B. Dierickx, E. Simoen, "The decrease of "random telegraph signal" noise in metal-oxide-semiconductor field-effect transistors when cycled from inversion to accumulation," J. Appl. Phys., 71(4), 15, pp.2028-2029 Feb. 1992

第6章

結論

本研究は、CMOS イメージセンサの低ノイズ読み出し回路について研究を行ったものまとめたものである。CMOS イメージセンサの機能回路を集積できる特徴に着目し、CMOS イメージセンサの画素からの信号をカラム回路の信号処理により、ダイナミックレンジを確保しつつ低ノイズで読み出す3つの方式を検討した。

3章において、画素信号が低レベル（低照度）時には信号増幅をし、高レベル（高照度）時には信号増幅をせずにそのまま読み出す、適応ゲインカラム増幅回路を用いたCMOS イメージセンサを提案した。画素信号からの出力信号を、各ピクセルごとに適応適に増幅することにより、SNの改善と高照度時の飽和を防ぐ。また、画素部に埋め込みフォトダイオード (Pinned Photo Diode) を用いることにより画素部からのノイズを低減する。さらに、画素回路からの読み出しにブートストラップ機能を持たせて出力信号を拡大した。

演算回路のカラム以降で発生するノイズは入力換算で低減できるが、カラムで発生ノイズが支配的であると本方式の効果がない。従って、カラムで発生するノイズが支配的でないことを確かめるために、カラム回路と画素が発生するノイズを伝達関数とPSDを用いたノイズ解析を行いノイズを具体的な数値で見積もった。ノイズの計算結果から、カラム以降のノイズが入力換算で低減できるばかりではなくカラム回路と画素が発生するノイズ自身も低減できることがわかった。

試作をした結果、イメージセンサの固定パターンノイズが $50\mu V$ 、ランダムノイズが $263\mu V$ でSNRがCCD相当である、 $71dB$ となった。この研究により、カラムで増幅することはランダムノイズの低減に非常に有効であることを確認した

4章において、信号の積分処理によりA/D変換器の量子化ノイズとランダムノイズを同時に低減する2重積分型カラム並列A/D変換器について検討を行った。信号を多数回サンプル、A/D変換をし、その平均を取ることでノイズを低照度のみならず高照度の場合においても低減する。CMOS イメージセンサの画素の出力信号がほぼDCレベルを一定にランダムノイズが重畳される特徴に着目し、高速にA/D変換と平均化を行うため、回路にインクリメンタルADCモードと信号追従・平均化モードを持たせる。インクリメンタルADCモードでは、単位ステップ Δ づつ参照電圧を上昇させて入力信号と比較をし、そのステップをカウントすることでA/D変換をする。信号追従・平均化モードでは、出力のデジタル値が入力信号のノイズの揺らぎに追従するため、この信号を積分することでノイズの低減が可能となる。このモー

ドでは、1クロックサイクルで1回のA/D変換を行っていることと等価になり高速にA/D変換とノイズ低減処理を行うことと等価になる。状態遷移図を用いた解析と乱数を用いた計算機シミュレーションを行い、信号追従・平均化モードのノイズ低減効果を確認した。入力信号に0.4LSBのランダムノイズが重畳している場合、1024回の積分回数で約5bitの改善効果が得られることを見いだした。さらに、ランダムノイズのみではなくA/D変換器の量子化ノイズもデザイナーの効果で同時に低減できることがわかった。本方式の入力信号に重畳するランダムノイズは、外部から意図的にランダムノイズを重畳するのではなく、内部回路が発生する熱雑音を使用する。最大限のノイズ低減効果が得られるように、カラムで発生する熱雑音をノイズ解析により計算した。計算した結果、回路が最もノイズ低減効果の期待できる約0.4LSB程度のランダムノイズを発生することを確認した。しかしながら、ノイズ低減の特性を劣化させる、回路に蓄積されるノイズが発生する。2重積分方式ではこの蓄積されるノイズを0.001LSBまで低減すると、シミュレーションで見積もった理想に近いノイズ低減効果が得られることを確認した。

5章で、入力信号を適応的に積分することで高照度時の信号飽和を防ぎつつ、低照度時のランダムノイズを抑制する適応積分機能共有型カラム並列巡回型1.5bitA/D(analog-to-digital)変換器について検討を行った。また画素部において、信号の読み出しトランジスタの界面準位の欠陥を一旦多数キャリアで満たす処理を行い、画素が発生する1/fノイズを低減する機能を持たせた。適応的に信号を積分する方式は、3章で検討した適応ゲイン方式と同様に入力換算でランダムノイズを低減するが、続く動作でカラムA/D変換を行うためにカラム以降のノイズの重畳が原理的にないため、更なるノイズ低減が可能である。提案方式では、信号をアナログ領域で適応的に1, 2, 4, 8, 16回積分することで、ランダムノイズを入力換算で低減する。積分器は1つのアンプと4つのキャパシタにより構成可能である。この積分器に比較器と制御回路を接続することで適応積分動作を実現した。1.5bit巡回型A/D変換器は、この適応積分器の比較器にもう1つの比較器を追加するのみで実現できる。適応積分器と1.5bit巡回型A/D変換器を時間分割処理することで共通の回路を使用し、回路面積の大幅な縮小を可能とした。動作をMATLABとSPICEを用いたシミュレーションにより解析し、両者とも想定される誤差の範囲ではINL,DNLとも1LSB以下になり、補正なしに12bitのA/D変換器の精度をとることが可能であることを確認した。また、回路が積分器として動作する場合のランダムノイズの解析から、ランダムノイズが入力換算で適応ゲイン方式よりも低ノイズとすることができることを見いだした。これは、適応ゲインの方式が帰還容量を入力側の容量と比をとることで増幅していたが、比をとった結果帰還容量が小さくなりアンプの入力に蓄積されて転送される電荷の感度が高くなることと、出力されるノイズの帯域が広くなることに起因する。一方、適応積分方式はこれらの影響を受けないために、信号を低ノイズで読み出すことが可能である。解析結果より、積分が16回適用されることで入力換算で約30 μ V程度までランダムノイズを低減できることが確認された。実際に読み出し回路の試

表 6.1: 近年発表されているイメージセンサとのノイズ特性の比較

	Readout noise(V_{rms})	S/N (dB)	Technique
Low noise			
IEEE Workshop 2003 [1]	353 μ	75	x13 Over Sampling
IEEE Workshop 2003 [2]	82 μ	42	x8 Column Gain & x4 ADC
IEEE Workshop 2005 [3]	48.5 μ	-	x32 Column Gain & Double CDS
Wide Dynamic Range			
JSSC 2005 [4]	667 μ	63	Multiple Exposure 119dB
VLSI 2005 [5]	150 μ	76	Overflow Capacitor 100dB
This paper			
Chapter 3	263 μ	71	x8 Column Adaptive Gain
(Chapter 4)	(8.8 μ)	(101)	(Dual Integration if residue noise of $< 0.001LSB$ is achieved)
Chapter 5	66.1 μ	82.7	x16 Adaptive Integration

作を行い、測定した結果、適応積分が16回行われるダークの状態でのランダムノイズがセンサからA/D変換器のランダムノイズ、量子化ノイズを含めて $66.1\mu V_{rms}$ となり、飽和信号が0.9Vでダイナミックレンジは82.7dBを達成した。

以上に述べた、CMOSイメージセンサの機能集積可能な利点を生かし、広いダイナミックレンジを確保しながら、ランダムノイズをカラムの信号処理により低減する方式を検討した。

3章での適応ゲインカラム増幅、4章での2重積分型ADC、5章での適応積分機能共有1.5bit巡回型ADCと近年発表された低ノイズCMOSイメージセンサと高ダイナミックレンジを特徴とするCMOSイメージセンサの特性と比較した表を6.1に示す。4章の結果は、アナログ積分器に残留するノイズが $0.001LSB (= 1\mu V)$ を仮定した場合のものである。2重積分のランダムノイズと量子化ノイズの低減効果で考慮すべきノイズは、最終出力が15bitの分解能となるA/D変換器の量子化ノイズのみになるためである。また、特に5章での適応積分方式は広いダイナミックレンジと、低ノイズ特性を達成していることがわかる。最後に、表6.2に各方式での一長一短をまとめる。

CMOSイメージセンサの基本特性は画素の信号出力と、読み出し回路のノイズレベルで決定されることから、ダイナミックレンジを犠牲にせずに回路のノイズを低減可能であるこれらの方式は、CMOSイメージセンサの読み出し回路として非常に有効であると結論付ける。

表 6.2: それぞれの章での提案手法の特徴

提案手法	適応ゲイン (3 章)	2 重積分型 ADC(4 章)	カラム適応積分 (5 章)
回路構成	単純	やや複雑	複雑
A/D 変換機能	なし	あり	あり
ADC 分解能	-	全階調で高分解能	低照度領域で高分解能
試作による性能確認	○ 画像取得	×	△ 基本回路動作

参考文献

- [1] B. Fowler, et al., "An Ultra Low Noise High Speed CMOS Linescan Sensor for Scientific and Industrial Applications," 2003 Workshop on CCD and AIS, 2003.
- [2] A. Krymski, et al., "A $2 e^-$ Noise 1.3Megapixel CMOS Sensor," 2003 Workshop on CCD and AIS, 2003.
- [3] N. Kawai and S. Kawahito, "A Low-Noise Signal Readout Circuit Using Double-Stage Noise Cancelling Architecture for CMOS Image Sensors," 2005 Workshop on CCD and AIS, 2005.
- [4] M. Mase, et al., "A Wide Dynamic Range CMOS Image Sensor With Multiple Exposure-Time Signal Outputs and 12-bit Column parallel Cyclic A/D Converters," IEEE Journal of Solid-State Circuits, vol. 40, No. 12, Dec., 2005.
- [5] S. Sugawa, et al., "A 100dB DR CMOS Image Sensor Using a Lateral Overflow Integration Capacitor" Dig. Tech. Papers, ISSCC, pp. 288-289, 2005.

謝 辞

多くの方々の御指導により、本研究をまとめることができたことを感謝致します。特に、本大学電子工学研究所川人祥二教授には、本研究を遂行するにあたり直接の御指導と本論文審査において数々の御尽力を賜り心から感謝いたします。

本研究をまとめるにあたり、有益なる御助言、御指導と、また本論文審査の労を賜りました本大学工学部浅井秀樹教授、本大学工学部下平美文教授、本大学電子工学研究所杉浦敏文教授に深く感謝いたします。

本研究のデバイスの試作において、数々の有益なるご助言を賜りましたソニー(株)の奈良部忠邦様、角博文様、中村信夫様、佐藤弘樹様、馬淵圭司様、東瑞穂様に深く感謝いたします。

本研究の遂行にあたり、多大なる援助を賜りました静岡大学 21 世紀 COE プログラム拠点リーダー本学電子工学研究所三村秀典教授、および事業推進担当者の皆様に深く感謝いたします。

最後に、日々の研究において、数々の御助言、御指導をいただいたソニー(株)宮崎大輔氏、本大学電子工学研究所古田雅則助手、本大学 COE 特別研究員河合信宏氏、本大学理工学研究科大石亮介君、および本大学電子工学研究所イメージングデバイス分野川人研究室諸氏に感謝いたします。

発表論文

- [1] S. Kawahito, M.Sakakibara, D.Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, H. Sumi, "A Column-Based Pixel-Gain-Adaptive CMOS Image Sensor for Low-Light-Level Imaging," ISSCC2003, 12.7, San Francisco, Dig. Tech. Papers, IEEE Int. Solid-State Circuits Conf., 12.7, pp. 224-225, Feb. 2003.
- [2] 榊原雅樹, 川人祥二, "2重積分型カラム並列 A/D 変換器の量子化ノイズ低減効果の解析," 静岡大学大学院電子科学研究科研究報告, vol.26, pp.73-80, 2004.
- [3] M. Sakakibara, S. Kawahito, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, H. Sumi, "A high-sensitivity CMOS image sensor with gain-adaptive column amplifiers", IEEE J. Solid-State Circuits, vol. 40, no. 5, pp. 1147-1156, 2005.
- [4] M. Sakakibara, S. Kawahito, "A Column Parallel Double Integration Type A/D Converter for CMOS Image Sensors," Proc. ITC-CSCC, vol.1, pp. 189-190, Jeju, 2005.
- [5] M. Sakakibara, S. Kawahito, D.Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, H. Sumi, "A CMOS image sensor using a gain-adaptive column amplifiers," IEEE Proc. Work Shop CCD and Advanced Image Sensors, Elmau, Germany May 2003.
- [6] M. Sakakibara, S. Kawahito, "A Low-noise High-resolution Column Parallel ADC with Double Integration for CMOS Image Sensors," The 1st International Symposium on Nanovision Science, 5-19, pp.93-94, Feb., 2004.
- [7] M. Sakakibara, S. Kawahito, "Column Parallel Low Noise Digital Readout Circuits Using Adaptive Integration for CMOS Image Sensors," The 2nd International Symposium on Nanovision Science, 6-26, pp.135-136, Oct., 2005.
- [8] 榊原雅樹, 川人祥二, D. Handoko, 中村信男, 佐藤弘樹, 東瑞穂, 馬淵圭司, 角博文, "適応ゲインカラム増幅に基づく高感度 CMOS イメージセンサ", メディア学会/情報センシング・コンシューマーエレクトロニクス研究会, vol.27, No.25, pp21-24, 2003.
- [9] 川人祥二, 榊原雅樹, 中村信男, 佐藤弘樹, 東瑞穂, 馬淵圭司, 角博文, D. Handoko, "A Column-Based Pixel-Gain-Adaptive CMOS Image Sensor for Low-Light-Level Imaging," 電子情報通信学会, vol.103, No.89, 2003.

- [10] 河合信宏, 榑原雅樹, 川人祥二 “CMOS イメージセンサの低ノイズ信号読み出し回路とその試作”, メディア学会年次大会, No.8-8, 2005.
- [11] 榑原雅樹, 河合信宏, 川人祥二 “2重積分型方式を用いた CMOS イメージセンサ用高分解能カラム ADC”, メディア学会年次大会, No.23-7, 2005.