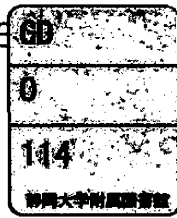


## MOSFET高性能化に向けたSOI技術に関する研究

メタデータ	言語: ja 出版者: 静岡大学 公開日: 2012-04-16 キーワード (Ja): キーワード (En): 作成者: 石山, 俊彦 メールアドレス: 所属:
URL	<a href="https://doi.org/10.14945/00006580">https://doi.org/10.14945/00006580</a>

理工学研究科 石



0003528361 R

静岡大学 博士論文

MOSFET 高性能化に向けた  
SOI 技術に関する研究



平成 15 年 7 月

石山 俊彦

# 目次

<b>第 1 章 序論</b>	<b>1</b>
1-1 本論文で対象とする SOI MOSFET の技術動向	1
1-2 SOI デバイスにおける基板、プロセス、デバイス各技術の概要	4
1-2-1 SOI 基板技術	4
1-2-2 SOI プロセス技術	9
1-2-3 SOI デバイス技術	11
1-3 本研究の目的	13
1-4 本論文の構成	13
<b>第 2 章 SIMOX 基板界面の平坦化</b>	<b>18</b>
2-1 はじめに	18
2-2 実験方法	19
2-3 結果と考察	20
2-3-1 界面に発現する正方形状構造	20
2-3-2 界面正方形状構造の相関性	24
2-3-3 界面の平坦化	27
2-3-4 スケーリング解析による界面の評価	32
2-3-5 正方形状構造の成長則の解析	34
2-4 まとめ	37
<b>第 3 章 SOI 構造中の不純物分布</b>	<b>40</b>
3-1 はじめに	40
3-2 不純物の偏析	41
3-3 不純物の分布モデル	42
3-4 結果と考察	45
3-4-1 薄層 SOI 構造の不純物の深さ方向分布	45
3-4-2 不純物分布プロファイルの電気特性への影響	48
3-4 まとめ	50

<b>第 4 章</b>	<b>SOI構造の上部Si層への裏面からの酸化現象</b>	<b>52</b>
4-1	はじめに	52
4-2	Deal-Groveの酸化モデル	52
4-3	実験方法	56
4-4	結果と考察	57
4-5	まとめ	63
<b>第 5 章</b>	<b>SOI MOSFETでのバンド間トンネル電流</b>	<b>65</b>
5-1	はじめに	65
5-2	バンド間トンネル電流の理論	66
5-3	実験方法	68
5-4	結果と考察	70
5-5	まとめ	74
<b>第 6 章</b>	<b>RSDB法により作製したSOIパワーICの特性</b>	<b>76</b>
6-1	はじめに	76
6-2	RSDB法によるSOIデバイスの製造方法とパラメータデザイン	77
6-2-1	SOI MOSFET構造とQuasi-SOI MOSFET構造	77
6-2-2	RSDB法とパワーICの製造プロセス	78
6-2-3	シミュレーションによるデバイスパラメータの評価	81
6-3	結果と考察	87
6-3-1	パワーMOSFETの電気特性	87
6-3-2	nMOSFETの電気特性	90
6-4	まとめ	92
<b>第 7 章</b>	<b>RSDB法により作製したQuasi-SOIパワーMOSFETの高性能化</b>	<b>94</b>
7-1	はじめに	94
7-2	デバイス構造	95
7-3	デバイスの作製方法	96

7-4	結果と考察	97
7-4-1	構造最適化による Quasi-SOI パワー MOSFET の電気特性の向上	97
7-4-2	Quasi-SOI パワー MOSFET の新規デバイス構造	102
7-5	まとめ	106
第 8 章		
	まとめ	108
	謝辞	113
	研究業績目録	114

# 第 1 章 序論

本論文では、Si 系 MOSFET デバイスの高性能化技術として期待されている、SOI (Silicon-on-Insulator) 構造を用いた MOSFET デバイス (SOI MOSFET) の高性能化について述べる。特に、SOI MOSFET において重要な役割を果たす高品位基板技術から、プロセス技術、デバイス技術、さらには SOI MOSFET 特有の物理現象に至るまでの広い範囲に渡って行った各種の検討結果について述べる。

本章では、まず、SOI MOSFET の技術動向について述べ、これらの技術開発に必要な SOI MOSFET の各要素技術について考察する。最後に、本論文の構成について述べる。

## 1-1 本論文で対象とする SOI MOSFET の技術動向

IT (Information Technology) 時代を迎えて、ノートパソコン、PDA (Personal Digital Assistance) などの高機能な携帯端末の普及、ネットワーク情報処理端末の高速化、高性能化が進められている。これらの装置を構成する半導体デバイスには、より一層の高速化、高機能化、そして低消費電力化が求められている。CMOS デバイスなどのシリコン系半導体デバイスは、本来、低消費電力向けであり、これまでは高性能化を追求する方向で開発が進められてきた。しかし、高速動作や大規模化によって消費電力が増加した結果、CMOS デバイスにおいても、さらなる低消費電力化が求められるようになった。

半導体デバイスの高速化、高機能化、低消費電力化を実現するために、デバイス側からの対応として、微細化、低電圧駆動、寄生容量の低減などの手法で開発が進められている。

CMOS デバイスの低消費電力化に関しては、例えば、(1.1) 式で表される [1]。

$$P = kCfV_{cc}^2 + f t_s \beta (V_{cc} - 2V_T)^3 / 12 + I_{leak} V_{cc} \quad (1.1)$$

k: 定数、C: 負荷容量、f: 動作周波数、 $V_{cc}$ : 電源電圧、 $t_s$ : 入力波形の遷移時間  
 $\beta$ : トランジスタの利得係数、 $V_T$ : しきい値電圧、 $I_{leak}$ : オフ時のリーク電流

第1項はスイッチングによる消費電力、第2項はデバイスへの貫通電流による消費電力、

第3項は待機時のリーク電流による消費電力を、それぞれ表す。(1. 1)式より、デバイスの消費電力を低減するには、負荷容量を低減したり、動作周波数を下げることも考えられるが、電源電圧を下げるのが、最も有効な手段である。

CMOSデバイスを構成するMOSFETにおいては、単純に動作電圧を引き下げるとは、速度性能の低下を引き起こす。そのため、低電源電圧での速度性能向上のための手法として、(1) 駆動電流を増加させる (短チャネル化、しきい値電圧の低下、ゲートSiO<sub>2</sub>層の薄層化など)、(2) 負荷容量を減少させる (ゲートSiO<sub>2</sub>層の薄層化、接合容量の低下など)などが挙げられる。これらの対策は、デバイスを微細化することで実施される。

デバイスの微細化の他に、デバイス構造から速度性能を向上させる方法として、MOSFETにSOI構造 (図1. 1)を取り入れる方法が挙げられる [2]。SOI構造では、デバイスを作製するシリコン層 (上部Si層) が埋込SiO<sub>2</sub>層により基板から分離された構造をとる。バルクSi基板では、空乏層を介してドレイン領域の底面部と側面部の面積に対応した容量が発生するが、SOI基板ではドレインの底面部には埋込SiO<sub>2</sub>層が存在するため、ドレインとチャンネルの空乏層成分だけが容量として効いてくる。そのため、MOSFETをSOI基板上に作製することによって、バルクSi基板上に作製するのに比べ、負荷容量が減少する。

こうしたSOIデバイスの高性能な点を利用して、従来から、パワーデバイスや耐放射デバイスなどの分野で利用されてきた。近年、ロジック用デバイスとパワーデバイスを混載したシステムIC、さらには、高周波デバイス、CPUなどへの展開が図られている [3]-[7]。

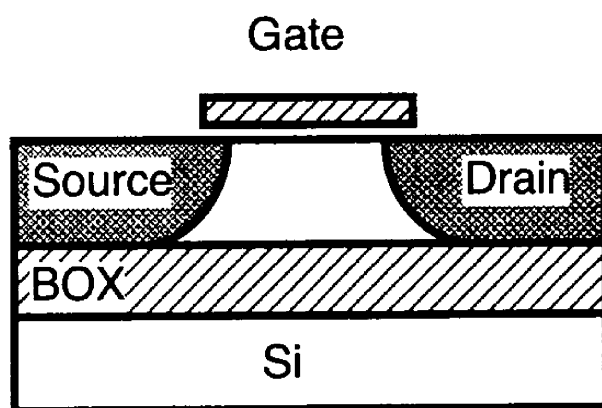


図1. 1 SOI構造上に作製したnMOSFET

元々、SOI技術は1970年代に考案された技術であり [8]、1990年代の中頃までには、デバイスを作製するのに必要な技術は揃っていた。また、これまでの開発の歴史の中で、SOIデバイスのバルク Si デバイスに対する優位性は明らかにされてきた。しかし、これまでのところ、SOIデバイスは、パワーデバイスや耐放射線デバイスなど、限定された用途でのみ実用化されてきた。この理由として、以下のようなものが挙げられる。

- (1) SOI基板の価格が通常の Si 基板の価格に比べて高く、DRAM、CMOS LSI など汎用の VLSI に応用するには、コスト面で問題があった。
- (2) DRAM など、大量に生産される汎用デバイスの構造が、SOI 構造に向いていなかった。
- (3) 線幅がサブミクロンの時代は、バルク Si デバイスの性能が微細化によって向上してゆく時代であった。そのため、あえて SOI デバイスの性能の高さを生かさなくとも、デバイスの性能を改善できた。

しかしながら、LSI ゲートが  $0.1\ \mu\text{m}$  以下の「ナノスケール時代」を迎え、Si デバイスは、その材料、構造を大きく変えようとしている。既存の材料、構造のままでは消費電力の急増や性能劣化が抑えられないためである。ここ数年、半導体各社からゲート長 15 nm までのトランジスタの試作結果が発表され、それらの結果から従来型のトランジスタを微細化することでゲート長 15 nm までは動作可能なことが示された [9]、[10]。その一方で、実用化に向けては、トランジスタ内部の各寄生成分の影響を抑えた上での、低消費電力化が課題であることが明らかになった。

SOI 構造は、これまで、微細化とは異なる手法でトランジスタ特性を向上する手法としてのみ捉えられてきた。しかし、SOI 構造を採用することによって、チャンネル容量を削減できることから、ナノスケール MOSFET での寄生容量削減手段として、本格採用されようとしている。さらに、将来のデバイスは、これまで数十年間使われ続けてきたトランジスタ構造に代わり、量子効果を利用した単電子デバイスが実用されることが期待されているが、SOI 構造は上部 Si 層を薄層化することで細線構造を作製できることから、単電子デバイス用基板としての利用も検討されている [11]。

※バルク Si 基板：通常の Si 基板を SOI 基板と対比させた時の呼称。

※上部 Si 層：SOI 基板でデバイスを作製する Si 層の呼称。活性 Si 層、SOI 層とも呼ぶ。



## 1-2 SOIデバイスにおける基板、プロセス、デバイス各技術の概要

### 1-2-1 SOI基板技術

SOI基板を実現する方法として、(1) イオンをSi基板中に注入し、高温アニールによって絶縁層を基板内部に形成する「絶縁層埋込法」と、(2) 酸化膜を形成した2枚のウエハを貼り合わせ、そののち片方のウエハを薄層化する「貼り合わせ法 (Bonded and Etched back: BE基板)」に大別される (図1. 2) [12]。その他、SOI基板開発の初期には、サファイア ( $Al_2O_3$ ) 基板上にSiをエピタキシャル成長させたり、酸化膜上にアモルファスSiを堆積させレーザーや電子ビームで熔融・再結晶させる方法もとられた。ただし、これらの方法には結晶性に問題があり、今日ではTFT-LCD (thin-film transistor-liquid crystal display) など、一部の用途に用いられているのみである。

絶縁層埋込法と貼り合わせ法によるSOI基板の製法から代表的なものを以下に示す。

#### [1-1] 絶縁層埋込法

イオンをSi基板中に注入し、その後の高温アニールによって絶縁層を基板内部に形成する、という2工程からなる。絶縁層埋込法では、酸素イオンの他、窒素イオンを用いる方法もある。酸素イオンを注入し、絶縁層として $SiO_2$ 層を形成する方法をSIMOX法 (Separation by IMplanted OXYgen) と呼ぶ。絶縁層埋込法には、窒素イオン注入法や多孔質シリコンを酸化させる方法 (FIPOS法) もあるが、埋込絶縁層としての窒化シリコン層

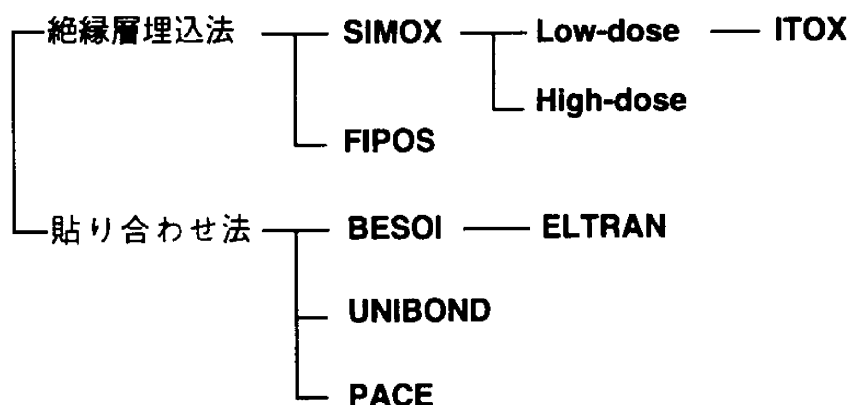


図1. 2 SOI基板の製法

の電気特性がSiO<sub>2</sub>層より劣っていたり、FIPOS法では島状SOI構造しか作れないなどの問題があり、現在ではSIMOX法が主流になっている。本研究では、絶縁層埋込法としてSIMOX法を取り上げる。

### [1-2] SIMOX法

SIMOX法は、Si基板に200 keV程度のエネルギーで多量の酸素をイオン注入し、1300℃程度の高温で熱処理を施す [8]。イオン注入した酸素とSiが化合して、埋込SiO<sub>2</sub>層 (Buried OXide layer : BOX) を形成する (図1. 3)。酸素イオンの注入量 (ドーズ量) で高ドーズ基板、低ドーズ基板と区別する。高ドーズ基板は、 $1.8 \times 10^{18} \text{ cm}^{-2}$  オーダの酸素イオンを注入し、400 nm程度の厚い埋込SiO<sub>2</sub>層を形成する。大量の酸素イオンを注入することによって、上部Si層に $10^8 \text{ cm}^{-2}$ 程度の転位が発生するほか、長時間のイオン注入が必要になるので基板コストが増大する。しかし、厚い埋込SiO<sub>2</sub>層が形成されるので、耐圧をかせぐことができるといった有利な点も挙げられる。酸素イオンの注入量を $0.4 \times 10^{18} \text{ cm}^{-2}$ に下げると、一様な埋込SiO<sub>2</sub>層 (膜厚80 nm) を形成し、転位密度を $10^2 \text{ cm}^{-2}$  オーダに押さえることができることが明らかになり、この製法で作製された基板を低ドーズ基板と呼ぶ [13]。低ドーズ基板では、上部Si層の高品質化やイオン注入時間の短縮が図られる。しかし、界面の平坦性などに課題があり、高温、長時間のアニールにより改善が図られている。

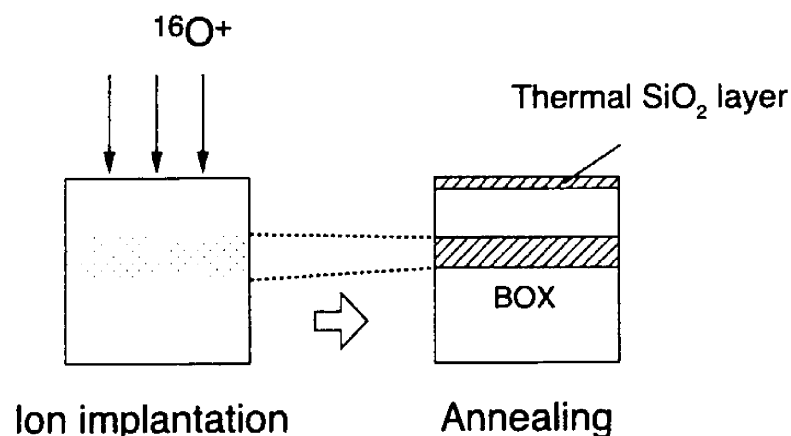


図1. 3 SIMOX基板の製法

SIMOX 法の特徴として、以下の点が挙げられる。

- ・ウエハ全面にイオン注入するため、ウエハ全面を SOI 構造にできる。このことは、LSI 製造用の汎用基板として利用できることを示す。
- ・製法にイオン注入を用いるため、上部 Si 層の厚さ、埋込 SiO<sub>2</sub> 層の深さが酸素イオンの Rp (飛程) で正確に定まる。そのため、ウエハ全面にわたり、上部 Si 層の膜厚の均一性が良い。また、酸素イオンの注入量や注入エネルギーを変化させることで、上部 Si 層の膜厚を制御することができる。

ただし、SIMOX 法には、以下のような欠点もあげられる。

- ・イオン注入、高温アニールという時間のかかる工程を経るため、基板の生産性が悪い。
- ・基板のアニール温度 (1300~1350 °C) がシリコンの融点 (1415 °C) 近くであるため、専用のアニール装置を必要とする。
- ・イオン注入時に金属汚染の可能性があり、通常の Si 基板を用いるデバイス製造ラインに導入しにくい。
- ・SIMOX 基板開発の初期には、高ドース基板では酸素イオンの注入による上部 Si 層の結晶性が、低ドース基板では埋込 SiO<sub>2</sub> 層の膜厚均一性やピンホールの有無などに課題があった。

現在では、以上の欠点は改善され、実用上の問題点では無くなっている。

### [1-3] ITOX 法

ITOX (Internal Oxidation) 法は、低ドース SIMOX 基板の品質改善方法として提案された [14]。低ドース SIMOX 基板は、イオン注入量が高ドース基板の 1/4 以下と少ないため、上部 Si 層の結晶性や基板の生産性に優れているが、埋込 SiO<sub>2</sub> 層の膜厚が 80 nm と薄く、埋込 SiO<sub>2</sub> 層の膜厚均一性や品質 (ピンホールの有無や耐圧特性) に課題を抱えていた。

ITOX 法では、イオン注入後の基板を、高温、短時間 (1350°C、4 時間) のアニールを施した後、アニール雰囲気中の酸素濃度を高め (~70%)、高温酸化を行う。高温酸化の過程で、アニール雰囲気に含まれた酸素が基板内部に拡散し、埋込 SiO<sub>2</sub> 層を酸化、膜厚を増加させる (図 1. 4)。この高温酸化処理を ITOX、ITOX 法で作製された基板を ITOX-SIMOX 基板と呼ぶ。高温、長時間のアニールや ITOX 処理は、埋込 SiO<sub>2</sub> 層の耐圧向上や界面モホロジーの改善に寄与している。

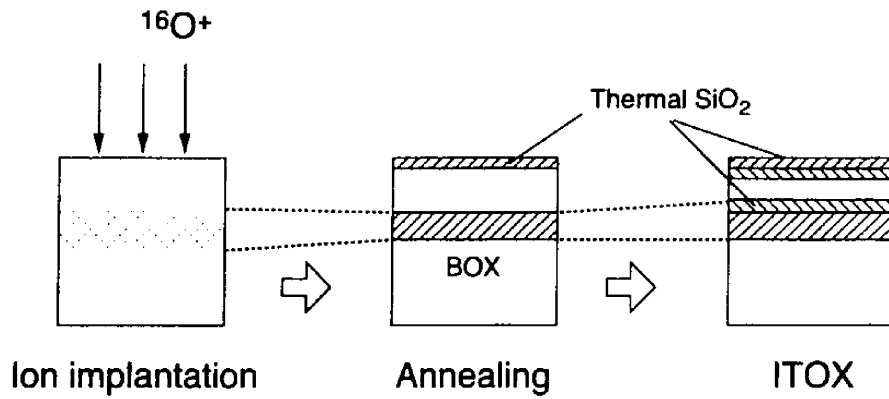


図 1. 4 ITOX-SIMOX 基板の製法

[2-1] 貼り合わせ法

貼り合わせ法は、酸化膜を形成した2枚のウエハを貼り合わせた後に、片方のウエハを薄層化してSOI構造を実現する(図1. 5) [15]。この方法は、バルク Si ウエハの Si 層と SiO<sub>2</sub> 層に関する完全性(界面の平坦性、酸化膜の膜厚均一性、酸化膜品質など)を利用している。ウエハを薄層化して上部 Si 層を得るには、CMP (Chemical Mechanical Polishing) 技術を用いて研磨しているが、ベースウエハの平坦性や機械精度が厚みおよび均一性に影響するので、エッチングの過程で膜厚の不均一が起こりやすく、10 nm オーダーの均一な上部 Si 層を得ることは難しい。埋込 SiO<sub>2</sub> 層は、熱酸化によって形成するので、Si-SiO<sub>2</sub> 層の界面の平坦性はよい。

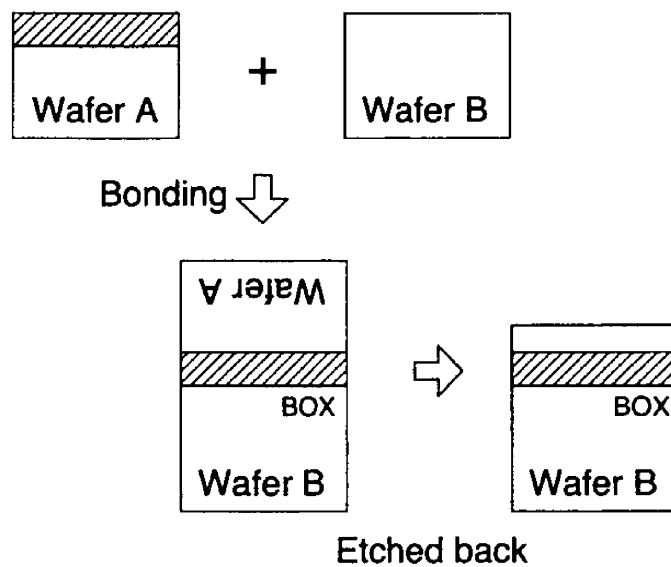


図 1. 5 貼り合わせ基板の製法

## [2-2] PACE 法

上部 Si 層の膜厚が比較的に厚い場合 (0.5  $\mu\text{m}$ ~) は、プラズマにより  $\text{SiO}_2$  層の平坦性を基準として測定し、Si 層の研削を行なう PACE 法 (Plasma Assisted Chemical Etching) が用いられる (図 1. 6) [16]。

## [2-3] 水素イオン剥離法

上部 Si 層の膜厚が薄い場合は、水素イオン剥離法 (Smart Cut) が用いられる (図 1. 7) [17]。この方法では、上部 Si 層となるウエハ (ボンドウエハ) に、デバイスの要求する酸化膜を形成し、所定の膜厚の上部 Si 層が形成できるように注入エネルギーを定めた水素イオンを打ち込む。上部 Si 層の膜厚均一性は、酸化膜表面を基準として水素イオンの飛程によって正確に定めることができる。水素イオンを注入されたボンドウエハは、400~600  $^{\circ}\text{C}$  でベースとなるウエハと貼り合わせるとともに、上部 Si 層が水素イオン注入層を境にボンドウエハから剥離される。作製された SOI 構造は、1100  $^{\circ}\text{C}$  の熱処理により、一体化される。なお、使用済みのボンドウエハは、表面を研磨することにより、再利用できる。他の貼り合わせ法が 2 枚の Si ウエハを使用するのに対して、実質的に 1 枚のウエハで済むという利点もある。

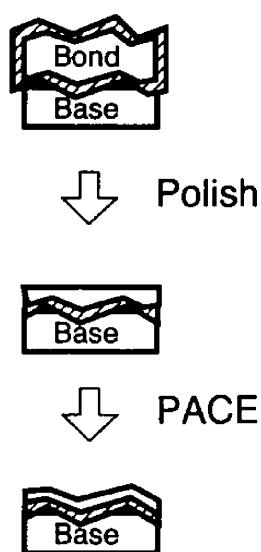


図 1. 6 PACE 法

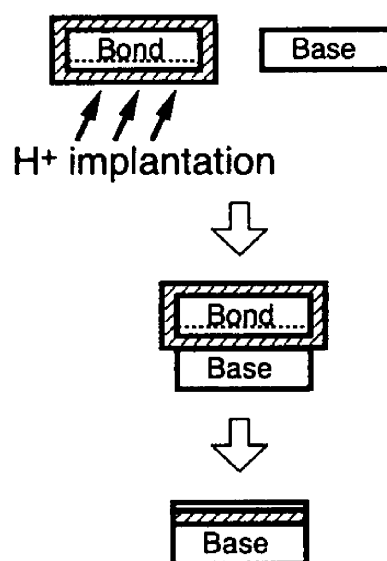


図 1. 7 水素イオン剥離法

以上の技術の他、汎用のSOI基板製法ではないが、バルクSi基板にデバイスを作製してから貼り合わせによってSOI構造を形成する「デバイス反転型シリコン基板直接貼り合わせ法」も検討されている [18]。

本論文では、SOI基板の製法として、筆者が長く検討してきたSIMOX法を、さらに、貼り合わせ法として、「デバイス反転型シリコン基板直接貼り合わせ法」を中心に取り上げる。

### 1-2-2 SOIプロセス技術

SOI基板上にデバイスを作製するプロセスは、基本的にはSi基板を用いたデバイス製造プロセスと同じものが用いられる。そのため、本稿ではSOI基板を用いたデバイス製造プロセスを概説した後、SOI基板を用いた場合のプロセス上の課題について述べる。

SOI基板を用いたMOSFETの工程例を、図1.8に示す。図は、nMOSFETの製作例を簡略化したものである。

- (a) フィールドSiO<sub>2</sub>層の形成。
- (b) フィールドSiO<sub>2</sub>層の窓開け。
- (c) ゲートSiO<sub>2</sub>層の形成。
- (d) 多結晶Si層の形成。
- (e) ソース、ドレイン、ゲート加工。
- (f) イオン注入。
- (g) CVD SiO<sub>2</sub>層の形成。コンタクト窓開け。
- (h) アルミ電極形成。

SOI基板上にMOSFETを作製する場合、これまで以下のような課題が挙げられてきた。

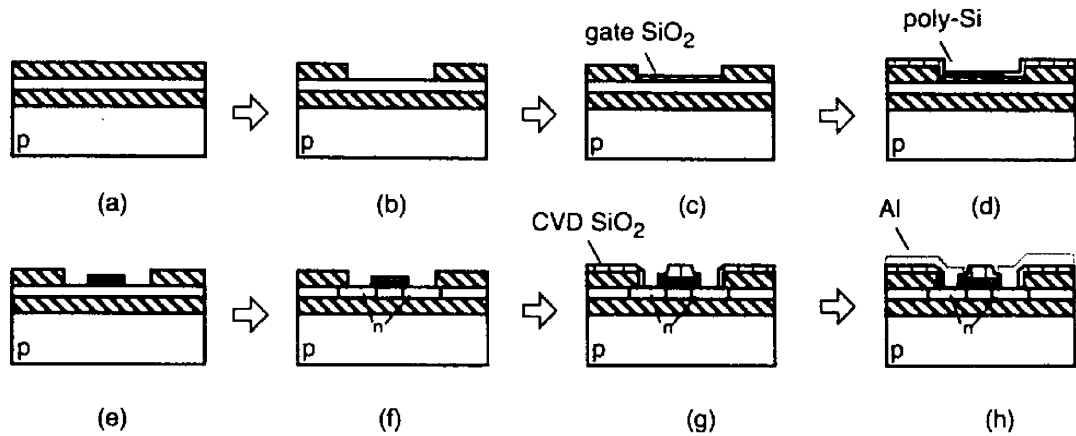


図 1. 8 MOSFET の工程例 [19]

### (1) SIMOX 基板作製工程での汚染の心配

SIMOX 基板の作製工程では、酸素イオン注入、高温アニールの二段階の工程を経る。SIMOX 基板開発の初期には、イオン打ち込みに伴う打ち込み装置内壁からの金属汚染が心配された。また、アニールは 1300~1350 °C の高温下で行うため、アニール炉の内壁から基板への金属汚染も心配された。そのため、SIMOX 基板開発の初期には、バルク Si デバイスと開発ラインは区別されていた。現在は、SIMOX 基板製造装置内部のチェックやデバイス特性の評価から、汚染の心配が無いことが明らかになっている。

### (2) 300 mm ウエハの供給

現在、バルク Si プロセスでは、トランジスタの製造は直径 300 mm のウエハの導入が検討されている。SOI 基板は、これまで、直径 100 mm、150 mm が使われてきたが、300 mm ウエハの大量供給に向けての検討が行われている。SOI デバイスが実用化されるためには、デバイスの大量生産が可能な 300 mm ウエハの安定かつ大量の供給が必要である。その場合、上部 Si 層や埋込 SiO<sub>2</sub> 層の膜厚均一性や界面平坦性についても、十分な精度が確保されなければならない。

### (3) アライメント用マーク形成の問題

Si デバイス製造工程では、工程の最初にアライメント用のマークを Si 層中に、リソグラフィ、エッチングにより形成する。SOI 基板開発の初期には、上部 Si 層の厚さが薄いことから、工程が進むにつれ、マークが埋まり消失するという課題があった。現在では、埋込 SiO<sub>2</sub> 層を貫通し、基板にまでマークを掘り込むことで課題を解決している。

#### (4) 上部 Si 層中での不純物分布

SOI 構造において、上部 Si 層は、表面熱 SiO<sub>2</sub> 層と埋込 SiO<sub>2</sub> 層にサンドイッチされている。イオン注入された不純物は、注入イオンによって、SiO<sub>2</sub> 層に分布しやすいものや Si 層に分布しやすいものがある。上部 Si 層がふたつの SiO<sub>2</sub> 層にサンドイッチされていることで、不純物の分布は、SiO<sub>2</sub> 層界面の影響を受けた分布形状をとる。結果として、しきい値電圧などがバルク Si デバイスと異なる値をとる。

本論文では、SOI プロセスの課題として、SOI 構造内部の不純物分布を取り上げ、定量的な把握について議論した。

#### 1-2-3 SOI デバイス技術

図 1. 9 に、SOI MOSFET の構造図を示す。SOI MOSFET には、部分空乏型 (Partially-Depleted : PD) と完全空乏型 (Fully-Depleted : FD) のふたつの動作モードがあり、作製プロセスの段階で作り分けられる。

部分空乏型は、上部 Si 層の厚さが比較的厚く、チャネル領域の空乏層下部に中性領域が残る (図 1. 9 (a)) [20]。この中性領域には電荷が蓄積して動作が不安定になることがあり、使用上の工夫が必要になる。ただし、上部 Si 層の厚さが比較的厚いことからサリサイド技術が使えることや、放熱の問題も大きくないなど有利な点もある。これまでも、パワーデバイス、CPU などでも実用化の実績があり、最先端のバルク Si プロセスを流用できることから、量産化に最も近い位置にある。

完全空乏型は上部 Si 層の厚さが薄く、チャネル領域が全て空乏層で占められる (図 1. 9 (b)) [21]。そのため、チャネル容量の削減量が大きく、トランジスタの立ち上がり特性が急峻であり、動作時の消費電力を増やさずに待機時のリーク電力を低減することができ、部分空乏型より性能向上の度合いは大きいなど、SOI MOSFET を使うメリットを享受できる。

1-1 で述べたように、ナノスケール MOSFET は、将来、さらなる性能向上を目指すのが、今後は、これまで手のつけられていなかった、プレーナ構造や Si の物性定数に手をつけようという動きがある。具体的には、ダブルゲート、フィンゲートなど非プレーナ構造の採用や、チャネル領域に歪み Si や SiGe を導入して移動度を向上させる手法が提案



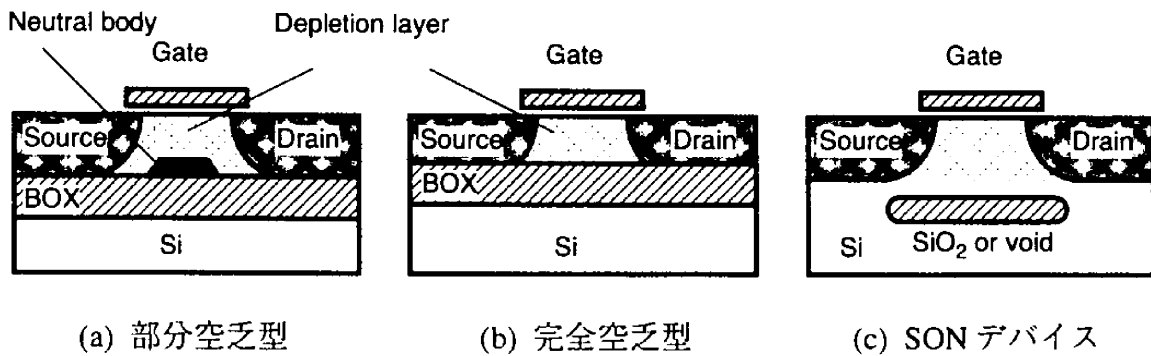


図 1. 9 SOI MOSFET の構造

されている [22], [23]。また、基板の一部分のみを SOI 化（部分 SOI）して、SOI MOSFET や SOI パワーデバイスとバルク Si デバイス（DRAM など）を混載したシステム IC、システム LSI も提案されている。さらに、チャンネル領域の下を空隙化する SON（Silicon on Nothing）技術（図 1. 9 (c)）も、SOI 構造を形成する技術の流れに連なるものと言える [24], [25]。

こうしたデバイス技術の流れを見ると、現時点では SmartCut に代表される貼り合わせ基板技術が優位であるものの、完全空乏型 SOI デバイスや部分 SOI 技術が取り入れられる時代には、薄層 SOI 基板が形成しやすい、イオン打ち込み領域を基板内で自由に限定できるなど、イオン注入による SOI 基板形成技術のほうが有利と考えられている。今後、マテリアルを含めたデバイス技術の進展に注目する必要がある。

本論文では、上記の SOI 基板、プロセス技術の検討結果をナノスケール MOSFET に適用するための前段階の検討として、サブマイクロメートルの SOI パワー IC（SOI MOSFET および SOI パワー MOSFET から構成）を作製した。SOI パワー MOSFET の作製方法として、貼り合わせ基板である「デバイス反転型シリコンウエハ直接貼り合わせ法」を提案した。また、SIMOX 基板を用い、パワーデバイスの特性を向上させた例として、擬 SOI 構造（Quasi-SOI）を用いた例を示した。Quasi-SOI 構造では、デバイス構造パラメータを最適化することにより、デバイス特性を向上させた。

### 1-3 本研究の目的

先に述べた背景のもと、本研究ではSOI技術をナノスケールMOSFET用技術として確立することを目的としている。現在、SOI MOSFETは、ナノスケールMOSFETの高性能化の手法のひとつとして捉えられている。しかし、SOI基板がナノスケールMOSFET用基板として、バルクSi基板に置き換えられるためには、基板、プロセス、デバイスの各技術にわたり、バルクSi基板並の精度を満足させる必要がある。

SOI基板は、Siデバイス用の基板として用いることにより、従来のSiプロセス技術に特別な変更を加えることなく、従来のSiデバイスよりも高性能なデバイスを作製できるという利点がある。しかし、SOI構造は、1970年代初頭に提唱されて以来、30年以上の年月が経過しているが、SOI構造やその上に形成されたデバイス特性に未知の部分が多く、今日でも新たな物理現象が発見され続けており、依然として、バルクSi基板並の精度を持つ基板を提供するに至っていない。SOI技術をナノスケールMOSFET用技術として実用化するには、基板の高品位化、プロセス技術およびその評価方法、デバイスの物理現象や電気特性の把握といった広い範囲の検討を行い、バルクSi基板と同等の知識を集積すべきである。さらに、その結果をデバイスの製造方法や構造にフィードバックし、より高性能なデバイスの開発を推進すべきである。

筆者は、SIMOX基板の高品質化に2年、SOI MOSFETの微細化に3年間、SOIパワーデバイスの開発に2年間に渡り取り組み、SOI技術の開発に寄与してきた。本論文では、その間に得られた成果のうち、特に、SOI MOSFETに関連するものについて述べる。

### 1-4 本論文の構成

本論文では、SOI MOSFETの高性能化に関して、基板の品質改良から、実際のデバイス開発への応用例までを述べる。

第1章では、SOI MOSFETの開発動向を簡単に述べ、基板技術、プロセス技術、デバイス技術の各分野に関する課題を明らかにした。

第2章では、AFMによるナノ構造評価手法を、SIMOX基板のSi-SiO<sub>2</sub>界面に適用した結果について述べる。AFM観察による界面ラフネスのRms値 (root-mean-square) を尺度として、SIMOX基板の界面平坦性を評価した。ナノ構造評価手法を用いた定量的な界面の平坦性評価をもとに、SIMOX基板の界面には面方位に依存した特有の構造が現れ、構

造がアニールの進展に伴って、成長、消失する様子を述べる。その結果を用いて、界面の平坦性を追求し、単電子デバイスが作製できるほどの平坦性を実現した。

第3章では、SOI基板を用いたMOSFET開発において、重要な課題であるSOI構造中の不純物分布について述べる。SOI MOSFETでは、上部Si層中の不純物分布の制御がデバイスの電気特性に大きな影響を及ぼす。特に、上部Si層中の不純物量を正確に把握することは、しきい値電圧を制御する上で重要な意味を持つ。しかし、n型不純物であるリンはSi層中に蓄積する傾向があるのに対して、p型不純物であるボロンは上部Si層よりSiO<sub>2</sub>層に分布しやすいという性質を持つ。さらに、SOI構造は上部Si層がSiO<sub>2</sub>層にサンドイッチされるという特有の構造を持つために、上部Si層の膜厚によっても不純物分布が影響を受ける。筆者は、SOI構造中の不純物分布を評価するため、Si-SiO<sub>2</sub>界面での不純物分布をモデル化した。本モデルにより、SOI構造中のリンやボロンの分布状況を定量的にあらわすことができるようになった。その結果、SOI MOSFETのしきい値電圧を精度良く求められることを示した。

第4章では、SOI MOSFETのプロセス特有の現象である、「SOI構造の上部Si層への裏面からの酸化現象(対向酸化)」について述べる。対向酸化は、酸素雰囲気中で高温アニールを行うと、雰囲気中の酸素が上部Si層を透過して、埋込SiO<sub>2</sub>層界面でシリコン原子と結びつく現象である。その結果、埋込SiO<sub>2</sub>層膜厚を増加させる。この効果は、上部Si層厚が薄くなるほど顕著に現れ、上部Si層厚を正確に制御するために注意すべき現象として、筆者が最初に発見した現象である。

第5章では、SOI MOSFETのデバイス特有の現象である「バンド間トンネル電流の上部Si層厚依存性」について述べる。バンド間トンネル電流は、MOSFETがオフ状態(nMOSFETの場合、負のゲート電圧を印加する)でのリーク電流である。価電子帯にあったキャリアが電界強度が大きくなることによって伝導帯に励起され、トンネルリーク電流になる。この現象では、電界強度が増加するとトンネル電流も増加する。筆者は、SOI MOSFETでは上部Si層厚が薄くなると電界強度が増加することを示し、上部Si層厚が薄いSOI MOSFETでは、リーク電流が増大することを示した。

第6章では、第5章までのSOI基板、プロセス技術の検討結果をナノスケールMOSFETに適用するための前段階の検討として、サブミクロンルールのSOIパワーIC (SOI MOSFETおよびSOIパワーMOSFETから構成) を作製した例を示す。筆者は、SOIデバ

イスの作製方法として「デバイス反転型シリコンウエハ直接貼り合わせ法 (Reversed Silicon Wafer Direct Bonding : RSDB)」法を提案した。RSDB 法によって、埋込  $\text{SiO}_2$  膜厚を自由に選ぶことができるようになった。その結果、SOIデバイスの課題とされていた十分な耐圧を確保することが可能となり、SOIデバイスをパワーデバイスに適應することができるようになった。

第7章では、SOI MOSFET や SOI パワー MOSFET のデバイス特性を向上させる構造として Quasi-SOI 構造を用い、デバイスパラメータを最適化することにより性能を向上させた例について述べる。Quasi-SOI 構造は、埋込  $\text{SiO}_2$  層の一部が切り欠けられた構造をしており、従来型の SOI デバイスの弱点と言われたホットキャリア耐性を向上させた。この Quasi-SOI 構造は第6章で述べた RSDB 法を用いることによって製作することができた。

第8章では、全体の総括を行う。ここでは、7章までに述べてきた基板、プロセス、デバイスに関する改良点をまとめた。

## 参考文献

- [1] 井上靖朗、山口泰男, 応用物理学会誌, p. 1104, **64** (1995) .
- [2] 古川静二郎, SOI構造形成技術 (産業図書 1987) .
- [3] S. Matsumoto, M. Mino, and T. Yachi, IEICE Trans. Fundamentals **E80-A** (1997) 276.
- [4] 福田保裕、伊藤秀二、伊藤眞宏, 沖テクニカルレビュー p. 100, **185** (2001) .
- [5] 日経エレクトロニクス p. 28, 2002.3.11号 (2002) .
- [6] M. M. Pelella, Ext. Abst. 2002 Int. Conf. Solid State Devices Materials (SSDM'02) (2002) , 70.
- [7] D. Eggert, P. Huebler, A. Huerrich, H. Kueck, W. Budde, and M. Vorwerk, IEEE Trans. Electron Devices, **44**, (1997) 1981.
- [8] K. Izumi, M. Doken, and H. Ariyoshi, Electron. Lett. 14, 593 (1978) .
- [9] B. Yu, H. Wang, A. Joshi, Q. Xiang, E. Ibok, and M. Lin, Tech. Dig. IEDM (2001) 937.
- [10] R. Chau, J. Kavalieros, B. Doyle, A. Murthy, N. Paulsen, D. Lionberger, D. Barlage, R. Arghavani, B. Roberds, and M. Doczy, Tech. Dig. IEDM (2001) 621.
- [11] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadate, Y. Nakajima, S. Horiguchi, K. Murase, and M. Tabe, Tech. Dig. IEDM (2001) 621.
- [12] 土屋敏章, 応用物理学会誌, p. 1191, **66** (1997) .
- [13] S. Nakashima and K. Izumi : J. Mater. Res. **8** (1993) 523.
- [14] S. Nakashima, T. Katakama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada : J. Electrochem. Soc. **143** (1996) 244.
- [15] 阿部孝夫、中野正剛、阿賀浩司、三谷清, 応用物理学会誌, p. 1220, **66** (1997) .
- [16] P. B. Mumola, G. J. Gardopee, P. J. Clapis, C. B. Zarowin, L. D. Bolliager, and A. M. Ledger, Proc. IEEE Int. SOI Conf., (1992) 152.
- [17] C. Maleville, B. Asper, T. Poumeyrol, H. Moricean, M. Bruel, A. J. Auberton-Herve, T. Barge, and F. Metral, Silicon-on-Insulator and Devices VII, p. 34 (Electrochem. Soc., Pennington, 1996) .
- [18] H. Horie, S. Nakamura, Y. Nara, K. Suzuki, T. Tanaka, M. Imai, A. Itoh, and Y. Arimoto, Ext. Abs. 1996 Int. Conf. Solid State Devices Materials (SSDM'96) (1996) , 473.
- [19] 加藤浩太郎, LSI技術の基礎 (電気通信協会 1987) .
- [20] E. Leobandung, et. al., Tech. Dig. IEDM (1999) 679.

- [21] Y. Kado, et. al., Tech. Dig. IEDM (1993) 243.
- [22] R. Chau, B. Doyle, J. Kavalieros, D. Barlage, A. Murthy, R. Arghavani, and S. Datta Ext. Abst. 2002 Int. Conf. Solid State Devices Materials (SSDM'02) (2002) , 68.
- [23] T. Tezuka, N. Sugiyama, T. Mizuno, and S. Takagi, Tech. Dig. IEDM (2001) 946.
- [24] S. Monfray, T. Skotnicki, Y. Morand, S. Descombes, M. Paoli, P. Ribot, A. Talbot, D. Dutartre, F. Lefriec, R. Pantel, M. Haond, D. Renaud, M-E. Nier, C. Vizioz, D. Louis, and N. Buffet, Tech. Dig. IEDM (2001) 645.
- [25] T. Sato, H. Nii, M. Hatano, K. Takenaka, H. Hayashi, K. Ishigo, T. Hirano, K. Ida, N. Aoki, T. Ohguro, K. Ino, I. Mizushima, and Y. Tsunashima, Tech. Dig. IEDM (2001) 809.

## 第2章 SIMOX 基板界面の平坦化

SIMOX 基板は、表面から順に、熱 SiO<sub>2</sub> 層、上部 Si 層、埋込 SiO<sub>2</sub> 層、基板という多層構造になっている。熱 SiO<sub>2</sub> 層－上部 Si 層、上部 Si 層－埋込 SiO<sub>2</sub> 層の各界面には、結晶の面方位に依存する構造を観察することができる。この構造が界面の平坦性を悪化させる。高温、長時間のアニールによって構造は消失、界面にはステップ－テラス構造が観察されるほど平坦性は改善する。

本章では、高温、長時間アニールの過程で起こる、Si－SiO<sub>2</sub> 界面の再構成について検討する。

### 2-1 はじめに

SIMOX 基板技術は、SOI 基板を作製する方法のひとつとして、広く受け入れられている。その理由として、SIMOX 基板が低寄生容量を実現することや、上部 Si 層の膜厚均一性に優れていることが挙げられる。SIMOX 基板は、これまで、部分空乏化 (Partially Depleted : PD) MOSFET や完全空乏化 (Fully Depleted : FD) MOSFET 用の基板として用いられてきた [1], [2]。最近では、単電子トランジスタ (Single Electron Transistor : SET) 用の基板としても注目されている [3]。

SIMOX 基板の上部 Si 層の2つの界面 (表面熱 SiO<sub>2</sub> 層－上部 Si 層界面、上部 Si 層－埋込 SiO<sub>2</sub> 層界面) には正方形状の構造が観察されることを、筆者は初めて報告した [4]。正方形状構造が存在することによって、界面の平坦性は阻害されている。界面にラフネスが見られる場合、反転領域の電子を散乱させ、電子の実効的な移動度を引き下げるなど、電気特性が劣化することが報告されている [5]。

これまでの検討から、アニール処理において、長時間、高温、アニール雰囲気中酸素の高濃度化などの各条件が、界面の平坦性の改善に効果があることが報告されている [4], [6] - [10]。界面平坦化の過程で、Si－SiO<sub>2</sub> 界面のモホロジーが成長することが報告されている [4]。界面のモホロジーは、アニール雰囲気から導入される酸素が介在して成長することが報告されているが、界面の平坦化プロセスとの関連や平坦化のメカニズムに関する詳細は解明されていない。界面の平坦化プロセスが容易に解明されない理由として、界面の平坦化が界面付近に分布する Si、O 原子の再配置のみで起こるのではなく、ア

ニール雰囲気中の酸素が介在するためである。アニール雰囲気からの酸素原子が埋込 $\text{SiO}_2$ 層に入り込む過程で界面の平坦化が起こると考えられているが、Si基板の内部現象であるため、「その場観察法」などの直接観察の方法が無く、現象の解明を難しくしている。もうひとつの理由として、埋込 $\text{SiO}_2$ 層はSOI構造の内部深くに存在する。それゆえ、埋込 $\text{SiO}_2$ 層の存在によって起こる界面自由エネルギーや機械的ストレスも、界面の平坦化に影響を及ぼすことも予想される [11], [12]。

本章では、SIMOX基板中のSi -  $\text{SiO}_2$ 界面の構造の成長を検討した。また、酸素の拡散を用いたモデルを提案し、長時間アニールによる正方形状構造の成長と界面の平坦化を検討した。

## 2-2 実験方法

実験には、2種類のSIMOX基板を用いた。ひとつは、Si (100)基板に200 keV、 $1.8 \times 10^{18} \text{ cm}^{-2}$ の酸素イオンを注入した(高ドース基板)。基板のドース依存性を検討するため、180 keV、 $0.4 \times 10^{18} \text{ cm}^{-2}$ の酸素イオンを注入した基板(低ドース基板)も使用した。

高ドース基板には、Ar/ $\text{O}_2$ 雰囲気中、1310°C - 6時間のアニール(プレアニール)を施した。アニール後の基板の層構造と膜厚は、表面熱 $\text{SiO}_2$ 層、上部Si層(200 nm)、埋込 $\text{SiO}_2$ 層(400 nm)、基板である。このアニール条件は、イオン注入された酸素原子をSi原子と化合させて埋込 $\text{SiO}_2$ 層を形成するのに十分な条件であり、かつ、アニール時間の増加にともない、Si -  $\text{SiO}_2$ 界面の微細構造の時間変化を検討するための基板の初期条件としても問題ない。プレアニール済みのSIMOX基板には、Ar/ $\text{O}_2$ 雰囲気中(酸素濃度0.5%)、1350°Cで最大40時間の追加アニールを施した。

アニール時間の変化に対する界面モロロジーの変化は、上部Si層表面(表面熱 $\text{SiO}_2$ 層 - 上部Si層界面)、埋込 $\text{SiO}_2$ 層表面(上部Si層 - 埋込 $\text{SiO}_2$ 層界面)を原子間力顕微鏡(Atomic Force Microscopy: AFM)により観察した。表面熱 $\text{SiO}_2$ 層 - 上部Si層界面はHF溶液により上部Si層表面を、上部Si層 - 埋込 $\text{SiO}_2$ 層界面はKOH溶液により埋込 $\text{SiO}_2$ 層を、露出させて観察した。KOH溶液によるエッチレートの比は、Si :  $\text{SiO}_2 \div 600 : 1$ と測定され、界面モロロジーを变形させることなく、埋込 $\text{SiO}_2$ 層の表面を露出させることができた。

AFM観察は、SPI-3700 System (Seiko Instrument Inc.)により行なった。SIMOX基板



のモホロジー観察には、最大走査範囲がAFMの観察領域の最大フィールドサイズである  $20\mu\text{m} \times 20\mu\text{m}$  の範囲で、粗さの Rms 値 (Roughness Root Mean Square) や、構造の高さ (Peak-to-Valley) をもとに評価した。界面に発現した各々の構造のモホロジーは、AFMの走査領域のサイズを  $20\mu\text{m} \times 20\mu\text{m}$  から  $0.4\mu\text{m} \times 0.4\mu\text{m}$  の範囲で変えて観察した。絶縁性探針として SiN-Tip を用いた。測定モードは、斥力領域でコンタクトモードを用いて行った。AFM 観察時には、表面の微細なモホロジーが観察できるように、試料の傾斜をソフト的に補正する操作を施した。

## 2-3 結果と考察

### 2-3-1 界面に発現する正方形状構造

図 2. 1 (a) に、高ドース SIMOX 基板 (面方位 (100)、 $1310^\circ\text{C}$  - 6時間 でプレアニール済み) の上部 Si 層 - 埋込  $\text{SiO}_2$  層界面のモホロジーを示す。走査領域は、 $1\mu\text{m} \times 1\mu\text{m}$  である。上部 Si 層 - 埋込  $\text{SiO}_2$  層界面には、正方形状の構造が発現している。

表面熱  $\text{SiO}_2$  層 - 上部 Si 層界面にも、同様な正方形状の構造が発現している。上部 Si 層 - 埋込  $\text{SiO}_2$  層界面の方が、明瞭な構造を発現させている。この正方形状構造は、[110] 方向に沿い、(100) 面を上面に持つ。

図 2. 1 (b) に、面方位 (111) の SIMOX 基板の上部 Si 層 - 埋込  $\text{SiO}_2$  層界面の AFM 像を示す。走査領域は  $4\mu\text{m} \times 4\mu\text{m}$  である。面方位が (111) の場合には、三角形状の構造が発現し、その辺の方向は [110] 方向に沿っている。以上のことから、これらの界面

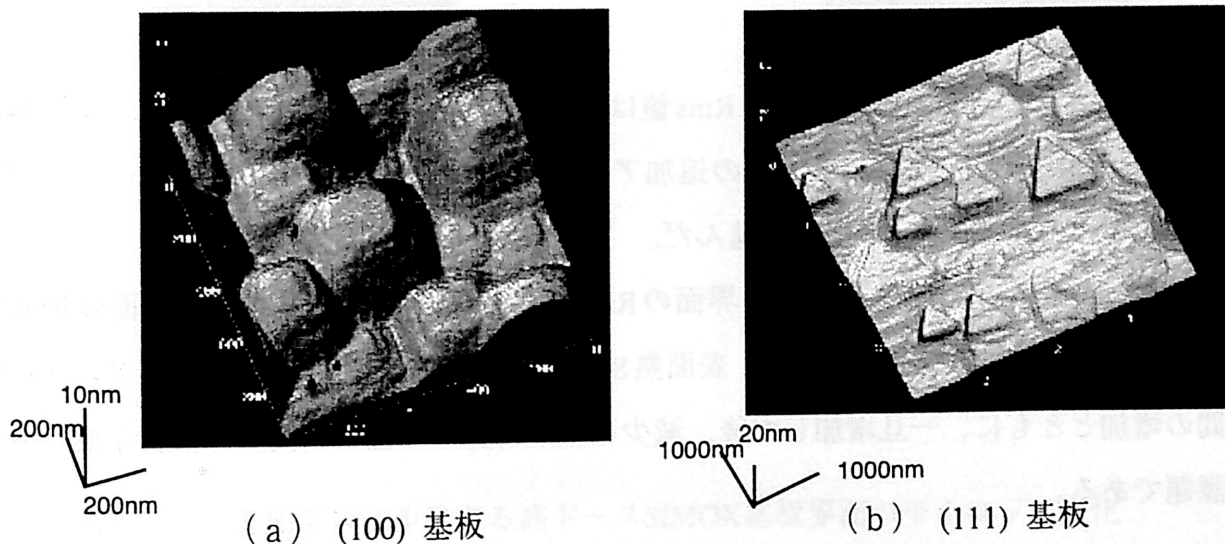


図 2. 1 上部 Si 層 - 埋込  $\text{SiO}_2$  層界面のモホロジー

に発現する構造は、結晶方位に規定されることがわかる。

図2. 2に、面方位 (100) の SIMOX 基板について、上部 Si 層-埋込 SiO<sub>2</sub> 層界面の、追加アニールによるモロロジーの変化を示す。1310℃-6時間でプレアニール済みの高ドース SIMOX (100) 基板をスタート基板 (t=0 h) として、1350℃で最大40時間までの追加アニールを施した。

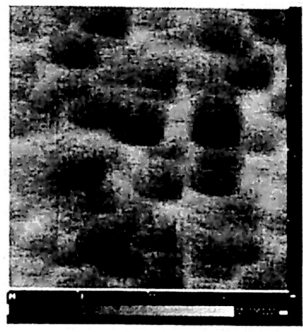
図2. 2より、埋込 SiO<sub>2</sub> 層が形成された状態の SIMOX 基板の界面には、正形状の構造が一様に存在した。一辺の長さは0.5~1μm程度である。追加アニールによって、正形状の構造の一辺は長くなり、AFM観察領域あたりの個数は減少した。40時間の追加アニール後は、正形状の構造は見えなくなった。代って、界面にはステップ-テラス構造が発現した。追加アニールに対するモロロジー変化は、表面熱 SiO<sub>2</sub> 層-上部 Si 層界面、上部 Si 層-埋込 SiO<sub>2</sub> 層界面とも、同様な変化を示した。

図2. 3には、AFMによる界面の観察結果(図2. 2)をもとにした、高ドース SIMOX (100) 基板のアニール時間と正形状構造の一辺の長さとの関係を示した。表面熱 SiO<sub>2</sub> 層-上部 Si 層界面、上部 Si 層-埋込 SiO<sub>2</sub> 層界面の、いずれの界面においても、正形状構造はアニール時間の増加とともに大きくなった。表面熱 SiO<sub>2</sub> 層-上部 Si 層界面に発現する構造と上部 Si 層-埋込 SiO<sub>2</sub> 層界面に発現する構造の一辺の長さは、同一ではない。2つの界面に発現する構造の相関性については後述する。

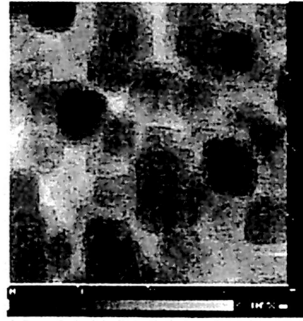
図2. 4には、高ドース SIMOX (100) 基板の上部 Si 層-埋込 SiO<sub>2</sub> 層界面のラフネスの Rms 値とアニール時間の関係を示した。粗さの Rms 値は、20μm×20μm領域での AFM 測定結果をもとに算出した。粗さの Rms 値は、追加アニール時間に関わらず Peak-to-Valley の平均値の約 1/2 であった。

上部 Si 層-埋込 SiO<sub>2</sub> 層界面での Rms 値は、熱処理時間の増加と共に減少した。加熱により平坦化が促進された。40時間の追加アニールによって、Rms 値は 1.2 nm となった。当初の値の 1/3 にまで、平坦化が進んだ。

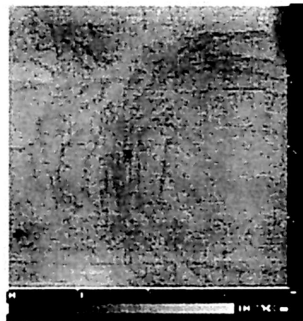
一方、表面熱 SiO<sub>2</sub> 層-上部 Si 層界面の Rms 値は上部 Si 層-埋込 SiO<sub>2</sub> 層界面の Rms 値ほど、単調な減衰をみせなかった。表面熱 SiO<sub>2</sub> 層-上部 Si 層界面の Rms 値はアニール時間の増加とともに、一旦増加した後、減少に転じた。この理由に関しては、今後の検討課題である。



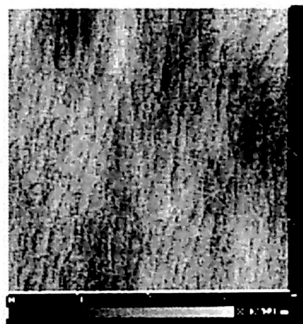
t=0h



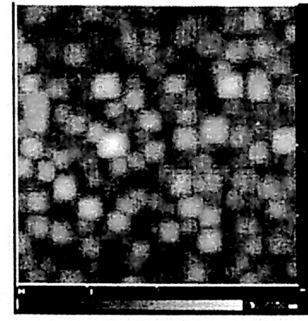
t=2h



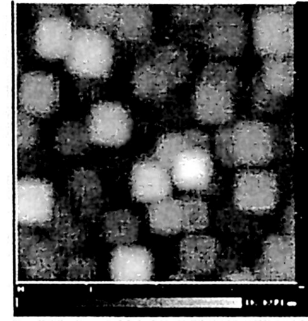
t=8h



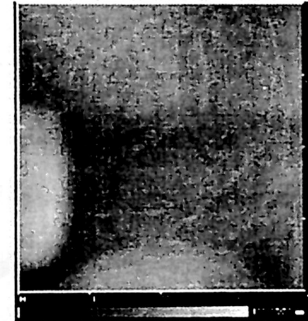
t=40h



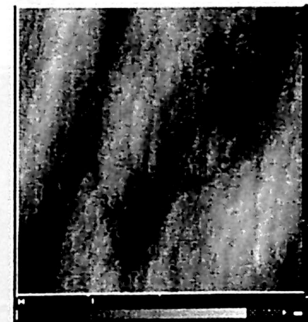
t=0h



t=4h



t=8h



t=40h

(a) 表面熱SiO<sub>2</sub>層-上部Si層

(b) 上部Si層-埋込SiO<sub>2</sub>層

図2. 2 追加アニールによる高ドースSIMOX基板界面のモホロジー変化  
(tは追加アニール時間)

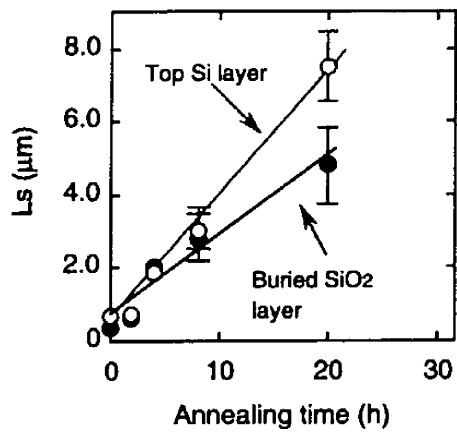


図2. 3 アニール時間と正方形構造の一辺の長さ

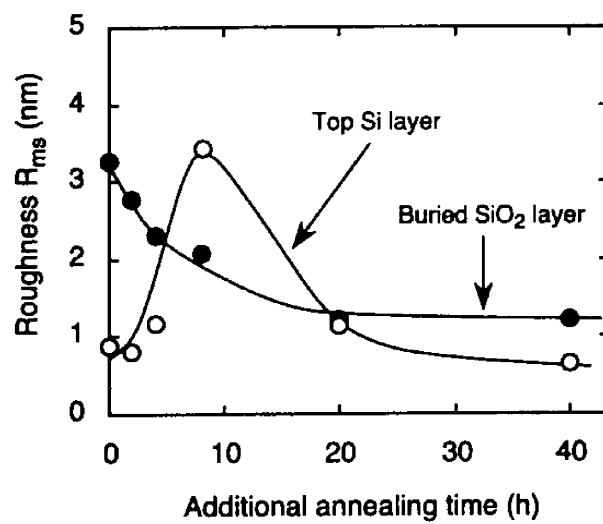


図2. 4 アニール時間に対する粗さのRms値

### 2-3-2 界面正形状構造の相関性

本節では、上部Si層の表面側（表面熱SiO<sub>2</sub>層-上部Si層界面）と裏面側（上部Si層-埋込SiO<sub>2</sub>層界面）に発現する正形状構造の相関性について検討した。界面相関性の評価は、基板上に目印となるパタンを形成し、そのパタンを用いて位置を定めた。評価用基板として、高ドースSIMOX (100) 基板を用いた。イオン注入後の基板を、Ar/O<sub>2</sub>雰囲気、1310℃-6時間でアニールした。一部のウエハは、1350℃-4時間の追加アニールを施した。比較のため、一部に低ドース基板も用いた。

目印となるパタンを形成するため、ポジ型レジストをSIMOX基板の表面熱SiO<sub>2</sub>層上に塗布し、光リソグラフィによりパタンを形成した。表面熱SiO<sub>2</sub>層は、レジストパタンをマスクとして、希釈HF液を用い、マスクパタン以外の部分を除去した。レジストを除去した後、上部Si層の表面（表面熱SiO<sub>2</sub>層-上部Si層界面）のパタン部分を、AFMにより観察した。そののち、上部Si層をKOH溶液で除去し、埋込SiO<sub>2</sub>層表面（上部Si層-埋込SiO<sub>2</sub>層界面）のパタン部分を、AFMにより観察した。

図2.5に、高ドースSIMOX (100) 基板の上部Si層の表面側界面と裏面側界面のAFM像を示す。両界面の特徴を示すため、基板上に位置確認のためのマーク用パタンは形成していない。表面側界面と裏面側界面に発現する正形状構造の間には、類似性が見られる。各観察領域は、正形状構造で埋められている。上部Si層の表面側界面の正形状構造の一辺の長さは2μmであり、裏面側界面の正形状構造の一辺より、やや大きい。

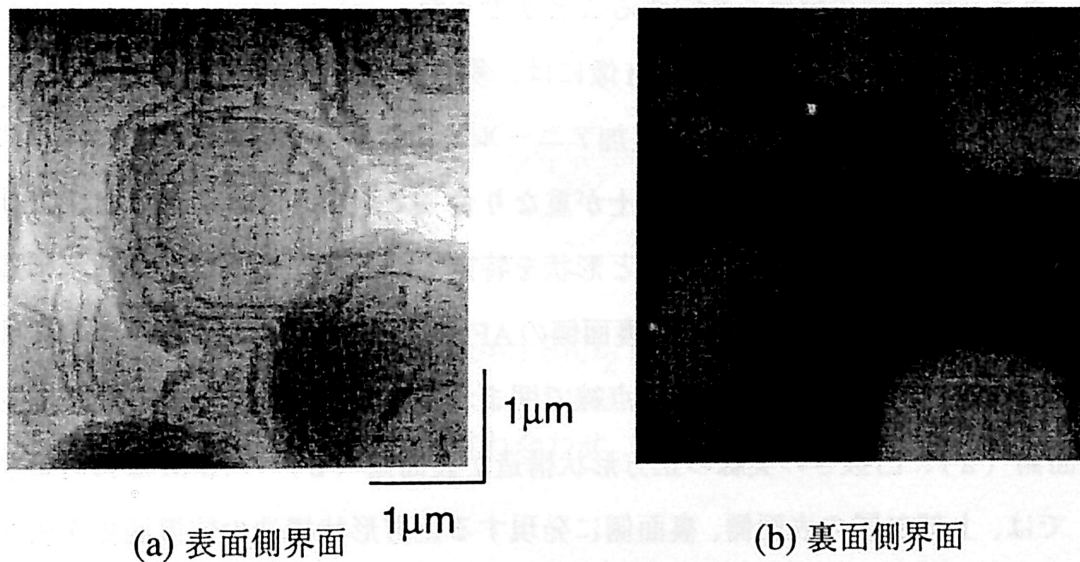


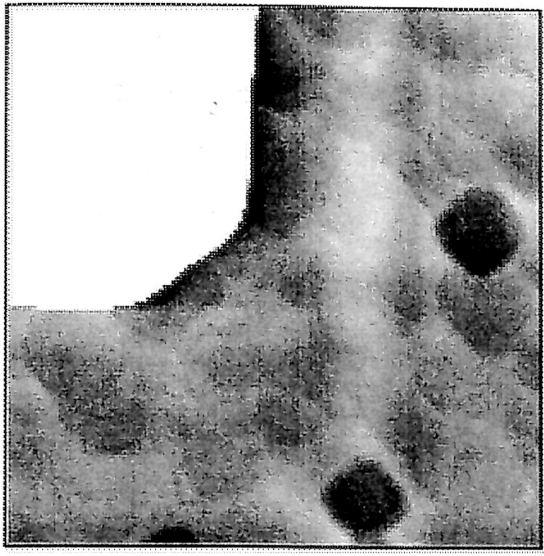
図2.5 SIMOX基板の上部Si層の表面側界面と裏面側界面

上部Si層の表面側界面の正形状構造は凹型であったが、裏面側界面の正形状構造は凸型で、正形状構造は、いずれの界面に発現してもSi層側に貫入している。図2. 2において、正形状構造は、高温、長時間のアニールの過程で、同じように成長することを示した。すなわち、アニールの進展とともに、正形状構造は辺長を増加した後、40時間の追加アニールによって消失した。以上の実験結果から、アニール過程での両界面のモホロジーの振る舞いは類似する。

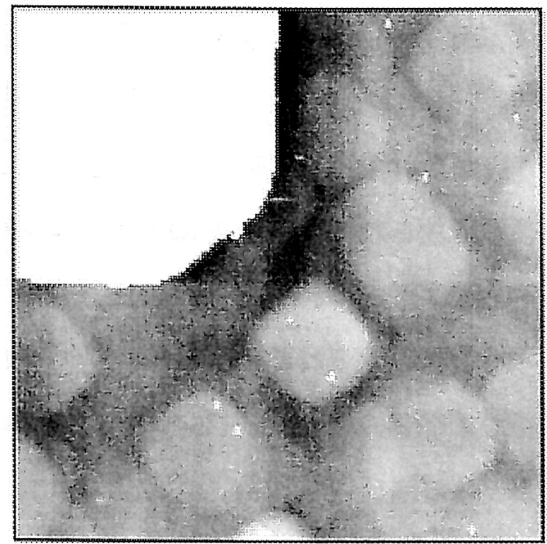
しかし、図2. 4で示したように、上部Si層の表面と裏面では、測定したRms値は相関していない。高ドースSIMOX基板でのRms値は、 $20\mu\text{m} \times 20\mu\text{m}$ の測定領域で、上部Si層裏面側ではアニールの進展にともない、単調な減少を示した。しかし、上部Si層表面側では、アニールの進展に対して、より複雑な変化を示した。また、低ドース基板では、アニールの進展にともない、上部Si層の表面側も裏面側も単調に減少した。ただし、裏面側のRms値が表面側のRms値より大きい。同じSi層の表面側と裏面側の平坦化ではあっても、両界面のRms値の変化から、平坦化は各界面で独立に進み、界面の間には相関は見られない。

上部Si層の表面側と裏面側の相関性を確かめるため、基板上に目印となるパターンを形成して、位置を特定した上での正形状構造の相関性を評価した。図2. 6に、2つの界面でのモホロジーの評価結果を示す。試料は、プレアニール済みの高ドースSIMOX(100)基板に、 $1350^\circ\text{C}$  - 4時間の追加アニールを施したものをを用いた。図中のくさび形パターンは、位置の特定用である。目印パターンは、上部Si層のエッチングの前後でも形状は保存され、ウエハ面上での位置を特定することができた。

上部Si層の表面側、裏面側のAFM像には、多くの正形状構造が観察された(図2. 6(a)、(b))。 $1350^\circ\text{C}$  - 4時間の追加アニールでは、各正形状構造のサイズに、ばらつきがあることや、正形状構造同士が重なり合って観察されることなどにより、位置や形状の特定は容易ではない。位置と形状を特定することができた正形状構造を、イラストにした。上部Si層の表面側、裏面側のAFM像をもとにした、ふたつの界面の重ね合わせ図を図2. 6(c)に示す。点線で囲まれた領域中の塗りつぶした正形状構造が表面側(a)、白抜きの実線の正形状構造が裏面側(b)のAFM像に対応する。図(c)では、上部Si層の表面側、裏面側に発現する正形状構造の位置関係を表すためにイラスト化した。そのため、個々の正形状構造の大きさは、便宜上、規格化してある。



(a) 上部 Si 層表面側



(b) 上部 Si 層裏面側

Image of cap SiO<sub>2</sub>/top Si layer interface

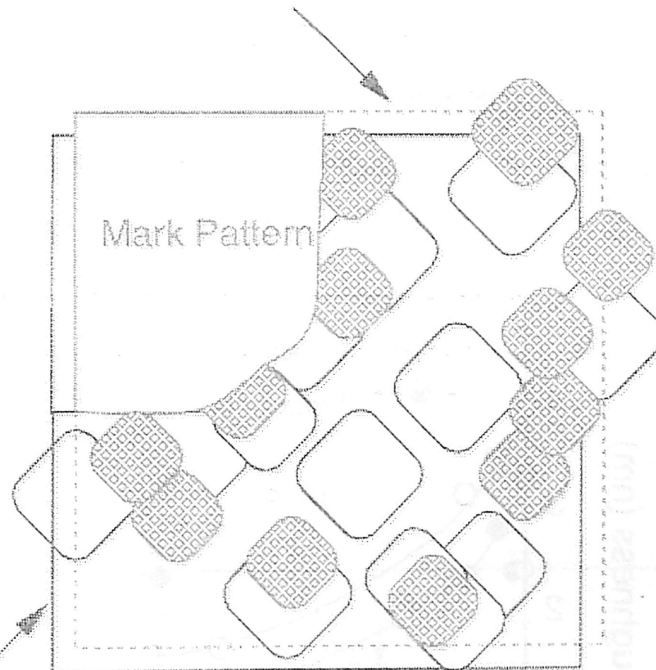


Image of top Si/buried SiO<sub>2</sub> layer interface

(c) 界面の重ね合わせ (イラスト)

図 2. 6 2つの界面でのモホロジーの評価

図(c)より、両界面の正形状構造の位置関係は、相関した位置にないことがわかる。それゆえ、2つの界面の正形状構造の間には相関性はない。2つの界面に類似の構造が現れても、相関が見られないことから、各々の界面上の正形状構造は独立に成長、平坦化されている。勿論、界面に発現する正形状構造が、互いに類似の構造をとっていることから、各界面での成長は独立に行われていても、成長を支配するメカニズムは同じと考えられる。以後のアニール過程での平坦化に関する議論では、2つの界面の平坦化プロセスを独立に扱い、特に上部Si層-埋込SiO<sub>2</sub>層界面の平坦化に着目して議論する。

### 2-3-3 界面の平坦化

前節までの議論で、埋込SiO<sub>2</sub>層の表面(上部Si層-埋込SiO<sub>2</sub>層界面)に発現する正形状構造は、アニールの進展とともに辺長を増加させる一方、高さを減少させるという成長形態をとることを明らかにした。また、1350℃で40時間の追加アニール後、正形状の構造は完全に消失し、界面にはステップ-テラス構造が観察されるほど平坦性が改善することから、正形状構造の高さが界面の平均的なラフネスを代表していると考えられる。高ドースSIMOX基板の上部Si層-埋込SiO<sub>2</sub>層界面のラフネスのRms値と構

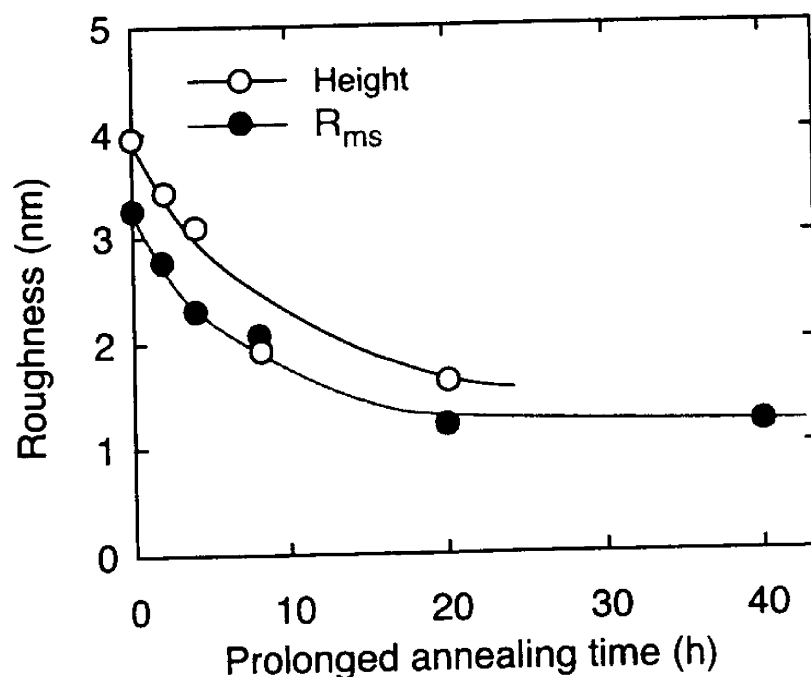


図2. 7 ラフネスの高さと Rms 値の比較



造の高さの比較を、図 2. 7 に示した。Rms 値は、AFM 像から得られた界面ラフネスより計算した。アニール時間に対する Rms 値は、正方形形状構造の高さと同様な傾向を示した。それゆえ、各々の正方形形状構造の存在が Si - SiO<sub>2</sub> 界面のラフネスの原因である。

正方形形状構造の断面積 (S) をアニール時間毎に計算した結果を、図 2. 8 に示す。正方形形状構造の断面積は、図 2. 2 ~ 2. 4 で示した実験データをもとに、構造の長さ (L<sub>s</sub>) と高さ (h) の積で表した。高さの値として、界面のラフネスを定量的に代表する値である Rms 値も用いた。AFM 観測時にゴミ等の付着により構造の高さの測定値が変化した場合でも、計算結果に影響を及ぼさないためである。計算した正方形形状構造の断面積は、最大値で規格化した。図中に、時間の関数 t<sup>3/4</sup> を、ガイドライン (図中の点線) として示した。t<sup>3/4</sup> で表される関数は、Si 中に析出する二次元酸化物の成長則である [13]。

計算した正方形形状構造の断面積 S は、アニール時間とともに増加した。アニールの初期段階での正方形形状構造の断面積の成長レートは、t<sup>3/4</sup> 則より大きい。正方形形状構造の高さの代わりに、Rms 値を用いて断面積を計算した場合も同じ傾向を示した。アニールの初期段階での、酸素析出物よりも大きな成長レートは、正方形形状構造の成長が酸素の拡散より大きな速度をもたらす機構によって起こっていることを示している。

本検討では、正方形形状構造が互いに結合し、その結果として、高い成長速度をもたらしていることを仮定した。実際、埋込 SiO<sub>2</sub> 層を形成するアニールの初期段階で、酸素析

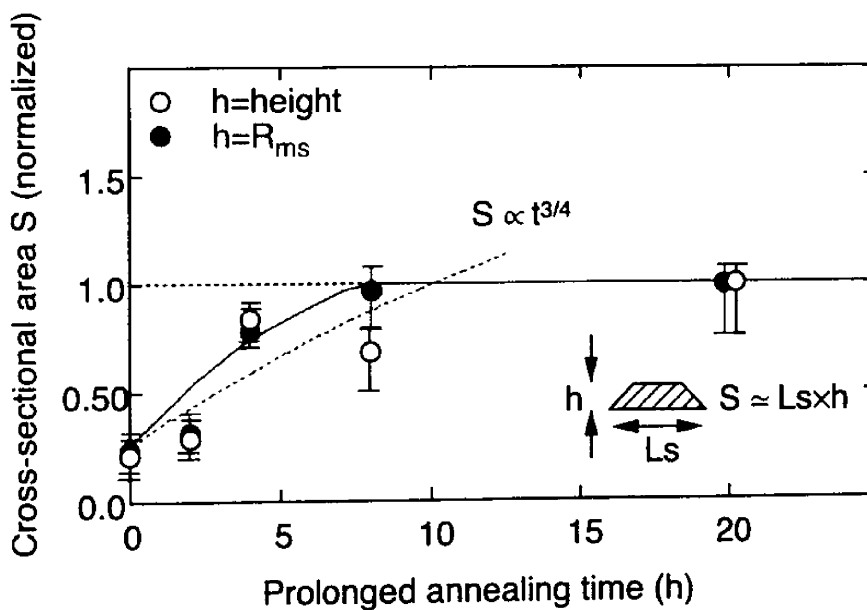


図 2. 8 アニール時間に対する正方形形状構造の断面積

出物は埋込  $\text{SiO}_2$  層中で互いに結合し、結果として安定に存在する埋込  $\text{SiO}_2$  層を形成する。この過程で、上部 Si 層-埋込  $\text{SiO}_2$  層は平坦になることが TEM による観察結果から報告されている [7]。それゆえ、正方形形状構造の結合が、アニールの初期段階での大きな成長速度を表していると考えられる。

図 2. 8 より、長時間のアニールの後には、正方形形状構造の断面積の大きさは飽和した。アニールの進展とともに、正方形形状構造の数が減少することを考慮すると、正方形形状構造の結合は成長のメカニズムの中で支配的な要因ではなくなる。このことは、各々の正方形形状構造の長さの成長と高さの減少は平坦化過程での原子の拡散によるものと考えられる。本章では、二次元成長の理論を応用して、SIMOX 基板の Si -  $\text{SiO}_2$  界面構造の成長の解析を試みた。

図 2. 9 に、低ドース SIMOX (100) 基板の、アニール温度に対する正方形形状構造の面積成長速度をプロットした。これは、(2. 1) 式から表されるように、拡散係数と同じ次元を持つ。

$$D = L_s^2 / t \quad (2. 1)$$

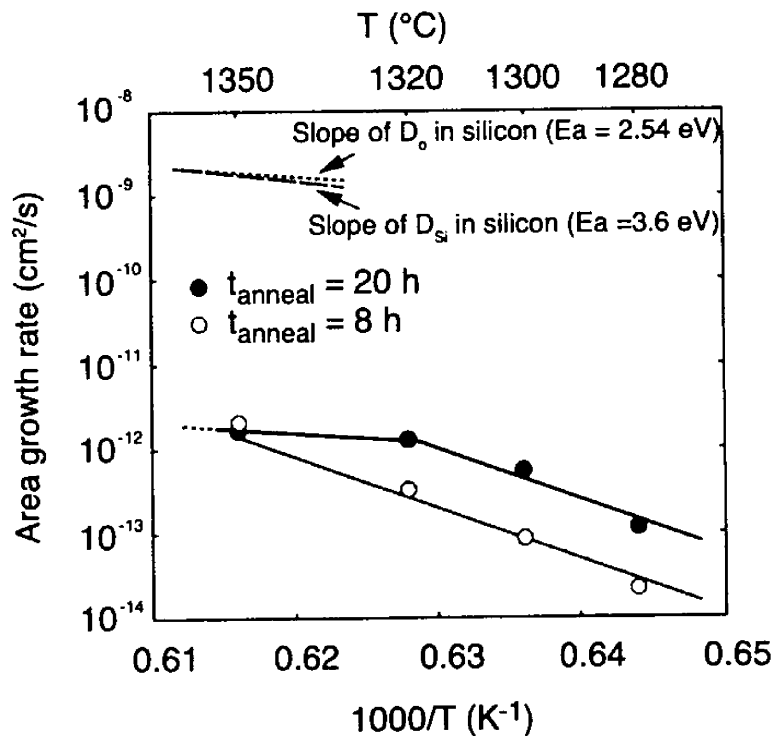


図 2. 9 アニール温度に対する正方形形状構造の面積成長速度

ここで、 $t$ はアニール時間である。使用した基板は、酸素イオン注入後の基板を1280℃～1350℃の間で、8時間または20時間にわたりアニールした。アニール時間に対する依存性を明らかにするために、この実験では、ウエハは1310℃-6時間のプレアニールを施していない。図中の破線は、結晶シリコン中の酸素とシリコンの拡散係数のスロープを示すガイドラインである [14] , [15]。スロープは、活性化エネルギーを表す。

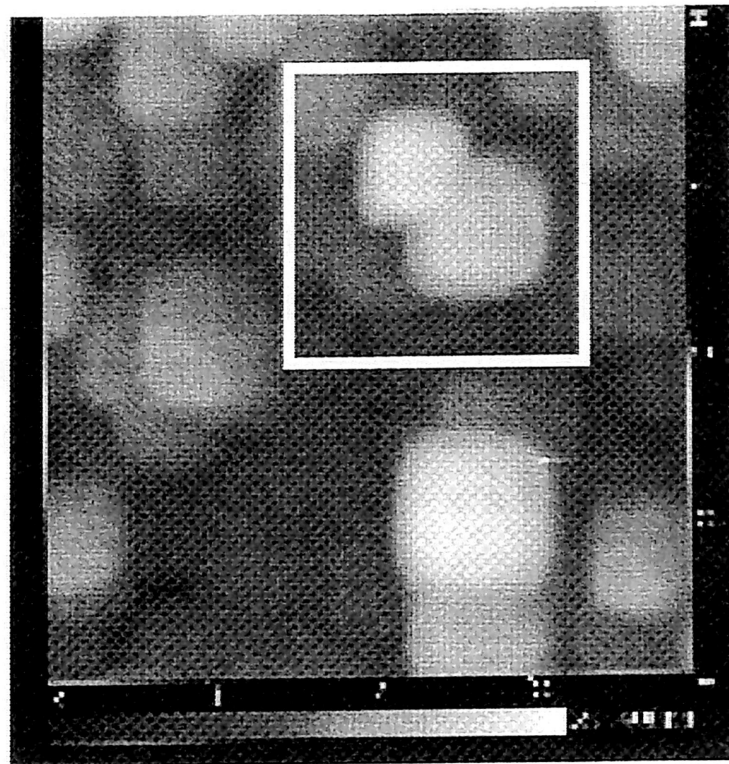
図2. 9で示された面積成長速度は、8時間アニール後の正方形構造の一辺の長さから見積もった。正方形構造の面積成長速度(拡散係数と同じ次元)のスロープは、酸素、シリコンの拡散係数から得られたスロープより大きな値を示した。この結果より、正方形構造は、アニールの初期には原子の拡散より大きなスロープ、すなわち大きな活性化エネルギーをもたらすメカニズムにより成長したことが示される。正方形構造同士の結合は拡散係数によるものより、はるかに大きな活性化エネルギーをもたらす。

SIMOX基板の埋込 $\text{SiO}_2$ 層形成の初期段階では、酸素析出物がお互いに結合することが報告されていることから、正方形構造同士の結合が起こっていることが裏付けられる[6]。

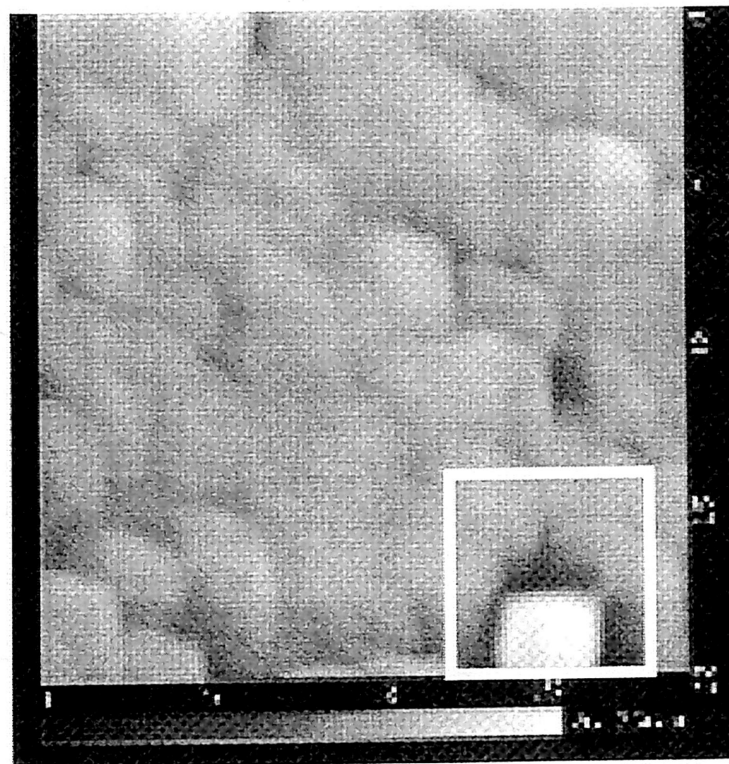
20時間アニール後の実験データは、8時間のアニールのデータと同じ傾向を示した。しかし、見積もった面積成長速度は1350℃で飽和し、そのスロープは結晶シリコン中の酸素の拡散係数から得られるスロープと、ほぼ同等になった。それゆえ、酸素の拡散が、十分時間が経過した後の界面の平坦化過程の主要な駆動力であることがわかる。

アニールの初期段階と十分時間が経過した後の、埋込 $\text{SiO}_2$ 層の表面のAFM画像を図2. 10に示す。図2. 10 (a)では、2つの正方形構造が結合しつつある状態が観察された。こうした2つの構造が結合しつつある状態が観察されることは希であった。なぜなら、結合の結果として得られる形状は、より安定な形状をとろうとし、結合後の形状は表面積と界面エネルギーが最小になるような形状で安定するためである [16]。

十分にアニール時間が経過した後、平坦化された界面上で、正方形構造が観察される数は極めて少ないか、殆どなかった(図2. 10 (b))。わずかに界面上に残った正方形構造は孤立化している。正方形構造が安定化するためには、自己拡散により成長するしか方法はない。そのため、正方形構造の成長速度は、構造数の減少とともに徐々に減少する。図2. 8で示したように、正方形構造の断面積は飽和する。それゆえ、十分アニール時間が経過した後では、酸素の拡散が支配的になる。



(a) アニールの初期段階



(b) 十分時間が経過した後

図 2. 10 アニールの初期段階と時間が経過した後の埋込  $\text{SiO}_2$  層表面

## 2-3-4 スケーリング解析による界面の評価

本節では、高温アニール下でのSIMOX基板のSi-SiO<sub>2</sub>界面ラフネスの変遷を、AFMによるスケーリング解析をもとに検討した。アニール温度の界面ラフネスへの影響もあわせて検討した。

正形状構造の大きさを解析するために、SIMOX基板の埋込SiO<sub>2</sub>層表面（上部Si層-埋込SiO<sub>2</sub>層界面）のラフネスのスケーリング長をAFMにより検討した。埋込SiO<sub>2</sub>層表面の粗さのRms値の依存性は、スキャンスケール（L）に対して、以下のように表される。

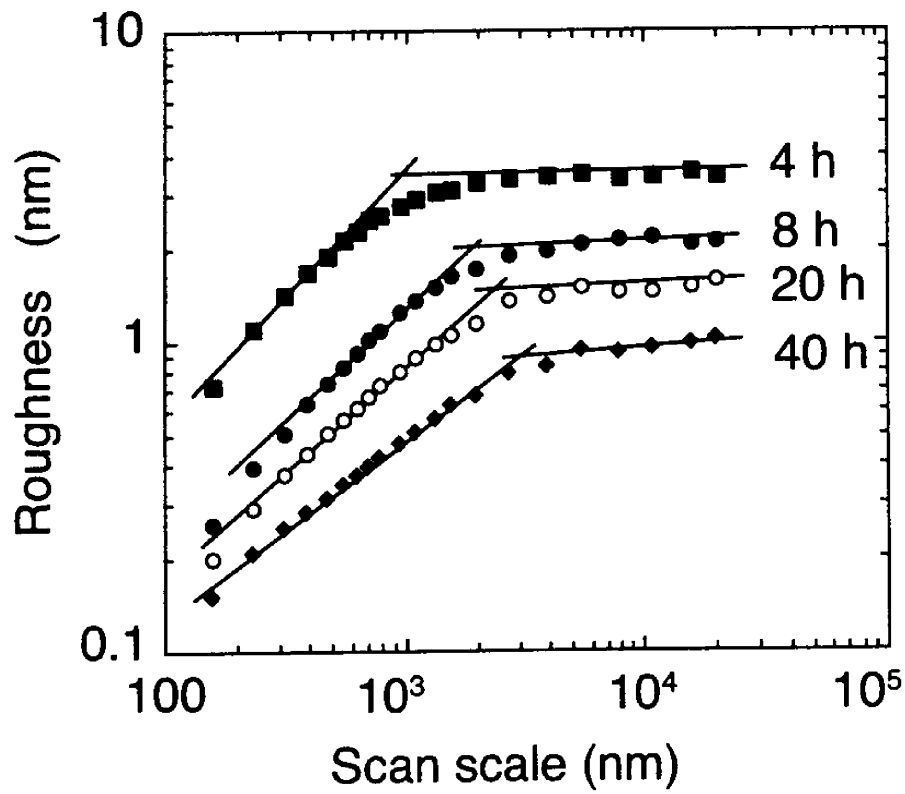
$$\begin{aligned} \text{Rms}(L) &\propto L^\alpha, & L < L_c \\ &\sigma, & L > L_c \end{aligned} \quad (2.2)$$

ここで、 $L_c$ は相関長、 $\alpha$ は指数、 $\sigma$ は定数を示す。

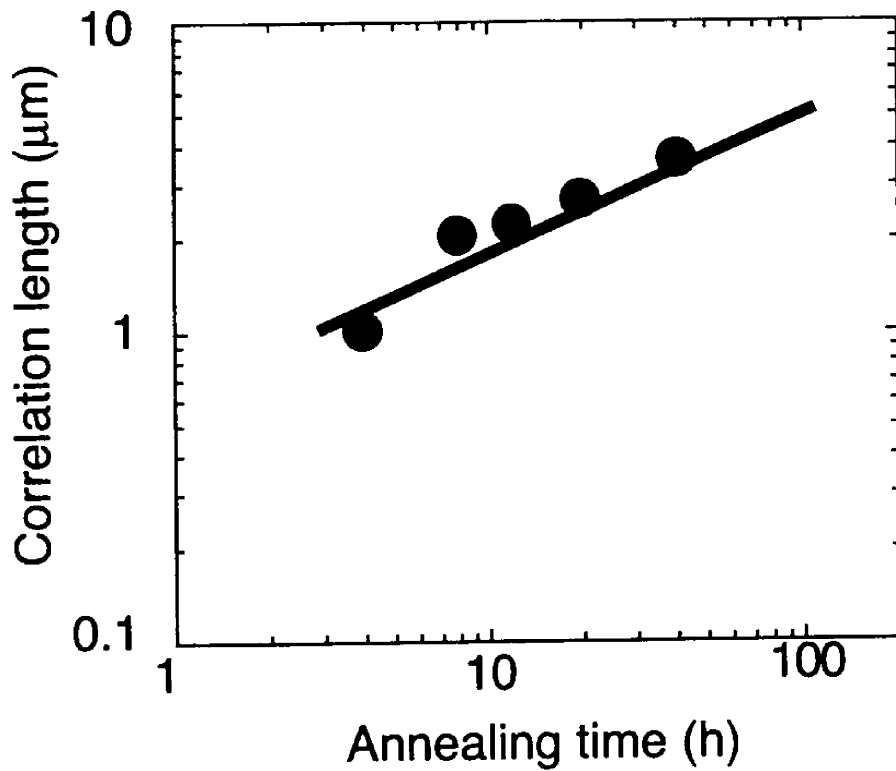
測定結果を、図2.11(a)に示す。試料は、低ドースSIMOX(100)基板を用いた。イオン注入後の基板を、プレアニールは行わず、1350℃で4~40時間アニールを施した。埋込SiO<sub>2</sub>層表面の粗さの相関長は、各アニール時間毎にスキャンエリアを0.15μm×0.15μmから20μm×20μmの間で変化させた。

4時間アニールでのRms値は、スキャンエリアの増加にともない増加し、スキャンエリア1μm×1μm以降では飽和し、Rms=3.4nmとなった。アニール時間の増加とともに、相関長は増加し、Rms値は減少した。40時間のアニール後には、Rms値は1nmまで減少した。図2.11(b)に、アニール温度1350℃での、アニール時間に対する相関長を示す。界面構造のAFM観察結果と比較すると、例えば4時間アニールと比較すると、相関長は0.9μmで、正形状構造の一辺の長さとも一致した。それゆえ、相関長はSIMOX基板の界面構造の特徴的な長さを表している。

指数 $\alpha$ は、1350℃のアニールの場合で、0.71(4時間)から0.52(40時間)まで減少した。十分長い時間のアニール後は、正形状構造同士の結合が起こりにくくなり、正形状構造の成長を拡散のメカニズムが支配することを前節で述べた。1350-40時間アニール後に得られた指数 $\alpha=0.52$ は、二次元成長を基にしたKahandaらの検討結果と一致する[18]。それゆえ、 $\alpha$ の減少は成長を支配するメカニズムがアニールの進展とともに変化したことを示す。



(a) スキャンエリアに対する Rms 値



(b) アニール時間に対する相関長

図 2. 1 1 SIMOX 基板の埋込 SiO<sub>2</sub> 層表面のラフネスのスケーリング解析

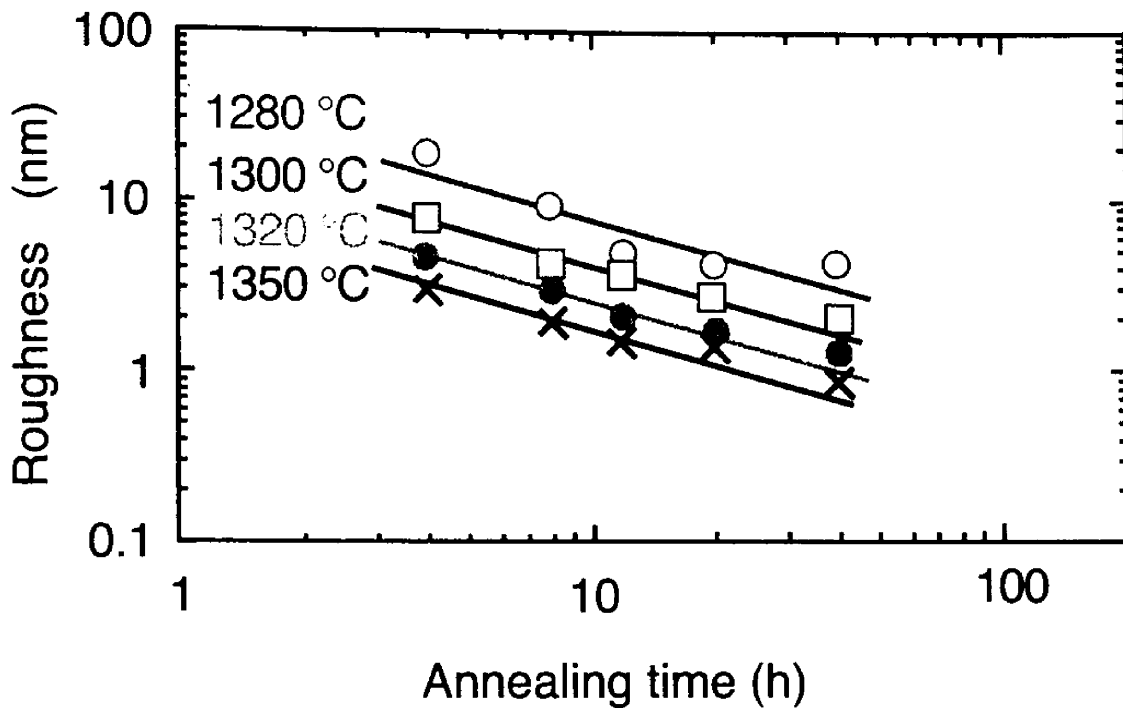


図 2. 1 2 アニールの温度に対する界面の Rms 値

アニール温度を変えたときの上部 Si 層-埋込 SiO<sub>2</sub> 層界面の粗さの Rms 値を検討した (図 2. 1 2)。試料は、低ドース SIMOX (100) 基板である。イオン注入後の基板に、1280~1350 °C、4~40 時間のアニールを施した。Rms の測定は、20 μm × 20 μm 領域で行った。各温度のプロットから、長時間のアニールによって、界面のラフネスが減少していることがわかる。正方形形状構造のサイズは、各アニール温度とともに増加する。このことから、Si-SiO<sub>2</sub> 界面の解析結果から得られた平坦化プロセスの描像は温度を変えても成り立つことが示された。

### 2-3-5 正方形形状構造の成長則の解析

前節までの議論で、界面の平坦化における正方形形状構造の変遷から、平坦化の駆動力として、アニールの初期段階では構造同士の結合が、十分アニール時間が経過した後では拡散が支配的であることを明らかにした。その中で、酸素の拡散は界面の平坦化において、駆動力となっている。それゆえ、界面の平坦化の解析は正方形形状構造の成長に関する議論を考慮して進められるべきである。

本稿では、上部 Si 層と埋込 SiO<sub>2</sub> 層の界面の平坦化は、界面近傍で格子状に配置された Si 原子に対する酸素原子の移動が主な駆動力であり、正方形形状構造同士の結合を組み合

わせたモデルを仮定した。酸素原子は、イオン注入により導入された酸素原子だけでなく、アニールで外部雰囲気から導入された酸素原子も含む。外部雰囲気から導入された酸素の一部は、埋込SiO<sub>2</sub>層を形成することに消費される。それらは埋込SiO<sub>2</sub>層を構成する酸素原子と混合される [19], [20]。外部から導入された酸素原子は、イオン注入された酸素原子と混合されて、埋込SiO<sub>2</sub>層中で再分布することによって、界面の平坦化を促進する [8], [21]。

アニール雰囲気からのSi-SiO<sub>2</sub>界面への酸素の影響を取り扱うために、解析モデルとして、時間依存の Guinzburg-Landau 方程式を取り込んだ [22]。界面のラフネスは、正方形形状構造の高さに依るとして、(2. 3) 式のようにモデル化される。

$$\frac{\partial R(x,t)}{\partial t} = \frac{\partial}{\partial x} \left\{ D \frac{\partial R(x,t)}{\partial x} \right\} - f(R) \quad (2. 3)$$

ここで、 $R$ は上部Si層と埋込SiO<sub>2</sub>層の界面のラフネスを、 $D$ は結晶Si中の酸素の拡散係数を表す。ここで単純化のために、 $f(R) = \text{const}$ を仮定した [23]。

$f(R)$ の値は、SOI基板の内部酸化にもとづく埋込SiO<sub>2</sub>層の成長速度とした [21]。シミュレーションを実行する各時間刻みを1プロセスとして、プロセス毎に、外部雰囲気から導入された酸素による埋込SiO<sub>2</sub>層界面に酸素原子を導入、埋込SiO<sub>2</sub>層中の酸素原子を増加させる。さらに、Si-埋込SiO<sub>2</sub>界面の正方形形状構造の高さを調べ、隣同士の正方形形状構造の高さが等しければ正方形形状構造同士が結合したと定めた。このプロセスをアニールの間、繰り返すことによって、界面の平坦性の変化を計算した。ラフネスのデータは、Si-SiO<sub>2</sub>界面の断面を観察して得られたデータを初期値とした。

シミュレーションによる界面の平坦性の変化を図2. 13に示す。図中には、ラフネスの高さとRms値の実験データと比較した。実験データの界面のラフネスは、正方形形状構造の高さで表した。界面の粗さとRms値は、アニール時間の推移とともに減少した。界面ラフネスのシミュレーション結果は、実験結果と同じ傾向を示した。

シミュレーションによるSi-SiO<sub>2</sub>界面は、正方形形状構造の高さがアニールの初期段階では急激に減少し、アニール時間が十分経過した後では、高さは飽和する。この結果は、Si-SiO<sub>2</sub>界面での酸素の拡散が正方形形状構造の結合を引き起こし、構造の高さを減らす役割



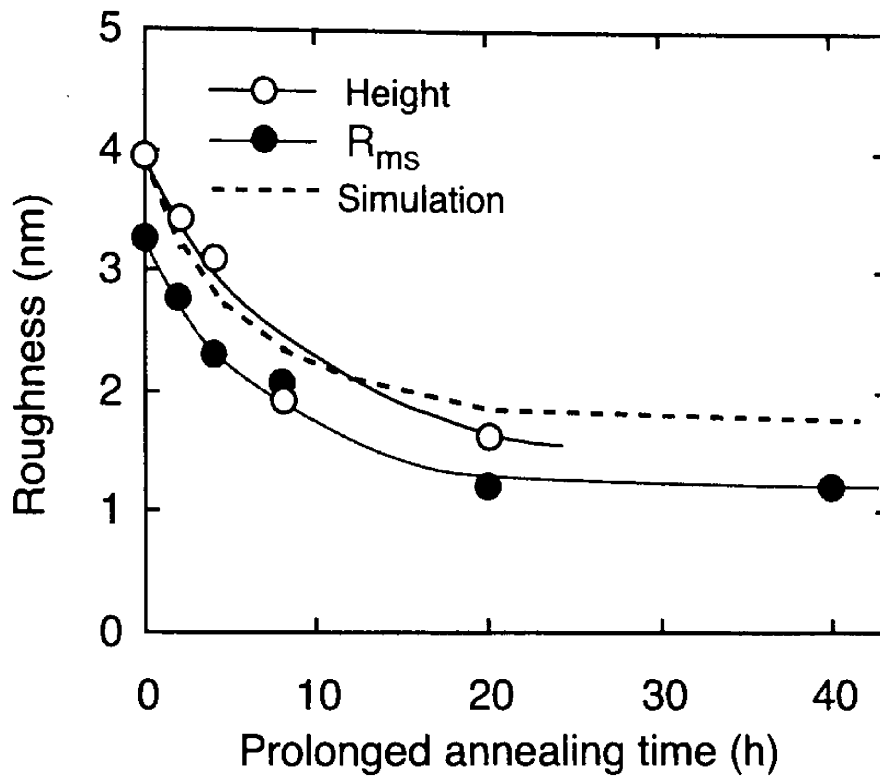


図2. 13 界面の平坦性の変化のシミュレーション結果

を果たす。その結果、酸素原子はSi-SiO<sub>2</sub>界面を通して拡散されるので、界面の平坦性は改善される [12]。それゆえ、シミュレーション結果は、Si-SiO<sub>2</sub>界面での酸素原子の拡散が界面平坦化の主な駆動力となっていることを示す。

Si、酸素のいずれかの原子が動かなければ、平坦化は進行しない。Si原子と酸素原子を比較すると、相互に結合されているSi原子より、イオン注入された酸素原子の方が移動し易い。実際、<sup>18</sup>OのSIMS分析結果(第4章参照)から、アニール過程での基板内部での酸素はダイナミックに動き回っている描像が浮かぶ。

ただし、アニール初期のTEM観察像から、埋込SiO<sub>2</sub>層形成の初期過程では、イオン注入された酸素原子がSi原子と結びついて形成されたSiO<sub>2</sub>島が相互に結合して、より大きなSiO<sub>2</sub>島になったり、埋込SiO<sub>2</sub>層に取り込まれる様子が観察されている。それゆえ、アニールの初期段階では、正形状同士結合によって、大きな成長速度が得られる。ここで、注意すべきことは、アニールの過程でSiO<sub>2</sub>島が動き回るのではなく、あくまでも酸素原子が移動して、Si原子と結びつき、SiO<sub>2</sub>島を形成していることである。それゆえ、アニールの初期段階では結合、十分にアニールが進行した状態では酸素の拡散と、見掛

け上、正形状構造成長の駆動力が異なる。しかし、いずれの場合も、主体は酸素原子の動きであることを考慮すると、アニールの各段階での駆動力の相違は矛盾しない。

## 2-4 まとめ

本章では、SIMOX 基板のアニール過程で Si-SiO<sub>2</sub> 界面に発現する正形状構造の成長メカニズムと界面平坦化プロセスを検討し、界面の平坦性を説明するモデルを提案した。アニールの初期過程では結合が、十分時間が経過した後では拡散が、それぞれ、正形状構造の成長や界面平坦化の駆動力になっていることを示した。

本稿では、Si-SiO<sub>2</sub> 界面の平坦化モデルは界面付近の酸素の拡散によって改善することを仮定したモデルを提案し、時間依存の Ginzburg-Landau 方程式により計算した。シミュレーションの結果は、Si-SiO<sub>2</sub> 界面の平坦化をよく説明した。すなわち、シミュレートした Si-SiO<sub>2</sub> 界面の正形状構造の高さは、アニールの初期段階で急激に減少し、十分時間が経過した後では飽和することを示した。シミュレーション結果は、Si-SiO<sub>2</sub> 界面の酸素原子の拡散が界面の平坦化の主な駆動力であることを示した。

## 参考文献

- [1] E. Leobandung, et. al., Tech. Dig. IEDM (1999) 679.
- [2] Y. Kado, et. al., Tech. Dig. IEDM (1993) 243.
- [3] Y. Ono, Y. Takahashi, K. Yamazaki, M. Nagase, H. Namatsu, K. Kurihara, K. Murase, Tech. Dig. IEDM (1999) 367.
- [4] M. Nagase, T. Ishiyama, and K. Murase: Proc. 6th Int. Symp. SOI Technology and Devices, Electrochem. Soc. (1994) 191.
- [5] H. Sakaki and T. Sugano: Proc. 3rd Conf. Solid State Devices, Tokyo (1971) 141.
- [6] A. Yoshino, K. Kasama, and M. Sakamoto: Nucl. Inst. Meth. **B39** (1989) 203.
- [7] S. Nakashima and K. Izumi: J. Mater. Res. **8** (1993) 523.
- [8] S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Imai, K. Izumi, and N. Ohwada: Proc. 1994 IEEE Int. SOI Conf., IEEE (1994) 71.
- [9] T. Katayama, S. Nakashima, Y. Miyamura, M. Kataoka, M. Danbata M. Imai, K. Izumi, and N. Ohwada: Proc. 1994 IEEE Int. SOI Conf., IEEE (1994) 74.
- [10] K. Kajiyama, Y. Hashiguchi, Y. Ikematsu, I. Hamaguchi, T. Yano, T. Nakajima, S. Matsui, K. Kawamura, and M. Tachimori: Jpn. J. Appl. Phys. **34** (1995) 3059.
- [11] I. Ohdomari, H. Akatsu, Y. Yamakoshi, and K. Kishimoto: J. Appl. Phys. **62** (1987) 3751.
- [12] A. H. Carim and R. Sinclair, J. Electro. Chem. **134** (1987) 741.
- [13] K. Wada and N. Inoue: J. Crystal Growth **49** (1980) 749.
- [14] M. Stavola, J. R. Patel, L. C. Kimering, and P.E. Freeland: Appl. Phys. Lett. **42** (1983) 73.
- [15] H. Takaoka, J. Osaka, and N. Inoue: Jpn. J. Appl. Phys. Suppl. **18** (1979) 179.
- [16] J. Vanhellemont and C. Claeys: J. Appl. Phys. **62** (1987) 3960.
- [17] T. Yoshinobu, A. Iwamoto, H. Iwasaki, Jpn. J. Appl. Phys., **30** (1994) 383.
- [18] G. Kahanda, X. Zou, R. Farrell, P. Wong, Phys. Rev. Lett. **68** (1992) 3741.
- [19] Y. Takahashi, T. Ishiyama, and M. Tabe: Appl. Phys. Lett. **65** (1994) 2987.
- [20] S. Nakashima, T. Katakama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada: J. Electrochem. Soc. **143** (1996) 244.
- [21] Y. Li, A. Kilner, R. J. Chater, A. Nejm, P. L. Hemment, C. D. Marsh, and G. R. Booker: Appl. Phys. Lett. **63** (1993) 2812.

[22] L-Q. Chen and D. Fan: *J. Am. Ceram. Soc.* **79** (1996) 1163.

[23] T. Ohta: "Mathematics in interface dynamics" (Nippon Hyoron-sha, 1997).

### 第3章 SOI構造中の不純物分布

SOI構造において、デバイスを作製する上部Si層は、表面熱SiO<sub>2</sub>層と埋込SiO<sub>2</sub>層にサンドイッチされている。そのため、不純物の分布はSi-SiO<sub>2</sub>層界面の影響を受けやすい。表面熱SiO<sub>2</sub>層-上部Si層-埋込SiO<sub>2</sub>層のサンドイッチ構造において、イオン注入された不純物がどのように分布するかを定量的に把握することは、MOSFETのしきい値電圧や耐圧などの電気特性の決定に重要な意味を持つ。本章では、バルクSi基板用途で提案された不純物のSi-SiO<sub>2</sub>界面の分布モデルをSOI構造に拡張し、SOI構造中の不純物分布を検討した。

#### 3-1 はじめに

薄層SOI構造を、信号処理用MOSFETや低耐圧パワーMOSFETに適用することは、高速スイッチング特性や、低消費電力デバイスでの利用実績から効果は大きい[1]。ただし、低消費電力デバイス実現の要請から、SOI構造でパワーMOSFETを実現した場合、しきい値電圧は $|V_{th}| = 0.6 \sim 1.0 \text{ V}$ の狭い範囲で正確に制御する必要がある。

しきい値電圧の見積もりには、アニール後のSi層中での不純物分布を正確に把握する必要がある。通常、シミュレーションを用いてプロセス条件(イオン注入のエネルギーおよび注入量、アニールの温度および時間など)を決定する。しかし、薄層SOIパワーMOSFETでは、上部Si層は厚さが薄く、かつ、ふたつのSiO<sub>2</sub>層に挟まれていることから、しきい値電圧の正確な見積もりが難しくなる。不純物は、一般的に、Si-SiO<sub>2</sub>界面を介して偏析する。特に、不純物がリンの場合には、この一般的な偏析に加え、界面での異常集積(パイルアップ)が起こる[2], [3]。こうした2つの界面での選択的な分布現象は、バルクSi基板の場合とは異なる不純物プロファイルをもたらすので、SOIデバイスのしきい値電圧の決定を難しくする。

これまでのプロセスシミュレーションプログラムでは、リンとボロンの両方を取り扱うことができる「統合拡散モデル」を使用していた[4] - [6]。しかし、これらのシミュレーションプログラムで採用されているモデルはSOI構造の上部Si層-埋込SiO<sub>2</sub>層での不純物の挙動を考慮に入れていない。それゆえ、従来のプロセスシミュレーションでは、薄層SOI構造の不純物分布を正確に評価することはできない。

本章では、従来のバルク Si 基板向けの不純物分布モデルに、SOI 構造を対象とした拡張を施し、薄層 SOI パワー MOSFET のプロセスシミュレーションへの適用結果を検討した。本提案の不純物分布モデルでは、上部 Si 層-埋込 SiO<sub>2</sub> 層界面での、リンのパイルアップやボロンの偏析を取り扱うことができ、薄層 SOI 構造の不純物分布を正確に表現することができた。計算から得られた不純物分布をもとに、薄層 SOI パワー MOSFET の電気特性についても議論した。

### 3-2 不純物の偏析

SOI 構造中での不純物の Si-SiO<sub>2</sub> 界面での偏析を説明する前に、バルク Si 基板での不純物の偏析について説明する。SiO<sub>2</sub> 層と Si 層では、不純物の固溶度も拡散係数も異なる。Si ウエハを酸化すると、化学ポテンシャルが一致するように不純物は再分布する。SiO<sub>2</sub> 層中の不純物の平衡濃度を C<sub>SiO<sub>2</sub></sub>、Si 層中の不純物の平衡濃度を C<sub>Si</sub> とすると、平衡偏析係数 m は、(3.1) 式のように表される。

$$m = C_{Si} / C_{SiO_2} \quad (3.1)$$

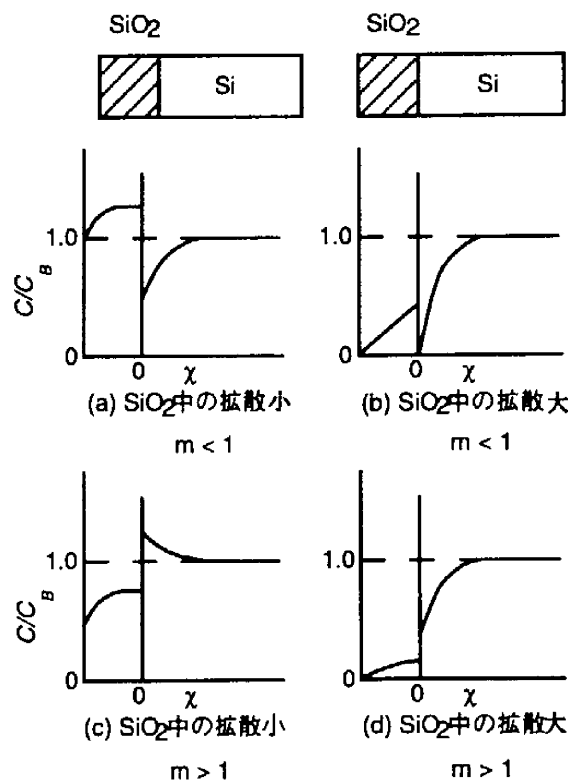


図 3.1 Si-SiO<sub>2</sub> 界面での不純物の偏析

ここで、 $m > 1$  は P、Sb、As、Ga であり、 $m < 1$  は B、In である。

不純物注入後のバルク Si 基板を酸化した場合の、界面における不純物の再分布を図 3. 1 に示す。図では、イオン注入後の不純物は  $\text{SiO}_2$  層、Si 層に一様に分布したと仮定している (図中の点線)。 $\text{SiO}_2$  層、Si 層中では、不純物の拡散速度が異なる。そのため、不純物の再分布は偏析係数と拡散速度によって決まる。ボロンは  $\text{SiO}_2$  層中での拡散速度が遅く、かつ、 $m < 1$  で Si 層から抜け易いため、図 (a) のような再分布プロファイルを示す。一方、リンは  $\text{SiO}_2$  層中での拡散速度は遅いが、 $m > 1$  のため図 (c) のような再分布プロファイルを示す他、Si 層 -  $\text{SiO}_2$  層界面でパイルアップを引き起こす特徴がある。

### 3-3 不純物の分布モデル

本稿で提案するモデルでは、上部 Si 層と埋込  $\text{SiO}_2$  層界面に interlayer (中間層) を設置した 3 層系を仮定した (図 3. 2)。interlayer には、不純物原子を捕獲するトラップサイトが設けられている。バルク Si 基板の Si 層 - 表面熱  $\text{SiO}_2$  層界面に interlayer をおいた 3 層系モデルは、F. Lau らによって提案された [7], [8]。この 3 層系モデルを SOI 構造の上部 Si 層と埋込  $\text{SiO}_2$  層の界面に適用した。Si -  $\text{SiO}_2$  界面に仮想的な interlayer を設置し、不純物は、interlayer を介して上部 Si 層と埋込  $\text{SiO}_2$  層の間を移動する。さらに、interlayer 内にトラップサイトを仮定することで、リンのパイルアップが表現できる。不純物原子は、アニールの過程で Si 層と  $\text{SiO}_2$  層の間を動きまわり、一部がトラップサイトに捕獲される

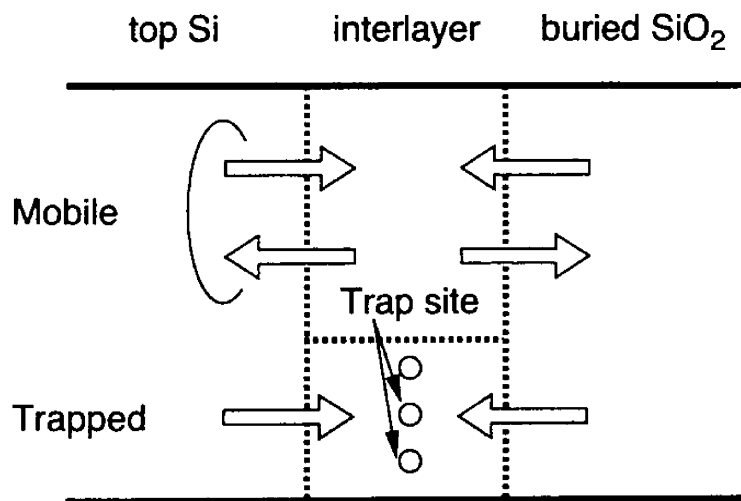


図 3. 2 上部 Si 層と埋込  $\text{SiO}_2$  層界面の interlayer

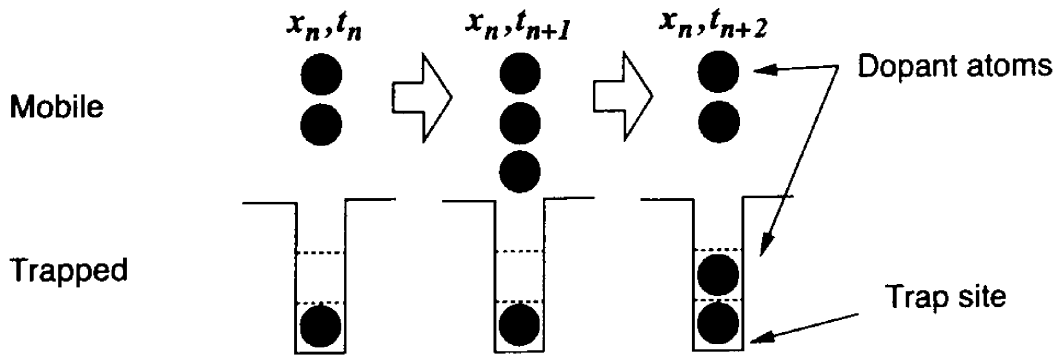


図3. 3 不純物原子の interlayer 層での移動と捕獲

(図3. 3)。Si-SiO<sub>2</sub>層界面に interlayer を仮定することにより、拡散係数の異なるふたつの界面での不純物の移動を正確に計算でき、かつ、パイルアップや偏析などの現象を表すこともできる。

interlayer は、Si層と SiO<sub>2</sub>層の間に置かれた、シミュレーションのための仮想的な層である。アニール過程で、不純物は interlayer を介して Si層と SiO<sub>2</sub>層の間を移動するが、シミュレーションでは、不純物が SiO<sub>2</sub>層から外部雰囲気へ放出されることも認めている。また、本提案モデルでは、アニール雰囲気に窒素雰囲気を仮定している。そのため、アニールの過程での表面熱 SiO<sub>2</sub>層、埋込 SiO<sub>2</sub>層の膜厚増加は考えていない。

図3. 3で述べた、3層系での不純物の分布およびトラップサイトでの捕獲のモデルをもとに、トラップサイト中に捕獲された原子の存在を考慮して不純物の流れを考えると、不純物濃度は(3. 2)式のように表される。

$$C(x,t) = n(x,t) + v(x,t) \quad (3. 2)$$

ここで、 $x$ は深さ、 $t$ はアニール時間、 $n(x,t)$ は可動不純物濃度、 $v(x,t)$ はトラップされ不動化した不純物濃度を表す。トラップサイトに捕獲された不純物の影響は、トラップサイトの分布関数 $\gamma(x)$ と各不純物原子が捕獲される確率の積で表される。

$$\frac{\partial v(x,t)}{\partial t} = \gamma(x)p(x) \quad (3. 3)$$



ここで、リンのピルアップはSi-SiO<sub>2</sub>層界面の極めて狭い幅の領域(殆ど一層)で起こるため、 $\gamma(x)$ は $\delta$ 関数で近似した[9]。簡単化のため、 $\gamma(x)$ をおよそ $10^{17}\text{cm}^{-3}$ オーダー、 $p(x)$ は一定と仮定した[10]。interlayer中のトラップサイトに捕獲された不純物原子は、いったん捕獲されると不動となり、電氣的にも不活性であると仮定した。加えて、SiO<sub>2</sub>層中に存在する不純物原子も電氣的に不活性であると仮定した。

不純物の分布プロファイルは拡散方程式を用いて計算される。

$$\frac{\partial n(x,t)}{\partial t} = \frac{\partial}{\partial x} \left\{ D \frac{\partial n(x,t)}{\partial x} \right\} - \frac{\partial v(x,t)}{\partial t} \quad (3.4)$$

ここで、 $D$ はSi層中( $D_{Si}$ )およびSiO<sub>2</sub>層中( $D_{SiO_2}$ )の拡散係数を表す[11]。本提案モデルと従来モデル(Si層とSiO<sub>2</sub>層の間にinterlayerがないモデル)を用いて、プロセスシミュレーションを行い、モデルによる分布プロファイルへの影響を検討した。

シミュレーションによる計算結果を検討するために、実験も行った。リンイオン、ボロンイオンを薄い表面熱SiO<sub>2</sub>層を介してSOI基板にイオン注入し、そののち、アニールを施した。実験のプロセスパラメータを表3.1に示す。

表3.1 プロセス、デバイスの実験パラメータ

Top Si layer ( $\mu\text{m}$ )	0.2 - 0.12
Buried SiO <sub>2</sub> layer ( $\mu\text{m}$ )	0.4
Gate oxide (nm)	40
Channel length ( $\mu\text{m}$ )	1.0
Offset length ( $\mu\text{m}$ )	1.2
Phosphorus implantation energy (keV)	140
Phosphorus implantation dose ( $\text{cm}^{-2}$ )	$0.6 \times 10^{13}$
Phosphorus annealing temperature ( $^{\circ}\text{C}$ )	900 - 1000
Phosphorus annealing time (min)	10
Boron implantation energy (keV)	25
Boron implantation dose ( $\text{cm}^{-2}$ )	$1.0 \times 10^{13}$
Boron annealing temperature ( $^{\circ}\text{C}$ )	900 - 1000
Boron annealing time (min)	60

### 3-4 結果と考察

#### 3-4-1 薄層 SOI 構造の不純物の深さ方向分布

図3. 4に、薄層 SOI 構造での不純物の深さ方向分布を示す。リンとボロンのシミュレーション結果は、本提案モデルと従来モデルを一次元のプロセスシミュレーションプログラムにより比較した [12]。従来モデルは、Si-SiO<sub>2</sub> 界面に interlayer を含んでいない。一方、本提案モデル (SOI 構造の 3 層系モデル) では、表面熱 SiO<sub>2</sub> 層-上部 Si 層、上部 Si 層-埋込 SiO<sub>2</sub> 層の両界面に interlayer を含んでいる。実験およびシミュレーションでは、SOI 基板は N<sub>2</sub> 雰囲気中、1000℃で、リンは 10 分間、ボロンは 120 分間、それぞれアニールを施した。

本プログラムが前提とする物理的な仮定を、以下に説明する。

・トラップサイトの数と、トラップサイトによる捕獲確率は、文献データを参考に、一定の値を与えた。ただし、トラップサイト数は一定のため、アニールの過程で全てのトラップサイトが不純物を捕獲すれば、それ以降の不純物の捕獲は起こらないとした。

・interlayer 中のトラップサイトに捕獲された不純物は不動化し、アニールの間、再び、可動イオンとなることはない。また、トラップサイトに捕獲され、不動化したイオンは電気的に不活性となる。

・interlayer-Si、SiO<sub>2</sub> 層間の不純物の移動に関しては、計算では、可動イオンのみを取り

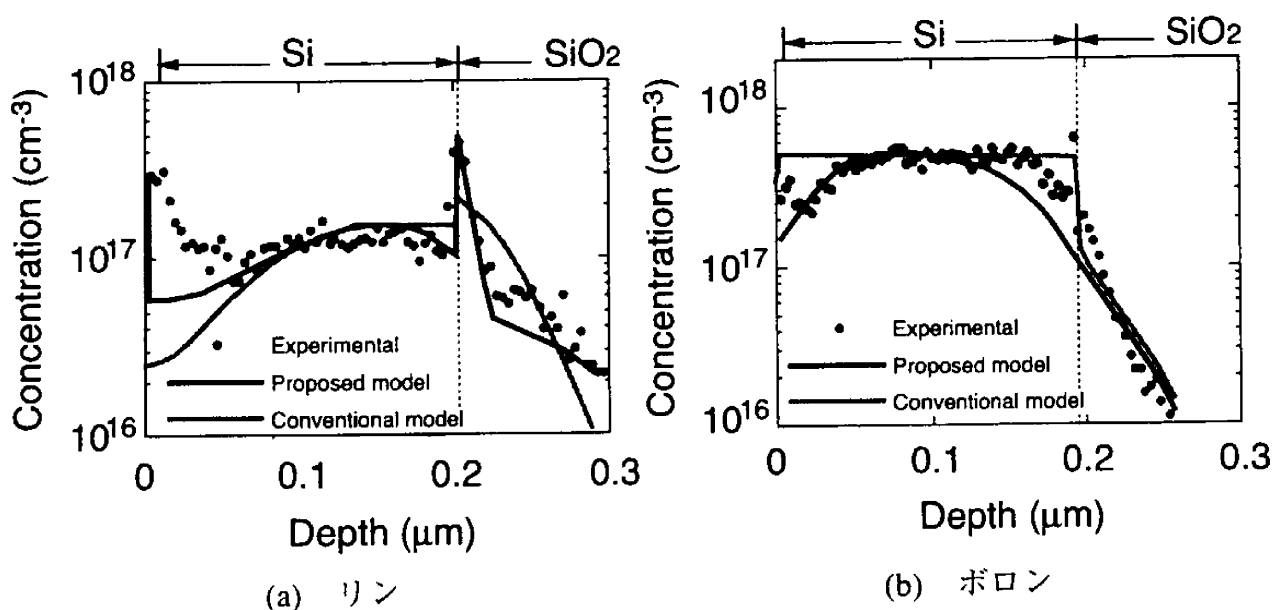


図3. 4 薄層 SOI 構造での不純物の深さ方向分布  
(実線がシミュレーション結果、ドットが実験結果)

扱った。すなわち、不動態イオンはトラップサイトに捕獲された時点で、計算上の不純物濃度から除外した。ただし、SIMS分析等の不純物濃度の測定との対比については、可動イオンと不動態イオンの和をもって、不純物濃度とした。

本提案モデルのシミュレーション結果は、ボロン、リンのいずれに対しても、実験結果とよく一致した。リン、ボロンの分布のシミュレーションに関して、本提案モデルは上部Si層中の全活性不純物量を正確に見積ることができた。シミュレーションと実験の不純物分布プロファイルの一致は、interlayerでの拡散係数やトラップサイトに捕獲された不純物に関する仮定が正しいことを示している。

不純物がリンの場合、SIMS分析結果より、表面熱SiO<sub>2</sub>層-上部Si層界面、上部Si層-埋込SiO<sub>2</sub>層界面に、パイルアップが見られた。また、2つの界面に挟まれた上部Si層中では、ほぼ一様な分布をとった。一方、本提案モデルでは、アニールの過程で不純物はinterlayer内のトラップサイトに捕獲、固定化されるので、界面のパイルアップを再現できた。また、上部Si層はトラップサイトを持つ2つのinterlayerで挟まれるため、不純物原子は上部Si層とinterlayerを行き来し、分布は次第に一様になった。界面にパイルアップがあっても、トラップサイトに捕獲された不純物は、拡散方程式の取り扱い対象から外されているので、2つの界面付近の不純物濃度が高くても、上部Si層中の不純物分布は影響を受けず、一様な分布が表現できた。

不純物がボロンの場合、SIMS分析結果より、不純物は上部Si層中に分布していた。また、表面熱SiO<sub>2</sub>層-上部Si層界面、上部Si層-埋込SiO<sub>2</sub>層界面付近で、不純物の濃度は減少した。一方、本提案モデルでは、トラップサイトの濃度はリンより小さいと仮定した。そのため、不純物原子はinterlayerを容易に通過、2つのSiO<sub>2</sub>層に移動することができ、上部Si層の界面付近の不純物濃度の減少を再現できた。

以上の結果から、本提案モデルでは異なった偏析係数をもつリンとボロンの両不純物を取り扱うことができた。なお、図3.4(b)のボロンプロファイルの測定結果が、図3.1(a)に示された模式図と異なるのは、イオン注入時に、注入プロファイルのピークが上部Si層中で、埋込SiO<sub>2</sub>層へのボロンのイオン注入量が少ないためである。

SOI基板のイオン注入層のシート抵抗 $R_s$ を(3.5)、(3.6)式により計算した。

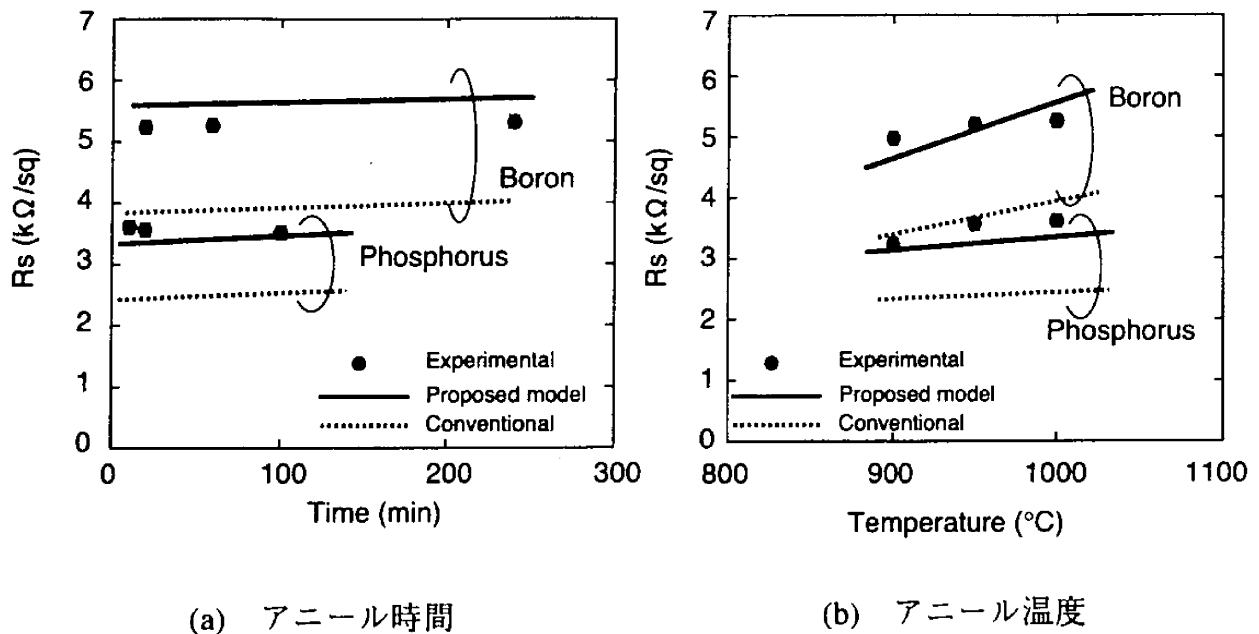


図 3. 5 シート抵抗の測定結果  
(実線がシミュレーション結果、ドットが実験結果)

$$\rho = \frac{1}{q\mu_n n} \quad (3. 5)$$

$$R_s = \rho t_{Si} \quad (3. 6)$$

ここで、 $\rho$ は抵抗率、 $q$ は素電荷、 $\mu_n$ はキャリアの移動度、 $n$ はキャリア濃度、 $t_{Si}$ は上部Si層厚である。本提案モデルと従来モデルをもとにした計算結果を、実験結果と比較した(図3. 5)。リンをイオン注入したSOI基板は、1000℃で10、20、100分間、ボロンをイオン注入したSOI基板は、1000℃で20、60、240分間、それぞれ、アニールを施した。

本提案モデルをもとにしたシート抵抗値の計算結果は、実験結果とよく一致した(図3. 5 (a))。シート抵抗の測定結果は、アニール時間とともにわずかに増加した。この結果は、不純物はアニールの初期段階で、トラップサイトに捕獲されることを示唆している。不純物分布プロファイルはアニール時間の変化に対して安定したプロファイルをとる。その結果、interlayerで不純物原子が捕獲されるという仮定を基にしたシミュレーションは、実験結果をうまく説明することができた。図3. 5 (b)に、SOI基板中のリンおよびボロンの不純物注入層のシート抵抗のアニール温度依存性を示す。リンをイオ

ン注入した基板は900～1000℃－10分間、ボロンをイオン注入した基板は900～1000℃－60分間のアニールを施した。

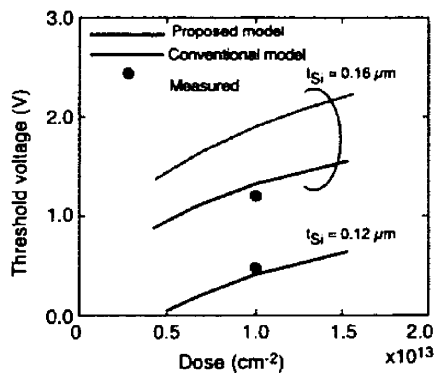
シート抵抗の計算結果は、いずれの不純物に対してもアニール温度の増加とともに増加した。本提案モデルによりシミュレーションされたシート抵抗値は、実験結果とよく一致した。本提案モデルは、上部Si層内部の不純物の総量を見積る上でも有効であった。

### 3-4-2 不純物分布プロファイルの電気特性への影響

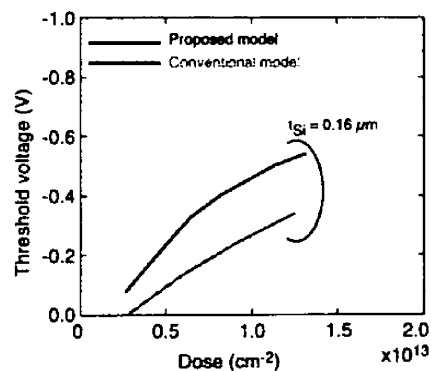
前節までの検討結果から得た不純物分布プロファイルをもとに、二次元デバイスシミュレータを用いて、SOIパワーMOSFETのしきい値電圧を計算した [12]。デバイスシミュレーションに用いたデバイスパラメータを、表3. 1および3. 2に示す。本提案モデルにより得られた不純物分布プロファイルをもとに計算したnチャネルSOIパワーMOSFET ( $t_{Si} = 0.16 \mu\text{m}$ ) のしきい値電圧を、図3. 6 (a) に示す。シミュレーション

表3. 2 シミュレーションパラメータ

Interface charge ( $\text{q}/\text{cm}^2$ )	$5 \times 10^{10}$
Recombination velocity ( $\text{cm}/\text{s}$ )	$1 \times 10^4$
Barrier of gate electrode (V)	-0.55



(a) nMOSFET  
(チャネル領域にボロンを注入)



(b) pMOSFET  
(チャネル領域にリンを注入)

図3. 6 SOIパワーMOSFETのしきい値電圧の計算結果

によるしきい値電圧は、実験結果とよく一致した。この結果から、表面近傍の不純物分布の正しいシミュレーションは、しきい値電圧を正確に見積もる上で、重要であることがわかる。

pチャネルSOIパワーMOSFETのしきい値電圧の計算結果を図3.6(b)に示す。新提案モデルと従来モデルによるリンの分布プロファイルの違いを考慮すると、2つのモデルをもとにして得られたしきい値電圧の相違を理解することができる。

薄層nチャネルSOIパワーMOSFET ( $t_{Si} = 0.12 \mu m$ ) のしきい値電圧のシミュレーション結果も、図3.6(a)に示した。しきい値電圧の測定結果は、0.44 Vであり、このデバイスは完全空乏化モードで動作した。しきい値電圧のシミュレーション結果は、0.4 Vであり、シミュレーションによって得られた不純物分布プロファイルは、デバイスが完全空乏化モードで動作しうることを示唆している。

図3.7は、アニール後の上部Si層中に残留する全不純物量を、イオン注入不純物量との比較結果である。両者の比は、アニール過程でイオン注入不純物が上部Si層から抜けたことを示す。イオン注入された不純物は、全て上部Si層厚にされたと仮定して、シミュレーションを行った。

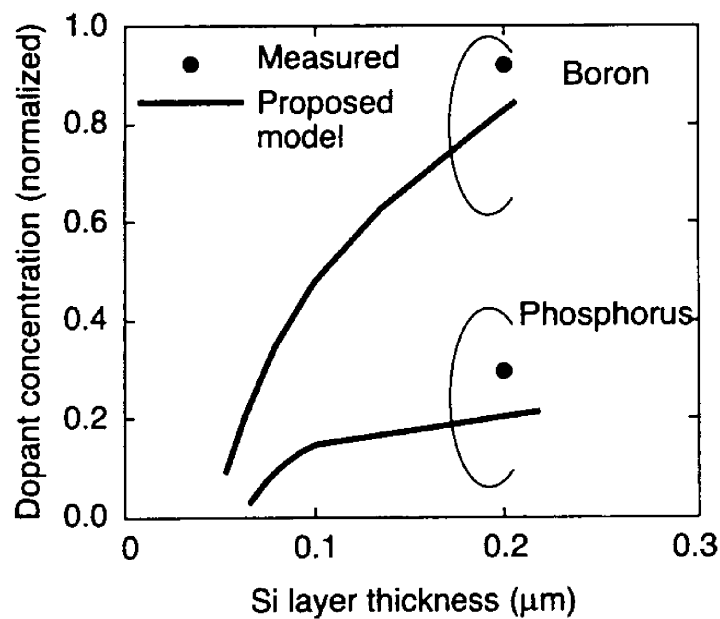


図3.7 アニール後の上部Si層中に残留する全不純物量

上部Si層が薄くなるにつれ、上部Si層中の不純物量は減少する。上部Si層厚がボロンの拡散長より短くなると、ボロンは薄い上部Si層から抜け、2つのSiO<sub>2</sub>層に移動し易くなる。この現象は、アニール時間が長くなるほど、顕著である。シミュレーションの結果から、上部Si層厚が0.1 μmより薄くなると、リンに関しても上部Si層中からの急激な抜けが予想される。リンの場合、不純物はinterlayerに移動する。以上のことから、0.1 μmより薄い上部Si層を用いて薄層SOI MOSFETを設計する場合、ボロンだけでなくリンに関しても、不純物の抜けを考慮する必要がある。

### 3-4 まとめ

本章では、薄層SOI構造の不純物分布を議論し、アニール過程での不純物の再分布を正しく取り扱うための、「SOI構造のためのinterlayerモデル」を提案した。本提案モデルにより、薄層SOI構造中の不純物分布のシミュレーション結果は、実験結果とよく一致した。この結果をもとに、SOIパワーMOSFETの電気特性を予想し、本提案モデルの有効性を示した。本提案モデルにより、不純物のinterlayer中のトラップサイトによる捕獲がアニールの初期段階で起こることが示唆された。本提案モデルは、薄層SOI構造で顕著にみられる「不純物の抜け」に関しても、その現象をよく再現し、上部Si層が0.1 μmより薄い場合は、ボロンだけでなくリンも、Si層から急激に抜ける可能性があることを示した。

## 参考文献

- [1] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, and R. Pinker, *ISPSD'91*, 31 (1991).
- [2] N. J. Chou Y. J. van der Meulen, R. Hammer, and J. Cahill, *Appl. Phys. Lett.*, 24 (1974) 200.
- [3] S. A. Schwarz, R. W. Barton, C. P. Ho, and C. R. Helms, *J. Electrochem. Soc.*, **128**, 1101 (1981).
- [4] M. Uematsu, *J. Appl. Phys.*, **82**, 2228 (1997).
- [5] H. Sakamoto and S. Kumashiro, *SISPAD'97*, 81 (1997).
- [6] Y. Oh and D. E. Ward, *IEDM'98*, 509 (1998).
- [7] F. Lau, L. Mader, C. Mazure, Ch. Werner, and M. Orlowski, *Appl. Phys. Lett.* **A49** 671 (1989).
- [8] M. Orlowski, *Appl. Phys. Lett.* **55** 1762 (1989).
- [9] Y. Sato, *Jap. J. Appl. Phys.*, **36**, 4299 (1997).
- [10] P. A. Stolk, H. -J. Gossmann, D. J. Eaglesham, D. C. Jacobson, and J. M. Poate, *Appl. Phys. Lett.*, **66**, 568 (1995).
- [11] R. B. Fair, "Silicon Integrated Circuits., **Part B**, 20, Academic (1981).
- [12] ISE Integrated System Engineering, *ISE TCAD Manual*, **2** (1996) .



## 第4章 SOI構造の上部Si層への裏面からの酸化現象

SOI構造は、MOSFETを作り込む上部Si層が2つのSiO<sub>2</sub>層にサンドイッチされ、Si基板と分離されている。そのため、SOI MOSFETは上部Si層の厚さや埋込SiO<sub>2</sub>層の存在に起因するプロセス上の特有の現象を示す。本章では、筆者が発見したSOI構造特有の現象として、SOI構造の内部で起こる酸化現象である「対向酸化」について述べる。

### 4-1 はじめに

上部Si層を薄層化したSOI基板技術は、将来のCMOS ULSI技術にとって重要な技術である [1], [2]。上部Si層が薄層化されると、SOI MOSFETの短チャネル効果が抑制されるためである。上部Si層の薄層化は、通常、熱酸化によりおこなわれる。SOI基板の熱酸化に関しては、バルクSi基板と同様に、酸化は表面からのみ進行すると考えられてきた。しかし、上部Si層を薄くすると、酸素はSi層を透過し埋込SiO<sub>2</sub>層に到達することが予想される。埋込SiO<sub>2</sub>層は、酸素にとって安定に析出しうるシンクであり、外部雰囲気から導入された酸素があれば、容易に結びつく可能性がある。このプロセスは、これまで酸化の理論として広く理解されてきたDeal-Groveの理論では無視されてきた [3]。それゆえ、上部Si層の膜厚を正確に制御するためには、熱酸化の過程で上部Si層が裏面から酸化 (Counter Oxidation: 対向酸化) されるか否かを検討すべきである。

本節では、上部Si層の熱酸化の過程での埋込SiO<sub>2</sub>層の膜厚増加について、実験、理論の両面から検討した。酸素 (<sup>16</sup>O) の同位体<sup>18</sup>Oを用いて、外部雰囲気から導入される酸素の上部Si層の透過に関しても検討した。

### 4-2 Deal-Groveの酸化モデル

SOI構造中での酸化現象を検討する前に、バルクSi基板での酸化現象であるDeal-Groveの酸化モデルについて説明する [3], [4]。通常の酸化条件 (酸化温度 700~1100 °C、酸素分圧 0.2~1.0 気圧) での厚さ 30~2000 nm のシリコン酸化膜の成長則は、経験上、Deal-Groveの酸化モデルで説明される。図 4. 1 に示すように、Siウエハが酸化ガス雰囲気に接し、膜厚  $X$  の酸化膜が成長する過程を考える。Siの酸化は以下の3段階を経て進行する。

(1) 酸化種が酸化ガス雰囲気からガス/SiO<sub>2</sub>の界面まで流束 (Flux)  $F_1$  で到達する。ここで、“流束”は単位時間に単位面積を通過する原子あるいは分子数として定義される。 $F_1$ は次式で表わされる。

$$F_1 = h_G (C_G - C_s) \quad (4. 1)$$

ここで、 $C_G$ 、 $C_s$ はそれぞれ酸化種の酸化ガス雰囲気中の濃度、ガス/SiO<sub>2</sub>界面近傍の濃度である。 $h_G$ はガス物質移動係数である。

ヘンリーの法則によれば、酸化種の酸化膜表面の平衡濃度 $C_0$ および表面熱SiO<sub>2</sub>層中の平衡濃度 $C^*$ はそれぞれ次式で表される。

$$C_0 = HP_s \quad (4. 2)$$

$$C^* = HP_G \quad (4. 3)$$

ここで $P_s$ はガス/SiO<sub>2</sub>界面近傍のガス分圧、 $P_G$ は雰囲気バルク中のガス分圧、 $H$ は定数である。ヘンリーの法則と理想気体の法則から、 $C_G$ 、 $C_s$ はそれぞれ

$$C_G = P_G / KT \quad (4. 4)$$

$$C_s = P_s / KT \quad (4. 5)$$

となり、式 (4. 1) と式 (4. 4)、(4. 5) から、

$$F_1 = h (C^* - C_0) \quad (4. 6)$$

となる。ここで $h$ は $h = h_G / HKT$ で与えられる物質移動係数である。

(2) ガス/SiO<sub>2</sub>界面に到達した酸化種はすでに存在する酸化膜中をSiO<sub>2</sub>/Si界面に向

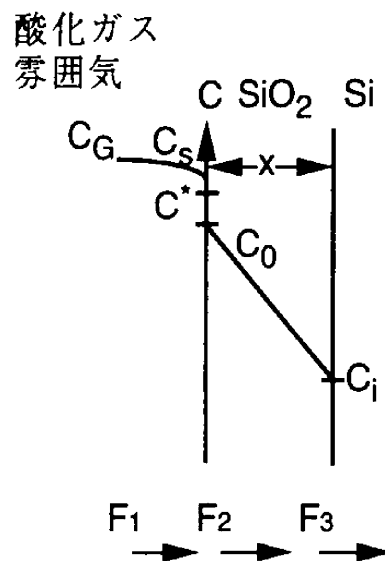


図 4. 1 Deal-Grove の酸化モデルで仮定されたガスの流れ

かって  $F_2$  で拡散する。 $F_2$  はフィックの法則から、

$$F_2 = D (C_0 - C_i) / X \quad (4.7)$$

で与えられる。ここで、 $D$  は酸化種の酸化膜中の拡散係数、 $C_i$  は酸化種の  $\text{SiO}_2/\text{Si}$  界面の  $\text{SiO}_2$  中の濃度、 $X$  は酸化膜の厚さである。

$\text{SiO}_2/\text{Si}$  界面に到達した酸化種は  $\text{Si}$  との反応によって新しい酸化膜層を形成する。

$F_3$  は  $C_i$  に比例すると仮定し、

$$F_3 = k_s C_i \quad (4.8)$$

で与えられる。ここで  $k_s$  はシリコンの酸化に関わる表面化学反応速度定数である。

(3) 定常状態においては、

$$F_1 = F_2 = F_3 \quad (4.9)$$

と考えられる。

式 (4.6) ~ (4.9) より

$$C_i = \frac{C^*}{1 + \left(\frac{k_s}{h}\right) + \left(\frac{k_s X}{D}\right)} \quad (4.10)$$

$$C_0 = \frac{C^* \left(1 + \frac{k_s X}{D}\right)}{1 + \left(\frac{k_s}{h}\right) + \left(\frac{k_s X}{D}\right)} \quad (4.11)$$

を得る。ここで、 $\text{SiO}_2/\text{Si}$  界面での反応速度に比べ、酸化種の  $\text{SiO}_2$  中の拡散速度が小さい場合、 $C_i \rightarrow 0$ 、 $C_0 \rightarrow C^*$  となる。これを拡散律速の酸化とよぶ。

一方、反応速度に比べ拡散速度が大きい場合は反応律速の酸化で

$$C_i = C_0 = C^* / (1 + k_s / h) \quad (4.12)$$

となる。

酸化速度 ( $dX/dt$ ) を求めるために、単位体積当りの酸化種の分子数  $N_{O_x}$  を定義する。

酸化膜は  $2.2 \times 10^{22}$   $\text{SiO}_2$  分子 /  $\text{cm}^3$  をもっており、 $\text{O}_2$  分子 1 個が  $\text{SiO}_2$  分子 1 個に関与

する。したがって、酸化種が $O_2$ の場合、 $N_{ox} = 2.2 \times 10^{22}$  分子/cm<sup>3</sup>である。酸化種が $H_2O$ の場合は分子2個が $SiO_2$ 分子1個に関与するので、 $N_{ox} = 4.4 \times 10^{22}$  分子/cm<sup>3</sup>となる。式(4.8)、(4.10)から酸化速度 $dX/dt$ は、

$$\frac{dX}{dt} = \frac{F_3}{N_{ox}} = \frac{k_s C^*}{1 + \left(\frac{k_s}{h}\right) + \left(\frac{k_s X}{D}\right)} \quad (4.13)$$

で与えられる。式(4.9)より、

$$X^2 + AX = B(t + \tau) \quad (4.14)$$

の酸化膜の成長則が導かれる。ここで、

$$A = 2D \left( \frac{1}{k_s} + \frac{1}{h} \right) \quad (4.15)$$

$$B = \frac{2DC^*}{N_{ox}} \quad (4.16)$$

$$\tau = (X_0^2 + AX_0) / B \quad (4.17)$$

である。熱酸化以前にシリコンウエハに厚さ $X_0$ の自然酸化膜が形成されている場合は、 $t=0$ で $X=X_0$ となる。式(4.17)の $\tau$ は、厚さ $X_0$ の酸化膜がすでに存在している場合の時間的シフト量を表わす。

式(4.14)を $X$ について解くと、

$$X = \frac{A}{2} \left\{ \left( 1 + \frac{t + \tau}{A^2 / 4B} \right)^{1/2} - 1 \right\} \quad (4.18)$$

となる。

酸化時間が非常に長い場合 ( $t \gg \tau$ ,  $t \gg A^2/4B$ )、(4.18) 式は

$$X^2 \simeq Bt \quad (4.19)$$

となる。これは2乗則とよばれ、酸化速度は酸化種の拡散律速となる。 $B$ を2乗則定数とよぶ。

一方、酸化時間が短い場合、つまり  $(t + \tau) \ll A^2/4B$  のとき、式(4.18)は

$$X = \frac{B}{A}(t + \tau) \quad (4.20)$$

となる。これは直線則とよばれ、酸化速度は反応律則となる。 $B/A$ を直線則定数とよぶ。

以上のことから、Deal-Groveの酸化モデルでは、拡散方程式を厳密に解いた訳でなく、いくつかの仮定をおいた上で酸化膜厚を求める形式になっている。そのため、仮定を踏まえた上で、適用できる範囲を考えなければならない。また、定常状態の流束を  $F_1 = F_2 = F_3$  と仮定しているにも関わらず、Si基板内部での酸化の可能性を考慮に入っていない。以上のことから、SOI構造における酸化現象を検討する場合、基板内部に流入する酸素の影響を考慮すべきであり、Deal-Groveの酸化モデルでは不十分で、SOI構造を踏まえた拡張が必要である。

### 4-3 実験方法

実験は、埋込SiO<sub>2</sub>層の膜厚変化を評価して行った。SOIウエハとして、1.0μm厚の埋込SiO<sub>2</sub>層と335nm厚の上部Si層厚をもつ貼り合わせSOI基板を使用した。貼り合わせSOI基板は、Si(100)基板をもとに作製された。酸化は、1100℃の酸化雰囲気(O<sub>2</sub>:100%)で行った。酸化前後の上部Si層と埋込SiO<sub>2</sub>層の膜厚は、分光エリプソにより測定した。埋込SiO<sub>2</sub>層の変化の正確な評価のため、表面熱SiO<sub>2</sub>層と上部Si層を、それぞれ、HF、KOH溶液により化学的に除去したのちに測定した。

#### 4-4 結果と考察

図4. 2に、貼り合わせSOI基板の酸化後の埋込SiO<sub>2</sub>層厚の増加(ΔX<sub>B</sub>)を、酸化後の上部Si層厚の膜厚(X<sub>Si(fin)</sub>)の関数として表したものである。上部Si層の初期膜厚は335 nmと定められているので、上部Si層の膜厚減少分(335 - X<sub>Si(fin)</sub>)は、新しく形成された表面熱SiO<sub>2</sub>層と埋込SiO<sub>2</sub>層の膜厚の和と相関する筈である。図より、酸化の進展とともに埋込SiO<sub>2</sub>層の膜厚が増加している。

前節で述べたように、Deal-GroveモデルによるバルクSi基板の熱酸化の解析手法は、広く受け入れられている。本節では、Deal-Groveモデルを拡張して、SOI構造における酸化現象を解析した(図4. 3)。拡張したモデルでは、Si層とSiO<sub>2</sub>層間の酸素の偏析係数(m)を考える。表面熱SiO<sub>2</sub>層の裏面側の酸素濃度(C<sub>s</sub>)と上部Si層の表面側の酸素濃度(C<sub>s</sub>)は、(4. 21)式のように表される。

$$C_s = mC_s \quad (4. 21)$$

同様に、上部Si層の裏面側の酸素濃度(C<sub>B</sub>)と埋込SiO<sub>2</sub>層の表面側の酸素濃度(C<sub>B</sub>)は、(4. 22)式のように表される。

$$C_B = mC_B \quad (4. 22)$$

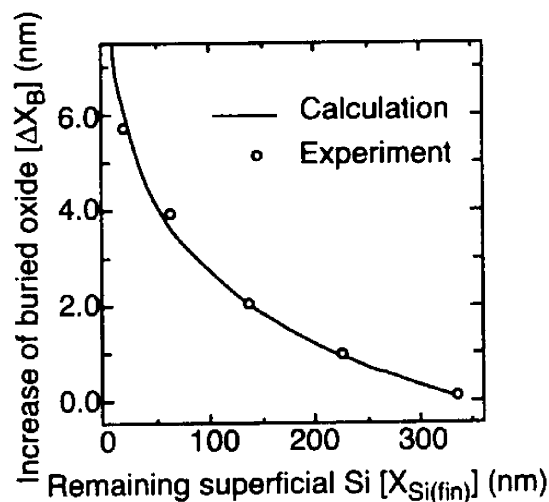


図4. 2 酸化後の上部Si層膜厚と埋込SiO<sub>2</sub>層の増加  
(上部Si層の初期膜厚：335 nm)

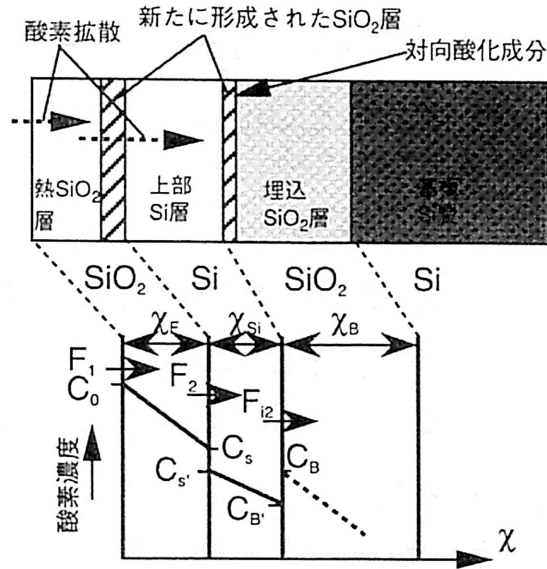


図4. 3 SOI構造における酸化現象（対向酸化）モデル

表面熱  $\text{SiO}_2$  層での酸素の流れ  $F_1$  は、(4. 23) で表される。

$$F_1 = -D \frac{dC}{dx} = D \frac{C_0 - C_s}{x_F} \quad (4. 23)$$

ここで、 $D$  は  $\text{SiO}_2$  層中の酸素の拡散係数、 $C_0$  は表面熱  $\text{SiO}_2$  層の表面側の酸素濃度、 $x_F$  は表面熱  $\text{SiO}_2$  層厚である。さらに、表面熱  $\text{SiO}_2$  層と上部  $\text{Si}$  層の間の酸素の流れ  $F_2$  は、(4. 24) で表される。

$$F_2 = kC_s + F_{i1} \quad (4. 24)$$

ここで、 $k$  は  $\text{SiO}_2$  層形成の化学反応速度である。それゆえ、 $kC_s$  は上部  $\text{Si}$  層の表面側の酸化速度を表す。上部  $\text{Si}$  層表面側の酸素の流れ  $F_{i1}$  は、(4. 25) 式のように表される。

$$F_{i1} = -D_{\text{Si}} \frac{dC}{dx} = D_{\text{Si}} \frac{C_s - C_{B'}}{x_{\text{Si}}} \quad (4. 25)$$

ここで、 $D_{\text{Si}}$  は結晶  $\text{Si}$  中の酸素の拡散係数、 $x_{\text{Si}}$  は上部  $\text{Si}$  層厚である。上部  $\text{Si}$  層の裏面側の対向酸化速度 ( $F_{i2}$ ) は、埋込  $\text{SiO}_2$  層の表面側の酸素濃度と  $\text{Si}$  層の表面側で定義した酸

化の速度定数  $k$  により定められると仮定した。 $F_{i2}$  は、(4. 26) で表される。

$$F_{i2} = kC_B \quad (4. 26)$$

埋込  $\text{SiO}_2$  層中の酸素の拡散は、埋込  $\text{SiO}_2$  層の厚さが  $1\mu\text{m}$  と非常に厚いため無視することができる。それゆえ、以下の2つの式を導出した。

$$F_i \equiv F_{i1} = F_{i2} \quad (4. 27)$$

$$F \equiv F_1 = F_2 \quad (4. 28)$$

上部 Si 層厚の減少する速度と、表面および埋込  $\text{SiO}_2$  層の増加速度の間の相関は、

$$-b \frac{dx_{\text{Si}}}{dt} = \frac{F}{C_1} = \frac{dx_F}{dt} + \frac{dx_B}{dt} \quad (4. 29)$$

で表される。ここで、 $C_1$  は  $\text{SiO}_2$  層中の単位体積あたりの酸素原子数、 $b (= 2.25)$  は酸化によって  $\text{SiO}_2$  が形成される時の Si からの体積変化率である。

$$\frac{dx_{\text{Si}}}{dt} = \frac{kC_B}{C_1} \quad (4. 30)$$

$$\frac{dx_B}{dt} = \frac{F_i}{C_1} \quad (4. 31)$$

(4. 21)、(4. 22)、(4. 25)、(4. 26)、(4. 27) 式より、

$$F_i = \frac{mD_{\text{Si}}C_s}{x_{\text{Si}} + a} \quad (4. 32)$$

ここで、 $a = mD_{\text{Si}}/k$  とおく。(4. 29) - (4. 32) 式より、



$$\frac{dx_B}{dt} = -b \frac{a}{x_{Si} + 2a} \frac{dx_{Si}}{dt} \quad (4.33)$$

(4.33) 式の解は、

$$\Delta x_B = ab [\ln (x_{Si (init)} + 2a) - \ln (x_{Si (fin)} + 2a)] \quad (4.34)$$

ここで、 $x_{Si (init)}$  は上部 Si 層の初期膜厚 (= 335 nm) である。図 4. 2 の実線は、 $a = 1.0$  nm としたときの計算結果である。計算結果は、実験結果とよく一致した。

(4.34) 式の計算の中では、 $m$  のみがフィッティング・パラメータであり、 $t$ 、 $D_{Si}$  など、他のパラメータはこれまでの検討から、一意に定まる。1100℃での  $k$  と  $D_{Si}$  のデータを用いると、 $k = 4 \times 10^{-3} \text{cm} / \text{s}$  [3]、 $D_{Si} = 8 \times 10^{11} \text{cm}^2 / \text{s}$  [5] である。このとき、最もよく一致する  $m$  の値は 5 であった。表面熱  $\text{SiO}_2$  層の表面側の酸素濃度  $C_0$  は、およそ  $5 \times 10^{16} \text{cm}^{-3}$  [6] であるので、上部 Si 層の表面側の酸素濃度  $C'_s$  は  $mC_0 = 2.5 \times 10^{17} \text{cm}^{-3}$  と得られる。それゆえ、上部 Si 層中を拡散する酸素濃度の最大値は、1100℃での結晶 Si 中の酸素の溶解度 ( $4 \times 10^{17} \text{cm}^{-3}$ ) [7] より低いので、Si 層中の酸素の拡散は酸素析出物の存在によって抑制されることはないと考えられる。この議論は、酸素が上部 Si 層を透過し、その酸素が対向酸化を引き起こすという仮説を支持する。

本検討における、SOI 構造内部での酸素の流れをモデル化した場合、パラメータとしては  $m = 5$  が最もふさわしいとの計算結果を得た。 $C'_s = mC_s$  と仮定しているにもかかわらず、 $m = 5$  の場合、 $C'_s > C_s$  と、上部 Si 層表面側の酸素濃度の方が大きくなってしまい、図 4. 3 で示した酸素の流れのモデルと矛盾してしまうが、モデルの中に近似や仮定をおき、簡略化して式を解いたため、明らかになっていない点が多いためである。こうした点を解明し、SOI 構造内部での酸化現象の厳密な定式化は今後の課題である。

上に述べた計算の中では、裏面側の酸素濃度を無視した。しかしながら、Si 層中に固溶している酸素濃度が極めて高い時には、埋込  $\text{SiO}_2$  層が増加することに注意すべきである。実際、CZ ウエハでは、酸化膜を解して貼り合わせた Si ウエハは高温、長時間のアニール (1150℃ - 数日) で、酸化膜の厚さが増加することが報告されている [8]、[9]。

SOI 基板に対する外部雰囲気中の酸素の上部 Si 層中の透過現象を検討するため、同位体酸化の手法を用いた。SOI 基板の製法による影響を検討するため、貼り合わせ SOI 基板と SIMOX 基板の両方を用いた。SIMOX 基板は、 $^{16}\text{O}^+$  を 180 keV、 $0.4 \times 10^{18}\text{cm}^{-2}$  ドーズでイオン注入し、1350℃-4 時間でアニールを施したものである [10], [11]。どちらの SOI 基板も、表面熱  $\text{SiO}_2$  層、上部 Si 層の初期膜厚は、それぞれ、40 nm とした。表面熱  $\text{SiO}_2$  層は、1000℃の熱酸化により形成した。実際の同位体酸化は、 $^{18}\text{O}_2$  (1%) +  $\text{N}_2$  (99%) 雰囲気中で、1100℃-20 分間にわたりおこなった。同位体酸化後の表面熱  $\text{SiO}_2$  層厚は、45 nm であった。埋込  $\text{SiO}_2$  層中の酸素同位体  $^{18}\text{O}_2$  の濃度は、Cameca 社製 SIMS 分析装置 IMS-3F を用いて  $^{16}\text{O}^+$  を一次ビームとして測定した。 $^{18}\text{O}^+$  の他に、 $^{16}\text{O}^+$ 、 $^{30}\text{Si}^+$  の二次イオンも合わせて測定した。 $^{18}\text{O}_2$  雰囲気中で同位体酸化された SOI 基板中の  $^{18}\text{O}$  濃度分布を、図 4. 4 に示す。酸素濃度は、 $\text{SiO}_2$  層中の全酸素原子に対する  $^{18}\text{O}$  原子の比で表した。点線は、SIMS 分析により  $^{30}\text{Si}$  の分布からおおまかに見積もった Si 層と  $\text{SiO}_2$  層の界面である。SIMS 分析によって定められた界面の深さは、エリプソによる測定結果と 10 nm 以下の誤差で一致した。 $^{18}\text{O}$  は、(a) 貼り合わせ SOI 基板、(b) SIMOX 基板のいずれに対しても、新たな  $\text{SiO}_2$  層が形成されている表面熱  $\text{SiO}_2$  層の裏面側と同じように、埋込  $\text{SiO}_2$  層の表面側に高濃度で蓄積している。この実験結果は、熱酸化過程において、酸素が上部 Si 層を透過し埋込  $\text{SiO}_2$  層に達したことを示している。本検討での SIMS 分析では、測定の都合上、一次ビームとして  $^{16}\text{O}^+$  を用いた。これまでも、オージェ電子分光法、X 線光電子分光法 (XPS) などにより、SIMOX 基板中の酸素濃度分布は詳細に検討されている [10], [12]。これらの測定結果は、本検討で  $^{18}\text{O}^+$  分布から得られた SIMOX 基板中の酸素濃度分布と矛盾するものではない。

上部 Si 層の表面側と裏面側で、新しく形成された  $\text{SiO}_2$  層の膜厚比は、SIMS 分析結果の  $^{18}\text{O}$  の存在比から見積られるが、この値は、図 4. 2 で示した実験結果や上述の計算結果に比べ、およそ 10 倍大きい。この不一致は、表面側からの酸素の流れのほかにも、 $\text{SiO}_2$  層を構成する酸素原子と上部 Si 層中に固溶する酸素原子の間で内部拡散に起因する流れが起きていることが示唆される。実際、1360℃の高温下では、SIMOX 基板を形成する過程で、イオン注入された酸素原子と表面の保護  $\text{SiO}_2$  層の間で交換反応が起こっていることが報告されている [13]。さらなる実験および解析によって、この現象が定量的に明らかにされるものと期待される。

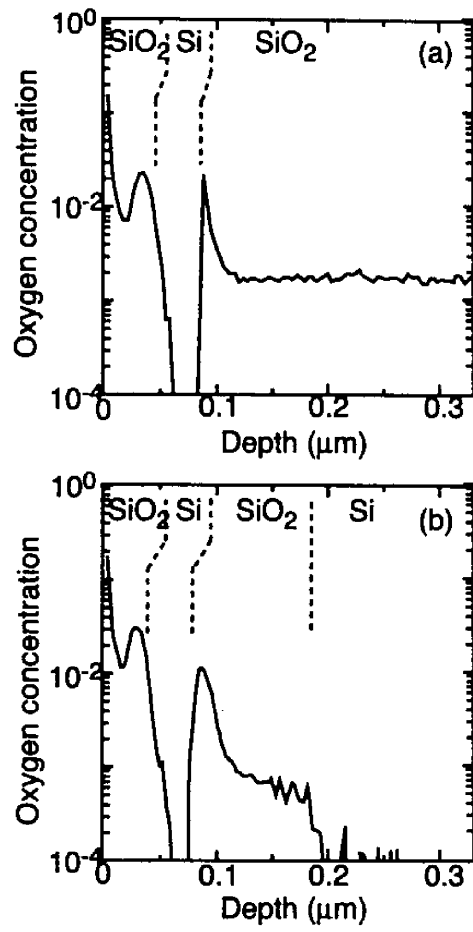


図4. 4  $^{18}\text{O}_2$  雰囲気中で同位体酸化された SOI 基板中の  $^{18}\text{O}$  濃度分布  
 (a) 貼り合わせ基板、(b) SIMOX 基板

#### 4-5 まとめ

本章では、SOI構造の上部Si層への裏面からの酸化現象（対向酸化）について検討した。実験結果から、SOI基板は熱酸化の過程で、表面熱SiO<sub>2</sub>層だけでなく埋込SiO<sub>2</sub>層も酸化により、その膜厚を増加させる。この現象のメカニズムは、上部Si層を透過する酸素の拡散を考慮に入れたDeal-Groveの酸化モデルの拡張によって解釈することができた。さらに、この結果は酸素の同位体を用いた酸化実験によって確かめられた。

こうした知見は、現在も、より発展した形で利用されている。例えば、SIMOX基板において、アニール過程後、高温酸化をほどこすことにより、埋込SiO<sub>2</sub>層の膜厚増加を図るITOX（Internal OXidation：内部酸化）法はSIMOX基板の埋込SiO<sub>2</sub>層を高品質化する手法として提案されている [14]。また、SOI基板において、上部Si層の裏側から回り込む酸素による酸化を利用して量子細線を作製したり、酸化誘起応力による酸化レートの違いを利用して量子細線パタンの形状を変化させるPADOX（PAttern Dependent OXdation）法は、Si系量子細線、単電子デバイス作製のための有力な手法として利用されている [15]。

## 参考文献

- [1] Y. Omura, S. Nakashima, K. Izumi, and T. Ishii, IEEE Trans. Electron. Devices ED-40, 1019 (1993).
- [2] Y. Omura, S. Nakashima, and K. Izumi, IECE Trans. Electron. 75-C, 1506 (1992).
- [3] B. E. Deal and A. S. Grove, J. Appl. Phys. 36, 3770 (1965).
- [4] 志村史夫, 半導体結晶工学 (丸善, 1993), P. 171.
- [5] M. Stavola, J. R. Patel, L. C. Kimerling, and P. E. Freeland, Appl. Phys. Lett. 42, 73 (1983).
- [6] F. J. Norfon, Nature 171, 701 (1961).
- [7] H. J. Hrostowski and R. H. Kaiser, J. Phys. Chem. Solids 9, 214 (1959).
- [8] K. Y. Ahn, R. Stengl, U. Goesele, and P. Smith, in Institute of Physics Conference Series 100: Section 7, edited by A. G. Cullis and J. L. Hutchison (Galliard Limited, Norfork, 1989), p. 569.
- [9] K. Y. Ahn, R. Stengl, T. Y. Tan, U. Goesele, and P. Smith, J. Appl. Phys. 65, 561 (1988).
- [10] K. Izumi, M. Doken, and H. Ariyoshi, Electron. Lett. 14, 593 (1978).
- [11] S. Nakashima and K. Izumi, Nucl. Instrum. Methods B 55, 847 (1991).
- [12] A. Yoshino, K. Kasama, and M. Sakamoto, Nucl. Instr. and Meth. B39, 203 (1989).
- [13] Y. Li, J. Kiner, R. J. Chater, A. Nejm, P. L. Hemment, C. D. Marsh, and G. R. Booker, Appl. Phys. Lett. 63, 2812 (1993).
- [14] S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Imai, K. Izumi, and N. Ohwada: Proc. 1994 IEEE Int. SOI Conf., IEEE (1994) 71.
- [15] Y. Takahashi, H. Namatsu, K. Kurihara, K. Iwadate, M. Nagase and K. Murase, IEEE Trans. Electron. Devices ED-43, 1213 (1996).

## 第5章 SOI MOSFETでのバンド間トンネル電流

SOI構造は、MOSFETを作製する上部Si層がSiO<sub>2</sub>層にサンドイッチされ、Si基板と分離されている。その結果、通常のSi基板上に作製されたMOSFETに比べ、以下のような特徴をもつ。

- ・MOSFETは、バルク（基板）端子を持たない3端子デバイス構造をとる。
- ・薄層SOI MOSFETでは、イオン注入による接合深さ（ $x_j$ ）が上部Si層の厚さとして正確に表現される。
- ・MOSFETの動作モードは、完全空乏化／部分空乏化の二つから選ぶことができる。
- ・バルク端子がないことから、少数キャリアの基板への逃げ道がなく、寄生効果に弱い。

以上の特徴から、第4章で述べたように、SOI MOSFETでは、上部Si層の厚さや埋込SiO<sub>2</sub>層の存在に起因する特有の物理現象が示される。本章では、デバイスがオフ状態時のリーク電流現象である「バンド間トンネル電流の上部Si層厚依存性」について述べる。

### 5-1 はじめに

寄生バイポーラ効果は、表面チャネル型（Surface Channel：SC）薄層SOI MOSFETだけでなく、埋込チャネル型（Buried Channel：BC）薄層SOI MOSFETについても、ソースドレイン間電流を引き下げる働きをする [1]，[2]。寄生バイポーラ電流はSOI MOSFETの上部Si層の膜厚の減少にともない、減少することが報告されている [3]。上部Si層の薄層化は短チャネル効果を抑制する働きもあるので、SOI MOSFETでは上部Si層の薄層化が進められている。

バンド間トンネル現象（Band-to-Band Tunneling：BBT）は、電界強度が大きくなると（ $> 1 \times 10^6$  V/cm）、ゲートがドレインにオーバーラップした領域でおこり、オフ電流を増加させる [4]，[5]。そのため、バンド間トンネルは、寄生バイポーラ効果を通じて、ソースドレイン降伏電圧を引き下げる働きをする。T. Y. Chanらは、ゲートSiO<sub>2</sub>層厚に対する表面電界強度（ $E_x$ ）の大きさの表示を与えている [5]。しかし、SOI MOSFETに関しては、上部Si層が埋込SiO<sub>2</sub>層によって基板と絶縁分離された構造をしているので、バル

ク Si MOSFET における「接合の深さ」に、SOI MOSFET では「上部 Si 層厚」が概念として対応する。そのため、SOI MOSFET に関しては、上部 Si 層厚を考慮した電界強度の表式が必要とされる。上部 Si 層の膜厚は SOI MOSFET のしきい値電圧や短チャネル効果に大きな影響を与えるためである。それゆえ、バンド間トンネル電流の上部 Si 層厚依存性を明らかにする必要がある。

本章では、BC 型 SOI nMOSFET のバンド間トンネル電流特性について検討した。BC 型の MOSFET は、電流の駆動性やチャネル移動度の面で、SC 型の MOSFET に比べ有利である [6], [7]。バンド間トンネル電流は、上部 Si 層厚の影響に焦点をあわせた議論した。実験データは、2次元デバイスシミュレータを用いて解析した。

## 5-2 バンド間トンネル電流の理論

MOSFET がスケーリングされるようになるにつれ、ゲート  $\text{SiO}_2$  層も薄層化されるようになった。ゲートとドレインが重ね合わされた領域では、バンド間トンネルにより、トンネルリーク電流が流れる。図 5. 1 に、nMOSFET におけるゲートドレイン重ね合わせ領域でのバンド間トンネル電流のメカニズムを示す [8]。Si-SiO<sub>2</sub> 界面でのバンドの曲がり方が Si のエネルギーギャップより大きくなり、電界強度が十分大きくなると、価電子帯から伝導帯に向けて価電子はトンネルすることができる。

バンド間トンネルによって生成されたキャリアは、デバイスの劣化に影響を及ぼす。すなわち、高電界下で発生したホールの一部は、上部 Si 層-ゲート SiO<sub>2</sub> 層界面を接合端に向かい移動する。散乱等でエネルギーを失わなかったホールは、上部 Si 層-ゲート SiO<sub>2</sub> 層界面の障壁を乗り越え、ゲート SiO<sub>2</sub> 層に注入される。ホールがゲート SiO<sub>2</sub> 層に注入されることによって、ゲート部でのポテンシャルが変化し、その結果、しきい値電圧が変動したり、ゲート SiO<sub>2</sub> 層の信頼性が低下する (図 5. 2)。

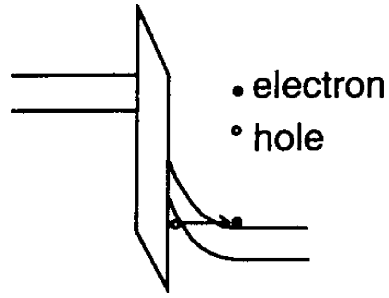


図 5. 1 nチャネル MOSFET におけるゲートドレイン重ね合わせ領域でのバンド間トンネル電流 [8]

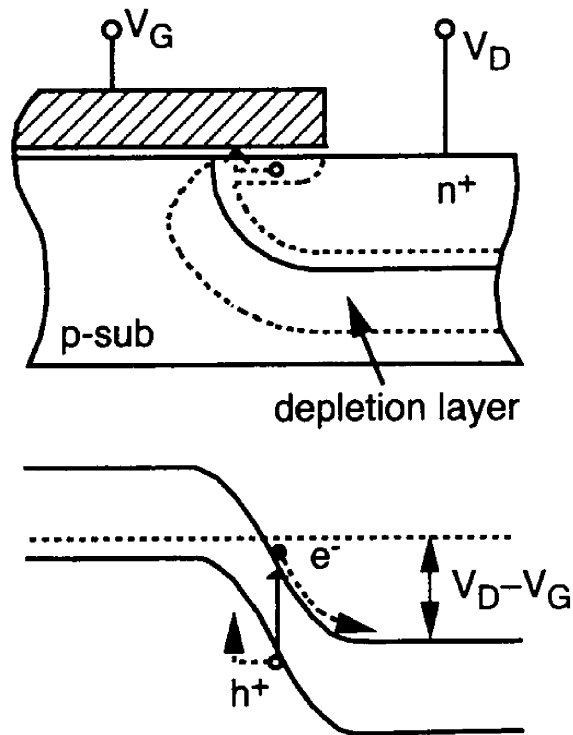


図 5. 2 電子-ホールのペア生成とホールのゲート  $\text{SiO}_2$  層への注入 [8]



### 5-3 実験方法

実験に用いたBC型SOI nMOSFETの断面構造を、図5.3に示す。デバイス用SOI基板として、SIMOX基板（埋込SiO<sub>2</sub>層厚：100nm）を用いた。デバイスには、10nm厚のゲートSiO<sub>2</sub>層とゲート長10μmのnMOSFETを用いた。実験に用いたデバイスの構造パラメータを表5.1に示す。

バンド間トンネルは、ドレイン領域で高電界になったところで起こるので（図5.4）、電界強度は、ゲートとドレインが重なった領域で最大値をとる [5]。高電界領域では、電子は価電子帯から伝導帯に、トンネルする。ホールは、n領域に注入される。そのため、基板バイアスを印加せず、ゲート電圧が-2Vのときの、オフ状態のドレイン電流を測定した。

実験と並行してシミュレーションプログラム "Medici" による数値解析を行った [9]。

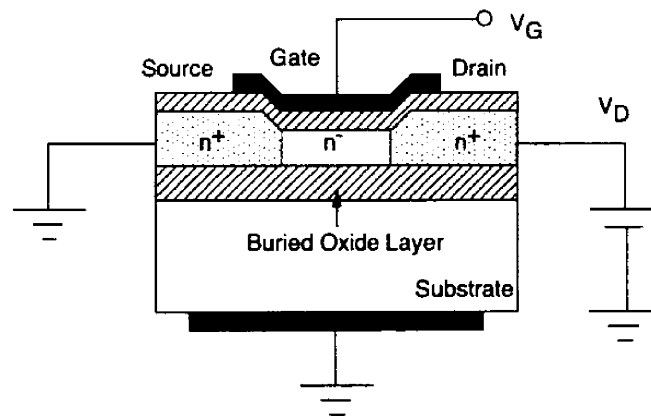


図5.3 BC型SOI nMOSFETの断面構造

項目	数値
ゲート酸化膜厚 ( $t_{ox}$ )	10nm
上部S層膜厚 ( $t_{Si}$ )	7.5, 50nm
埋込酸化膜厚 ( $t_{Box}$ )	100nm
不純物濃度 ( $N_D$ )	$1 \times 10^{17} \text{cm}^{-3}$
ゲート長 ( $L_G$ )	10μm

表5.1 実験に用いたデバイスの構造パラメータ

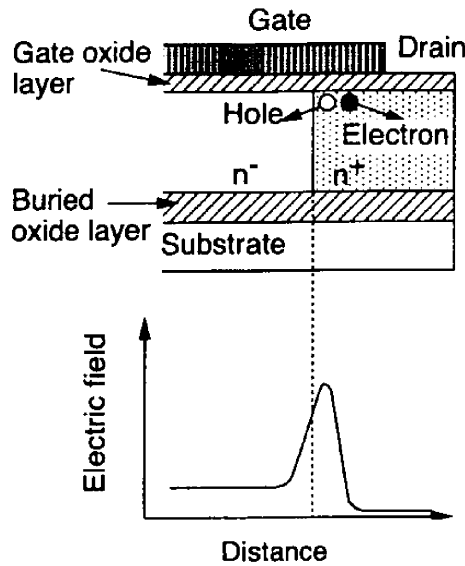


図5. 4 ドレイン領域での電子-正孔対の発生と電界強度

シミュレーション中では、BBT 電流の評価式として、以下の計算式が使われている [10] , [11]。

$$I_{BBT} = AE_s E_g^{3/2} \exp\left(-\frac{BE_g^{3/2}}{E_s}\right) \quad (5. 1)$$

A, B: 定数

$E_g$ : バンドギャップエネルギー

$E_s$ : 電界強度

BBT 電流は、主として、バンドギャップエネルギーと電界強度の関数として表される。温度を一定とすると  $E_g$  は一定の値をとるので、結局、(5. 1) 式は一般的に

$$I_{BBT} \propto AE_s \exp\left(-\frac{B}{E_s}\right) \quad (5. 2)$$

と、電界強度  $E_s$  のみの関数で表される。

シミュレーションに用いたパラメータは、上部 Si 層厚を 15~50 nm、ゲート長を 2、4  $\mu\text{m}$  とした他は、実験で用いたデバイスの構造パラメータを用いた。

#### 5-4 結果と考察

上部Si層の膜厚の異なる薄層SOI nMOSFETのドレイン電流-ドレイン電圧特性を測定した。バンド間トンネル電流を、他の電流と切り分けるため、同時にゲート電流を測定した。測定の結果、ゲート電流は殆ど観測されなかった。そのため、ドレイン電流の大部分がバンド間トンネル電流により構成されている。ドレイン電流は、上部Si層厚の減少とともに増加した(図5.5)。バンド間トンネルは、ゲートとドレインが重なり合った領域で起こるので、この現象を理解する上で、この領域の実際の状態を考える必要がある。

バンド間トンネル電流は、理論的には、(5.2)式のように表されるが、その中で、定数Bは(5.3)式のように表される。

$$B = \frac{\pi m^{*1/2} E_g^{3/2}}{2\sqrt{2}q\hbar} \quad (5.3)$$

ここで、 $m^*$ は、電子の実効質量 ( $m^* = 0.19m_0$ )、 $q$ は素電荷を表す [10]。 $E_g$ はSiのバンドギャップエネルギーで温度の関数として表される。T = 300 Kで、 $E_g = 1.12$  eVである。(5.3)式を計算すると、室温では  $B = 19$  MV/cmであり、この値は実験結果とよく一

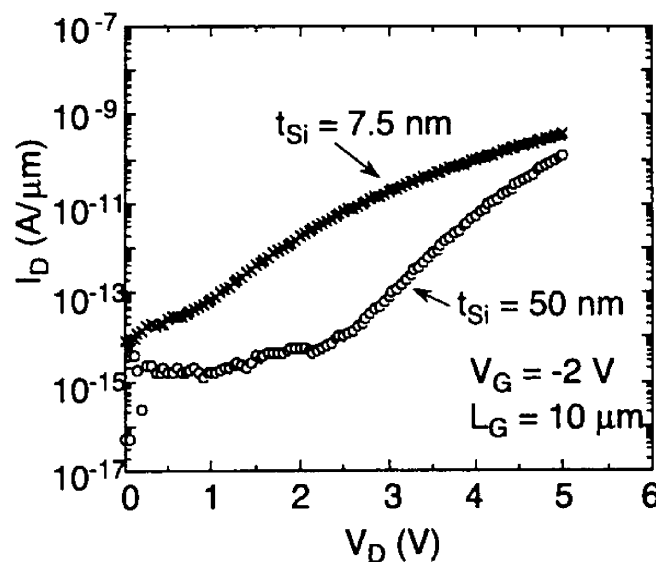


図5.5 バンド間トンネル電流の上部Si層厚依存性

致した。バンド間トンネル電流は、表面電界強度  $E_s$  の関数として表すことができた。

二次元デバイスシミュレータ”Medici”を用いて、電界強度を計算した。デバイス内部の電界強度分布を図5.6に示す。シミュレーションは、ドリフト拡散モデルとエネルギーバランス方程式を連立させて解いた。本節の検討結果では、ドリフト拡散モデルとエネルギーバランス方程式は、計算速度優先のため、両者を連立させた場合とほぼ同じ結果が得られることを確認してから、連立させずに解いた場合もある。ゲート  $\text{SiO}_2$  層厚、埋込  $\text{SiO}_2$  層厚、不純物ドーピング濃度、基板不純物濃度などのシミュレーションに用いたパラメータは、実際のデバイスと同じ値を用いた。計算の都合上、ゲート長のみを  $2\mu\text{m}$  とした。シミュレーションの都合上、接合は急峻で、標準偏差  $\sigma = 26\text{nm}$  と仮定した。この  $\sigma$  値は、実際に用いたアニール条件 ( $900^\circ\text{C} - 15$  分間) のときの条件から、プロセスシミュレーションの結果を反映している [12]。  $\text{SiO}_2$  -Si 界面のドレイン領域の電界強度のシミュレーション結果を、図5.7に示す。白ヌキの記号と点線は、全ての膜厚で  $\sigma = 26\text{nm}$  としたときの電界強度  $E$  の値とガイドラインである。実線は、膜厚の厚い時 ( $t_{\text{Si}} = 50\text{nm}$ ) は  $\sigma = 80\text{nm}$ 、薄い時 ( $t_{\text{Si}} = 15, 20\text{nm}$ ) は  $\sigma = 26\text{nm}$  としたときの膜厚に対する電

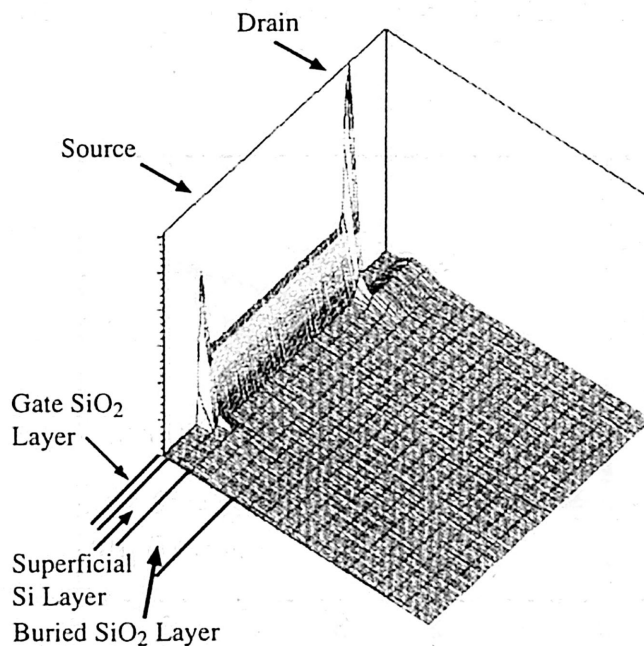


図5.6 デバイス内部の電界強度分布

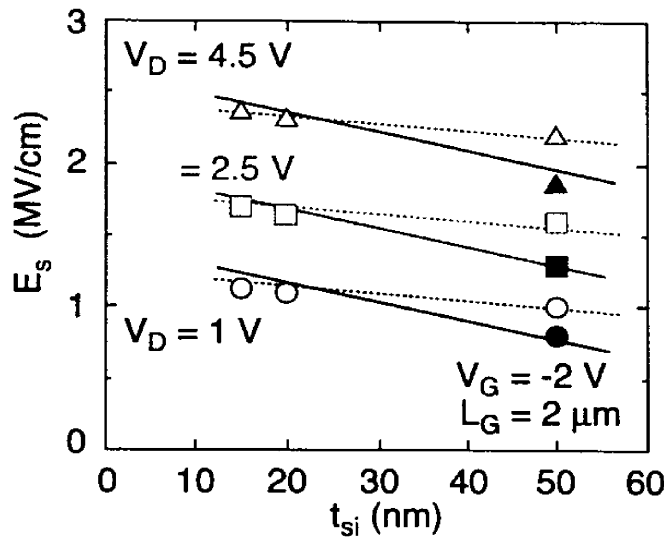


図 5. 7 ドレイン領域の電界強度の上部 Si 層厚依存性

界強度の値を示す。シミュレーションの収束性のために、 $t_{Si} \geq 15$  nm の領域で計算した。シミュレーション結果から、ドレイン電圧を変えた場合でも、電界強度は上部 Si 層厚の減少とともに増加する。それゆえ、 $t_{Si} = 7.5$  nm の場合、 $t_{Si} = 50$  nm よりも電界強度の値は大きい。

図 5. 7 より、 $\sigma = 26$  nm のときの表面電界強度は以下の式で表される。

$$E_s(t_{Si}) = \frac{V_{DG} + C(t_{Si})}{3t_{ox}} \quad (5.4)$$

ここで、 $E_s(t_{Si})$  は表面電界強度を、 $V_{DG}$  はドレインゲート電圧を表す。(5.4) 式は、T. Y. Chan らによって導かれた式をもとにしているが [5]、SOI nMOSFET においては上部 Si 層厚依存性の項を持つ。関数  $C(t_{Si})$  は、(5.5) 式のように近似される。

$$C(t_{Si}) \approx -1.16 \times 10^5 t_{Si} + 0.87 \quad (t_{Si} : \text{cm}) \quad (5.5)$$

(5.5) 式は、T. Y. Chan らによって導かれた式を SOI 構造へも適用できるように拡張したものであり、単にバンドギャップエネルギーで表される式でなく、Si 層厚への依存性をもつ。

ゲート構造が短チャネル構造になると、 $E_s(t_{Si})$  に影響を与える可能性もある。そのため、より長いゲートをもつ SOI nMOSFET についても、デバイスシミュレーションを行った。しかしながら、式 (5. 4)、(5. 5) の形は殆ど変化しなかった。それゆえ、上記の式は、経験的に、成り立つということができる。

前述のシミュレーションにおいて、2種類の膜厚のデバイスに対して、接合が急峻である ( $\sigma = 26 \text{ nm}$ ) ことを仮定した。しかし、 $t_{Si} = 50 \text{ nm}$  では、hi-lo 接合での不純物分布はガウス形状をしている。拡散過程で幾何的效果が相対的に弱く働くためである。このことは、不純物は上部 Si 厚が薄い場合 ( $t_{Si} = 7.5 \text{ nm}$ ) よりも、厚い場合 ( $t_{Si} = 50 \text{ nm}$ ) に対しての方が拡散しやすい。これは、薄層 SOI 構造に特有の現象である。実際の表面電界強度は、急峻な接合を仮定した場合より低いと考えられる。この結果は、プロセスシミュレーションにより確認された [12]。実際、表面電界の最大値が、接合プロファイルの標準偏差にどのように依存するかを計算した。その結果、電界強度は、大部分、ゲートとドレインのオーバーラップした領域の不純物濃度に線形的に依存した [4]。電界強度の最大値は、 $\sigma$  の増加とともに減少している。それゆえ、不純物分布プロファイルと表面電界強度の間の影響は、実際の  $E_s$  を計算するのに、厳密に考慮すべきである。

不純物プロファイルと  $E_s$  の関係を、シミュレーションにより検討した。アニールを  $900^\circ\text{C}$  で 15 分間行った場合、 $\sigma$  の値は  $80 \text{ nm}$  が得られた。それゆえ、 $t_{Si} = 50 \text{ nm}$  では、 $\sigma = 80 \text{ nm}$  を用いた (図 5. 7 の実線で表された電界強度依存性)。不純物分布がガウス分布に従うと仮定した場合、 $t_{Si} = 50 \text{ nm}$  のときの電界強度は  $\sigma = 26 \text{ nm}$  のときより、小さくなる (図 5. 7 の塗りつぶし記号)。 $\sigma = 80 \text{ nm}$  を仮定すると、電界強度は  $\sigma = 26 \text{ nm}$  を仮定した場合より、各ドレイン電圧に対して  $0.4 \text{ MV/cm}$  程度引き下げられる。それゆえ、 $t_{Si} = 50 \text{ nm}$  のときに  $\sigma = 80 \text{ nm}$  を仮定すると、 $C(t_{Si}, \sigma)$  は、

$$C(t_{Si}, \sigma) = -1.16 \times 10^5 t_{Si} - 2.32 \times 10^5 \sigma + 1.54 \quad (t_{Si}, \sigma : \text{cm}) \quad (5. 6)$$

と書き直され、 $E_s - t_{Si}$  の関係は、図 5. 7 の実線で表された電界強度となる。

バンド間トンネル電流特性は、式 (5. 1) ~ (5. 6) を用いて計算される。図 5. 8 に示した電流値は、(5. 6) 式による電界強度を用いた計算結果であり、実験結果とよく一致した。

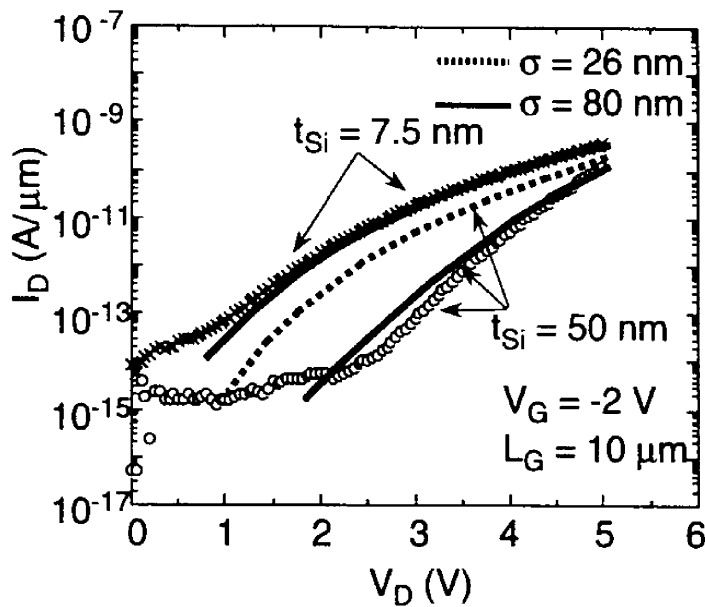


図 5. 8 バンド間トンネル電流の計算値

$t_{Si} = 50 \text{ nm}$  の  $\sigma$  依存性 (実線、点線は計算値。ドットは測定結果)

## 5-5 まとめ

本章では、バンド間トンネル電流の埋込チャンネル型 SOI MOSFET の膜厚依存性を検討した。実験結果から、オフ状態でのバンド間トンネルに由来するドレイン電流は上部 Si 層の膜厚の減少にともない増加した。2次元デバイスシミュレーションによる解析から、上部 Si 層厚の減少により、表面電界強度の増加が示された。

上部 Si 層厚が比較的厚い場合は、デバイスシミュレーション結果は急峻な接合を仮定したときほど、実際の表面電界強度の値が大きくないことを示した。その理由として、上部 Si 層が厚い場合、Si 層内部不純物が広く分布しやすいことが挙げられる。上部 Si 層厚に対する不純物分布を考慮すれば、バンド間トンネル電流特性を定量的に説明できることが明らかになった。

現在、次世代以降のデバイスとして、SOI 構造を用いたナノスケール MOSFET が検討されている。このようなデバイスでは、デバイスサイズの微細化によって、デバイス内部の電界強度が極めて大きくなることが予想されている [13]。こうした状況を踏まえて、高電界下でのデバイス内部の物理現象を検討することは、ナノスケール MOSFET を動作させる上で重要な意味を持っている。

## 参考文献

- [1] C. E. D. Chen, M. Matloubian, R. Sundaresan, B. -Y. Mao, C. C. Wei, and G. P. Pollack, IEEE Electron Device Lett., vol. 9, no. 12, pp. 636-638, 1988.
- [2] J. Gautier and A. -J. Auberton-Herve, IEEE Electron Device Lett., vol. 12, no. 7, pp. 372-374, 1991.
- [3] J. Choi, Y. Park, and H. Min, Ext. Abst. 1995 Int. Conf. Solid State Devices and Materials, pp. 551-553, 1995.
- [4] J. Chen, T. Y. Chan, I. C. Chen, P. K. Ko, and C. Hu, IEEE Electron Device Lett., vol. EDL-8, no. 11, pp. 515-517, 1987.
- [5] T. Y. Chan, J. Chan, P. K. Ko, and C. Hu, IEDM Tech. Dig., pp. 718-721, 1987.
- [6] G. J. Hu and R. H. Bruce: IEEE Trans. Electron Devices ED-32 (1985) 584.
- [7] Y. Toyoshima, T. Eguchi, H. Hayashida and K. Hashimoto: Tech. Dig. 1991 Symp. on VLSI Technology, 1991, p. 111.
- [8] H. Matsuoka, Y. Igura and E. Takeda, Extend. Abst. 20th Conf. on Solid State Dev. and Mat. (SSDM), Tokyo, 1988, p. 589.
- [9] MEDICI™, Two-Dimensional Device Simulation Program, Version 1.1.5, Technology Modeling Associates, Inc., Palo Alto, CA, 1993.
- [10] S. M. Sze, "Physics of Semiconductor Devices", 2nd edition, p. 525, Wiley New York (1981).
- [11] E. Takeda, H. Matsuoka, Y. Igura, and S. Asai, IEEE IEDM, 1988, p. 402.
- [12] TSUPREM-4™, Two-Dimensional Process Simulation Program, Version 5.1 (Technology Modeling Associates, Inc., Palo Alto, CA, 1992).
- [13] 例えば、西坂、浅野, 第63回応用物理学会学術講演会講演予稿集 (2002 秋) ,26p-F-5, p. 804.



## 第6章 RSDB法により作製したSOIパワーICの特性

本章では、第5章までに述べてきたSOI基板、プロセス技術の検討結果をナノスケールMOSFETに適用するため、前段階の検討として、サブマイクロメートルのSOIパワーIC(SOI MOSFETおよびSOIパワーMOSFETから構成)を作製した。SOIパワーICを構成する素子の内、SOIパワーMOSFETでは、埋込SiO<sub>2</sub>層の品質や不純物分布がしきい値電圧や耐圧に影響するため、基板、プロセス技術の評価に適しているためである。

筆者は、十分な耐圧を確保した高性能なSOIパワーMOSFETを作製できる方法を提案し、実際に作製したSOIパワーICの電気特性を検討した。

### 6-1 はじめに

高耐圧のパワーデバイスと信号処理用の低消費電力デバイスを同一のシリコンチップに集積したものを、パワーICと呼ぶ(図6.1)[1]。パワーICはチップ点数を減らすことができ、スペースに制限のある携帯電話や携帯型コンピュータなどのモバイル端末に適したデバイス技術である。パワーICは、チップサイズの低減やチップ間の配線を減らすことができるため、製造コストの削減にもつながる。

SOI技術は、信号処理デバイスの他、パワーICの開発においても重要な技術となりつつある。SOI構造を用いて作製されたパワーICは、バルクSi基板上に作製されたパワー

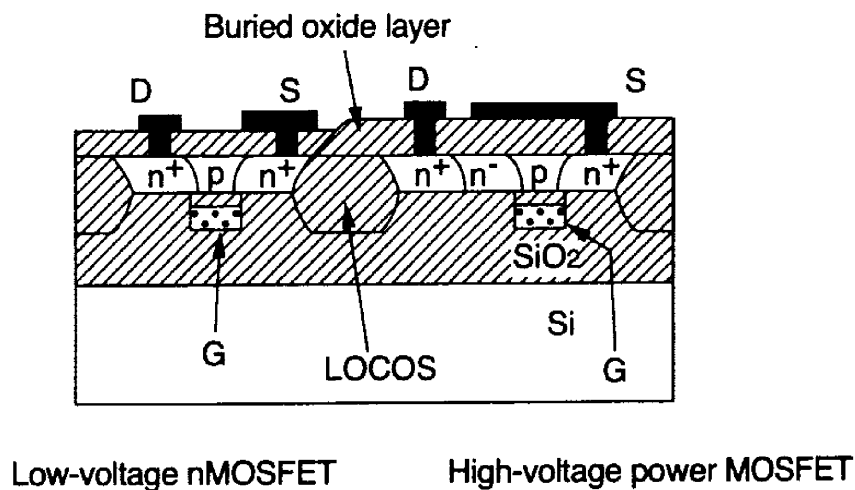


図6.1 SOIパワーIC

ICに比べ、低寄生容量化、低電圧駆動という点で優れているためである。SOI技術は、さらに、低電圧回路と高耐圧回路を絶縁分離し、リーク電流を少なくすることができる [2]。この時、SOI基板では表面Si層厚を薄層化することによって、デバイスの相互分離が容易におこなえるという長所を持ち、拡散で深い接合を作らずに済む。ただし、SOI基板を用いたデバイスでは、製法によって埋込SiO<sub>2</sub>層の品質や、上部Si層の膜厚均一性に課題が発生することにも留意しなければならない。

「デバイス反転型シリコン基板直接貼り合わせ法 (Reversed Silicon wafer Direct Bonding: RSDB法)」は、将来のSOIデバイス製造方法のひとつとして提案された [3]。RSDB法では、バルクSi基板を2枚貼り合わせることによって、SOI構造を作製する。そのため、工程の途中までは通常のSiデバイスとして作製できるので、SOIプロセスに特化した製造ラインを必要としない。また、高価なSOI基板を使用せずに、SOI構造を作製できるというメリットもある。

RSDB法は、提案された初期には、DRAM (Dynamic Random Access Memory) やダブルゲートMOSFETのような高機能LSIに用いられてきた [4], [5]。筆者の研究グループでもRSDB法を用いてSOIパワーMOSFETの製造方法を提案した。作製したデバイスの特性を評価した結果、RSDB法はSOIパワーMOSFETを製作する実効的な方法の一つであることを報告した [6]。

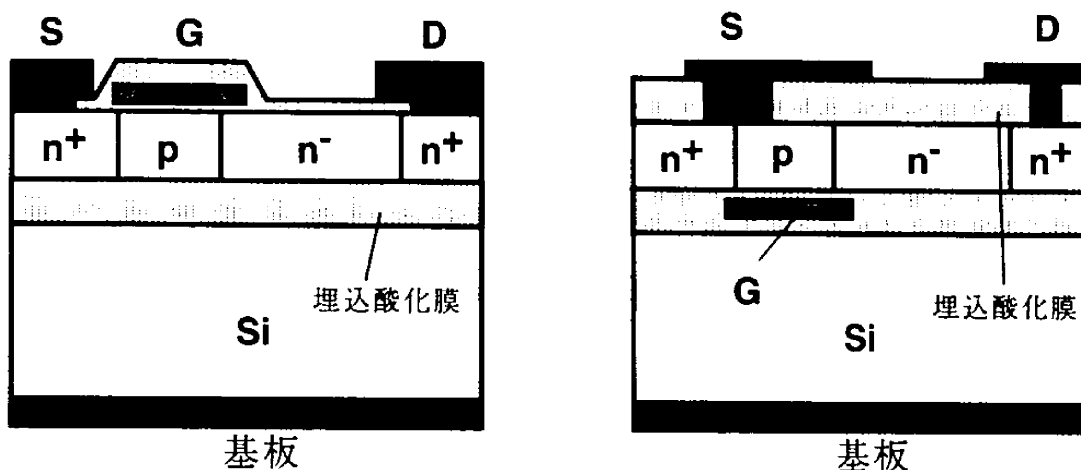
本章では、RSDB法による応用例として、薄層SOIパワーICへの適用を検討した。30V級のパワーMOSFETとnMOSFETからなるSOIパワーICをRSDB法を用いて作製した。それらの電気特性を、SOI基板上に作製した従来型のSOIデバイスと比較した。RSDBパワーMOSFETを作製するにあたり、デバイスパラメータは、二次元デバイスシミュレータを用いて最適化した値を用いた。

## 6-2 RSDB法によるSOIデバイスの製造方法とパラメータデザイン

### 6-2-1 SOI MOSFET構造とQuasi-SOI MOSFET構造

SOI MOSFET構造とQuasi-SOI MOSFET構造を、図6.2に示す。Quasi-SOI構造の特徴として、埋込SiO<sub>2</sub>層の一部が切り欠けた構造があげられる (図6.2 (b))。

SOI MOSFETでは、上部Si層とボディ領域が埋込SiO<sub>2</sub>層によって、絶縁分離されている。そのため、発生した少数キャリア (nMOSFETではホール) が基板側に移動すること



(a) SOI MOSFET

(b) Quasi-SOI MOSFET

図6. 2 SOI MOSFET 構造と Quasi-SOI MOSFET 構造

ができず、チャネル領域に蓄積する。そのため、寄生バイポーラ効果に対する耐性が弱い。一方、Quasi-SOI構造を採用することによって、ボディ領域とソース領域の埋込酸化膜が除去され、ボディ領域とソース・ボディコンタクト電極が直接接続されている。このため、ホールの蓄積を阻止でき、寄生バイポーラ効果を抑制できる。

### 6-2-2 RSDB法とパワーICの製造プロセス

RSDB法は、バルクSi基板を2枚貼り合わせることによって、SOI構造を作製する。そのため、工程の途中までは通常のSiデバイスとして作製できるので、SOIプロセスに特化した製造方法やラインを必要としない。また、高価なSOI基板を使用せずに、SOI構造を作製できるというメリットもある。さらに、RSDB法をQuasi-SOIパワーMOSFETに適応した場合の特徴として、以下の点があげられる。

(1) 従来型のSOI構造では、埋込酸化膜の膜厚を最適化することが難しい。特に、CMOSデバイスと混載する場合、埋込酸化膜の膜厚をパワーMOSFETとCMOSデバイスで変えることは難しい。RSDB法では、高耐圧のパワーデバイスと低電圧駆動用のCMOSデバイス、それぞれについて最適な埋込SiO<sub>2</sub>層厚を選択することができる。埋込SiO<sub>2</sub>層の膜厚を厚くすると、耐圧を高くすることができる。埋込SiO<sub>2</sub>層の厚さを80nm程度に薄くすると、低電圧駆動CMOSデバイスの短チャネル効果を抑制することができる。また、

埋込 $\text{SiO}_2$ 層を薄くすることで、熱的効果に起因する飽和電流の減少を防ぐことができる [7]。

(2) ゲート電極で基板バイアスがシールドされるため、基板バイアスによるしきい値変動がない。

(3) RSDB 法では、寄生バイポーラ効果を抑制し、パワーデバイスに適した Quasi-SOI 構造を容易に作製できる。

さらに、パワー MOSFET とは直接関係ないが、RSDB 法では、デバイスの裏面側からのイオン注入による再結合中心の導入が容易であるという特徴も持つ [8]。

RSDB 法に用いたパワー IC の製造工程を、図 6. 3 に示す [6]。

(1) パワー MOSFET と低電圧駆動 nMOSFET を、バルク Si 基板上に作製する。このとき、製造ラインは通常のバルク Si デバイス用のものを用いる。

(2) 作製した Si デバイスの表面上に、酸化膜を堆積し、支持基板 (Si 基板) を酸化膜を介して、貼り合わせる。

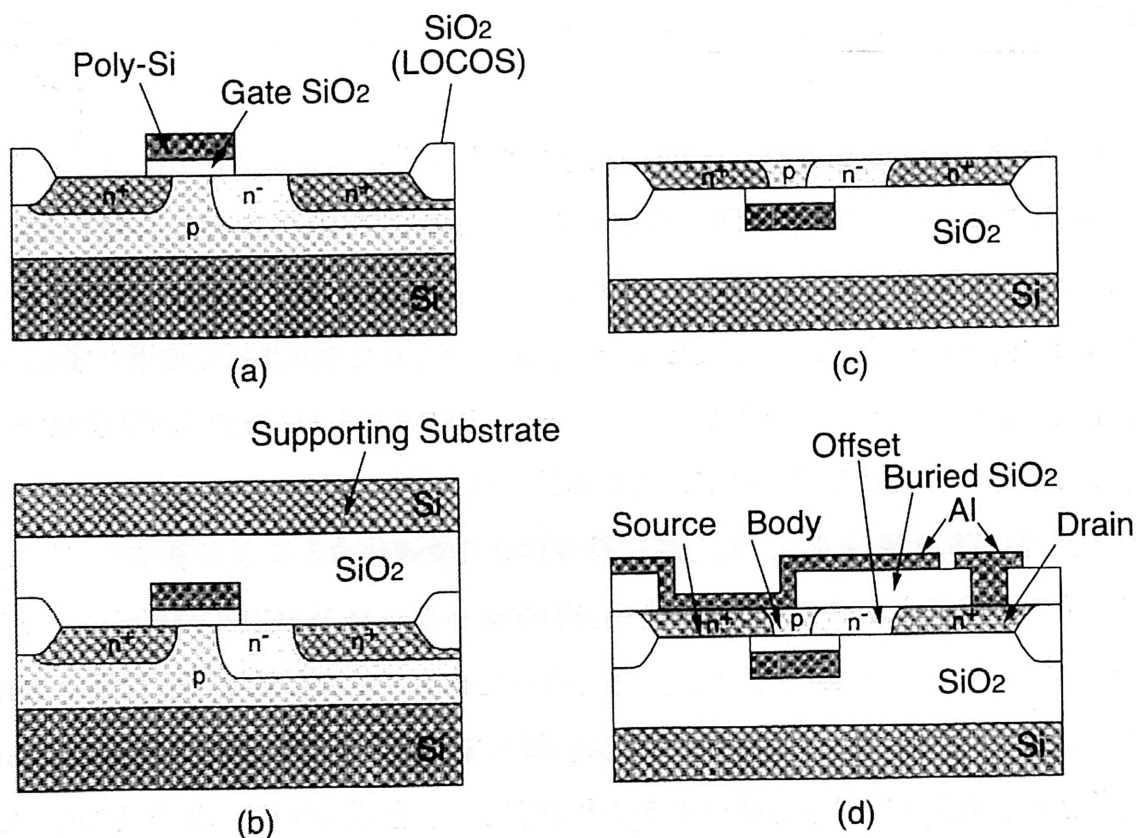


図 6. 3 RSDBによるQuasi-SOIパワーMOSFETの製作方法

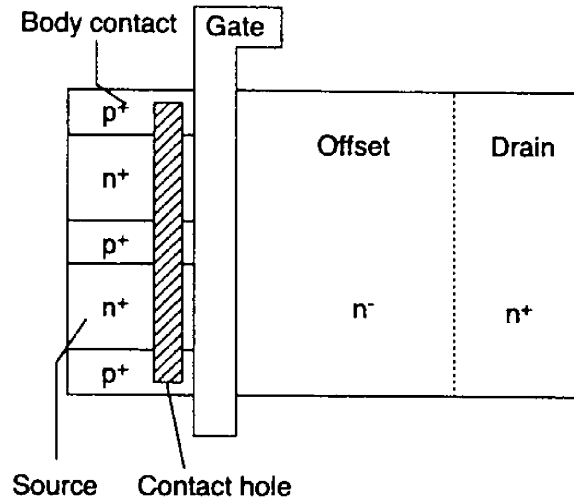


図 6. 4 RSDB パワー IC の平面図

(3) 基板を反転、研磨する。最初に作製したデバイスの底部がデバイスの表面として現れる。

(4) CVD (Chemical Vapor Deposition) 酸化膜をデバイスの表面に堆積、開孔した後、電極を形成する。

図 6. 4 は、作製された RSDB パワー IC の平面図である。本検討では、30 V 級の耐圧を持つパワー MOSFET の作製を目標としたため、デバイスはドレイン-オフセット領域を持つ。さらに、ソース-基板間にコンタクトホールが開孔され、少数キャリアが基板側に移動することができ、寄生バイポーラ動作が抑制される。

RSDB 法により作製された Quasi-SOI パワー MOSFET の性能を評価するため、SIMOX 基板上に作製された耐圧 30 V 級の SOI パワー MOSFET と比較した [9]。この SIMOX-SOI パワー MOSFET では、Si (100) 基板上に、酸素イオン  $^{16}\text{O}^+$  を  $2.0 \times 10^{18} \text{ cm}^{-3}$  打ち込み、1320 °C でアニールした SIMOX 基板 (高ドーズ基板) を用いて作製した。SIMOX 基板の埋込  $\text{SiO}_2$  層厚は、400 nm である。

### 6-2-3 シミュレーションによるデバイスパラメータの評価

パワー MOSFET のデバイスパラメータを決定するために、耐圧 ( $V_{BD}$ ) をデバイスシミュレーションによって評価した。RSDB パワー MOSFET の耐圧を特徴づけるデバイスパラメータとして、電極の長さ、支持  $\text{SiO}_2$  層の厚さ、埋込  $\text{SiO}_2$  層の厚さ、ドレインオフセット領域の不純物濃度などがあげられる。シミュレーションは、2次元デバイスシミュレータ "Medici" を用いた [10]。シミュレーションによる結果は、試作するデバイスのデバイスパラメータを決定するための資料として利用した。

デバイスシミュレータ "Medici" では、キャリア連続方程式とポアソン方程式を連立して解を求める。耐圧を計算するモデルは、アバランシェ降伏モデルに依った。アバランシェ降伏モデルでは、イオン化積分の値が1を超えたときに降伏が起こると定義した。

図6.5に、デバイスシミュレーションに使用したRSDBパワーMOSFETモデルの断面構造を示す。ソース-基板コンタクト電極長 ( $L_c$ ) は、ゲート電極の端から、ドレインオフセット領域の電極端までの長さとした。耐圧特性は、貼り合わせ  $\text{SiO}_2$  層厚 ( $t_{\text{sox}}$ ) と埋込  $\text{SiO}_2$  層厚 ( $t_{\text{box}}$ ) を、パラメータとして計算した。

ソース-基板コンタクト電極長に依存したRSDBパワーMOSFETの耐圧特性を計算した結果を、図6.6に示す。図中には、RSDBパワーMOSFETの耐圧と従来型のSOIパ

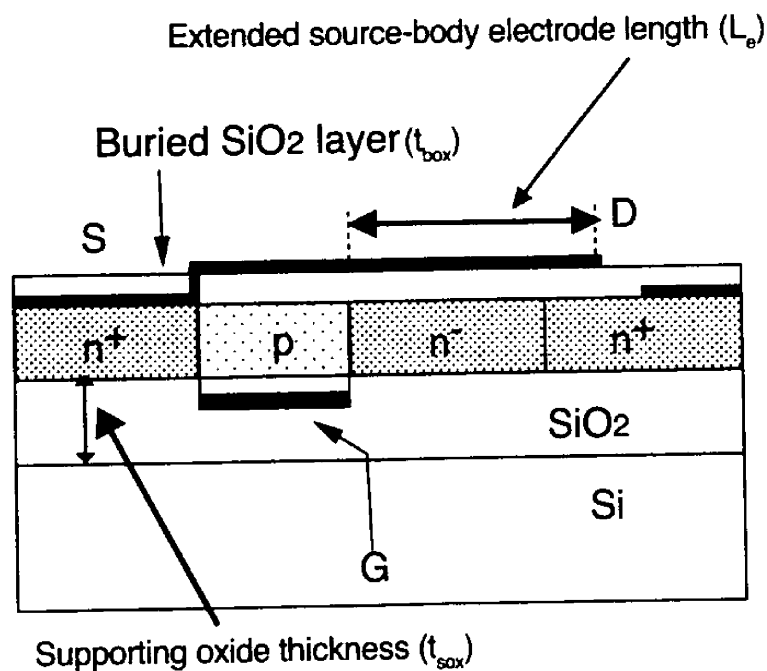


図6.5 デバイスシミュレーションに使用したRSDBパワーMOSFETモデル

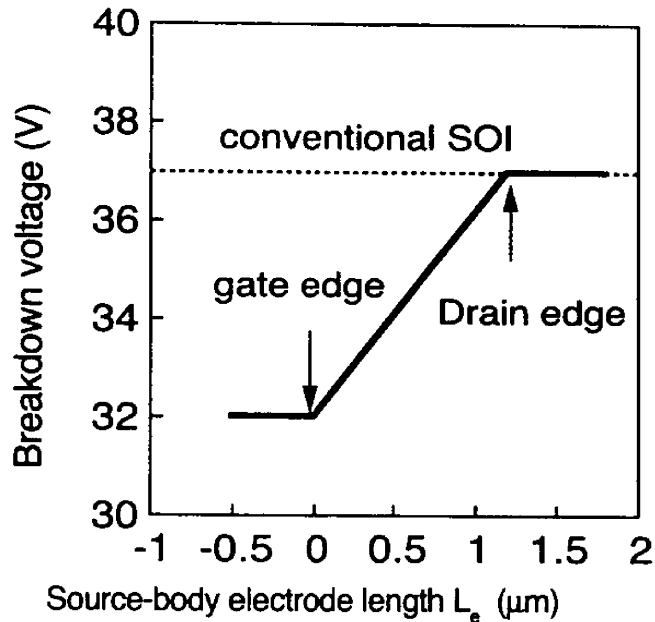


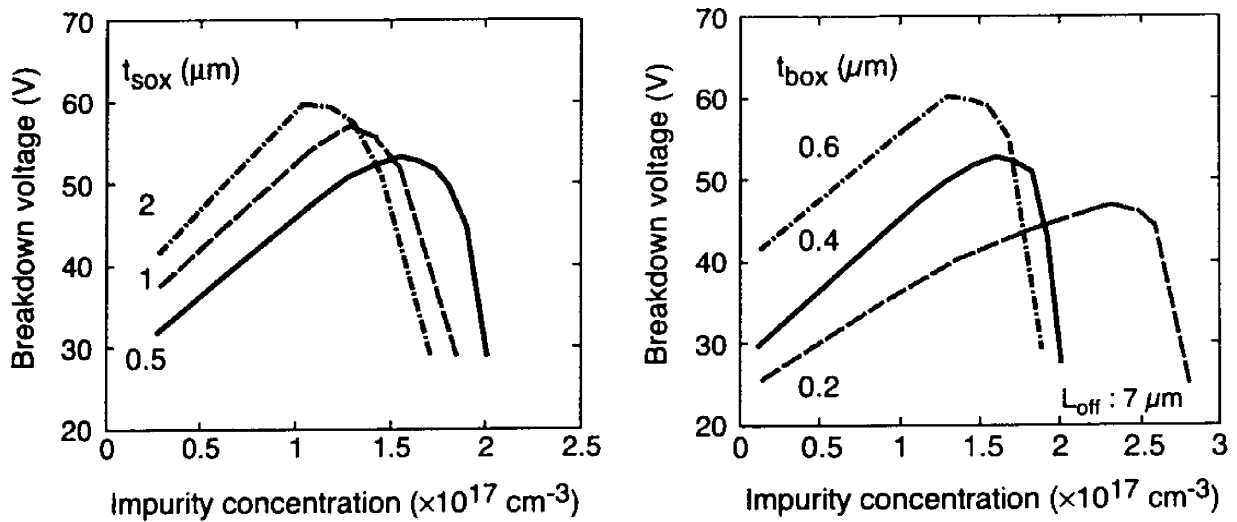
図 6. 6 ソースーボディコンタクト電極長( $L_s$ )に対する耐圧の依存性

ワー MOSFET を比較して表示した。図中で、 $L_s = 0 \mu\text{m}$  はソースー基板コンタクト電極がゲート電極端まで伸びていることを、 $L_s = 1.2 \mu\text{m}$  はソースー基板電極がドレイン領域にまで伸びていることを示す。

シミュレーション結果より、耐圧はソースー基板コンタクト電極が延長するとともに増加し、 $L_s = 1.2 \mu\text{m}$  以上になると（ソースー基板コンタクト電極がドレインーオフセット領域を越えて、ドレイン領域にかかった状態）飽和する。また、この時の耐圧は通常の SOI パワーデバイスと同等の値をとる。それゆえ、実際のデバイス試作では、耐圧を最大にするため、ソースー基板コンタクト電極がドレイン領域にかかるように設計した。

ソースーボディコンタクト電極長の影響を排除し、耐圧を最大にするため、以後の計算ではソースーボディコンタクト電極が高濃度ドレイン領域に達した状態で計算を行った。また、オフセット長が短いと、耐圧に影響を及ぼす可能性があるため、以後のシミュレーションではオフセット長を  $7.0 \mu\text{m}$  と、実際のデバイスより長くして計算を行った。

ドレインーオフセット領域中の不純物濃度が、RSDB パワー MOSFET の耐圧に及ぼす影響を、貼り合わせ酸化膜厚と埋込酸化膜厚を変えて評価した。シミュレーションに用いた RSDB パワー MOSFET のデバイスパラメータは、実際に作製したデバイスと同じ値



(a) 貼り合わせ酸化膜厚を変えたときの耐圧 (b) 埋込酸化膜厚を変えたときの耐圧  
 $t_{\text{sox}} : 0.5 \sim 2.0 \mu\text{m}$ ,  $t_{\text{box}} = 0.4 \mu\text{m}$        $t_{\text{sox}} = 1.0 \mu\text{m}$ ,  $t_{\text{box}} : 0.2 \sim 0.6 \mu\text{m}$

図6. 7 ドレインーオフセット領域中の不純物濃度を変えた時の耐圧の変化

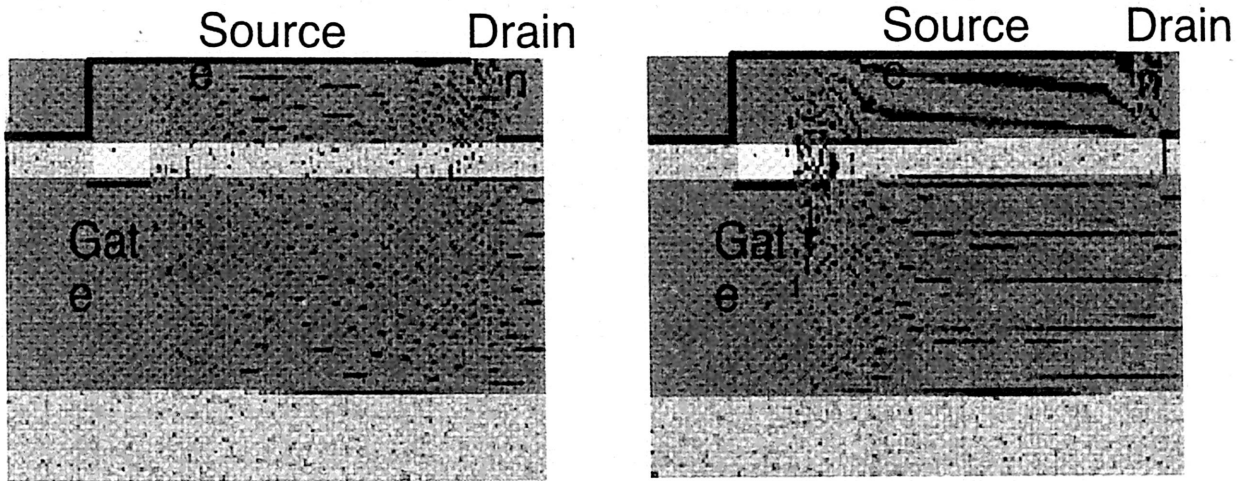
を用いた。ただし、ドレインーオフセット領域長の耐圧への影響を排除するため、ドレインーオフセット領域長を  $7 \mu\text{m}$  と十分に長くして計算した。そのため、耐圧の計算結果は、実際のデバイスより大きな値が得られた。

RSDB パワー MOSFET の耐圧の計算結果を図 6. 7 に示す。図 (a) は貼り合わせ酸化膜厚 ( $t_{\text{sox}}$ ) が  $t_{\text{sox}} : 0.5 \sim 2.0 \mu\text{m}$  で変化したときの、図 (b) は埋込  $\text{SiO}_2$  膜厚 ( $t_{\text{box}}$ ) が  $t_{\text{box}} : 0.2 \sim 0.6 \mu\text{m}$  で変化したときの耐圧の不純物濃度依存性を示す。

耐圧は不純物濃度の増加とともに増加し、最大値をとった後に減少する。耐圧の最大値は、貼り合わせ  $\text{SiO}_2$  層厚の増加とともに増加する (図 6. 7 (a))。耐圧が最大値のときの不純物濃度の値は、貼り合わせ  $\text{SiO}_2$  層厚の増加とともに減少する。図 6. 7 (b) に、埋込  $\text{SiO}_2$  層厚を変えたときの、RSDB パワー MOSFET の耐圧のドレインーオフセット領域の不純物濃度依存性を示す。埋込  $\text{SiO}_2$  層厚が変化したときの耐圧の計算結果は、貼り合わせ  $\text{SiO}_2$  層厚を変えたときと、同じ傾向を示した。

図 6. 8 に、RSDB パワー MOSFET 中のポテンシャル分布を示す。貼り合わせ  $\text{SiO}_2$  層厚は  $1 \mu\text{m}$ 、埋込酸化膜厚は  $0.4 \mu\text{m}$  である。不純物濃度は  $1.3 \times 10^{17} \text{ cm}^{-3}$  であり、この不純物濃度において、耐圧はピーク値をとる。不純物濃度が低く、耐圧がピーク値をとるまでは、降伏はオフセットドレイン端で起こっている。デバイスシミュレーションか





(a)  $N_D = 1.3 \times 10^{17} \text{ cm}^{-3}$

(b)  $N_D = 1.8 \times 10^{17} \text{ cm}^{-3}$

図 6. 8 RSDB パワー MOSFET 中のポテンシャル分布

ら、ポテンシャルは埋込  $\text{SiO}_2$  層から貼り合わせ  $\text{SiO}_2$  層へと分布しており、2つの  $\text{SiO}_2$  層とドレインオフセット領域で、ドレインポテンシャルをサポートしている。デバイスシミュレーションによりデバイス中の空乏層分布を解析したところ、空乏層はドレイン端まで十分に伸びている。ドレインオフセット領域は、不純物濃度を低くすることにより、空乏層を伸ばし、耐圧を保持する。この時、電界ベクトルは、縦方向成分が大部分を占める。

一方、不純物濃度が大きくなり耐圧がピーク値を越えると、ドレインオフセット領域のチャンネル側 (pn 接合部) で最大の電界をとる。

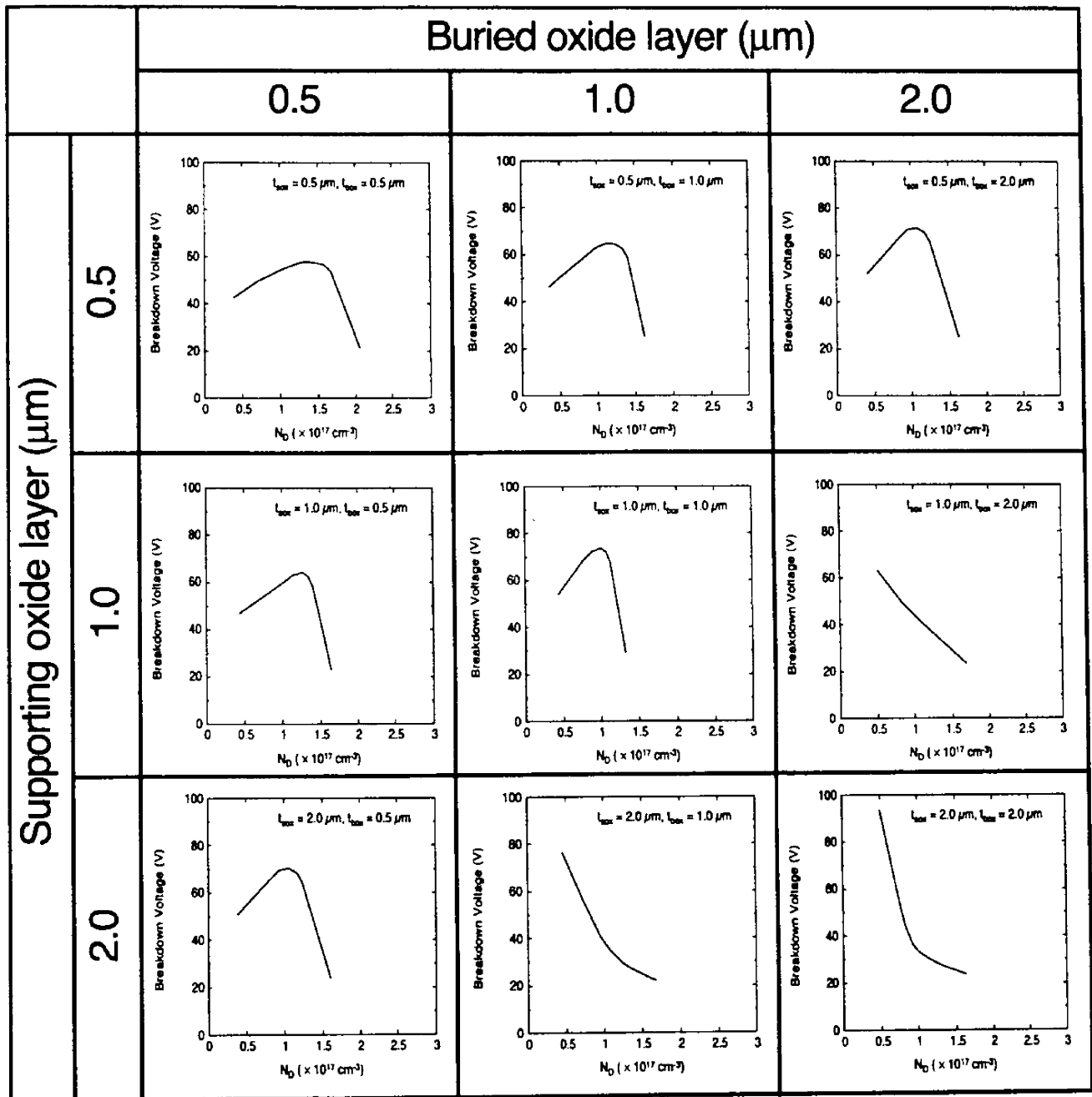
図 6. 8 (b) に RSDB パワー MOSFET のポテンシャル分布を示す。貼り合わせ  $\text{SiO}_2$  層厚は  $1 \mu\text{m}$ 、埋込  $\text{SiO}_2$  層厚は  $0.4 \mu\text{m}$  である。図 6. 8 (b) は、耐圧は  $28 \text{ V}$  と急激に低下した状態でのポテンシャル分布である。不純物濃度は  $1.8 \times 10^{17} \text{ cm}^{-3}$  である。ポテンシャルのピークは pn 接合部である。不純物濃度が高くなると、耐圧がピーク値から急激に減少する。この時、降伏は pn 接合部で起こる。デバイスシミュレーションによりデバイス内部の空乏層分布を解析したところ、高い不純物濃度によって、空乏層の伸びが pn 接合部付近までに抑えられ、ポテンシャルプロファイルは pn 接合部に集中する。この時、pn 接合部での電界ベクトルには、オフセットドレイン端での降伏時と異なり、横方向成分の寄与が大きくなっている。その結果、低い電圧でも降伏が起こる。この場合、耐

圧は貼り合わせSiO<sub>2</sub>層、埋込SiO<sub>2</sub>層の膜厚に関わらず、不純物濃度で規定される。

RSDBパワーデバイスの耐圧は、貼り合わせSiO<sub>2</sub>層厚、埋込SiO<sub>2</sub>層厚、不純物濃度の3つの要因により規定されることを示した。ここでは、貼り合わせSiO<sub>2</sub>層、埋込SiO<sub>2</sub>層の2つのSiO<sub>2</sub>層のいずれが耐圧の決定に支配的かを検討した。

図6. 9に、貼り合わせSiO<sub>2</sub>層厚、埋込SiO<sub>2</sub>層厚をパラメータとした耐圧特性を示す。t<sub>sox</sub>: 0.5 ~ 2.0 μm、t<sub>box</sub>: 0.5 ~ 2.0 μmとして、双方のSiO<sub>2</sub>層厚に対する耐圧の変化を検討した。

図6. 9より、耐圧は(t<sub>sox</sub>, t<sub>box</sub>)の組み合わせを入れ替えても、同じ値をとった。また、耐圧は貼り合わせSiO<sub>2</sub>層厚、埋込SiO<sub>2</sub>層厚が増加するほど増加する。このため、耐圧は貼り合わせSiO<sub>2</sub>層、埋込SiO<sub>2</sub>層のいずれかに規定されず、両者の薄い方の膜厚で規定されている。



$t_{\text{Si}} = 0.16 \mu\text{m}, t_{\text{ox}} = 40 \text{ nm}$

図6. 9 貼り合わせ  $\text{SiO}_2$  層厚、埋込  $\text{SiO}_2$  層厚に対する耐圧特性

## 6-3 結果と考察

### 6-3-1 パワー MOSFET の電気特性

RSDB パワー MOSFET のサブスレッショルド特性は、文献 [6] で詳細に議論している。本稿では、パワー MOSFET としての特性を、SOI 基板の上に作製した従来型のパワー MOSFET と比較して検討した。表 6. 1 に、RSDB 法により試作した Quasi-SOI パワー MOSFET と nMOSFET のデバイスパラメータを示す。

RSDB Quasi-SOI パワー MOSFET と SIMOX 基板の上に作製した SOI パワー MOSFET の基板バイアス ( $V_{sub}$ ) 依存性を、図 6. 10 に示す。RSDB Quasi-SOI パワー MOSFET のしきい値電圧は、基板バイアスの変化によらず、一定の値をとった。この理由として、ゲート電極がチャンネルの基板バイアスからシールドされていることが挙げられる。それゆえ、基板バイアスはチャンネル領域に影響を及ぼさず、しきい値電圧は変化しない。SIMOX 基板上に作製された SOI パワー MOSFET のしきい値電圧は、基板バイアスが負のときのみ

表 6. 1 試作した Quasi-SOI パワー MOSFET と nMOSFET のデバイスパラメータ

上部 Si 層厚 (nm)	160
ゲート SiO <sub>2</sub> 層厚 (nm)	40
チャンネル長 ( $\mu\text{m}$ )	1.5
チャンネル幅 ( $\mu\text{m}$ )	20
オフセット長 ( $\mu\text{m}$ )	1.2

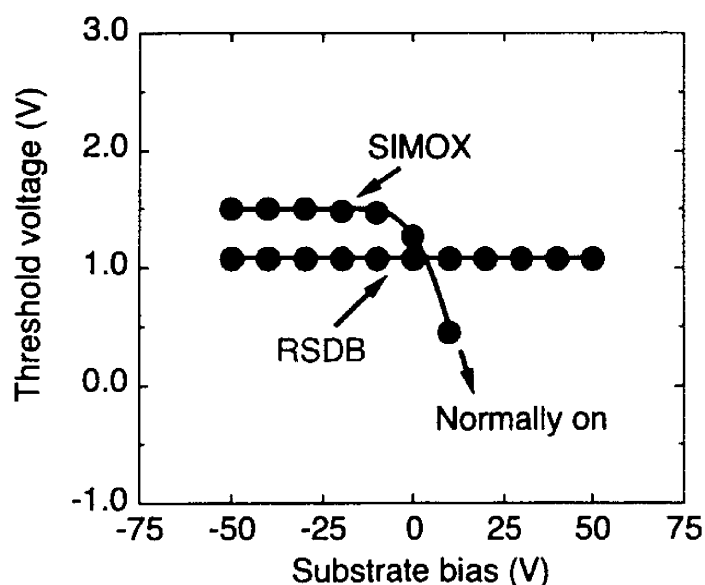


図 6. 10 パワー MOSFET の基板バイアス依存性

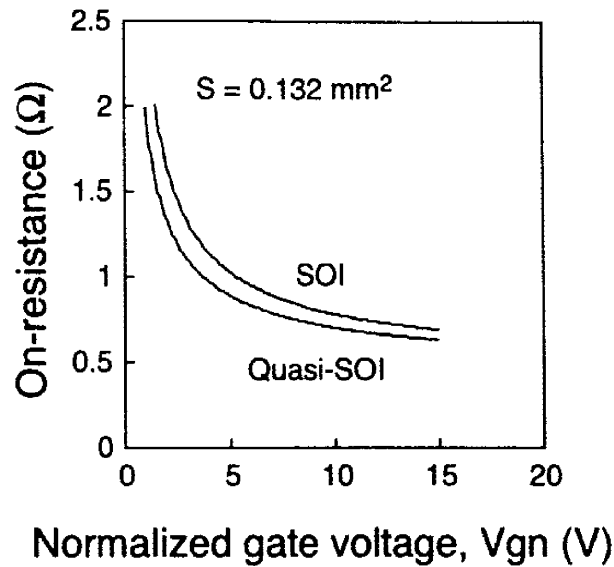


図6. 1 1 規格化ゲート電圧( $V_g - V_{th}$ )に対するQuasi-SOIパワーMOSFET, SOIパワーMOSFETのオン抵抗  
SOIパワーICはSIMOX基板を用い、Quasi-SOIパワーMOSFETはRSDB法により、それぞれ、作製した。

一定の値をとった。

しかし、基板バイアスが正の値をとるとき、しきい値電圧は基板バイアスの増加に伴い減少する。基板バイアスが25 V以上では、オン状態になった。基板バイアスの増加によって、バックチャネルが形成され、しきい値電圧が減少したためである。

図6. 1 1に、規格化したゲート電圧 ( $V_g - V_{th}$ ) に対する Quasi-SOI パワー MOSFET、SOI パワー MOSFET のオン抵抗を示す。規格化ゲート電圧が15 VのときのQuasi-SOI パワー MOSFET のオン抵抗は648 m Ω (単位面積で規格化したオン抵抗: 85.5 m Ω · mm<sup>2</sup>) であり、SOI パワー MOSFET のオン抵抗は690 m Ω (91.1 m Ω · mm<sup>2</sup>) である。Quasi-SOI パワー MOSFET は、SOI パワー MOSFET に比べ、単位面積当たりのチャネル幅が広いいため、より低いオン抵抗を実現できる。

図6. 1 2に、試作したQuasi-SOIパワーMOSFET, SOIパワーMOSFETの安全動作領域 (FBSOA) を示す。Quasi-SOIパワーMOSFETは寄生バイポーラ効果を、より効果的に抑制できるため、従来型のSOI構造のパワーMOSFETに比べ、安全動作領域が広いという特徴を持つ [11]。

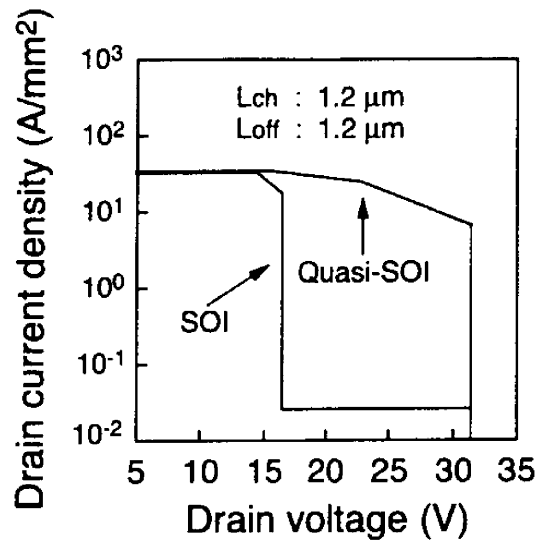


図 6. 1 2 Quasi-SOIパワーMOSFETおよびSOIパワーMOSFETの安全動作領域

表 6. 2 試作したQuasi-SOIパワーMOSFETとSOIパワーMOSFETのDC特性の比較

	Quasi-SOI	SOI
しきい値電圧(V)	1.2	1.6
耐圧(V)	32	32
オン抵抗(mΩ mm²)	86	91
最大動作電流(A/mm²)	10	0.02
オン状態の耐圧	30	16

表 6. 2 に、試作した Quasi-SOI パワー MOSFET の DC 特性を示す。Quasi-SOI パワー MOSFET は、SOI パワー MOSFET に比べ寄生バイポーラ効果が小さく、最大動作電流も 2桁以上大きく取れた。また、オン状態の耐圧も高い。これらの結果から、RSDB を用いることによって、Quasi-SOI 構造を容易に実現することができ、作製したデバイスは良好な動作特性を示した。

RSDB (Quasi-SOI) パワー MOSFET と、従来型の SOI パワー MOSFET の耐圧分布の比較を、図 6. 1 3 に示す。どちらのデバイスも目標耐圧は 30 V である。図中には、耐圧を 5 V 刻みで表示してある。大部分の RSDB パワー MOSFET は、30 V 付近の耐圧を示しているのに対し、従来型の SOI パワー MOSFET は 30 V 未満の耐圧を示すものが多く見られる。TEM 観察の結果から、1350 °C 未満の温度でアニールを施した SIMOX 基板では、埋込 SiO<sub>2</sub> 層中に Si アイランドや Si パイプが形成されることが報告されている [12]。Si ア

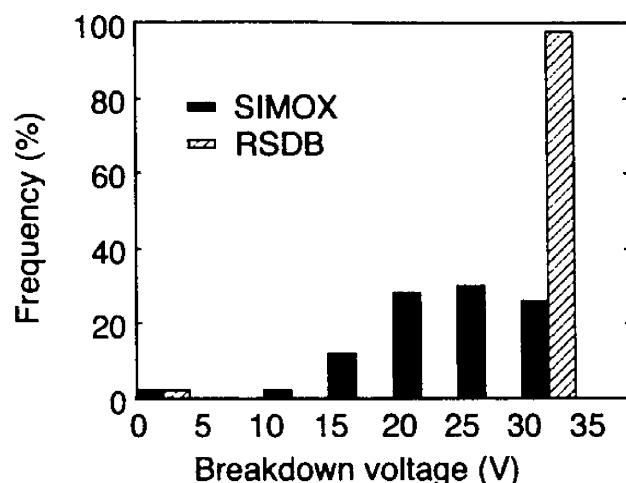


図6. 13 RSDBパワーMOSFET、SOIパワーMOSFETの耐圧分布

イランドやSiパイプは、 $\text{SiO}_2$ 層の耐圧への耐性を劣化させる。結果として、SOIパワーMOSFETの耐圧を引き下げる。他方、RSDBパワーMOSFETの埋込 $\text{SiO}_2$ 層はCVD法により作製される。CVD酸化膜は、SIMOX基板の埋込 $\text{SiO}_2$ 層に見られるような、SiアイランドやSiパイプは形成されない。そのため、RSDBパワーMOSFETの埋込 $\text{SiO}_2$ 層は高い耐圧を示した。

実際に作製されたRSDBパワーMOSFETの耐圧の最大値は40Vであり、この結果は図6.6で示されたシミュレーション結果と一致する。それゆえ、デバイスシミュレーションを用いたデバイスパラメータ設計の結果、RSDBパワーMOSFETは優れた特性が得られた。

以上の検討結果によって、RSDB法によって作製されたSOIパワーMOSFETは、SOI基板上に作製されたパワーMOSFETに比べ、優れた電気特性を有することが示された。

### 6-3-2 nMOSFETの電気特性

RSDB法によって作製されたnMOSFETと、SOI基板上に作製された従来型のnMOSFETを比較した。従来型のSOI基板として、SIMOX基板を使用した。いずれのデバイスも埋込 $\text{SiO}_2$ 層の厚さは400nmである。

いずれのnMOSFETも、良好なサブスレッショルド特性を示した(図6.14)。RSDB法によるnMOSFETのサブスレッショルド特性は、SIMOX基板上に作製したnMOSFETと同様の特性を示した。

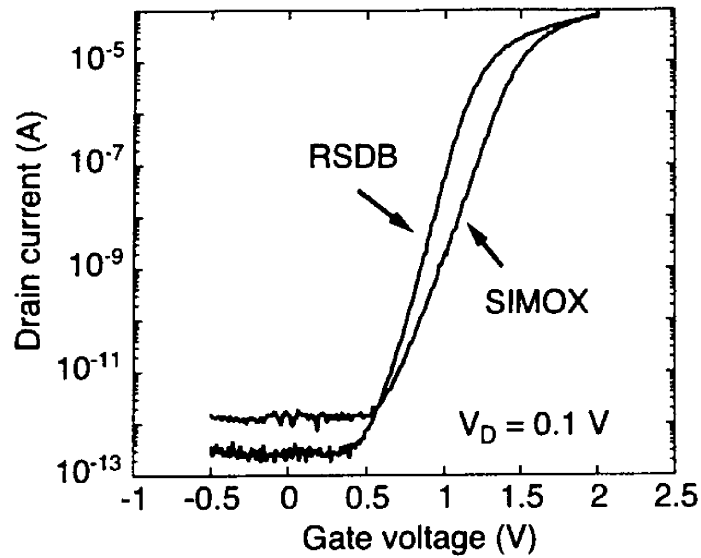


図6. 14 RSDB nMOSFET と SOI nMOSFET のサブスレッショルド特性

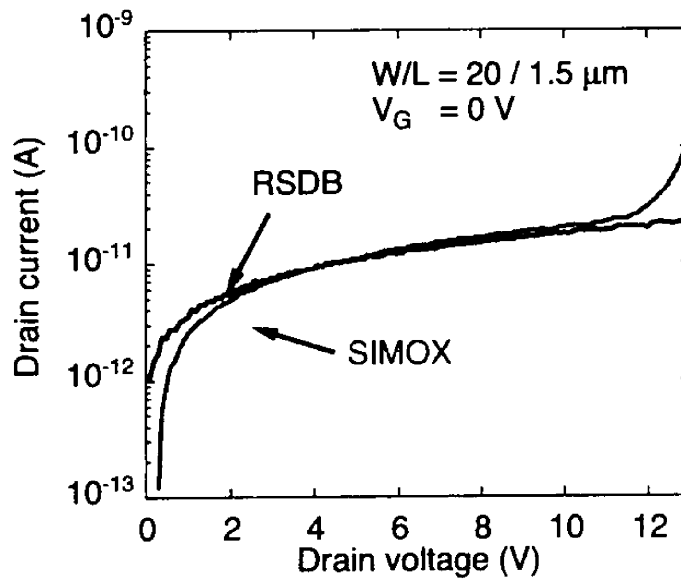


図6. 15 RSDB nMOSFET と SOI nMOSFET のソースドレイン間リーク電流特性

RSDB 法による nMOSFET と SIMOX 基板上的 nMOSFET において、ソースドレイン間リーク電流特性を比較した (図6. 15)。どちらの nMOSFET も、降伏電圧は 10 V を超えている。ドレイン電圧が 5 V における各デバイスのリーク電流は  $10^{-12}$  A 程度で、両者のリーク電流も、ほぼ同じような特性を示した。以上の実験結果から、RSDB 法は nMOSFET に適用した場合でも、SOI 基板上に作製した nMOSFET と同様のサブスレッ



シールド特性を示し、しかも、リーク電流を増加させるようなことも観察されなかった。それゆえ、RSDB法はnMOSFETのような信号処理用のデバイスに対しても、パワーデバイスに対してと同様に、SOI構造を作製する方法として適用することができた。

#### 6-4 まとめ

本章では、SOI基板、プロセス技術の検討結果をナノスケールMOSFETに適用するため、前段階の検討として、サブミクロンルールのSOIパワーIC (SOI MOSFETおよびSOIパワーMOSFETから構成) を作製した。SOIパワーICを構成する素子であるSOIパワーMOSFETの作製方法として、RSDB法を提案した。

RSDB法を作製方法として適用することにより、埋込 $\text{SiO}_2$ 層厚をパワーMOSFETとnMOSFETで、それぞれ、選択することができた。また、RSDB法では、埋込 $\text{SiO}_2$ 層をCVD  $\text{SiO}_2$ 膜によって形成するため、SOIパワーMOSFETにとって、耐圧に優れた高品質の埋込 $\text{SiO}_2$ 層を用いることができる。

RSDB法を用いて作製したパワーICにおいて、RSDBパワーMOSFETはSOI基板を用いて作製された従来型のSOIパワーMOSFETに比べ、優れた特性を示した。RSDBパワーMOSFETのしきい値電圧は、ゲート電極が基板バイアスに対してシールドされているために、基板バイアスの影響を受けない。RSDBパワーMOSFETでは、寄生バイポーラ効果は抑制され、高い歩留まり率を示したためである。2次元デバイスシミュレーションを利用した結果から、デバイスパラメータは最適化することができ、その結果、作製したRSDBパワーMOSFETの耐圧を最大限に引き出すことができた。

RSDB法をnMOSFETにも適用し、この手法がMOSFETの製作に対しても有効であることを示した。RSDB法を用いて作製したnMOSFETでは、リーク電流の増加は見られず、その電気特性も、従来からのSOI基板を用いて作製されたnMOSFETと同程度であった。

以上のことから、RSDB法によって作製されたRSDBパワーICは、従来からのSOI基板を用いて作製されたものに比べ、良好な特性を示すことが示すことが明らかになった。

## 参考文献

- [1] C. Contiero, P. Galbiati, M. Palmieri and L. Vecchi: Tech. Dig. Int. Electron Device Meet. (1996) p.465.
- [2] A. Nakagawa: Power Electronics Specialist Conference (1988) p.1325.
- [3] H. Horie, S. Ando, T. Tanaka, M. Imai, Y. Arimoto and S. Hijiya: Ext. Abstr. of the 1991 Int. Conf. Solid State Devices and Materials (Business Center for Academic Societies Japan, Tokyo, 1991) p.165.
- [4] S. Nakamura, H. Horie, K. Asano, Y. Nara, T. Fukano and N. Sasaki: Tech. Dig. Int. Electron Device Meet. (1995) p.889.
- [5] T. Tanaka, K. Suzuki and T. Sugii: IEEE Electron Device Lett. **15** (1994) 386.
- [6] S. Matsumoto, T. Yachi, H. Horie and Y. Arimoto: Tech. Dig. Int. Electron Device Meet. (1996) p.949.
- [7] Y. Omura, S. Nakashima, K. Izumi and T. Ishii: Tech. Dig. Int. Electron Device Meet. (1991) p.675.
- [8] T. Ohno, M. Takahashi, A. Ohtaka, Y. Sakakibara, and T. Tsuchiya: Tech. Dig. Int. Electron Device Meet. (IEDM'95) (1995) p. 627.
- [9] S. Matsumoto, I-J. Kim, T. Sakai, T. Fukumitsu and T. Yachi: IEEE Trans. Electron Devices **ED-43** (1996) 746.
- [10] TMA MEDICI Two-Dimensional Device Simulation, User's Manual (Technology Modeling Associates, Palo Alto, 1992).
- [11] 松本、平岡、石山他、電気学会研究会資料, EDD-97-59 (SPC-97-86) (1997) p. 19.
- [12] S. Nakashima and K. Izumi: J. Mater. Res. **8** (1993) 523.

## 第7章 RSDB法により作製したQuasi-SOIパワーMOSFETの高性能化

本論文では、SOI MOSFETの高性能化のために、基板、プロセス、デバイスの各課題を検討してきた。第6章では、SOI構造の作製方法として新たにRSDB法の適用を提案し、その結果、高性能なSOIパワーICを作製することができた。

本章では、デバイスシミュレーションと実験から最適なデバイスパラメータを選択し、30 V級のSOIパワーMOSFETの高性能化を検討した。

### 7-1 はじめに

SOI技術をもとにインテリジェントパワーLSIを製作すれば、デバイスが埋込 $\text{SiO}_2$ 層により絶縁分離され、かつ、高温動作が可能であることから、高性能なパワーLSIが期待できる [1], [2]。特に、薄層SOI構造の手法は、デバイスの分離が容易であることや、深い拡散工程を用いずにパワーデバイスとCMOSデバイスを混載できるなど、高性能のインテリジェントパワーLSIの開発に適している [2], [3]。パワーMOSFETの性能を表す指標のひとつとして、高周波特性が挙げられる。これまでは、薄層SOIパワーMOSFETのオン抵抗や寄生容量を引き下げることを中心に、高周波特性の向上が図られてきた。短チャネル効果による影響を抑えながらチャネル長を短くできれば、高周波特性を改善することができる。

パワーMOSFETは、寄生バイポーラトランジスタを内包している。寄生バイポーラトランジスタがひとたび動作すればホットキャリア効果によってデバイスが劣化し、最悪の場合にはデバイスが破壊される [4], [5]。さらに、寄生バイポーラ効果はチャネル長が短くなると顕在化することも留意すべきである。

Quasi-SOIパワーMOSFETは、寄生バイポーラ動作を抑えることができるSOI構造として提案された [6]。Quasi-SOIパワーMOSFETは、RSDB法によって作製され、その良好なデバイス特性は、既に、いくつかの実験によって報告されている [4], [7]。しかしながら、数値シミュレーションを用いて各構造パラメータを最適化すれば、Quasi-SOIパワーMOSFETを、さらに高性能化させることができると考えられている。

本章では、RSDB法にもとづいた30 V級のQuasi-SOIパワーMOSFETを、実験とシミュ

レーションの両面からデバイス特性を検討した。さらに、短チャネル効果と寄生バイポーラ効果の両方を抑制できる Quasi-SOI パワー MOSFET の新規構造についても述べる。

## 7-2 デバイス構造

RSDB 法による Quasi-SOI パワー MOSFET の断面図を図 7. 1 に示す。この MOSFET の埋込  $\text{SiO}_2$  層は、チャネル領域で部分的に除去され、チャネル領域はソース-ボディ電極に直接結合している。このボディコンタクト構造で、寄生バイポーラトランジスタのベース抵抗は大幅に引き下げられ、寄生バイポーラ動作は抑えられる [7]。図中で、 $T_{\text{box}}$  はバルクパワー MOSFET のデバイス底部の  $\text{SiO}_2$  層 (SOI 構造の埋込  $\text{SiO}_2$  層に対応) の厚さ、 $W_{\text{ox}}$  はボディ領域の  $\text{SiO}_2$  層の幅である。 $T_{\text{box}}$ 、 $W_{\text{ox}}$ 、チャネル長、ドレインオフセット領域の不純物濃度をパラメータとして検討した。バルクパワー MOSFET のオリジナル底部側のソース領域の LOCOS 端に  $p^+$  高濃度不純物領域を形成して、寄生エッジ効果を抑えた。

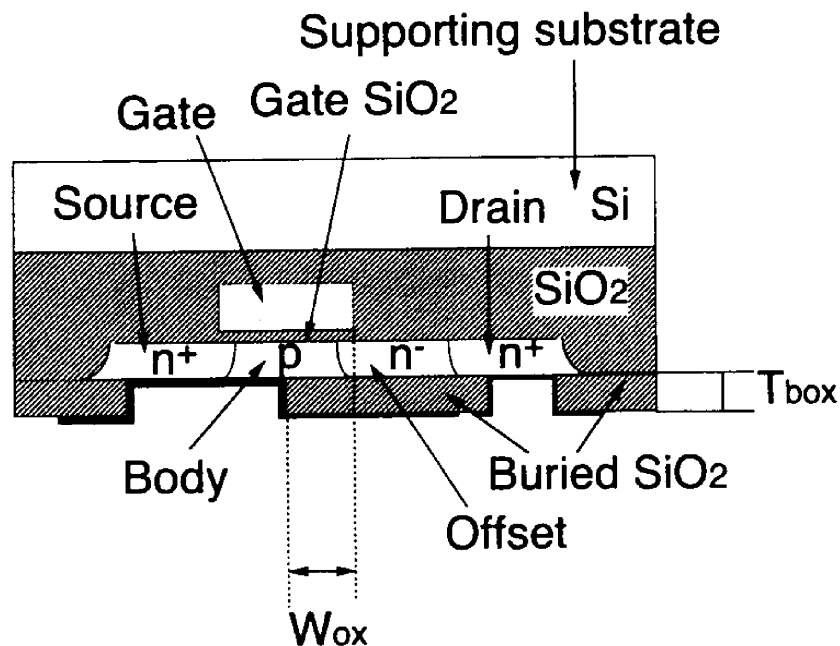


図 7. 1 RSDB 法による Quasi-SOI パワー MOSFET 構造

### 7-3 デバイスの作製方法

Quasi-SOIパワーMOSFETがRSDB法によって作製できることは、第六章で詳述した。本節では、RSDB法について簡単に振り返り、それ以外のプロセスについて述べる。

RSDB法では、最初に、バルクパワーMOSFETを作製する。このパワーMOSFETはLOCOS分離されたバルクSi基板上に、1 $\mu$ mルールのポリSiゲートのCMOSプロセスで作製した。CVD SiO<sub>2</sub>膜の堆積によって、デバイス表面を平坦化した。そののち、支持基板をSiO<sub>2</sub>層によって貼り合わせた。反転、研磨工程を経た後には、平坦化されたMOSFETの底部が実際のデバイスの表面になる。研磨工程のストッパーとして、LOCOS層を利用した。ソース領域のLOCOS端に、ボロンをイオン注入、アニールし、p<sup>+</sup>-高不純物領域を形成した。これらの領域は、RSDB法によるSOIパワーMOSFETのボディコンタクト領域として利用した。熱酸化により、SiO<sub>2</sub>層を形成した後、CVD SiO<sub>2</sub>層をデバイスのオリジナル底部に堆積した。ソースーボディ、ドレイン、ゲートの各コンタクトホールを開孔しTi/TiN/Al電極を形成した。ボディ領域の不純物濃度は、10<sup>16</sup>cm<sup>-3</sup>オーダーであった。作製した30V級Quasi-SOIパワーMOSFETの主な構造パラメータを表7.1に示す。

表7.1 30V級Quasi-SOIパワーMOSFETの主な構造パラメータ

チャネル長( $\mu$ m)	1.0~2.0
オフセット長( $\mu$ m)	1.0~2.0
チャネル幅( $\mu$ m)	20
上部Si層厚(nm)	160
埋込SiO <sub>2</sub> 層厚( $\mu$ m)	0.2, 0.4
ゲートSiO <sub>2</sub> 層厚(nm)	40

## 7-4 結果と考察

### 7-4-1 構造最適化による Quasi-SOI パワー MOSFET の電気特性の向上

図 7. 2 に、Quasi-SOI パワー MOSFET の耐圧のドレインオフセット領域の不純物濃度依存性を示す。チャンネル長は、 $1.5 \mu\text{m}$ 、ドレインオフセット長は  $20 \mu\text{m}$  である。2 種類の厚さの埋込  $\text{SiO}_2$  層を持つ Quasi-SOI パワー MOSFET は、いずれの耐圧も目標である  $30 \text{ V}$  を超えている。第 6 章で示したように、いずれの Quasi-SOI パワー MOSFET もドレインオフセット領域の不純物濃度の増加とともに耐圧は増加する。その後、不純物濃度が最適な値を超過すると、耐圧は急激に減少する。ドレインオフセット領域の不純物濃度には、耐圧を最大にする最適値が存在する。耐圧の最大値は、 $T_{\text{box}} = 0.2 \mu\text{m}$  で  $36 \text{ V}$ 、 $T_{\text{box}} = 0.4 \mu\text{m}$  で  $48 \text{ V}$  であった。埋込  $\text{SiO}_2$  層を厚くするとドレイン電圧を効果的にサポートすることができるので、埋込  $\text{SiO}_2$  層が薄いものよりも耐圧の最大値を大きくすることができる。薄い埋込  $\text{SiO}_2$  層を持つデバイスのドレインオフセット領域の最適な不純物濃度は、埋込  $\text{SiO}_2$  層が厚いものより高くなる。この理由として、ドレインオフセット領域の不純物濃度が増加すると、オン抵抗を引き下げることが挙げられる。それゆえ、オン抵抗を小さくするために、耐圧を確保できる範囲で、埋込  $\text{SiO}_2$  層の値を薄くすべきである。

パワー MOSFET のチャンネル長に対するしきい値電圧のシフトを、Quasi-SOI 構造と SOI

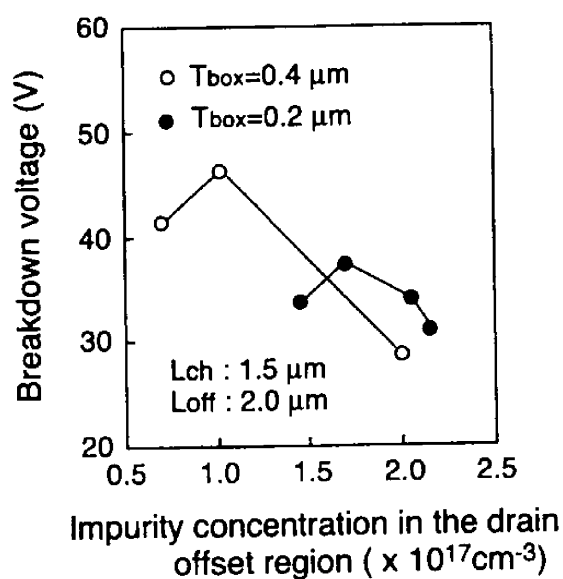


図 7. 2 Quasi-SOI パワー MOSFET の耐圧のドレインオフセット領域の不純物濃度依存性

構造について評価した (図 7. 3)。ドレインオフセット長は  $2\ \mu\text{m}$ 、 $W_{\text{ox}}$  は  $0.6\ \mu\text{m}$  である。チャンネル長  $2\ \mu\text{m}$  のしきい値電圧は、Quasi-SOI パワー MOSFET で  $1.2\ \text{V}$ 、SOI パワー MOSFET で  $1.5\ \text{V}$  であった。図より、チャンネル長が短くなると、しきい値電圧のシフト量は増加した。

2次元デバイスシミュレーションを用いて、Quasi-SOI パワー MOSFET における短チャンネル効果の影響を検討した。Quasi-SOI パワー MOSFET のチャンネル長に対するしきい値電圧シフトを検討した結果を、図 7. 4 に示す。比較のため、SOI パワー MOSFET のしきい値電圧シフトも図中に示した。ここで、筆者はボディコンタクトに関して、ふたつのケースを比較した。オーミック接合と、ショットキーバリア接合である。シミュレーションを行ったデバイス構造パラメータは、図 7. 3 と同じものである。

シミュレーションの結果より、しきい値電圧のシフトの絶対値はチャンネル長の減少にともない増加した。ボディコンタクトとしてオーミック接合を仮定した場合、Quasi-SOI パワー MOSFET のしきい値電圧シフト量 (絶対値) は、SOI パワー MOSFET よりも小さい。以上のシミュレーション結果は、実験結果 (図 7. 3) と一致しなかった。

他方、ボディコンタクトとしてショットキーバリア接合を仮定した場合、Quasi-SOI パワー MOSFET のしきい値電圧シフト量は、SOI パワー MOSFET よりも大きいという結果を得た。この結果は、実験結果とよく一致した。Quasi-SOI パワー MOSFET のしきい値電

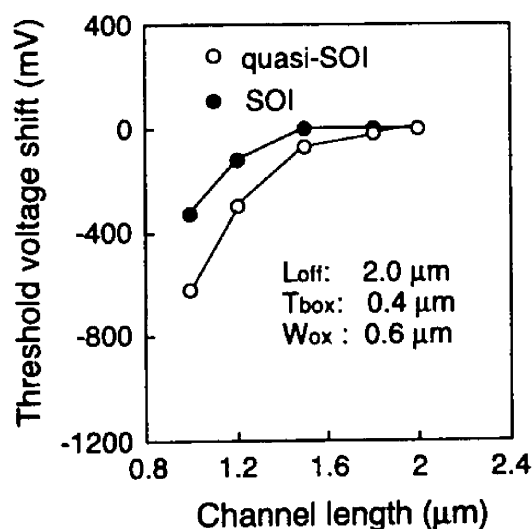


図 7. 3 パワー MOSFET のチャンネル長に対するしきい値電圧シフト

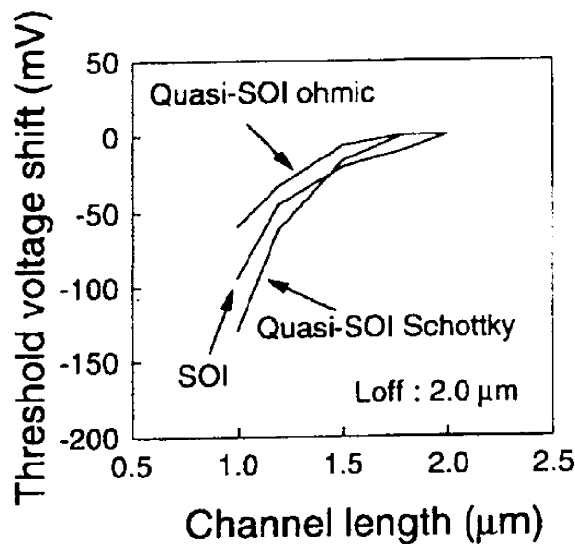


図7. 4 Quasi-SOIおよびSOIパワーMOSFETの  
チャンネル長に対するしきい値電圧シフト

圧の大きなシフトは、チャンネル領域底部のショットキー接合から広がる空乏層によって引き起こされる。以上の結果から、Quasi-SOIパワーMOSFETの短チャンネル効果はボディ領域にオーミック接合を用いることで抑制することができる。

Quasi-SOIパワーMOSFETの $W_{ox}$ に対するしきい値電圧の依存性とサブスレッショルドスロープを、図7. 5に示す。チャンネル長は $1.0\ \mu\text{m}$ 、ドレインオフセット長は $2.0\ \mu\text{m}$ である。しきい値電圧は、 $W_{ox}$ の減少にともない減少し、サブスレッショルドスロープは増加する。この結果は、RSDB法によるQuasi-SOIパワーMOSFETの短チャンネル効果は $W_{ox}$ を増加させることで抑制できることを意味する。

Quasi-SOIパワーMOSFETの $g_m$ の $W_{ox}$ 依存性を、図7. 6に示す。ドレイン電圧は、 $g_m$ が最大値をとる電圧 ( $0.1\ \text{V}$ ) で測定した。チャンネル長は $1.0\ \mu\text{m}$ 、ドレインオフセット長は $2.0\ \mu\text{m}$ である。Quasi-SOIパワーMOSFETの $g_m$ は、 $W_{ox}$ の増加にともない増加する。

短チャンネル効果と $W_{ox}$ の関係を検討するため、二次元デバイスシミュレーションを行った。Quasi-SOIパワーMOSFETの $W_{ox}$ に対するしきい値電圧のシフト量依存性を、図7. 7に示す。シミュレーションの対象としたデバイスの構造パラメータは、図7. 5で用いたものと同じのものである。図中のしきい値電圧のシフトは、 $W_{ox}$ が $0.2\ \mu\text{m}$ のときの値を基準として、そこからの相対値で表した。デバイスシミュレーションにおけるボディ



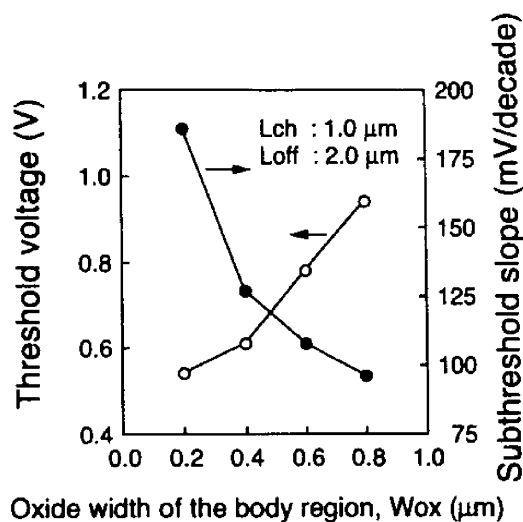


図 7. 5 Quasi-SOI パワー MOSFET のしきい値電圧シフトの  $W_{ox}$  依存性とサブスレッシュホールドスロープ

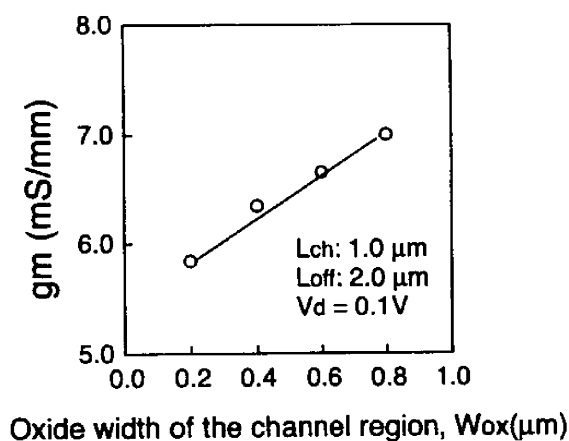


図 7. 6 Quasi-SOI パワー MOSFET の  $g_m$  の  $W_{ox}$  依存性

コンタクト接合条件として、オーミック接合とショットキーバリア接合を仮定した。オーミック接合の Quasi-SOI パワー MOSFET のしきい値電圧はマイナス側にシフトし、 $W_{ox}$  の増加にともない減少した。すなわち、しきい値電圧は  $W_{ox}$  の減少にともない増加した。この傾向は、実験結果と一致していない。接合がショットキーバリアの場合、Quasi-SOI パワー MOSFET のしきい値電圧のシフト量は  $W_{ox}$  の減少にともない減少した。すなわち、しきい値電圧は  $W_{ox}$  の増加にともない増加した。この傾向は実験結果と一致した。以上の結果から、Quasi-SOI パワー MOSFET の短チャネル効果は、ボディ領域にショットキーバリア

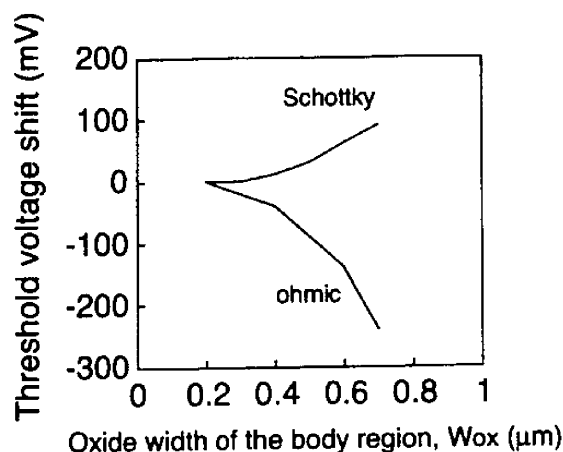


図 7. 7 Quasi-SOI パワー MOSFET のしきい値電圧シフトの  $W_{ox}$  依存性

ア接合を形成することで、影響がより顕著になる。

寄生バイポーラ動作が観察されるドレイン電圧で最も低い値を、「臨界ドレイン電圧」と定義する。Quasi-SOI パワー MOSFET の臨界ドレイン電圧の  $W_{ox}$  依存性を、図 7. 8 に示す。臨界ドレイン電圧は、ドレインコンダクタンス法により測定した [9]。比較のため、薄層 SOI パワー MOSFET の臨界ドレイン電圧も図中に示した。チャネル長は  $1.0 \mu\text{m}$ 、ドレインオフセット長は  $2.0 \mu\text{m}$  である。ドレインオフセット領域の不純物濃度は、 $1.0 \times 10^{17} \text{cm}^{-3}$  である。Quasi-SOI パワー MOSFET の臨界ドレイン電圧は、薄層 SOI パワー MOSFET の臨界ドレイン電圧に比べて、高い値が観察された。薄層 SOI パワー MOSFET では、寄生バイポーラトランジスタのベース抵抗が低く、より低いドレイン電圧で、寄生バイポーラ効果が起こりやすい。Quasi-SOI パワー MOSFET の臨界ドレイン電圧は、 $W_{ox}$  の減少にともない増加する。 $W_{ox}$  が  $0.8 \mu\text{m}$  のときの臨界ドレイン電圧は  $24 \text{V}$  であった。この結果は、Quasi-SOI パワー MOSFET の寄生バイポーラ効果は  $W_{ox}$  を減らすことによって抑えることができることを示す。図 7. 5、7. 6、7. 8 より、Quasi-SOI パワー MOSFET の寄生バイポーラ効果と短チャネル効果はトレードオフの関係にあることが示された。

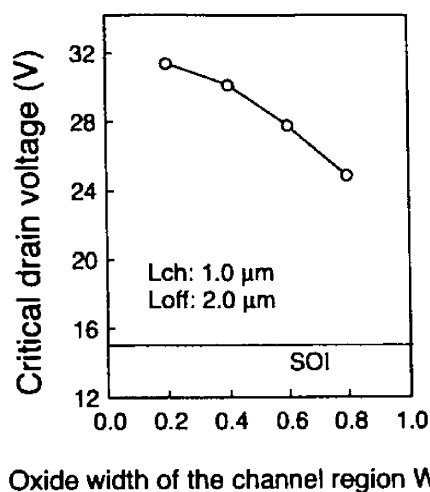


図 7. 8 Quasi-SOI パワー MOSFET の臨界ドレイン電圧の  $W_{ox}$  依存性

#### 7-4-2 Quasi-SOI パワー MOSFET の新規デバイス構造

新しく提案する Quasi-SOI パワー MOSFET のデバイス構造 (平面図) を、図 7. 9 (a) に示す。デバイスの新規構造では、寄生バイポーラ効果と短チャネル効果の両方の抑制を目指したものである。比較のため、図 7. 9 (b) に、第六章までに説明してきた Quasi-SOI パワー MOSFET の構造を示す。これまで説明してきた Quasi-SOI パワー MOSFET では、ソースとボディのコンタクトホールは一つの大きな矩形の開孔を用いてきた。一方、新規に提案する Quasi-SOI パワー MOSFET の構造では、ソースとボディのコンタクトホールは 2 種類の矩形が結合したものになる。すなわち、ひとつは  $p^+$ -ボディコンタクト領域と  $p$ -ボディ領域に位置するコンタクトホールである。もうひとつは、 $n^+$ -ソース領域と  $p$ -ボディ領域に位置するコンタクトホールである。後者は、短チャネル効果を抑制するために、ショットキーバリアコンタクトの領域が減らせるように、前者より長さが短い。前者は、寄生バイポーラ効果を抑制するために、チャネル幅方向に長い構造をとる。

新提案の Quasi-SOI パワー MOSFET デバイス構造の効果を調べるために、チャネル長に対するサブスレッショルドスロープとオン抵抗の依存性を検討した。オン抵抗は、ゲート電圧を  $(V_{th} + 15)$  V として測定した。図 7. 10 (a) では、 $W_{ox}$  をパラメータとして用いた測定結果である。図 7. 10 (b) では、チャネル長は  $1.0 \mu\text{m}$ 、ドレインオフセット長は  $2.0 \mu\text{m}$  である。新提案のデバイス構造では、 $n^+$ -ソース領域の  $W_{ox}$  の長さは  $0.6 \mu\text{m}$ 、 $p^+$ -ボディコンタクト領域での  $W_{ox}$  の長さは  $0.4 \mu\text{m}$  である。ドレインオフセット領域の不

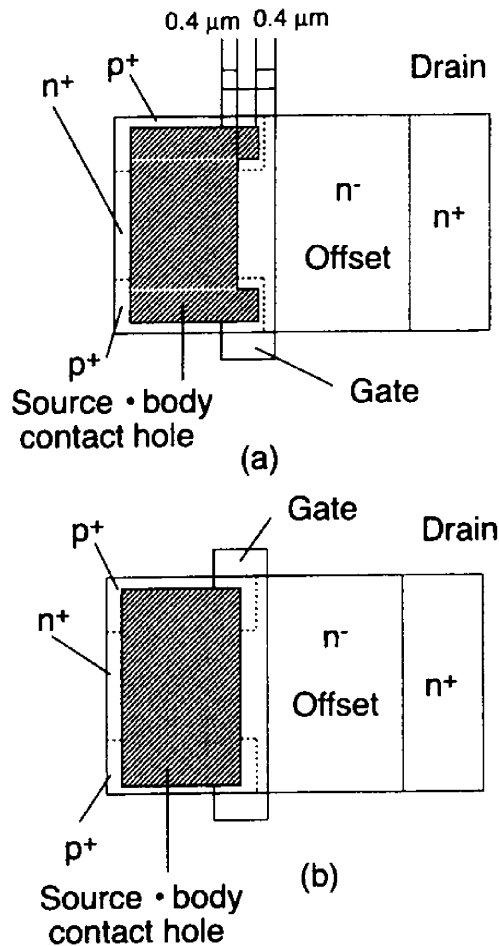
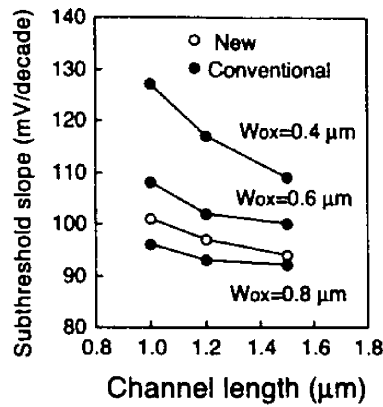


図 7. 9 (a) 新提案 Quasi-SOI パワー MOSFET デバイス構造 (平面図)  
 (b) 従来型 Quasi-SOI パワー MOSFET デバイス構造 (平面図)

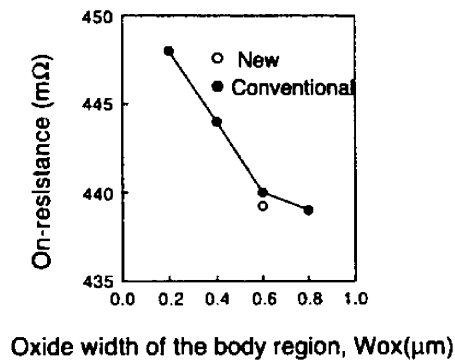
純物濃度は、 $1.0 \times 10^{17} \text{cm}^{-3}$  である。図 7. 10 (a) より、従来型の Quasi-SOI パワー MOSFET のサブスレッシュヨルドスロープは、 $W_{ox}$  の増加にともない減少する。

新提案の Quasi-SOI パワー MOSFET デバイス構造も、従来型の Quasi-SOI パワー MOSFET も、チャンネル長の増加にともない、サブスレッシュヨルドスロープは減少する。ただし、減少の度合いは、新規デバイス構造の方がより小さい ( $W_{ox} = 0.6 \mu\text{m}$  データより)。以上の結果から、新提案の Quasi-SOI パワー MOSFET デバイス構造は短チャンネル効果を抑制し、RSDB 法により作製されたデバイスのオン抵抗を引き下げることができる。

臨界ドレイン電圧の  $W_{ox}$  依存性を、図 7. 11 に示す。新規構造の Quasi-SOI パワー MOSFET の臨界ドレイン電圧は 30 V 程度であった。この値は、従来型の Quasi-SOI パワー MOSFET の臨界ドレイン電圧より大きい。このことから、新提案のデバイス構造は、



(a)



(b)

図7. 10 新提案 Quasi-SOI パワー MOSFET デバイス構造の効果  
(a) チャネル長に対するサブスレッシュヨルドスロープ、(b) オン抵抗

Quasi-SOI パワー MOSFET の寄生バイポーラ効果を効果的に抑制している。

新提案の Quasi-SOI パワー MOSFET と従来型の SOI パワー MOSFET の電気特性を、比較した (表 7. 2)。チャネル長は  $1.0\mu\text{m}$ 、ドレインオフセット長は  $2.0\mu\text{m}$  である。Quasi-SOI パワー MOSFET と SOI パワー MOSFET は同じ基板上に作製し、プロセス上の影響による基板毎のばらつきが入らないようにした。ボディコンタクト間隔は  $10\mu\text{m}$  であった。Quasi-SOI パワー MOSFET の構造は、ボディコンタクト領域を小さく済ますことができるので、SOI パワー MOSFET のデバイス領域は新提案 Quasi-SOI パワー MOSFET より大きくなる [7]。新提案 Quasi-SOI パワー MOSFET は、SOI パワー MOSFET よりオン抵抗が低くなり、耐圧も同程度に確保できる。新提案 Quasi-SOI パワー MOSFET の臨界ドレイン電圧は、従来型の SOI パワー MOSFET のおよそ 2 倍であった。

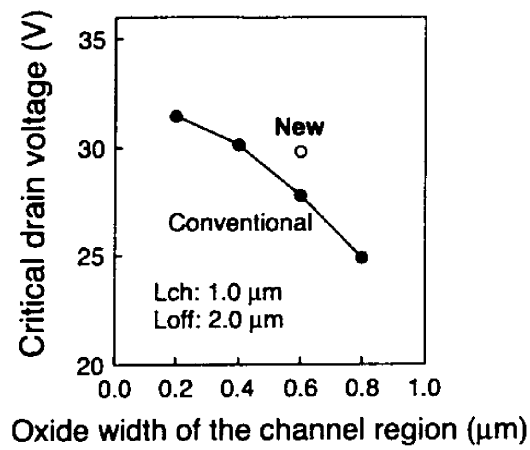


図7. 11 臨界ドレイン電圧の  $W_{ox}$  依存性

表7. 2 新提案Quasi-SOIパワーMOSFETとSOIパワーMOSFETのデバイスパラメータ

	新提案Quasi-SOI	SOI
オン抵抗(mΩ)	438	459
サブスレッショルド	101	104
スロープ(mV/decade)		
$g_m$ (mS/mm)	6.8	6.5
耐圧 (V)	48	48
臨界ドレイン電圧 (V)	29.5	15.0

## 7-5 まとめ

本章では、Quasi-SOIパワーMOSFETのデバイス特性向上を、デバイス構造を最適化することにより検討した。耐圧は、埋込SiO<sub>2</sub>層の膜厚の増加によって、増加させることができた。ドレインオフセット領域の不純物濃度には、耐圧を最大にする最適値が存在し、そのときの不純物濃度の最適値は、埋込SiO<sub>2</sub>層の膜厚の減少にともない増加した。それゆえ、オン抵抗を小さくするために、耐圧を確保できる範囲で埋込SiO<sub>2</sub>層の値を薄くすべきであることが明らかになった。Quasi-SOIパワーMOSFETでは、短チャネル効果はショットキーバリア効果により影響は大きく現れる。その影響は、従来型のSOIパワーMOSFETより大きく現れた。

ボディ領域のSiO<sub>2</sub>層の幅が狭くなると、サブスレッショルドスロープは急峻になり、しきい値電圧は減少した。寄生バイポーラ効果は、チャネル領域のSiO<sub>2</sub>層の幅を狭くすると、抑制することができる。

以上の検討結果をもとに、Quasi-SOIパワーMOSFETに関して、ソースとボディのコンタクトホールに2種類の矩形を結合させた、新規のデバイス構造を提案した。新規デバイス構造は、短チャネル効果と寄生バイポーラ効果の両方を抑制できることを明らかにした。この結果、耐圧30V級のQuasi-SOIパワーMOSFETの性能向上を図ることができた。

## 参考文献

- [1] H. Funaki, Y. Yamaguchi, Y. Kawaguchi, Y. Terazaki, H. Mochizuki, and A. Nakagawa, IEDM Tech. Dig., 1995, p. 967.
- [2] T. Ohno, S. Matsumoto, and K. Izumi, IEEE Trans. Electron Devices, **40**, (1993) , 2074.
- [3] S. Marchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, and R. Pinker : Proc. 3rd Int. Symp. Power Semiconductor Devices IC's (ISPSD'91) , p. 31.
- [4] S. Matsumoto, T. Yachi, H. Horie, and Y. Arimoto, IEDM Tech. Dig., 1996, p. 949.
- [5] S. Matsumoto, I.-J. Kim, and T. Yachi, IEEE Electron Device Lett., **15**, (1995) ,p. 402.
- [6] I. Yoshida, IEEE Trans. Electron Devices, **ED-27**, (1980) , p. 395.
- [7] S. Matsumoto, T. Yachi, H. Horie, and Y. Arimoto, IEEE Trans. Electron Devices, **45**, ( 1998) , p. 105.
- [8] S. Matsumoto, I.-J. Kim, T. Fukumitsu, T. Sakai, and T. Yachi, IEEE Trans. Electron Devices, **43**, (1996) , p. 746.
- [9] H. Kurino, T. Hashimoto, K. Hata, H. Kiba, Y. Yamaguchi, T. Nishimura, and M. Koyanagi, Ext. Abst. 1992 Int. Conf. Solid State Devices Materials (SSDM'92) , p. 61.



## 第8章 まとめ

21世紀を迎え、線幅100 nm以下のいわゆるナノスケールMOSFETが実現されようとしている。ナノスケールMOSFETを実現するために、多くの新技術が検討されている。その中でも、SOI技術は、微細化によってチャネル容量が削減できるなど、通常のSi基板を置き換えることで性能向上が図れることから、ナノスケールMOSFETへの適用が期待されている。しかし、SOI技術は、これまで長い歴史がありながら、基板、プロセス、デバイスの各技術においてバルクSi基板並の精度を満足させることが難しく、実用化に至っていない。こうした背景のもと、本論文ではSOI構造の基板、プロセス、デバイスにわたる各技術を検討し、さらに、SOI構造特有の物理現象を解明した。

まず、SOI技術の根幹である基板技術に関して、高温、長時間のアニールの過程でおこるSi-SiO<sub>2</sub>界面の再構成について検討した。SIMOX基板のアニール過程でSi-SiO<sub>2</sub>界面に発現する正方形状構造の成長メカニズムと界面平坦化プロセスを原子間力顕微鏡により検討し、界面の平坦性を説明するモデルを提案した。

プロセス技術に関しても、SOI構造に由来する不純物分布について議論した。イオン注入された不純物は、アニール過程で、Si-SiO<sub>2</sub>界面で異常集積、偏析などの現象を起こす。SOI構造は、Si層がSiO<sub>2</sub>層にサンドイッチされた構造をしており、界面での不純物の分布の影響を受ける。アニール過程での不純物の再分布を正しく取り扱うための、「SOI構造の3層系モデル」を提案した。

上記のSOI基板、プロセス技術の検討結果をナノスケールMOSFETに適用するため、前段階の検討として、サブミクロンルールのSOIパワーIC (SOI MOSFETおよびSOIパワーMOSFETから構成) を作製した。作製したSOIパワーICは優れたデバイス特性を示し、総合してナノデバイスにまで適応できるレベルのSOI技術を確立することに成功した。本論文ではその成果について述べている。

### [1] SIMOX基板界面の平坦化 (第2章)

筆者が検討を開始した時点では、SIMOX基板のSi-SiO<sub>2</sub>界面に、面方位に依存したモホロジーが発現することは発見されていなかった。まして、モホロジー構造と高温、長時間のアニールによる界面の平坦化との関係などは知られていなかった。

本章では、高温、長時間アニールの過程でおこる Si-SiO<sub>2</sub> 界面の再構成について検討した。SIMOX 基板のアニール過程で Si-SiO<sub>2</sub> 界面に発現する正方形状構造の成長メカニズムと界面平坦化プロセスを AFM により検討し、界面の平坦性を説明するモデルを提案した。筆者は、アニールの初期過程では結合が、十分時間が経過した後では酸素原子の拡散が、それぞれ、正方形状構造の成長や界面平坦化の駆動力になっていることを示した。

筆者が提案したモデルでは、アニール過程で外部雰囲気中から酸素が導入された上で、界面付近の酸素の拡散によって、Si-SiO<sub>2</sub> 界面の平坦性が改善される。モデルをとりいれた時間依存の Guintzburg-Landau 方程式を計算した結果は、Si-SiO<sub>2</sub> 界面の平坦化をよく説明した。すなわち、シミュレートした Si-SiO<sub>2</sub> 界面の正方形状構造の高さは、アニールの初期段階で急激に減少し、十分時間が経過した後では飽和することを示した。シミュレーション結果は、Si-SiO<sub>2</sub> 界面の酸素原子の拡散は界面の平坦化の主な駆動力であることを示した。こうした結果をもとに、Si-SiO<sub>2</sub> 界面が十分に平坦化された SIMOX 基板上に、単電子トランジスタなどナノスケールのデバイスが作製されるようになった。

## [2] SOI 構造中の不純物分布 (第 3 章)

本章では、薄層 SOI 構造の不純物分布を議論し、アニール過程での不純物の再分布を正しく取り扱うため、「SOI 構造の 3 層系モデル」を提案した。本モデルにより、薄層 SOI 構造中の不純物分布のシミュレーション結果は実験結果とよく一致した。この結果をもとに、SOI パワー MOSFET の電気特性を予想し、本モデルの有効性を示した。また、不純物の interlayer 中のトラップサイトによる捕獲が、アニールの初期段階で起こることが示唆された。本提案モデルは、薄層 SOI 構造で顕著にみられる「不純物の抜け」に関しても現象をよく再現した。

## [3] SOI 構造の上部 Si 層への裏面からの酸化現象 (第 4 章)

本章では、SOI 構造の上部 Si 層への裏面からの酸化現象 (対向酸化) について検討した。実験結果から、SOI 基板は熱酸化の過程で、表面熱 SiO<sub>2</sub> 層だけでなく埋込 SiO<sub>2</sub> 層も、膜厚が増加した。この現象のメカニズムは、上部 Si 層を透過する酸素の拡散を考慮に入れた Deal-Grove の酸化モデルの拡張によって解釈することができた。さらに、この結果は酸素の同位体を用いた酸化実験によって確かめられた。

こうした知見は、ナノスケール MOSFET を作製する上で、SOI プロセス上の重要な知見として利用されている。特に、対向酸化現象は、その後、「パタン依存酸化」へと発展し、単電子トランジスタの作製に利用されている。

#### [4] SOI MOSFET でのバンド間トンネル電流 (第 5 章)

本章では、バンド間トンネル電流の埋込チャネル型 SOI MOSFET の膜厚依存性を検討した。実験結果から、オフ状態でのバンド間トンネルに由来するドレイン電流は、上部 Si 層の膜厚の減少にともない増加することを示した。2次元デバイスシミュレーションによる解析から、上部 Si 層厚の減少により表面電界強度が増加することが示された。上部 Si 層厚に対する不純物分布を考慮すれば、バンド間トンネル電流特性を定量的に説明できることを明らかにした。

現在、SOI 構造を利用し、線幅数十 nm 級のナノスケール MOSFET の実用化を目指して検討が進められている。このようなデバイスにおいて、高電界下でのデバイス内部の物理現象を検討することは、ナノスケール MOSFET を動作させる上で重要な意味を持つ。

#### [5] RSDB 法により作製した SOI パワー IC の特性 (第 6 章)

本章では、第 5 章までの SOI 基板、プロセス技術の検討結果をナノスケール MOSFET に適用するための前段階の検討として、サブミクロンルールの SOI パワー IC (SOI MOSFET および SOI パワー MOSFET から構成) を作製した。SOI パワー IC として、デバイス特性だけでなく、作製方法である RSDB 法を含めて評価した。

RSDB 法を SOI パワー IC に適用することにより、埋込  $\text{SiO}_2$  層厚をパワー MOSFET と nMOSFET で、それぞれ最適な値を選択することができた。RSDB 法を用いて作製した SOI パワー MOSFET は、SOI 基板を用いて作製された従来型の SOI パワー MOSFET に比べ、しきい値電圧が基板バイアスの影響を受けないなどの優れた特性を示した。

#### [6] RSDB 法により作製した Quasi-SOI パワー MOSFET の高性能化 (第 7 章)

本章では、SOI デバイスの特性を向上させる構造として Quasi-SOI 構造を用いた例を示した。デバイス構造パラメータを最適化することにより、デバイス特性を向上させた。埋込  $\text{SiO}_2$  層の膜厚とドレインオフセット領域の不純物濃度の間の相関を示すとともに、短

チャンネル効果、寄生バイポーラ効果の両方を抑制できる新規のデバイス構造を提案した。

本論文で述べた各種の検討を開始した時点では、SOI基板の製造方法には、大別してSIMOX法と貼り合わせ法とがあり、技術的には一長一短が見られた。特に、SIMOX法に関しては、イオン注入という物理的な膜厚制御性を持つという原理的な有利性はあったが、当初は、Si-SiO<sub>2</sub>界面の平坦性に課題があった他、埋込SiO<sub>2</sub>層の膜厚を任意に選ぶことができないことからデバイスの耐圧特性等で不利な面があり、実用化は疑問視されていた。しかしながら、Si-SiO<sub>2</sub>界面の評価にAFMを導入、さらにはスケーリング解析などの解析手法を取り入れたことによって、界面の平坦性を定量的に把握することができるようになった。こうしたことを契機に、それまで経験的に高温、長時間のアニールがSi-SiO<sub>2</sub>界面の平坦性に有効であると知られていたことが定量的に確認され、より高温、高濃度酸素を用いた酸化(ITOX)によって、さらなるSi-SiO<sub>2</sub>界面の平坦性につながっていった。現在では、SOI基板を用いてCPUが商品化されたり、ナノスケールMOSFET用基板、さらには単電子デバイス用基板として検討されるほど、ナノスケールのデバイス実現のためのキーテクノロジーとして、広く利用されるようになっている。

本検討を進めるにあたり、筆者の興味は、「物質の内部で、どのような物理現象が起こっているか。また、その現象はどのような原理に由来するのか。」ということにあった。そのため、シミュレーションを用い、理論面から実験結果を検証することを重視して検討を進めた。理論面からの検討に関しては、市販のデバイスシミュレータを用い、デバイスの動作特性を解析した(第5章、第6章、第7章)。SOI構造の持つ特殊性ゆえに、市販のプロセス・デバイスシミュレータでは、十分な解析が行えないことが多々あり、そのため、既存の理論を拡張したり、SOI構造のためのモデルを提案した。具体的には、SOI構造での不純物分布モデルの提案と市販プロセスシミュレータでのデバイス特性の確認(第3章)、Deal-Groveの酸化モデルのSOI基板の内部酸化への拡張(第4章)、時間依存のGuintzburg-Landau方程式を用いた界面の平坦性の検討(第2章)である。

最後に、SOI構造を一言で表現するなら、「Si基板内部にSiO<sub>2</sub>層を形成することによって、上部Si層が基板と分離された構造」と言うことができる。さほど複雑な構造とも言

えない SOI 構造が、ある時は、ミクロンサイズのモホロジーを見せ、またある時は安定と考えられていた  $\text{SiO}_2$  層が外部雰囲気酸素と激しく交換反応を起こし、さらに、バルク Si 基板と同じ物性定数を持つにも関わらずデバイスの性能を向上させてしまうなど、筆者に、様々な物理現象を見せてくれた。

SOI 技術は、ナノスケール MOSFET の実用化のために、今後も発展が期待されるが、また、新たな物理現象を見せてくれることを期待したい。

## 謝辞

本論文をまとめるにあたり、学位論文作成から審査までのあらゆる面で、終始懇切なる御指導と御助言を賜りました静岡大学電子工学研究所 田部道晴教授に心より感謝いたします。また、本論文に関して、種々の有益な御討論、御助言を頂きました静岡大学工学部 福家俊郎教授、静岡大学電子工学研究所 三村秀典教授、川人祥二教授、池田浩也助教授に深く感謝いたします。

本論文は、1993年4月から1999年9月の6年間、NTT LSI研究所ナノエレクトロニクス研究部（現物性科学基礎研究所先端デバイス研究部）および入出力システム研究所エネルギー研究部（現環境エネルギー研究所エネルギーシステムプロジェクト）において行われた研究の成果をまとめたものであります。本研究を遂行するに当たり、多くのご指導ご鞭撻を頂き、本論文をまとめる機会を与えて下さいました環境エネルギー研究所

中山論プロジェクトマネージャに心から感謝致します。また、本研究を遂行するにあたり、生活環境研究所 山田一郎 所長（現東京大学教授）、基礎研究所 牧野孝裕 先端デバイス研究部長（現村田製作所）、村瀬克実 先端デバイス研究部長（現NTTエレクトロニクス）、荻野俊郎 先端デバイス研究部長（現横浜国大教授）、高橋庸夫 先端デバイス研究部長には、全般にわたって数々のご指導を頂きました。ここに感謝致します。

本研究に関する数々の実験、解析の遂行において、活動をともにした多くの方々の御協力と御支援がありました。主にSIMOX基板技術・プロセス技術・微細デバイス技術に関して、生津英夫グループリーダー、大村泰久主幹研究員（現関西大学教授）、堀口誠二主幹研究員、永瀬雅夫主幹研究員、影島博之主幹研究員、宇津木靖主任研究員（現青森大学教授）、小野行徳主任研究員、庄司正成研究主任、中島靖之研究主任を始めとする旧ナノエレクトロニクス研究部、先端デバイス研究部の皆さまに感謝致します。また、パワーデバイスの研究に関して、谷内利明グループリーダー（現東京理科大学教授）、酒井達郎グループリーダー、三野正人グループリーダー、松本聡主任研究員、平岡靖史社員を始めとする旧エネルギー研究部の皆さまに感謝致します。

本研究は、以上の方々をはじめとして多くの方々の御支援と御協力があっはじめて遂行できたのであり、改めてここに感謝の意を捧げる次第です。

## 研究業績目録

### ・主業績

#### 学術論文

1. Y. Takahashi, T. Ishiyama, and M. Tabe, "Counter oxidation of superficial Si in Single-crystalline Si on SiO<sub>2</sub> Structure ", Appl.Phys.Lett. **65**, 2987 (1994) .
2. T. Ishiyama and M. Nagase, "Examination of Correlation of Surface Morphologies of Top-Silicon and Buried Oxide Layers in High-Temperature-Annealed Separation by IMplanted OXYgen Wafers ", Jpn. J. Appl. Phys. **34**, 6019 (1995) .
3. T. Ishiyama and Y. Omura, "Influences of Superficial Si Layer Thickness on Band-to-Band Tunneling Current Characteristics in Ultra-Thin n-Channel Metal-Oxide-Semiconductor Field-Effect-Transistor by Separation by IMplanted OXYgen (nMOSFET/SIMOX) ", Jpn. J. Appl. Phys. **36**, L264 (1997) .
4. T. Ishiyama, S. Matsumoto, Y. Hiraoka, T. Sakai, T. Yachi, I. Yamada, A. Itoh and Y. Arimoto, "Application of Reversed Silicon Wafer Direct Bonding to Thin-Film SOI Power ICs", Jpn. J. Appl. Phys. **37**, 1300 (1998) .
5. S. Matsumoto, Y. Hiraoka, T. Ishiyama, T. Sakai, T. Yachi, I. Yamada, A. Ito, Y. Arimoto, "Study on the device characteristics of a quasi-SOI power MOSFET fabricated by reversed silicon wafer direct bonding", IEEE T-ED **45**, 1940 (1998) .
6. T. Ishiyama and Y. Omura, "Analysis of Interface Microstructure Evolution in Separation by IMplanted OXYgen (SIMOX) Wafers", Jpn. J. Appl. Phys. **39**, 4653 (2000) .
7. T. Ishiyama, M. Nagase, and Y. Omura, "Evolution of step-terrace structure as Si-SiO<sub>2</sub> interface in SIMOX substrate during annealing ", Applied Surface Science, **190**, 16 (2002) .

#### 国際会議

1. M. Nagase, T. Ishiyama, K. Murase, "Surface Morphology of SIMOX-Si Layers Characterized using Atomic Force Microscopy", Proc. of the 6th int. Symp. on Silicon-on-Insulator Tech. and Dev., (1994) p.191.
2. T. Ishiyama and Y. Omura, "Enhancement and Suppression of Band-to-Band Tunneling Current

in Ultra-Thin nMOSFETs/SIMOX", Extended Abstracts of 1996 Int. Conf. on Solid State Devices and Materials, (1996) p. 314.

3. T. Ishiyama, S. Matsumoto, Y. Hiraoka, T. Sakai, Y. Yachi, A. Itoh, and Y. Arimoto, "Application of Reversed Silicon Wafer Direct Bonding to SOI power ICs", Extended Abst. of 1997 Int. Conf. on Solid State Devices and Materials, (1997) p. 162.

4. S. Matsumoto, T. Ishiyama, Y. Hiraoka, T. Sakai, T. Yachi, A. Itoh, Y. Arimoto, "Device characteristics of a Quasi-SOI power MOSFET", Abst. of 10th Int. Symp. on Power Semiconductor Devices & ICs, (1998) p. 29.

5. S. Matsumoto, T. Ishiyama, Y. Hiraoka, T. Sakai, T. Yachi, H. Kamitsuna, M. Muraguchi, "A novel high-frequency Quasi-SOI power MOSFET", Tech. Dig. IEDM (1998) p. 945.

6. T. Ishiyama, S. Matsumoto, T. Yachi, and W. Fichtner, "A new model for dopant redistribution in a power SOI structure", Abst. of 11th Int. Symp. on Power Semiconductor Devices & ICs, (1999) p. 217.

7. T. Ishiyama and Y. Omura, "Analysis of the interface roughness evolution in the SIMOX structure", Int. Symp. on Surface Sci. for Micro-and Nano-Device Fabrication, (1999) p. 85.

8. T. Ishiyama, M. Nagase, and Y. Omura, "Evolution of step-terrace structure at Si-SiO<sub>2</sub> interface of SIMOX substrate during annealing", 8th Int. Conf. on the Formation of Semiconductor Interfaces", (2001) p. 46.

#### 研究会、学会発表等

1. 石山俊彦、永瀬雅夫、村瀬克実、

"AFM による SIMOX 基板の観察 (1)",

第 54 回応用物理学会学術講演会 (1993、秋季) 29p-P-9、p. 483.

2. 永瀬雅夫、石山俊彦、村瀬克実、

"AFM による SIMOX 基板の観察 (2)",

第 54 回応用物理学会学術講演会 (1993、秋季) 29p-P-10、p. 483.

3. 石山俊彦、永瀬雅夫、村瀬克実、

"SIMOX 基板界面形状への酸素の影響",

第 41 回応用物理学会関係連合講演会 (1994、春季) 30p-ZQ-10、p. 772.



4. 永瀬雅夫、石山俊彦、村瀬克実、  
"SiO<sub>2</sub>-Si 界面の高温での挙動",  
第 41 回応用物理学会関係連合講演会 (1994、春季) 30p-ZQ-11、p. 772.
5. 石山俊彦、永瀬雅夫、村瀬克実、  
"SIMOX 基板における Si/SiO<sub>2</sub> 界面のモホロジー",  
電子情報通信学会 信学技報 SDM94-15 (1994-04)、p. 101.
6. 石山俊彦、大村泰久、  
"薄層 nMOSFET/SIMOX における band-to-band トンネル電流特性：表面 Si 層厚の影響",  
第 56 回応用物理学会学術講演会 (1995、秋季) 26a-ZW-9、p. 627.
7. 石山俊彦、大村泰久、  
"薄層 nMOSFET/SIMOX における band-to-band トンネル電流特性 (2)",  
第 43 回応用物理学会関係連合講演会 (1996、春季) 26p-E-6、p. 640.
8. 田部道晴、高橋庸夫、石山俊彦、永瀬雅夫、小野行徳、  
"極薄 SIMOX 界面の熱的挙動 - 対向酸化現象を中心として -",  
第 43 回応用物理学会関係連合講演会 (1996、春季) 27p-ZN-1、p. 1383.
9. 永瀬雅夫、生津英夫、栗原健二、石山俊彦、高橋庸夫、村瀬克実、牧野孝裕  
"Si ナノデバイスにおける構造サイズ揺らぎの定量評価",  
電子情報通信学会 信学技報 SDM96-5 (1996-04)、p. 29.
10. 石山俊彦、大村泰久、  
"ダブルゲート SOI デバイスにおける band-to-band トンネル電流特性",  
第 57 回応用物理学会学術講演会 (1996、秋季) 7p-R-12、p. 606.
11. 石山俊彦、松本聡、酒井達郎、谷内利明、  
"デバイス反転型薄層 SOI パワー MOSFET の耐圧特性",  
第 58 回応用物理学会学術講演会 (1997、秋季) 2p-G-7、p. 742.
12. 松本聡、平岡靖史、石山俊彦、酒井達郎、谷内利明、伊藤昭夫、有本由弘、  
"デバイス反転型シリコンウエハ直接貼り合わせ法による薄層 SOI パワー IC の基本特性",  
電気学会電子デバイス 半導体電力変換合同研究会資料 EDD-97-59 (1997) p. 19.
13. 松本聡、平岡靖史、石山俊彦、酒井達郎、谷内利明、伊藤昭夫、有本由弘、  
"Quasi-SOI パワー MOSFET の素子特性"  
第 45 回応用物理学会関係連合講演会 (1998、春季) 30p-YB-10、p. 887.

14. 松本聡、平岡靖史、石山俊彦、酒井達郎、谷内利明、伊藤昭夫、有本由弘、  
"Quasi-SOI パワー MOSFET におけるショートチャネル効果",  
第 58 回応用物理学会学術講演会 (1998、秋季) 15a-P9-14、p. 779.
15. 石山俊彦、松本聡、谷内利明、  
"SOI 基板におけるリンの再分布モデル",  
第 58 回応用物理学会学術講演会 (1998、秋季) 15p-ZD-5、p. 807.
16. 石山俊彦、松本聡、谷内利明、  
"SOI 構造におけるリン不純物の再分布モデル",  
電子情報通信学会 信学技報 SDM98-150 (1998-10)、p. 25.
17. 松本聡、石山俊彦、平岡靖史、酒井達郎、谷内利明、上綱秀樹、村口正弘、  
"Quasi-SOIRF パワー MOSFET",  
第 46 回応用物理学会関係連合講演会 (1999、春季) 30p-ZM-11、p. 936.
18. 石山俊彦、松本聡、谷内利明、  
"SOI 基板における不純物再分布モデル",  
第 46 回応用物理学会関係連合講演会 (1999、春季) 29a-ZQ-1、p. 954.
19. 石山俊彦、大村泰久、  
"SIMOX 基板界面ラフネス緩和の解析",  
第 60 回応用物理学会学術講演会 (1999、秋季) 4p-ZL-3、p. 780.
20. 石山俊彦、松本聡、酒井達郎、谷内利明、  
"デバイス反転型シリコンウエハ直接貼り合わせ法により作製した薄層 SOI パワー  
MOSFET のホットキャリア効果",  
電気学会電子デバイス 半導体電力変換合同研究会資料 EDD-99-105 (1999) p. 71.