

FPGAによるCMOSイメージセンサ駆動システムの紹介

メタデータ	言語: jpn 出版者: 公開日: 2012-04-11 キーワード (Ja): キーワード (En): 作成者: 高澤, 大志 メールアドレス: 所属:
URL	https://doi.org/10.14945/00006555

FPGA による CMOS イメージセンサ駆動システムの紹介

高澤 大志

電子工学研究所 技術部

1. はじめに

図1. CMOS イメージセンサ駆動構成を示す。CMOS イメージセンサを駆動し、評価するまでには評価ボードの設計、FPGA によるデジタルタイミング信号の出力、チップからの出力データをキャプチャするソフトの設計など、たくさんの作業が必要となる。その必要なシステムの紹介と実際に開発した部分について報告する。実際に駆動するシステムを図2に示す。

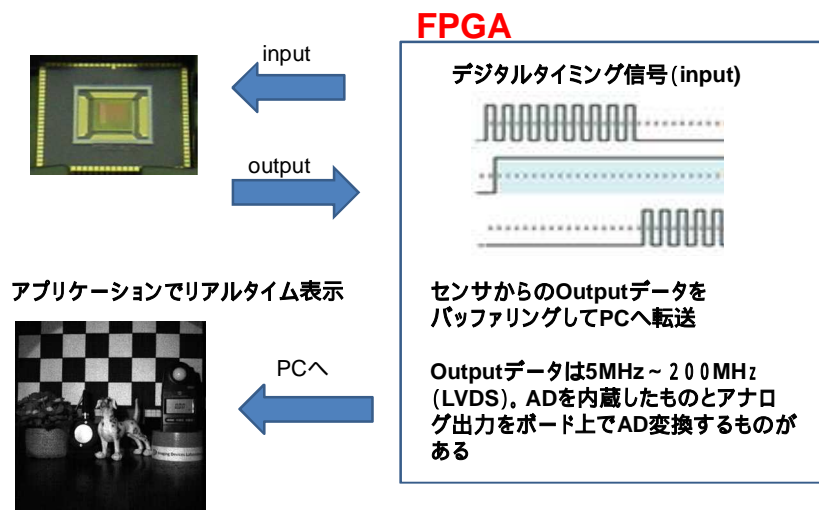


図1: CMOS イメージセンサ駆動構成



図2: CMOS イメージセンサ駆動システム

2 . 概要

研究室で開発した CMOS イメージセンサを駆動するまでには評価ボードの設計、FPGA によるデジタルタイミング信号の出力、チップからの出力データをキャプチャするソフトの設計が必要となる。イメージセンサチップを試作しても実際に評価するまでには学生にとって非常にハードルが高い。そこで学生がイメージセンサの設計、評価に注力できるような汎用的な評価システムについて紹介する。まず、イメージセンサに外部から与えるロジックタイミング信号の設計は FPGA ボード（ヒューマンデータ社）を使い行った。FPGA で作るタイミング信号用の Verilog-HDL 記述は汎用的に使える設計とすること。その際に研究室の学生がイメージセンサの評価に注力できるようになるべくシンプルで分かり易い作りとした。次に、画像のリアルタイム表示及びデータの保存ソフトの設計は microsoft 社の visualstudio2008 を使った。FPGA ボードと評価ボード、アプリケーションを組み合わせるイメージセンサを駆動した。

3 . FPGA によるデジタルタイミング信号の設計

汎用 FPGA ボードを使用し、デジタルタイミング信号の設計を行った。Verilog-HDL で記述した構成はカウンターと ROM で簡単なデジタルタイミング信号が出力できるような作りとなっている。ROM は Quartus (Altera 社) 標準のメガファンクションから作成した。この構成により、ROM のコード作成とイメージセンサの画素 (縦 × 横) サイズを指定する VCOUNT 数と HCOUNT 数を修正するだけで簡単にさまざまな種類のタイミング信号を作成することができる。この構成の場合、ROM に初期コードを指定しておかなければならないため、ROM コードファイルを作成する必要がある。その ROM ファイルを作成することも少々難易度が高いため、簡単に EXCEL でタイミングチャートを作るだけで、それを変換してコードを作ることができる perl スクリプトを用意し、自動的に ROM コードを生成できるものとなっている。

実際にすべてのコードを記述した Verilog-HDL を Quartus 上でコンパイルしエラーがないことを確認したらシミュレーションで実際にクロックを入力し、タイミング信号が正しいかを確認する。そして実機に Usb-blaster から書き込みを行い、オシロスコープなどでタイミング信号が正しく出力されているかを確認した。図 3 は実際に FPGA より出力されたデジタルタイミング信号である。

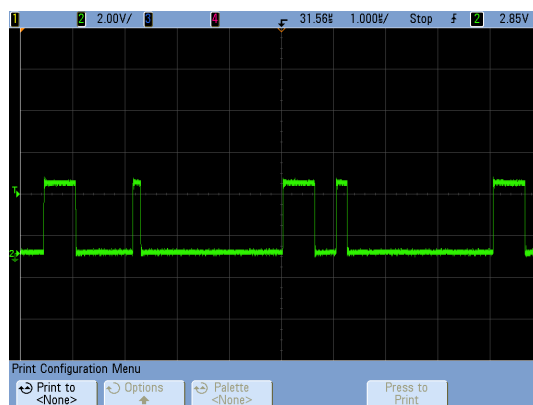


図 3 :デジタルタイミング信号の出力

4. 動画像表示ソフト

CMOS イメージセンサに FPGA から駆動信号を入力したらセンサからの出力データを並べてリアルタイムで表示するソフトが必要になる。ここでは Framelink という画像処理カードを使用した。ソフトの設計は Microsoft 社の visual studio2008 によって Framelink 標準 API を使い、測定に必要な機能を追加したアプリケーションを構築した。使用した言語は visualC++ である。

図 4 は動画像表示アプリケーションの GUI である。デジタルゲイン調整やガンマ補正の機能、また、データの保存、シリアルインターフェースでイメージセンサチップ内のレジスタの書き換えもできるようになっている。この Framelink でのインターフェースができる前は、ロジックアナライザで評価ボードに pin を立ててそこからチップの出力データを抽出するという効率の悪い作業を行っていた。そのため、CMOS イメージセンサと FPGA、動画像表示ソフトを組み合わせることで非常に評価効率のよいシステムができたと考えられる。

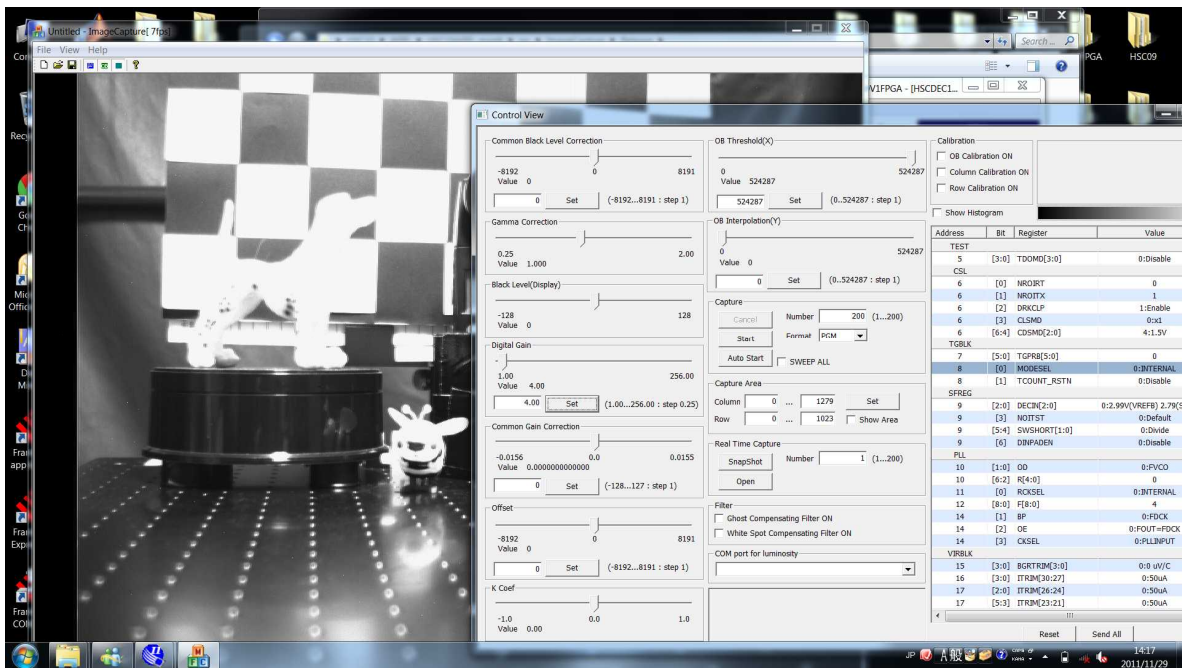


図 4: 動画像表示アプリケーション

5. チップ内蔵タイミングジェネレータ回路の設計

FPGA によって外部からタイミング信号をチップに与えてあげることは、評価及びデバックすることによって非常に重要な要素ではあるが、その分チップのピン数が増えてしまうことや製品化などを考えている場合に完成品を小さくできないなどのデメリットがある。それに対してチップ内部に面積に余裕のある場合、内部にタイミングジェネレータ回路を内蔵するとピン数を減らすことができる。また、外部から与える信号も簡単なものとするなどメリットは大きい。そこで、高感度イメージセンサに内蔵したタイミング生成回路について報告する。

内部に ROM を作るとミスが起きた時にチップが動かなくて評価できない事態に陥らないように RAM でタイミングの書き換えが可能につくりとした。図 5 のように RAM とシフトレジスタ、デコーダで構成された簡単な作りとなっている。この回路の実現により FPGA での制御が簡単になり、PAD から入力するタイミング信号を約 30 ピン減らすことができた。

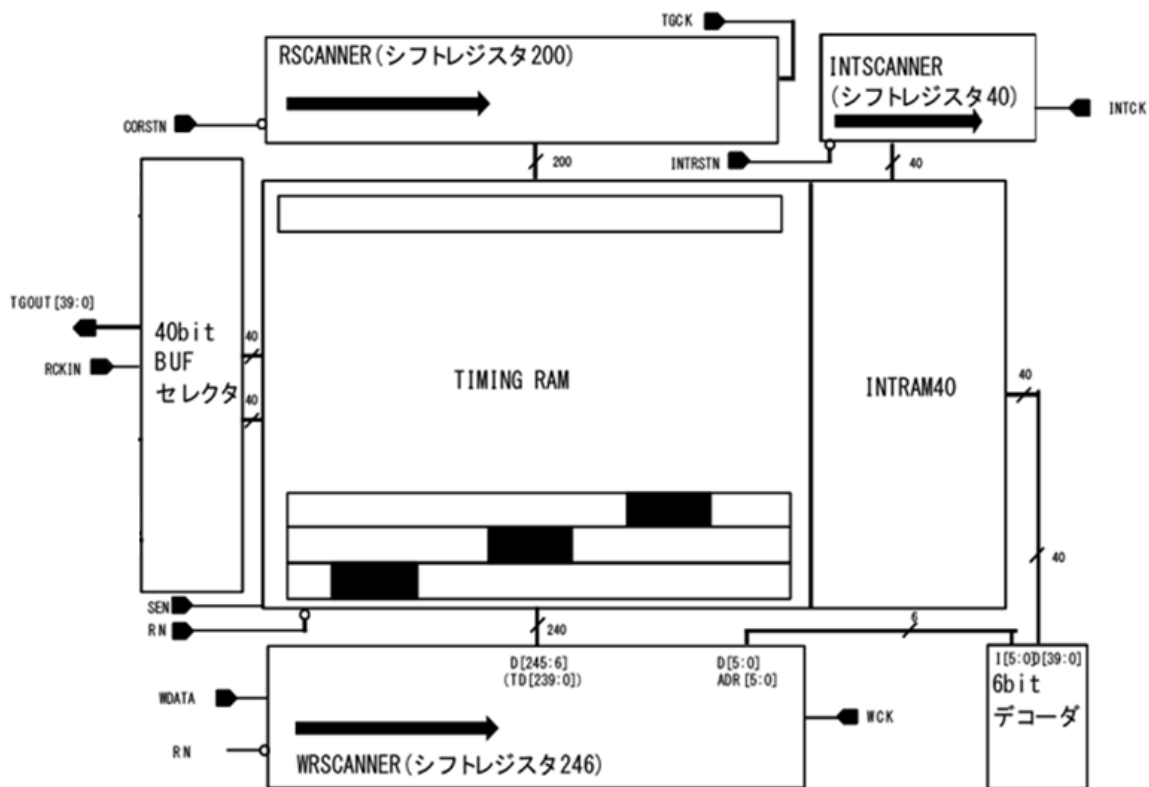


図5： タイミングジェネレータ回路構成

6. まとめと展望

CMOS イメージセンサを駆動するこの汎用的なシステムの構成により、イメージセンサのチップができてから評価できるまでの時間が短縮されたと考えられる。今後の展望としては、評価ボードで汎用的なものを作ればさらに評価効率が上がると考えられる。

また、内蔵タイミングジェネレータの設計により10本の入力で40本のデジタルタイミング信号を生成できるためpin数を30本削減することができた。