

LIM系回路シミュレータの高速化に関する研究

メタデータ	言語: ja 出版者: 静岡大学 公開日: 2016-06-15 キーワード (Ja): キーワード (En): 作成者: 岡田, 慎吾 メールアドレス: 所属:
URL	https://doi.org/10.14945/00009595

静岡大学 博士論文
LIM系回路シミュレータの
高速化に関する研究

2015年 12月

大学院 自然科学系教育部
情報科学専攻

岡田 慎吾

目次

1	はじめに	5
2	三角メッシュを用いた等価回路抽出	9
2.1	ドロネー三角形分割	9
2.2	TEM	10
2.3	MTEM	13
3	従来の leapfrog 法を用いた回路シミュレーション	15
3.1	LIM	15
3.1.1	定式化	16
3.1.2	数値安定条件	16
3.2	ブロック型 LIM	17
3.2.1	節点ブロック構造における定式化	18
3.2.2	枝ブロック構造における定式化	19
3.2.3	数値安定条件	20
3.3	局所陰的 LIM	21
3.3.1	定式化	22
4	提案手法	27
4.1	マルチレート局所陰的 LIM	27
4.1.1	局所陰的 LIM における回路のマルチレート性	27
4.1.2	例題検証	29
4.2	非線形局所陰的 LIM	31
4.2.1	CMOS インバータのモデル	31
4.2.2	定式化	32
4.2.3	例題	34
4.3	局所陰的ブロック型 LIM	37
4.3.1	定式化	37
4.3.2	例題検証	40
4.4	マルチレート局所陰的ブロック型 LIM	43
4.4.1	例題検証	43
5	結論	47

謝辭	49
参考文献	54

第 1 章

はじめに

近年，電子回路の集積化の著しい進歩とともに SI (Signal Integrity) / PI (Power Integrity) や電磁妨害など，多様な電気雑音問題が深刻となっている．これらの雑音は，チップ・パッケージ・ボード等の電子回路上で予期せぬ誤作動を生じさせる原因となっている．特に，低電圧化が進む電源分配網においては，動作周波数の高い CMOS インバータから発生する SSN (simultaneous switching noise) が電子回路の SI / PI に関する数多くの問題を引き起こす原因となっている [1, 2]．そのため，電子回路内の SI / PI を保証するために，電子回路設計の早い段階において電源分配網を正確に解析しなければならない．回路シミュレータを用いて電源分配網の解析を行う場合，まず，電源分配回路網の形状や特性から等価回路網を抽出する．近年，等価回路網抽出手法の有効な手法の一つとして，MFD (multilayered finite-difference method) が提案されている [3, 4]．この手法は，直交メッシュを用いて，多層導体平板の RLCG 線形回路網を抽出する手法である．しかし，直交メッシュを用いて，複雑なレイアウトの配線やビア等の微細構造を含む電源分配網の物理形状を正確にモデル化するためには，極めて小さなメッシュでモデル化する必要がある，そのメッシュ数は莫大な数となる．その結果，未知変数の数が非常に多くなり，シミュレーション時間が飛躍的に増大する．この問題を解決するために，三角メッシュを用いた効率的な等価回路抽出手法として，MTEM (multilayered Triangle element method)[5, 6]，MFEM (multilayered finite element method) [7, 8] が提案されている．MTEM は，ドロネー三角形分割 [9] により生成されるドロネー三角形とその双対グラフであるボロノイ領域により物理構造のモデル化を行う手法である．一方，MFEM は，三角メッシュで分割したあと，電磁界解析手法である FEM (finite element method)[10, 11, 12] の基底関数に基づいて物理構造のモデル化を行う手法である．三角メッシュは直交メッシュと比較して，局所的にメッシュサイズを変更することが容易であるため，複雑な構造や微細形状のモデル化に適している．さらに，細かいメッシュが必要となる部分にのみ局所的にメッシュサイズを変更するため，未知変数の数を大幅に削減することが可能である．

一方，高速な回路の過渡解析手法の一つとして，LIM (latency insertion method) が提案されている [13, 14]．LIM では，節点構造と枝構造と呼ばれる構造を最小単位として構成される回路の解析に適している．しかし，各構造には，必ずリアクタンス成分が含まれていなければならない．もし，リアクタンス成分を含まない構造が存在する場

合は、元の回路の特性に影響を与えない微小なキャパシタンス、またはインダクタンスを擬似的に挿入し、解析を行う。また、LIM は、陽解法の一つである leapfrog 型の差分法に基づいているため、電磁界解析における FDTD (finite-difference time-domain) 法 [15] と同様に、解析に用いることができる時間刻み幅に制限が存在する [16, 17]。その最大時間刻み幅は、回路網の最小のキャパシタンスと最小のインダクタンスによって制限される。電源分配網から抽出される等価回路網は、一般的に、節点構造、枝構造にリアクタンス成分を含む為、LIM は、電源分配網の解析に非常に適した構造といえる。しかし、このリアクタンス成分はメッシュサイズに依存しているため、解析対象に局所的に微細な三角メッシュが存在する場合、等価回路網に微小なリアクタンス成分が含まれる事になる。結果として、微細な構造を含む電源分配網の過渡解析に従来の LIM を用いた場合、効率的な解析が困難となる。また、多層構造の電源分配網から抽出される等価回路網には、相互インダクタンス、相互キャパシタンスが多数含まれるため、従来の LIM では解析を行うことができない。

これらの LIM の問題点を解決するために手法として、ブロック型 LIM [18, 19] と局所陰解法を用いた局所陰的 LIM (locally implicit LIM) [20, 21]、マルチレート LIM [22, 23] が提案されている。ブロック LIM は、多数の相互結合素子を含む大規模回路網を過渡解析できる手法である。ブロック LIM では、相互インダクタンスと、相互キャパシタンスにより相互結合された要素をブロックとして扱い、ブロックの更新処理にのみ行列演算を用いる。局所的に行列演算を利用するため、従来の SPICE (simulation program with integrated circuit emphasis) 系シミュレータ [24, 25] と比べて非常に高速に回路の過渡解析を行うことができる。しかしながら、ブロック LIM は従来の LIM と同様に陽的な差分法である leapfrog 法に基づいているため、LIM と同様に解析に用いることができる時間刻み幅に制限が存在する。そのため、LIM と同様に、微細な構造を含む電源分配網から抽出された等価回路網のように、微小なリアクタンス成分が含まれる等価回路網の解析においては、効率的な解析を行うのが困難である。

一方、局所陰的 LIM は、局所的に微小なリアクタンス成分が含まれる等価回路網を高速に過渡解析可能な手法である。局所陰的 LIM では、解析対象の回路網をリアクタンス成分の大きさに基づいて複数の部分回路に分割し、陰解法と陽解法を適切に使いつけて、未知変数の更新を行う。これにより、1 タイムステップあたりの計算コストは増加する一方、数値安定条件を大幅に緩和できるため、結果として高速な過渡解析が可能である。この局所陰解法に類似した手法として、FDTD 法の数値安定条件を緩和した HIE-FDTD (hybrid implicit-explicit FDTD) が提案されている [26, 27, 28, 29]。

マルチレート LIM は、回路のマルチレート性に着目し、リアクタンス成分の大きさに基づいて解析対象の回路網を複数の部分回路に分割を行い、それぞれの部分回路ごとに異なる時間刻み幅を用いる手法である。これにより、それぞれの部分回路ごとに適した時間刻み幅を用いることができ、総計算数を減らすことができる。この手法の類似手法として、メッシュのマルチレート性に着目することにより、FDTD 法に対してマルチレート性を取り入れたマルチレート FDTD 法 [30]、FVTD 法 [31] にマルチレート性を取り入れたマルチレート FVTD 法 [32] が提案されている。

本稿では、これらの手法をより高速化した手法を提案する。本稿の以降の構成は以下のとおりである。初めに、2 章において、三角メッシュを用いた等価回路抽出につ

いて概説する．次に，3章で従来の leapfrog 法を用いた回路シミュレーション手法について述べる，4章で，マルチレート局所陰的 LIM の提案をする．5章では，非線形局所陰的 LIM を提案する．6章では，局所陰的ブロック型 LIM，7章ではマルチレート局所陰的ブロック型 LIM の提案をする．最後に，8章で本稿の結論を示す．

第 2 章

三角メッシュを用いた等価回路抽出

回路シミュレータを用いて電源分配回路網の解析を行う場合、まず、電源分配回路網の形状や物理特性から等価回路網を抽出する必要がある。効率的な等価回路網抽出手法として、三角メッシュを用いた MTEM と MFEM が提案されている。MFEM は、FEM に用いられる基底関数に基づいて等価回路抽出をするため、その等価回路は複雑であり、また、物理的直観に基づいたものとはなっていない。一方、MTEM は、メッシュ分割法の一つであるドロネー三角形分割により生成されるドロネー三角形とその双対グラフであるポロノイ図で対象物を分割し、回路理論と電磁気学の両観点から考察することにより、等価回路を抽出する。そのため、その等価回路は物理的な直観に基づいており、また、比較的簡単なものとなる。本章では、物理的な直観に基づいてモデル化されており、また、その抽出される等価回路が比較的簡単なものとなる MTEM をに関して述べる。

2.1 ドロネー三角形分割

ドロネー三角形分割では、まず、ドロネー三角形で分割を行った後、隣接し合うドロネー三角形の外心を結ぶことにより、双対グラフであるポロノイ領域を形成する。図 2.1 に開口部が存在する電源・グラウンドプレーンをドロネー三角形とポロノイ領域で分割した図を示す。図 2.1 において、黒線はドロネー三角形を形成するドロネー図を表

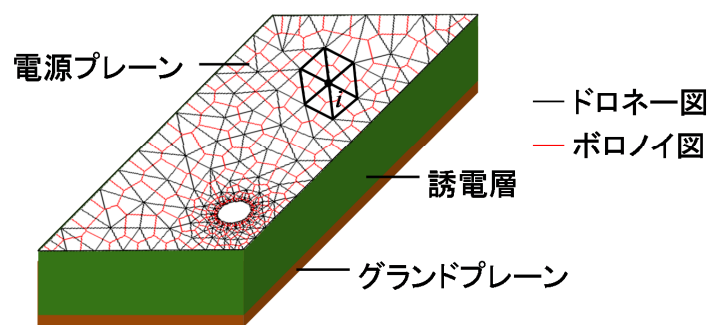


図 2.1 電源・グラウンドプレーンをドロネー図とポロノイ図で分割した図

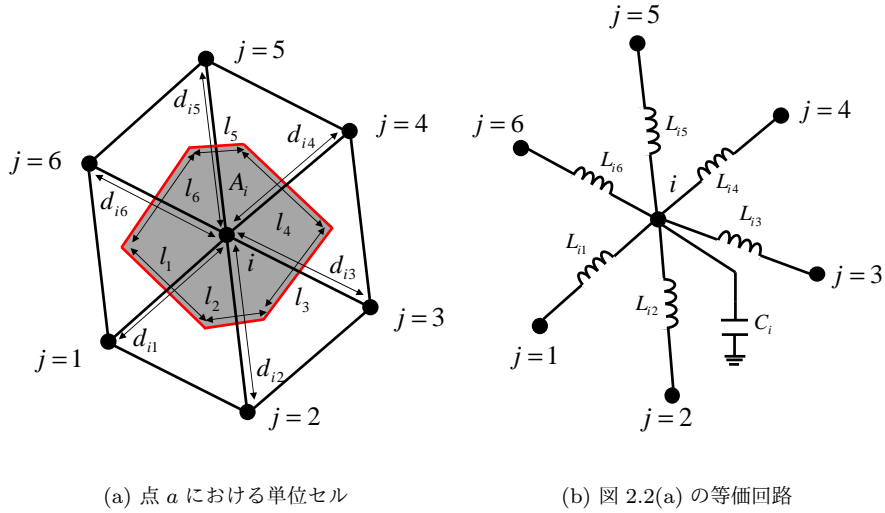


図 2.2 TEM のモデル

している．また，赤線はポロノイ領域を形成するポロノイ図を表しており，隣り合うドロネー三角形の外心を結んだ線分からなる．また，ドロネー三角形の各頂点をドロネー点，ポロノイ領域の各頂点をポロノイ点と呼ぶ．図 2.2(a) に図 2.1 のドロネー点 i における単位セルを示す．2.2(a) において， A_i はドロネー点 i を囲んでいるポロノイ領域の面積， d_{ij} はドロネー三角形の辺の長さ， l_j はポロノイ辺の長さである．ドロネー三角形とポロノイ領域の重要な性質として，ドロネー辺とポロノイ辺が互いに直交していることが挙げられる．電界と磁界は互いに直交しているため，この性質は等価回路モデルの抽出を行う際に重要な性質となってくる．

2.2 TEM

まず，回路理論の観点から考察する．プリント基板における電源分配回路網は，主に導体平行平板と，その間を満たす誘電体から成る電源・グランドプレーンによって構成されている．典型的な電源・グランドプレーンの場合，プレーン間の電気的な変化は非常に小さいため，電源・グランドプレーンの等価回路は，平面回路に近似することができる [33]．図 2.2(a) を平面回路で近似した回路図を図 2.2(b) に示す．図 2.2(b) において， C_i は，節点 i に接続している接地キャパシタンス， L_{ij} ($j = 1, 2, \dots, 5, 6$) は節点 i と節点 j に接続しているインダクタンスを表している．図 2.2 からわかるように，平面回路による近似では，ドロネー点は，接地キャパシタンス C_i が接続された節点，ドロネー辺はインダクタンス L_{ij} に対応している．図 2.2(a) にキルヒホッフの電流則 (KCL: kirchhoff's current law) を適用することにより，

$$j\omega C_i V_i + \sum_{j=1}^6 \frac{V_i - V_j}{j\omega L_{ij}} = 0 \quad (2.1)$$

が得られる．

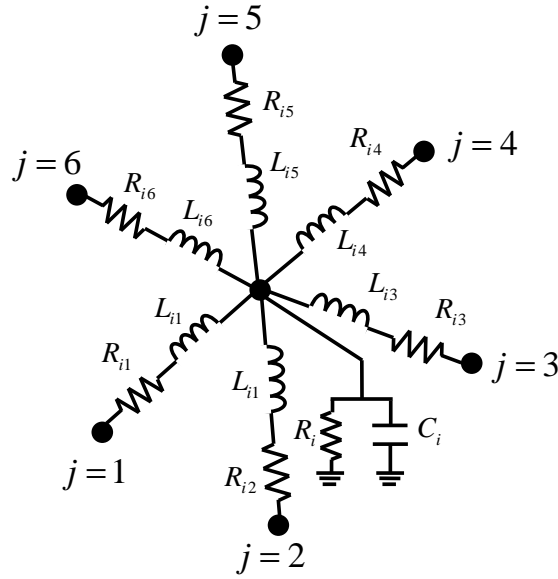


図 2.3 損失を考慮した等価回路

次に、電磁気学の観点から考察する．図 2.2(a) のポロノイ領域の境界である閉経路 $a-b-c-d-e-f-a$ にアンペア・マクスウェルの法則を適用すると

$$\oint_{abcdef} \mathbf{H} \cdot d\mathbf{l} = \iint_{A_i} (\mathbf{J} + j\omega\mathbf{E}) \cdot d\mathbf{s} \quad (2.2)$$

が得られる．プレーン間の電気的な変化は非常に小さいため、電圧分布関数は $V_{(x,y)}$ と近似でき、閉曲面 A_i を貫く電界 \mathbf{E} は、

$$\mathbf{E} = -\frac{V_{(x,y)}}{h} \mathbf{z} \quad (2.3)$$

と表せる．また、ファラデーの法則

$$\nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} \quad (2.4)$$

と式 (2.3) より、磁界 \mathbf{H} は、

$$\mathbf{H} = \frac{1}{j\omega\mu h} (\nabla V_{(x,y)} \times \mathbf{z}) \quad (2.5)$$

と表せる．ドロネー辺とポロノイ辺は互いに直交であることを考慮すると、式 (2.2) は

$$-\frac{1}{j\omega\mu h} \sum_{j=1}^6 \left\{ (V_i - V_j) \frac{l_{ij}}{d_{ij}} \right\} = j\omega\varepsilon \frac{V_i}{h} A_i \quad (2.6)$$

となる [34, 35]．ここで、 ε 、 μ 、 h は、それぞれ電源・グランドプレーン間の誘電体の誘電率、透磁率、厚さである．式 (2.1) と式 (2.2) を比較することにより、キャパシタンスとインダクタンスの各素子値は

$$C_i = \varepsilon \frac{A_i}{h} \quad (2.7)$$

$$L_{ij} = \mu h \frac{d_{ij}}{l_{ij}} \quad (2.8)$$

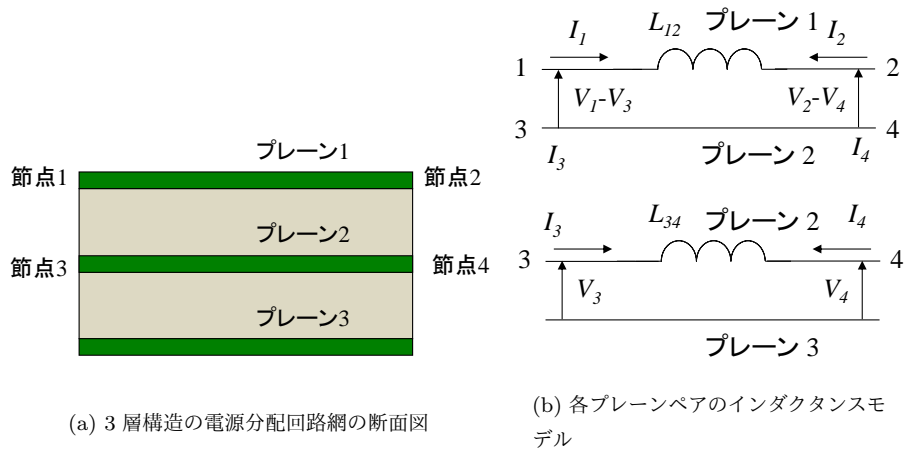


図 2.4 3層構造の電源分配回路網

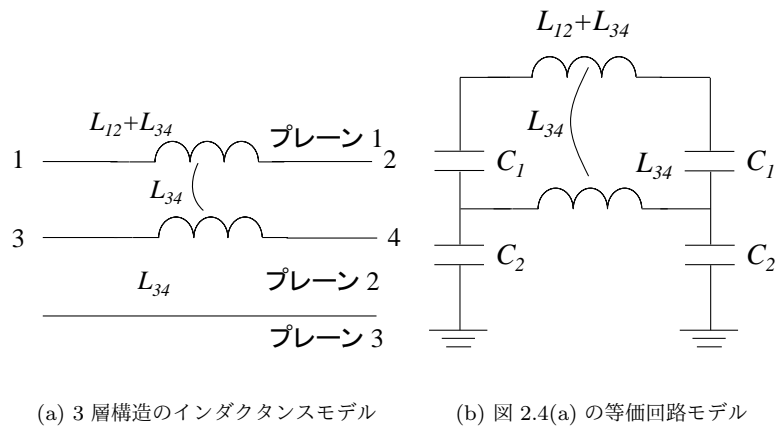


図 2.5 3層構造の電源分配回路網の等価回路モデル

と計算できる．式 (2.7), (2.8) より，キャパシタンスとインダクタンスはそれぞれポロノイ領域の面積，ドロネー辺に比例しており，メッシュのサイズが小さいと微小なりアクタンス成分が等価回路網に含まれることがわかる．図 2.2(b) は，無損失の場合の等価回路であり，損失を考慮した等価回路は図 2.3 となる．図 2.3 において，キャパシタンスと並列接続のアドミタンスは誘電層の損失，インダクタンスと直列接続の抵抗は導体の損失を表しており，その素子値はそれぞれ

$$G_i = \frac{\sigma_d}{h} A_i \quad (2.9)$$

$$R_{ij} = \frac{1}{\sigma b} d_{ij} l_{ij}, \quad (2.10)$$

$$b = \begin{cases} t, & t < \delta_c \\ \delta_c, & t > \delta_c, \quad \delta_c = \sqrt{\frac{2}{\mu\sigma\omega}} \end{cases}$$

と計算できる．ここで， σ_d は誘電層の導電率， σ ， t ， δ_c はそれぞれ導体の導電率，厚さ，表皮深さである．

2.3 MTEM

多層構造の電源分配回路網は複数の電源・グランドプレーンが積み重なった構造となっている．その等価回路網は，電源・グランドプレーンペア間の垂直方向の電磁気的な結合をモデル化することにより得られる．多層構造の電源分配回路網の等価回路を考えるために，図 2.4(a) に示す 3 層構造の電源分配回路網を考える．図 2.4 は，プレーン 1，2，3 が積み重なっている 3 層構造の電源分配回路網となっているが，プレーン 1 とプレーン 2 からなるプレーンペアとプレーン 2 とプレーン 3 からなるプレーンペアが積み重なった構造と考えることができる．そのため，図 2.4(a) は，図 2.4(b) に示すように 2 組のプレーンペアに分解できる．図 2.4(b) において，プレーン 1 とプレーン 2 からなるプレーンペアのモデルではプレーンペア 2，プレーン 2 とプレーン 3 からなるプレーンペアのモデルはプレーン 3 をそれぞれ基準面と想定している．それぞれのプレーンペアにおける基準面が異なっているため，お互いのモデルに共通する節点を接続すると， L_{34} が短絡となってしまい，正しい等価回路モデルが得られない．正しい等価回路モデルを得るためには，indefinite admittance matrix[36, 37] を用いて，それら 2 つのモデルの基準面を一つの共通な基準面に揃える必要がある．プレーン 1 とプレーン 2 間のインダクタンス L_{12} に indefinite admittance matrix を適用すると

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} Y_1 & -Y_1 & -Y_1 & Y_1 \\ -Y_1 & Y_1 & Y_1 & -Y_1 \\ -Y_1 & Y_1 & Y_1 & -Y_1 \\ Y_1 & -Y_1 & -Y_1 & Y_1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix}, \quad (2.11)$$

$$Y_1 = \frac{1}{j\omega L_{12}}$$

が得られる．同様にして，プレーン 2 とプレーン 3 間のインダクタンス L_{34} に対しても，indefinite admittance matrix を適用すると

$$\begin{bmatrix} I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} Y_2 & -Y_2 \\ -Y_2 & Y_2 \end{bmatrix} \begin{bmatrix} V_3 \\ V_4 \end{bmatrix}, \quad (2.12)$$

$$Y_2 = \frac{1}{j\omega L_{34}}$$

が得られる．式 (2.12)，(2.13) を組み合わせることにより，プレーン 3 を共通の基準面としたアドミタンス行列

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} Y_1 & -Y_1 & -Y_1 & Y_1 \\ -Y_1 & Y_1 & Y_1 & -Y_1 \\ -Y_1 & Y_1 & Y_1 + Y_2 & -Y_1 - Y_2 \\ Y_1 & -Y_1 & -Y_1 - Y_2 & Y_1 + Y_2 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix}, \quad (2.13)$$

$$Y_1 = \frac{1}{j\omega L_{12}}$$

が得られる．式 (2.14) のアドミタンス行列より，正しいインダクタンスモデルとして図 2.5(a) に示すような等価回路モデルを得ることができる．その等価回路モデルは，節点 1-2 間のインダクタンスは $L_{12} + L_{34}$ ，節点 3-4 間のインダクタンスは L_{34} ，相互インダクタンスは L_{34} とモデル化されている．同様にして，キャパシタンスのアドミタンス行列として

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} Y_{c1} & 0 & -Y_{c1} & 0 \\ 0 & Y_{c1} & 0 & -Y_{c1} \\ -Y_{c1} & 0 & Y_{c1} + Y_{c2} & 0 \\ 0 & -Y_{c1} & 0 & Y_{c1} + Y_{c2} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix}, \quad (2.14)$$

$$Y_{c1} = j\omega C_1, Y_{c2} = j\omega C_2$$

が得られる．式 (2.14), (2.15) を 1 つの行列にまとめると，最終的に，図 2.4(a) の 3 層構造の電源分配回路網の全体を表すアドミタンス行列として

$$\begin{bmatrix} Y_{c1} + Y_1 & -Y_1 & -Y_{c1} - Y_1 & Y_1 \\ -Y_1 & Y_{c1} + Y_1 & Y_1 & -Y_{c1} - Y_1 \\ -Y_{c1} - Y_1 & Y_1 & Y_{c1} + Y_{c2} + Y_1 + Y_2 & -Y_1 - Y_2 \\ Y_1 & -Y_{c1} - Y_1 & -Y_1 - Y_2 & Y_{c1} + Y_{c2} + Y_1 + Y_2 \end{bmatrix} \quad (2.15)$$

が得られる．式 (2.15) より，図 2.4(a) の 3 層構造の電源分配回路網の最終的な等価回路モデルは図 2.5(b) に示す相互インダクタンスと相互キャパシタンスが含まれる等価回路モデルとなる．

MTEM では，多層構造の電源分配網をデローニ三角形とボロノイ領域で分割し，回路理論と電磁気学に基づいて等価回路モデルの抽出を行った．また，3 層以上の電源分配回路網の垂直方向の結合に関しては，プレーンペアに分割し，indefinite admittance matrix を適用することにより，相互結合素子を用いてモデル化をした．三角メッシュは，局所的なメッシュサイズの変更が容易なため，細かいメッシュが必要となる部分にのみ局所的にメッシュサイズを変更する．そのため，従来の直方メッシュを用いた等価回路網抽出手法に比べ，未知変数の数を大幅に削減することが可能である．しかし，それでもなお多層構造の電源分配網の等価回路網を構成する回路素子の数は膨大な数となるため，SPICE 系シミュレータのような行列演算に基づく解析手法では解析に莫大な時間を要する．

第 3 章

従来の leapfrog 法を用いた回路シミュレーション

3.1 LIM

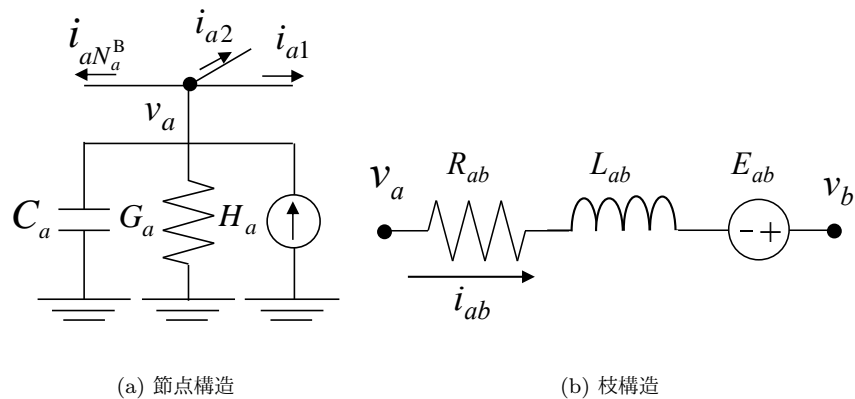


図 3.1 LIM における回路構造

LIM は、差分近似に陽解法の一つである leapfrog 型の差分法を用いる手法であり、図 3.1 に示すような節点構造と枝構造を最小単位として構成される大規模な RLCG 回路網を高速に過渡解析するのに適した手法である。図 3.1 において、 C_a 、 G_a 、 H_a は、接地キャパシタンス、コンダクタンス、独立電流源をそれぞれ表している。また、 L_{ab} 、 R_{ab} 、 E_{ab} はそれぞれ節点 a と b 間に接続されているインダクタンス、抵抗、独立電圧源をそれぞれ示している。節点構造は、節点 a と接地の間に並列に接地キャパシタンス、コンダクタンス、独立電流源が接続している構造となっている。一方、枝構造には、節点 a と b の間にインダクタンス、抵抗、独立電圧源が直列に接続している構造となっている。LIM で解析を行うためには、各構造にリアクタンス成分が必ず含まれていなければいけない。もし、リアクタンス成分を含まない構造が存在する場合は、元の回路の特性に影響を与えない微小なキャパシタンス、またはインダクタンスを擬

似的に挿入し、解析を行う。

3.1.1 定式化

LIMの更新式は、図3.1(a), (b)の節点構造と枝構造に対して、節点電圧 v_a と枝電流 i_{ab} を未知変数に取り、節点構造に対してはキルヒホッフの電流則、枝構造に対してキルヒホッフの電圧則(KVL: kirchhoff's voltage law)をそれぞれ適用し、leapfrog型の差分法を用いて差分近似を行うことにより導出される。節点構造、枝構造にそれぞれKCL, KVLを適用すると、一階の微分方程式として

$$C_a \frac{d}{dt} v_a + G_a v_a = - \sum_{m=1}^{N_a^B} i_{am} + H_a \quad (3.1)$$

$$L_{ab} \frac{d}{dt} i_{ab} + R_{ab} i_{ab} = v_a - v_b + E_{ab} \quad (3.2)$$

が得られる。ここで、 N_a^B は節点 a に接続している枝の総数を表している。次に、leapfrog型の差分法に基づき、式(3.1), (3.2)に対して差分近似を行うことにより、LIMの更新式

$$v_a^{n+\frac{1}{2}} = \frac{C_a}{C_a + \Delta t G_a} v_a^{n-\frac{1}{2}} - \frac{\Delta t}{C_a + \Delta t G_a} \left(\sum_{m=1}^{N_a^B} i_{am}^n + H_a^n \right) \quad (3.3)$$

$$i_{ab}^{n+1} = \frac{L_{ab} - \Delta R_{ab}}{L_{ab}} i_{ab}^n + \frac{\Delta t}{L_{ab}} (v_a^{n+\frac{1}{2}} - v_b^{n+\frac{1}{2}} + E_{ab}^{n+\frac{1}{2}}) \quad (3.4)$$

が導出される。更新式(3.3), (3.4)から分かるように、電圧は半奇数次時刻、電流は整数次時刻と半ステップずれて配置されている。そのため、それぞれの変数の更新は代入演算のみで更新を行うことができる。LIMの更新手順のフローチャートを図3.2に示す。図3.2において、 t_c は現在の時刻、 t_{end} は解析終了時刻である。LIMでは、図3.2に示すように現在の時刻 t_c が解析終了時刻 t_{end} に到達するまで式(3.3), (3.4)を用いて、電圧と電流を交互に求めていくことにより過渡解析を行う。

3.1.2 数値安定条件

LIMは陽解法の一つであるleapfrog型の差分法に基づいて差分近似しているため、電磁解析におけるFDTD法と同様に数値安定条件が存在する。その数値安定条件は

$$\Delta t_{\max} < \sqrt{2} \min_{a=1}^{N^N} \left(\sqrt{\frac{C_a}{N_a^B} \min_{m=1}^{N_a^B} (L_{am})} \right) \quad (3.5)$$

である。ここで、 Δt_{\max} は、解析に用いることができる最大時間刻み幅、 N^N は解析対象の回路網内に存在する節点の総数である。式(3.5)より、 Δt_{\max} は回路網の最小のリアクタンス成分によって制限されるため、回路網に微小なリアクタンス成分が含まれる場合、解析時間に莫大な時間を要する。また、リアクタンス成分が含まれない節点、及び枝構造が存在する場合も、前述したようにLIMを適用するために擬似的に微小なリアクタンス成分を挿入しなければいけないため、解析に莫大な時間がかかる。

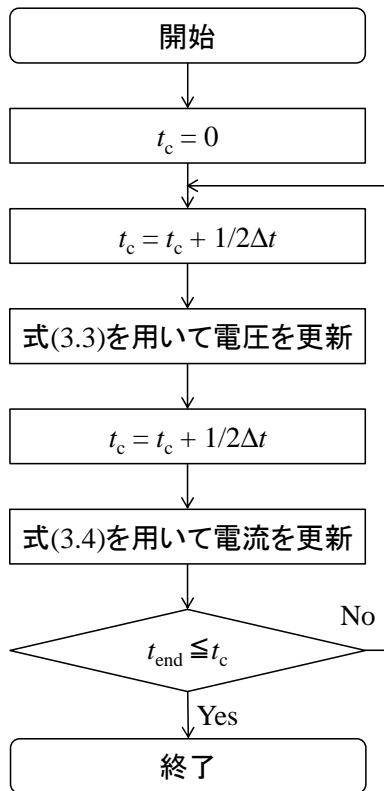


図 3.2 LIM の更新手順のフローチャート

物理モデルから抽出された等価回路網を過渡解析する場合、各構造に必ずリアクタンス成分が存在するため、LIM は適している。しかし、式 (2.7), (2.8) から明らかのように、物理モデルから抽出される等価回路の素子値は、メッシュサイズに比例するため、微小なメッシュが存在する場合、微小なリアクタンス成分が含まれる。したがって、LIM は、その素子値が一樣となるような一樣な形状・電気特性である平行平板や導体線路などの過渡解析に特に適しているといえる。

3.2 ブロック型 LIM

LIM は、大規模な RLCG 回路網を過渡解析するのに適した手法であるが、相互結合素子を含む解析を行うことができない。ブロック型 LIM は、相互結合素子を含む RLCG 回路網を解析できるように LIM を改良した手法である。ブロック型 LIM では、相互結合素子により結合している節点構造、または枝構造の集合をブロックとして扱う。相互キャパシタンスによって結合している節点構造を節点ブロック構造、相互インダクタンスによって結合している枝構造を枝ブロック構造と定義する。ブロック型 LIM では、節点ブロック構造の電圧に対して KCL、枝ブロック構造の電流に対しては KVL を適用し、leapfrog 型の差分法で差分近似することにより、各ブロック構造ごとの更新式を導出する。ブロック内の電圧、または電流を同時に更新するため、行列演算を用いる反復系手法の一つであるが、ブロックごと行列演算を利用するため、従来の SPICE 系シミュレータと比べて非常に高速に回路の過渡解析を行うことができる。

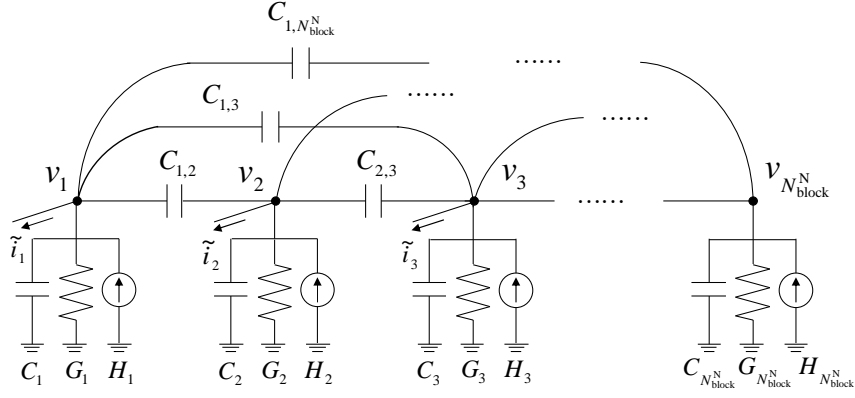


図 3.3 節点ブロック構造

3.2.1 節点ブロック構造における定式化

節点ブロック構造の更新式を導出するために、図 3.3 に示すようなキャパシタンス、コンダクタンス、電流源が並列に接続している N_{block}^N 個の節点から構成される節点ブロック構造を考える。図 3.3 において、 C_m 、 G_m 、 H_m は、節点 m とグラウンド間に接続しているキャパシタンス、コンダクタンス、電流源をそれぞれ表している。 $C_{p,q}$ ($p, q = 1, 2, \dots, N_{\text{block}}^N, p < q$) は節点 p と q 間の相互キャパシタンスを表しており、各節点はその他の節点と相互キャパシタンス $C_{p,q}$ により結合している。さらに、 \tilde{i}_m は、節点 m から流れ出る電流、または流れ込む電流の総量を表しており、節点 m に接続している枝 k ($k = 1, 2, \dots, M_m, M_m$: 節点 m と接続している枝の総数) から流れ出る電流、または流れ込む電流を i_{mk} とすると、 \tilde{i}_m は

$$\tilde{i}_m = \sum_{k=1}^{M_m} i_{mk}$$

と表される。節点ブロック構造の更新式は、LIM の電圧の更新式の導出と同様に、KCL を各節点構造に適用し、陽的な leapfrog 法を用いて差分近似することにより導出することができる。節点ブロック構造に KCL を適用することにより、行列形式の 1 階の微分連立方程式として

$$-\mathbf{i}_a = \mathbf{C}_a \cdot \frac{d}{dt} \mathbf{v}_a + \mathbf{G}_a \cdot \mathbf{v}_a - \mathbf{h}_a \quad (3.6)$$

$$\mathbf{C}_a = \begin{bmatrix} C_{1,1} & -C_{1,2} & \cdots & -C_{1,N_{\text{block}}^N} \\ -C_{1,2} & C_{2,2} & \cdots & -C_{2,N_{\text{block}}^N} \\ \vdots & \vdots & \ddots & \vdots \\ -C_{1,N_{\text{block}}^N} & -C_{2,N_{\text{block}}^N} & \cdots & C_{N_{\text{block}}^N, N_{\text{block}}^N} \end{bmatrix},$$

$$\mathbf{G}_a = \begin{bmatrix} G_1 & 0 & \cdots & 0 \\ 0 & G_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & G_{N_{\text{block}}^N} \end{bmatrix},$$

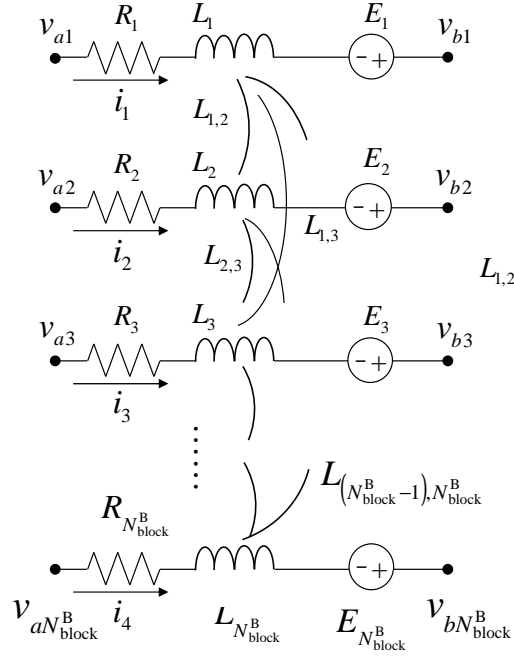


図 3.4 枝ブロック構造

$$\mathbf{v}_a = \begin{bmatrix} v_1 \\ v_2 \\ \vdots \\ v_{N_{\text{block}}^N} \end{bmatrix}, \mathbf{i}_a = \begin{bmatrix} \tilde{i}_1 \\ \tilde{i}_2 \\ \vdots \\ \tilde{i}_{N_{\text{block}}^N} \end{bmatrix}, \mathbf{h}_a = \begin{bmatrix} H_1 \\ H_2 \\ \vdots \\ H_{N_{\text{block}}^N} \end{bmatrix}$$

が得られる．ここで， $C_{m,m}$ は

$$C_{m,m} = \sum_{k=1}^{m-1} C_{k,m} + C_m + \sum_{k=m+1}^{N_{\text{block}}^N} C_{m,k}$$

と定義する．式 (3.6) に leapfrog 型の差分法を用いて差分近似することにより，節点ブロック構造の更新式

$$\left(\frac{1}{\Delta t} \mathbf{C}_a + \mathbf{G}_a \right) \cdot \mathbf{v}_a^{n+\frac{1}{2}} = \frac{1}{\Delta t} \mathbf{C}_a \cdot \mathbf{v}_a^{n+\frac{1}{2}} - \mathbf{i}_a^n + \mathbf{h}_a^n \quad (3.7)$$

を導出できる．更新式 (3.7) は， N_{block}^N 変数 N_{block}^N 本の連立線形方程式となっている．そのため，節点ブロック構造の節点電圧を求めるには， N_{block}^N 元の連立方程式を解く必要があり， $N_{\text{block}}^N \times N_{\text{block}}^N$ の行列を LU 分解法や緩和法などの行列演算を用いて解く．

3.2.2 枝ブロック構造における定式化

次に枝ブロック構造の更新式を導出するために，図 3.4 に示すようなインダクタンス，抵抗，電圧源が直列に接続している N_{block}^B 本の枝から構成される枝ブロック構造を考える．図 3.4 において， R_m ， L_m ， E_m は枝 m に接続されている抵抗，インダクタンス，電圧源をそれぞれ表している．また，各枝の自己インダクタンス L_p はその他の枝の自己インダクタンス L_q と相互インダクタンス $L_{p,q}$ ($p, q = 1, 2, \dots, N_{\text{block}}^B$, $p < q$)

により結合している．さらに， v_{am} ， v_{bm} は枝 m の正側の節点電圧，負側の節点電圧をそれぞれ表している．枝ブロック構造の更新式は，LIM の電流の更新式の導出と同様に，KVL を各枝構造に適用し，陽的な leapfrog 法を用いて差分近似することにより導出することができる．枝ブロック構造に KVL を適用することにより，行列形式の 1 階の微分連立方程式として

$$\mathbf{v}_{ab} = \mathbf{L}_{ab} \frac{d}{dt} \mathbf{i}_{ab} + \mathbf{R}_{ab} \mathbf{i}_{ab} \quad (3.8)$$

$$\mathbf{L}_{ab} = \begin{bmatrix} L_1 & L_{1,2} & \cdots & L_{1,N_{\text{block}}^{\text{B}}} \\ L_{1,2} & L_2 & \cdots & L_{2,N_{\text{block}}^{\text{B}}} \\ \vdots & \vdots & \ddots & \vdots \\ L_{1,N_{\text{block}}^{\text{B}}} & L_{2,N_{\text{block}}^{\text{B}}} & \cdots & L_{N_{\text{block}}^{\text{B}}} \end{bmatrix},$$

$$\mathbf{R}_{ab} = \begin{bmatrix} R_1 & 0 & \cdots & 0 \\ 0 & R_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & R_{N_{\text{block}}^{\text{B}}} \end{bmatrix},$$

$$\mathbf{i}_{ab} = \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_{N_{\text{block}}^{\text{B}}} \end{bmatrix}, \mathbf{v}_{ab} = \begin{bmatrix} v_{a1} - v_{b1} \\ v_{a2} - v_{b2} \\ \vdots \\ v_{aN_{\text{block}}^{\text{B}}} - v_{bN_{\text{block}}^{\text{B}}} \end{bmatrix}$$

が得られる．式 (3.8) に leapfrog 法の差分法を適用することにより，枝ブロック構造の更新式

$$\frac{1}{\Delta t} \mathbf{L}_{ab} \mathbf{i}_{ab}^{n+1} = \left(\frac{1}{\Delta t} \mathbf{L}_{ab} - \mathbf{R}_{ab} \right) \mathbf{i}_{ab}^n + \mathbf{v}_{ab}^{n+\frac{1}{2}} \quad (3.9)$$

を導出できる．更新式 (3.9) も，節点ブロック構造の節点電圧を求めるときと同様に，LU 分解法や緩和法などの行列演算を行い， $N_{\text{block}}^{\text{B}} \times N_{\text{block}}^{\text{B}}$ の行列を解く必要がある．式 (3.7)，(3.9) は，行列演算を行う必要があるため，大きなサイズのブロック構造を含む回路網に適用すると，行列サイズが大きくなり，結果的に解析効率が低下する可能性がある．しかし，SPICE 系シミュレータで使用される行列サイズと比較して，式 (3.7)，(3.9) の行列サイズは小さいため，計算コストを抑えることができる．ブロック型 LIM の更新手順のフローチャートを図 3.5 に示す．ブロック型 LIM では，式 (3.3) を用いて，節点ブロック構造以外の節点構造における節点電圧の更新を行った後，式 (3.7) を用いて節点ブロック構造の節点電圧を更新する．そのあと，式 (3.4) を用いて枝ブロック構造以外の枝構造における枝構造の枝電流の更新を行い，式 (3.9) を用いて枝ブロック構造の枝電流の更新を行う．現在の時刻 t_c が解析終了時刻 t_{end} に到達するまでこれを繰り返し行う．

3.2.3 数値安定条件

ブロック型 LIM も陽的な leapfrog 型の差分法に基づいているため，数値安定条件が存在し，その条件は，LIM の数値安定条件 (3.5) である．すなわち，ブロック型 LIM

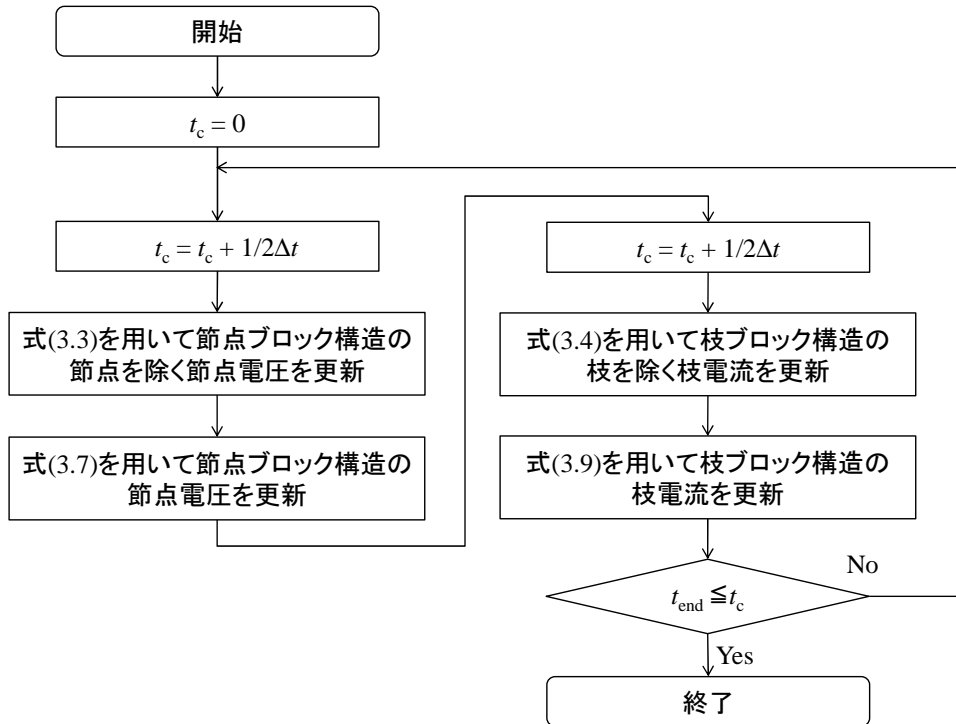


図 3.5 ブロック型 LIM の更新手順のフローチャート

も LIM と同様に，回路網に存在する最小リアクタンス成分によって最大時間刻み幅が制限される．したがって，ブロック型 LIM は，その等価回路網が比較的小さな節点及び枝ブロック構造が多数含まれ，かつ，リアクタンス成分が一様となる多導体伝送線路や多層プリント基板の解析に特に適している．

従来の LIM では扱えなかった多数の相互結合素子を含む大規模回路網を相互インダクタンスや相互キャパシタンスにより相互結合された要素をブロックとして扱うことにより，解析を可能とした．ブロック構造の電流，または，電圧の更新にのみ局所的に行列演算を用いるため SPICE 系シミュレータと比べて非常に高速な解析が可能である．しかし，ブロック LIM は従来の LIM と同様に陽的な差分法である leapfrog 法に基づいているため，解析対象の回路網に局所的に微小リアクタンス成分が含まれている場合，時間刻み幅が極めて小さく制限されてしまい，効率的に解析を行ない．

3.3 局所陰的 LIM

LIM に用いられる時間刻み幅 Δt は数値安定条件

$$\Delta t_{\max} < \sqrt{2} \min_{a=1}^{N^N} \left(\sqrt{\frac{C_a}{N_a^B} \min_{m=1}^{N_a^B} (L_{am})} \right) \quad (3.5)$$

から明らかなように，最小リアクタンス成分によって，厳しく制限される．そのため，回路網の一部にでも微小リアクタンス成分が存在する場合，時間刻み幅が厳しく制限されるため，解析に微小時間刻み幅を用いなければならない．局所陰的

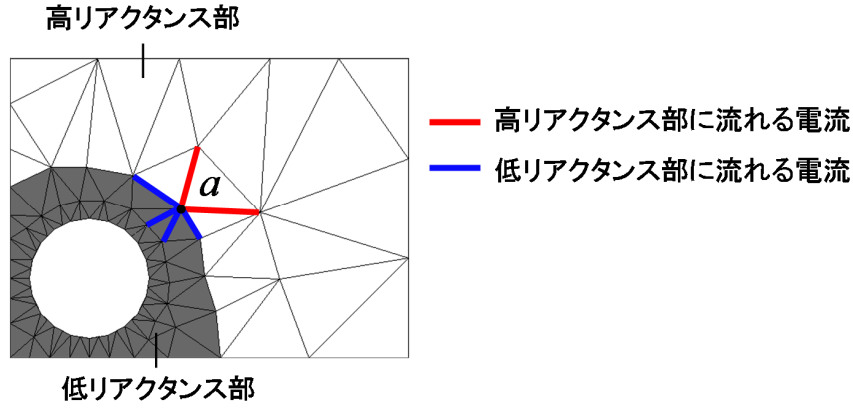


図 3.6 局所陰的 LIM における回路分割

LIM は、この問題点を解決するために提案された LIM の改良手法である。局所陰的 LIM では、回路網をリアクタンス成分の大きさに基づいて複数の部分回路に分割し、時間刻み幅を厳しく制限する微小なリアクタンス成分を含む部分回路に対しては無条件安定である陰的手法を局所的に適用することにより、数値安定条件を緩和している。局所陰的 LIM では、はじめに解析に用いる時間刻み幅 Δt_{used} を決定する。精度的に妥当な結果を得るために、時間刻み幅 Δt_{used} は、注目したい最大周波数 f_{max} の周期を T とすると、 $T/10$ 以下にする必要がある。次に、解析対象の回路網を LIM の数値安定条件 (3.5) を満たす部分回路と満たさない部分回路に分割する。本稿では、式 (3.5) を満たす部分回路を高リアクタンス部、満たさない部分回路を低リアクタンス部と定義する。式 (2.7), (2.8) から明らかのようにモデル化された等価回路のリアクタンス成分は、メッシュサイズの大きさに比例している。そのため、図 3.6 に示すように小さなメッシュからモデル化された部分回路が低リアクタンス部、それ以外の部分回路が高リアクタンス部に分割される。具体的には、 f_{max} の波長を $\lambda_{f_{\text{max}}}$ とすると、メッシュサイズがおおよそ $\Delta t_{\text{used}}/T\lambda_{f_{\text{max}}}$ 以下のメッシュは低リアクタンス部となる。そのあと、高リアクタンス部には LIM の更新式、低リアクタンス部には無条件安定である陰解法を用いて差分近似することにより導出される更新式を用いて、それぞれの部分回路における電圧と電流の更新を行う。

3.3.1 定式化

低リアクタンス部の節点構造における更新式は、その節点構造から流れ出る電流を、低リアクタンス部に流れ出る電流と高リアクタンス部に流れ出る電流に分けて扱うことにより定式化する。図 3.6 の節点 a に対して、KCL を適用することにより、一階の微分方程式

$$C_a \frac{d}{dt} v_a + G_a v_a = - \sum_{m=1}^{N_a^B} i_{am} \quad (3.10)$$

が得られる。式 (3.10) において、右辺の項は節点 a から流れ出る電流を表している。この項を低リアクタンス部に流れ出る電流（図 3.6 内の青線）と高リアクタンス部に

流れ出る電流（図 3.6 内の赤線）に分割することにより，式 (3.10) は

$$C_a \frac{d}{dt} v_a + G_a v_a = - \sum_{p=1}^{N_{a,L}^B} i_{ap} - \sum_{q=1}^{N_{a,H}^B} i_{aq} \quad (3.11)$$

となる．ここで， $N_{a,L}^B$ は節点 a に接続している低リアクタンス部の枝の本数， $N_{a,H}^B$ は節点 a に接続している高リアクタンス部の枝の本数である．式 (3.11) に対して，電圧と低リアクタンス部の電流に関しては陰的な後退差分を，高リアクタンス部の電流には leapfrog 型の差分法を適用すると，

$$\begin{aligned} \frac{1}{\Delta t} C_a (v_a^{n+\frac{1}{2}} - v_a^{n-\frac{1}{2}}) + G_a v_a^{n+\frac{1}{2}} \\ = - \sum_{p=1}^{N_{a,L}^B} i_{ap}^{n+\frac{1}{2}} - \sum_{q=1}^{N_{a,H}^B} i_{aq}^n \end{aligned} \quad (3.12)$$

が得られる．低リアクタンス部の電流には陰的な後退差分を用いているため，電圧と同じ半奇数次のタイムステップとなっている．一方，高リアクタンス部の電流には leapfrog 型の差分法を適用しているため，式 (3.12) の右辺第 2 項のタイムステップは半ステップ前の整数次時刻となっている．式 (3.12) を $v^{n+\frac{1}{2}}$ について整理することにより，低リアクタンス部の節点電圧の更新式

$$\frac{Y_a}{\Delta t} v_a^{n+\frac{1}{2}} = - \frac{1}{\Delta t} C_a v_a^{n-\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} i_{ap}^{n+\frac{1}{2}} - \sum_{q=1}^{N_{a,H}^B} i_{aq}^n \quad (3.13)$$

が得られる．ここで， $Y_a \equiv C_a + \Delta t G_a$ とした．式 (3.13) より，低リアクタンス部の節点電圧を更新するためには，低リアクタンス部に流れ出る同時刻の枝電流の値が必要であることがわかる．一方，低リアクタンス部の枝電流の更新式は，低リアクタンス部の枝構造に KVL を適用し，後退差分を用いて差分近似することにより，導出する．低リアクタンス部の枝構造に KVL を適用することにより，

$$L_{ab} \frac{d}{dt} i_{ab} + R_{ab} i_{ab} = v_a - v_b \quad (3.14)$$

が得られる．式 (3.14) に対して，後退差分法を用いて差分近似することにより，低リアクタンス部の枝電流の更新式

$$i_{ab}^{n+\frac{1}{2}} = \frac{Z_{ab}}{L_{ab}} i_{ab}^{n-\frac{1}{2}} + \frac{\Delta t}{Z_{ab}} (v_a^{n+\frac{1}{2}} - v_b^{n+\frac{1}{2}}) \quad (3.15)$$

を得ることができる．ここで $Z_{ab} \equiv L_{ab} + \Delta t R_{ab}$ とした．式 (3.13)，(3.15) より，低リアクタンス部の節点電圧を更新するためには同時刻の低リアクタンス部の枝電流の値，枝電流を更新するためには同時刻の低リアクタンス部の節点電圧の値が必要であることがわかる．したがって，低リアクタンス部の節点電圧と枝電流を更新するためには，低リアクタンス部に含まれる全節点電圧と全枝電流を同時に解く必要があり，低リアクタンス部の節点の総数を N_L^N ，枝の総数を N_L^B とすると， $(N_L^N + N_L^B)$ 次正方行列を解くことになる．計算量を削減するために，式 (3.15) を式 (3.13) に代入し， $v_a^{n+\frac{1}{2}}$

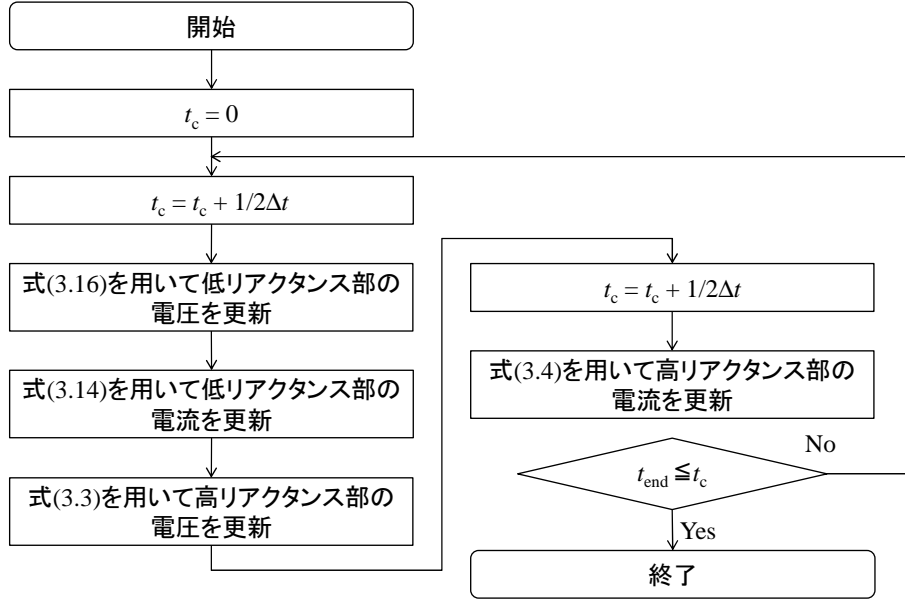


図 3.7 局所陰的 LIM の更新手順のフローチャート

について整理すると、低リアクタンス部の節点電圧の更新式は

$$\begin{aligned}
 & \left\{ \frac{Y_a}{\Delta t} + \sum_{p=1}^{N_{a,L}^B} \frac{\Delta t}{Z_{ap}} \right\} v_a^{n+\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} \left(\frac{\Delta t}{Z_{ap}} v_p^{n+\frac{1}{2}} \right) \\
 & = \frac{C_a}{\Delta t} v_a^{n-\frac{1}{2}} - \sum_{p=1}^{N_{a,L}^B} \frac{L_{ap}}{Z_{ap}} i_{ap}^{n-\frac{1}{2}} - \sum_{q=1}^{N_{a,H}^B} i_{aq}^n
 \end{aligned} \quad (3.16)$$

となる。式 (3.16) は、低リアクタンス部の節点 a における電圧の更新には、その節点と接続している低リアクタンス部の同時刻の電圧の値のみが必要であることを意味している。したがって、低リアクタンス部の節点電圧を更新するためには、低リアクタンス部に含まれる全節点電圧のみを同時に解けばよい。その更新式は、低リアクタンス部のすべての節点に対する式 (3.16) を連立させることにより、行列形式の連立方程式として

$$\left(\frac{\mathbf{Y}_L}{\Delta t} + \Delta t \hat{\mathbf{Z}}_L \right) \mathbf{v}_L^{n+\frac{1}{2}} = \frac{\mathbf{C}_L}{\Delta t} \mathbf{v}_L^{n-\frac{1}{2}} - \mathbf{b}_L^{n-\frac{1}{2}} \quad (3.17)$$

と書き表せる。ここで、 \mathbf{Y}_L は、 Y_a の値を i 番目の対角要素として持つ対角行列、 \mathbf{C}_L は、 C_a の値を i 番目の対角要素として持つ対角行列、 $\hat{\mathbf{Z}}_a$ は、対応する箇所にも $1/Z_{ap}$ の値を持つ対称行列、 \mathbf{v}_L は、低リアクタンス部の節点電圧からなる電圧ベクトル、 \mathbf{b}_L は、式 (3.16) の右辺第 2 項と第 3 項からなる既知ベクトルを表している。式 (3.17) の左辺の係数行列は、低リアクタンス部の節点同士の接続関係を表した N_L^N 次正方行列となっている。

局所陰的 LIM の更新手順のフローチャートを図 3.7 に示す。局所陰的 LIM では、式 (3.17) を用いて各低リアクタンス部の節点電圧を更新する。次に、式 (3.15) を用いて各低リアクタンス部の枝電流を更新する。式 (3.15) の右辺の $n + \frac{1}{2}$ ステップの電圧は式 (3.17) によって求められているため、低リアクタンス部の枝電流は代入演算のみで

更新できる。そのあとに，式 (3.3)，(3.4) を用いて高リアクタンス部の電圧と電流の更新を行う。低リアクタンス部の節点電圧を更新する際に行列演算を行うため，LIM と比較して 1 タイムステップにおける計算量は増加する。しかし，総タイムステップ数を大幅に削減できるため，解析にかかる計算コストはを大幅に削減できる。

三角メッシュを用いて約 750 個の節点を含む等価回路網にモデル化された電源・グランドプレーンの等価回路網の解析では，従来の LIM よりも約 14 倍大きな時間刻み幅を用いることにより，LIM と比較して約 2.5 倍高速な過渡解析が可能であることが実証されている。

第 4 章

提案手法

4.1 マルチレート局所陰的 LIM

本章では，局所陰的 LIM の改良手法としてマルチレート LIM を提案する．マルチレート局所陰的 LIM は，局所陰的 LIM における回路のマルチレート性に着目し，各部分回路に適切な時間刻み幅を適用することにより，局所陰的 LIM を更に高速化した手法である．

4.1.1 局所陰的 LIM における回路のマルチレート性

局所陰的 LIM は，数値安定条件 (3.5) に基づいて高リアクタンス部と低リアクタンス部に回路分割を行い，LIM の更新式と陰的な更新式をそれぞれの部分回路に用いる手法である．高リアクタンス部には LIM の更新式を用いるため，その部分回路の解析に用いることができる時間刻み幅は数値安定条件 (3.5) により制限される．しかし，低リアクタンス部には陰的な更新式が用いられるため，低リアクタンス部の解析には任意の時間刻み幅を用いることができる．そのため，局所陰的 LIM では，高リアクタンス部と低リアクタンス部の間にマルチレート性が存在する．マルチレート局所陰的 LIM では，この高リアクタンス部と低リアクタンス部におけるマルチレート性を利用

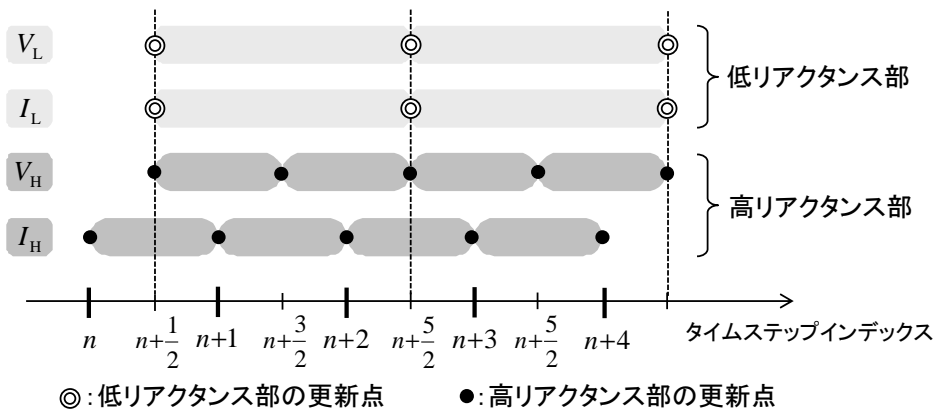


図 4.1 $M = 2$ におけるマルチレート局所陰的 LIM の更新手順

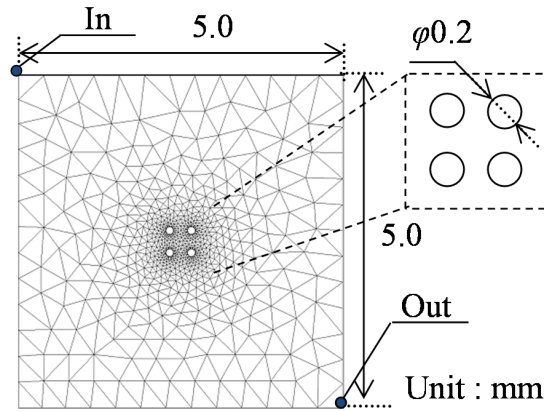


図 4.2 微小な開口部をもつ PDN

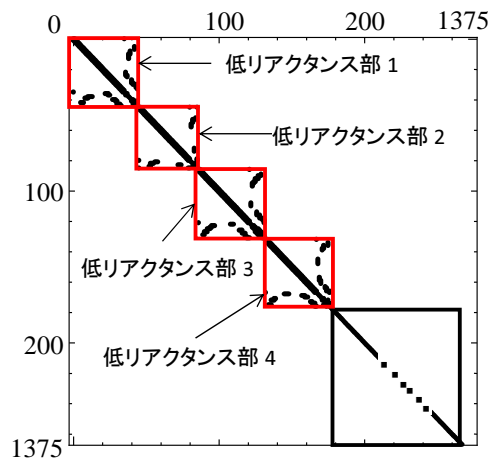


図 4.3 (3.17) の左辺の電圧係数行列

し、数値的に安定な低リアクタンス部の電圧と電流の更新により大きな時間刻み幅を用いる。低リアクタンス部に用いる時間刻み幅 Δt_{MLILIM} は、高リアクタンス部に用いる時間刻み幅 Δt を用いて、

$$\Delta t_{MLILIM} = M\Delta t \quad (4.1)$$

と表せる。ここで、 M は 1 以上の整数のスケール係数である。図 4.1 に、 $M = 2$ の場合の高リアクタンス部と低リアクタンス部の更新手順を示す。まず、式 (3.17), (3.15) を用いて、低リアクタンス部における電圧 V_L と電流 I_L を $n + \frac{1}{2}$ ステップ目の値に更新する。その後、式 (3.3) を用いて、高リアクタンス部における電圧 V_H を $n + \frac{1}{2}$ ステップ目の値に更新し、式 (3.4) を用いて、電流 I_H を $n + 1$ ステップ目の値に更新する。leapfrog 型の差分法を用いる高リアクタンス部では、 $(n + \frac{1}{2}) + M$ ステップ目まで更新が繰り返される。図 4 に示すとおり、全ての変数は $M\Delta t$ ステップ目において同期される。つまり、 V_L と I_L の更新が 1 回行われるたびに、 V_H と I_H は M 回更新される。マルチレート局所陰的 LIM では、低リアクタンス部に高リアクタンス部よりも M 倍大きな時間刻み幅を用いるため、 V_L 及び I_L の総計算回数を V_H と I_H の $\frac{1}{M}$ に抑えることができる。行列演算を必要とする低リアクタンス部の更新では、1 ステッ

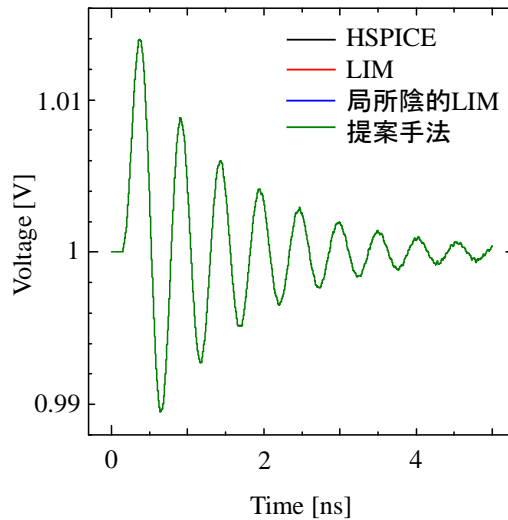


図 4.4 ポート *Out* における電圧の出力波形

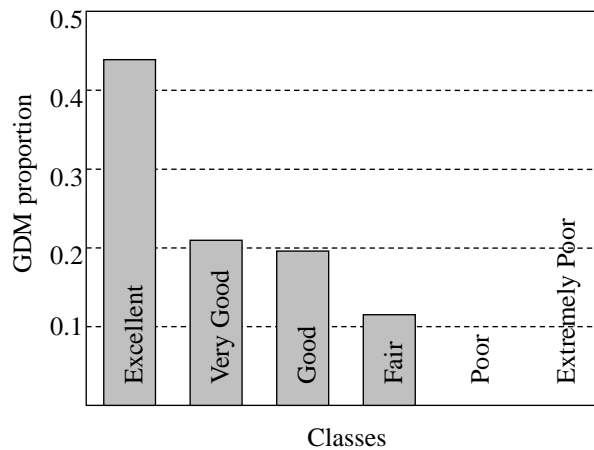


図 4.5 FSV を用いて LIM と比較したマルチレート局所陰的 LIM の評価

ブあたりに必要な計算時間が高リアクタンス部の計算時間よりも長い傾向にある。したがって、低リアクタンス部の計算回数を減少させることにより、シミュレーションコストを減少させている。

4.1.2 例題検証

例題を用いて、マルチレート局所陰的 LIM の解析速度、及び精度の検証を行う。図 4.2 に、上層と下層の二層からなる平行平板を三角メッシュを用いて離散化した図を示す。各層は $5.0 \text{ mm} \times 5.0 \text{ mm}$ の無損失導体から成り、上層の中央に直径 0.2 mm の円形開口部が 0.2 mm 間隔で存在する。また、平板間の距離は 0.6 mm であり、比誘電率 4.2 の誘電体で満たされており、上層全体に 1.0 V の電圧が印加されているものとする。励起源として、ポート *In* に電流源が接続されている。電流の初期値は 0.5 A 、遅延時間が 0.1 ns 、立ち上がり時間が 0.1 ns 、立下り時間が 0.3 ns 、振幅は 5.005 A であり、電流源の内部抵抗は 2.0Ω である。図 4.2 に示す PDN を、HSPICE、従来の LIM、

表 4.1 CPU 時間

Method	# of blocks	Δt	CPU Time [s]	Speed-up
HSPICE	N/A	0.75	367.5	1.0
LIM	N/A	0.75	8.91	41.2
局所陰的 LIM	4	0.148	6.25	58.8
マルチレート局所陰的 LIM	4	0.148	5.39	68.2

局所陰的 LIM, そして提案手法であるマルチレート局所陰的 LIM を用いて 0.0 ns から 5.0 ns まで過渡解析を行い, ポート *Out* での出力波形を観測する. 本例題のシミュレーションでは, マルチレート局所陰的 LIM におけるスケーリング係数 $M = 2$ とする. 例題の平行平板は, 三角メッシュによって 1375 個の節点と 3918 本の枝に分割される. 中央に存在する開口部を表現するために, 微細なメッシュ分割を用いた低リアクタンス成分が存在している. マルチレート局所陰的 LIM, 局所陰的 LIM の解析には $\Delta t = 0.148$ s を用いた. その Δt に対する式 (3.17) の左辺の係数行列を図 4.3 に示す. 図 4.3 に示すように, 45, 41, 46, 45 個の節点が含まれる 4 つの低リアクタンス部が存在し, その他の節点数は 1198 個となった. LIM, 局所陰的 LIM, マルチレート局所陰的 LIM から得られたポート *Out* における電圧の出力波形を図 4.4 に示す. 図 4.4 より, 提案手法を含むどの手法でも, 数値的に安定に解析を行うことが可能であることが分かる. また, 提案手法から得られた出力波形の精度を, FSV (feature selective validation) を用いて評価した [10],[11]. FSV は, GDM (global difference measure) の割合によって, 提案手法の波形が比較対象の波形とどの程度一致しているかを数値的に評価することができる. 図 4.5 に提案手法の精度を LIM と比較した評価結果を示す. 図 4.5 より, 提案手法は、『Excellent』, 『Very Good』, 『Good』が 80 % を占めており, LIM と比較して十分な精度で解析できていることが確認できる. このことから, 無条件安定な更新式を用いる低リアクタンス部において, 高リアクタンス部より大きな時間刻み幅を用いても, 精度の良い解析が可能であることが分かる. 次に, 表 4.1 に過渡解析に必要な CPU 時間を示す. 提案手法に $\Delta t = 0.148$ を用いた場合, 提案手法は十分な精度を保ちつつ, HSPICE と比較して 41.2 倍, 従来の LIM よりも 1.65 倍高速に過渡解析が可能であることが分かる. 例題の場合, 提案手法は従来の局所陰的 LIM と比較して大幅な高速化はできなかった. これは, 低リアクタンス部が回路全体と比較して小さく, 提案手法の低リアクタンス部における計算回数の削減量が小さいことが原因である. しかし, 解析に用いる時間刻み幅に大きな時間刻み幅を用いると, 効率の良い解析を行うことができる一方, 誤差が大きくなる問題も考慮する必要がある. したがって, 誤差を小さくし, 低リアクタンス部を大きく定義することでより効率の良い解析ができるように時間刻み幅を選ぶ必要がある.

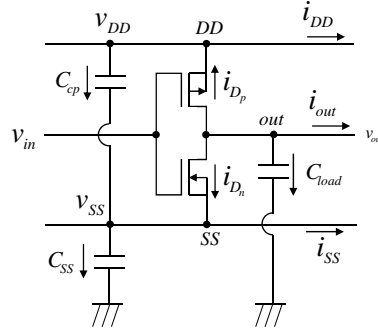


図 4.6 CMOS インバータの回路図

4.2 非線形局所陰的 LIM

本章では、局所陰的 LIM における非線形素子の定式化を行い、非線形素子を含む不均一分布定数回路網の過渡解析を高速に行うことができる非線形局所陰的 LIM を提案する。定式化では、非線形素子の一つである CMOS インバータを扱う。局所陰的 LIM では、節点電圧の更新に、高リアクタンス部と低リアクタンス部で異なる更新式を用いる。そのため、非線形素子もそれぞれの部分回路における更新式を導出する必要がある。行う。

4.2.1 CMOS インバータのモデル

図 4.6 に CMOS インバータの回路図を示す。図 4.6 において、 v_{DD} 、 v_{SS} 、 v_{in} 、 v_{out} は節点 DD の電圧、節点 SS の電圧、CMOS インバータの入力電圧と出力電圧をそれぞれ表している。 i_{DD} 、 i_{SS} 、 i_{out} 、 i_{D_p} 、 i_{D_n} は、節点 DD 、節点 SS 、節点 out から流れ出る電流と PMOS、NMOS に流れるドレイン電流をそれぞれ表している。また、 C_{cp} 、 C_{ss} 、 C_{load} は電圧線とグランド線間の寄生キャパシタ、グランド線と接地間の寄生キャパシタ、負荷キャパシタをそれぞれ表している。

MOSFET のモデルには、SPICE のレベル 1 モデルとしてよく知られている Shichman-Hodges モデルを用いた [38, 39]。このモデルは、MOSFET の定義域をカットオフ領域、線形領域、飽和領域の 3 領域に分割し、それぞれの領域において、ドレイン電流を定式化することにより、ドレイン電流の非線形特性を近似する。NMOS のそれぞれの領域における近似式は、

1. カットオフ領域 ($v_{GS} < v_{T_n}$) :

$$i_{D_n} = 0, \quad (4.2)$$

2. 線形領域 ($v_{GS} \geq v_{T_n}$, $v_{DS} < v_{GS} - v_{T_n}$) :

$$i_{D_n} = \frac{K_n W_n}{L_n} (v_{GS} - v_{T_n} - v_{DS}) v_{DS}, \quad (4.3)$$

3. 飽和領域 ($v_{GS} \geq v_{T_n}$, $v_{DS} \geq v_{GS} - v_{T_n}$) :

$$i_{D_n} = \frac{K_n W_n}{2L_n} (v_{GS} - v_{T_n})^2, \quad (4.4)$$

と定義される．ここで， $v_{GS}, v_{DS}, v_{Tn}, K_n, L_n, W_n$ は，NMOS のゲート-ソース間の電圧，ドレイン-ソース間の電圧，閾値電圧，トランスコンダクタンス，チャンネル長，チャンネル幅をそれぞれ表している．また，PMOS のそれぞれの領域における近似式は，

1. カットオフ領域 ($v'_{GS} > v'_{Tp}$) :

$$i_{Dp} = 0, \quad (4.5)$$

2. 線形領域 ($v'_{GS} \leq v'_{Tp}, v'_{DS} > v'_{GS} - v'_{Tp}$) :

$$i_{Dp} = \frac{K_p W_p}{L_p} (v'_{GS} - v'_{Tp} - v'_{DS}) v'_{DS}, \quad (4.6)$$

3. 飽和領域 ($v'_{GS} \leq v'_{Tp}, v'_{DS} \leq v'_{GS} - v'_{Tp}$) :

$$i_{Dp} = \frac{K_p W_p}{2L_p} (v'_{GS} - v'_{Tp})^2, \quad (4.7)$$

と定義される． $v'_{GS}, v'_{DS}, v'_{Tp}, K_p, L_p, W_p$ は，PMOS へのゲート-ソース間の電圧，ドレイン-ソース間の電圧，閾値電圧，トランスコンダクタンス，チャンネル長，チャンネル幅をそれぞれ表している．

4.2.2 定式化

高リアクタンス部における CMOS インバータの定式化は，[40, 41] と同様の方法で行う．まず，図 4.6 の各節点に対して，KCL を適用することにより，微分方程式

$$\begin{aligned} \frac{1}{\Delta t} \begin{bmatrix} C_{load} & 0 & 0 \\ 0 & C_{cp} & -C_{cp} \\ 0 & -C_{cp} & C_{cp} + C_{ss} \end{bmatrix} \begin{bmatrix} v_{out} \\ v_{DD} \\ v_{SS} \end{bmatrix} \\ + \begin{bmatrix} i_{Dp} \\ -i_{Dp} \\ -i_{Dn} \end{bmatrix} + \begin{bmatrix} i_{out} \\ i_{DD} \\ i_{SS} \end{bmatrix} = \mathbf{0}, \end{aligned} \quad (4.8)$$

を得る．次に，式 (4.8) に leapfrog 型の差分法を用いて差分近似することにより，CMOS インバータの差分方程式

$$\begin{aligned} \frac{1}{\Delta t} \begin{bmatrix} C_{load} & 0 & 0 \\ 0 & C_{cp} & -C_{cp} \\ 0 & -C_{cp} & C_{cp} + C_{ss} \end{bmatrix} \begin{bmatrix} v_{out}^{n+\frac{1}{2}} - v_{out}^{n-\frac{1}{2}} \\ v_{DD}^{n+\frac{1}{2}} - v_{DD}^{n-\frac{1}{2}} \\ v_{SS}^{n+\frac{1}{2}} - v_{SS}^{n-\frac{1}{2}} \end{bmatrix} \\ + \begin{bmatrix} i_{Dp}^{n+\frac{1}{2}} + i_{Dn}^{n+\frac{1}{2}} \\ -i_{Dp}^{n+\frac{1}{2}} \\ -i_{Dn}^{n+\frac{1}{2}} \end{bmatrix} + \begin{bmatrix} i_{out}^n \\ i_{DD}^n \\ i_{SS}^n \end{bmatrix} = \mathbf{0}, \end{aligned} \quad (4.9)$$

が得られる．ここで，式 (4.9) の左辺第 2 項は，非線形関数ベクトルである．そのため，式 (4.9) は，ニュートン・ラプソン法を用いて解く必要がある．式 (4.9) の左辺を

非線形関数ベクトル $\mathbf{f} = [f_1, f_2, f_3]^T$ と定義し、Newton-Raphson 法を適用することにより、高リアクタンス部における CMOS インバータの更新式

$$\mathbf{J}(\mathbf{v}^{n+\frac{1}{2},(k-1)}) \cdot \mathbf{v}^{n+\frac{1}{2},(k)} = \mathbf{J}(\mathbf{v}^{n+\frac{1}{2},(k-1)}) \cdot \mathbf{v}^{n+\frac{1}{2},(k-1)} - \mathbf{f}^{(k-1)}, \quad (4.10)$$

$$\mathbf{J}(\mathbf{v}^{n+\frac{1}{2},(k-1)}) = \begin{bmatrix} \frac{\partial f_1^{k-1}}{\partial v_{out}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_1^{k-1}}{\partial v_{DD}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_1^{k-1}}{\partial v_{SS}^{n+\frac{1}{2},(k-1)}} \\ \frac{\partial f_2^{k-1}}{\partial v_{out}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_2^{k-1}}{\partial v_{DD}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_2^{k-1}}{\partial v_{SS}^{n+\frac{1}{2},(k-1)}} \\ \frac{\partial f_3^{k-1}}{\partial v_{out}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_3^{k-1}}{\partial v_{DD}^{n+\frac{1}{2},(k-1)}} & \frac{\partial f_3^{k-1}}{\partial v_{SS}^{n+\frac{1}{2},(k-1)}} \end{bmatrix},$$

$$\mathbf{v}^{n+1,(k)} = \begin{bmatrix} \mathbf{v}^{n+1,(k)} & \mathbf{v}^{n+1,(k)} & \mathbf{v}^{n+1,(k)} \end{bmatrix}^T,$$

$$\mathbf{f}^{(k-1)} = \begin{bmatrix} f_1^{(k-1)} & f_2^{(k-1)} & f_3^{(k-1)} \end{bmatrix}^T$$

が得られる。ここで、 k は、Newton-Raphson 法の反復回数である。未知変数ベクトル \mathbf{v} は、解が収束するまで式 (4.10) を反復して解くことにより、求めることができる。

低リアクタンス部における CMOS インバータの定式化は、局所陰的 LIM の低リアクタンス部における節点電圧の定式化に基づいて行う。はじめに、高リアクタンス部における CMOS インバータの定式化を行ったときと同様に、各節点に対してキルヒホッフの電流則を適用し、式 (4.8) を得る。次に、式 (4.8) の左辺第 3 項の i_{DD} , i_{SS} を節点 DD, SS から低リアクタンス部に流れ出る電流と高リアクタンス部に流れ出る電流にそれぞれ分ける。そのあと、高リアクタンス部に流れ出る電流には leapfrog 型の差分法、低リアクタンス部に流れ出る電流には後退差分法を適用することにより、差分方程式

$$\begin{aligned} & \frac{1}{\Delta t} \begin{bmatrix} C_{load} & 0 & 0 \\ 0 & C_{cp} & -C_{cp} \\ 0 & -C_{cp} & C_{cp} + C_{ss} \end{bmatrix} \begin{bmatrix} v_{out}^{n+\frac{1}{2}} - v_{out}^{n-\frac{1}{2}} \\ v_{DD}^{n+\frac{1}{2}} - v_{DD}^{n-\frac{1}{2}} \\ v_{SS}^{n+\frac{1}{2}} - v_{SS}^{n-\frac{1}{2}} \end{bmatrix} \\ & + \begin{bmatrix} i_{Dp}^{n+\frac{1}{2}} + i_{Dn}^{n+\frac{1}{2}} \\ -i_{Dp}^{n+\frac{1}{2}} \\ -i_{Dn}^{n+\frac{1}{2}} \end{bmatrix} + \begin{bmatrix} i_{out}^n \\ \sum_{q=1}^{N_{DD,H}^b} i_{DDq}^n \\ \sum_{q=1}^{N_{SS,H}^b} i_{SSq}^n \end{bmatrix} \\ & + \begin{bmatrix} 0 \\ \sum_{p=1}^{N_{DD,L}^b} i_{DDp}^{n+\frac{1}{2}} \\ \sum_{p=1}^{N_{SS,L}^b} i_{SSp}^{n+\frac{1}{2}} \end{bmatrix} = \mathbf{0} \end{aligned} \quad (4.11)$$

が得られる。ここで、 $N_{DD,H}^b$, $N_{DD,L}^b$ は、節点 DD から高リアクタンス部に流れ出る電流と低リアクタンス部に流れ出る電流をそれぞれ表しており、 $N_{SS,H}^b$, $N_{SS,L}^b$ は、節点 SS から高リアクタンス部に流れ出る電流と低リアクタンス部に流れ出る電流をそれぞれ表している。節点 DD, SS から高リアクタンス部に流れ出る電流に対しては、leapfrog 型の差分法を適用しているため、式 (4.11) の左辺第 3 項の電流ベクトルのタイムステップは、電圧ベクトルと半ステップずれている。一方、節点 DD, SS から低リアクタンス部に流れ出る電流に対しては、後退差分法を適用しているため、式 (4.11) の左辺第 4 項の電流ベクトルのタイムステップは、電圧ベクトルと同じ時刻に

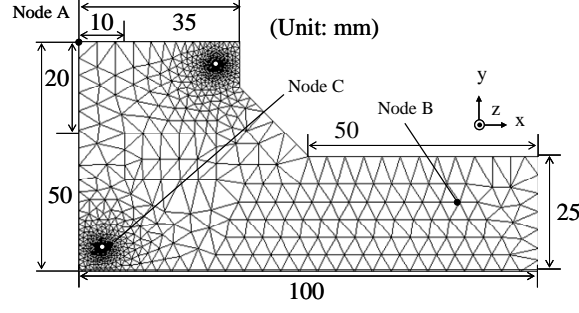


図 4.7 三角メッシュで離散化された例題回路

配置されている．そのため，式 (4.11) における電圧変数は，節点 DD, SS から低リアクタンス部に流れ出る電流の変数と同時に解く必要がある．式 (4.11) を電圧のみの更新式，つまり，未知変数を電圧変数のみにするために，式 (3.15) を右辺第 4 項に代入する．最終的に，低リアクタンス部における CMOS インバータの更新式

$$\begin{aligned}
 & \frac{1}{\Delta t} \begin{bmatrix} C_{load} & 0 & 0 \\ 0 & \hat{Y}_{DD} & -C_{cp} \\ 0 & -C_{cp} & \hat{Y}_{SS} \end{bmatrix} \begin{bmatrix} v_{out}^{n+\frac{1}{2}} \\ v_{DD}^{n+\frac{1}{2}} \\ v_{SS}^{n+\frac{1}{2}} \end{bmatrix} - \frac{1}{\Delta t} \begin{bmatrix} C_{load} & 0 & 0 \\ 0 & C_{cp} & -C_{cp} \\ 0 & -C_{cp} & C_{cp} + C_{ss} \end{bmatrix} \begin{bmatrix} v_{out}^{n-\frac{1}{2}} \\ v_{DD}^{n-\frac{1}{2}} \\ v_{SS}^{n-\frac{1}{2}} \end{bmatrix} \\
 & + \begin{bmatrix} i_{Dp}^{n+\frac{1}{2}} + i_{Dn}^{n+\frac{1}{2}} \\ -i_{Dp}^{n+\frac{1}{2}} \\ -i_{Dn}^{n+\frac{1}{2}} \end{bmatrix} + \begin{bmatrix} i_{out}^n \\ \sum_{q=1}^{N_{DD,H}^b} i_{DDq}^n \\ \sum_{q=1}^{N_{SS,H}^b} i_{SSq}^n \end{bmatrix} + \begin{bmatrix} 0 \\ \sum_{p=1}^{N_{DD,L}^b} \left(\frac{L_{DDp}}{Z_{DDp}} i_{DDp}^{n-\frac{1}{2}} + \frac{\Delta t}{Z_{DDp}} v_p^{n+\frac{1}{2}} \right) \\ \sum_{p=1}^{N_{SS,L}^b} \left(\frac{L_{SSp}}{Z_{SSp}} i_{SSp}^{n-\frac{1}{2}} + \frac{\Delta t}{Z_{SSp}} v_p^{n+\frac{1}{2}} \right) \end{bmatrix} = \mathbf{0}, \\
 & \hat{Y}_i = \frac{Y_i}{\Delta t} + \sum_{p=1}^{N_{i,L}^b} \frac{\Delta t}{Z_{ip}}. \tag{4.12}
 \end{aligned}$$

が得られる．式 (4.12) より， v_{out} ， v_{DD} ， v_{SS} を更新するためには，節点 DD, SS と隣り合う低リアクタンス部の節点電圧も同時に解く必要があることがわかる．局所陰的 LIM では，低リアクタンス部の節点電圧は，連立代数方程式 (3.16) を解くことにより，低リアクタンス部の全節点電圧を同時に更新する，そのため，低リアクタンス部に非線形素子が存在する場合，非線形素子における節点電圧と低リアクタンス部の全節点電圧を同時に解かなければならず，その更新式は非線形連立代数方程式となり，非線形ガウス・ヤコビ緩和法 [42] などを用いて解くことになる．

本手法では，まず，式 (4.12) と式 (3.16) を用いて，非線形素子を含む低リアクタンス部の節点電圧とそれ以外の低リアクタンス部の節点電圧をそれぞれ更新する．次に，式 (3.15) を用いて，低リアクタンス部の枝電流の更新を行う．そのあと，式 (4.10) と式 (3.3) を用いて，高リアクタンス部の節点電圧の更新をする．最後に，式 (3.4) を用いて，高リアクタンス部の電流の更新を行う．

4.2.3 例題

例題を用いて，提案手法の精度と解析速度の検証を行う．図 4.7 に三角メッシュで離散化された 2 層からなる平行平板を示す．この平行平板の平行間距離は $h = 0.6$ mm,

表 4.2 PARAMETERS OF MOSFET

Parameter	PMOS	NMOS	Unit
$K_{p,n}$	20.072	8.362	$\mu\text{A}/\text{V}^2$
$W_{p,n}$	2.0	2.0	μm
$L_{p,n}$	1.0	1.0	μm
V_{T_p, T_n}	-0.134	0.134	V

表 4.3 Time Step Sizes

Method	Time Step Size [ps]
非線形 LIM	0.0267
非線形局所陰的 LIM	0.30

表 4.4 CPU Times

Method	CPU Time [s]	Speed-up
非線形 LIM	625	1.00
非線形局所陰的 LIM	109	5.73

平板間の誘電体の比誘電率は $\epsilon_r = 4.2$ であり，導体平板には，中央に $20 \text{ mm} \times 10 \text{ mm}$ の開口部が存在し，直径 0.2 mm の穴が2箇所開いている．また，ノード A に 3.3V の定電圧源が接続されている．さらに，図 4.6 の非線形回路の節点 DD がノード B と C 接続しており，節点 SS は接地している．図 4.6 の NMOS, PMOS のパラメータは表 4.2 に示す．三角メッシュから抽出された等価回路網は，1890 個の節点と 5404 本の枝で構成されている．このときの未知電圧変数の係数行列を図 4.8 に示す．図 4.8 に示すように，それぞれ 792 個と 797 個の節点が含まれる 2 つの低リアクタンス部が存在し，高リアクタンス部の節点数は 301 個である．また，2 個の非線形回路ブロックが存在する．非線形回路ブロックの行列サイズは，節点 SS が接地しているため， 2×2 の密行列となっている．また，式 3.5 に基づいて計算される非線形 LIM に用いる時間刻み幅と非線形局所陰的 LIM に用いた時間刻み幅を表 4.3 に示す．表 4.3 より，非線形局所陰的 LIM では，非線形 LIM の約 11 倍大きな時間刻み幅を用いていることがわかる．CMOS インバータの入力電圧として，初期値 0 V ，振幅 3.3 V ，遅延 0 ns ，立ち上がり時間と立ち下がり時間 10 ns ，パルス幅 40 ns ，周期 100ns の台形波を入力し，非線形 LIM と非線形局所陰的 LIM を用いて 0 ns から 150 ns までの過渡解析を行い，CMOS インバータの出力波形を観察した．図 4.9, 4.10 に非線形ブロック LIM と非線形局所陰的 LIM から得られた電圧波形を示す．図 4.9, 4.10 より，非線形局所陰的 LIM の結果は非線形 LIM と非常によく一致していることがわかる．また，表 4.4 に各手法に要

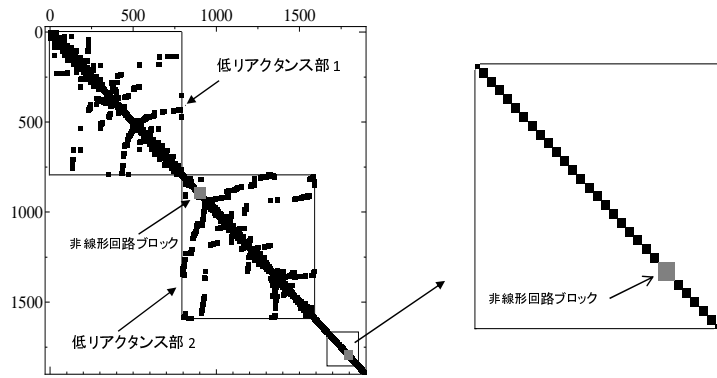


図 4.8 係数行列

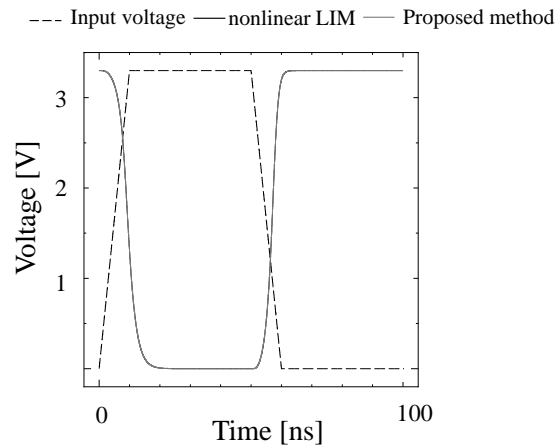


図 4.9 節点 B に接続された CMOS インバータの入出力の波形

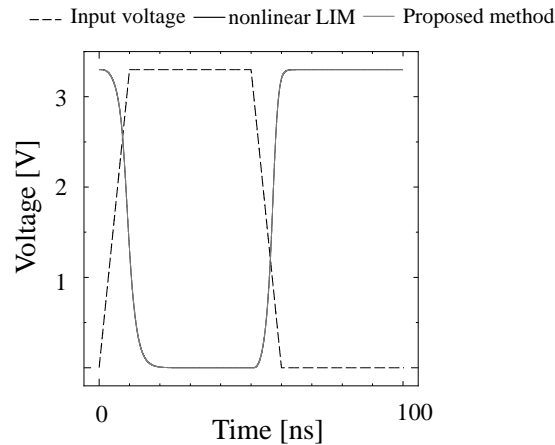


図 4.10 節点 C に接続された CMOS インバータの入出力の波形

した CPU 時間を示す。表 4.4 より、非線形局所陰的 LIM は非線形ブロック LIM よりも、約 5.73 倍高速な解析が行えることが確認できる。

本稿では、三角メッシュにより等価回路抽出された非線形素子を含む電源分配網を高速に解析するために、局所陰的 LIM における非線形素子の定式化を行った。局所陰

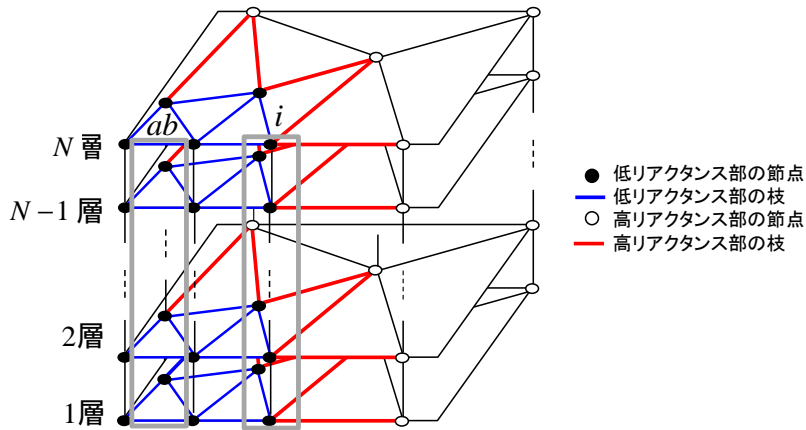


図 4.11 ドローネー三角形分割によって分割された多層構造のプリント基板

的 LIM の節点電圧の更新式は，高リアクタンス部と低リアクタンス部で異なるため，それぞれの部分回路において非線形素子の定式化を行った．高リアクタンス部の非線形の更新には Newton-Raphson 法を用いて行い，低リアクタンス部の非線形素子の更新は非線形ガウス・ヤコビ緩和法を用いて行った．また，数値結果より，本手法は，従来法と比較して非線形素子を含む電源分配網の高速な解析を可能とした．

4.3 局所陰的ブロック型 LIM

ブロック型 LIM も LIM と同様に式 (3.5) によって時間刻み幅が制限されるため，ビアなど微小な構造を含む多導体伝送線路や多層構造の電源分配回路網のように微小なリアクタンス成分が一部分に存在する場合，効率的な解析を行うことができない．本章では，この問題点を解決するために，LIM に局所的に陰的手法を適用したようにブロック型 LIM にも局所的に陰的手法を適用した局所陰的ブロック型 LIM を提案する．

4.3.1 定式化

局所陰的ブロック型 LIM の低リアクタンス部内の節点の電圧更新式と枝の電流更新式を導出するために，図 4.11 に示すような N 層の多層基板の等価回路網を考える．図 4.11 において，黒丸と青線は低リアクタンス部内の電圧と電流をそれぞれ表しており，白丸赤青線は高リアクタンス部内の電圧と電流をそれぞれ表している．また，図 4.11 中の枝ブロック構造 ab と節点ブロック構造 i の詳細な回路図を図 4.12 (a) と図 4.12 (b) にそれぞれ示す．図 4.12 (a), (b) に示すように，多層基板の各ブロック構造は，上下の一对の枝，または節点のみが結合している．図 4.12 (a) において，枝構造 (ab, y) は，節点ブロック構造 a と節点ブロック構造 b の $y+1$ 層の節点間の枝構造を表している．さらに， L_y は，インダクタンス $L_{(ab, y+1)}$ と $L_{(ab, y)}$ 間の相互インダクタンスを表している．図 4.12 (b) において，節点 (i, y) は，節点ブロック構造 i の $y+1$ 層における節点を表している．また， $\tilde{i}_{(k, y)}$, $\hat{i}_{(l, y)}$ は，節点 (i, y) と接続している高リアクタンス部内の枝ブロック構造 k の $y+1$ 層の枝に流れる電流と低リアクタンス部

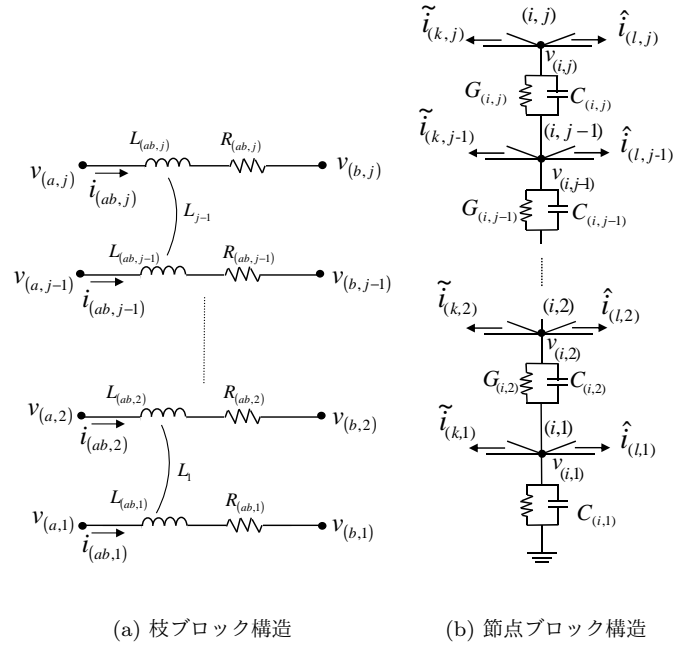


図 4.12 多層基板の等価回路網における枝ブロック構造と節点ブロック構造

LRP 内の枝ブロック構造 l の $y+1$ 層の枝に流れる電流をそれぞれ表している．まず、低リアクタンス部内の枝ブロック構造の電流更新式の導出を行う．図 4.12 (a) の枝ブロック構造の各枝構造に対して、KVL を適用すると

$$\mathbf{v}_a - \mathbf{v}_b = \mathbf{L}_{ab} \frac{d}{dt} \mathbf{i}_{ab} + \mathbf{R}_{ab} \hat{\mathbf{i}}_{ab}, \quad (4.13)$$

$$\mathbf{v}_a = \begin{bmatrix} v_{(a,1)} \\ v_{(a,2)} \\ \vdots \\ v_{(a,j-1)} \\ v_{(a,j)} \end{bmatrix}, \mathbf{v}_b = \begin{bmatrix} v_{(b,1)} \\ v_{(b,2)} \\ \vdots \\ v_{(b,j-1)} \\ v_{(b,j)} \end{bmatrix}, \mathbf{i}_{ab} = \begin{bmatrix} \hat{i}_{(ab,1)} \\ \hat{i}_{(ab,2)} \\ \vdots \\ \hat{i}_{(ab,j-1)} \\ \hat{i}_{(ab,j)} \end{bmatrix},$$

$$\mathbf{R}_{ab} = \begin{bmatrix} R_{(l,1)} & & & & 0 \\ & R_{(l,2)} & & & \\ & & \ddots & & \\ & & & R_{(i,j-1)} & \\ 0 & & & & R_{(i,j)} \end{bmatrix},$$

$$\mathbf{L}_{ab} = \begin{bmatrix} L_{(ab,1)} & L_1 & & & 0 \\ L_1 & L_{(ab,2)} & L_2 & & \\ & & \ddots & & \\ & & & L_{j-2} & L_{(ab,j-1)} & L_{j-1} \\ 0 & & & L_{j-1} & L_{(ab,j)} \end{bmatrix}, L_m = \sum_{k=1}^m L_{(ab,k)}$$

が得られる．式 (4.13) の \mathbf{L}_{ab} は，枝ブロック構造 ab のインダクタンスが互いに局所的に結合していることを表している．式 (4.13) に対して，後退差分法を適用し， $\hat{\mathbf{i}}_{ab}^{n+\frac{1}{2}}$ について整理することにより，低リアクタンス部の電流の更新式として

$$\hat{\mathbf{i}}_{ab}^{n+\frac{1}{2}} = \mathbf{Z}_{ab}^{-1} \mathbf{L}_{ab} \hat{\mathbf{i}}_{ab}^{n-\frac{1}{2}} + \Delta t \mathbf{Z}_{ab}^{-1} (\mathbf{v}_a^{n+\frac{1}{2}} - \mathbf{v}_b^{n+\frac{1}{2}}) \quad (4.14)$$

が得られる．ここで， $\mathbf{Z}_{ab} \equiv \mathbf{L}_{ab} + \Delta t \mathbf{R}_{ab}$ と定義した．式 (4.14) より，低リアクタンス部の枝電流の更新は，1 ステップ前の自身の値と同時刻の枝の両端の節点電圧の値が必要となる．

次に，低リアクタンス部内の節点ブロック構造の電圧の更新式の導出を行う．図 4.12 (b) の節点ブロック構造の各節点に対して，KCL を適用すると

$$-\sum_{k=1}^{N_i^{b,H}} \tilde{\mathbf{i}}_k - \sum_{l=1}^{N_i^{b,L}} \hat{\mathbf{i}}_l = \mathbf{C}_i \frac{d}{dt} \mathbf{v}_i + \mathbf{G}_i \mathbf{v}_i, \quad (4.15)$$

$$\tilde{\mathbf{i}}_k = \begin{bmatrix} \tilde{i}_{(k,1)} \\ \tilde{i}_{(k,2)} \\ \vdots \\ \tilde{i}_{(k,j-1)} \\ \tilde{i}_{(k,j)} \end{bmatrix}, \hat{\mathbf{i}}_l = \begin{bmatrix} \hat{i}_{(l,1)} \\ \hat{i}_{(l,2)} \\ \vdots \\ \hat{i}_{(l,j-1)} \\ \hat{i}_{(l,j)} \end{bmatrix}, \mathbf{v}_i = \begin{bmatrix} v_{(i,1)} \\ v_{(i,2)} \\ \vdots \\ v_{(i,j-1)} \\ v_{(i,j)} \end{bmatrix},$$

$$\mathbf{G}_i = \begin{bmatrix} G_{(i,1)} & & & & 0 \\ & G_{(i,2)} & & & \\ & & \ddots & & \\ & & & G_{(i,j-1)} & \\ 0 & & & & G_{(i,j)} \end{bmatrix},$$

$$\mathbf{C}_i = \begin{bmatrix} C_1 & -C_{(i,1)} & & & 0 \\ -C_{(i,1)} & C_2 & -C_{(i,2)} & & \\ & & \ddots & & \\ & & & -C_{(i,j-1)} & C_{j-1} & -C_{(i,j)} \\ 0 & & & & -C_{(i,j)} & C_{(i,j)} \end{bmatrix}$$

が得られる．ここで， $N_{(i,j)}^{b,H}$ ， $N_{(i,j)}^{b,L}$ は，節点ブロック構造 i と接続している高リアクタンス部内の枝ブロック構造の総数と低リアクタンス部内の枝ブロック構造の総数をそれぞれ表している．また，式 (4.15) の \mathbf{C}_i は節点ブロック構造 i 内の節点が互いに局所的に結合していることを表している．式 (4.15) に対して，低リアクタンス部の電流に関しては陰的な後退差分を，高リアクタンス部の電流に関しては陽的な leapfrog 型の差分法を適用し， $\mathbf{v}_i^{n+\frac{1}{2}}$ について整理すると低リアクタンス部内の節点電圧の更新式として

$$\frac{\mathbf{Y}_i}{\Delta t} \mathbf{v}_i^{n+\frac{1}{2}} = \frac{\mathbf{C}_i}{\Delta t} \mathbf{v}_i^{n-\frac{1}{2}} - \sum_{k=1}^{N_i^{b,H}} \tilde{\mathbf{i}}_k^n - \sum_{l=1}^{N_i^{b,L}} \hat{\mathbf{i}}_l^{n+\frac{1}{2}} \quad (4.16)$$

が得られる．ここで， $\mathbf{Y}_i \equiv \mathbf{C}_i + \Delta t \mathbf{G}_i$ と定義した．式 (4.16) より，低リアクタンス部内の節点電圧の更新は 1 ステップ前の自身の値と同時刻の低リアクタンス部内の枝電

流の値が必要となることが分かる。したがって、低リアクタンス部内の節点電圧と枝電流の更新は互いに双方の同時刻の値を必要とする。そのため、ある低リアクタンス部内の節点ブロック構造と枝ブロック構造の総数をそれぞれ $N^{nb,L}$, $N^{bb,L}$ とし、各節点ブロック構造に含まれる節点数を $N^{n,nb}$, 各枝ブロック構造に含まれる枝の数を $N^{b,bb}$ とすると、その低リアクタンス部内の節点電圧と枝電流の更新を行うためには、行、及び列の数が $N^{nb,L}N^{n,nb} + N^{bb,L}N^{b,bb}$ の行列を解かなければならない。

計算量を削減するために式 (4.16) の右辺 $\hat{\mathbf{i}}_i^{n+\frac{1}{2}}$ に式 (4.14) を代入することにより、低リアクタンス部内の節点電圧の更新式は

$$\begin{aligned} & \left\{ \frac{\mathbf{Y}_i}{\Delta t} + \sum_{k=1}^{N_i^{b,L}} \Delta t \mathbf{Z}_{ik}^{-1} \right\} \mathbf{v}_i^{n+\frac{1}{2}} - \sum_{k=1}^{N_i^{b,L}} \left(\Delta t \mathbf{Z}_{ik}^{-1} \mathbf{v}_k^{n+\frac{1}{2}} \right) \\ & = \frac{\mathbf{C}_i}{\Delta t} \mathbf{v}_i^{n-\frac{1}{2}} - \hat{\mathbf{i}}_{i,\text{sum}}^{n-\frac{1}{2}} - \sum_{k=1}^{N_i^{b,L}} \mathbf{Z}_{ik}^{-1} \mathbf{L}_{ik} \mathbf{i}_{ik}^{n-\frac{1}{2}} \end{aligned} \quad (4.17)$$

となる。式 (4.17) は、低リアクタンス部内の節点ブロック構造 i とそれに接続している節点ブロック構造に関する式となっており、低リアクタンス部内の全節点ブロック構造の節点電圧の更新式は、行列形式で

$$\left(\frac{\mathbf{Y}_L}{\Delta t} + \Delta t \mathbf{Z}_L^{-1} \right) \mathbf{v}_L^{n+\frac{1}{2}} = \frac{\mathbf{C}_L}{\Delta t} \mathbf{v}_L^{n-\frac{1}{2}} - \mathbf{b}_L^{n-\frac{1}{2}} \quad (4.18)$$

と書き表せる。ここで、 \mathbf{Y}_L , \mathbf{Z}_L , \mathbf{C}_L は、対応する位置にそれぞれ \mathbf{Y}_i , \mathbf{Z}_{ik} , \mathbf{C}_i がスタンプされた行列である。また、 \mathbf{v}_L は、低リアクタンス部内の節点電圧ベクトル \mathbf{v}_i から成る未知電圧ベクトル、 \mathbf{b}_L は、既知ベクトルである。式 (4.18) の左辺は、低リアクタンス部内の節点ブロック構造同士の接続関係を表す非対角行列であり、節点ブロック構造同士が局所的に結合していることを表している。よって、式 (4.18) を解いて節点電圧を更新するためには、LU 分解法などの直接法やガウスザイデル法などの緩和法による行列演算が必要となる。局所陰的ブロック型 LIM では、最初に式 (4.18) を用いて各低リアクタンス部において節点の電圧の更新を行う。次に、式 (4.14) を用いて低リアクタンス部内の枝の電流の更新を代入演算のみで行う。その後、高リアクタンス部内の節点の電圧と枝の電流を式 (3.7) と式 (3.9) を用いてそれぞれ更新を行う。提案手法では、時間刻み幅を小さくしなくてはならない低リアクタンス部に対して局所的に陰解法を用いることで、1 タイムステップあたりの計算量が増える一方で、数値安定条件を緩和することができる。よって、時間刻み幅は、高リアクタンス部内の比較的大きな値のリアクタンス成分のみに依存するため、総タイムステップ数を大幅に削減でき、従来法より数倍以上高速な解析を行うことができる。一方、例えば、基板全体に多数のビアが近接して存在しており、回路網に含まれる素子のほとんどが同一低リアクタンス部に含まれる場合、1 タイムステップあたりの計算量が増加し、効率的な解析を行うことができない可能性がある。しかし、素子の大半が低リアクタンス部に含まれる場合でも、それを分割できるときは、それほど計算量が増加することはないため、従来法より高速な解析を行える。

4.3.2 例題検証

本手法、及びブロック型 LIM を用いて多層構造の電源分配網の解析を行い、本手法の精度と計算時間の検証を行う。図 4.13 に、三角メッシュを用いて離散化された 3 層

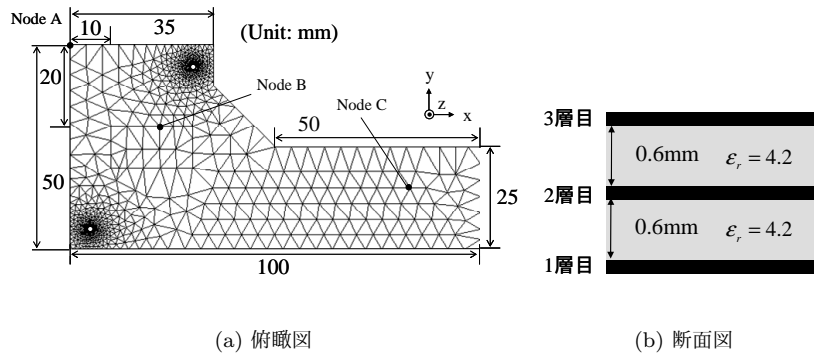


図 4.13 三角メッシュによって離散化された解析対象の平行平板

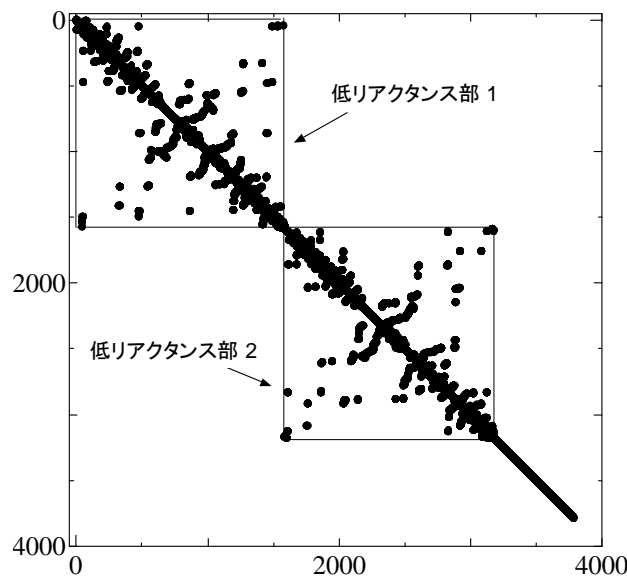


図 4.14 式 (4.18) の左辺の係数行列

構造の平行平板を示す。提案手法の有効性を検証できる例題として、等価回路網が不均一分布定数回路網となる図 4.13 に示すようなスルーホールビアが存在する例題回路を用いた。これら平行平板の平板間距離は、ともに $h = 0.6 \text{ mm}$ 、平板間の誘電体の比誘電率は $\epsilon_r = 4.2$ である。また、直径 0.2 mm の穴が 2 箇所開いている。図 4.13 の 3 層目の節点 A に供給電源として 1 V の定電圧源を接続し、節点 B に入力励振源として初期値 0.5 A 、パルス値 0.005 A 、遅延時間 0.1 ns 、立ち上がり時間 0.1 ns 、立ち下がり時間 0.3 ns 、周期 10 ns の三角波の電流源を接続した。また、三角メッシュから抽出された等価回路網は 3788 個の節点と 10862 本の枝で構成されている。さらに、各節点ブロック構造と各枝ブロック構造は図 4.12 の $j = 2$ のときの構造となっている。

局所陰的ブロック型 LIM を用いた解析では、時間刻み幅を 0.26 ps とした。この場合の式 (4.18) の左辺における係数行列の構造を図 4.14 に示す。図 4.14 に示すように、それぞれ 1584、1596 個の節点が含まれる 2 つの低リアクタンス部が存在し、低リアクタンス部以外の部分回路の節点数は、608 個となった。このとき、低リアクタンス部

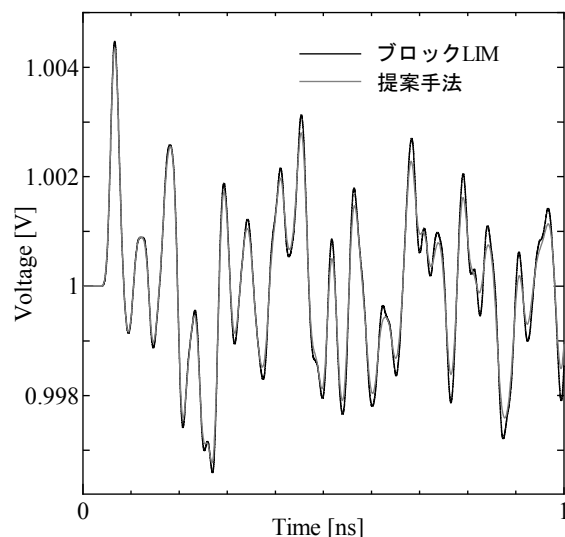


図 4.15 節点 C における電圧波形

表 4.5 各手法における時間刻み幅

Method	時間刻み幅 [ps]
ブロック型 LIM	0.026
局所陰的ブロック型 LIM	0.26

に対応する部分行列は，非対角要素が存在するスパース行列になっている．一方，低リアクタンス部以外の部分回路に対応する右下の部分行列は，式 (4.15) より， 2×2 の密行列をブロックとして持つブロック対角構造になっている．また，行列演算の解法として LU 分解法を利用した．

式 (3.5) に基づいて計算したブロック型 LIM と提案手法に用いた時間刻み幅を表 4.5 に示す．等価回路網を提案手法，及びブロック型 LIM を用いて 0 ns から 5 ns までの過渡解析を行い，図 4.13 の 2 層目の節点 C の電圧波形を観測した．図 4.15 にブロック型 LIM と提案手法から得られた電圧波形を示す．図 4.15 より，提案手法の電圧波形は，わずかな誤差がある．この誤差は，低リアクタンス部に対して大きな時間刻み幅を用いているために生じたと考えられる．しかしながら，提案手法の誤差は，十分に許容範囲内だと考えられる．また，表 4.6 に各手法が解析に要した CPU 時間を示す．表 4.6 より，回路素子数が 14650 個，素子数が全体の約 40% の低リアクタンス部が 2

表 4.6 CPU 時間

Method	CPU Time [s]	Speed-up
ブロック型 LIM	202	1.0
局所陰的ブロック型 LIM	53	3.8

つ存在する場合において、提案手法はブロック型 LIM よりも、約 3.8 高速な解析を行えることが確認できる。

本章では、三角メッシュにより等価回路抽出された多層構造の電源分配網を高速に解析する手法として、局所陰的ブロック型 LIM を提案した。抽出された等価回路網は節点ブロック構造と枝ブロック構造に必ずリアクタンス成分を含むため、ブロック型 LIM が要求する回路構造を持つ。一方で、リアクタンス成分の値は三角メッシュのサイズに依存して小さくなるため、微小な構造や任意形状を含む電源分配網の等価回路を解析する場合、最小リアクタンス成分に依存する数値安定条件によって、時間刻み幅が厳しく制限されるという問題があった。提案手法では、解析対象の回路網を複数の低リアクタンス部とそれ以外の部分回路に分割し、低リアクタンス部には陰解法を用いて解き、それ以外の部分回路は陽解法を用いて解いている。このような局所陰解法により、1 タイムステップあたりの計算コストは増加する一方、最大時間刻み幅が低リアクタンス部内の値よりも比較的大きなリアクタンス成分によってのみ制限されるため、数値安定条件を緩和でき、結果として高速な解析を可能とした。

4.4 マルチレート局所陰的ブロック型 LIM

局所陰的ブロック型 LIM において、回路のマルチレート性に着目し、各部分回路に適切な時間刻み幅を適用することで、より高速な過渡解析を行うマルチレート局所陰的ブロック型 LIM を提案する。基本的な概念は、4 章で述べたマルチレート局所陰的 LIM と同じであり、低リアクタンス部と高リアクタンス部のマルチレート性を利用し、低リアクタンス部の電圧と電流の更新により大きな時間刻み幅を用いる。低リアクタンス部に用いる時間刻み幅 $\Delta t_{MLIBLIM}$ は、高リアクタンス部に用いる時間刻み幅 Δt を用いて、

$$\Delta t_{MLIBLIM} = M\Delta t \quad (4.19)$$

と表せる。ここで、 M は 1 以上の整数のスケール係数である。つまり、低リアクタンス部には、高リアクタンス部に用いる時間刻み幅の M 倍の時間刻み幅を用いることになる。したがって、高リアクタンス部の電圧と電流を M 回更新するたびに、低リアクタンス部の電圧と電流を 1 回更新していく。これにより、低リアクタンス部の計算回数を $\frac{1}{M}$ 回に減少させることができ、より高速な解析が行える。

4.4.1 例題検証

本手法、及び局所陰的ブロック型 LIM を用いて多層構造の電源分配回路網の解析を行い、本手法の精度と計算時間の検証を行う。図 4.16 に層構造の平行平板の例題回路を示す。図 4.16 において、平行平板は $100\text{mm} \times 100\text{mm}$ 、平行平板の平板間距離は、ともに $h=0.6\text{ mm}$ 、平板間の誘電体の比誘電率は $\epsilon = 4.2$ である。また、直径 0.1 mm の穴が 20 箇所開いている。さらに、励起源として内部抵抗 50Ω 、初期値 0 A 、振幅 0.5 A 、立ち上がり時間 0.1 ns 、立ち下がり時間 0.1 ns 、遅延時間 0.1 ns の三角波の電流源を 3 層目の Input ノードに接続している。三角メッシュから抽出された等価回路網は、3642 個の節点ブロック構造と枝ブロック構造で構成されている。提案手法、及び局所

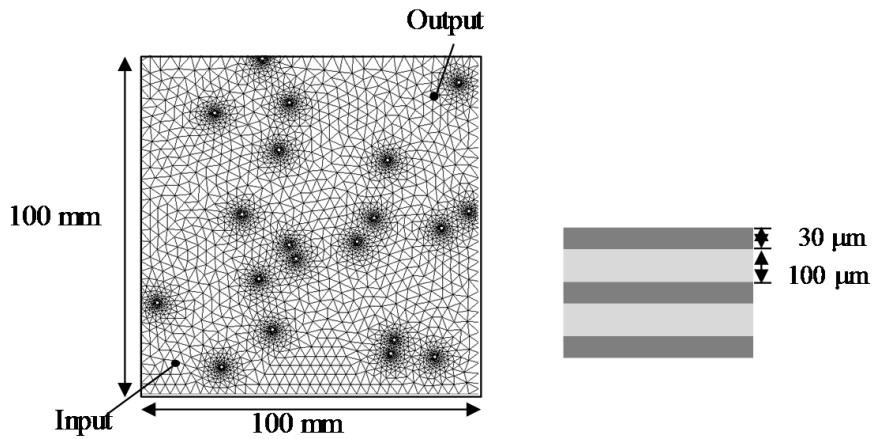


図 4.16 例題回路の鳥瞰図と断面図

表 4.7 CPU Times

Method	CPU Time [s]	Speed-up
局所陰的ブロック型 LIM	10.6	22.2
提案手法	7.1	33.2

陰的ブロック型 LIM の時間刻み幅には 2.5 ns を用いた。このとき、それぞれ 64, 65, 65, 65, 66, 66, 67, 67, 67, 68, 68, 68, 68, 69, 70, 71, 72, 135 個の節点ブロック構造が含まれる 19 の低リアクタンス部が存在し、高リアクタンス部の節点ブロック構造の数は 2296 個となった。等価回路網を提案手法、及び局所陰的ブロック型 LIM を用いて 0 ns から 10 ns までのかと解析を行い、1 層目の Output ノードの電圧波形を観測した。図 4.17 に提案手法、及び局所陰的ブロック型 LIM から得られた電圧波形を示す。図 4.17 より、僅かな誤差があるが、提案手法の誤差は十分に許容範囲だと考えられる。また、表 4.7 に各手法が解析に要した CPU 時間を示す。表 4.7 より、提案手法は局所陰的ブロック型 LIM よりも、約 1.5 倍高速な解析を行えることが確認できる。

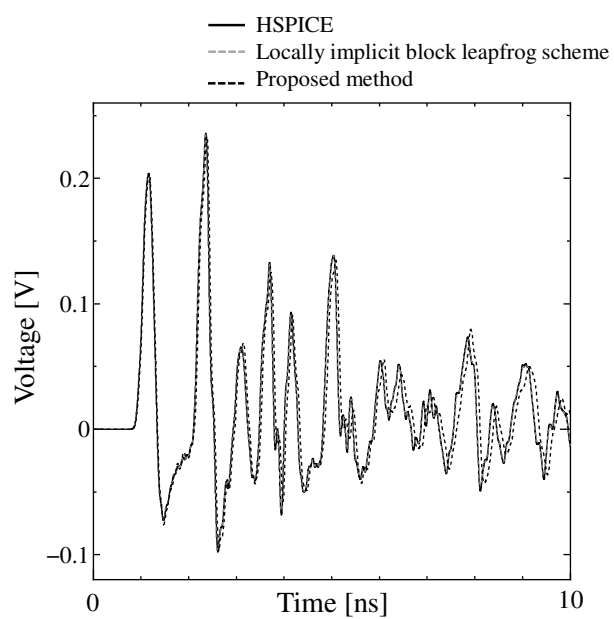


図 4.17 Output ノードにおける電圧波形

第 5 章

結論

本稿では、従来の LIM 型手法の改良手法を提案した。まず、局所陰的 LIM における部分回路のマルチレート性に着目し、マルチレート局所陰的 LIM の提案をした。局所陰的 LIM は、解析対象の回路網を低リアクタンス部と高リアクタンス部に回路分割を行い、数値安定条件の厳しい低リアクタンス部に対しては無条件安定である陰的手法を用いることにより、LIM の数値安定条件を緩和させる手法である。その手法の性質から、特に微小構造を含む電源分配回路網の等価回路網などの不均一の分布定数回路網の解析に適した手法である。マルチレート局所陰的 LIM では、低リアクタンス部と高リアクタンス部のマルチレート性に着目し、低リアクタンス部には高リアクタンス部に用いる時間刻み幅より大きな時間刻み幅を用いた。これにより、行列演算を必要とする比較的計算コストの高い低リアクタンス部の更新回数を減少させることができ、局所陰的 LIM より高速な過渡解析を可能とした。例題検証では、低リアクタンス部に高リアクタンス部に用いる時間刻み幅の 2 倍大きな時間刻み幅を用いることにより、約 10000 個の素子から構成される回路網を局所陰的 LIM より 1.16 倍高速な解析を行えた。

次に、局所陰的 LIM を用いて非線形素子を含んだ回路の解析が可能な非線形局所陰的 LIM を提案した。本稿では、非線形として CMOS インバータを扱い、更新式の異なる低リアクタンス部と高リアクタンス部における定式化を行った。高リアクタンス部では、従来法である非線形 LIM と同様に Newton-Raphson 法等の反復法を用いて更新を行う。一方、低リアクタンス部では、その低リアクタンス部に含まれる全節点電圧を同時に更新するため、非線形素子が存在する低リアクタンス部は非線形ガウス・ヤコビ緩和法などを用いて、非線形連立代数方程式を解く必要がある。例題検証より、高リアクタンス部及び低リアクタンス部に非線形素子を含んでいる回路の解析が行えていることを確認できた。

さらに、ブロック型 LIM の高速化手法として局所陰的ブロック型 LIM 型を提案した。ブロック型 LIM は、相互結合素子が存在する回路網の解析を可能にした LIM の改良手法であり、相互結合素子によって結合している節点、または枝構造をブロック構造として扱い、それぞれのブロック構造ごとに更新を行う手法であった。ブロック構造の更新には行列演算を行う必要があるが、その行列サイズは比較的小さいため、回路全体の行列演算を必要とする SPICE 系シミュレータより高速な解析が可能であ

る。しかし，leapfrog 型の差分法に基づいているため，厳しい数値安定条件が存在する。局所陰的ブロック型 LIM では局所陰的 LIM と同様に，部分回路に分割し，陰的手法と leapfrog 法を適切に使い分けることにより，その数値安定条件を緩和させ，ブロック型 LIM の高速化を行っている。その手法の性質から，微小構造を含む多層構造の電源分配回路網や多導体伝送線路の等価回路網のように，相互結合素子を含み部分的に微小なリアクタンス成分が存在する大規模回路網に適した手法である。例題検証では，29300 個の素子からなる相互結合素子を含む回路網において，ブロック型 LIM の時間刻み幅の 10 倍大きな時間刻み幅を用いることにより，約 3.8 倍高速に解析を行うことができた。

最後に低リアクタンス部と高リアクタンス部のマルチレート性を利用したマルチレート局所陰的ブロック型 LIM を提案した。例題検証では約 28000 個の素子からなる相互結合素子を含み回路網において，低リアクタンス部に高リアクタンス部に用いる時間刻み幅の 2 倍大きな時間刻み幅を用いることにより，局所陰的ブロック型 LIM の約 1.5 倍高速な解析が行えることを確認できた。

謝辞

本研究をすすめるにあたり，終始熱心にご指導していただいた浅井秀樹教授に深く感謝致します。国際会議や共同研究などの場へ積極的に参加させてくださったことは，本研究を完遂するための大きなモチベーションになっただけではなく，一研究者として非常に恵まれた奮励の機会となりました。

卒業された研究室の先輩方，また，關根惟敏氏（日本学術振興会特別研究員（PD）），井上雄太氏（セサミテクノロジー株式会社），博士課程の島崎睦氏（三菱電機株式会社），修士生の平田幹人君，坂本和基君，中垣薫君，新垣一紀君，及川陽平君，中谷泰宏君，学部生の近藤功之君，久野靖貴君，中村昌弘君，Ngo Ha Anh 君への誠意を，彼らとのディスカッションが多くの疑問の解決や新たな問題提起の場となり，本研究の礎となりました。

大学院への進学を快く承諾し，在学中も不自由なく勉学へ励めるよう支えてくれた両親に心から感謝します。

参考文献

- [1] H. Asai, “SI/PI/EMI simulation technology for high-speed electronic design,” *IEICE ESS Fundamentals Review*, vol. 5, pp. 146–154, 2011.
- [2] M. Swaminathan, D. Chung, S. Grivet-Talocia, K. Bharath, V. Laddha, and J. Xie, “Designing and modeling for power integrity,” *Electromagnetic Compatibility, IEEE Transactions on*, vol. 52, no. 2, pp. 288–310, May 2010.
- [3] A. Ege Engin, K. Bharath, and M. Swaminathan, “Multilayered finite-difference method (MFDM) for modeling of package and printed circuit board planes,” *Electromagnetic Compatibility, IEEE Transactions on*, vol. 49, no. 2, pp. 441–447, May 2007.
- [4] A. Engin, M. Swaminathan, and Y. Toyota, “Finite difference modeling of multiple planes in packages,” in *Electromagnetic Compatibility, 2006. EMC-Zurich 2006. 17th International Zurich Symposium on*, Feb 2006, pp. 549–552.
- [5] J. Y. Choi and M. Swaminathan, “An effective modeling method for multi-scale and multilayered power/ground plane structures,” in *Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st*, May 2011, pp. 477–483.
- [6] K.-B. Wu, G.-H. Shiue, W.-D. Guo, C.-M. Lin, and R.-B. Wu, “Delaunay-voronoi modeling of power-ground planes with source port correction,” *Advanced Packaging, IEEE Transactions on*, vol. 31, no. 2, pp. 303–310, May 2008.
- [7] K. Bharath, J. Y. Choi, and M. Swaminathan, “Use of the finite element method for the modeling of multi-layered power/ground planes with small features,” in *Electronic Components and Technology Conference, 2009. ECTC 2009. 59th*, May 2009, pp. 1630–1635.
- [8] J. Y. Choi and M. Swaminathan, “Decoupling capacitor placement in power delivery networks using mfem,” *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 1, no. 10, pp. 1651–1661, Oct 2011.
- [9] D. F. Watson, “Computing the n-dimensional delaunay tessellation with application to voronoi polytopes,” *The Computer Journal*, vol. 24, no. 2, pp. 167–172, 1981.

- [10] P. P. Silvester and R. L. Ferrari, *Finite Elements for Electrical Engineers*. Cambridge university, 1996.
- [11] M. N. Sadiku, *Numerical Techniques in Electromagnetics, Second Edition 2nd edition*. CRC Press, 2000.
- [12] J. Jin, *The Finite Element Method in Electromagnetics*. Cambridge university, 2002.
- [13] J. Schutt-Aine, “Latency insertion method (LIM) for the fast transient simulation of large networks,” *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 48, no. 1, pp. 81–89, Jan 2001.
- [14] P. Liu, J. Tan, Z. Zhou, J. Schutt-Aine, and P. Goh, “A comparison of two latency insertion methods in dependent sources applications,” in *Electrical Performance of Electronic Packaging and Systems (EPEPS), 2011 IEEE 20th Conference on*, Oct 2011, pp. 295–298.
- [15] K. Yee, “Numerical solution of initial boundary value problems involving maxwell’s equations in isotropic media,” *Antennas and Propagation, IEEE Transactions on*, vol. 14, no. 3, pp. 302–307, May 1966.
- [16] J. Schutt-Aine, “Latency insertion method (lim) for the fast transient simulation of large networks,” *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 48, no. 1, pp. 81–89, Jan 2001.
- [17] S. Lalgudi and M. Swaminathan, “Analytical stability condition of the latency insertion method for nonuniform glc circuits,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 55, no. 9, pp. 937–941, Sept 2008.
- [18] T. Sekine and H. Asai, “Block-latency insertion method (Block-LIM) for fast transient simulation of tightly coupled transmission lines,” *Electromagnetic Compatibility, IEEE Transactions on*, vol. 53, no. 1, pp. 193–201, Feb 2011.
- [19] T. Sekine and H. Asai, “Simulation of multiconductor transmission lines using block-latency insertion method and model order reduction technique,” in *Electromagnetic Compatibility of Integrated Cricuits (EMC Compo), 2011 8th Workshop on*, Nov 2011, pp. 203–206.
- [20] H. Kurobe, T. Sekine, and H. Asai, “Locally implicit LIM for the simulation of PDN modeled by triangular meshes,” *Microwave and Wireless Components Letters, IEEE*, vol. 22, no. 6, pp. 291–293, June 2012.
- [21] S. Okada, H. Kurobe, T. Sekine, and H. Asai, “Fast transient analysis of power distribution network modeled by unstructured meshes by using locally implicit latency insertion method,” in *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2012 IEEE*, Dec 2012, pp. 21–24.

- [22] P. Goh, J. Schutt-Aine, D. Klokov, J. Tan, P. Liu, W. Dai, and F. Al-Hawari, "Partitioned latency insertion method with a generalized stability criteria," *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 1, no. 9, pp. 1447–1455, Sept 2011.
- [23] H. Asai and N. Tsuboi, "Multi-rate latency insertion method with RLCG-MNA formulation for fast transient simulation of large-scale interconnect and plane networks," in *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th*, May 2007, pp. 1667–1672.
- [24] L. W. Nagel and D. Pederson, "SPICE (simulation program with integrated circuit emphasis)," EECS Department, University of California, Berkeley, Tech. Rep. UCB/ERL M382, Apr 1973.
- [25] W. J. McCalla, *Fundamentals of Computer-Aided Circuit Simulation*. Kluwer Academic Publishers, 1988.
- [26] J. Chen and J. Wang, "A three-dimensional semi-implicit fdtd scheme for calculation of shielding effectiveness of enclosure with thin slots," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 49, no. 2, pp. 354–360, May 2007.
- [27] U. Chen and J. Wang, "Numerical simulation using hie-fdtd method to estimate various antennas with fine scale structures," *Antennas and Propagation, IEEE Transactions on*, vol. 55, no. 12, pp. 3603–3612, Dec 2007.
- [28] M. Unno and H. Asai, "HIE-FDTD method for hybrid system with lumped elements and conductive media," *Microwave and Wireless Components Letters, IEEE*, vol. 21, no. 9, pp. 453–455, Sept 2011.
- [29] M. Unno, S. Aono, and H. Asai, "GPU-based massively parallel 3-D HIE-FDTD method for high-speed electromagnetic field simulation," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 54, no. 4, pp. 912–921, Aug 2012.
- [30] Y. Nakazono and H. Asai, "Multi-rate FDTD method for fast electromagnetic simulation," in *Electrical Performance of Electronic Packaging, 2007 IEEE*, Oct 2007, pp. 283–286.
- [31] S. M. Rao, *Fundamentals of Computer-Aided Circuit Simulation*. Academic Press, 1988.
- [32] C. Fumeaux, D. Baumann, P. Leuchtman, and R. Vahldieck, "A generalized local time-step scheme for efficient FVTD simulations in strongly inhomogeneous meshes," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, no. 3, pp. 1067–1076, March 2004.
- [33] K. Lee and A. Barber, "Modeling and analysis of multichip module power supply planes," *Components, Packaging, and Manufacturing Technology, Part B:*

- Advanced Packaging, IEEE Transactions on*, vol. 18, no. 4, pp. 628–639, Nov 1995.
- [34] D. K. Cheng, *Field and Wave Electromagnetics*. Addison-Wesley, 1989.
- [35] R. Bansal, *Engineering Electromagnetics*. CRC Press, 2004.
- [36] A. Dobrowolski, *Introduction to Computer Methods for Microwave Circuit Analysis and Design*. Artech House Publishers, 1991.
- [37] L. O. Chua and P.-M. Lin, *Computer-Aided Analysis of Electronic Circuits: Algorithms and Computational Techniques*. CRC Press, 1975.
- [38] W. Liu, *MOSFET Models for SPICE Simulation: Including BSIM3v3 and BSIM4*. Wiley-IEEE Press, 2001.
- [39] H. Shichman and D. Hodges, “Modeling and simulation of insulated-gate field-effect transistor switching circuits,” *Solid-State Circuits, IEEE Journal of*, vol. 3, no. 3, pp. 285–289, Sep 1968.
- [40] P. Goh and J. Schutt-Aine, “Latency insertion method (lim) for cmos circuit simulations with multi-rate considerations,” in *Electrical Performance of Electronic Packaging and Systems (EPEPS), 2011 IEEE 20th Conference on*, Oct 2011, pp. 125–128.
- [41] Y. Hizawa, H. Kurobe, T. Sekine, and H. Asai, “Nonlinear block latency insertion method for fast simulation of strongly coupled network with cmos inverters,” in *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2011 IEEE*, Dec 2011, pp. 1–4.
- [42] H. Asai and T. Watanabe, *Electronic Circuit Simulation Techniques*. Science and Technology Press, 2003.