

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 18 日現在

機関番号：13801

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24300017

研究課題名(和文) 3次元光電子機械プログラマブルデバイスの開発と動的回路実装技術の確立

研究課題名(英文) Development of a 3-dimensional optoelectronic mechanical programmable device and its dynamic circuit implementation

研究代表者

渡邊 実 (Watanabe, Minoru)

静岡大学・工学研究科・准教授

研究者番号：30325576

交付決定額(研究期間全体)：(直接経費) 13,800,000円

研究成果の概要(和文)：本研究ではMEMS (Micro Electro Mechanical Systems)、レーザアレイ、ホログラムメモリ、集積回路を駆使した3次元光電子機械プログラマブルデバイスを開発し、そのデバイス上でカスタム集積回路の性能を打ち破れる動的回路実装技術の確立を目指した。高速動的再構成を活用することで、プログラマブルデバイスのゲートアレイの性能を最大で234倍にまで改善できることを実証した。

研究成果の概要(英文)：This research has developed a 3-dimensional optoelectronic mechanical programmable device consisting of a micro mirror array which is a type of micro electro mechanical systems (MEMS), a laser array, a holographic memory, an optically reconfigurable gate array. In addition, a dynamic circuit implementation method on the 3-dimensional optoelectronic mechanical programmable device has been researched to accelerate the gate array operations. As a result, we have achieved 234 times faster operations than conventional static circuit operations under a programmable architecture.

研究分野：光情報処理、集積回路工学、宇宙デバイス

キーワード：光再構成ゲートアレイ プログラマブルデバイス MEMS ホログラムメモリ FPGA

1. 研究開始当初の背景

近年、集積回路の微細化が極限にまで進み、トランジスタの絶縁膜厚は原子数個分、配線やビア等の構造物もナノサイズになり、集積回路において、特性のばらつきの増大、製造不良の急増、絶縁破壊や劣化故障（エレクトロマイグレーション等）の急増等が問題視されている。このまま微細化が進めば、原子1個のあるなしが集積回路の大幅な性能ダウン、製造不良、急速な劣化等を引き起こし、カスタム集積回路の安定的な量産が難しくなると思われる。

この問題を解決できる候補の1つが100%良品でなくても使用できるプログラマブルデバイスである。しかし、プログラマブルデバイスはプログラマブルに論理回路を実装する Look-Up Table 構造と配線を決めるスイッチングマトリックス構造により、カスタム集積回路と比較して性能が低くなる問題がある。

プログラマブルデバイスがカスタム集積回路の性能を上回るためにはプログラマブルデバイスの優一の利点であるプログラマビリティの積極的活用以外に方法は無い。そこで、申請者らはプログラマブルデバイスの性能向上の鍵が動的プログラミングにあることに着目し、これまでに MEMS(Micro Electro Mechanical Systems)、レーザアレイ、ホログラムメモリ、集積回路を駆使し、数百MHzの周波数で数百万個もの回路情報を次から次へとゲートアレイに実装し続けることができる次世代の動的プログラマブルデバイスの基盤技術を研究してきた。

ここで、他の研究に着目すれば、貫通ビア(TSV: Through-Silicon-Via)を用いる3次元FPGA(Field Programmable Gate Array)も提案されている。しかし、申請者らが提案する光電子機械プログラマブルデバイスと同等の機能を実現する場合、ゲートアレイ上にメモリを数百層積層し、かつ、それらに対し数百万本の貫通ビアを貫く必要があり、歩留まりの観点から実現は容易ではない。

光電子機械プログラマブルデバイスは3層のシンプルな構造で、かつ自由空間上の光バスを活用できる点が大きな利点となる。

2. 研究の目的

本研究では MEMS (Micro Electro Mechanical Systems)、レーザアレイ、ホログラムメモリ、集積回路を駆使した3次元光電子機械プログラマブルデバイスを開発し、そのデバイス上でカスタム集積回路の性能を打ち破れる動的回路実装技術の確立を目指す。

3. 研究の方法

本研究では、将来的に10億ページを超えるアドレッシングが可能になるように、MEMSミラーとレーザを用いた光電子機械プログラマブルデバイスを開発する。

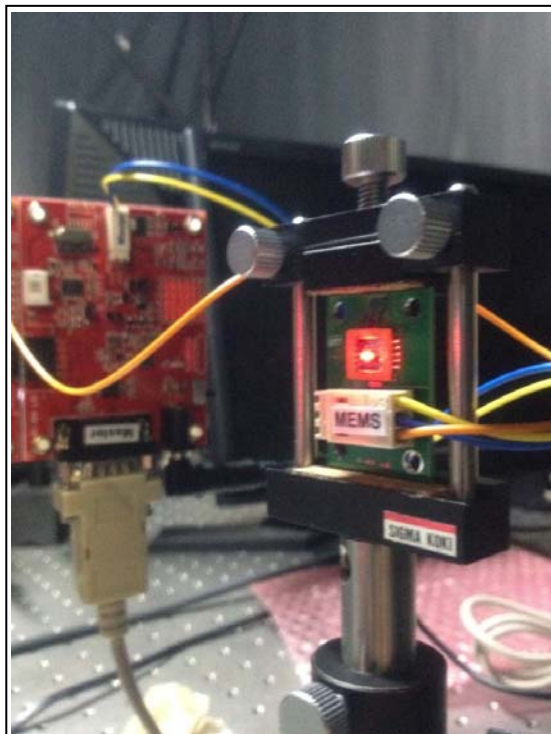


図1: MEMS レーザモジュールの動作試験の様子

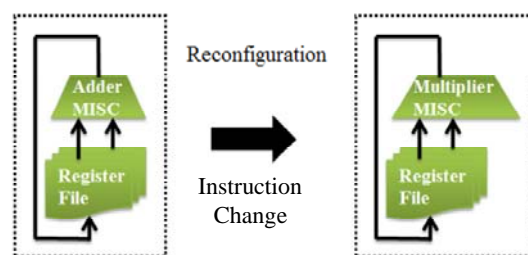


図2: MISCのインストラクションの切り換え方法（再構成により実施）

具体的には、これまでのバイナリ的にMEMSミラーを制御してきたレーザモジュールの研究成果をさらに発展させ、本研究では1つのMEMSミラーで複数のコンテキストのアドレッシングを可能にするMEMS・レーザモジュールを開発する。MEMSミラーデバイスはシンプルな構成でシーソーの様な動きをする。よって、静的な状態では必ずどちらか一方に傾いた状態となり、中間の角度でミラーを静止させることは困難であるが、ミラーが動的に動いている最中にレーザ光を照射することで、中間角度でのホログラムメモリのアドレッシングが可能になる。本研究では、このホログラムメモリの複数のアドレッシングを可能にするレーザモジュールを試作し、動作を実証する。この結果は将来的に10億ページものコンテキスト情報を取り扱える光電子機械プログラマブルデバイスの実現につながる。

また、光電子機械プログラマブルデバイス上で高速動的回路実装に最適な細粒度ゲートアレイ構造を研究し、高速動的回路実装に

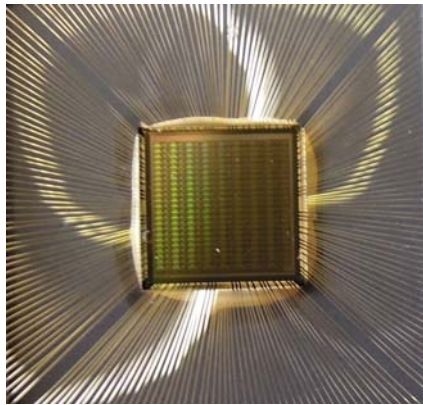
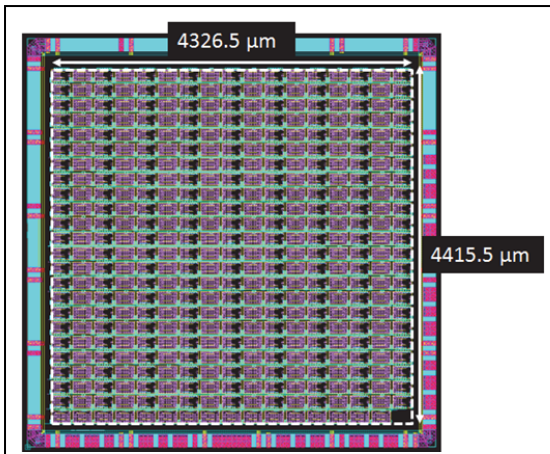


図3：光再構成型ゲートアレイ VLSI の CAD レイアウト(上)とチップ写真(下)

最適な光再構成型ゲートアレイ VLSI も開発する。最終的に、MEMS レーザモジュールや、細粒度の光再構成型ゲートアレイ VLSI を用いて光電子機械プログラマブルデバイスのプロトタイプを試作を行ない、評価する。

加えて、最適な高速動的回路実装手法の研究を進める。一般のプロセッサの ALU (Arithmetic and Logic Unit) は多数のインストラクションを含む。一般に、プロセッサはソフトウェアコードに従い、ALU の機能を切り替え、処理を進める。しかし、プログラマブルデバイスを用いるのであれば、図 2 に示すように、ALU の機能選択をハードウェアの再構成によって実現することができる。CISC (Complex Instruction Set Computer) → RISC (Reduced Instruction Set Computer) プロセッサの移行の歴史が物語るように、一般に、回路の複雑さと回路の動作周波数は反比例の関係にあり、回路の複雑さを解消することができれば動作周波数・性能の劇的な向上が期待できる。そのようなコンセプトにより生まれた MISC (Mono Instruction Set Computer) は単一命令のみを保有する世界初のプログラマブルデバイス向けアーキテクチャである。MISC はたった 1 つのインストラクションしか持たない反面、動作周波数は劇的に向上し、かつ実装面積も最小となる。トータルのパフォーマンスは静的な実装の従来型のプロセッサと比較して劇的に向上す

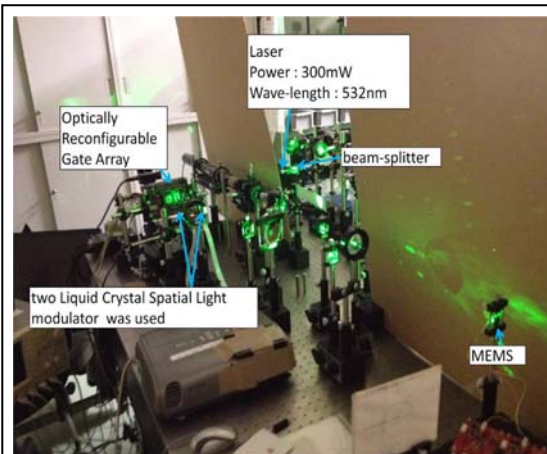


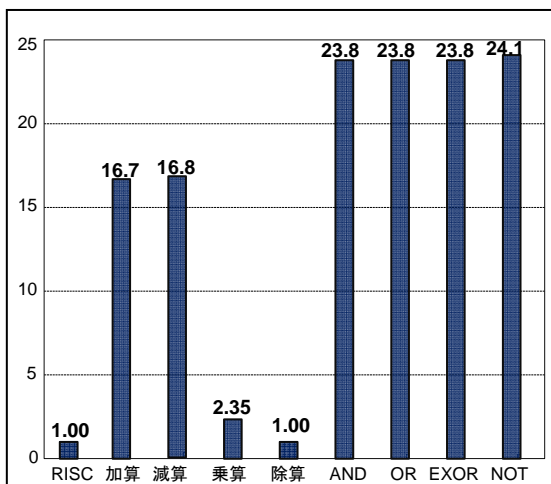
図4：光電子機械プログラマブルデバイスの動作試験

る。もちろん、このアーキテクチャを実装するためには、1 クロック毎に再構成可能な高速動的再構成デバイスが必要になるが、本研究の光電子機械プログラマブルデバイスはその要求を完全に満たす。本研究ではプロセッサの高速動的実装を試み、性能を評価する。

4. 研究成果

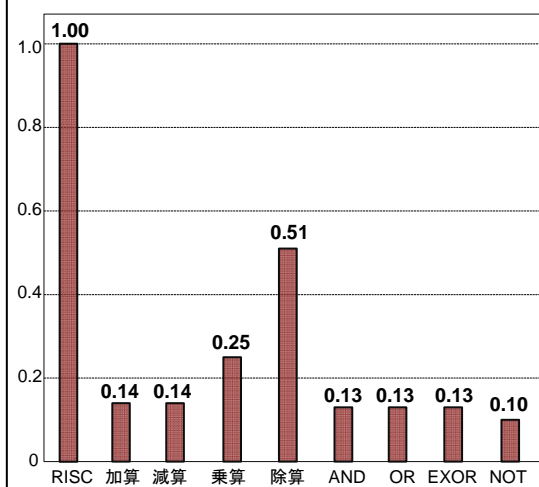
本研究では、図 1 に示すように、1 つの MEMS ミラーでホログラムメモリの複数の領域のアドレッシングが可能な MEMS ミラーとレーザとを組み合わせたレーザモジュールを開発し、試験的に動作を確認した。また、高速動的回路実装に最適な細粒度ゲートアレイ構造を研究し、図 3 に示すような高速動的回路実装に最適な光再構成型ゲートアレイ VLSI を開発した。最終的に、MEMS レーザモジュールや、この細粒度の光再構成型ゲートアレイ VLSI を用いて、図 4 に示す光電子機械プログラマブルデバイスのプロトタイプを試作を行なった。

そして、プログラマブルゲートアレイ (光再構成型ゲートアレイ) 上に MISC 実装を行ない、その性能を評価した。評価結果を図 5 に示す。図 5(a) に示すように、MISC プロセッサの動作周波数は RISC プロセッサと比較して最大 24.1 倍の周波数と性能面での向上が確認できる。また、図 5(b) に示すように、実装面積が RISC と比較して劇的に小さくなるので、並列処理による性能向上が期待できる。これら周波数向上と並列性によるトータルの性能向上は最大で 234 倍に達し、動的再構成を活用することでゲートアレイの性能が劇的に向上できることを実証することができた。

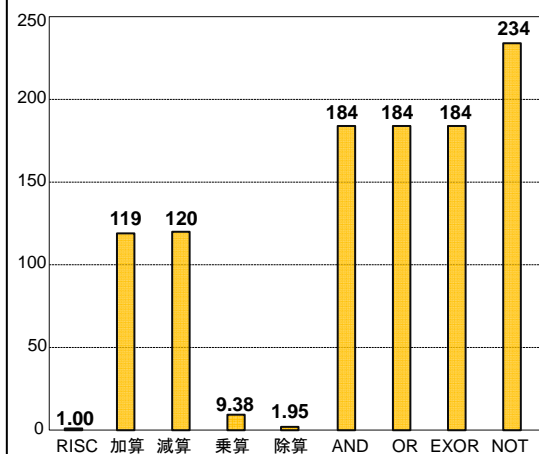


(a) 動作周波数比

(RISC プロセッサを 1 として規格化)



(b) 実装面積比 (RISC プロセッサを 1 として規格化)



(c) 総合性能比

(RISC プロセッサを 1 として規格化)

図 5 : MISC プロセッサ【加算、減算、乗算、除算、AND、OR、EXOR、NOT】の評価結果

5. 主な発表論文等

〔雑誌論文〕 (計 6 件)

- [1] D. Seto, M. Watanabe, "Radiation-hardened optically reconfigurable gate array exploiting holographic memory characteristics," Japanese Journal of Applied Physics, 2015 (Accepted).
- [2] M. Watanabe, S. Kawahito, "Radiation tolerance experiment for a dynamically reconfigurable vision architecture," International Journal of Image Processing Techniques, vol. 2, issue 1, pp. 59-62, April, 2015.
- [3] A. Ogiwara, M. Watanabe, R. Moriwaki, "Temperature dependence of anisotropic diffraction in holographic polymer-dispersed liquid crystal memory," Applied Optics, Vol. 52, Issue 26, pp. 6529-6536, Sep., 2013.
- [4] A. Ogiwara, M. Watanabe, R. Moriwaki, "Formation of temperature dependable holographic memory using holographic polymer dispersed liquid crystal," Optics letters, Vol. 38, Issue 7, pp. 1158-1160, April, 2013.
- [5] R. Moriwaki, M. Watanabe, "Optical configuration acceleration on a new optically reconfigurable gate array VLSI using a negative logic implementation," Applied Optics, Vol. 52, No. 9, pp. 1939-1946, March, 2013.
- [6] A. Ogiwara, M. Watanabe, "Optical reconfiguration by anisotropic diffraction in holographic polymer-dispersed liquid crystal memory," Applied Optics, Vol. 51, Iss. 21, pp. 5168-5177, July, 2012.

〔学会発表〕 (計 37 件)

- [1] M. Watanabe, "Holographic scrubbing technique for a programmable gate array," NASA/ESA Conference on Adaptive Hardware and Systems, Montreal, Canada, June, 2015. (Accepted)
- [2] T. Fujimori, M. Watanabe, "Radiation-hardened Optically Reconfigurable Gate Array Using a Negative Logic Configuration without Necessity of a Dedicated VLSI," 24th Annual Single Event Effects (SEE) Symposium, San Diego, USA, May, 2015.
- [3] M. Watanabe, "Design of a parallel-operation-oriented FPGA," International Symposium on Next-Generation Electronics, Taipei, Taiwan, May, 2015.
- [4] K. Akagi, M. Watanabe, "High-resolution configuration of optically reconfigurable gate arrays," International Symposium on Next-Generation Electronics, Taipei, Taiwan,

- May, 2015.
- [5] R. Moriwaki, H. Ito, K. Akagi, M. Watanabe, A. Ogiwara, H. Maekawa, "Total ionizing dose effects of optical components on an optically reconfigurable gate array," International Workshop on Applied Reconfigurable Computing, Bochum, Germany, April, 2015.
- [6] T. Fujimori, M. Watanabe, "Parallel - operation - oriented optically reconfigurable gate array," GI/ITG International Conference on Architecture of Computing Systems, Porto, Portugal, March, 2015.
- [7] R. Moriwaki, H. Ito, M. Watanabe, A. Ogiwara, H. Maekawa, "Radiation tolerance of optically reconfigurable gate arrays," International Symposium Toward the Future of Advanced Researches in Shizuoka University, Shizuoka, Japan, Jan., 2015.
- [8] M. Watanabe, S. Kawahito, "Radiation tolerance experiment for a dynamically reconfigurable vision architecture," International Conference on Advances in Computing, Electronics and Electrical Technology, pp. 1-4, Kuala Lumpur, Malaysia, Dec., 2014.
- [9] M. Watanabe, "A parallel-operation-oriented FPGA architecture," International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 123-126, Sendai, Japan, June, 2014.
- [10] T. Fujimori, M. Watanabe, "Radiation tolerance of color configuration on an optically reconfigurable gate array," Reconfigurable Architectures Workshop, pp. 205-210, Phoenix, USA, May, 2014.
- [11] R. Moriwaki, H. Maekawa, A. Ogiwara, M. Watanabe, "An optically reconfigurable gate array with an angle-multiplexed holographic memory," IEEE/ACM Great Lake Symposium on Very Large Scale Integrated circuits, pp. 341-346, Texas, USA, May, 2014.
- [12] Y. Kamikubo, M. Watanabe, Shoji Kawahito, "Image recognition system using an optical Fourier transform on a dynamically reconfigurable vision architecture," IEEE International Symposium on Circuits and Systems, pp. 1528 - 1531, Melbourne, Australia, June, 2014.
- [13] M. Seo, M. Watanabe, "Dependable optically differential reconfigurable gate array," International Conference on Space Optical Systems and Applications, CD-ROM (6 pages), Kobe, Japan, May, 2014.
- [14] T. Yoza, M. Watanabe, "Enhanced radiation tolerance of an optically reconfigurable gate array by exploiting an inversion/non-inversion implementation," International Workshop on Applied Reconfigurable Computing, Lecture Notes in Computer Science, Vol. 8405, pp. 156-166, Algarve, Portugal, April, 2014.
- [15] K. Akagi, M. Watanabe, "A high-density optically reconfigurable gate array VLSI using variable holographic memory patterns," International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, Hawaii, USA, March, 2014.
- [16] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Formation of holographic memory for optically-reconfigurable gate array by angle-multiplexing recording of multi-circuit information in liquid-crystal composites," Proceedings of SPIE, Vol. 9004, pp. 90040M-1-90040M-8, San Francisco, USA, Feb., 2014.
- [17] T. Yoza, R. Moriwaki, Y. Torigai, Y. Kamikubo, T. Kubota, T. Watanabe, T. Fujimori, H. Ito, M. Seo, K. Akagi, Y. Yamaji, M. Watanabe, "FPGA Blokus Duo Solver using a massively parallel architecture," International Conference on Field-Programmable Technology, pp. 494-497, Kyoto, Japan, Dec., 2013.
- [18] T. Fujimori, M. Watanabe, "Color configuration method for an optically reconfigurable gate array," International Conference on Field-Programmable Technology, pp. 406-409, Kyoto, Japan, Dec., 2013.
- [19] Y. Shirahashi, M. Watanabe, "Many-module redundancy implementation of mono instruction set computers for 3D optical FPGAs," IEEE Electrical Design of Advanced Packaging & Systems, pp. 169-172, Nara, Japan, Dec., 2013.
- [20] H. Ito, M. Watanabe, "Mono-instruction set computer architecture on a 3D optically reconfigurable gate array," IEEE Electrical Design of Advanced Packaging & Systems, pp. 173-176, Nara, Japan, Dec., 2013.
- [21] T. Kubota, M. Watanabe, "A dynamic optically reconfigurable gate array using a blue laser," International Conference on Photonics, pp. 124-126, Melaka, Malaysia, Oct., 2013.
- [22] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Angle-multiplexing recording of multi-context for optically reconfigurable gate array in holographic memory using liquid crystal composites," Microoptics Conference (MOC'13), Tokyo, Japan, Oct., 2013.
- [23] R. Moriwaki, M. Watanabe, "A fine-grained dependable optically reconfigurable gate array as a multi-soft-core processor

- platform," IEEE 7th International Symposium on Embedded Multicore SoCs, pp. 7-12, Tokyo, Japan, Sep., 2013.
- [24] Y. Kamikubo, M. Watanabe, S. Kawahito, "Image recognition operation on a dynamically reconfigurable vision architecture," International Conference on Field Programmable Logic and Applications, pp. 1-4, Porto, Portugal, Sep., 2013.
- [25] H. Ito, M. Watanabe, "Fourier Transformation on an Optically Reconfigurable Gate Array," IEEE International Midwest Symposium on Circuits & Systems, pp. 193-196, USA, Aug., 2013.
- [26] R. Moriwaki, M. Watanabe, A. Ogiwara, "Configuration on an optically reconfigurable gate array under the maximum 120°C temperature condition," OptoElectronics and Communications Conference, pp. 1-2, Kyoto, Japan, July, 2013.
- [27] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Formation of Holographic Memory by Recording of Multi-context in Liquid Crystal Composites," Conference on Lasers and Electro-Optics Pacific Rim, pp. 1-2, Kyoto, Japan, July, 2013.
- [28] Y. Yamaji, M. Watanabe, "A 4-configuration-context optically reconfigurable gate array with a MEMS interleaving method," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 172-177, Torino, Italy, June, 2013.
- [29] A. Tanigawa, M. Watanabe, "A dependability-increasing demonstration for a 16-configuration context optically reconfigurable gate array," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 129-132, Edinburgh, United Kingdom, June, 2013.
- [30] R. Moriwaki, T. Yoza, Y. Kamikubo, Y. Torigai, A. Tanigawa, T. Kubota, H. Ito, Y. Shirahashi, M. Watanabe, "A 7-depth search FPGA Connect6 Solver," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 95-98, Edinburgh, United Kingdom, June, 2013.
- [31] Y. Yamaji, M. Watanabe, "MEMS interleaving method for optically reconfigurable gate arrays," IEEE International Conference on Electro/Information Technology, CD-ROM, South Dakota, USA, May, 2013.
- [32] T. Kubota, M. Watanabe, "0.18 um CMOS process photodiode memory," IEEE International Symposium on Circuits and Systems, pp. 1464 - 1467, Beijing, China, May, 2013.
- [33] A. Tanigawa, M. Watanabe, "A dependability-increasing technique on a multi-context optically reconfigurable gate array," IEEE International Symposium on Circuits and Systems, pp. 1568 - 1571, Beijing, China, May, 2013.
- [34] H. Ito, M. Watanabe, "Power consumption of mono-instruction set computers (MISCs)," IEEE Symposium on Low-Power and High-Speed Chips, CD-ROM, Yokohama, Japan, April, 2013.
- [35] Y. Shirahashi, M. Watanabe, "Dependability - increasing method of processors under a space radiation environment," International Workshop on Applied Reconfigurable Computing, p. 218, Los Angeles, USA, March, 2013.
- [36] A. Ogiwara, M. Watanabe, R. Moriwaki, "Temperature Dependable Holographic Memory Using Holographic Polymer-dispersed Liquid Crystal," Progress In Electromagnetics Research Symposium, pp. 322-325, Taipei, Taiwan, March, 2013.
- [37] R. Moriwaki, M. Watanabe, A. Ogiwara, "A 9-configuration-context optically reconfigurable gate array using a polymer-dispersed liquid crystal holographic memory," Takayanagi Kenjiro Memorial Symposium, pp. S3_10_1 - S3_10_4, Shizuoka, Japan, Nov., 2012.
- [図書] (計 1 件)
- [1] M. Watanabe, "High-Performance Computing Based on High-Speed Dynamic Reconfiguration," High - Performance Computing Using FPGAs, Chapter 20, pp. 605-627, Springer, June, 2013.
- [産業財産権]
- 出願状況 (計 0 件)
- [その他]
- ホームページ等
<http://www.ipc.shizuoka.ac.jp/~tmwatan/>
6. 研究組織
- (1) 研究代表者
 渡邊 実 (Minoru Watanabe)
 静岡大学・工学研究科・電気電子工学専攻
 准教授
 研究者番号 : 30325576
- (2) 研究分担者
 大坪 順次 (Junji Ohtsubo)
 静岡大学・工学研究科・機械工学専攻
 教授
 研究者番号 : 00176942
- (3) 連携研究者
 無し