

ボードレベル設計のためのシグナル・インテグリティ解析とその応用に関する研究

メタデータ	言語: ja 出版者: 静岡大学大学院電子科学研究科 公開日: 2008-03-31 キーワード (Ja): キーワード (En): 作成者: 久保田, 英正 メールアドレス: 所属:
URL	http://hdl.handle.net/10297/1186

氏名・(本籍)	久保田 英 正 (愛知県)	457
学位の種類	博 士 (工 学)	
学位記番号	工博甲第 280 号	
学位授与の日付	平成 18 年 3 月 24 日	
学位授与の要件	学位規程第 5 条第 1 項該当	
研究科・専攻の名称	電子科学研究科 電子応用工学	
学位論文題目	ボードレベル設計のためのシグナル・インテグリティ解析 とその応用に関する研究	
論文審査委員	(委員長) 教授 相 田 一 夫 教授 大 坪 順 次 教授 藤 本 正 之 教授 浅 井 秀 樹	

論 文 内 容 の 要 旨

本論文では、ボードレベル設計のためのシグナル・インテグリティ解析を目的とした回路シミュレーション技法及び電磁界解析技法について述べる。近年ますます発展する回路実装技術の一方で、回路設計に対しては更なる高性能、小型、低消費電力といった要求が絶える事がない。そのために回路の高集積化、高速化が進められ、それによって発生する信号のクロストーク、遅延、電源電圧の変動及び様々なノイズが回路の予期せぬ誤動作を引き起こす原因となり得る。そのため、設計回路の動作検証が必要不可欠となっている。そのような問題に対して、従来からの手法としてブレッドボードの試作による動作検証が行われるが、多くのコストが必要であり、試作回数を重ねるにつれて開発費の増大を招く。そこで、計算機上のシミュレーションによる動作検証が取り入れられてきた。また、開発期間の短縮も重要な問題の一つであり、シミュレーション技術についても、より一層高精度で効率の良いものが求められている。一般に良く知られた回路シミュレータであるSPICE (Simulation Program with Integrated Circuit Emphasis)は、与えられた回路について、ネットリストと呼ばれる素子結線情報を持つ入力ファイルよりキルヒホッフの法則等から回路方程式を生成し、数値計算により解析を行うもので、開発されてから今日まで多くの機関によって改良がなされてきた。しかしながら、近年の複雑かつ大規模な回路の解析を直接行うことは、精度、計算コストの問題からほぼ不可能になってきている。近年の回路規模の増大は著しく、従来の市販回路シミュレータによる解析はますます困難なものとなっている。そのような問題に対して、回路網から得られる大規模回路方程式を小規模な方程式によって近似し、効率的な解析を行う回路縮小技法が提案されてきた。それと同時に、回路網の高集積化、動作周波数の高速化によって、配線上で生じる信号の反射

やクロストーク、グラウンドバウンス等、以前は無視されてきたノイズの回路に与える影響が大きくなり、それらの影響を含めた回路モデルのシミュレーションが要求されている。そこで、配線の材質や構造から、その特性を等価回路網や伝達関数を用いてモデル化し、回路素子と組み合わせた回路シミュレーションを行うことによって、高精度かつ効率的なシグナルインテグリティの検証を行う。ここでは線形回路縮小技法であるPRIMAによって得られたマクロモデルを、電圧制御電流源モデルの形で組み込むことによって高速化する手法を提案する。また、非線形素子の影響を含めたマクロモデルを作成する非線形回路網縮小技法について、その高速化と適用範囲の拡大について検討する。また一方で、Maxwellの方程式に基づいたFull-Wave解析として広く知られているFDTD(Finite-Difference Time-Domain)法について、これをプリント基板解析に適用し、多層基板の多導体線路やビア等、3次元的な構造に起因する影響を解析し、検証を行う。大規模なモデルに対して詳細な解析を行う場合、FDTD法を用いた解析でも計算コストが問題となる。そこで、解析領域を分割し、複数の計算機による並列分散解析、空間差分におけるメッシュ分割の最適化等について調査、検討を行う。回路解析に基づいた手法として、回路縮小モデルによる解析は高速かつ高精度な解析を行う事ができる半面、縮小することによって内部回路がブラックボックス化され、ポートとして指定した以外の節点は値の観測が不可能になる。一方、FDTD法による解析ではプレーンを伝搬する波を、電圧および電流分布として観測することが出来る。しかしながら、解析対象の周りに空気層と呼ばれる空間、吸収境界条件が必要であり、非常に多くの計算コストを必要とする。LIM(Latency Insertion Method)は、回路をマクロモデルで近似することなく、また空気層、吸収境界条件を必要としない。しかしながら、LIMでは電圧・電流の更新式を得るために、解析対象となる回路の各枝・節点-グラウンド間にインダクタンス・キャパシタンスが存在しなければならないという制限が存在する。そこで、提案手法ではSPICE型解析手法との連携によってLIMで解析可能な回路構造の制限を無くし、任意の回路構造に適用可能な高速解析手法を提案する。本論文で論じる幾つかの手法の特性を理解した上で解析対象に適した手法を用い、組み合わせる事が回路設計におけるシミュレーション技法として有効であると考えられる。

論文審査結果の要旨

本論文では、ボードレベル設計のためのシグナル・インテグリティ(信号品質)解析を目的とした回路シミュレーション技法及び電磁界解析技法について述べた。第1章で、近年の回路設計において計算機によるシミュレーションが必要不可欠なものになっている背景について述べた後、シグナル・インテグリティの定義及び、これまでに提案されてきた解析手法について触れた。

第2章では、回路縮小技法を用いた高速回路シミュレーションについて述べている。ここでは線形回路縮小技法であるPRIMA(受動的減次配線マクロモデル化アルゴリズム)によって得られたマクロモデルを、電圧制御電流源モデルの形で組み込むことによって、本来、縮小モデル部分に不必要な反復計算を回避し、高速化する手法を提案した。

また、第3章において非線形素子の影響を含めたマクロモデルを作成する非線形回路網縮小技法について、その高速化と適用範囲の拡大について検討した。従来法では解析対象となる回路の全ての節点にキャパシタが接続されている必要があったが、変換行列を導出する式変形を改良することにより、任意の回路網への適用を可能とした。また、縮小ヤコビアンを直接求めることによって、ヤコビアン導出の計算コストを削減し、高速化を試みた。

第4章では、まず、電磁界解析手法の活用方法として、マイクロストリップラインのような単純な配線に対するFDTD(時間領域差分)法の解析精度について検討した。シミュレーションと実測との比較、セルサイズによる離散化誤差の観点から検討するとともに、FDM(有限差分法)二次元解析を用いたセルサイズに対する解析精度の見積もり法を提案した。また、大規模問題に対する解析例として、16台のPCクラスタを用いて実基板に対するWhat-If解析を行い、ノイズを低減した例を紹介した。

第5章ではLIM(潜在性挿入法)に基づいた高速過渡解析手法について述べた。LIMは大規模回路網解析に対して非常に有効な高速過渡解析手法であるが、解析対象となる回路の構造に制限が存在する。本章では、SPICE型解析手法との連携によってLIMで解析可能な回路構造の制限を無くし、任意の回路構造に適用可能な高速解析手法を提案した。

最後に、本論文の結論を述べ、その有効性及び今後の展望について示した。以上の成果は、回路シミュレーションを中心とする工学分野において価値があり、博士(工学)の学位を与えるにふさわしいと認定する。